



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0083691
(43) 공개일자 2019년07월15일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0842 (2013.01)

(21) 출원번호 10-2018-0001353
(22) 출원일자 2018년01월04일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
박준현
경기도 수원시 권선구 권선로694번길 25, 202동 501호

이철곤
경기도 수원시 영통구 봉영로1517번길 27, 909동 1203호

최양화
경기도 화성시 동탄대로시범길 122, 1467동 104호

(74) 대리인
박영우

전체 청구항 수 : 총 20 항

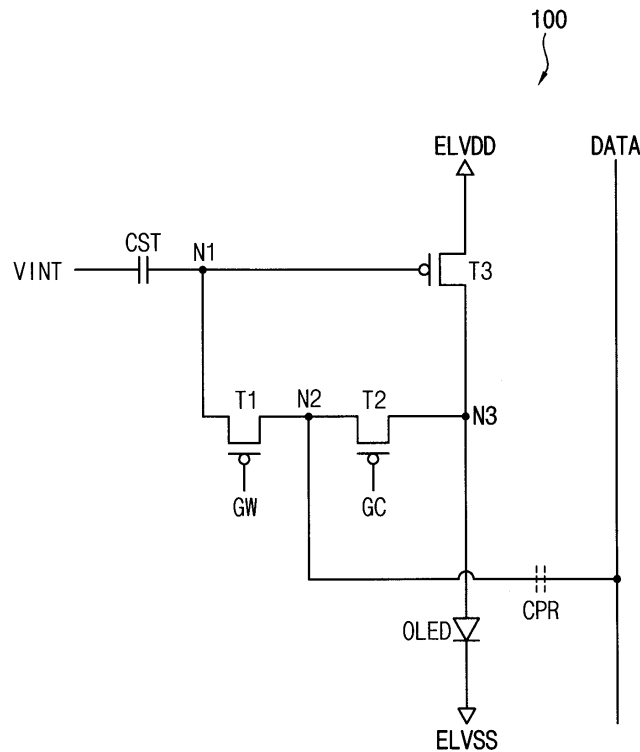
(54) 발명의 명칭 화소 회로 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

화소 회로는 제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터, 제2 제어 신호가 인가되는 게이트 단자, 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터, 제1 노

(뒷면에 계속)

대표도 - 도1



드에 연결되는 게이트 단자, 제1 전원 신호가 인가되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터, 초기화 신호가 인가되는 제1 단자 및 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터, 및 제3 노드에 연결되는 애노드 및 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함한다. 이 때, 제1 제어 신호는 데이터 기입 구간에서 제2 제어 신호와 동일한 하이 전압 레벨과 로우 전압 레벨을 갖고, 데이터 기입 구간 외의 동작 구간들에서 제2 제어 신호와 상이한 하이 전압 레벨과 로우 전압 레벨을 갖는다.

(52) CPC특허분류

G09G 2320/0233 (2013.01)

G09G 2320/0247 (2013.01)

명세서

청구범위

청구항 1

온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하는 화소 회로에 있어서,

제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터;

제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터;

상기 제1 노드에 연결되는 게이트 단자, 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터;

초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터; 및

상기 제3 노드에 연결되는 애노드 및 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함하고,

상기 제1 제어 신호는, 상기 데이터 기입 동작이 수행되는 데이터 기입 구간에서 제1 하이 전압 레벨과 제1 로우 전압 레벨을 갖고, 상기 데이터 기입 구간 외의 동작 구간들에서 상기 제1 하이 전압 레벨보다 낮은 제2 하이 전압 레벨과 상기 제1 로우 전압 레벨보다 높은 제2 로우 전압 레벨을 가지며,

상기 제2 제어 신호는 상기 제1 하이 전압 레벨과 상기 제1 로우 전압 레벨을 갖는 것을 특징으로 하는 화소 회로.

청구항 2

제 1 항에 있어서, 상기 제1 제어 신호는 동시 발광 구동을 위한 글로벌 클럭 신호인 것을 특징으로 하는 화소 회로.

청구항 3

제 1 항에 있어서, 상기 데이터 기입 구간 외의 상기 동작 구간들에서, 상기 제1 제어 신호의 상승 에지 시간은 상기 제2 제어 신호의 상승 에지 시간과 동일하고, 상기 제1 제어 신호의 하강 에지 시간은 상기 제2 제어 신호의 하강 에지 시간과 동일한 것을 특징으로 하는 화소 회로.

청구항 4

제 1 항에 있어서, 상기 데이터 기입 구간 외의 상기 동작 구간들에서, 상기 제1 제어 신호의 상승 에지 시간은 상기 제2 제어 신호의 상승 에지 시간보다 길고, 상기 제1 제어 신호의 하강 에지 시간은 상기 제2 제어 신호의 하강 에지 시간보다 긴 것을 특징으로 하는 화소 회로.

청구항 5

제 1 항에 있어서, 상기 제1 내지 제3 트랜지스터들은 피모스 트랜지스터들인 것을 특징으로 하는 화소 회로.

청구항 6

제 5 항에 있어서, 상기 초기화 동작이 수행되는 초기화 구간에서, 상기 제2 제어 신호가 상기 제1 하이 전압 레벨에서 상기 제1 로우 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 제2 하이 전압 레벨에서 상기 제2 로우 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 7

제 6 항에 있어서, 상기 문턱 전압 보상 동작이 수행되는 문턱 전압 보상 구간에서, 상기 제2 제어 신호가 상기 제1 로우 전압 레벨에서 상기 제1 하이 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 제2 로우 전압 레벨에서 상기 제2 하이 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 8

제 7 항에 있어서, 상기 문턱 전압 보상 구간과 상기 데이터 기입 구간 사이에서, 상기 제1 제어 신호가 상기 제2 하이 전압 레벨에서 상기 제1 하이 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 9

제 8 항에 있어서, 상기 데이터 기입 구간에서, 상기 제1 제어 신호는 상기 제1 하이 전압 레벨에서 상기 제1 로우 전압 레벨로 천이한 이후 데이터 기입 동작 시간이 경과하면, 상기 제1 로우 전압 레벨에서 상기 제1 하이 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 10

제 9 항에 있어서, 상기 데이터 기입 구간과 상기 발광 동작이 수행되는 발광 구간 사이에서, 상기 제1 제어 신호가 상기 제1 하이 전압 레벨에서 상기 제2 하이 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 11

온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하는 화소 회로에 있어서,

제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터;

제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터;

상기 제1 노드에 연결되는 게이트 단자, 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터;

초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터; 및

상기 제3 노드에 연결되는 애노드 및 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함하고,

상기 제1 제어 신호는, 상기 데이터 기입 동작이 수행되는 데이터 기입 구간에서 제1 상승 에지 시간과 제1 하강 에지 시간을 갖고, 상기 데이터 기입 구간 외의 동작 구간들에서 상기 제1 상승 에지 시간보다 긴 제2 상승 에지 시간과 상기 제1 하강 에지 시간보다 긴 제2 하강 에지 시간을 가지며,

상기 제2 제어 신호는 상기 제1 상승 에지 시간과 상기 제1 하강 에지 시간을 갖는 것을 특징으로 하는 화소 회로.

청구항 12

제 11 항에 있어서, 상기 제1 제어 신호는 동시 발광 구동을 위한 글로벌 클럭 신호인 것을 특징으로 하는 화소 회로.

청구항 13

제 11 항에 있어서, 상기 제1 제어 신호의 하이 전압 레벨은 상기 제2 제어 신호의 하이 전압 레벨과 동일하고, 상기 제1 제어 신호의 로우 전압 레벨은 상기 제2 제어 신호의 로우 전압 레벨과 동일한 것을 특징으로 하는 화소 회로.

청구항 14

제 11 항에 있어서, 상기 제1 내지 제3 트랜지스터들은 피모스 트랜지스터들인 것을 특징으로 하는 화소 회로.

청구항 15

제 14 항에 있어서, 상기 초기화 동작이 수행되는 초기화 구간에서, 상기 제2 제어 신호가 상기 하이 전압 레벨에서 상기 로우 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 하이 전압 레벨에서 상기 로우 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 16

제 15 항에 있어서, 상기 문턱 전압 보상 동작이 수행되는 문턱 전압 보상 구간에서, 상기 제2 제어 신호가 상기 로우 전압 레벨에서 상기 하이 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 로우 전압 레벨에서 상기 하이 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 17

제 16 항에 있어서, 상기 데이터 기입 구간에서, 상기 제1 제어 신호는 상기 하이 전압 레벨에서 상기 로우 전압 레벨로 천이한 이후 데이터 기입 동작 시간이 경과하면, 상기 로우 전압 레벨에서 상기 하이 전압 레벨로 천이하는 것을 특징으로 하는 화소 회로.

청구항 18

온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하는 화소 회로들을 포함하는 표시 패널; 및

상기 화소 회로들에 데이터 신호, 초기화 신호, 제1 제어 신호, 제2 제어 신호, 제1 전원 신호 및 제2 전원 신호를 제공하여 상기 표시 패널을 구동하는 표시 패널 구동 회로를 포함하고,

상기 데이터 기입 동작이 수행되는 데이터 기입 구간에서, 상기 제1 제어 신호와 상기 제2 제어 신호는 동일한 전압 레벨들과 에지 시간들을 갖고,

상기 데이터 기입 구간 외의 동작 구간들에서, 상기 제1 제어 신호와 상기 제2 제어 신호는 상이한 전압 레벨들 또는 상이한 에지 시간들을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서, 상기 화소 회로들 각각은

상기 제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 상기 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터;

상기 제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터;

상기 제1 노드에 연결되는 게이트 단자, 상기 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터;

상기 초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터; 및

상기 제3 노드에 연결되는 애노드 및 상기 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함하고,

상기 제1 제어 신호는, 상기 데이터 기입 구간에서 제1 하이 전압 레벨과 제1 로우 전압 레벨을 갖고, 상기 데이터 기입 구간 외의 상기 동작 구간들에서 상기 제1 하이 전압 레벨보다 낮은 제2 하이 전압 레벨과 상기 제1 로우 전압 레벨보다 높은 제2 로우 전압 레벨을 가지며,

상기 제2 제어 신호는 상기 제1 하이 전압 레벨과 상기 제1 로우 전압 레벨을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 18 항에 있어서, 상기 화소 회로들 각각은

상기 제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 상기 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터;

상기 제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터;

상기 제1 노드에 연결되는 게이트 단자, 상기 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터;

상기 초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터; 및

상기 제3 노드에 연결되는 애노드 및 상기 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함하고,

상기 제1 제어 신호는, 상기 데이터 기입 동작이 수행되는 데이터 기입 구간에서 제1 상승 에지 시간과 제1 하강 에지 시간을 갖고, 상기 데이터 기입 구간 외의 상기 동작 구간들에서 상기 제1 상승 에지 시간보다 긴 제2 상승 에지 시간과 상기 제1 하강 에지 시간보다 긴 제2 하강 에지 시간을 가지며,

상기 제2 제어 신호는 상기 제1 상승 에지 시간과 상기 제1 하강 에지 시간을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하는 화소 회로 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 전자 기기에 구비되는 표시 장치로서 유기 발광 표시 장치가 각광받고 있다. 이 때, 유기 발광 표시 장치는 각 화소 회로에 포함된 스토리지 커패시터에 저장된 데이터 전압을 이용하여 계조를 표현할 수 있다. 일반적으로, 유기 발광 표시 장치에서는 각 화소 회로에 포함된 소자들(예를 들어, 트랜지스터, 커패시터 등)의 특성 편차에 의해 화소 회로들 사이에 휘도 편차가 발생할 수 있다. 이러한 이유로, 유기 발광 표시 장치는 화소 회로로 하여금 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하게 함으로써, 각 화소 회로에 포함된 소자들의 특성 편차에 기인한 화소 회로들 사이의 휘도 편차를 방지하고 있다. 하지만, 종래의 유기 발광 표시 장치에서는, 각 화소 회로에 포함된 트랜지스터들이 하이(high) 전압 레벨, 로우(low) 전압 레벨, 상승 에지 시간 및 하강 에지 시간이 동일한 복수의 신호들에 기초하여 각각 턴온 및 턴오프되기 때문에, 각 화소 회로의 동작 구간이 문턱 전압 보상 구간에서 데이터 기입 구간으로 전환될 때, 각 화소 회로 내에 킥백(kickback) 현상이 발생하고, 그에 따라, 각 화소 회로의 휘도 변화에 기인한 휘도 불균일이 야기될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행함에 있어 문턱 전압 보상 구간에서 데이터 기입 구간으로 전환될 때 발생하는 킥백 현상을 방지할 수 있는 화소 회로를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 상기 화소 회로를 포함함으로써 고품질의 이미지를 표시할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않

는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 화소 회로는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행할 수 있다. 상기 화소 회로는 제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터, 제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터, 상기 제1 노드에 연결되는 게이트 단자, 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터, 초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터, 및 상기 제3 노드에 연결되는 애노드 및 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함할 수 있다. 이 때, 상기 제1 제어 신호는, 상기 데이터 기입 동작이 수행되는 데이터 기입 구간에서 제1 하이 전압 레벨과 제1 로우 전압 레벨을 갖고, 상기 데이터 기입 구간 외의 동작 구간들에서 상기 제1 하이 전압 레벨보다 낮은 제2 하이 전압 레벨과 상기 제1 로우 전압 레벨보다 높은 제2 로우 전압 레벨을 가질 수 있다. 또한, 상기 제2 제어 신호는 상기 제1 하이 전압 레벨과 상기 제1 로우 전압 레벨을 가질 수 있다.
- [0007] 일 실시예에 의하면, 상기 제1 제어 신호는 동시 발광 구동을 위한 글로벌 클럭 신호일 수 있다.
- [0008] 일 실시예에 의하면, 상기 데이터 기입 구간 외의 상기 동작 구간들에서, 상기 제1 제어 신호의 상승 에지 시간은 상기 제2 제어 신호의 상승 에지 시간과 동일하고, 상기 제1 제어 신호의 하강 에지 시간은 상기 제2 제어 신호의 하강 에지 시간과 동일할 수 있다.
- [0009] 일 실시예에 의하면, 상기 데이터 기입 구간 외의 상기 동작 구간들에서, 상기 제1 제어 신호의 상승 에지 시간은 상기 제2 제어 신호의 상승 에지 시간보다 길고, 상기 제1 제어 신호의 하강 에지 시간은 상기 제2 제어 신호의 하강 에지 시간보다 길 수 있다.
- [0010] 일 실시예에 의하면, 상기 제1 내지 제3 트랜지스터들은 피모스 트랜지스터들일 수 있다.
- [0011] 일 실시예에 의하면, 상기 초기화 동작이 수행되는 초기화 구간에서, 상기 제2 제어 신호가 상기 제1 하이 전압 레벨에서 상기 제1 로우 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 제2 하이 전압 레벨에서 상기 제2 로우 전압 레벨로 천이할 수 있다.
- [0012] 일 실시예에 의하면, 상기 문턱 전압 보상 동작이 수행되는 문턱 전압 보상 구간에서, 상기 제2 제어 신호가 상기 제1 로우 전압 레벨에서 상기 제1 하이 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 제2 로우 전압 레벨에서 상기 제2 하이 전압 레벨로 천이할 수 있다.
- [0013] 일 실시예에 의하면, 상기 문턱 전압 보상 구간과 상기 데이터 기입 구간 사이에서, 상기 제1 제어 신호가 상기 제2 하이 전압 레벨에서 상기 제1 하이 전압 레벨로 천이할 수 있다.
- [0014] 일 실시예에 의하면, 상기 데이터 기입 구간에서, 상기 제1 제어 신호는 상기 제1 하이 전압 레벨에서 상기 제1 로우 전압 레벨로 천이한 이후 데이터 기입 동작 시간이 경과하면, 상기 제1 로우 전압 레벨에서 상기 제1 하이 전압 레벨로 천이할 수 있다.
- [0015] 일 실시예에 의하면, 상기 데이터 기입 구간과 상기 발광 동작이 수행되는 발광 구간 사이에서, 상기 제1 제어 신호가 상기 제1 하이 전압 레벨에서 상기 제2 하이 전압 레벨로 천이할 수 있다.
- [0016] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 화소 회로는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행할 수 있다. 상기 화소 회로는 제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터, 제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터, 상기 제1 노드에 연결되는 게이트 단자, 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터, 초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터, 및 상기 제3 노드에 연결되는 애노드 및 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함할 수 있다. 이 때, 상기 제1 제어 신호는, 상기 데이터 기입 동작이 수행되는 데이터 기

입 구간에서 제1 상승 에지 시간과 제1 하강 에지 시간을 갖고, 상기 데이터 기입 구간 외의 동작 구간들에서 상기 제1 상승 에지 시간보다 긴 제2 상승 에지 시간과 상기 제1 하강 에지 시간보다 긴 제2 하강 에지 시간을 가질 수 있다. 또한, 상기 제2 제어 신호는 상기 제1 상승 에지 시간과 상기 제1 하강 에지 시간을 가질 수 있다.

- [0017] 일 실시예에 의하면, 상기 제1 제어 신호는 동시 발광 구동을 위한 글로벌 클럭 신호일 수 있다.
- [0018] 일 실시예에 의하면, 상기 제1 제어 신호의 하이 전압 레벨은 상기 제2 제어 신호의 하이 전압 레벨과 동일하고, 상기 제1 제어 신호의 로우 전압 레벨은 상기 제2 제어 신호의 로우 전압 레벨과 동일할 수 있다.
- [0019] 일 실시예에 의하면, 상기 제1 내지 제3 트랜지스터들은 피모스 트랜지스터들일 수 있다.
- [0020] 일 실시예에 의하면, 상기 초기화 동작이 수행되는 초기화 구간에서, 상기 제2 제어 신호가 상기 하이 전압 레벨에서 상기 로우 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 하이 전압 레벨에서 상기 로우 전압 레벨로 천이할 수 있다.
- [0021] 일 실시예에 의하면, 상기 문턱 전압 보상 동작이 수행되는 문턱 전압 보상 구간에서, 상기 제2 제어 신호가 상기 로우 전압 레벨에서 상기 하이 전압 레벨로 천이한 이후, 상기 제1 제어 신호가 상기 로우 전압 레벨에서 상기 하이 전압 레벨로 천이할 수 있다.
- [0022] 일 실시예에 의하면, 상기 데이터 기입 구간에서, 상기 제1 제어 신호는 상기 하이 전압 레벨에서 상기 로우 전압 레벨로 천이한 이후 데이터 기입 동작 시간이 경과하면, 상기 로우 전압 레벨에서 상기 하이 전압 레벨로 천이할 수 있다.
- [0023] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하는 화소 회로들을 포함하는 표시 패널, 및 상기 화소 회로들에 데이터 신호, 초기화 신호, 제1 제어 신호, 제2 제어 신호, 제1 전원 신호 및 제2 전원 신호를 제공하여 상기 표시 패널을 구동하는 표시 패널 구동 회로를 포함할 수 있다. 이 때, 상기 데이터 기입 동작이 수행되는 데이터 기입 구간에서, 상기 제1 제어 신호와 상기 제2 제어 신호는 동일한 전압 레벨들과 에지 시간들을 가질 수 있다. 또한, 상기 데이터 기입 구간 외의 동작 구간들에서, 상기 제1 제어 신호와 상기 제2 제어 신호는 상이한 전압 레벨들 또는 상이한 에지 시간들을 가질 수 있다.
- [0024] 일 실시예에 의하면, 상기 화소 회로들 각각은 상기 제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 상기 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터, 상기 제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터, 상기 제1 노드에 연결되는 게이트 단자, 상기 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터, 상기 초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터, 및 상기 제3 노드에 연결되는 애노드 및 상기 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함할 수 있다. 이 때, 상기 제1 제어 신호는, 상기 데이터 기입 구간에서 제1 하이 전압 레벨과 제1 로우 전압 레벨을 갖고, 상기 데이터 기입 구간 외의 상기 동작 구간들에서 상기 제1 하이 전압 레벨보다 낮은 제2 하이 전압 레벨과 상기 제1 로우 전압 레벨보다 높은 제2 로우 전압 레벨을 가질 수 있다. 또한, 상기 제2 제어 신호는 상기 제1 하이 전압 레벨과 상기 제1 로우 전압 레벨을 가질 수 있다.
- [0025] 일 실시예에 의하면, 상기 화소 회로들 각각은 상기 제1 제어 신호가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 상기 데이터 신호가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터, 상기 제2 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터, 상기 제1 노드에 연결되는 게이트 단자, 상기 제1 전원 신호가 인가되는 제1 단자 및 상기 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터, 상기 초기화 신호가 인가되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터, 및 상기 제3 노드에 연결되는 애노드 및 상기 제2 전원 신호가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함할 수 있다. 이 때, 상기 제1 제어 신호는, 상기 데이터 기입 동작이 수행되는 데이터 기입 구간에서 제1 상승 에지 시간과 제1 하강 에지 시간을 갖고, 상기 데이터 기입 구간 외의 상기 동작 구간들에서 상기 제1 상승 에지 시간보다 긴 제2 상승 에지 시간과 상기 제1 하강 에지 시간보다 긴 제2 하강 에지 시간을 가질 수 있다. 또한, 상기 제2 제어 신호는 상기 제1 상승 에지 시간과 상기 제1 하강 에지 시간을 가질 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 화소 회로는 유기 발광 다이오드에 직렬로 연결된 제3 트랜지스터(즉, 구동 트랜지스터)의 게이트 단자와 드레인 단자 사이에 제1 트랜지스터와 제2 트랜지스터가 직렬로 연결되고, 데이터 기입 구간 외의 동작 구간들에서 제1 트랜지스터와 제2 트랜지스터가 게이트 단자들을 통해 상이한 전압 레벨들(즉, 하이 전압 레벨과 로우 전압 레벨)을 갖는 신호들을 각각 인가받거나 또는 상이한 에지 시간들(즉, 상승 에지 시간과 하강 에지 시간)을 갖는 신호들을 각각 인가받는 구조를 가짐으로써, 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행함에 있어 문턱 전압 보상 구간에서 데이터 기입 구간으로 전환될 때 발생하는 킥백 현상을 방지할 수 있다.

[0027] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 상기 화소 회로를 포함함으로써 고품질의 이미지를 표시할 수 있다.

[0028] 다만, 본 발명의 효과는 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이다.

도 2는 도 1의 화소 회로의 동작 구간을 나타내는 파형도이다.

도 3은 종래의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호를 나타내는 파형도이다.

도 4는 도 1의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호의 일 예를 나타내는 파형도이다.

도 5는 도 1의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호의 다른 예를 나타내는 파형도이다.

도 6은 도 1의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호의 또 다른 예를 나타내는 파형도이다.

도 7은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 8은 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이다.

도 9는 도 8의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이다.

도 10은 도 8의 전자 기기가 헤드 마운트 디스플레이로 구현된 일 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략하기로 한다.

[0031] 도 1은 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이고, 도 2는 도 1의 화소 회로의 동작 구간을 나타내는 파형도이다.

[0032] 도 1 및 도 2를 참조하면, 화소 회로(100)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 스토리지 커패시터(CST) 및 유기 발광 다이오드(OLED)를 포함할 수 있다. 이에, 화소 회로(100)는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행할 수 있다. 한편, 제1 트랜지스터(T1)와 제2 트랜지스터(T2) 사이의 제2 노드(N2)와 데이터 신호(DATA)를 전송하는 데이터 라인 사이에 기생 커패시터(CPR)가 의도치 않게 형성될 수 있다. 따라서, 기생 커패시터(CPR)는 화소 회로(100)의 구성 요소들로 해석되는 것이 아님을 이해하여야 한다. 이와 같이, 화소 회로(100)는 3개의 트랜지스터들(T1, T2, T3) 및 1개의 커패시터(CST)를 포함하기 때문에, 소위 3T-1C 화소 회로로 명명될 수 있다.

[0033] 제1 트랜지스터(T1)는 제1 제어 신호(GW)가 인가되는 게이트 단자, 제1 노드(N1)에 연결되는 제1 단자 및 데이터 신호(DATA)가 전달되는 데이터 라인에 연결된 제2 노드(N2)에 연결되는 제2 단자를 포함할 수 있다. 일 실시예에서, 도 1에 도시된 바와 같이, 제1 트랜지스터(T1)는 피모스(p-type metal oxide semiconductor; PMOS) 트

랜지스터일 수 있다. 이 경우, 제1 제어 신호(GW)가 로우 전압 레벨을 갖는 경우, 제1 트랜지스터(T1)는 턴온될 수 있고, 제1 제어 신호(GW)가 하이 전압 레벨을 갖는 경우, 제1 트랜지스터(T1)는 턴오프될 수 있다. 다른 실시예에서, 제1 트랜지스터(T1)는 엔모스(n-type metal oxide semiconductor; NMOS) 트랜지스터일 수 있다. 이 경우, 제1 제어 신호(GW)가 하이 전압 레벨을 갖는 경우, 제1 트랜지스터(T1)는 턴온될 수 있고, 제1 제어 신호(GW)가 로우 전압 레벨을 갖는 경우, 제1 트랜지스터(T1)는 턴오프될 수 있다. 한편, 실시예에 따라, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 동시 발광 구동을 위한 글로벌 클럭 신호일 수 있다. 예를 들어, 복수의 화소 회로(100)들을 포함하는 유기 발광 표시 장치가 동시 발광 구동 방식으로 동작하는 경우, 글로벌 클럭 신호인 제1 제어 신호(GW)가 복수의 화소 회로(100)들에 공통으로 인가될 수 있다. 이 경우, 제1 제어 신호(GW)와 제2 제어 신호(GC)는 별개의 구동부들에 의해 생성될 수 있다.

[0034] 제2 트랜지스터(T2)는 제2 제어 신호(GC)가 인가되는 게이트 단자, 데이터 신호(DATA)가 전달되는 데이터 라인에 연결된 제2 노드(N2)에 연결되는 제1 단자 및 제3 노드(N3)에 연결되는 제2 단자를 포함할 수 있다. 즉, 제2 트랜지스터(T2)는 유기 발광 다이오드(OLED)에 직렬로 연결된 제3 트랜지스터(T3)의 게이트 단자(즉, 제1 노드(N1))와 드레인 단자(즉, 제3 노드(N3)) 사이에서 제1 트랜지스터(T1)와 직렬로 연결될 수 있다. 일 실시예에서, 도 1에 도시된 바와 같이, 제2 트랜지스터(T2)는 피모스 트랜지스터일 수 있다. 이 경우, 제2 제어 신호(GC)가 로우 전압 레벨을 갖는 경우, 제2 트랜지스터(T2)는 턴온될 수 있고, 제2 제어 신호(GC)가 하이 전압 레벨을 갖는 경우, 제2 트랜지스터(T2)는 턴오프될 수 있다. 다른 실시예에서, 제2 트랜지스터(T2)는 엔모스 트랜지스터일 수 있다. 이 경우, 제2 제어 신호(GC)가 하이 전압 레벨을 갖는 경우, 제2 트랜지스터(T2)는 턴온될 수 있고, 제2 제어 신호(GC)가 로우 전압 레벨을 갖는 경우, 제2 트랜지스터(T2)는 턴오프될 수 있다.

[0035] 제3 트랜지스터(T3)는 제1 노드(N1)에 연결되는 게이트 단자, 제1 전원 신호(ELVDD)가 인가되는 제1 단자 및 제3 노드(N3)에 연결되는 제2 단자를 포함할 수 있다. 도 1에 도시된 바와 같이, 제3 노드(N3)에 제3 트랜지스터(T3)의 제2 단자와 유기 발광 다이오드(OLED)의 애노드(anode)가 연결되기 때문에, 제1 전원 신호(ELVDD)과 제2 전원 신호(ELVSS) 사이에서 제3 트랜지스터(T3)와 유기 발광 다이오드(OLED)는 직렬로 연결될 수 있다. 이 때, 제3 트랜지스터(T3)는 구동 트랜지스터로 명명될 수 있다. 즉, 제3 트랜지스터(T3)는 제3 트랜지스터(T3)의 게이트 단자에 인가된 전압(즉, 제1 노드(N1)에 인가된 전압)에 기초하여 유기 발광 다이오드(OLED)에 흐르는 전류를 조절할 수 있고, 그에 따라, 유기 발광 다이오드(OLED)의 발광 휘도가 조절되어 계조가 표현될 수 있다. 일 실시예에서, 도 1에 도시된 바와 같이, 제3 트랜지스터(T3)는 피모스 트랜지스터일 수 있다. 이 경우, 제1 노드(N1)에 인가된 신호가 제3 트랜지스터(T3)의 턴온 전압 레벨보다 낮은 로우 전압 레벨을 갖는 경우, 제3 트랜지스터(T3)는 턴온될 수 있고, 제1 노드(N1)에 인가된 신호가 제3 트랜지스터(T3)의 턴온 전압 레벨보다 높은 하이 전압 레벨을 갖는 경우, 제3 트랜지스터(T3)는 턴오프될 수 있다. 다른 실시예에서, 제3 트랜지스터(T3)는 엔모스 트랜지스터일 수 있다. 이 경우, 제1 노드(N1)에 인가된 신호가 제3 트랜지스터(T3)의 턴온 전압 레벨보다 높은 하이 전압 레벨을 갖는 경우, 제3 트랜지스터(T3)는 턴온될 수 있고, 제1 노드(N1)에 인가된 신호가 제3 트랜지스터(T3)의 턴온 전압 레벨보다 낮은 로우 전압 레벨을 갖는 경우, 제3 트랜지스터(T3)는 턴오프될 수 있다.

[0036] 스토리지 커패시터(CST)는 초기화 신호(VINT)가 인가되는 제1 단자 및 제1 노드(N1)에 연결되는 제2 단자를 포함할 수 있다. 스토리지 커패시터(CST)는 데이터 기입 구간(DWP)에서 제1 트랜지스터(T1)가 턴온되면, 데이터 라인을 통해 인가되는 데이터 신호(DATA)를 저장할 수 있다. 따라서, 발광 구간(EMP)에서 스토리지 커패시터(CST)에 저장된 데이터 신호(DATA)에 기초하여 제3 트랜지스터(T3)가 턴온되면, 데이터 신호(DATA)에 상응하는 전류가 유기 발광 다이오드(OLED)를 흐르게 되고, 그에 따라, 유기 발광 다이오드(OLED)가 발광할 수 있다. 유기 발광 다이오드(OLED)는 제3 노드(N3)에 연결되는 애노드 및 제2 전원 신호(ELVSS)가 인가되는 캐소드(cathode)를 포함할 수 있다. 상술한 바와 같이, 화소 회로(100)는 3개의 트랜지스터들(T1, T2, T3)을 포함할 수 있고, 3개의 트랜지스터들(T1, T2, T3)은 각각 피모스 트랜지스터 또는 엔모스 트랜지스터일 수 있다. 다만, 설명의 편의를 위해, 본 명세서에서는 화소 회로(100)에 포함된 3개의 트랜지스터들(T1, T2, T3)이 모두 피모스 트랜지스터들인 것으로 가정하여 설명하기로 한다.

[0037] 도 2에 도시된 바와 같이, 화소 회로(100)의 동작 구간은 온-바이어스 동작이 수행되는 온-바이어스 구간(BP), 초기화 동작이 수행되는 초기화 구간(IP), 문턱 전압 보상 동작이 수행되는 문턱 전압 보상 구간(CP), 데이터 기입 동작이 수행되는 데이터 기입 구간(DWP) 및 발광 동작이 수행되는 발광 구간(EMP)을 포함할 수 있다. 상술한 바와 같이, 화소 회로(100)가 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행함에 따라, 화소 회로(100)의 동작 구간도 온-바이어스 구간(BP), 초기화 구간(IP), 문턱 전압 보상 구간(CP), 데이터 기입 구간(DWP) 및 발광 구간(EMP)이 순차적으로 진행될 수 있다.

한편, 도 2에서는 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)와 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)와 동일한 전압 레벨들 및 예지 시간들을 가진 것으로 도시되어 있지만(즉, FOC로 표시), 이것은 설명의 편의를 위한 것으로서, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 도 4 내지 도 6에 도시된 바와 같이 제2 제어 신호(GC)와 상이한 전압 레벨들(즉, 하이 전압 레벨 및 로우 전압 레벨 및/또는 상이한 예지 시간들(즉, 하강 예지 시간 및 상승 예지 시간)을 갖는다. 이에, 화소 회로(100)는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행함에 있어 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환될 때 발생하는 킥백 현상을 방지할 수 있다. 다만, 이에 대해서는 도 4 내지 도 6을 참조하여 자세하게 후술하기로 한다.

[0038] 한편, 화소 회로(100)의 동작 구간을 살펴보면, 화소 회로(100)는 온-바이어스 구간(BP)에서 온-바이어스 동작을 수행하고, 초기화 구간(IP)에서 초기화 동작을 수행하며, 문턱 전압 보상 구간(CP)에서 문턱 전압 보상 동작을 수행하고, 데이터 기입 구간(DWP)에서 데이터 기입 동작을 수행하며, 발광 구간(EMP)에서 발광 동작을 수행할 수 있다. 우선, 화소 회로(100)의 온-바이어스 구간(BP)에서, 제1 전원 신호(ELVDD)는 하이 전압 레벨을 갖고, 제2 전원 신호(ELVSS)는 하이 전압 레벨을 가지며, 초기화 신호(VINT)는 로우 전압 레벨을 갖고, 제1 제어 신호(GW)는 하이 전압 레벨을 가지며, 제2 제어 신호(GC)는 하이 전압 레벨을 갖고, 데이터 신호(DATA)는 기 설정된 유지 전압 레벨(VSUS)을 가질 수 있다. 이에, 화소 회로(100) 내에서 온-바이어스 동작이 수행되고, 그에 따라, 제3 트랜지스터(T3)의 전압 특성 곡선이 이전 프레임에 공급된 데이터 신호(DATA)와 무관하게 온-바이어스 상태로 초기화될 수 있다. 그 결과, 화소 회로(100)는 이전 프레임에 공급된 데이터 신호(DATA)와 무관하게 원하는 휘도를 구현할 수 있다. 한편, 화소 회로(100)는 온-바이어스 구간(BP)에서 초기화 신호(VINT)가 로우 전압 레벨을 갖고, 로우 전압 레벨을 가진 초기화 신호(VINT)가 제3 트랜지스터(T3)의 게이트 단자에 전달되지만, 제1 전원 신호(ELVDD)와 제2 전원 신호(ELVSS)가 모두 하이 전압 레벨을 갖기 때문에, 제3 트랜지스터(T3)(즉, 구동 트랜지스터)는 턴온되지 않는다.

[0039] 다음, 화소 회로(100)의 초기화 구간(IP)에서, 제1 전원 신호(ELVDD)는 로우 전압 레벨을 갖고, 제2 전원 신호(ELVSS)는 하이 전압 레벨을 가지며, 초기화 신호(VINT)는 로우 전압 레벨을 갖고, 제1 제어 신호(GW)는 하이 전압 레벨에서 로우 전압 레벨로 천이하며, 제2 제어 신호(GC)는 로우 전압 레벨을 갖고, 데이터 신호(DATA)는 기 설정된 유지 전압 레벨(VSUS)을 가질 수 있다. 이에, 제1 트랜지스터(T1)는 턴오프되었다가 턴온되고, 제2 트랜지스터(T2)는 턴온될 수 있다. 그 결과, 제3 트랜지스터(T3)의 게이트 단자(즉, 제1 노드(N1)), 유기 발광 다이오드(OLED)의 애노드(즉, 제3 노드(N3)) 및 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 연결되는 제2 노드(N2)가 모두 초기화될 수 있다. 이후, 화소 회로(100)의 문턱 전압 보상 구간(CP)에서, 제1 전원 신호(ELVDD)는 하이 전압 레벨을 갖고, 제2 전원 신호(ELVSS)는 하이 전압 레벨을 가지며, 초기화 신호(VINT)는 하이 전압 레벨을 갖고, 제1 제어 신호(GW)는 로우 전압 레벨을 가지며, 제2 제어 신호(GC)는 로우 전압 레벨에서 하이 전압 레벨로 천이하고, 데이터 신호(DATA)는 기 설정된 유지 전압 레벨(VSUS)을 가질 수 있다. 이에, 제1 트랜지스터(T1)는 턴온되고, 제2 트랜지스터(T2)는 턴온되었다가 턴오프될 수 있다. 그 결과, 제3 트랜지스터(T3)는 다이오드 연결(즉, 제3 트랜지스터(T3)의 게이트 단자와 드레인 단자가 연결)되고, 제1 노드(N1)에 제3 트랜지스터(T3)의 문턱 전압이 반영된 전압이 저장되며, 그에 따라, 제3 트랜지스터(T3)의 문턱 전압에 따른 특성 편차가 제거될 수 있다.

[0040] 다음, 화소 회로(100)의 데이터 기입 구간(DWP)에서, 제1 전원 신호(ELVDD)는 로우 전압 레벨을 갖고, 제2 전원 신호(ELVSS)는 하이 전압 레벨을 가지며, 초기화 신호(VINT)는 하이 전압 레벨에서 로우 전압 레벨로 천이한 이후 소정의 시간이 경과하면 로우 전압 레벨에서 하이 전압 레벨로 천이하고, 제1 제어 신호(GW)는 하이 전압 레벨에서 로우 전압 레벨로 천이한 이후 데이터 기입 동작 시간이 경과하면 로우 전압 레벨에서 하이 전압 레벨로 천이하며, 제2 제어 신호(GC)는 하이 전압 레벨을 갖고, 데이터 신호(DATA)는 소정의 계조에 상응하는 전압 레벨을 가질 수 있다. 이에, 제1 트랜지스터(T1)는 데이터 기입 동작 시간만큼 턴온되고, 제2 트랜지스터(T2)는 턴오프될 수 있다. 그 결과, 제1 트랜지스터(T1)가 턴온되는 데이터 기입 동작 시간 동안 스토리지 커패시터(CST)에 데이터 신호(DATA)가 저장될 수 있다. 한편, 초기화 신호(VINT)가 소정의 시간 동안 로우 전압 레벨을 갖는데, 해당 시간 동안 유기 발광 다이오드(OLED)의 애노드는 다시 초기화될 수 있다. 이후, 화소 회로(100)의 발광 구간(EMP)에서, 제1 전원 신호(ELVDD)는 하이 전압 레벨을 갖고, 제2 전원 신호(ELVSS)는 로우 전압 레벨을 가지며, 초기화 신호(VINT)는 하이 전압 레벨을 갖고, 제1 제어 신호(GW)는 하이 전압 레벨을 가지며, 제2 제어 신호(GC)는 하이 전압 레벨을 갖고, 데이터 신호(DATA)는 기 설정된 유지 전압 레벨(VSUS)을 가질 수 있다. 이에, 제3 트랜지스터(T3)가 스토리지 커패시터(CST)에 저장된 데이터 신호(DATA)에 기초하여 턴온되고, 그에 따라, 유기 발광 다이오드(OLED)에 전류가 흘러 유기 발광 다이오드(OLED)는 발광할 수 있다.

[0041] 한편, 종래의 유기 발광 표시 장치 내 화소 회로에서는, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)와 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)가 하이 전압 레벨, 로우 전압 레벨, 상승 에지 시간 및 하강 에지 시간이 동일하기 때문에, 상기 화소 회로의 동작 구간이 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환될 때, 상기 화소 회로 내에 킥백 현상이 발생하고, 그에 따라, 상기 화소 회로의 휘도 변화에 기인한 휘도 불균일이 야기되고 있다. 다시 말하면, 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환될 때, 제1 트랜지스터(T1)가 턴온되었다가 턴오프되는 시점에서, 누설 전류의 방향 변경에 의해 스토리지 커패시터(CST)에 저장된 전압이 기생 커패시터(CPR)로 분배되고, 스토리지 커패시터(CST)에 저장된 전압의 변화만큼 휘도 변화가 발생하는 것이다. 한편, 제2 트랜지스터(T2)가 턴온되었다가 턴오프되는 시점에서는, 제1 트랜지스터(T1)가 턴오프되어 있기 때문에, 제2 트랜지스터(T2)의 턴오프에 기인한 킥백 현상은 크게 문제가 되지 않는다. 이러한 이유로, 화소 회로(100)는 유기 발광 다이오드(OLED)에 직렬로 연결된 제3 트랜지스터(T3)의 게이트 단자와 드레인 단자 사이에 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 직렬로 연결되고, 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 게이트 단자들을 통해 상이한 전압 레벨들(즉, 하이 전압 레벨과 로우 전압 레벨)을 갖는 신호들을 각각 인가받거나 또는 상이한 에지 시간들(즉, 상승 에지 시간과 하강 에지 시간)을 갖는 신호들을 각각 인가받는 구조를 가질 수 있다.

[0042] 일 실시예에서, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 동작이 수행되는 데이터 기입 구간(DWP)에서 제1 하이 전압 레벨과 제1 로우 전압 레벨을 갖고, 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨보다 낮은 제2 하이 전압 레벨과 제1 로우 전압 레벨보다 높은 제2 로우 전압 레벨을 가질 수 있다. 이 때, 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)는 제1 하이 전압 레벨과 제1 로우 전압 레벨을 가질 수 있다. 즉, 화소 회로(100) 내에서 데이터 기입 구간(DWP) 외의 동작 구간들에서는 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 게이트 단자들을 통해 상이한 전압 레벨들(즉, 하이 전압 레벨과 로우 전압 레벨)을 갖는 신호들을 각각 인가받는 것이다. 이 때, 데이터 기입 구간(DWP) 외의 동작 구간들에서, 제1 제어 신호(GW)의 상승 에지 시간은 제2 제어 신호(GC)의 상승 에지 시간과 동일하고, 제1 제어 신호(GW)의 하강 에지 시간은 제2 제어 신호(GC)의 하강 에지 시간과 동일할 수 있다. 또는, 데이터 기입 구간(DWP) 외의 동작 구간들에서, 제1 제어 신호(GW)의 상승 에지 시간은 제2 제어 신호(GC)의 상승 에지 시간과 동일하고, 제1 제어 신호(GW)의 하강 에지 시간은 제2 제어 신호(GC)의 하강 에지 시간과 동일할 수 있다. 실시예에 따라, 도 2, 도 4 및 도 6에 도시된 바와 같이, 초기화 구간(IP)에서, 제2 제어 신호(GC)가 제1 하이 전압 레벨에서 제1 로우 전압 레벨로 천이한 이후, 제1 제어 신호(GW)가 제2 하이 전압 레벨에서 제2 로우 전압 레벨로 천이할 수 있다. 다음, 문턱 전압 보상 구간(CP)에서, 제2 제어 신호(GC)가 제1 로우 전압 레벨에서 제1 하이 전압 레벨로 천이한 이후, 제1 제어 신호(GW)가 제2 로우 전압 레벨에서 제2 하이 전압 레벨로 천이할 수 있다. 이후, 문턱 전압 보상 구간(CP)과 데이터 기입 구간(DWP) 사이에서, 제1 제어 신호(GW)가 제2 하이 전압 레벨에서 제1 하이 전압 레벨로 천이할 수 있다. 다음, 데이터 기입 구간(DWP)에서, 제1 제어 신호(GW)는 제1 하이 전압 레벨에서 제1 로우 전압 레벨로 천이한 이후 데이터 기입 동작 시간이 경과하면, 제1 로우 전압 레벨에서 제1 하이 전압 레벨로 천이할 수 있다. 이후, 데이터 기입 구간(DWP)과 발광 구간(EMP) 사이에서, 제1 제어 신호(GW)가 제1 하이 전압 레벨에서 제2 하이 전압 레벨로 천이할 수 있다.

[0043] 다른 실시예에서, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 동작이 수행되는 데이터 기입 구간(DWP)에서 제1 상승 에지 시간과 제1 하강 에지 시간을 갖고, 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 상승 에지 시간보다 긴 제2 상승 에지 시간과 제1 하강 에지 시간보다 긴 제2 하강 에지 시간을 가질 수 있다. 이 때, 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)는 제1 상승 에지 시간과 제1 하강 에지 시간을 가질 수 있다. 즉, 화소 회로(100) 내에서 데이터 기입 구간(DWP) 외의 동작 구간들에서는 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 게이트 단자들을 통해 상이한 에지 시간들(즉, 상승 에지 시간과 하강 에지 시간)을 갖는 신호들을 각각 인가받는 것이다. 이 때, 제1 제어 신호(GW)의 하이 전압 레벨은 제2 제어 신호(GC)의 하이 전압 레벨과 동일하고, 제1 제어 신호(GW)의 로우 전압 레벨은 제2 제어 신호(GC)의 로우 전압 레벨과 동일할 수 있다. 실시예에 따라, 도 2 및 도 5에 도시된 바와 같이, 초기화 구간(IP)에서, 제2 제어 신호(GC)가 하이 전압 레벨에서 로우 전압 레벨로 천이한 이후, 제1 제어 신호(GW)가 하이 전압 레벨에서 로우 전압 레벨로 천이할 수 있다. 다음, 문턱 전압 보상 구간(CP)에서, 제2 제어 신호(GC)가 로우 전압 레벨에서 하이 전압 레벨로 천이한 이후, 제1 제어 신호(GW)가 로우 전압 레벨에서 하이 전압 레벨로 천이할 수 있다. 이후, 데이터 기입 구간(DWP)에서, 제1 제어 신호(GW)는 하이 전압 레벨에서 로우 전압 레벨로 천이한 이후 데이터 기입 동작 시간이 경과하면, 로우 전압 레벨에서 하이 전압 레벨로 천이할 수 있다. 이와 같이, 화소 회로(100)는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차

적으로 수행함에 있어 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환될 때 발생하는 킥백 현상을 방지할 수 있다. 이하, 도 3 내지 도 6을 참조하여, 도 2의 점선 박스(FOC)를 보다 자세하게 설명하기로 한다. 한편, 도 2를 참조하여 화소 회로(100)가 순차적으로 수행하는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 설명하였으나, 도 2에 도시된 제1 전원 신호(ELVDD), 제2 전원 신호(ELVSS), 초기화 신호(VINT), 제1 제어 신호(GW), 제2 제어 신호(GC) 및 데이터 신호(DATA)의 파형들은 예시적인 것으로서, 화소 회로(100)가 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행함에 있어서 제1 전원 신호(ELVDD), 제2 전원 신호(ELVSS), 초기화 신호(VINT), 제1 제어 신호(GW), 제2 제어 신호(GC) 및 데이터 신호(DATA)의 파형들은 다양하게 설계 변경될 수 있음을 이해하여야 한다.

[0044] 도 3은 종래의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호를 나타내는 파형도이고, 도 4는 도 1의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호의 일 예를 나타내는 파형도이며, 도 5는 도 1의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호의 다른 예를 나타내는 파형도이고, 도 6은 도 1의 화소 회로에 포함된 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호의 또 다른 예를 나타내는 파형도이다.

[0045] 도 3 내지 도 6을 참조하면, 온-바이어스 구간(BP), 초기화 구간(IP), 문턱 전압 보상 구간(CP), 데이터 기입 구간(DWP) 및 발광 구간(EMP) 동안 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW) 및 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)가 도시되어 있다.

[0046] 우선, 도 3에 도시된 바와 같이, 종래의 화소 회로에서는 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)와 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)가 데이터 기입 구간(DWP) 및 데이터 기입 구간(DWP) 외의 동작 구간들에서 동일한 전압 레벨들과 예지 시간들을 가질 수 있다. 구체적으로, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 구간(DWP) 및 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 마찬가지로, 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)도 데이터 기입 구간(DWP) 및 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 도 3에 도시된 바와 같이, 초기화 구간(IP)에서, 제2 제어 신호(GC)가 제1 하이 전압 레벨(VGH)에서 제1 로우 전압 레벨(VGL)로 천이한 이후, 제1 제어 신호(GW)가 제1 하이 전압 레벨(VGH)에서 제1 로우 전압 레벨(VGL)로 천이할 수 있다. 이후, 문턱 전압 보상 구간(CP)에서, 제2 제어 신호(GC)가 제1 로우 전압 레벨(VGL)에서 제1 하이 전압 레벨(VGH)로 천이한 이후, 제1 제어 신호(GW)가 제1 로우 전압 레벨(VGL)에서 제1 하이 전압 레벨(VGH)로 천이할 수 있다. 이와 같이, 종래의 화소 회로의 동작 구간이 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환될 때, 제2 제어 신호(GC)에 응답하여 제2 트랜지스터(T2)가 턴온되었다가 턴오프되는 시점에서는, 제1 트랜지스터(T1)가 턴오프되어 있기 때문에, 제2 트랜지스터(T2)의 턴오프에 기인한 킥백 현상은 크게 문제가 되지 않는다. 그러나, 종래의 화소 회로의 동작 구간이 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환될 때, 제1 제어 신호(GW)에 응답하여 제1 트랜지스터(T1)가 턴온되었다가 턴오프되는 시점에서는, 제1 트랜지스터(T1)의 턴오프에 기인한 킥백 현상에 의해 의도치 않은 휘도 변화가 발생할 수 있다.

[0047] 일 실시예에서, 도 4에 도시된 바와 같이, 도 1의 화소 회로(100)에서는 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)와 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)가 데이터 기입 구간(DWP) 외의 동작 구간들에서 상이한 전압 레벨들 및 동일한 예지 시간들을 가질 수 있다. 구체적으로, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 구간(DWP)에서 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 그러나, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨(VGH)보다 낮은 제2 하이 전압 레벨(VGH') 및 제1 로우 전압 레벨(VGL)보다 높은 제2 로우 전압 레벨(VGL')을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 이 때, 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)는 데이터 기입 구간(DWP) 및 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 도 4에 도시된 바와 같이, 초기화 구간(IP)에서, 제2 제어 신호(GC)가 제1 하이 전압 레벨(VGH)에서 제1 로우 전압 레벨(VGL)로 천이한 이후, 제1 제어 신호(GW)가 제2 하이 전압 레벨(VGH')에서 제2 로우 전압 레벨(VGL')로 천이할 수 있다. 이후, 문턱 전압 보상 구간(CP)에서, 제2 제어 신호(GC)가 제1 로우 전압 레벨(VGL)에서 제1 하이 전압 레벨(VGH)로 천이한 이후, 제1 제어 신호

(GW)가 제2 로우 전압 레벨(VGL')에서 제2 하이 전압 레벨(VGH')로 천이할 수 있다. 다음, 문턱 전압 보상 구간(CP)과 데이터 기입 구간(DWP) 사이에서, 제1 제어 신호(GW)가 제2 하이 전압 레벨(VGH')에서 제1 하이 전압 레벨(VGH)로 천이할 수 있다. 이후, 데이터 기입 구간(DWP)과 발광 구간(EMP) 사이에서, 제1 제어 신호(GW)가 제1 하이 전압 레벨(VGH)에서 제2 하이 전압 레벨(VGH')로 천이할 수 있다. 이와 같이, 도 1의 화소 회로(100)에서는, 동작 구간이 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환됨에 따라 제1 트랜지스터(T1)가 턴온되었다가 턴오프될 때, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 전압(GW)의 전압 레벨 변동 폭이 종래에 비해 작기 때문에, 제1 트랜지스터(T1)의 턴오프에 기인한 킥백 현상이 감소(또는, 최소화)될 수 있다.

[0048] 다른 실시예에서, 도 5에 도시된 바와 같이, 도 1의 화소 회로(100)에서는 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)와 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)가 데이터 기입 구간(DWP) 외의 동작 구간들에서 동일한 전압 레벨들 및 상이한 예지 시간들을 가질 수 있다. 구체적으로, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 구간(DWP)에서 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 갖고, 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 가질 수 있다. 그러나, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 상승 예지 시간(RT)보다 긴 제2 상승 예지 시간(RT')과 제1 하강 예지 시간(FT)보다 긴 제2 하강 예지 시간(FT')을 갖고, 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 가질 수 있다. 이 때, 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)는 데이터 기입 구간(DWP) 및 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 도 5에 도시된 바와 같이, 초기화 구간(IP)에서, 제2 제어 신호(GC)가 제1 하이 전압 레벨(VGH)에서 제1 로우 전압 레벨(VGL)로 천이한 이후, 제1 제어 신호(GW)가 제1 하이 전압 레벨(VGH)에서 제1 로우 전압 레벨(VGL)로 천이할 수 있다. 이후, 문턱 전압 보상 구간(CP)에서, 제2 제어 신호(GC)가 제1 로우 전압 레벨(VGL)에서 제1 하이 전압 레벨(VGH)로 천이한 이후, 제1 제어 신호(GW)가 제1 로우 전압 레벨(VGL)에서 제1 하이 전압 레벨(VGH)로 천이할 수 있다. 이와 같이, 도 1의 화소 회로(100)에서는, 동작 구간이 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환됨에 따라 제1 트랜지스터(T1)가 턴온되었다가 턴오프될 때, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 전압(GW)의 전압 레벨 변동 시간이 종래에 비해 크기 때문에, 제1 트랜지스터(T1)의 턴오프에 기인한 킥백 현상이 감소(또는, 최소화)될 수 있다.

[0049] 또 다른 실시예에서, 도 6에 도시된 바와 같이, 도 1의 화소 회로(100)에서는 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)와 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)가 데이터 기입 구간(DWP) 외의 동작 구간들에서 상이한 전압 레벨들 및 상이한 예지 시간들을 가질 수 있다. 구체적으로, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 구간(DWP)에서 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 그러나, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 신호(GW)는 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨(VGH)보다 낮은 제2 하이 전압 레벨(VGH') 및 제1 로우 전압 레벨(VGL)보다 높은 제2 로우 전압 레벨(VGL')을 갖고, 제1 하강 예지 시간(FT)보다 긴 제2 하강 예지 시간(FT') 및 제1 상승 예지 시간(RT)보다 긴 제2 상승 예지 시간(RT')을 가질 수 있다. 이 때, 제2 트랜지스터(T2)의 게이트 단자에 인가되는 제2 제어 신호(GC)는 데이터 기입 구간(DWP) 및 데이터 기입 구간(DWP) 외의 동작 구간들에서 제1 하이 전압 레벨(VGH) 및 제1 로우 전압 레벨(VGL)을 갖고, 제1 하강 예지 시간(FT) 및 제1 상승 예지 시간(RT)을 가질 수 있다. 도 6에 도시된 바와 같이, 초기화 구간(IP)에서, 제2 제어 신호(GC)가 제1 하이 전압 레벨(VGH)에서 제1 로우 전압 레벨(VGL)로 천이한 이후, 제1 제어 신호(GW)가 제2 하이 전압 레벨(VGH')에서 제2 로우 전압 레벨(VGL')로 천이할 수 있다. 이후, 문턱 전압 보상 구간(CP)에서, 제2 제어 신호(GC)가 제1 로우 전압 레벨(VGL)에서 제1 하이 전압 레벨(VGH)로 천이한 이후, 제1 제어 신호(GW)가 제2 로우 전압 레벨(VGL')에서 제2 하이 전압 레벨(VGH')로 천이할 수 있다. 다음, 문턱 전압 보상 구간(CP)과 데이터 기입 구간(DWP) 사이에서, 제1 제어 신호(GW)가 제2 하이 전압 레벨(VGH')에서 제1 하이 전압 레벨(VGH)로 천이할 수 있다. 이후, 데이터 기입 구간(DWP)과 발광 구간(EMP) 사이에서, 제1 제어 신호(GW)가 제1 하이 전압 레벨(VGH)에서 제2 하이 전압 레벨(VGH')로 천이할 수 있다. 이와 같이, 도 1의 화소 회로(100)에서는, 동작 구간이 문턱 전압 보상 구간(CP)에서 데이터 기입 구간(DWP)으로 전환됨에 따라 제1 트랜지스터(T1)가 턴온되었다가 턴오프될 때, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 전압(GW)의 전압 레벨 변동 폭이 종래에 비해 작고, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 제1 제어 전압(GW)의 전압 레벨 변동 시간이 종래에 비해 크기 때문에, 제1 트랜지스터(T1)의 턴오프에 기인한 킥백 현상이 감소(또는, 최소화)될 수 있다.

[0050] 도 7은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

[0051] 도 7을 참조하면, 유기 발광 표시 장치(300)는 표시 패널(310) 및 표시 패널 구동 회로(320)를 포함할 수 있다.

[0052] 표시 패널(310)은 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하는 화소 회로(311)들을 포함할 수 있다. 실시예에 따라, 표시 패널(310) 내에서 화소 회로(311)들은 매트릭스 형태로 배치될 수 있다. 표시 패널 구동 회로(320)는 화소 회로(311)들에 데이터 신호(DATA), 초기화 신호(VINT), 제1 제어 신호(GW), 제2 제어 신호(GC), 제1 전원 신호(ELVDD) 및 제2 전원 신호(ELVSS)를 제공하여 표시 패널(310)을 구동할 수 있다. 이를 위해, 표시 패널 구동 회로(320)는 데이터 구동부, 스캔 구동부, 발광 제어부, 타이밍 제어부, 전원 공급부 등을 포함할 수 있다. 다만, 표시 패널 구동 회로(320)의 상술한 구성들은 예시적인 것으로서, 표시 패널 구동 회로(320)의 구성 요소들이 이들에 한정되는 것은 아니다. 한편, 표시 패널 구동 회로(320)는 데이터 기입 동작이 수행되는 데이터 기입 구간에서 동일한 전압 레벨들(즉, 하이 전압 레벨과 로우 전압 레벨)과 예지 시간들(즉, 상승 예지 시간과 하강 예지 시간)을 갖는 제1 제어 신호(GW)와 제2 제어 신호(GC)를 표시 패널(310) 내 화소 회로(311)들에 제공할 수 있다. 또한, 표시 패널 구동 회로(320)는 데이터 기입 구간 외의 동작 구간들에서 상이한 전압 레벨들 또는 상이한 예지 시간들을 갖는 제1 제어 신호(GW)와 제2 제어 신호(GC)를 표시 패널(310) 내 화소 회로(311)들에 제공할 수 있다. 예를 들어, 유기 발광 표시 장치(300)가 동시 발광 구동 방식으로 동작하는 경우, 제1 제어 신호(GW)는 동시 발광 구동을 위한 글로벌 클럭 신호일 수 있다. 즉, 글로벌 클럭 신호인 제1 제어 신호(GW)는 복수의 화소 회로(100)들에 공통으로 인가될 수 있다. 이 경우, 제1 제어 신호(GW)와 제2 제어 신호(GC)는 별개의 구동부들에 의해 생성될 수 있다. 실시예에 따라, 표시 패널 구동 회로(320)는, 데이터 기입 구간과 데이터 기입 구간 외의 동작 구간들에서 상이한 파형을 가진 제1 제어 신호(GW)를 제공하기 위하여, 상이한 전압 레벨들을 생성하기 위한 별도의 전압 생성 회로 또는 정전 다이오드를 포함할 수 있다.

[0053] 일 실시예에서, 표시 패널(310) 내 화소 회로(311)들 각각은 제1 제어 신호(GW)가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 데이터 신호(DATA)가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터, 제2 제어 신호(GC)가 인가되는 게이트 단자, 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터, 제1 노드에 연결되는 게이트 단자, 제1 전원 신호(ELVDD)가 인가되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터, 초기화 신호(VINT)가 인가되는 제1 단자 및 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터, 및 제3 노드에 연결되는 애노드 및 제2 전원 신호(ELVSS)가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함할 수 있다. 이때, 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호(GW)는, 데이터 기입 구간에서 제1 하이 전압 레벨과 제1 로우 전압 레벨을 갖고, 데이터 기입 구간 외의 동작 구간들에서 제1 하이 전압 레벨보다 낮은 제2 하이 전압 레벨과 제1 로우 전압 레벨보다 높은 제2 로우 전압 레벨을 가질 수 있다. 또한, 제2 트랜지스터의 게이트 단자에 인가되는 제2 제어 신호(GC)는 제1 하이 전압 레벨과 제1 로우 전압 레벨을 가질 수 있다. 다시 말하면, 표시 패널 구동 회로(320)가, 데이터 기입 구간에서 동일한 전압 레벨들과 예지 시간들을 갖는 제1 제어 신호(GW)와 제2 제어 신호(GC)를 표시 패널(310) 내 화소 회로(311)들에 제공하고, 데이터 기입 구간 외의 동작 구간들에서 상이한 전압 레벨들을 갖는 제1 제어 신호(GW)와 제2 제어 신호(GC)를 표시 패널(310) 내 화소 회로(311)들에 제공하는 것이다.

[0054] 다른 실시예에서, 표시 패널(310) 내 화소 회로(311)들 각각은 제1 제어 신호(GW)가 인가되는 게이트 단자, 제1 노드에 연결되는 제1 단자 및 데이터 신호(DATA)가 전달되는 데이터 라인에 연결된 제2 노드에 연결되는 제2 단자를 포함하는 제1 트랜지스터, 제2 제어 신호(GC)가 인가되는 게이트 단자, 제2 노드에 연결되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제2 트랜지스터, 제1 노드에 연결되는 게이트 단자, 제1 전원 신호(ELVDD)가 인가되는 제1 단자 및 제3 노드에 연결되는 제2 단자를 포함하는 제3 트랜지스터, 초기화 신호(VINT)가 인가되는 제1 단자 및 제1 노드에 연결되는 제2 단자를 포함하는 스토리지 커패시터, 및 제3 노드에 연결되는 애노드 및 제2 전원 신호(ELVSS)가 인가되는 캐소드를 포함하는 유기 발광 다이오드를 포함할 수 있다. 이때, 제1 트랜지스터의 게이트 단자에 인가되는 제1 제어 신호(GW)는, 데이터 기입 구간에서 제1 상승 예지 시간과 제1 하강 예지 시간을 갖고, 데이터 기입 구간 외의 동작 구간들에서 제1 상승 예지 시간보다 긴 제2 상승 예지 시간과 제1 하강 예지 시간보다 긴 제2 하강 예지 시간을 가질 수 있다. 또한, 제2 트랜지스터의 게이트 단자에 인가되는 제2 제어 신호(GC)는 제1 상승 예지 시간과 제1 하강 예지 시간을 가질 수 있다. 다시 말하면, 표시 패널 구동 회로(320)가, 데이터 기입 구간에서 동일한 전압 레벨들과 예지 시간들을 갖는 제1 제어 신호(GW)와 제2 제어 신호(GC)를 표시 패널(310) 내 화소 회로(311)들에 제공하고, 데이터 기입 구간 외의 동작 구간들에서 상이한 예지 시간들을 갖는 제1 제어 신호(GW)와 제2 제어 신호(GC)를 표시 패널(310) 내 화소 회로

(311)들에 제공하는 것이다. 이와 같이, 유기 발광 표시 장치(300)는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행함에 있어 문턱 전압 보상 구간에서 데이터 기입 구간으로 전환될 때 발생하는 킥백 현상을 방지하는 화소 회로(311)를 포함함으로써 사용자에게 고품질의 이미지를 제공할 수 있다.

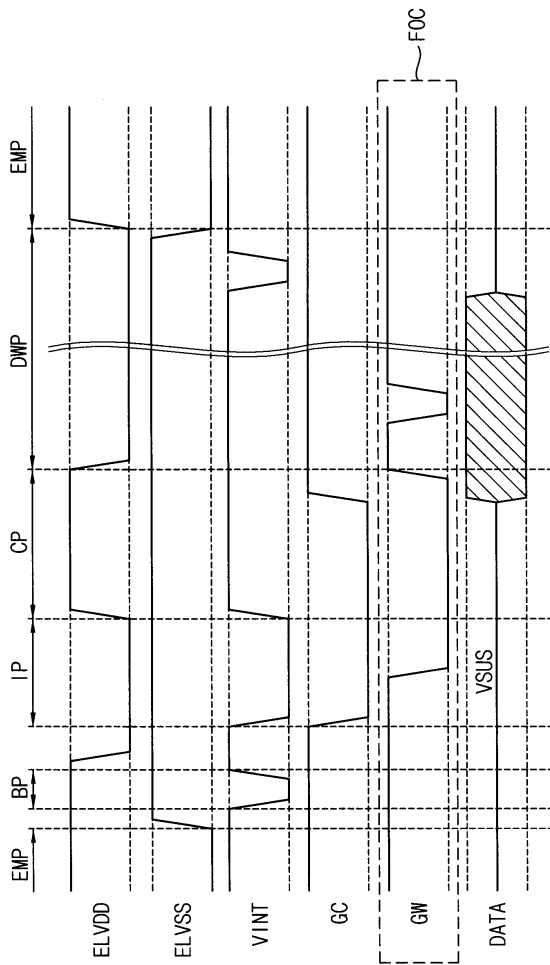
[0055] 도 8은 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이고, 도 9는 도 8의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이며, 도 10은 도 8의 전자 기기가 헤드 마운트 디스플레이로 구현된 일 예를 나타내는 도면이다.

[0056] 도 8 내지 도 10을 참조하면, 전자 기기(500)는 프로세서(510), 메모리 장치(520), 스토리지 장치(530), 입출력 장치(540), 파워 서플라이(550) 및 유기 발광 표시 장치(560)를 포함할 수 있다. 이 때, 유기 발광 표시 장치(560)는 도 7의 유기 발광 표시 장치(300)일 수 있다. 또한, 전자 기기(500)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다. 일 실시예에서, 도 9에 도시된 바와 같이, 전자 기기(500)는 스마트폰으로 구현될 수 있다. 다른 실시예에서, 도 10에 도시된 바와 같이, 전자 기기(500)는 헤드 마운트 디스플레이로 구현될 수 있다. 다만, 이것은 예시적인 것으로서, 전자 기기(500)가 그에 한정되는 것은 아니다. 예를 들어, 전자 기기(500)는 휴대폰, 비디오 폰, 스마트패드, 스마트워치, 태블릿 PC, 차량용 네비게이션, 텔레비전, 컴퓨터 모니터, 노트북 등으로 구현될 수도 있다.

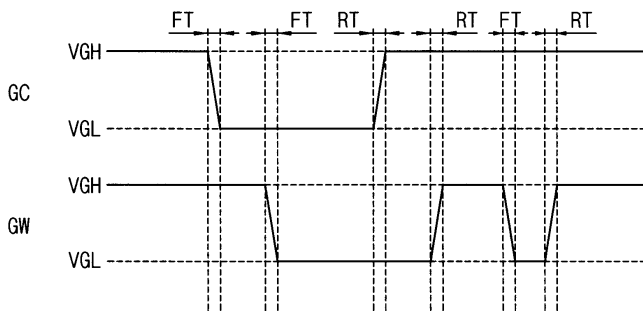
[0057] 프로세서(510)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(510)는 마이크로프로세서(micro processor), 중앙 처리 유닛(central processing unit; CPU), 어플리케이션 프로세서(application processor; AP) 등일 수 있다. 프로세서(510)는 어드레스 버스, 제어 버스 및 데이터 버스 등을 통해 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 프로세서(510)는 주변 구성 요소 상호 연결(peripheral component interconnect; PCI) bus와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(520)는 전자 기기(500)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(520)는 이피롬(Erasable Programmable Read-Only Memory; EPROM) 장치, 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 장치, 플래시 메모리 장치(flash memory device), 피램(Phase Change Random Access Memory; PRAM) 장치, 알램(Resistance Random Access Memory; RRAM) 장치, 엔에프지엠(Nano Floating Gate Memory; NFGM) 장치, 폴리머램(Polymer Random Access Memory; PoRAM) 장치, 엠램(Magnetic Random Access Memory; MRAM), 에프램(Ferroelectric Random Access Memory; FRAM) 장치 등과 같은 비휘발성 메모리 장치 및/또는 디램(Dynamic Random Access Memory; DRAM) 장치, 에스램(Static Random Access Memory; SRAM) 장치, 모바일 DRAM 장치 등과 같은 휘발성 메모리 장치를 포함할 수 있다. 스토리지 장치(530)는 솔리드 스테이트 드라이브(solid state drive; SSD), 하드 디스크 드라이브(hard disk drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력(I/O) 장치(540)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 장치 등과 같은 입력 수단 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 실시예에 따라, 입출력 장치(540)는 유기 발광 표시 장치(560)를 포함할 수도 있다. 파워 서플라이(550)는 전자 기기(500)의 동작에 필요한 파워를 공급할 수 있다.

[0058] 유기 발광 표시 장치(560)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다. 구체적으로, 유기 발광 표시 장치(560)는 유기 발광 다이오드에 직렬로 연결된 제3 트랜지스터의 게이트 단자와 드레인 단자 사이에 제1 트랜지스터와 제2 트랜지스터가 직렬로 연결되고, 데이터 기입 구간 외의 동작 구간들에서 제1 트랜지스터와 제2 트랜지스터가 게이트 단자들을 통해 상이한 전압 레벨들을 갖는 신호들을 각각 인가받거나 또는 상이한 에지 시간들을 갖는 신호들을 각각 인가받는 구조를 가진 화소 회로들을 포함할 수 있다. 이에, 상기 화소 회로들이 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행함에 있어 문턱 전압 보상 구간에서 데이터 기입 구간으로 전환될 때 발생하는 킥백 현상을 방지할 수 있으므로, 상기 화소 회로들을 포함한 유기 발광 표시 장치(560)는 고품질의 이미지를 표시할 수 있다. 구체적으로, 유기 발광 표시 장치(560)는 온-바이어스 동작, 초기화 동작, 문턱 전압 보상 동작, 데이터 기입 동작 및 발광 동작을 순차적으로 수행하는 화소 회로들을 포함하는 표시 패널, 및 화소 회로들에 데이터 신호, 초기화 신호, 제1 제어 신호, 제2 제어 신호, 제1 전원 신호 및 제2 전원 신호를 제공하여 표시 패널을 구동하는 표시 패널 구동 회로를 포함할 수 있다. 이 때, 데이터 기입 동작이 수행되는 데이터 기입 구간에서, 제1 제어 신호와 제2 제어 신호는 동일한 전압 레벨들과 에지 시간들을 갖고, 데이터 기입 구간 외의 동작 구간들에서, 제1 제어 신호와 제2 제어 신호는 상이한 전압 레벨들 또는 상이한 에지 시간들을 가질 수 있다. 다만, 유기 발광 표시 장치(560)에 포함된 화소 회로들 각각의 구조에 대해서는 상술한 바 있으므로, 그에 대한 중복되는 설명은 생략하기로 한다.

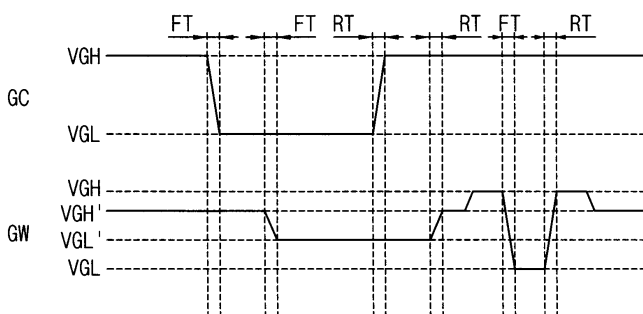
도면2



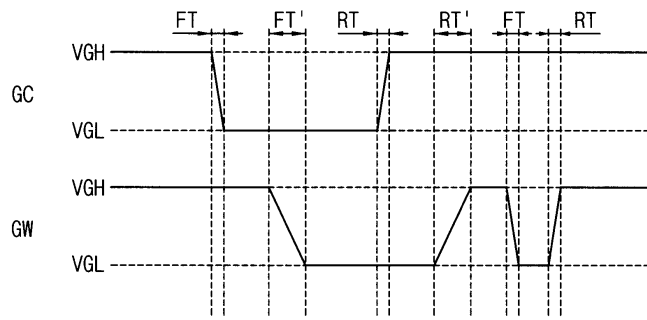
도면3



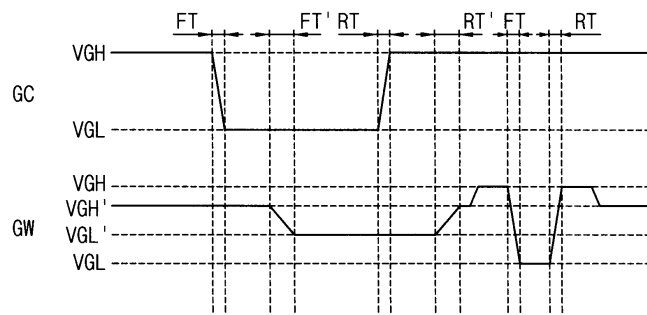
도면4



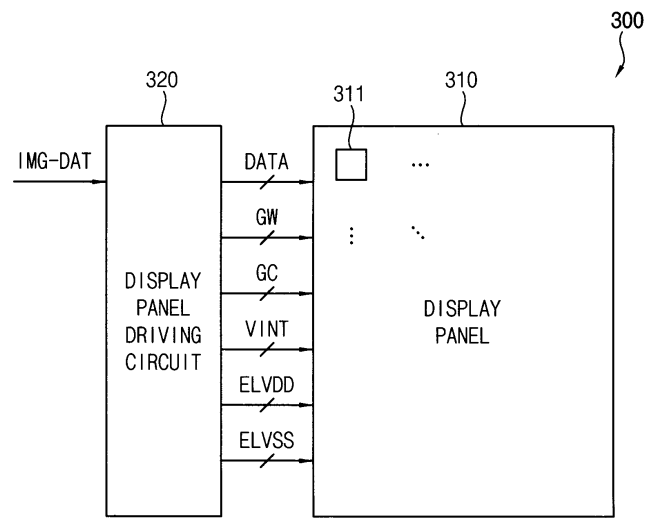
도면5



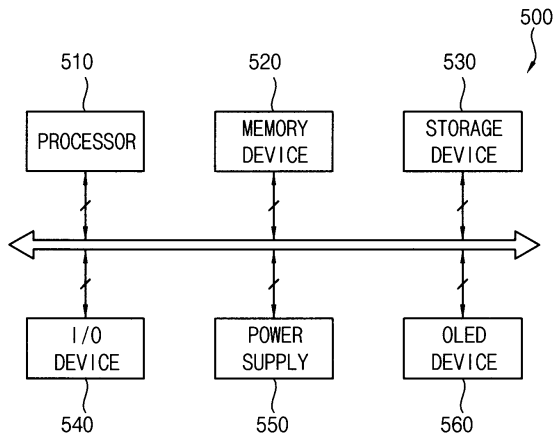
도면6



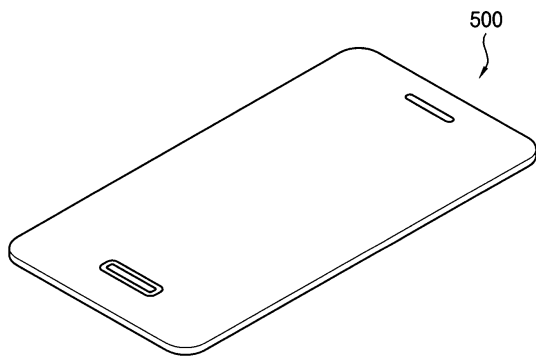
도면7



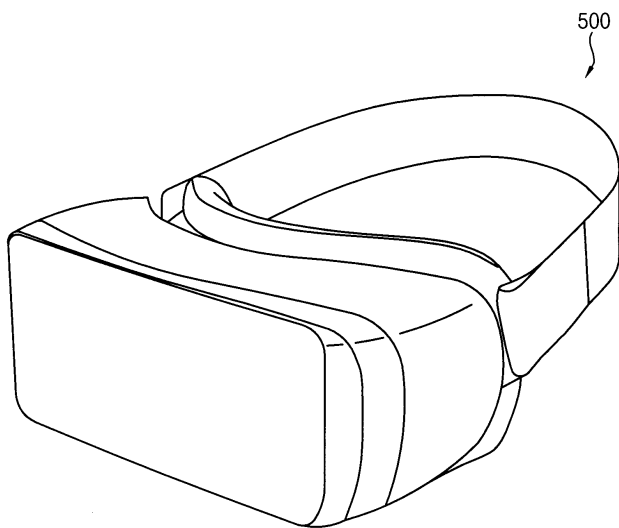
도면8



도면9



도면10



专利名称(译)	像素电路和包括其的有机发光显示器		
公开(公告)号	KR1020190083691A	公开(公告)日	2019-07-15
申请号	KR1020180001353	申请日	2018-01-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	박준현 이철근 최양화		
发明人	박준현 이철근 최양화		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2320/0233 G09G2320/0247 G09G2300/0819 G09G2310/0262 G09G3/3225 G09G3/3266 G09G3/3275 G09G2310/08		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

一种像素电路，包括：第一晶体管，其包括施加有第一控制信号的栅极端子；第一端子，其连接至第一节点；以及第二端子，其连接至第二节点，所述第二节点连接至数据线，其中传输数据信号；第二晶体管，其包括施加有第二控制信号的栅极端子，连接到第二节点的第一端子和连接到第三节点的第二端子；第三晶体管，其包括连接至第一节点的栅极端子，施加有第一功率信号的第一端子以及连接至第三节点的第二端子。存储电容器，包括施加有初始化信号的第一端子和连接到第一节点的第二端子；有机发光二极管，其包括连接到第三节点的阳极和施加第二功率信号的阴极。在数据写入周期中，第一控制信号具有与第二控制信号相同的高电压电平和低电压电平，并且在除操作时段之外的其他操作周期中，第一控制信号具有与第二控制信号不同的高电压电平和低电压电平。数据写入周期。根据本发明，有机发光显示装置包括本发明的像素电路，从而显示高质量的图像。

