



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0078026
(43) 공개일자 2019년07월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0179694

(22) 출원일자 2017년12월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이현기

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인(유한)유일하이스트

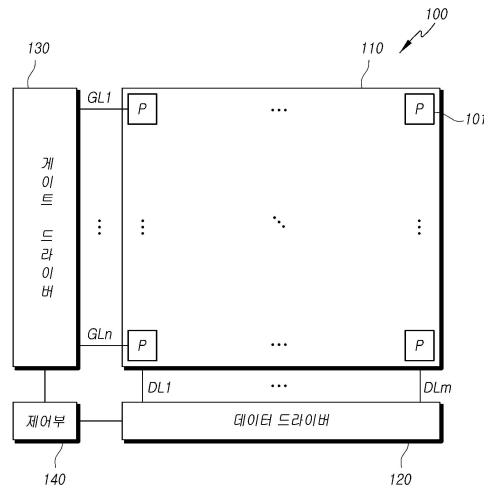
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법

(57) 요약

본 발명의 실시예에 의하면, 데이터신호에 대응하여 유기발광다이오드로 구동전류를 공급하는 제1트랜지스터, 제1트랜지스터로 데이터신호를 공급하는 제2트랜지스터, 제1트랜지스터로 전달되는 데이터전압을 유지하는 제1캐패시터, 및 제1캐패시터의 연결을 제어하는 제어트랜지스터를 포함하는 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법을 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2320/0252 (2013.01)

G09G 2330/021 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

데이터신호에 대응하여 유기발광다이오드로 구동전류를 공급하는 제1트랜지스터;
 상기 제1트랜지스터로 상기 데이터신호를 공급하는 제2트랜지스터;
 상기 제1트랜지스터로 전달되는 상기 데이터전압을 유지하는 제1캐패시터; 및
 상기 제1캐패시터의 연결을 제어하는 제어트랜지스터를 포함하는 화소회로.

청구항 2

제1항에 있어서,
 상기 제어트랜지스터는 턴온/턴오프동작에 의해 상기 제1캐패시터에 저장된 상기 데이터전압을 선택적으로 상기 제1트랜지스터로 공급하는 화소회로.

청구항 3

제2항에 있어서,
 상기 제어트랜지스터의 동작에 대응하여 상기 제1캐패시터는 플로팅 또는 리셋되는 화소회로.

청구항 4

제2항에 있어서,
 상기 제1트랜지스터로 전달되는 상기 데이터신호에 대응되는 상기 데이터전압을 유지하는 제2캐패시터를 더 포함하는 화소회로.

청구항 5

제1항에 있어서,
 상기 제1트랜지스터는 제1전극과 제2전극이 제1화소전원선과 제2노드 사이에 배치되고 게이트전극이 제1노드에 연결되도록 배치되고,
 상기 제2트랜지스터는 제1전극과 제2전극이 상기 데이터신호를 공급하는 데이터라인과 상기 제1노드 사이에 배치되고 게이트전극이 게이트라인에 연결되도록 배치되고,
 상기 제어트랜지스터는 제1전극과 제2전극이 제1노드와 제2노드 사이에 배치되고 게이트전극이 제1신호선에 연결되도록 배치되고,
 상기 제1캐패시터는 제1전극과 제2전극이 상기 제1노드와 상기 제2노드 사이에 배치되되, 상기 제어트랜지스터와 상기 제1노드와 상기 제2노드 사이에서 직렬 또는 병렬로 연결되도록 배치되는 화소회로.

청구항 6

제5항에 있어서,

상기 유기발광다이오드에 인가된 전압을 센싱전압라인으로 전달하는 제3트랜지스터를 포함하는 화소회로.

청구항 7

제5항에 있어서,

제1전극이 상기 제1노드에 연결되고 제2전극이 상기 제2노드에 연결되는 제2캐패시터를 더 포함하는 화소회로.

청구항 8

복수의 화소를 포함하는 표시패널;

상기 복수의 화소에 데이터신호를 공급하는 데이터드라이버; 및

상기 복수의 화소에 게이트신호를 공급하는 게이트드라이버를 포함하되,

상기 복수의 화소 중 적어도 하나의 화소는

제1전극과 제2전극이 제1화소전원과 제2노드 사이에 배치되고 게이트전극이 제1노드에 연결되도록 배치되는 제1트랜지스터;

제1전극과 제2전극이 상기 데이터신호를 공급하는 데이터라인과 상기 제1노드 사이에 배치되고 게이트전극이 상기 게이트신호를 공급하는 게이트라인에 연결되도록 배치되는 제2트랜지스터;

제1전극과 제2전극이 상기 제1노드와 상기 제2노드 사이에 배치되고 게이트전극이 제1신호선에 연결되도록 배치되는 제어트랜지스터;

제1전극과 제2전극이 상기 제1노드와 상기 제2노드 사이에서 상기 제어트랜지스터와 직렬 또는 병렬로 연결되도록 배치되며, 상기 직렬 연결에서는 상기 제1전극이 상기 제어트랜지스터의 제2전극에 연결되는 제1캐패시터; 및

애노드전극이 상기 제2노드에 연결되고 캐소드전극이 제2화소전원에 연결되는 유기발광다이오드를 포함하는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 데이터드라이버와 상기 게이트드라이버를 제어하는 제어부를 더 포함하며,

상기 제어부는 상기 유기발광다이오드가 발광하는 제1기간과 상기 유기발광다이오드가 발광하지 않는 제2기간으로 구분하여 동작하되, 상기 제1기간에 상기 제1캐패시터에서 상기 제1트랜지스터의 게이트전극의 전압을 유지하고 상기 제2기간에 상기 제어트랜지스터에서 상기 제1트랜지스터의 게이트전극의 전압이 유지되도록 상기 제어트랜지스터를 제어하는 유기발광표시장치.

청구항 10

제8항에 있어서,

상기 제어트랜지스터는 선택적으로 상기 제1캐패시터가 플로팅 또는 리셋되게 하는 유기발광표시장치.

청구항 11

제8항에 있어서,

상기 제2화소전원이 상기 제1기간과 상기 제2기간에 서로 다른 전압레벨을 갖도록 출력하는 전원부를 더 포함하는 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 제어트랜지스터는 상기 제1신호선이 상기 제2화소전원과 연결되는 유기발광표시장치.

청구항 13

제8항에 있어서,

상기 제어트랜지스터는 상기 제1신호선으로부터 제어신호를 공급받아 턴온 또는 턴오프되는 유기발광표시장치.

청구항 14

제8항에 있어서,

상기 제1트랜지스터로 전달되고 상기 데이터신호에 대응되는 상기 데이터전압을 유지하는 제2캐패시터를 더 포함하는 유기발광표시장치.

청구항 15

제14항에 있어서,

상기 제2캐패시터는 상기 제1전극이 상기 제1노드에 연결되고 상기 제2전극이 상기 제2노드에 연결되는 유기발광표시장치.

청구항 16

제7항에 있어서,

상기 유기발광다이오드에 인가된 전압을 센싱전압라인으로 전달하는 제3트랜지스터를 포함하는 유기발광표시장치.

청구항 17

제1트랜지스터의 게이트전극에 인가되는 데이터전압에 대응하여 구동전류가 유기발광다이오드로 공급되게 하고, 선택적으로 상기 제1트랜지스터의 게이트전극에 데이터전압을 전달하는 제2트랜지스터를 포함하는 유기발광표시장치의 구동방법에서,

상기 데이터전압을 제1캐패시터를 이용하여 유지하게 하는 단계; 및

상기 제1캐패시터를 리셋 또는 플롯팅시키고 상기 데이터전압을 제어트랜지스터를 이용하여 유지하게 하는 단계를 포함하는 유기발광표시장치의 구동방법.

청구항 18

제17항에 있어서,

상기 구동전류는 제1화소전원과 제2화소전원을 공급받아 상기 구동전류를 공급하되, 상기 제2화소전원의 전압레벨은 상기 제1단계와 상기 제2단계에서 다른 전압레벨을 갖는 유기발광표시장치의 구동방법.

청구항 19

제18항에 있어서,

상기 제2단계에서 상기 제1캐패시터의 리셋 또는 플로팅은 상기 제2화소전원의 전압레벨에 대응하는 유기발광표시장치의 구동방법.

청구항 20

제17항에 있어서,

상기 제2기간에서 상기 제1캐패시터의 리셋 또는 플로팅을 제어하는 제어신호가 공급되는 유기발광표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 액정표시장치(LCD: Liquid Crystal Display Device), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 여러 가지 타입의 표시장치가 활용되고 있다.

[0003] 상기의 표시장치 중 유기발광표시장치는 자발광소자이고 응답속도, 시야각, 색재현성 등이 매우 우수하고 얇게 구현할 수 있어 최근에 각광받고 있다.

[0004] 이러한 유기발광표시장치는 구동전류에 대응하여 빛을 발광하는 유기발광다이오드와, 구동전류를 공급하는 구동트랜지스터를 포함할 수 있다. 구동트랜지스터를 형성하는 과정에서 구동트랜지스터는 문턱전압 편차가 발생할 수 있다. 그리고, 구동트랜지스터의 문턱전압에 의해 편차에 의해 유기발광다이오드로 공급되는 구동전류의 편차가 발생하여 화질저하가 발생할 수 있다.

[0005] 상기와 같은 이유로, 유기발광표시장치는 문턱전압의 편차를 센싱하고 문턱전압의 편차를 보상함으로써 화질을 개선한다. 하지만, 대면적/고해상도의 유기발광표시장치는 화소의 수가 매우 많아 문턱전압의 편차를 센싱하는 센싱시간이 매우 길어지게 되고 소비전력이 증가하는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들의 목적은, 화질저하를 방지할 수 있는 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법을 제공하는 것이다.

[0007] 본 발명의 실시예들의 다른 목적은, 센싱시간을 짧게 구현하고 소비전력을 저감할 수 있는 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법을 제공하는 것이다.

과제의 해결 수단

[0008] 일측면에서, 본 발명의 실시예들은, 데이터신호에 대응하여 유기발광다이오드로 구동전류를 공급하는 제1트랜지스터, 제1트랜지스터로 데이터신호를 공급하는 제2트랜지스터, 제1트랜지스터로 전달되는 데이터전압을 유지하

는 제1캐패시터, 및 제1캐패시터의 연결을 제어하는 제어트랜지스터를 포함하는 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법을 제공할 수 있다.

[0009] 다른 일측면에서, 본 발명의 실시예들은, 복수의 화소를 포함하는 표시패널, 복수의 화소에 데이터신호를 공급하는 데이터드라이버, 및 복수의 화소에 게이트신호를 공급하는 게이트드라이버를 포함하되, 복수의 화소 중 적어도 하나의 화소는 제1전극과 제2전극이 제1화소전원과 제1노드 사이에 배치되고 게이트전극이 제2노드에 연결되도록 배치되는 제1트랜지스터, 제1전극과 제2전극이 데이터신호를 공급하는 데이터라인과 제1노드 사이에 배치되고 게이트전극이 제2노드에 연결되도록 배치되는 제2트랜지스터, 제1전극과 제2전극이 제1노드와 제2노드 사이에 배치되고 게이트전극이 제1신호선에 연결되도록 배치되는 제어트랜지스터, 제1전극과 제2전극이 제1노드와 제2노드 사이에서 사이에서 제어트랜지스터와 직렬 또는 병렬로 연결되도록 배치되며, 직렬 연결에서는 제1전극이 제어트랜지스터의 제2전극에 연결되는 제1캐패시터, 및 애노드전극이 제2노드에 연결되고 캐소드전극이 제2화소전원에 연결되는 유기발광다이오드를 포함하는 유기발광표시장치를 제공할 수 있다.

[0010] 다른 일측면에서, 본 발명의 실시예들은, 제1트랜지스터의 게이트전극에 인가되는 데이터전압에 대응하여 구동전류가 유기발광다이오드로 공급되게 하고, 선택적으로 상기 제1트랜지스터의 게이트전극에 데이터전압을 전달하는 제2트랜지스터를 포함하여 구동하되, 데이터전압을 제1캐패시터를 이용하여 유지하게 하는 제1단계, 및 데이터전압을 제어트랜지스터를 이용하여 유지하게 하는 제2단계를 포함하는 유기발광표시장치의 구동방법을 제공할 수 있다.

발명의 효과

[0011] 본 발명의 실시예들에 의하면, 화질저하를 방지할 수 있는 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법을 제공할 수 있다.

[0012] 본 발명의 실시예들에 의하면, 센싱시간을 짧게 구현하고 소비전력을 저감할 수 있는 화소회로, 유기발광표시장치 및 그를 구동하는 구동방법을 제공할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예에 따른 유기발광표시장치의 일 예를 나타내는 구조도이다.
 도 2는 본 발명의 실시예에 따른 화소의 일 예를 나타내는 회로도이다.
 도 3은 본 발명의 실시예들에 따른 화소에서 문턱전압을 센싱하는 과정의 일 예를 나타내는 타이밍도이다.
 도 4는 본 발명의 실시예들에 따른 화소의 일 예를 나타내는 회로도이다.
 도 5는 본 발명의 실시예들에 따른 화소의 구동방법의 일 예를 나타내는 타이밍도이다.
 도 6은 본 발명의 실시예들에 따른 화소의 일 예를 나타내는 회로도이다.
 도 7은 본 발명의 실시예들에 따른 화소의 구동방법의 일 예를 나타내는 타이밍도이다.
 도 8은 본 발명의 실시예들에 따른 화소의 일 예를 나타내는 회로도이다.
 도 9는 본 발명의 실시예들에서 유기발광다이오드에 인가되는 전압이 세채레이션되는 것을 나타내는 그래프이다.
 도 10은 본 발명의 실시예들에 따른 유기발광표시장치의 구동방법의 일 예를 나타내는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0015] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각

구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

- [0016] 도 1은 본 발명의 실시예들에 따른 유기발광표시장치의 일 예를 나타내는 구조도이다.
- [0017] 도 1을 참조하면, 유기발광표시장치(100)는 표시패널(110), 데이터드라이버(120), 게이트드라이버(130) 및 제어부(140)를 포함할 수 있다.
- [0018] 표시패널(110)은 복수의 화소(101)를 포함할 수 있다. 복수의 화소(101)는 데이터신호와 게이트신호를 전달받아 구동될 수 있고, 데이터신호에 대응하는 전압레벨에 대응하여 계조를 표현할 수 있다. 복수의 화소(101)는 각각 적색, 청색, 녹색 또는 적색, 청색, 녹색, 백색의 빛을 발광할 수 있다. 하지만, 화소(101)에서 발광하는 빛의 색이 이에 한정되는 것은 아니다.
- [0019] 표시패널(110)에는 복수의 화소(101)에 데이터신호를 전달하기 위한 데이터라인(DL1, ..., DLm)과 게이트신호를 전달하기 위한 게이트라인(GL1, ..., GLn)이 배치될 수 있다. 복수의 화소(101)는 데이터라인(DL1, ..., DLm), 게이트라인(GL1, ..., GLn)이 연결될 수 있다. 표시패널(110)에 배치되는 배선은 데이터라인(DL1, ..., DLm), 게이트라인(GL1, ..., GLn)에 한정되는 것은 아니다.
- [0020] 데이터드라이버(120)는 디지털 데이터신호를 입력받아 데이터라인(DL1, ..., DLm)을 통해 복수의 아날로그 데이터신호를 출력할 수 있다. 아날로그 데이터신호는 데이터신호에 대응하는 데이터전압일 수 있다. 데이터드라이버(120)는 복수의 드라이버 IC를 포함할 수 있다. 데이터드라이버(120)에 드라이버 IC의 수는 표시패널(110)의 해상도 또는 표시패널(110)의 크기에 따라 그 수가 결정될 수 있다.
- [0021] 게이트드라이버(130)는 게이트신호가 순차적으로 게이트라인(GL1, ..., GLn)에 입력되도록 할 수 있다. 여기서, 게이트드라이버(130)는 표시패널(110)과 구분되는 별도의 구성요소인 것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 게이트 드라이버(130)는 GIP(Gate In Panel) 회로로 형성되어 표시패널(110)의 일 영역에 배치될 수 있다. 또한, 게이트드라이버(130)는 표시패널(110)의 일측에 배치되어 있는 것으로 도시되어 있지만, 이에 한정되는 것은 아니다.
- [0022] 또한, 데이터구동부(120)와 게이트구동부(130)는 PCB(Printed circuit board)를 통해 각각 표시패널(110)에 연결될 수도 있지만, 이에 한정되는 것은 아니다.
- [0023] 제어부(140)는 데이터드라이버(120)와 게이트드라이버(130)를 제어하는 제어신호를 출력할 수 있다. 또한, 제어부(140)는 데이터드라이버(120)에 디지털 데이터신호를 전달할 수 있다. 제어부(140)는 외부에서 영상신호를 전달받아 디지털 데이터신호로 변경하고 전달할 수 있다.
- [0024] 도 2는 본 발명의 실시예들에 따른 화소의 일 예를 나타내는 회로도이다.
- [0025] 도 2를 참조하면, 화소(101)는 유기발광다이오드(OLED)와, 제1트랜지스터(M1), 제2트랜지스터(M2) 및 캐패시터(C1)를 포함할 수 있다. 여기서, 제1트랜지스터(T1)는 유기발광다이오드(OLED)에 구동전류를 구동하는 구동트랜지스터일 수 있다.
- [0026] 제1트랜지스터(M1)는 제1전극과 제2전극이 제1화소전원(EVDD)과 제2노드(N2) 사이에 배치되고 게이트전극이 제1노드(N1)에 연결되도록 배치될 수 있다. 제2트랜지스터(M2)는 제1전극과 제2전극이 데이터신호를 공급하는 데이터라인(DL)과 제1노드(N1) 사이에 배치되고 게이트전극이 게이트라인(GL)에 연결되도록 배치될 수 있다. 제1캐패시터(C1)는 제1전극과 제2전극이 제1노드(N1)와 제2노드(N2) 사이에 배치될 수 있다. 유기발광다이오드(OLED)는 애노드전극이 제2노드(N2)에 연결되고 캐소드전극이 제2화소전원(EVSS)에 연결될 수 있다. 제2화소전원(EVSS)의 전압레벨은 제1화소전원(EVDD)의 전압레벨보다 낮을 수 있다. 또한, 제2화소전원(EVSS)은 접지에 대응할 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0027] 또한, 화소(101)는 제3트랜지스터(M3)를 더 포함할 수 있다. 제3트랜지스터(M3)는 제1전극과 제2전극이 제2노드(N2)와 센싱전압라인(VL2) 사이에 배치되고 게이트전극이 센싱라인(Ssen)에 연결되도록 배치될 수 있다. 여기서, 게이트라인(GL)과 센싱라인(Ssen)은 동일한 신호를 전달할 수 있다. 또한, 게이트라인(GL)과 센싱라인(Ssen)은 동일한 라인일 수 있다. 게이트라인(GL)과 센싱라인(Ssen)은 도 1에 도시된 게이트드라이버(130)와 연결될 수 있다. 또한, 데이터라인(DL)은 디지털아날로그컨버터(120a)가 연결될 수 있고 센싱전압라인(VL2)은 아날로그디지털컨버터(120b)가 연결될 수 있다. 디지털아날로그컨버터(120a)와 아날로그디지털컨버터(120b)는 도 1에 도시된 데이터드라이버(120)에 포함될 수 있다.

[0028] 디지털아날로그컨버터(120a)는 도 1에 도시된 제어부(140)로부터 전달되는 디지털데이터신호를 아날로그 데이터 전압으로 변환하여 데이터라인(DL)으로 공급할 수 있고 아날로그디지털컨버터(120b)는 센싱전압라인(VL2)에 인가되어 있는 센싱전압을 전달받아 디지털로 변환하여 센싱신호를 생성할 수 있다. 상기와 같은 구성을 갖는 데이터드라이버(120)는 센싱전압을 센싱할 수 있다. 또한, 데이터드라이버(120)가 복수의 드라이브 IC를 포함하는 경우, 하나의 드라이브 IC에는 적어도 하나의 디지털아날로그컨버터(120a)와 아날로그디지털컨버터(120b)를 포함할 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0029] 상기와 같이 구성된 화소(101)는 게이트라인(GL)으로 게이트신호가 전달되면 제2트랜지스터(M2)가 턴온되어 데이터신호에 대응하는 데이터전압(Vdata)이 제1노드(N1)에 전달될 수 있다. 데이터전압(Vdata)이 제1노드(N1)에 전달되면 제1트랜지스터(M1)은 제2노드(N2)로 구동전류를 공급할 수 있다. 제2노드(N2)에 공급된 구동전류는 유기발광다이오드(OLED)로 공급되어 유기발광다이오드(OLED)는 빛을 발광할 수 있다.

[0030] 구동전류의 크기는 데이터전압에 대응할 수 있다. 또한, 구동전류의 크기는 제1노드(N1)과 제2노드(N2) 간의 전압에 대응할 수 있다. 또한, 구동전류의 크기는 하기의 수학적 식 1에 대응할 수 있다.

수학적 식 1

$$I_{ds} = \frac{\beta}{2} (V_{gs} - v_{th})^2$$

[0032] 여기서, I_{ds} 는 구동전류의 크기이고, V_{gs} 는 제1트랜지스터(M1)의 소스전극과 게이트전극 간에 인가된 전압이고, V_{th} 는 제1트랜지스터의 문턱전압을 의미할 수 있다. 제1트랜지스터(M1)의 소스전극은 제2노드(N2)에 대응되고 게이트전극은 제1노드(N1)에 대응할 수 있다.

[0033] 상기와 같이 흐르는 구동전류는 제1트랜지스터(M1)의 문턱전압의 크기에 대응하여 흐를 수 있다. 따라서, 표시 패널(110)의 복수의 화소에 각각 포함되어 있는 제1트랜지스터(M1)에 문턱전압 편차가 존재하면, 각 화소(101)는 제1트랜지스터(M1)의 문턱전압 편차로 인해 휘도차이가 발생할 수 있다. 또한, 각 화소들의 휘도차이로 인해 유기발광표시장치는 화질이 저하되는 문제가 발생한다.

[0034] 따라서, 일정한 구동전류가 흐르도록 하기 위해서 제1트랜지스터(M1)의 문턱전압의 편차를 보상하여야 한다. 따라서, 제1트랜지스터(M1)의 문턱전압의 편차를 보상하는 동작을 수행하는 기간이 필요하다.

[0035] 도 3은 본 발명의 실시예들에 따른 화소에서 문턱전압을 센싱하는 과정의 일 예를 나타내는 타이밍도이다.

[0036] 도 3을 참조하면, 화소(101)에 게이트신호와, 센싱신호, 초기화신호(SPARE)가 인가될 수 있다. 하이 상태의 게이트신호가 게이트라인(GL)에 인가되면 화소(101)의 제2트랜지스터(M2)가 턴온될 수 있다. 또한, 하이 상태의 초기화신호(SPARE)가 인가되면 제1스위치(SW1)가 턴온될 수 있다. 제2트랜지스터(M2)가 턴온되면 데이터라인(DL)에 인가되어 있는 데이터전압(Vdata)이 제1노드(N1)에 공급되기 시작한다. 제1트랜지스터(M1)는 제1노드(N1)에 인가되는 데이터전압(Vdata)에 대응하여 제2노드(N2)로 구동전류를 공급하기 시작한다. 그리고, 턴온된 제1스위치(SW1)에 의해 초기화전압(Vref)이 센싱전압라인(VL2)에 인가될 수 있다. 또한, 하이 상태의 센싱신호가 센싱라인(Ssen)에 인가되면 화소(101)의 제3트랜지스터(M3)가 턴온될 수 있다. 제3트랜지스터(M3)가 턴온되면 제2노드(N2)가 센싱전압라인(VL2)에 연결되고 센싱전압라인(VL2)에 인가된 초기화전압(Vref)에 의해 제2노드(N2)는 초기화될 수 있다. 센싱전압라인(VL2)의 전압을 센싱전압(Vsen)이라고 칭할 수 있다. 초기화전압(Vref)의 전압레벨은 유기발광다이오드(OLED)의 문턱전압보다 낮은 전압레벨을 가질 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0037] 그리고 난 후, 초기화신호(SPARE)가 전달되지 않아 제1스위치(SW1)는 턴오프될 수 있다. 이때, 게이트신호는 하이 상태를 유지하고 있어 제2트랜지스터(M2)를 통해 제1노드(N1)은 데이터전압(Vdata)을 계속 공급받을 수 있다. 따라서, 제1트랜지스터(M1)는 제2노드(N2)로 구동전류를 계속 공급할 수 있다. 또한, 제1스위치(SW1)은 턴오프 상태이기 때문에 초기화전압(Vref)이 전달되지 않아 제2노드(N2)의 전압레벨은 높아질 수 있다.

[0038] 제1트랜지스터(M1)에서 제1노드(N1)로 공급하는 구동전류는 제1트랜지스터(M1)의 게이트전극에 공급되는 데이터전압의 전압레벨에 도달하게 되면 더 이상 제1노드(N1)로 공급되지 않게 된다. 즉, 제1노드(N1)의 전압이 데이터전압에 세류레이션되면 제1노드(N1)의 전압은 더 이상 높아지지 않게 될 수 있다. 보다 구체적으로 설명하면, 제1트랜지스터(M1)의 문턱전압 편차($(\Phi(+), \Phi(-))$)에 의해 제2노드(N2)의 전압은 세류레이션

(saturation)되더라도 제1트랜지스터(M1)의 문턱전압의 편차($\Phi(+)$, $\Phi(-)$)의 크기에 대응하여 데이터전압(Vdata)과 차이가 발생할 수 있다. 또한, 문턱전압의 편차($\Phi(+)$)로 인해 제2노드(N1)의 전압은 데이터전압보다 낮을 수 있다. 또한, 문턱전압의 편차($\Phi(-)$)로 인해 제2노드(N1)의 전압은 데이터전압보다 높을 수 있다. 그리고, 세충레이션된 상태에서 샘플링신호(SAM)을 이용하여 제2스위치(SW2)를 턴온시키면 데이터전압과 문턱전압의 차이에 대한 정보를 얻을 수 있고 이를 이용하여 문턱전압 편차를 센싱할 수 있다.

[0039] 표시패널(110)에서 영상을 경우 일정한 시간 동안 유기발광다이오드(OLED)가 발광을 하여야 하기 때문에 제1캐패시터(C1)의 용량을 크게 하고, 제1캐패시터(C1)가 제1노드(N1)의 전압을 유지하게 함으로써 유기발광다이오드(OLED)가 일정하게 발광하도록 할 수 있다.

[0040] 도 4는 본 발명의 실시예들에 따른 화소의 일 예를 나타내는 회로도이다.

[0041] 도 4를 참조하면, 화소(101)는 데이터신호에 대응하여 유기발광다이오드(OLED)로 구동전류를 공급하는 제1트랜지스터(M1), 제1트랜지스터(M1)로 데이터신호를 공급하는 제2트랜지스터(M2), 제1트랜지스터(M1)로 전달되는 데이터전압(Vdata)을 유지하는 제1캐패시터(C1), 및 제1캐패시터(C1)의 연결을 제어하는 제어트랜지스터(Mc)를 포함할 수 있다.

[0042] 제어트랜지스터(Mc)는 제1캐패시터(C1)에 저장된 데이터전압(Vdata)을 선택적으로 제1트랜지스터(M1)로 공급할 수 있다. 제어트랜지스터(Mc)의 동작에 대응하여 제1캐패시터(C1)는 제1노드(N1)와 연결 또는 플로팅될 수 있다. 제1트랜지스터(M1), 제2트랜지스터(M2)는 N 모스(N Mos) 타입의 트랜지스터이고 제어트랜지스터(Mc)는 P 모스(P Mos) 타입의 트랜지스터일 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0043] 제1트랜지스터(M1)는 제1전극과 제2전극이 제1화소전원(EVDD)과 제2노드(N2) 사이에 배치되고 게이트전극이 제1노드(N1)에 연결되도록 배치될 수 있다. 제2트랜지스터(M2)는 제1전극과 제2전극이 데이터신호를 공급하는 데이터라인(DL)과 제1노드(N1) 사이에 배치되고 게이트전극이 게이트라인(GL)에 연결되도록 배치될 수 있다. 제어트랜지스터(Mc)는 제1전극과 제2전극이 제1노드(N1)와 제2노드(N2) 사이에 배치되고 게이트전극이 제1신호선에 연결되도록 배치될 수 있다.

[0044] 제1캐패시터(C1)는 제1전극과 제2전극이 제1노드(N1)와 제2노드(N2) 사이에 배치될 수 있다. 또한, 제1캐패시터(C1)는 제어트랜지스터(Mc)와 제1노드(N1)와 제2노드(N2) 사이에서 직렬로 연결되도록 배치될 수 있다. 또한, 제1캐패시터(C1)는 제1전극이 제어트랜지스터(Mc)의 제2전극과 연결되고 제2전극이 제2노드(N2)에 연결될 수 있다. 그리고, 유기발광다이오드(OLED)는 애노드전극이 제2노드(N2)에 연결되고 캐소드전극이 제2화소전원(EVSS)에 연결될 수 있다. 또한, 제어트랜지스터(Mc)의 게이트전극에 연결된 제1신호선은 제2화소전원(EVSS)에 연결될 수 있다.

[0045] 또한, 화소(101)는 제2노드(N2)에 인가되는 전압을 전달하거나 제2노드(N2)의 전압을 인가받는 센싱전압라인(VL2)이 배치되고, 제2노드(N2)와 센싱전압라인(VL2) 사이에 배치되는 제3트랜지스터(M3)를 더 포함할 수 있다.

[0046] 도 5는 본 발명의 실시예들에 따른 화소의 구동방법의 일 예를 나타내는 타이밍도이다.

[0047] 도 5를 참조하면, 화소(101)의 제2노드(N2)의 전압을 센싱할 때, 즉, 센싱기간(TS)에서 구동되는 화소의 동작을 설명한다. 먼저, 화소(101)에 게이트신호와, 센싱신호, 초기화신호(SPARE)가 인가될 수 있다. 또한, 제2화소전원(EVSS)의 전압레벨이 높아질 수 있다. 하이 상태의 게이트신호에 의해 화소(101)의 제2트랜지스터(M2)가 턴온되고 하이 상태의 센싱신호에 의해 화소(101)의 제3트랜지스터(M3)가 턴온될 수 있다. 또한, 하이 상태의 초기화신호(SPARE)가 인가되면 제1스위치(SW1)가 턴온될 수 있다. 그리고, 제2화소전원(EVSS)의 전압레벨이 높아지면, 제어트랜지스터(Mc)는 턴온되게 된다.

[0048] 그리고, 제2트랜지스터(M2)가 턴온되면 데이터라인(DL)에 인가되어 있는 데이터전압(Vdata)이 제1노드(N1)에 공급되기 시작한다. 제1트랜지스터(M1)는 제1노드(N1)에 인가되는 데이터전압(Vdata)에 대응하여 제2노드(N2)로 구동전류를 공급하기 시작한다. 제3트랜지스터(M3)가 턴온되면 제2노드(N1)가 센싱전압라인(VL2)에 연결되게 된다. 그리고, 제1스위치(SW1)가 턴온되면 초기화전압(Vref)이 센싱전압라인(VL2)에 인가될 수 있다. 그리고, 센싱전압라인(VL2)에 인가된 초기화전압(Vref)은 제2노드(N2)에 인가될 수 있다. 센싱전압라인(VL2)의 전압을 센싱전압(Vsen)이라고 칭할 수 있다. 초기화전압(Vref)의 전압레벨은 유기발광다이오드(OLED)의 문턱전압보다 낮은 전압레벨을 가질 수 있다.

[0049] 그리고 난 후, 초기화신호(SPARE)가 전달되지 않게 되면 제1스위치(SW1)는 턴오프될 수 있다. 이때, 제2트랜지스터(M2)를 통해 제1노드(N1)은 데이터전압(Vdata)을 계속 공급받을 수 있고 제1트랜지스터(M1)는 제1노드(N1)

로 구동전류를 계속 공급할 수 있다. 이때, 제1스위치(SW1)은 턴오프 상태이기 때문에 제2노드(N2)의 전압레벨은 높아질 수 있다. 또한, 유기발광다이오드(OLED)가 빛을 발광하지 않도록 하기 위해 제2화소전원(EVSS)의 전압레벨을 상승시킴으로써 구동전류가 유기발광다이오드(OLED)로 공급되지 않게 할 수 있다.

[0050] 제1트랜지스터(M1)에서 제1노드(N1)로 공급하는 구동전류는 제1트랜지스터(M1)의 게이트전극에 공급되는 데이터 전압(Vdata)의 전압레벨에 도달하게 되면 더 이상 제1노드(N1)로 공급되지 않게 된다. 이때, 제어트랜지스터(Mc)의 턴온에 의해 제1캐패시터(C1)는 제1노드(N1)와 플로팅상태를 유지할 수 있다. 하지만, 제어트랜지스터(Mc)는 제1노드(N1)에 연결되어 있기 때문에, 제어트랜지스터(Mc)에 형성되어 있는 기생캐패시터가 제1노드(N1)에 전압을 유지시킬 수 있다. 하지만, 기생캐패시터의 정전용량은 제1캐패시터(C1)에 비해 매우 작기 때문에 제2노드(N2)의 전압이 데이터전압(Vdata)에 세류레이션되는 시간은 도 2에 도시된 화소에 비하여 매우 짧아지게 될 수 있다. 따라서, 제2스위치(SW2)를 턴온시키는 샘플링신호(SAM)의 발생을 빠르게 하여 센싱기간을 단축시킬 수 있다.

[0051] 도 6은 본 발명의 실시예들에 따른 화소의 일 예를 나타내는 회로도이다.

[0052] 도 6을 참조하면, 화소(101)는 데이터신호에 대응하여 유기발광다이오드(OLED)로 구동전류를 공급하는 제1트랜지스터(M1), 제1트랜지스터(M1)로 데이터신호를 공급하는 제2트랜지스터(M2), 제1트랜지스터(M1)로 전달되는 데이터신호에 대응되는 데이터전압(Vdata)을 유지하는 제어트랜지스터(Mc), 및 제어트랜지스터(Mc)의 동작에 대응하여 제1트랜지스터(M1)로 전달되는 데이터전압(Vdata)을 유지하는 제1캐패시터(C1)를 포함할 수 있다.

[0053] 제1트랜지스터(M1)는 제1전극과 제2전극이 제1화소전원(EVDD)과 제2노드(N2) 사이에 배치되고 게이트전극이 제1노드(N1)에 연결되도록 배치될 수 있다. 제2트랜지스터(M2)는 제1전극과 제2전극이 데이터신호를 공급하는 데이터라인(DL)과 제1노드(N1) 사이에 배치되고 게이트전극이 게이트라인(GL)에 연결되도록 배치될 수 있다. 제어트랜지스터(Mc)는 제1전극과 제2전극이 제1노드(N1)과 제2전극(N2) 사이에 배치되며 게이트전극이 제1신호선(CS)에 연결될 수 있다.

[0054] 또한, 화소(101)는 제2노드(N2)와 센싱전압라인(VL2) 사이에 배치되는 제3트랜지스터(M3)를 더 포함할 수 있다. 제3트랜지스터(M3)는 제2노드(N2)에 인가되는 전압을 센싱전압라인(VL2)에 전달하거나 센싱전압라인(VL2)으로 공급되는 전압을 제2노드(N2)에 전달할 수 있다. 제1트랜지스터(M1), 제2트랜지스터(M2) 및 제어트랜지스터(Mc)는 N 모스 타입의 트랜지스터일 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0055] 제1캐패시터(C1)는 제1전극과 제2전극이 제1노드(N1)와 제2노드(N2) 사이에 배치될 수 있다. 또한, 제1캐패시터(C1)는 제1노드(N1)와 제2노드(N2) 사이에서 제어트랜지스터(Mc)와 병렬로 연결되도록 배치될 수 있다. 또한, 제1캐패시터(C1)는 제1전극이 제1노드(N1)에 연결되고 제2전극이 제2노드(N2)에 연결될 수 있다. 그리고, 유기발광다이오드(OLED)는 애노드전극이 제2노드(N2)에 연결되고 캐소드전극이 제2화소전원(EVSS)에 연결될 수 있다. 제2화소전원(EVSS)의 전압레벨은 제1화소전원(EVDD)의 전압레벨보다 낮을 수 있다.

[0056] 제어트랜지스터(Mc)는 제1신호선(CS)을 통해 전달되는 제1제어신호에 대응하여 선택적으로 제1캐패시터(C1)에 데이터전압(Vdata)이 공급되게 할 수 있다. 제1제어신호에 의해 제어트랜지스터(Mc)가 턴온되면 제1노드(N1)와 제2노드(N2)가 제어트랜지스터(Mc)에 의해 연결될 수 있다. 이로 인해, 제1캐패시터(C1)의 양단의 전압은 동일하게 될 수 있다. 제1캐패시터(C1)의 양단간의 전압이 같아지게 되면, 제1캐패시터(C1)로 데이터신호에 대응하는 데이터전압(Vdata)이 충전되지 않게 될 수 있다. 따라서, 제1캐패시터(C1)는 제어트랜지스터(Mc)가 턴온되면 제1노드(N1)의 전압을 유지하지 않게 될 수 있다. 또한, 제어트랜지스터(Mc)는 선택적으로 제1캐패시터(C1)를 리셋시킬 수 있다.

[0057] 도 7은 본 발명의 실시예들에 따른 화소의 구동방법의 일 예를 나타내는 타이밍도이다.

[0058] 도 7을 참조하면, 화소(101)의 제2노드(N2)의 전압을 센싱할 때, 즉, 센싱기간(TS)에서 구동되는 화소의 동작을 설명한다. 먼저, 화소(101)에 게이트신호와, 센싱신호, 초기화신호(SPRe) 및 제1제어신호가 인가될 수 있다. 또한, 제2화소전원(EVSS)은 0V로 공급될 수 있다. 하지만, 제2화소전원(EVSS)의 전압레벨은 이에 한정되는 것은 아니다.

[0059] 게이트라인(GL)으로 인가되는 하이 상태의 게이트신호에 의해 화소(101)의 제2트랜지스터(M2)가 턴온되고 센싱라인(Ssen)으로 인가되는 하이상태의 센싱신호에 의해 화소(101)의 제3트랜지스터(M3)가 턴온될 수 있다. 또한, 하이 상태의 초기화신호(SPRe)가 인가되면 제1스위치(SW1)가 턴온될 수 있다. 그리고, 제1신호선(CS)를 통해 하이 상태의 제1제어신호가 인가되면, 제어트랜지스터(Mc)가 턴온되게 된다. 제2트랜지스터(M2)가 턴온되면 데이터라인(DL)에 인가되어 있는 데이터전압(Vdata)이 제1노드(N1)에 공급되기 시작한다. 제1트랜지스터

(M1)는 제1노드(N1)에 인가되는 데이터전압(Vdata)에 대응하여 제2노드(N2)로 구동전류를 공급하기 시작한다. 제3트랜지스터(M3)가 턴온되면 제2노드(N2)가 센싱전압라인(VL2)에 연결되게 된다. 그리고, 제1스위치(SW1)가 턴온되면 초기화전압(Vref)이 센싱전압라인(VL2)에 인가될 수 있다. 그리고, 센싱전압라인(VL2)에 인가된 초기화전압(Vref)은 제3트랜지스터(M3)를 통해 제2노드(N2)에 인가될 수 있다. 센싱전압라인(VL2)의 전압을 센싱전압(Vsen)이라고 칭할 수 있다. 초기화전압(Vref)의 전압레벨은 유기발광다이오드(OLED)의 문턱전압보다 낮은 전압레벨을 가질 수 있다.

[0060] 그리고 난 후, 초기화신호(SPRE)가 전달되지 않아 제1스위치(SW1)는 턴오프될 수 있다. 이때, 제2트랜지스터(M2)를 통해 제1노드(N1)은 데이터전압(Vdata)을 계속 공급받을 수 있고 제1트랜지스터(M1)는 제1노드(N1)로 구동전류를 계속 공급할 수 있다. 이때, 제1스위치(SW1)은 턴오프 상태이기 때문에 제2노드(N2)의 전압레벨은 높아질 수 있다. 또한, 유기발광다이오드(OLED)가 빛을 발광하지 않도록 하기 위해 제2화소전원(EVSS)의 전압레벨을 상승시킴으로써 구동전류가 유기발광다이오드(OLED)로 공급되지 않게 할 수 있다.

[0061] 제1트랜지스터(M1)에서 제1노드(N1)로 공급하는 구동전류는 제1트랜지스터(M1)의 게이트전극에 공급되는 데이터전압의 전압레벨에 도달하게 되면 더 이상 제1노드(N1)로 공급되지 않게 된다. 이때, 제어트랜지스터(Mc)의 턴온 상태이기 때문에 제1캐패시터(C1)의 제1전극과 제2전극의 양단간의 전압은 동일해진다. 여기서, 동일은 완전 동일만을 의미하는 것은 아니며 미세한 차이가 존재할 수 있다. 제1캐패시터(C1)의 제1전극과 제2전극의 양단간의 전압이 동일해지면, 제1캐패시터(C1)는 리셋될 수 있다. 또한, 제1캐패시터(C1)는 제1노드(N1)의 전압을 충전하지 못하게 될 수 있다. 하지만, 제어트랜지스터(Mc)가 제1노드(N1)에 연결되어 있기 때문에, 제어트랜지스터(Mc)에 형성되어 있는 기생캐패시터가 제1노드(N1)에 전압을 유지시킬 수 있다. 기생캐패시터의 정전용량은 매우 작기 때문에 제2노드(N2)의 전압이 데이터전압(Vdata)에 세츄레이션되는 시간이 매우 짧아지게 될 수 있다. 따라서, 제2스위치(SW2)를 제2노드(N2)의 전압의 세츄레이션에 대응하여 턴온시키는 샘플링신호(SAM)의 발생을 빠르게 하여 센싱기간을 단축시킬 수 있다.

[0062] 또한, 제어트랜지스터(Mc)는 제2화소전원(EVSS)의 전압레벨과 관계없이 제1신호선(CS)을 통해 전달되는 제1제어신호에 의해 턴온/턴오프가 결정되기 때문에, 제2화소전원(EVSS)이 높아지지 않은 경우에도 센싱을 할 수 있다. 따라서, 유기발광표시장치(100)에서 영상을 표시하는 과정에서도 제2노드(N2)의 전압을 센싱할 수 있다.

[0063] 도 8은 본 발명의 실시예들에 따른 화소의 일 예를 나타내는 회로도이다.

[0064] 도 8을 참조하면, 화소(101)는 데이터신호에 대응하여 유기발광다이오드(OLED)로 구동전류를 공급하는 제1트랜지스터(M1), 제1트랜지스터(M1)로 데이터신호를 공급하는 제2트랜지스터(M2), 제1트랜지스터(M1)로 전달되는 데이터신호에 대응되는 데이터전압(Vdata)을 유지하는 제어트랜지스터(Mc), 제어트랜지스터(Mc)의 동작에 대응하여 제1트랜지스터(M1)로 전달되는 데이터전압(Vdata)을 유지하는 제1캐패시터(C1), 및 제1트랜지스터(M1)로 전달되는 데이터신호에 대응되는 데이터전압(Vdata)을 유지하는 제2캐패시터(C2)를 포함할 수 있다.

[0065] 제1트랜지스터(M1)는 제1전극과 제2전극이 제1화소전원(EVDD)과 제2노드(N2) 사이에 배치되고 게이트전극이 제1노드(N1)에 연결되도록 배치될 수 있다. 제2트랜지스터(M2)는 제1전극과 제2전극이 데이터신호를 공급하는 데이터라인(DL)과 제1노드(N1) 사이에 배치되고 게이트전극이 게이트라인(GL)에 연결되게 배치될 수 있다. 제어트랜지스터(Mc)는 제1전극과 제2전극이 제1노드(N1)과 제2전극(N2) 사이에 배치될 수 있다. 제어트랜지스터(Cs)의 게이트전극은 제2화소전원(EVSS)와 연결될 수 있다. 제1캐패시터(C1)는 제1전극과 제2전극이 제1노드(N1)와 제2노드(N2) 사이에 배치될 수 있다. 또한, 제1캐패시터(C1)는 제1노드(N1)와 제2노드(N2) 사이에서 제어트랜지스터(Mc)와 직렬로 연결되도록 배치될 수 있다. 또한, 제1캐패시터(C1)는 제1전극이 제1노드(N1)에 연결되고 제2전극이 제어트랜지스터(Mc)의 제1전극에 연결될 수 있다. 제어트랜지스터(Mc)는 제1전극이 제1캐패시터(C1)의 제2전극에 연결되고 제2전극이 제2노드(N2)에 연결될 수 있다.

[0066] 유기발광다이오드(OLED)는 애노드전극이 제2노드(N2)에 연결되고 캐소드전극이 제2화소전원(EVSS)에 연결될 수 있다. 제2화소전원(EVSS)의 전압레벨은 제1화소전원(EVDD)의 전압레벨보다 낮을 수 있다. 여기서, 제어트랜지스터(Mc)의 위치는 제1캐패시터(C1)과 제2노드(N2) 사이에 배치되어 있는 것으로 도시되어 있지만, 이에 한정되는 것은 아니며, 제어트랜지스터(Mc)의 위치는 제1노드(N1)과 제1캐패시터(C1) 사이에 배치될 수 있다. 그리고, 제2캐패시터(C2)는 제1전극이 제1노드(N1)에 연결되고 제2전극이 제어트랜지스터(Mc)의 제1전극에 연결될 수 있다.

[0067] 또한, 화소(101)는 제2노드(N2)와 센싱전압라인(VL2) 사이에 배치되는 제3트랜지스터(M3)를 더 포함할 수 있다. 제3트랜지스터(M3)는 제2노드(N2)에 인가되는 전압을 센싱전압라인(VL2)에 전달하거나 센싱전압라인(VL2)으로

공급되는 전압을 제2노드(N2)에 전달할 수 있다. 제1트랜지스터(M1), 제2트랜지스터(M2), 제3트랜지스터(M3), 제어트랜지스터(Mc)는 P 모스 타입의 트랜지스터일 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0068] 상기와 같이 구현된 화소는 도 5에 도시된 것과 같이 센싱기간에서 동작할 수 있다.

[0069] 화소(101)에 게이트신호와, 센싱신호, 초기화신호(SPRE)가 인가될 수 있다. 또한, 제2화소전원(EVSS)의 전압레벨이 높아질 수 있다. 하이 상태의 게이트신호에 의해 화소(101)의 제2트랜지스터(M2)가 턴온되고 하이 상태의 센싱신호에 의해 화소(101)의 제3트랜지스터(M3)가 턴온될 수 있다. 또한, 하이 상태의 초기화신호(SPRE)가 인가되면 제1스위치(SW1)가 턴온될 수 있다. 그리고, 제2화소전원(EVSS)의 전압레벨이 높아지면, 제어트랜지스터(Mc)는 턴온되게 된다.

[0070] 그리고, 제2트랜지스터(M2)가 턴온되면 데이터라인(DL)에 인가되어 있는 데이터전압(Vdata)이 제1노드(N1)에 공급되기 시작한다. 제1트랜지스터(M1)는 제1노드(N1)에 공급되는 데이터전압(Vdata)에 대응하여 제2노드(N2)로 구동전류를 공급하기 시작한다. 제3트랜지스터(M3)가 턴온되면 제2노드(N1)가 센싱전압라인(VL2)에 연결되게 된다. 그리고, 제1스위치(SW1)가 턴온되면 초기화전압(Vref)이 센싱전압라인(VL2)에 인가될 수 있다. 그리고, 센싱전압라인(VL2)에 인가된 초기화전압(Vref)은 제2노드(N2)에 인가될 수 있다. 센싱전압라인(VL2)의 전압을 센싱전압(Vsen)이라고 칭할 수 있다. 초기화전압(Vref)의 전압레벨은 유기발광다이오드(OLED)의 문턱전압보다 낮은 전압레벨을 가질 수 있다.

[0071] 그리고 난 후, 초기화신호(SPRE)가 전달되지 않게 되면 제1스위치(SW1)는 턴오프될 수 있다. 이때, 제2트랜지스터(M2)를 통해 제1노드(N1)은 데이터전압(Vdata)을 계속 공급받을 수 있고 제1트랜지스터(M1)는 제1노드(N1)로 구동전류를 계속 공급할 수 있다. 이때, 제1스위치(SW1)은 턴오프 상태이기 때문에 제2노드(N2)의 전압레벨은 높아질 수 있다. 또한, 유기발광다이오드(OLED)가 빛을 발광하지 않도록 하기 위해 제2화소전원(EVSS)의 전압레벨을 상승시킴으로써 구동전류가 유기발광다이오드(OLED)로 공급되지 않게 할 수 있다.

[0072] 제1트랜지스터(M1)에서 제1노드(N1)로 공급하는 구동전류는 제1트랜지스터(M1)의 게이트전극에 공급되는 데이터전압(Vdata)의 전압레벨에 도달하게 되면 더 이상 제1노드(N1)로 공급되지 않게 된다. 이때, 제어트랜지스터(Mc)의 턴온에 의해 제1캐패시터(C1)는 플로팅상태를 유지할 수 있다. 하지만, 제2캐패시터(C2)가 제1노드(N1)과 제2노드(N2) 사이에 연결되어 있기 때문에, 제2캐패시터(C2)가 제1노드(N1)에 전압을 유지시킬 수 있다. 이때, 제2캐패시터(C2)의 정전용량은 제1캐패시터(C1)에 비해 매우 작기 때문에 제2노드(N2)의 전압이 데이터전압(Vdata)에 세츄레이션되는 시간은 도 2에 도시된 화소에 비하여 매우 짧아지게 될 수 있다. 따라서, 제2스위치(SW2)를 턴온시키는 샘플링신호(SAM)의 발생을 빠르게 하여 센싱기간을 단축시킬 수 있다.

[0073] 도 9는 본 발명의 실시예들에서 유기발광다이오드에 인가되는 전압이 세츄레이션되는 것을 나타내는 그래프이다.

[0074] 도 9를 참조하면, 제1곡선(L1)은 도 2에 도시된 화소와 같이 제1노드(N1)에 제1캐패시터가 연결되어 있는 경우에서 제2노드의 전압이 데이터전압에 세츄레이션되는 것을 나타내고, 제2곡선(L2)는 도 4, 도 6 및 도 8에 도시된 화소에서 제2노드(N2)의 전압이 데이터전압에 세츄레이션되는 것을 나타낸다.

[0075] 도 2에 도시된 화소에서 제1캐패시터(C1)의 정전용량에 의해 제2노드(N2)의 전압이 세츄레이션되는 시간이 제1기간(T_a)만큼의 시간이 소요되게 된다. 하지만, 도 4, 도 6, 및 도 8에 도시된 화소에서 제어트랜지스터(Mc)에 형성된 기생캐패시터 또는 제어트랜지스터(Mc)에 연결되어 있는 제2캐패시터(C2)의 정전용량은 제1캐패시터(C1)의 정전용량은 보다 매우 작게 설정될 수 있다. 따라서, 세츄레이션되는 시간이 제2기간(T_b)만큼 소요되게 된다.

[0076] 즉, 제어트랜지스터(Mc)의 동작에 대응하여 제2노드(N2)의 전압이 세츄레이션되는 시간을 단축할 수 있어 센싱기간을 줄일 수 있다. 또한, 센싱기간에 소비되는 소비전력을 줄일 수 있다.

[0077] 도 10은 본 발명의 실시예들에 따른 유기발광표시장치의 구동방법의 일 예를 나타내는 순서도이다.

[0078] 도 10을 참조하면, 유기발광표시장치의 구동방법에서 먼저, 화소 구동을 할 수 있다.(S100) 화소구동 시에 유기발광다이오드가 발광을 하여 영상을 표시할 수 있다. 화소(101)는 게이트전극에 인가되는 데이터전압(Vdata)에 대응하여 구동전류가 유기발광다이오드(OLED)로 공급되게 하는 제1트랜지스터(M1)와 선택적으로 제1트랜지스터(M1)의 게이트전극에 데이터전압을 전달하는 제2트랜지스터(M2)를 포함할 수 있다.

[0079] 그리고, 화소구동 시에 제1트랜지스터(M1)에 인가되는 데이터전압(Vdata)을 제1캐패시터(C1)를 이용하여 유지하게 할 수 있다.(S110) 제1캐패시터(C1)에 유지되는 데이터전압(Vdata)에 대응하여 구동전류를 유기발광다이오

드로 공급할 수 있다. 유기발광표시장치는 유기발광다이오드(OLED)에 공급되는 구동전류에 대응하여 휘도가 결정되는데, 제1캐패시터(C1)의 정전용량을 크게 하여 구동전류의 양이 줄어드는 것을 방지함으로써 화질이 저하되는 것을 방지할 수 있다.

[0080] 그리고, 화소(101)를 센싱할 수 있다.(S120) 화소(101)의 센싱은 유발광다이오드(OLED)에 인가되는 전압을 센싱하는 것일 수 있다. 유기발광다이오드에 인가되는 전압을 센싱전압이라고 칭할 수 있다. 센싱전압은 데이터드라이버(120)에서 전달받아 디지털신호로 변환될 수 있다. 데이터드라이버(120)는 아날로그디지털컨버터(120b)를 포함할 수 있고 아날로그디지털컨버터(120b)에서 센싱전압을 디지털신호로 변환할 수 있다.

[0081] 제어트랜지스터(Mc)를 이용하여 데이터전압(Vdata)을 유지할 수 있다.(S130) 제어트랜지스터(Mc)를 이용하는 것은 제어트랜지스터(Mc)에 형성된 기생캐패시터에 의해 데이터전압(Vdata)을 유지하는 것일 수 있다. 또한, 제어트랜지스터(Mc)를 이용하는 것은 제어트랜지스터(Mc)에 직렬로 연결되어 있는 제2캐패시터(C2)에 의해 데이터전압(Vdata)을 유지하는 것일 수 있다. 제어트랜지스터(Mc)에 형성된 기생캐패시터로 데이터전압(Vdata)을 유지하는 경우 제어트랜지스터(Mc)가 제1트랜지스터(M1)의 게이트전극에 연결될 수 있다. 또한, 제2캐패시터(C2)로 데이터전압을 유지하는 경우 제2캐패시터의 제1전극이 제1트랜지스터(M1)의 게이트전극에 연결되고 제2캐패시터의 제2전극이 제어트랜지스터(Mc)의 제1전극에 연결될 수 있다.

[0082] 또한, 화소(101)는 제1화소전원(EVDD)과 제2화소전원(EVSS)을 공급받아 구동하게 되는데, 제어트랜지스터(Mc)를 이용하여 제어트랜지스터(Mc) 또는 제2캐패시터(C2)로 데이터전압(Vdata)을 유지할 때, 제2화소전원(EVSS)의 전압레벨을 상승시킬 수 있다. 이로 인해 구동전류가 유기발광다이오드(OLED)로 공급되지 않아 유기발광표시장치(100)는 영상을 표시하지 않게 될 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0083] 상기와 같이 제어트랜지스터(Mc) 또는 제2캐패시터(C2)로 제1트랜지스터(M1)의 게이트전극의 전압을 유지하도록 하면 세채레이션되는 시간을 단축시킬 수 있어 센싱기간을 단축할 수 있다. 그리고, 센싱기간 단축으로 인해 소비전력을 절감할 수 있다.

[0084] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0085] 100: 표시장치

101: 화소

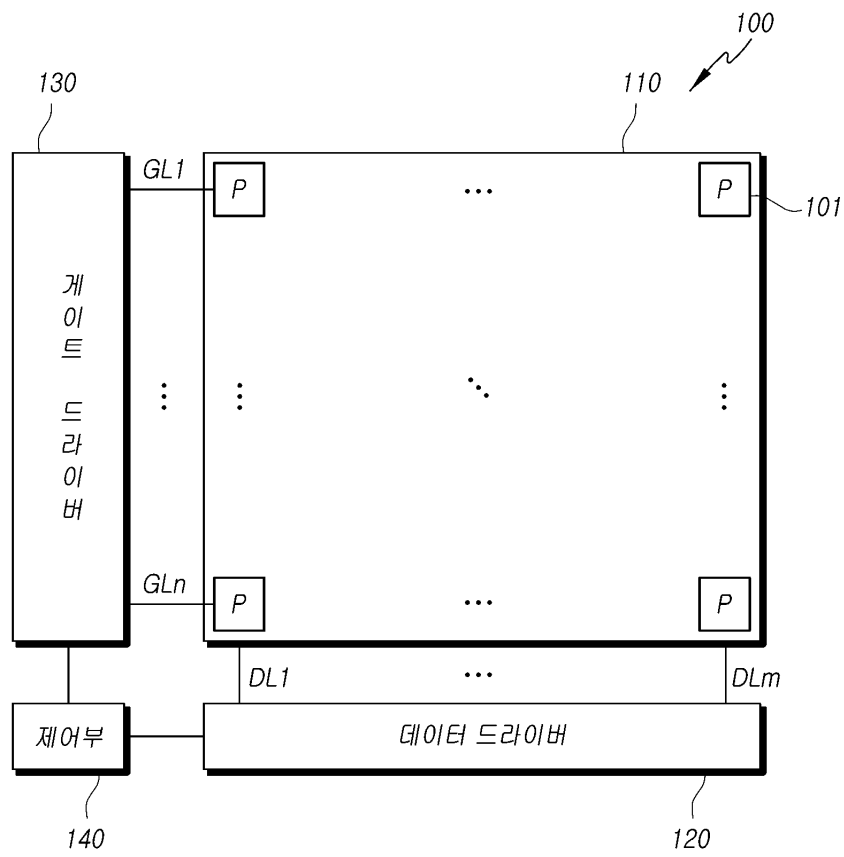
120: 데이터드라이버

130: 게이트드라이버

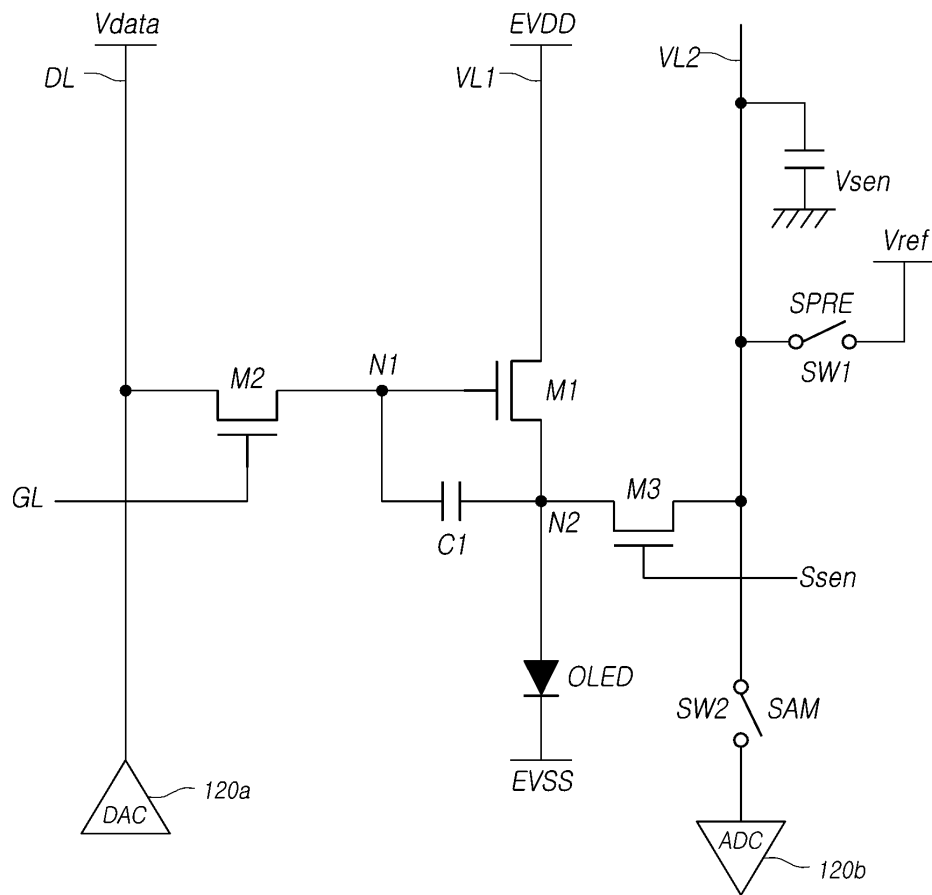
140: 제어부

도면

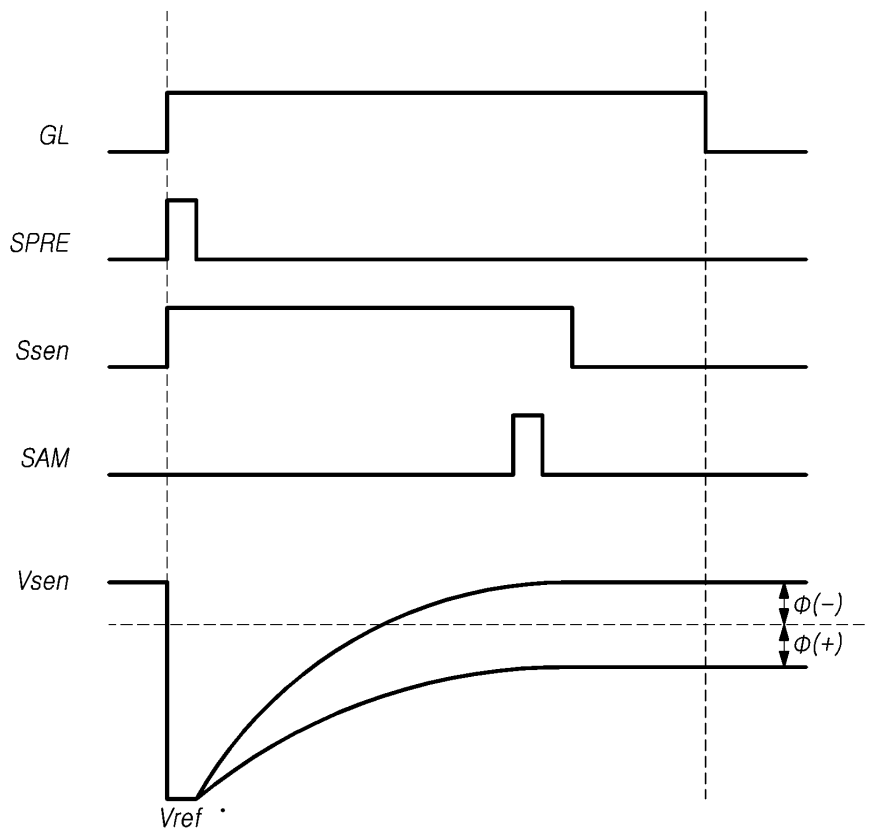
도면1



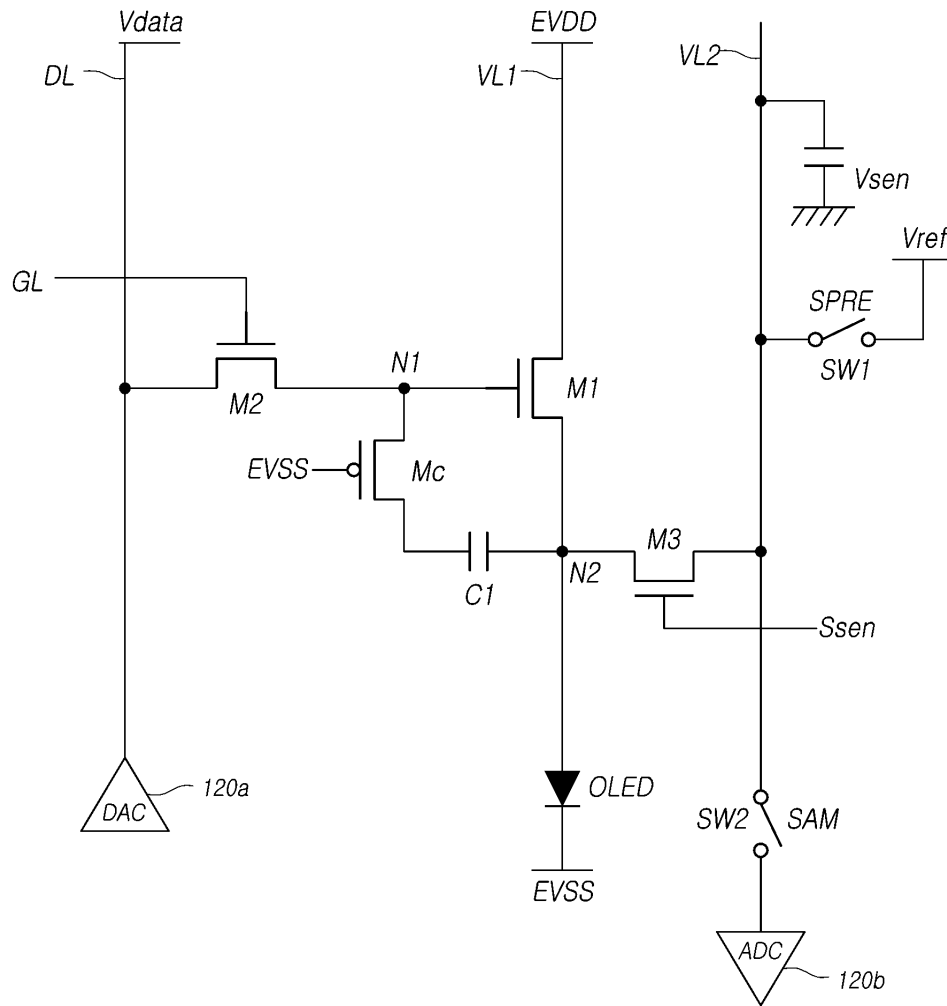
도면2



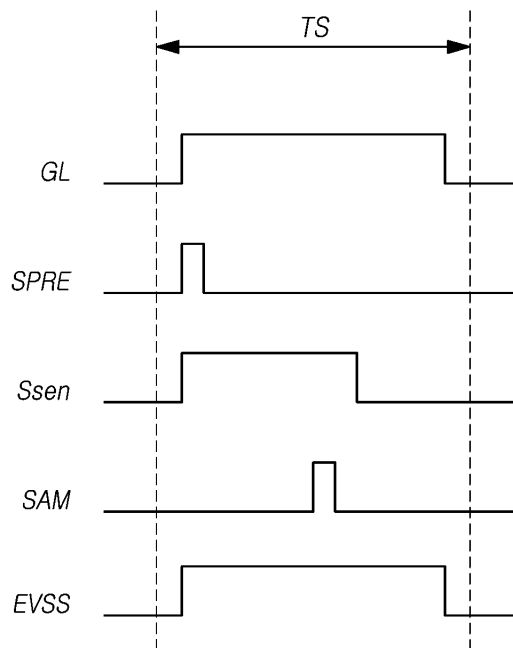
도면3



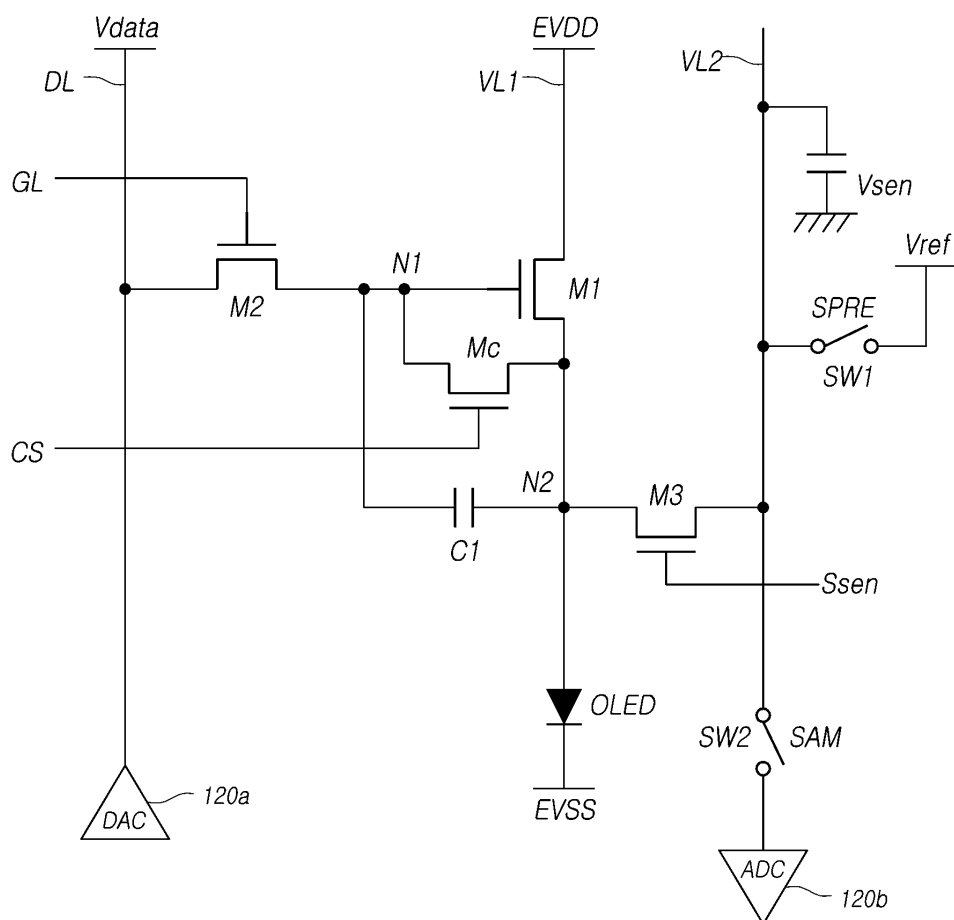
도면4



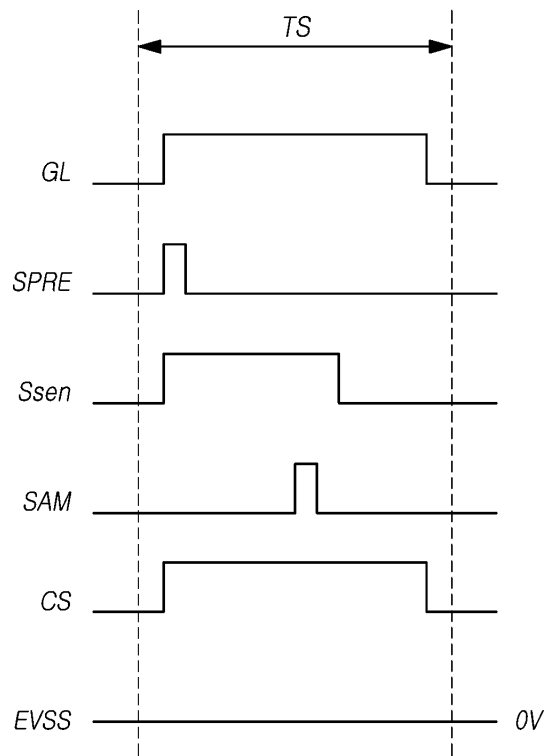
도면5



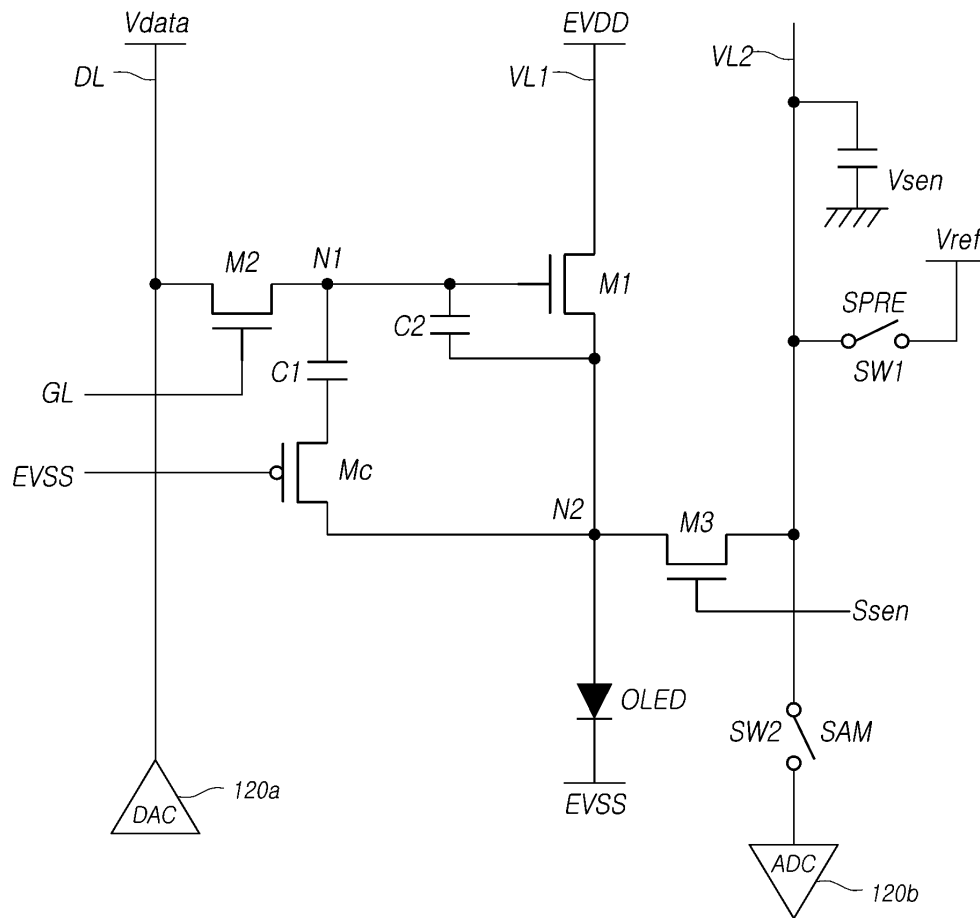
도면6



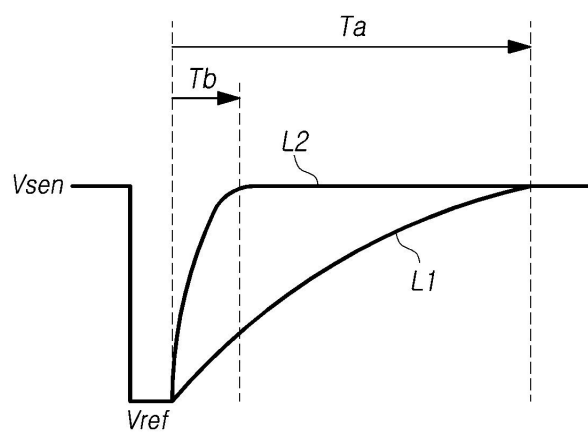
도면7



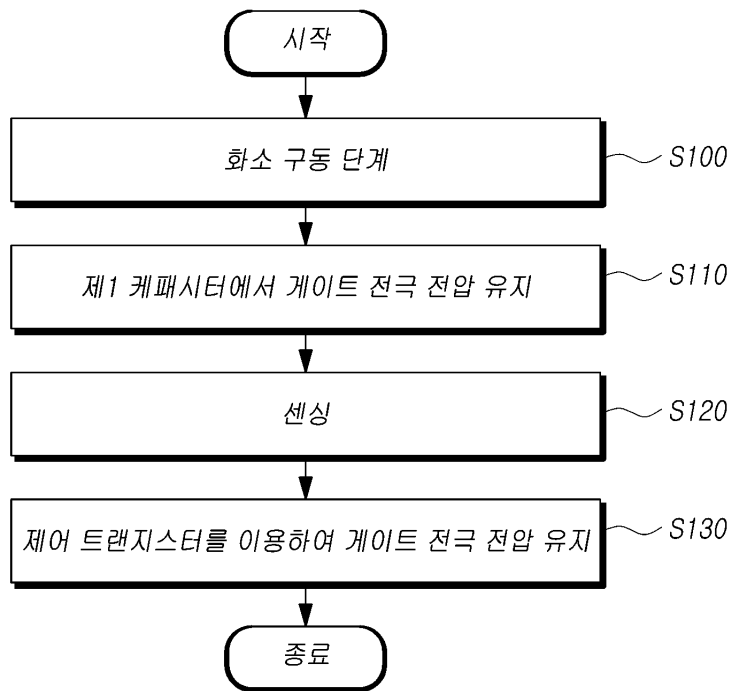
도면8



도면9



도면10



专利名称(译)	像素电路，有机发光显示器及其驱动方法		
公开(公告)号	KR1020190078026A	公开(公告)日	2019-07-04
申请号	KR1020170179694	申请日	2017-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이현기		
发明人	이현기		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0828 G09G2320/0252 G09G2330/021 G09G2330/028		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，可以提供一种能够防止图像劣化的像素电路，有机发光显示装置以及用于驱动该有机发光显示装置的驱动方法。像素电路包括：第一晶体管，其响应于数据信号而将驱动电流提供给有机发光二极管；以及第二晶体管将数据信号提供给第一晶体管；第一电容器，其保持传输到第一晶体管的数据电压；控制晶体管，其控制第一电容器的连接。

