



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0075630

(43) 공개일자 2019년07월01일

(51) 국제특허분류(Int. Cl.)

*H01L 27/32* (2006.01)    *H01L 27/12* (2006.01)

H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/1214 (2013.01)

(21) 출원번호 10-2017-0177371

(22) 출원일자 2017년12월21일

심사청구일자    없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

노상순

경기도 파주시 월롱면 엘지로 245

연속호

경기도 파주시 월롱면 엘지로 245

정미진

경기도 파주시 월롱면 엘지로 245

(74) 대리인

## 특허법인(유한) 대아

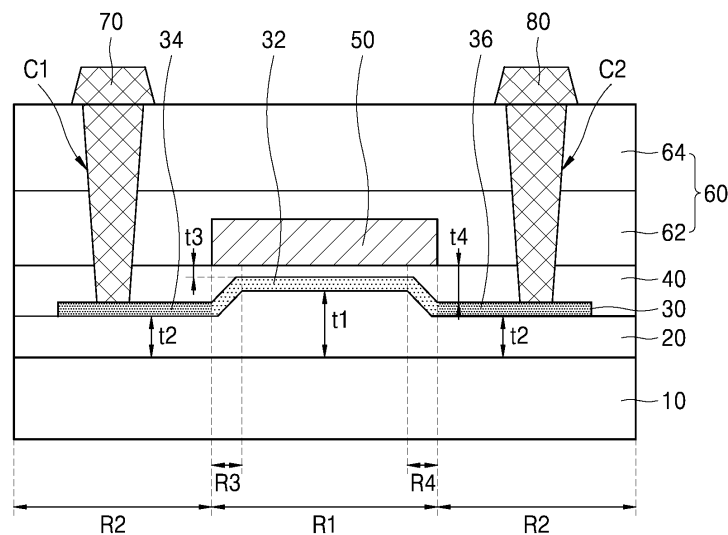
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 박막트랜지스터 어레이 기판 및 그의 제조방법과 이를 포함하는 유기발광표시장치

(57) 요약

본 발명은 채널 길이 감소에 따른 단채널효과(Short Channel Effect)를 억제할 수 있는 박막트랜지스터 어레이 기판 및 그의 제조방법과 이를 포함하는 유기발광표시장치를 개시한다. 개시된 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은, 제1 영역과 상기 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기판, 기판 상에 배치되며 제1 영역과 제2 영역들에서 서로 상이한 두께를 갖는 버퍼막, 버퍼막 상에 균일한 두께로 마련되며 제1 영역에 배치되는 채널영역과 제2 영역들 상에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층, 액티브층을 덮도록 버퍼막 상에 배치되며 평탄화된 상면을 갖고 제1 영역과 제2 영역에서 서로 상이한 두께를 갖는 게이트절연막, 채널영역 상의 게이트절연막 부분 상에 배치되는 게이트전극, 및 제1 접합영역에 연결되는 제1 전극과 제2 접합영역에 연결되는 제2 전극을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 51/56* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 영역과 상기 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기관;

상기 기관 상에 배치되며, 상기 제1 영역과 상기 제2 영역들에서 서로 상이한 두께를 갖는 버퍼막;

상기 버퍼막 상에 균일한 두께로 마련되며, 상기 제1 영역에 배치되는 채널영역과 상기 제2 영역들 상에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층;

상기 액티브층을 덮도록 상기 버퍼막 상에 배치되며, 평탄화된 상면을 갖고, 상기 제1 영역과 상기 제2 영역에서 서로 상이한 두께를 갖는 게이트절연막;

상기 채널영역 상의 상기 게이트절연막 부분 상에 배치되는 게이트전극; 및

상기 제1 접합영역에 연결되는 제1 전극과 상기 제2 접합영역에 연결되는 제2 전극;

을 포함하는 박막트랜지스터 어레이 기관.

#### 청구항 2

제 1 항에 있어서,

상기 기관 상에 배치되는 상기 버퍼막은 상기 제1 영역에 배치되는 부분이 제1 두께를 갖고, 상기 제2 영역에 배치되는 부분이 상기 제1 두께보다 얇은 제2 두께를 갖는 박막트랜지스터 어레이 기관.

#### 청구항 3

제 2 항에 있어서,

상기 기관은 제2 영역들에 각각 인접하는 제1 영역들에 배치되는 제3 영역 및 제4 영역을 가지며,

상기 버퍼막은 상기 제3 영역 및 상기 제4 영역에서 경사지게 마련되는 박막트랜지스터 어레이 기관.

#### 청구항 4

제 1 항에 있어서,

상기 게이트절연막은, 상기 채널영역에 배치되는 부분이 제3 두께를 갖고, 상기 제1 및 제2 접합영역들에 배치되는 부분이 상기 제3 두께보다 두꺼운 제4 두께를 갖는 박막트랜지스터 어레이 기관.

#### 청구항 5

제 1 항에 있어서,

상기 버퍼막은 상기 제1 영역에 배치되는 부분이 제1 두께를 갖고, 상기 제2 영역에 배치되는 부분이 상기 제1 두께보다 두꺼운 제2 두께를 갖는 박막트랜지스터 어레이 기관.

#### 청구항 6

제 1 항에 있어서,

상기 기판은 상기 액티브층의 채널영역에 대응하는 상기 제1 영역과 상기 액티브층의 제1 및 제2 접합영역들에 대응하는 상기 제2 영역들 사이에 각각 배치되는 제5 영역 및 제6 영역을 가지며,

상기 버퍼막은 상기 제5 영역 및 상기 제6 영역에서 경사지게 배치되는 박막트랜지스터 어레이 기판.

#### 청구항 7

제 6 항에 있어서,

상기 액티브층은 상기 경사지게 배치된 버퍼막의 상기 제5 영역 및 제6 영역에 각각 배치되는 LDD(Lightly Doped Drain) 영역을 더 포함하는 박막트랜지스터 어레이 기판.

#### 청구항 8

제 1 항에 있어서,

상기 게이트절연막은, 상기 채널영역에 배치되는 부분이 제3 두께를 갖고, 상기 제1 및 제2 접합영역들에 배치되는 부분이 상기 제3 두께보다 얇은 제4 두께를 갖는 박막트랜지스터 어레이 기판.

#### 청구항 9

제1 영역과 상기 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기판;

상기 기판 상에 배치되며, 상기 제1 영역에 배치되는 부분이 제1 두께를 갖고, 상기 제2 영역에 배치되는 부분이 제1 두께보다 얇은 제2 두께를 갖는 버퍼막;

상기 버퍼막 상에 균일한 두께로 마련되며, 상기 제1 영역에 배치되는 채널영역과 상기 제2 영역들 상에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층;

상기 액티브층을 덮도록 상기 버퍼막 상에 배치되며, 평탄화된 상면을 갖고, 상기 채널영역에 배치되는 부분이 제3 두께를 갖고, 상기 제1 및 제2 접합영역들에 배치되는 부분이 상기 제3 두께보다 두꺼운 제4 두께를 갖는 게이트절연막;

상기 채널영역 상의 상기 게이트절연막 부분 상에 배치되는 게이트전극; 및

상기 제1 접합영역에 연결되는 제1 전극과 상기 제2 접합영역에 연결되는 제2 전극;

을 포함하는 박막트랜지스터 어레이 기판.

#### 청구항 10

제 9 항에 있어서,

상기 버퍼막은 상기 제2 영역에 인접하는 상기 제1 영역에 배치되는 부분이 경사지게 마련되고,

상기 액티브층의 상기 채널영역은 상기 경사진 버퍼막 부분 상에 경사지게 배치되는 박막트랜지스터 어레이 기판.

#### 청구항 11

제 9 항에 있어서,

상기 게이트전극을 덮도록 상기 게이트절연막 상에 배치되는 층간절연막; 및

상기 제1 접합영역과 제1 전극 사이 및 상기 제2 접합영역과 제2 전극 사이를 연결하도록 상기 층간절연막과 게이트절연막 내에 형성된 제1 콘택과 제2 콘택;

을 더 포함하는 박막트랜지스터 어레이 기판.

## 청구항 12

제1 영역과 상기 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기판 상에 상기 제1 영역에 배치되는 부분이 제1 두께를 갖고, 상기 제2 영역에 배치되는 부분이 상기 제1 두께보다 얇은 제2 두께를 갖는 버퍼막을 형성하는 단계;

상기 버퍼막 상에 균일한 두께로 상기 제1 영역에 배치되는 채널영역과 상기 제2 영역들에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층을 형성하는 단계;

상기 버퍼막 상에 액티브층을 덮도록, 평탄화된 상면을 가지며, 상기 채널영역에 배치되는 부분이 제3 두께를 갖고, 상기 제1 및 제2 접합영역들에 배치되는 부분들이 제3 두께보다 두꺼운 제4 두께를 갖는 게이트절연막을 형성하는 단계;

상기 채널영역 상부의 상기 게이트절연막 부분 상에 게이트전극을 형성하는 단계; 및

상기 제1 접합영역에 연결되는 제1 전극과 상기 제2 접합영역에 연결되는 제2 전극을 형성하는 단계;

를 포함하는 박막트랜지스터 어레이 기판의 제조방법.

## 청구항 13

제 12 항에 있어서,

상기 버퍼막을 형성하는 단계는, 상기 제2 영역들에 인접하는 상기 제1 영역 부분들이 경사지도록 수행하고,

상기 액티브층을 형성하는 단계는 상기 채널영역이 상기 경사진 버퍼막 부분들 상에 경사지게 배치되도록 수행하는 박막트랜지스터 어레이 기판의 제조방법.

## 청구항 14

제 12 항에 있어서,

상기 게이트절연막을 형성하는 단계는 화학적기계연마(Chemical Mechanical Polishing) 공정으로 그의 상면을 평탄화시키는 박막트랜지스터 어레이 기판의 제조방법.

## 청구항 15

제 12 항에 있어서,

상기 게이트전극을 형성하는 단계 후, 그리고, 상기 제1 및 제2 전극들을 형성하는 단계 전,

상기 게이트전극을 덮도록 상기 게이트절연막 상에 층간절연막을 형성하는 단계; 및

상기 층간절연막과 게이트절연막을 식각하여 상기 제1 접합영역과 상기 제2 접합영역을 각각 노출시키는 홀들을 형성하는 단계;

를 더 포함하는 박막트랜지스터 어레이 기판의 제조방법.

## 청구항 16

제 15 항에 있어서,

상기 제1 및 제2 전극을 형성하는 단계는,

상기 제1 접합영역과 제1 전극 사이 및 상기 제2 접합영역과 제2 전극 사이를 연결하는 제1 콘택 및 제2 콘택을 함께 형성하는 박막트랜지스터 어레이 기판의 제조방법.

#### 청구항 17

상호 대향 합착되는 한 쌍의 기판 중 어느 하나는, 복수의 화소영역에 각각 유기발광소자와 적어도 둘 이상의 박막트랜지스터를 구비하는 박막트랜지스터 어레이 기판을 포함하며,

상기 박막트랜지스터 어레이 기판은,

제1 영역과 상기 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기판;

상기 기판 상에 배치되며, 상기 제1 영역에 배치되는 부분이 제1 두께를 갖고, 상기 제2 영역에 배치되는 부분이 제1 두께보다 얇은 제2 두께를 갖는 버퍼막;

상기 버퍼막 상에 균일한 두께로 마련되며, 상기 제1 영역에 배치되는 채널영역과 상기 제2 영역들 상에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층;

상기 액티브층을 덮도록 상기 버퍼막 상에 배치되며, 평탄화된 상면을 갖고, 상기 채널영역에 배치되는 부분이 제3 두께를 갖고, 상기 제1 및 제2 접합영역들에 배치되는 부분이 상기 제3 두께보다 두꺼운 제4 두께를 갖는 게이트절연막;

상기 채널영역 상의 상기 게이트절연막 부분 상에 배치되는 게이트전극; 및

상기 제1 접합영역에 연결되는 제1 전극과 상기 제2 접합영역에 연결되는 제2 전극;

을 포함하는 유기발광표시장치.

#### 청구항 18

제 17 항에 있어서,

상기 버퍼막은 상기 제2 영역에 인접하는 상기 제1 영역에 배치되는 부분이 경사지게 마련되고,

상기 액티브층의 채널영역은 상기 경사진 버퍼막 부분 상에 경사지게 배치되는 유기발광표시장치.

#### 청구항 19

제 17 항에 있어서,

상기 게이트전극을 덮도록 상기 게이트절연막 상에 배치되는 층간절연막; 및

상기 제1 접합영역과 제1 전극 사이 및 상기 제2 접합영역과 제2 전극 사이를 연결하도록 상기 층간절연막과 게이트절연막 내에 형성된 제1 콘택과 제2 콘택;

을 더 포함하는 유기발광표시장치.

### 발명의 설명

### 기술 분야

본 발명은 표시장치에 관한 것으로, 더욱 상세하게는, 채널 길이 감소에 따른 단채널효과(Short Channel Effect)를 억제할 수 있는 박막트랜지스터 어레이 기판 및 그의 제조방법과 이를 포함하는 유기발광표시장치에 관한 것이다.

[0001]

## 배경 기술

- [0003] 표시장치(Display device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용되고 있으며, 표시장치의 박형화, 경량화 및 저소비전력화 등을 구현하기 위한 다양한 연구들이 계속해서 진행되고 있다.
- [0004] 표시장치의 예로서는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.
- [0005] 이러한 표시장치들은 일반적으로 상호 대향하여 합착된 한 쌍의 기판과 이들 사이에 배치된 편광물질 또는 발광 물질을 포함한다. 그리고, 상기한 표시장치들에 있어서, 한 쌍의 기판 중 적어도 하나는 실질적으로 영상이 표시되는 표시영역에 복수의 화소영역을 정의하고, 각 화소영역마다 적어도 하나의 박막트랜지스터(Thin Film Transistor)가 설치된 박막트랜지스터 어레이 기판을 포함한다.
- [0006] 한편, 표시장치는 더욱 선명한 화질을 구현하기 위해 고해상도가 요구되고 있으며, 이에 따라, 각 화소영역의 면적이 축소되고 있다.
- [0007] 그런데, 각 화소영역 면적이 축소되면, 각 화소영역에서 박막트랜지스터에 할당되는 면적이 감소되며, 이는 박막트랜지스터의 동작 특성 저하로 이루어진다.
- [0008] 예시적으로, 유기발광표시장치의 박막트랜지스터 어레이 기판은 적어도 각 화소영역의 유기발광소자에 구동전류를 공급하는 구동 박막트랜지스터 및 구동 박막트랜지스터에 게이트신호를 공급하는 스위칭 박막트랜지스터를 포함할 수 있다.
- [0009] 이와 같은 박막트랜지스터들에 있어서, 채널 길이(channel length)가 감소됨에 따라 접합영역(junction region)에서의 차아지(charge) 영향성이 커짐으로써 단채널효과(Short Channel Effect)가 발생한다.
- [0010] 또한, 구동 박막트랜지스터의 경우는 아일랜드 형태의 액티브층을 포함함에 따라 드레인 전류(Ids)가 변동되는 키크효과(Kink Effect)가 발생할 수 있으며, 액티브층 물질로서 저온폴리실리콘(Low-Temperature Polycrystalline Silicon; 이하, LTPS)이 적용된 LTPS 박막트랜지스터가 서브-마이크론(sub-micron) 크기로 제작될 때, 이러한 키크효과는 더욱 심화되고, 결국, 안정적인 구동이 어렵다.
- [0011] 따라서, 고해상도의 표시장치를 구현하기 위해서는 키크효과를 포함하여 채널 길이 감소에 기인하는 단채널효과를 억제할 수 있는 새로운 구조의 박막트랜지스터 어레이 기판 설계가 필요하다.

## 발명의 내용

### 해결하려는 과제

- [0013] 본 발명은 채널 길이의 감소에도 불구하고 단채널효과를 억제할 수 있는 박막트랜지스터 어레이 기판 및 그의 제조방법을 제공함에 그 목적이 있다.
- [0014] 또한, 본 발명은 이와 같은 박막트랜지스터 어레이 기판을 포함하는 유기발광표시장치를 제공함에 그 다른 목적이 있다.
- [0015] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시 예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적들 및 장점들은 청구범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

### 과제의 해결 수단

- [0017] 본 발명의 실시예는, 제1 영역과 상기 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기판, 기판 상에 배

치되며 제1 영역과 제2 영역들에서 서로 상이한 두께를 갖는 버퍼막, 버퍼막 상에 균일한 두께로 마련되며 제1 영역에 배치되는 채널영역과 제2 영역들 상에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층, 액티브층을 덮도록 버퍼막 상에 배치되며 평탄화된 상면을 갖고 제1 영역과 제2 영역에서 서로 상이한 두께를 갖는 게이트절연막, 채널영역 상의 게이트절연막 부분 상에 배치되는 게이트전극, 및 제1 접합영역에 연결되는 제1 전극과 제2 접합영역에 연결되는 제2 전극을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

- [0018] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 버퍼막은 제1 영역에 배치되는 부분이 제1 두께를 갖고 제2 영역에 배치되는 부분이 제1 두께보다 얇은 제2 두께를 가질 수 있다.
- [0019] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 기판은 제2 영역들에 각각 인접하는 제1 영역들에 배치되는 제3 영역 및 제4 영역을 가지며, 버퍼막은 제3 영역 및 제4 영역에서 경사지게 마련될 수 있다.
- [0020] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 게이트절연막은 채널영역에 배치되는 부분이 제3 두께를 갖고 제1 및 제2 접합영역들에 배치되는 부분이 제3 두께보다 두꺼운 제4 두께를 가질 수 있다.
- [0021] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 버퍼막은 제1 영역에 배치되는 부분이 제1 두께를 갖고 제2 영역에 배치되는 부분이 제1 두께보다 두꺼운 제2 두께를 가질 수 있다.
- [0022] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 기판은 액티브층의 채널영역에 대응하는 제1 영역과 액티브층의 제1 및 제2 접합영역들에 대응하는 제2 영역들 사이에 각각 배치되는 제5 영역 및 제6 영역을 가지며, 버퍼막은 제5 영역 및 제6 영역에서 경사지게 배치될 수 있다.
- [0023] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 액티브층은 경사지게 배치된 버퍼막의 제5 영역 및 제6 영역에 각각 배치되는 LDD(Lightly Doped Drain) 영역을 더 포함할 수 있다.
- [0024] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 게이트절연막은 채널영역에 배치되는 부분이 제3 두께를 갖고 제1 및 제2 접합영역들에 배치되는 부분이 제3 두께보다 얇은 제4 두께를 가질 수 있다.
- [0025] 본 발명의 실시예는, 제1 영역과 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기판, 기판 상에 배치되며 제1 영역에 배치되는 부분이 제1 두께를 갖고 제2 영역에 배치되는 부분이 제1 두께보다 얇은 제2 두께를 갖는 버퍼막, 버퍼막 상에 균일한 두께로 마련되며 제1 영역에 배치되는 채널영역과 제2 영역들 상에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층, 액티브층을 덮도록 버퍼막 상에 배치되며 평탄화된 상면을 갖고 채널영역에 배치되는 부분이 제3 두께를 갖고 제1 및 제2 접합영역들에 배치되는 부분이 제3 두께보다 두꺼운 제4 두께를 갖는 게이트절연막, 채널영역 상의 게이트절연막 부분 상에 배치되는 게이트전극, 및 제1 접합영역에 연결되는 제1 전극과 제2 접합영역에 연결되는 제2 전극을 포함하는 박막트랜지스터 어레이 기판을 제공한다.
- [0026] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 버퍼막은 제2 영역에 인접하는 제1 영역에 배치되는 부분이 경사지게 마련되고, 액티브층의 채널영역은 경사진 버퍼막 부분 상에 경사지게 배치될 수 있다.
- [0027] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은, 게이트전극을 덮도록 게이트절연막 상에 배치되는 층간절연막, 및 제1 접합영역과 제1 전극 사이 및 제2 접합영역과 제2 전극 사이를 연결하도록 층간절연막과 게이트절연막 내에 형성된 제1 콘택과 제2 콘택을 더 포함할 수 있다.
- [0028] 본 발명의 실시예는, 제1 영역과 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기판 상에 제1 영역에 배치되는 부분이 제1 두께를 갖고 제2 영역에 배치되는 부분이 제1 두께보다 얇은 제2 두께를 갖는 버퍼막을 형성하는 단계, 버퍼막 상에 균일한 두께로 제1 영역에 배치되는 채널영역과 제2 영역들에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층을 형성하는 단계, 버퍼막 상에 액티브층을 덮도록 평탄화된 상면을 가지며 채널영역에 배치되는 부분이 제3 두께를 갖고 제1 및 제2 접합영역들에 배치되는 부분들이 제3 두께보다 두꺼운 제4 두께를 갖는 게이트절연막을 형성하는 단계, 채널영역 상부의 게이트절연막 부분 상에 게이트전극을 형성하는 단계, 및 제1 접합영역에 연결되는 제1 전극과 제2 접합영역에 연결되는 제2 전극을 형성하는 단계를 포함하는 박막트랜지스터 어레이 기판의 제조방법을 제공한다.
- [0029] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판의 제조방법에 있어서, 버퍼막을 형성하는 단계는 제2 영역들에 인접하는 제1 영역 부분들이 경사지도록 수행하고, 액티브층을 형성하는 단계는 채널영역이 경사진 버퍼막 부분들 상에 경사지게 배치되도록 수행할 수 있다.
- [0030] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판의 제조방법에 있어서, 게이트절연막을 형성하는 단계는



화학적기계연마(Chemical Mechanical Polishing) 공정으로 그의 상면을 평탄화시킬 수 있다.

- [0031] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법은, 게이트전극을 형성하는 단계 후, 그리고, 제1 및 제2 전극들을 형성하는 단계 전, 게이트전극을 덮도록 게이트절연막 상에 층간절연막을 형성하는 단계, 및 층간절연막과 게이트절연막을 식각하여 제1 접합영역과 제2 접합영역을 각각 노출시키는 홀들을 형성하는 단계를 더 포함할 수 있다.
- [0032] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법에 있어서, 제1 및 제2 전극을 형성하는 단계는, 제1 접합영역과 제1 전극 사이 및 제2 접합영역과 제2 전극 사이를 연결하는 제1 콘택 및 제2 콘택을 함께 형성할 수 있다.
- [0033] 본 발명의 실시예는, 상호 대향 합착되는 한 쌍의 기관 중 어느 하나는, 복수의 화소영역에 각각 유기발광소자와 적어도 둘 이상의 박막트랜지스터를 구비하는 박막트랜지스터 어레이 기관을 포함하며, 박막트랜지스터 어레이 기관은, 제1 영역과 제1 영역의 양측 각각에 배치되는 제2 영역들을 갖는 기관, 기관 상에 배치되며 제1 영역에 배치되는 부분이 제1 두께를 갖고 제2 영역에 배치되는 부분이 제1 두께보다 얇은 제2 두께를 갖는 버퍼막, 버퍼막 상에 균일한 두께로 마련되며 제1 영역에 배치되는 채널영역과 제2 영역들 상에 각각 배치되는 제1 접합영역 및 제2 접합영역을 포함하는 액티브층, 액티브층을 덮도록 버퍼막 상에 배치되며 평탄화된 상면을 갖고 채널영역에 배치되는 부분이 제3 두께를 갖고 제1 및 제2 접합영역들에 배치되는 부분이 제3 두께보다 두꺼운 제4 두께를 갖는 게이트절연막, 채널영역 상의 게이트절연막 부분 상에 배치되는 게이트전극, 및 제1 접합영역과 연결되는 제1 전극과 제2 접합영역에 연결되는 제2 전극을 포함하는 유기발광표시장치를 제공한다.
- [0034] 본 발명의 실시예에 따른 유기발광표시장치에 있어서, 버퍼막은 제2 영역에 인접하는 제1 영역에 배치되는 부분이 경사지게 마련되고, 액티브층의 채널영역은 경사진 버퍼막 부분 상에 경사지게 배치될 수 있다.
- [0035] 본 발명의 실시예에 따른 유기발광표시장치는, 게이트전극을 덮도록 게이트절연막 상에 배치되는 층간절연막, 및 제1 접합영역과 제1 전극 사이 및 제2 접합영역과 제2 전극 사이를 연결하도록 층간절연막과 게이트절연막 내에 형성된 제1 콘택과 제2 콘택을 더 포함할 수 있다.

### 발명의 효과

- [0037] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관은 버퍼막의 패터닝과 게이트절연막에의 화학적기계연마 공정 적용을 통해 채널영역에서 보다 접합영역에서 더 두꺼운 두께를 갖는 게이트절연막을 구비하도록 마련된다.
- [0038] 따라서, 본 발명에 따른 박막트랜지스터의 경우, 드레인영역에서 인가되는 전계(field)를 저감시킬 수 있음으로 인해 채널 길이 감소에도 불구하고 키크효과 및 단채널효과를 억제할 수 있다.

### 도면의 간단한 설명

- [0040] 도 1은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관을 도시한 단면도이다.
- 도 2a 내지 도 2h는 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법을 설명하기 위한 공정별 단면도이다.
- 도 3은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관을 포함하는 유기발광표시장치의 화소영역에 대한 등가회로도이다.
- 도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터 어레이 기관을 도시한 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0041] 전술한 목적들, 특징들 및 효과는 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다.

- [0042] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- [0043] 도 1은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판을 도시한 단면도이다.
- [0044] 도시된 바와 같이, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 버퍼막(20)의 패터닝 및 게이트절연막(40)의 평탄화를 통해 채널영역(32)과 접합영역들(34, 36) 사이에 서로 상이한 두께를 갖는 게이트절연막(40)을 포함하도록 마련된다.
- [0045] 자세하게, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 기판(10), 버퍼막(20), 액티브층(30), 게이트절연막(40) 및 게이트전극(50)을 포함한다. 또한, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 층간절연막(60)과 제1 및 제2 전극들(70, 80)을 포함한다.
- [0046] 기판(10)은 유리기판 또는 플라스틱기판과 같은 투명성 재질로 이루어질 수 있으며, 대체로 사각 플레이트 형상을 갖도록 마련된다. 기판(10)은 제1 영역(R1)과 제1 영역(R1)의 양측 각각에 배치되는 제2 영역들(R2)을 갖는다. 실시예에서, 제1 영역(R1)은 채널영역(32)에 대응하며, 제2 영역들(R2)은 제1 접합영역(34) 및 제2 접합영역(36)에 대응한다. 또한, 기판(10)은 제2 영역들(R2)에 각각 인접하는 제1 영역들(R1)에 배치되는 제3 영역(R3) 및 제4 영역(R4)을 더 갖는다.
- [0047] 버퍼막(20)은 기판(10)의 전면(全面) 상에 배치되며, 실리콘산화막( $\text{SiO}_x$ ) 또는 실리콘질화막( $\text{SiN}_x$ )의 단일층이나 이들의 다중층으로 이루어질 수 있다. 이러한 버퍼막(20)은 영역들 별로 단차를 갖도록 마련된다.
- [0048] 구체적으로, 버퍼막(20)은 게이트전극(50) 아래의 제1 영역(R1)에서는 제1 두께( $t_1$ )를 갖고, 도면의 좌우 방향으로 제1 영역(R) 양측의 제2 영역들(R2)에서는 제1 두께( $t_1$ ) 보다 얇은 제2 두께( $t_2$ )를 갖는다. 상기한 바와 같이, 제1 영역(R1)은 액티브층(30)의 채널영역(32)에 대응하고, 제2 영역들(R2)은 액티브층(30)의 제1 및 제2 접합영역들(34, 36)에 대응한다. 버퍼막(20)은 제3 및 제4 영역들(R3, R4)에서 경사지게 배치된다.
- [0049] 여기서, 제1 접합영역(34)에 인접한 제3 영역(R3)에서의 버퍼막(20) 부분과 제2 접합영역(36)에 인접한 제4 영역(R4)에서의 버퍼막(20) 부분은 상호간 대칭되는 형태를 가질 수 있다.
- [0050] 반면, 도시되지 않았으나, 제3 영역(R3)에 경사지게 배치되는 버퍼막(20) 부분과 제4 영역(R4)에 경사지게 배치되는 버퍼막(20) 부분은 상호간 비대칭되는 형태를 가질 수도 있다.
- [0051] 계속해서, 액티브층(30)은 비정질실리콘(a-Si) 또는 폴리실리콘(poly-Si) 중 어느 하나, 바람직하게, 폴리실리콘(poly-Si)으로 이루어질 수 있다. 액티브층(30)은 채널영역(32)과 채널영역(32)의 양측 각각에 배치되는 제1 접합영역(34) 및 제2 접합영역(36)을 포함한다. 여기서, 제1 접합영역(34)은 소오스영역에 해당할 수 있고, 제2 접합영역(36)은 드레인영역에 해당할 수 있다.
- [0052] 이러한 액티브층(30)은 영역별로 상이한 두께를 갖도록 형성된 버퍼막(20) 상에 균일한 두께로 형성되며, 이에 따라, 도면의 상하 방향으로 제1 영역(R1)에 배치되는 채널영역(32)은 제2 영역(R2)에 배치되는 제1 및 제2 접합영역들(34, 36) 보다 위쪽에 위치하게 된다. 액티브층(30)의 채널영역(32)은 제3 영역(R3) 및 제4 영역(R4)에서 경사지게 배치된다. 이때, 제3 영역(R3) 및 제4 영역(R4)에 배치되는 채널영역(32) 부분들은, 그 아래의 버퍼막(20) 부분들과 동일하게, 상호간 대칭되는 형상을 가지며, 반면, 도시하지 않았으나, 상호간 비대칭되는 형상을 가질 수도 있다.
- [0053] 게이트절연막(40)은 버퍼막(20) 상에 액티브층(30)을 덮도록 배치된다. 특히, 실시예에서의 게이트절연막(40)은 평탄화된 상면을 가지며, 이에 따라, 게이트절연막(40)은 채널영역(32) 상에서와 제1 및 제2 접합영역들(34, 36) 상에서 서로 상이한 두께들( $t_3$ ,  $t_4$ )을 갖는다.
- [0054] 구체적으로, 게이트절연막(40)은 채널영역(32) 상에서 제3 두께( $t_3$ )를 갖고, 제1 및 제2 접합영역들(34, 36) 상에서 제3 두께( $t_3$ ) 보다 두꺼운 제4 두께( $t_4$ )를 갖는다. 예시적으로, 제3 두께( $t_3$ )는 2~10nm일 수 있으며, 제4 두께( $t_4$ )는 단채널효과 발생 정도에 따라 제어 가능한 두께인 50nm 이상, 예를 들어, 50~100nm일 수 있다.
- [0055] 한편, 게이트절연막(40)은 채널영역(32)과 제1 접합영역(34) 및 제2 접합영역(36)을 포함하는 액티브층(30)이 형성된 버퍼막(20) 상에 하부층의 단차를 따라 균일한 두께로 증착된 후, 화학적기계연마(Chemical Mechanical Polishing; 이하, 'CMP'라 칭함) 공정으로 그의 상면을 연마하는 것에 의해 평탄화될 수 있다.
- [0056] 게이트전극(50)은 평탄화된 게이트절연막(40)의 상면 상에 배치된다. 이러한 게이트전극(50)은 액티브층(30)의 채널영역(32) 상부에 배치된다.

- [0057] 층간절연막(60)은 게이트전극(50)을 덮도록 게이트절연막(40) 상에 배치된다. 층간절연막(60)은 제1 층간절연막(62)과 제2 층간절연막(64)을 포함한다.
- [0058] 제1 전극(70)은 제2 층간절연막(64) 상에 제1 접합영역(34)과 연결되도록 형성되며, 제2 전극(80)은 제2 층간절연막(64) 상에 제2 접합영역(36)과 연결되도록 형성된다. 예를 들어, 제1 전극(70)은 소오스전극일 수 있으며, 소오스영역에 해당하는 제1 접합영역(34)에 연결될 수 있다. 제2 전극(80)은 드레인전극일 수 있으며, 드레인영역에 해당하는 제2 접합영역(36)에 연결될 수 있다. 이러한 제1 전극(70) 및 제2 전극(80)은 층간절연막(60)과 게이트절연막(40) 내에 각각 형성되는 제1 콘택(C1) 및 제2 콘택(C2)을 통해 대응하는 제1 접합영역(34) 및 제2 접합영역(36)과 연결될 수 있다.
- [0059] 한편, 도시되지 않았으나, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 상호 교차하도록 배치되는 게이트라인(또는 스캔라인) 및 데이터라인과 전원라인 등을 포함할 수 있다.
- [0060] 여기서, 게이트라인(또는 스캔라인)은 게이트전극(50)과 전기적으로 연결된다. 그리고, 데이터라인은 제1 전극(70) 및 제2 전극(80) 중 어느 하나와 전기적으로 연결되며, VDD가 인가되는 전원라인은 나머지 하나의 전극에 연결된다.
- [0061] 도 2a 내지 도 2h는 전술한 바와 같은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판의 제조방법을 설명하기 위한 공정별 단면도들로서, 이들을 설명하면 다음과 같다.
- [0062] 도 2a를 참조하면, 유리기판 또는 플라스틱기판과 같은 투명한 재질의 기판(10)을 마련한다. 기판(10)은 제1 영역(R1)과 제2 영역들(R2)을 가질 수 있으며, 또한, 제1 영역(R1)은 제2 영역들(R2)에 각각 인접하는 제3 영역(R3) 및 제4 영역(R4)을 포함할 수 있다. 여기서, 제1 영역(R1)은 액티브층의 채널영역에 대응하는 영역이고, 제2 영역(R2)은 액티브층의 제1 및 제2 접합영역에 대응하는 영역들이다.
- [0063] 그 다음, 기판(10)의 전면(全面) 상에 균일한 두께로 버퍼막(20)을 형성한다. 버퍼막(20)은 실리콘산화막이나 실리콘질화막의 단일층 또는 이들의 다중층으로 형성할 수 있다.
- [0064] 도 2b를 참조하면, 버퍼막(20)을 제1 영역(R1)과 제2 영역(R2) 사이에 상이한 두께들(t1, t2)을 갖도록 패터닝한다. 예시적으로, 버퍼막(20)의 패터닝은 버퍼막(20) 상에 식각마스크를 형성한 후, 이러한 식각마스크를 이용한 습식 또는 건식 식각 공정을 통해 버퍼막(20)을 식각하고, 그리고 나서, 식각마스크 제거하는 공정을 순차 진행하는 것에 통해 구현될 수 있다.
- [0065] 실시예에서, 버퍼막(20)의 패터닝은 후속에서 형성될 액티브층의 채널영역 아래의 제1 영역(R1)에서는 제1 두께(t1)를 갖고, 제1 영역(R) 양측의 액티브층의 제1 및 제2 접합영역들 아래의 제2 영역들(R2)에서는 제1 두께(t1) 보다 얇은 제2 두께(t2)를 갖도록 진행한다. 또한, 버퍼막(20)의 패터닝은 제2 영역들(R2) 각각에 인접한 제1 영역(R1) 부분들의 제3 영역 및 제4 영역(R3, R4)이 경사면을 갖도록 진행한다. 이때, 제3 영역(R3)의 경사면과 제4 영역(R4)의 경사면은 서로 대칭되게 형성한다.
- [0066] 반면, 도시하지 않았으나, 제3 영역(R3)의 경사면과 제4 영역(R4)의 경사면은 서로 비대칭되게 형성하는 것도 가능하다.
- [0067] 도 2c를 참조하면, 영역들(R1, R2) 별로 상이한 두께들(t1, t2)을 갖는 버퍼막(20) 상에 균일한 두께로 비정질 실리콘층을 증착한다. 그런 다음, 비정질실리콘층에 대하여, 예를 들어, 엑시머레이저 또는 플라즈마 등을 이용한 결정화 공정을 진행하고, 이를 통해, 비정질실리콘층을 결정화시켜 폴리실리콘층을 형성한다.
- [0068] 도 2d를 참조하면, 폴리실리콘층을 패터닝한 후, 패터닝된 폴리실리콘층에 대하여 이온주입 마스크 형성 공정, 이온주입 공정, 및 이온주입 마스크 제거 공정을 순차 진행하여 채널영역(32)과 제1 및 제2 접합영역(34, 36)을 포함하는 액티브층(30)을 형성한다.
- [0069] 실시예에서, 액티브층(30)은 영역들(R1, R2) 별로 상이한 두께를 갖도록 형성된 버퍼막(20) 상에 형성되므로, 제1 영역(R1)의 버퍼막(20) 부분에 배치되는 채널영역(32)은 제2 영역들(R2)의 버퍼막(20) 부분들에 배치되는 제1 및 제2 접합영역들(34, 36) 보다 도면의 상하 방향으로 위쪽에 위치하게 된다. 또한, 제1 접합영역(34) 및 제2 접합영역(36)에 각각 인접하는 채널영역(32)의 양측 가장자리 부분들은 각각 제3 및 제4 영역들(R3, R4)의 경사진 버퍼막(20) 부분 상에 경사지게 배치된다. 이때, 제3 및 제4 영역들(R3, R4)에 배치된 채널영역(32) 부분들은 상호간 대칭되는 형상을 가질 수 있음은 물론, 상호간 비대칭되는 형상을 가질 수도 있다.
- [0070] 도 2e를 참조하면, 채널영역(32)과 제1 및 제2 접합영역들(34, 36)을 포함하는 액티브층(30)을 덮도록 버퍼막

(20) 상에 게이트절연막(40)을 증착한다. 게이트절연막(40)은, 예를 들어, 실리콘산화막( $\text{SiO}_x$ )으로 이루어질 수 있으며, 예를 들어, 20~110nm 두께로 증착될 수 있다. 여기서, 게이트절연막(40)은 하부층의 단차를 따라 균일한 두께로 증착되므로, 그의 상면 또한 하부층의 단차와 동일한 단차를 갖게 된다.

[0071] 도 2f를 참조하면, 게이트절연막(40)의 상면에 대하여 CMP 공정을 진행하고, 이를 통해, 게이트절연막(40)의 상면을 평탄화시킨다. CMP 공정은 연마패드에 의한 기계적 연마와 슬러리에 의한 화학적 연마가 동시에 진행되는 공정으로서, 글로벌 평탄화 작업에 매우 유용하다. 예를 들어, 본 실시예에서의 CMP 공정은 제1 영역(R1), 즉, 채널영역(32)에서의 게이트절연막(40)의 잔류 두께가 2~10nm 정도가 되도록 하는 조건으로 진행할 수 있다.

[0072] 게이트절연막(40) 상면에 대한 평탄화 결과, 게이트절연막(40)은 채널영역(32)과 제1 및 제2 접합영역들(34, 36) 상에서 서로 상이한 두께( $t_3$ ,  $t_4$ )를 갖게 된다. 즉, 게이트절연막(40)은 채널영역(32) 상에서 2~10nm 정도의 제3 두께( $t_3$ )를 가지며, 제1 및 제2 접합영역들(34, 36) 상에서 제3 두께( $t_3$ ) 보다 두꺼운 50nm 이상, 예를 들어, 50~100nm 정도의 제4 두께( $t_4$ )를 갖는다. 여기서, 제4 두께( $t_4$ )는 단채널효과 발생 정도에 따라 제어 가능한 두께일 수 있다.

[0073] 도 2g를 참조하면, 평탄화된 게이트절연막(40)의 상면 상에 게이트전극용 도전막을 증착한다. 그런 다음, 게이트전극용 도전막을 패터닝하여 채널영역(32) 상부의 게이트절연막(40) 부분 상에 배치되는 게이트전극(50)을 형성한다. 이때, 게이트전극(50)은 제1 및 제2 접합영역들(34, 36)에 인접하여 경사지게 배치된 채널영역(32) 부분들의 상부에도 배치되도록 형성한다.

[0074] 한편, 도시하지 않았으나, 게이트전극(50)의 형성 시에는 게이트라인(또는 스캔라인)을 함께 형성할 수 있다.

[0075] 도 2h를 참조하면, 게이트전극(50)을 덮도록 게이트절연막(40) 상에 층간절연막(60)을 형성한다. 층간절연막(60)은 제1 층간절연막(62)과 제2 층간절연막(64)을 포함한다. 이에 따라, 본 발명은 제1 층간절연막(62)을 형성한 후에 제1 층간절연막(62) 상에 박막트랜지스터 어레이 기판을 구성하는 다른 구성요소를 형성하고, 그리고 나서, 제2 층간절연막(64)을 형성할 수 있다.

[0076] 다음으로, 제1 및 제2 층간절연막(62, 64)을 포함하는 층간절연막(60)과 게이트절연막(40)을 식각하여 제1 접합영역(34)과 제2 접합영역(36)을 노출하는 홀들을 형성한다. 그런다음, 홀들을 매립하도록 층간절연막(60) 상에 도전막을 형성한 후, 이를 패터닝하여 홀들 내에 각각 제1 콘택(C1) 및 제2 콘택(C2)을 형성하고, 동시에, 층간절연막(60) 상에 제1 콘택(C1)을 통해 제1 접합영역(34)과 연결되는 제1 전극(70) 및 제2 콘택(C2)을 통해 제2 접합영역(36)과 연결되는 제2 전극(80)을 형성한다. 여기서, 제1 전극(70)은 소오스전극 또는 드레인전극 중 어느 하나일 수 있으며, 제2 전극(80)은 나머지 하나일 수 있다.

[0077] 한편, 도시되지 않았으나, 제1 및 제2 전극들(70, 80)의 형성 시, 게이트라인(또는 스캔라인)과 교차 배치되고, 제1 전극(70)과 제2 전극(80) 중 어느 하나와 연결되는 데이터라인 및 제1 전극(70)과 제2 전극(80) 중 나머지 하나와 연결되는 전원라인 등을 함께 형성할 수 있다.

[0078] 이 결과, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판의 제조가 완성된다.

[0079] 전술한 바와 같은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 구동 박막트랜지스터 및 스위칭 박막트랜지스터는 접합영역에서의 게이트절연막 두께가 채널영역에서의 게이트절연막 두께 보다 두껍기 때문에 전계(field)를 제어하는 효과를 얻게 되며, 그에 따라, 채널 길이 감소에 기인하는 단채널효과가 억제될 수 있다.

[0080] 구체적으로, 단채널효과는 채널 길이가 감소됨에 따라 나타나는 현상으로서, 그 예들로서 DIBL(Drain Induced Barrier Lowering) 현상, 채널 길이 변조(channel length modulation) 현상, 문턱전압 롤 오프( $V_{th}$  roll off) 현상, 및 유효 이동도(Effective mobility) 감소 현상 등을 들 수 있으며, 또한, 채널 길이 감소에 따라 LTPS 박막트랜지스터에서의 키크효과(Kink Effect)가 심화된다.

[0081] 여기서, DIBL 현상은 드레인 전압으로 인한 에너지 장벽의 저하 현상이며, 수평 전계에 의해 커런트가 증가하는 것으로 나타난다. 그런데, 본 발명에 따른 박막트랜지스터 어레이 기판의 경우, 버퍼막의 패터닝과 게이트절연막의 평탄화를 통해, 접합영역, 특히, 드레인영역에서의 게이트절연막 두께가 채널영역에서의 게이트절연막 두께 보다 두껍게 되기 때문에 드레인영역에 인가되는 전계를 낮추는 효과를 얻게 된다.

[0082] 따라서, 본 발명에 따른 박막트랜지스터 어레이 기판은 이와 같은 구조로 구동 박막트랜지스터 및 스위칭 박막트랜지스터를 구성함에 따라, 채널 길이 감소에도 불구하고 DIBL 현상을 억제할 수 있다.



- [0083] 채널 길이 변조 현상은 포화영역(saturation region)에서의 드레인 전압 변화에 따른 드레인 전류 증가 현상인데, 전술한 바와 같이, 본 발명에 따른 박막트랜지스터 어레이 기관에서의 박막트랜지스터는 드레인영역에서의 게이트절연막 두께가 채널영역에서의 게이트절연막 두께 보다 두껍기 때문에 드레인영역에 인가되는 전계를 줄일 수 있으며, 이에 따라, 드레인 전류 증가를 억제할 수 있다. 따라서, 본 발명에 따른 박막트랜지스터 어레이 기관을 적용하는 경우, 채널 길이 감소에 따른 채널 길이 변조 현상 또한 억제할 수 있다.
- [0084] 문턱전압 롤 오프 현상은 채널 길이가 감소함에 따라 소오스영역 및 드레인영역에서의 공핍영역으로 인해 문턱전압이 감소하는 현상인데, 본 발명에 따른 박막트랜지스터 어레이 기관에서의 박막트랜지스터는 소오스/드레인 영역에서의 게이트절연막 두께가 채널영역에서의 그것보다 두껍기 때문에 소오스/드레인 영역에 인가되는 전계를 낮출 수 있어서 공핍영역을 줄일 수 있으며, 이에 따라, 본 발명은 공핍영역으로 인해 문턱전압이 감소되는 문턱전압 롤 오프 현상을 억제할 수 있다.
- [0085] 유효 이동도 감소 현상은 수직 전계 증가로 인해 전자의 이동도가 감소하는 현상인데, 본 발명에 따른 박막트랜지스터 어레이 기관에서의 박막트랜지스터는 소오스/드레인 영역에서의 게이트절연막 두께가 채널영역에서의 그것보다 두꺼운 것으로 인해 수직 전계의 영향이 억제되며, 이에 따라, 본 발명은 채널 길이 감소에 따른 유효 이동도 감소 현상을 억제할 수 있다.
- [0086] 키크효과는 채널에 대한 드레인전압의 영향이 커지는 것에 의해 나타나며, 채널 길이 감소에 따라 드레인전압( $V_{ds}$ )이 임계 이상으로 커지게 되면 전류( $I_{ds}$ )가 불안정하게 상승하게 된다. 그런데, 본 발명에 따른 박막트랜지스터 어레이 기관에서의 박막트랜지스터는 드레인영역에서의 게이트절연막 두께가 채널영역에서의 그것보다 두껍기 때문에 접합영역, 즉, 드레인영역에 인가되는 전계를 낮출 수 있으며, 이에 따라, 본 발명에 따른 박막트랜지스터 어레이 기관을 적용하는 경우, 채널 길이 감소에 따라 드레인 전류가 불안정하게 상승하는 것을 억제할 수 있다.
- [0087] 결과적으로, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관에 있어서는 접합영역에서의 게이트절연막 두께를 채널영역에서의 게이트절연막 두께보다 두껍게 하는 것을 통해 접합영역에서의 전계 영향을 줄일 수 있으며, 이에 따라, 채널 길이의 감소에 따라 나타나는 단채널효과를 개선할 수 있다.
- [0088] 또한, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관을 이용하는 경우, 고해상도 표시장치에 적합한 구동 소자 및 스위칭 소자를 구현할 수 있으며, 아울러, 고해상도 표시장치를 구현할 수 있다.
- [0090] 이하에서는 전술한 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관을 포함하는 유기발광표시장치를 간략하게 설명하도록 한다.
- [0091] 유기발광표시장치는 영상이 표시되는 표시영역에 정의된 복수의 화소영역을 포함한다. 또한, 유기발광표시장치는 상호 대향 합착되는 한 쌍의 기관 중 어느 하나로 박막트랜지스터 어레이 및 유기발광소자 어레이가 배열되는 박막트랜지스터 어레이 기관을 포함한다.
- [0092] 유기발광소자 어레이는 박막트랜지스터 어레이에 의해 구동되며, 복수의 화소영역에 대응하여 배치되는 복수의 유기발광소자를 포함한다. 박막트랜지스터 어레이는 복수의 화소영역에 대응하여 배치되어 복수의 유기발광소자를 개별 구동하는 화소회로를 포함한다.
- [0093] 도 3은 본 발명의 실시예에 따른 유기발광표시장치의 각 화소영역에 대한 등가회로도이다.
- [0094] 도시된 바와 같이, 유기발광표시장치의 각 화소영역은 광을 방출하는 유기발광소자(OLED), 이러한 유기발광소자(OLED)에 구동전류를 공급하는 제1 박막트랜지스터(T1), 제1 박막트랜지스터(T1)의 턴온신호를 공급하는 제2 박막트랜지스터(T2) 및 제1박막트랜지스터(T1)의 턴온신호로 충전되는 스토리지 캐패시터(Cst)를 포함한다. 또한, 유기발광표시장치의 각 화소영역은 유기발광소자(OLED)에 공급되는 구동전류를 초기화하는 제3 박막트랜지스터(T3)를 더 포함할 수 있다.
- [0095] 여기서, 제1 박막트랜지스터(T1)는 구동 박막트랜지스터이고, 제2 박막트랜지스터(T2)는 스위칭 박막트랜지스터이며, 그리고, 제3 박막트랜지스터(T3)는 보조 박막트랜지스터일 수 있다.
- [0096] 구동용 제1 박막트랜지스터(T1)는 제1 전원(VDD) 및 제2 전원(VSS) 사이에서 유기발광소자(OLED)와 직렬로 연결된다. 즉, 제1 박막트랜지스터(T1)의 소오스전극 및 드레인전극 중 어느 하나는 제1 전원(VDD)에 연결되고, 나머지 하나는 유기발광소자(OLED)의 애노드전극에 연결된다. 유기발광소자(OLED)의 캐소드전극은 제2 전원(VSS)

에 연결된다. 이러한 제1 박막트랜지스터(T1)는 제2 박막트랜지스터(T2)로부터 공급된 턴온신호에 기초하여 턴온되면, 유기발광소자(OLED)에 구동전류를 공급한다.

- [0097] 스위치용 제2 박막트랜지스터(T2)는 상호 교차하는 스캔라인(SL)과 데이터라인(DL)에 연결된다. 제2 박막트랜지스터(T2)는 스캔라인(SL)의 화소 스캔신호에 기초하여 턴온되면, 데이터라인(DL)의 데이터신호를 제1 박막트랜지스터(T1)의 턴온신호로 공급한다. 이때, 제1노드(N1)에 공급된 제1 박막트랜지스터(T1)의 턴온신호에 기초하여 스토리지 캐패시터(Cst)가 충전된다.
- [0098] 보조용 제3 박막트랜지스터(T3)는 상호 교차하게 배치되는 스캔라인(SL)과 레퍼런스라인(RL)에 연결된다. 제3 박막트랜지스터(T3)는 스캔라인(SL)의 화소 스캔신호에 기초하여 턴온되면, 스토리지 캐패시터(Cst), 그리고, 유기발광소자(OLED)와 제1 박막트랜지스터(T1) 사이의 제2노드(N2)를 레퍼런스라인(RL)에 연결한다.
- [0099] 이와 같은 화소회로를 갖는 유기발광표시장치에서 적어도 구동용 제1 박막트랜지스터(T1)와 스위치용 제2 박막트랜지스터(T2)는 고해상도의 구현을 위해서 채널 길이 감소에 따른 단채널효과를 제어할 수 있도록 설계될 필요가 있다. 아울러, 제3 박막트랜지스터(T3) 또한 채널 길이 감소에 따른 단채널효과를 제어할 수 있는 구조로 설계될 수 있다.
- [0100] 이에, 본 발명의 실시예에 따른 유기발광표시장치의 박막트랜지스터 어레이 기판은, 전술한 바와 같이, 버퍼막의 패터닝과 게이트절연막의 평탄화를 통해서 채널영역과 접합영역에서 서로 상이한 게이트절연막 두께를 갖도록 구성된다. 즉, 게이트절연막은 채널영역에서 보다 접합영역에서 더 두꺼운 두께를 갖도록 구성된다.
- [0101] 이에 따라, 본 발명의 실시예에 따른 유기발광표시장치는 채널 길이 감소에 따른 단채널효과와 키크효과를 억제할 수 있으며, 그래서, 고해상도를 구현할 수 있다.
- [0102] 도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터 어레이 기판을 도시한 단면도이다. 여기서, 이전 실시예와 동일한 부분은 동일한 도면부호로 나타낸다.
- [0103] 도시된 바와 같이, 본 발명의 다른 실시예에 따른 박막트랜지스터 어레이 기판은 채널영역(32)과 제1 접합영역(34) 사이 및 채널영역(32)과 제2 접합영역(36) 사이 각각에 저농도 도핑 드레인(Lightly Doped Drain; 이하, 'LDD'라 칭함, 38) 영역을 갖는 구조로 구현된다.
- [0104] 또한, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 버퍼막(22)의 패터닝 및 게이트절연막(42)의 평탄화를 통해 채널영역(32)과 접합영역들(34, 36)에서 서로 상이한 두께를 갖는 게이트절연막(42)을 포함하도록 구현된다.
- [0105] 구체적으로, 버퍼막(22)은 채널영역(32)에 대응하는 제1 영역(R1)에 배치되는 부분이 접합영역들(34, 36)에 대응하는 제2 영역들(R2)에 배치되는 부분보다 얇은 두께를 갖도록 패터닝된다. 또한, 버퍼막(22)은 제1 영역(R1)과 제2 영역들(R2) 사이의 제5 영역(R5) 및 제6 영역(R6)에 배치되는 부분이 경사지게 패터닝된다.
- [0106] 이에 따라, 이러한 버퍼막(22) 상에 배치되는 액티브층(30)에 있어서, 도면의 상하 방향으로 채널영역(32)은 접합영역들(34, 36) 보다 아래쪽에 위치하게 되고, LDD 영역들(38)은 경사진 버퍼막(22) 부분 상에 위치하게 된다.
- [0107] 또한, 이와 같은 액티브층(30)을 덮도록 버퍼막(22) 상에 배치되는 게이트절연막(42)은 그 상면이 CMP 공정에 의해 평탄화되며, 이에 따라, 채널영역(32)에서의 게이트절연막(42) 두께는 접합영역들(34, 36)에서의 게이트절연막(42) 두께보다 두껍게 된다.
- [0108] 한편, LDD 영역들(38)을 포함한 접합영역들(34, 36)은 이온주입 깊이(Rp)가 상이함을 이용하여 형성될 수 있다.
- [0109] 즉, 접합영역들(34, 36)을 형성하기 위한 폴리실리콘층에의 이온주입 공정 시, 이온주입 깊이(Rp)를 제2 영역들(R2)에 배치된 폴리실리콘층 부분에 맞추게 되면, 접합영역(34, 36)에 대응하는 폴리실리콘층 부분에는 불순물이 소망하는 농도로 이온주입되는 반면, 채널영역(32)에 대응하는 제1 영역(R1)에 배치된 폴리실리콘층 부분에는 불순물이 거의 이온주입되지 않거나 극소량만 이온주입된다.
- [0110] 또한, 제5 영역(R5) 및 제6 영역(R6)의 경사진 폴리실리콘층 부분에서는 불순물이 접합영역들(34, 36)에서 보다 상대적으로 저농도로 이온주입되며, 이에 따라, 채널영역(32)과 접합영역들(34, 36) 사이에 접합영역들(34, 36) 보다 상대적으로 저농도인 LDD 영역(38)이 형성된다.
- [0111] 따라서, 본 발명은 이온주입 마스크의 형성없이 이온주입 깊이(Rp)를 이용하여 손쉽게 접합영역들(34, 36) 및

LDD 영역들(38)을 형성할 수 있다.

[0112] 그 밖에, 본 발명의 다른 실시예에 따른 박막트랜지스터 어레이 기판에서의 기관(10), 게이트전극(50), 제1 및 제2 증간절연막들(62, 64)을 포함한 증간절연막(60), 그리고, 제1 및 제2 콘택들(C1, C2)을 포함한 제1 및 제2 전극들(70, 80)은 이전 실시예의 그것들과 동일하며, 아울러, 나머지 구성요소들 또한 이전 실시예의 그것들과 동일하다.

[0113] 이에, 여기서는 이들에 대한 중복 설명을 생략하도록 한다.

[0114] 이와 같은 구조를 갖는 본 발명의 다른 실시예에 따른 박막트랜지스터 어레이 기판은 채널 영역과 접합영역들 사이에 LDD 영역이 설치된 구조를 가지므로, 이러한 LDD 영역의 설치를 통해 접합영역, 특히, 드레인영역에서의 전계를 줄일 수 있다.

[0115] 따라서, 본 발명의 다른 실시예에 따른 박막트랜지스터 어레이 기판 또한 채널 길이 감소에 따른 단채널효과를 억제할 수 있으며, 이러한 박막트랜지스터 어레이 기판을 이용하는 경우에 유기발광표시장치를 포함하여 고해상도의 표시장치를 구현할 수 있다.

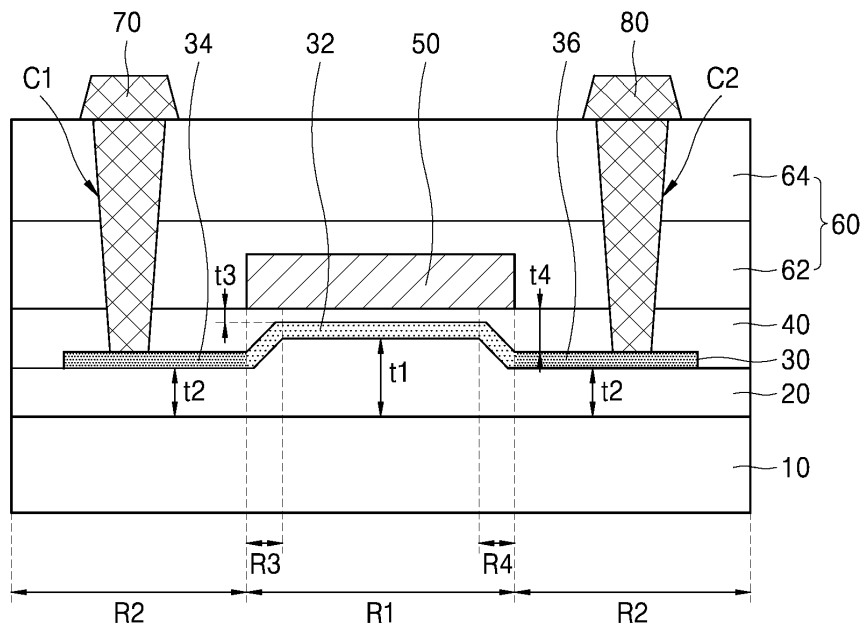
[0117] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

## 부호의 설명

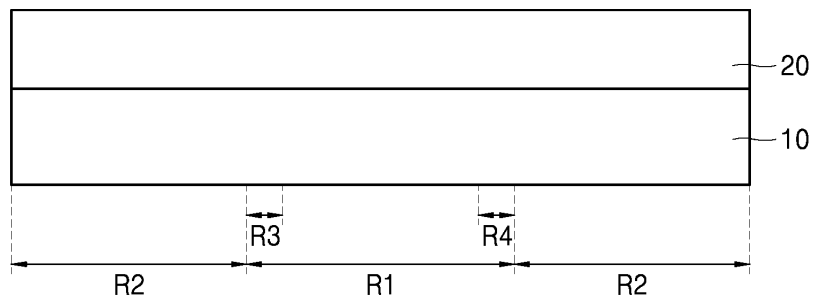
[0119]	10: 기관	20,22: 버퍼막
	30: 액티브층	32: 채널영역
	34: 제1 접합영역	36: 제2 접합영역
	38: LDD 영역	40,42: 게이트절연막
	50: 게이트전극	60: 증간절연막
	62: 제1 증간절연막	64: 제2 증간절연막
	70: 제1 전극	80: 제2 전극
	C1: 제1 콘택	C2: 제2 콘택
	R1: 제1 영역	R2: 제2 영역
	R3: 제3 영역	R4: 제4 영역
	R5: 제5 영역	R6: 제6 영역

도면

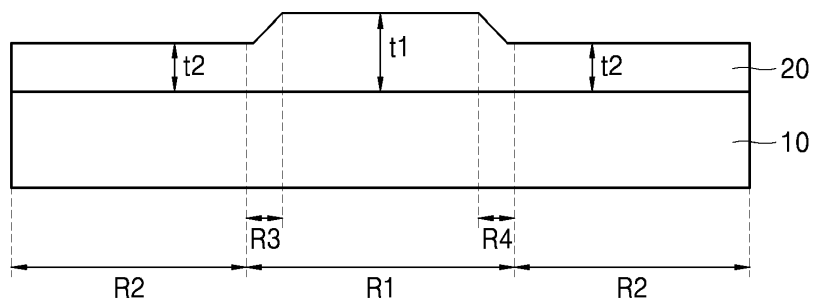
도면1



도면2a

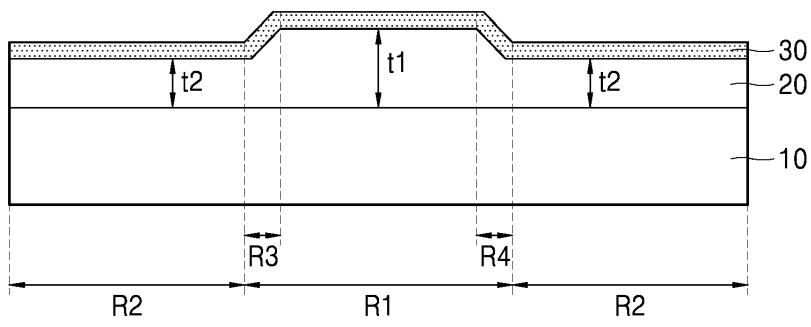


도면2b

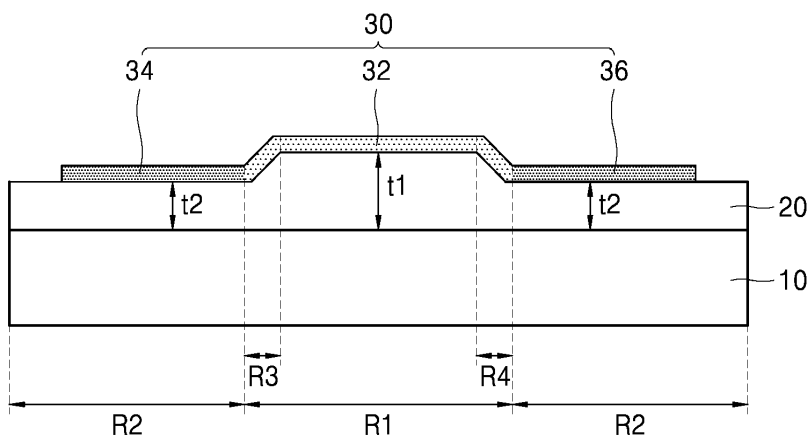




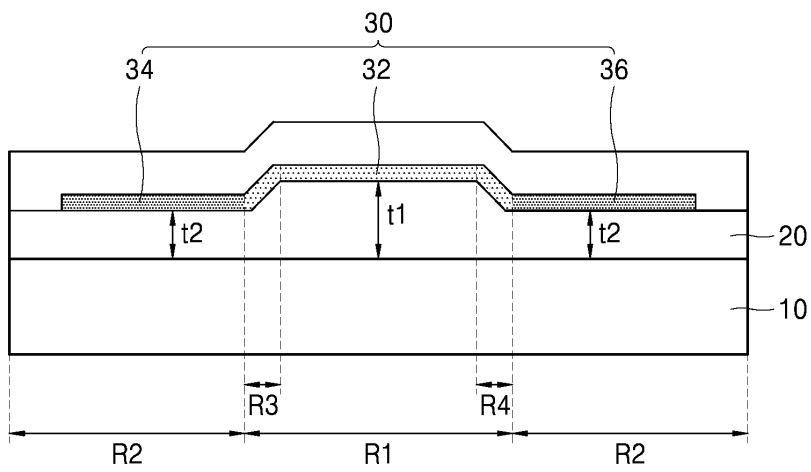
도면2c



도면2d

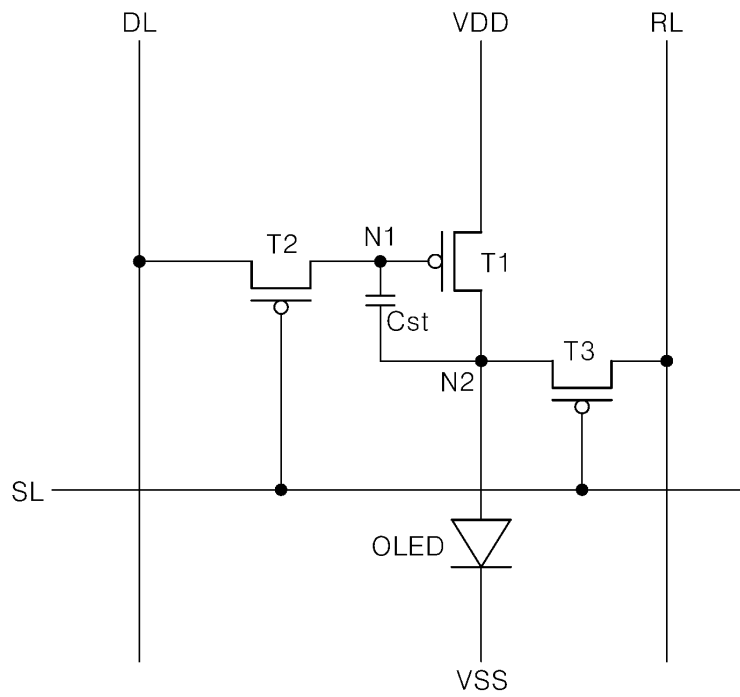


도면2e

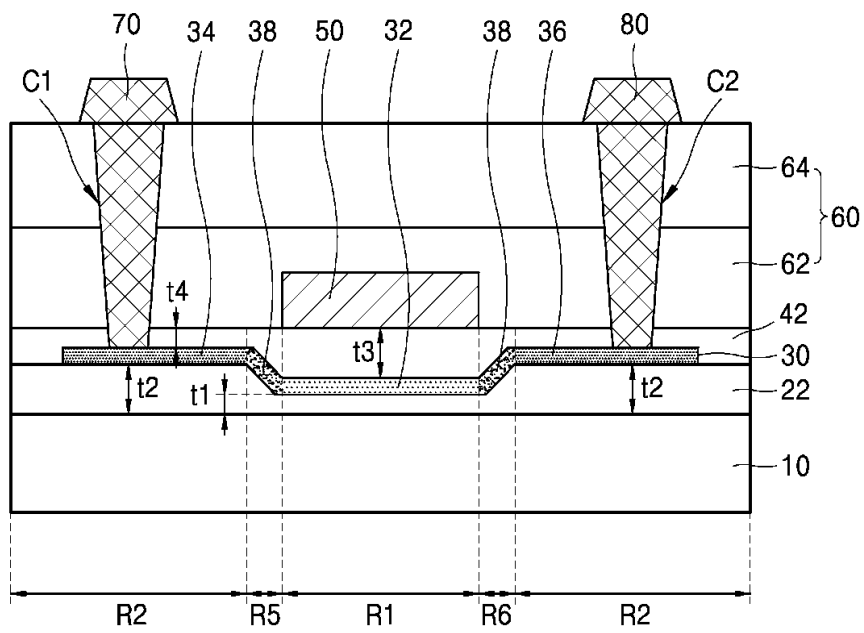




도면3



도면4



专利名称(译)	薄膜晶体管阵列基板，其制造方法以及包括该薄膜晶体管阵列基板的有机发光显示器		
公开(公告)号	<a href="#">KR1020190075630A</a>	公开(公告)日	2019-07-01
申请号	KR1020170177371	申请日	2017-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	노상순 연득호 정미진		
发明人	노상순 연득호 정미진		
IPC分类号	H01L27/32 H01L27/12 H01L51/56		
CPC分类号	H01L27/3262 H01L27/1214 H01L27/3258 H01L51/56		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

公开了一种由于沟道长度的减小而能够限制短沟道效应的薄膜晶体管阵列基板，其制造方法以及包括该薄膜晶体管阵列基板的有机发光显示装置。根据本发明的一个实施例，薄膜晶体管阵列基板包括：基板，其包括第一区域和分别设置在第一区域的两侧上的第二区域；以及第二基板。缓冲膜设置在基板上并且在第一区域和第二区域中具有不同的厚度；有源层以均匀的厚度设置在缓冲膜上，并且包括分别设置在第一区域中的沟道区域和设置在第二区域中的第一和第二结区域的有源层；栅绝缘膜，其设置在缓冲膜上以覆盖有源层，并且具有平坦的上表面，并且在第一区域和第二区域中具有不同的厚度；栅电极设置在沟道区上的栅绝缘膜部分上；连接到第一结区的第一电极和连接到第二结区的第二电极。

