



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0073903
(43) 공개일자 2019년06월27일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3246 (2013.01)

(21) 출원번호 10-2017-0175141

(22) 출원일자 2017년12월19일

심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
이성진
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인(유한) 대아

전체 청구항 수 : 총 12 항

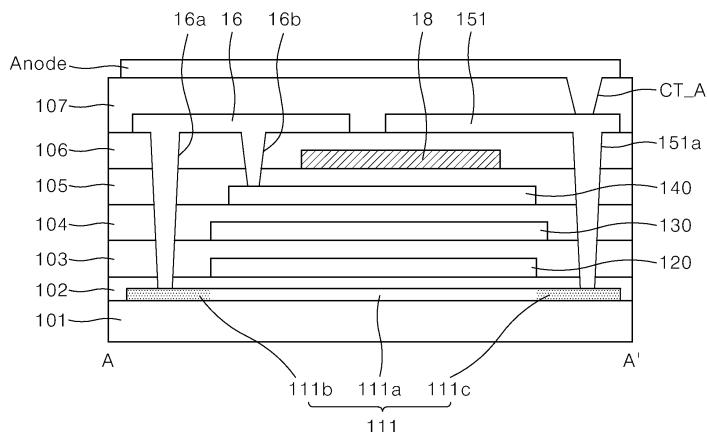
(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명의 일 실시예는 각 화소영역에 대응하는 유기발광소자, 상기 유기발광소자의 구동에 대응하는 제 1 전압의 제 1 구동전원을 공급하기 위한 제 1 전원라인과 상기 제 1 전압보다 낮은 제 2 전압의 제 2 구동전원을 공급하기 위한 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터, 상기 제 1 박막트랜지스터의 게이트전극에 대응한 제 1 노드와 상기 제 1 박막트랜지스터 및 상기 유기발광소자 사이의 제 2 노드 사이에 배치되는 제 2 박막트랜지스터, 및 상기 제 2 노드와 상기 제 2 전원라인 사이에 배치되는 제 1 커페시터를 포함하는 유기발광표시장치를 제공한다.

대표도 - 도8

T1



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3265 (2013.01)

명세서

청구범위

청구항 1

각 화소영역에 대응하는 유기발광소자;

상기 유기발광소자의 구동에 대응하는 제 1 전압의 제 1 구동전원을 공급하기 위한 제 1 전원라인과 상기 제 1 전압보다 낮은 제 2 전압의 제 2 구동전원을 공급하기 위한 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터;

상기 제 1 박막트랜지스터의 게이트전극에 대응한 제 1 노드와 상기 제 1 박막트랜지스터 및 상기 유기발광소자 사이의 제 2 노드 사이에 배치되는 제 2 박막트랜지스터; 및

상기 제 2 노드와 상기 제 2 전원라인 사이에 배치되는 제 1 커패시터를 포함하는 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 제 2 전원라인은

표시영역에 정의된 복수의 화소영역 중 수평방향으로 나란하게 배열되는 화소영역들로 이루어진 각 수평라인에 대응하고 상기 제 1 커패시터에 연결되는 수평전원라인; 및

상기 유기발광소자의 캐소드전극에 대응하는 캐소드전원라인을 포함하는 유기발광표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 박막트랜지스터는

채널영역과 상기 채널영역의 양단에 대응하는 제 1 및 제 2 전극영역을 포함하는 제 1 액티브패턴; 및

상기 제 1 액티브패턴을 덮는 게이트절연막 상에 배치되고 상기 제 1 액티브패턴의 채널영역에 중첩되며 복수의 층간절연막으로 커버되는 게이트전극을 포함하는 유기발광표시장치.

청구항 4

제 3 항에 있어서,

상기 수평전원라인은 상기 복수의 층간절연막 중 어느 하나의 층간절연막 상에 배치되고,

상기 제 1 전원라인은 상기 복수의 층간절연막 중 다른 어느 하나의 층간절연막 상에 상기 수평전원라인과 상이하게 배치되며,

상기 제 1 액티브패턴의 제 1 전극영역은 상기 제 1 전원라인에 연결되는 유기발광표시장치.

청구항 5

제 4 항에 있어서,

상기 제 1 커패시터는 상기 제 1 전원라인과 동일층에 배치되고 상기 제 1 액티브패턴의 제 2 전극영역에 연결

되는 제 1 도전패턴과, 상기 수평전원라인 사이의 중첩영역에 대응하는 유기발광표시장치.

청구항 6

제 4 항에 있어서,

상기 유기발광소자의 애노드전극은 상기 수평전원라인을 덮는 최종절연막 상에 배치되고 상기 제 1 액티브패턴의 제 2 전극영역에 연결되며,

상기 제 1 커패시터는 상기 수평전원라인과 상기 애노드전극 사이의 중첩영역에 대응하는 유기발광표시장치.

청구항 7

제 3 항에 있어서,

상기 각 화소영역의 데이터신호를 공급하기 위한 데이터라인과 제 3 노드 사이에 배치되는 제 3 박막트랜지스터;

상기 제 3 노드와 상기 제 1 노드 사이에 배치되는 제 2 커패시터; 및

상기 제 3 노드와 상기 제 1 전원라인 사이에 배치되는 제 3 커패시터를 더 포함하는 유기발광표시장치.

청구항 8

제 7 항에 있어서,

상기 제 2 커패시터는 상기 게이트전극을 덮는 제 1 층간절연막 상에 배치된 제 1 커패시터전극과 상기 게이트전극 사이의 중첩영역에 대응하고,

상기 제 3 커패시터는 상기 제 1 커패시터전극을 덮는 제 2 층간절연막 상에 배치된 제 2 커패시터전극과 상기 제 1 커패시터전극 사이의 중첩영역에 대응하는 유기발광표시장치.

청구항 9

제 8 항에 있어서,

상기 수평전원라인은 상기 제 2 커패시터전극을 덮는 제 3 층간절연막 상에 배치되고,

상기 제 1 전원라인은 상기 수평전원라인을 덮는 제 4 층간절연막 상에 배치되며,

상기 제 1 액티브패턴의 제 1 전극영역은 상기 게이트절연막과 상기 제 1, 제 2, 제 3 및 제 4 층간절연막을 관통하는 콘택홀을 통해 상기 제 1 전원라인에 연결되는 유기발광표시장치.

청구항 10

제 8 항에 있어서,

상기 제 1 커패시터는 상기 제 4 층간절연막 상에 배치되고 상기 게이트절연막과 상기 제 1, 제 2, 제 3 및 제 4 층간절연막을 관통하는 콘택홀을 통해 상기 제 1 액티브패턴의 제 2 전극영역에 연결되는 제 1 도전패턴과, 상기 수평전원라인 사이의 중첩영역에 대응하는 유기발광표시장치.

청구항 11

제 8 항에 있어서,

상기 제 1 전원라인은 상기 제 2 커패시터전극을 덮는 제 3 층간절연막 상에 배치되고,
 상기 제 1 액티브패턴의 제 1 전극영역은 상기 게이트절연막과 상기 제 1, 제 2 및 제 3 층간절연막을 관통하는
 콘택홀을 통해 상기 제 1 전원라인에 연결되며,
 상기 수평전원라인은 상기 제 1 전원라인을 덮는 제 4 층간절연막 상에 배치되는 유기발광표시장치.

청구항 12

제 11 항에 있어서,

상기 유기발광소자의 애노드전극은 상기 수평전원라인을 덮는 최종절연막 상에 배치되고,
 상기 제 1 커패시터는 상기 수평전원라인과 상기 애노드전극 사이의 중첩영역에 대응하는 유기발광표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 각 화소영역에 대응한 유기발광소자를 포함하는 유기발광표시장치에 관한 것이다.

배경기술

[0003]

표시장치(Display Device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용된다. 이에 표시장치의 박형화, 경량화 및 저소비전력화 등을 개발시키기 위한 연구가 계속되고 있다.

[0004]

표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0005]

그 중 유기발광표시장치는 영상이 표시되는 표시영역에 정의된 복수의 화소영역에 대응하는 복수의 유기발광소자를 포함한다. 유기발광소자는 스스로 발광하는 자발광소자이므로, 유기발광표시장치는 액정표시장치에 비해 응답속도가 빠르고, 발광효율, 휙도 및 시야각이 크며, 명암비 및 색재현율이 우수한 장점이 있다.

[0006]

유기발광표시장치는 복수의 화소영역을 개별적으로 구동하는 액티브 매트릭스 방식으로 구현될 수 있다. 이러한 액티브 매트릭스 방식의 유기발광표시장치는 각 화소영역에 대응하는 유기발광소자에 구동전류를 공급하는 화소 구동회로를 포함한다.

[0007]

화소구동회로는 유기발광소자에 대응한 제 1 구동전원과 제 2 구동전원 사이에 유기발광소자와 직렬로 연결되는 구동 박막트랜지스터, 각 화소영역의 데이터신호를 공급하는 스위칭 박막트랜지스터를 포함하는 것이 일반적이다.

[0008]

그런데, 화소영역 별 구동 스트레스 차이로 인해, 각 화소영역의 구동 박막트랜지스터 및 유기발광소자의 특성이 서로 상이하게 변동될 수 있다. 이 경우, 화소영역 간 휙도 차이가 발생됨으로써, 얼룩 등의 화질 저하가 유발될 수 있다. 이를 방지하기 위하여 유기발광표시장치는 각 화소영역에 대응한 구동 박막트랜지스터 및 유기발광소자의 특성을 보상하기 위한 보상회로를 더 포함할 수 있다.

[0009]

한편, 최근 더욱 선명한 화질을 위한 표시장치의 고해상도화가 요구되고 있으며, 그로 인해 각 화소영역의 면적이 축소되는 추세이다. 특히, 3D VR 장치(3-Dimension Virtual Reality Device)의 경우, 각 화소영역의 면적은 일반적인 표시장치에 비해 1/20배 이상 축소될 수 있다.

[0010]

이와 같이 각 화소영역의 면적이 축소됨에 따라, 각 화소영역에 대응한 복수의 박막트랜지스터 각각에 할당되는 면적이 축소됨으로써, 소자 특성이 저하될 수 있다. 그러나, 화소구동회로 및 보상회로가 화소영역의 축소된 면적 내에 배치되어야 하므로, 소자들의 특성 저하를 보상하기 위해 보상회로에 별도의 소자를 부가하는 것에는 한계가 있다.

- [0011] 이에 따라, 각 화소영역의 축소된 면적에 따른 소자들의 특성 저하를 보상하기 위해, 보상회로에 별도의 소자를 부가하는 대신, 각 신호라인에 공급되는 전압을 변동시키는 방안이 제시되었다.
- [0012] 일 예로, 보상이 실시되는 기간 동안 제 2 구동전원을 제 1 구동전원과 동일한 전압으로 설정함으로써 유기발광 소자의 구동을 차단하고, 이후 영상 표시를 위한 광을 방출하는 에미션 기간 동안 제 2 구동전원을 제 1 구동전원보다 낮은 전압으로 변동시킬 수 있다.
- [0013] 그런데, 제 2 구동전원의 전압 변동 시 피크전류가 발생될 수 있다. 이러한 피크전류에 기초하여 유기발광소자가 구동될 수 있고, 그로 인해 블랙 휘도가 상승할 수 있다. 이에 따라, 콘트라스트비의 향상에 한계가 있으므로, 화질 개선에 한계가 있는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0015] 본 발명은 구동전원의 전압 변동에 따른 블랙휘도의 상승이 방지될 수 있는 유기발광표시장치를 제공하기 위한 것이다.
- [0016] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특히 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

- [0018] 본 발명의 일 예시는 각 화소영역에 대응하는 유기발광소자, 상기 유기발광소자의 구동에 대응하는 제 1 전압의 제 1 구동전원을 공급하기 위한 제 1 전원라인과 상기 제 1 전압보다 낮은 제 2 전압의 제 2 구동전원을 공급하기 위한 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터, 상기 제 1 박막트랜지스터의 게이트전극에 대응한 제 1 노드와 상기 제 1 박막트랜지스터 및 상기 유기발광소자 사이의 제 2 노드 사이에 배치되는 제 2 박막트랜지스터, 및 상기 제 2 노드와 상기 제 2 전원라인 사이에 배치되는 제 1 커패시터를 포함하는 유기발광표시장치를 제공한다.
- [0019] 상기 제 2 전원라인은 표시영역에 정의된 복수의 화소영역 중 수평방향으로 나란하게 배열되는 화소영역들로 이루어진 각 수평라인에 대응하고 상기 제 1 커패시터에 연결되는 수평전원라인, 및 상기 유기발광소자의 캐소드전극에 대응하는 캐소드전원라인을 포함한다.
- [0020] 상기 제 1 박막트랜지스터는 채널영역과 상기 채널영역의 양단에 대응하는 제 1 및 제 2 전극영역을 포함하는 제 1 액티브패턴, 및 상기 제 1 액티브패턴을 덮는 게이트절연막 상에 배치되고 상기 제 1 액티브패턴의 채널영역에 중첩되며 복수의 충간절연막으로 커버되는 게이트전극을 포함한다.
- [0021] 상기 수평전원라인은 상기 복수의 충간절연막 중 어느 하나의 충간절연막 상에 배치되고, 상기 제 1 전원라인은 상기 복수의 충간절연막 중 다른 어느 하나의 충간절연막 상에 상기 수평전원라인과 상이하게 배치되며, 상기 제 1 액티브패턴의 제 1 전극영역은 상기 제 1 전원라인에 연결된다.
- [0022] 상기 제 1 커패시터는 상기 제 1 전원라인과 동일층에 배치되고 상기 제 1 액티브패턴의 제 2 전극영역에 연결되는 제 1 도전패턴과, 상기 수평전원라인 사이의 중첩영역에 대응한다.
- [0023] 상기 유기발광소자의 애노드전극은 상기 수평전원라인을 덮는 최종절연막 상에 배치되고 상기 제 1 액티브패턴의 제 2 전극영역에 연결되며, 상기 제 1 커패시터는 상기 수평전원라인과 상기 애노드전극 사이의 중첩영역에 대응한다.
- [0024] 또는, 상기 유기발광표시장치는 상기 각 화소영역의 데이터신호를 공급하기 위한 데이터라인과 제 3 노드 사이에 배치되는 제 3 박막트랜지스터, 상기 제 3 노드와 상기 제 1 노드 사이에 배치되는 제 2 커패시터, 및 상기 제 3 노드와 상기 제 1 전원라인 사이에 배치되는 제 3 커패시터를 더 포함한다.

- [0025] 상기 제 2 커패시터는 상기 게이트전극을 덮는 제 1 충간절연막 상에 배치된 제 1 커패시터전극과 상기 게이트전극 사이의 중첩영역에 대응하고, 상기 제 3 커패시터는 상기 제 1 커패시터전극을 덮는 제 2 충간절연막 상에 배치된 제 2 커패시터전극과 상기 제 1 커패시터전극 사이의 중첩영역에 대응한다.
- [0026] 상기 수평전원라인은 상기 제 2 커패시터전극을 덮는 제 3 충간절연막 상에 배치되고, 상기 제 1 전원라인은 상기 수평전원라인을 덮는 제 4 충간절연막 상에 배치되며, 상기 제 1 액티브패턴의 제 1 전극영역은 상기 게이트절연막과 상기 제 1, 제 2, 제 3 및 제 4 충간절연막을 관통하는 콘택홀을 통해 상기 제 1 전원라인에 연결된다.
- [0027] 상기 제 1 커패시터는 상기 제 4 충간절연막 상에 배치되고 상기 게이트절연막과 상기 제 1, 제 2, 제 3 및 제 4 충간절연막을 관통하는 콘택홀을 통해 상기 제 1 액티브패턴의 제 2 전극영역에 연결되는 제 1 도전패턴과, 상기 수평전원라인 사이의 중첩영역에 대응한다.
- [0028] 상기 제 1 전원라인은 상기 제 2 커패시터전극을 덮는 제 3 충간절연막 상에 배치되고, 상기 제 1 액티브패턴의 제 1 전극영역은 상기 게이트절연막과 상기 제 1, 제 2 및 제 3 충간절연막을 관통하는 콘택홀을 통해 상기 제 1 전원라인에 연결되며, 상기 수평전원라인은 상기 제 1 전원라인을 덮는 제 4 충간절연막 상에 배치된다.
- [0029] 상기 유기발광소자의 애노드전극은 상기 수평전원라인을 덮는 최종절연막 상에 배치되고, 상기 제 1 커패시터는 상기 수평전원라인과 상기 애노드전극 사이의 중첩영역에 대응한다.

발명의 효과

- [0031] 본 발명의 일 실시예에 따른 유기발광표시장치는 제 1 및 제 2 전원라인 사이에 유기발광소자와 직렬로 연결되는 제 1 박막트랜지스터, 제 1 박막트랜지스터의 제 1 및 제 2 전극 중 유기발광소자에 대응하는 어느 하나와 제 1 박막트랜지스터의 게이트전극 사이에 배치되는 제 2 박막트랜지스터 및 제 2 박막트랜지스터와 제 2 전원라인 사이에 배치되는 제 1 커패시터를 포함한다.
- [0032] 이러한 제 1 커패시터에 의해, 제 2 구동전원의 전압 변동에 따른 피크전류가 분산될 수 있다. 이에 따라, 피크전류에 의한 유기발광소자의 구동이 방지될 수 있으므로, 블랙홀도의 상승이 방지될 수 있다. 이로써, 콘트라스트비의 저하가 방지될 수 있고, 화질 저하가 방지될 수 있다.
- [0033] 더불어, 본 발명의 일 실시예에 따른 유기발광표시장치는 각 수평라인에 대응하고 제 2 구동전원을 공급하는 수평전원라인을 포함한다. 이러한 수평전원라인을 통해, 피크전류의 분산을 위한 제 1 커패시터가 보다 간단하고 용이하게 구현될 수 있는 장점이 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다.
- 도 2는 도 1에 도시된 어느 하나의 화소영역에 대응하는 등가회로를 나타낸 도면이다.
- 도 3은 도 2의 등가회로에 대응하는 구동타이밍도에 대한 일 예시이다.
- 도 4, 도 5 및 도 6은 도 3에 도시된 각 기간의 동작을 나타낸 도면이다.
- 도 7은 도 2의 화소영역에 대응한 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다.
- 도 8은 도 7의 A-A'를 나타낸 도면이다.
- 도 9는 도 7의 B-B'를 나타낸 도면이다.
- 도 10은 도 7의 C-C'를 나타낸 도면이다.
- 도 11은 본 발명의 다른 일 실시예에 따른 도 7의 A-A'를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분

야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.

- [0037] 이하, 본 발명의 일 실시예에 따른 유기발광표시장치에 대하여 첨부한 도면들을 참고로 하여 상세히 설명하기로 한다.
- [0038] 먼저, 도 1 내지 도 4를 참조하여, 본 발명의 일 실시예에 따른 유기발광표시장치에 대해 설명한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다.
- [0040] 도 2는 도 1에 도시된 어느 하나의 화소영역에 대응하는 등가회로를 나타낸 도면이다. 도 3은 도 2의 등가회로에 대응하는 구동타이밍도에 대한 일 예시이다. 도 4, 도 5 및 도 6은 도 3에 도시된 각 기간의 동작을 나타낸 도면이다.
- [0042] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치는 표시패널(10), 타이밍콘트롤러(11), 데이터구동부(12) 및 게이트구동부(13)를 포함한다.
- [0043] 표시패널(10)은 영상이 표시되는 표시영역(AA)에 정의된 복수의 화소영역(PXL)과, 복수의 화소영역(PXL) 중 수직방향(도 1의 상하방향)으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하는 데이터라인(14) 및 복수의 화소영역(PXL) 중 수평방향(도 1의 좌우방향)으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 게이트라인(15)을 포함한다.
- [0044] 이와 같이 상호 교차하는 게이트라인(15)과 데이터라인(14)에 의해, 표시영역(AA)에 매트릭스 형태로 배열되는 복수의 화소영역(PXL)이 정의될 수 있다.
- [0045] 게이트라인(15)은 각 수직라인에 서로 다른 제 1 및 제 2 스캔신호(SCAN1, SCAN2)를 공급하기 위한 제 1 및 제 2 게이트라인(도 2의 15a, 15b)을 포함할 수 있다.
- [0046] 제 1 스캔신호(SCAN1)는 각 화소영역(PXL)의 데이터신호(VDATA)를 공급하기 위한 어드레싱 기간에 대응되는 게이트신호일 수 있다.
- [0047] 제 2 스캔신호(SCAN2)는 각 화소영역(PXL)에 기준전원(VREF)을 공급하기 위한 이니셜 기간에 대응되는 게이트신호일 수 있다.
- [0048] 데이터라인(14)은 각 화소영역(PXL)의 데이터신호(VDATA) 및 기준전원(VREF) 중 어느 하나를 선택적으로 공급하기 위한 것이다.
- [0049] 또한, 도 1에 상세히 도시되지 않았으나, 표시패널(10)은 유기발광소자(도 2의 OLED)의 구동을 위한 제 1 전압의 제 1 구동전원(VDD)을 공급하는 제 1 전원라인(도 2의 16) 및 유기발광소자(OLED)의 구동에 대응하고 제 1 전압보다 낮은 제 2 전압의 제 2 구동전원(VSS)을 공급하는 제 2 전원라인(17, 도 2의 18)을 더 포함한다.
- [0050] 더불어, 본 발명의 일 실시예에 따르면, 영상 표시를 위한 광을 방출하는 에미션 기간을 제외한 나머지 기간(예를 들면, 이니셜 기간 및 어드레싱 기간) 동안 유기발광소자(OLED)의 구동을 방지하기 위하여, 제 2 구동전원(VSS)은 제 1 전압과 유사범위에 해당되는 제 3 전압으로 유지될 수 있다. 예시적으로, 제 3 전압은 제 1 전압과 등전위일 수 있다.
- [0051] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하고, 재정렬된 디지털 비디오 데이터(RGB')를 데이터구동부(12)에 공급한다.
- [0052] 그리고, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터구동부(12)의 구동 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트구동부(13)의 구동 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 공급한다.
- [0053] 데이터구동부(12)는 데이터 제어신호(DDC)에 기초하여 재정렬된 디지털 비디오 데이터(RGB')를 아날로그 데이터 전압으로 변환한다. 그리고, 데이터구동부(12)는 재정렬된 디지털 비디오 데이터(RGB')에 기초하여 각 수평기간의 어드레싱 기간 동안 각 화소영역(PXL)에 대응하는 데이터신호(VDATA)를 데이터라인(14)에 공급한다.

- [0054] 그리고, 데이터구동부(12)는 어드레싱 기간을 제외한 나머지 중 적어도 일부 기간(예를 들면, 이니셜 기간 및 에미션 기간) 동안 기준전원(VREF)을 데이터라인(14)에 공급한다.
- [0055] 게이트구동부(13)는 게이트 제어신호(GDC)에 기초하여 표시패널(10)에 포함된 각 수평라인에 대응한 게이트라인(15)에 제 1 및 제 2 스캔신호(SCAN1, SCAN2)를 순차적으로 공급한다.
- [0057] 도 2에 도시한 바와 같이, 표시패널(10)의 각 화소영역(PXL)은 유기발광소자(OLED)와, 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3)와, 제 1, 제 2 및 제 3 커패시터(C1, C2, C3)를 포함한다.
- [0058] 제 1 박막트랜지스터(T1)는 유기발광소자(OLED)의 구동에 대응하는 제 1 전압의 제 1 구동전원(VDD)을 공급하기 위한 제 1 전원라인(16)과, 제 1 전압보다 낮은 제 2 전압의 제 2 구동전원(VSS)을 공급하기 위한 제 2 전원라인(17) 사이에 유기발광소자(OLED)와 직렬로 배치된다.
- [0059] 여기서, 제 1 박막트랜지스터(T1)의 제 1 전극은 제 1 전원라인(16)에 연결되고, 제 2 전극은 유기발광소자(OLED)에 연결될 수 있다.
- [0060] 제 2 박막트랜지스터(T2)는 제 1 박막트랜지스터(T1)의 게이트전극에 대응한 제 1 노드(ND1)와 제 1 박막트랜지스터(T1) 및 유기발광소자(OLED) 사이의 제 2 노드(ND2) 사이에 배치되고, 제 2 게이트라인(15b)의 제 2 스캔신호(SCAN2)에 기초하여 턴온된다.
- [0061] 제 1 노드(ND1)은 제 1 게이트전극(T1)의 게이트전극에 연결되고, 제 2 노드(ND2)는 제 1 박막트랜지스터(T1)의 제 2 전극 및 유기발광소자(OLED)에 연결된다.
- [0062] 제 2 박막트랜지스터(T2)는 제 2 스캔신호(SCAN2)에 기초하여 턴온되면, 제 1 및 제 2 노드(ND1, ND2) 사이, 즉 제 1 박막트랜지스터(T1)의 게이트전극과 제 2 전극 사이를 연결한다.
- [0063] 이러한 제 2 박막트랜지스터(T2)는 제 1 박막트랜지스터(T1)의 문턱전압을 보상하기 위한 것이다.
- [0064] 제 1 커패시터(C1)는 제 2 노드(ND2)와 제 2 구동전원(VSS)을 공급하는 제 2 전원라인(18) 사이에 배치된다.
- [0065] 여기서, 제 2 구동전원(VSS)을 공급하는 제 2 전원라인(17, 18)은 유기발광소자(OLED)의 캐소드전극에 연결되는 캐소드전원라인(17)과, 제 1 커패시터(C1)에 연결되는 수평전원라인(18)을 포함한다.
- [0066] 도 1의 도시와 같이, 수평전원라인(18)은 복수의 화소영역(PXL) 중 수평방향으로 나란하게 배열되는 화소영역들로 이루어진 각 수평라인에 대응한다.
- [0067] 그리고, 캐소드전원라인(17)은 수평전원라인(18)과 별개로, 복수의 화소영역(PXL)에 대응한 복수의 유기발광소자(OLED)의 캐소드전극에 공통으로 연결되는 형태로 배치될 수 있다.
- [0068] 제 3 박막트랜지스터(T3)는 각 화소영역(PXL)의 데이터신호(VDATA) 또는 기준전원(VREF)을 공급하는 데이터라인(14)과 제 3 노드(ND3) 사이에 배치되고, 제 1 게이트라인(15a)의 제 1 스캔신호(SCAN1)에 기초하여 턴온된다.
- [0069] 즉, 제 3 박막트랜지스터(T3)는 제 1 스캔신호(SCAN1)에 기초하여 턴온되면, 제 3 노드(ND3)에 데이터신호(VDATA) 및 기준전원(VREF) 중 어느 하나를 공급한다.
- [0070] 제 2 커패시터(C2)는 제 3 노드(ND3)와 제 1 노드(ND1) 사이에 배치된다.
- [0071] 제 3 커패시터(C3)는 제 1 구동전원(VDD)을 공급하는 제 1 전원라인(16)과 제 3 노드(ND3) 사이에 배치된다.
- [0072] 이러한 제 2 및 제 3 커패시터(C2)는 턴온된 제 3 박막트랜지스터(T3)를 통해 제 3 노드(ND3)로 공급되는 데이터신호(VDATA) 및 기준전원(VREF) 중 어느 하나에 대응하는 전압으로 충전된다.
- [0073] 그리고, 제 2 및 제 3 커패시터(C2, C3)는 제 1 박막트랜지스터(T1)의 게이트전극과 직렬로 연결된다. 그러므로, 제 1 박막트랜지스터(T1)의 게이트전극, 즉 제 1 노드(ND1)의 전위는 제 2 및 제 3 커패시터(C2, C3)의 충전량에 대응한다.
- [0075] 도 3에 도시한 바와 같이, 각 수평라인이 각 영상프레임을 표시하기 위한 1 프레임 기간은 이니셜 기간(IP; Initial Period), 어드레싱 기간(AP; Addressing Period) 및 에미션 기간(EP; Emission Period)을 포함한다.

- [0076] 이니셜 기간(IP) 동안, 유기발광소자(OLED)의 구동을 차단하기 위해, 제 2 구동전원(VSS)는 제 1 구동전원의 제 1 전압과 유사 범위의 제 3 전압(VSS_H)으로 공급된다.
- [0077] 그리고, 제 1 노드(ND1)의 초기화를 위해, 데이터라인(DL; 도 2의 14)에 기준전원(VREF)이 공급된다.
- [0078] 또한, 제 1 및 제 2 스캔신호(SCAN1, SCAN2)는 턴온레벨로 공급된다.
- [0079] 이때, 도 4에 도시한 바와 같이, 턴온레벨의 제 1 및 제 2 스캔신호(SCAN1, SCAN2)에 기초하여 제 2 및 제 3 박막트랜지스터(T2, T3)가 턴온된다.
- [0080] 이에, 턴온된 제 3 박막트랜지스터(T3)를 통해, 데이터라인(DL)의 기준전원(VREF)이 제 3 노드(ND3)에 공급된다.
- [0081] 그리고, 턴온된 제 2 박막트랜지스터(T2)에 의해, 제 1 박막트랜지스터(T1)의 V_{GS} 가 문턱전압에 인접하게 됨으로써, 제 1 박막트랜지스터(T1)가 턴온된다. 이로써, 제 1 구동전원(VDD)에서 제 1 박막트랜지스터(T1)의 문턱전압(Vth) 간의 차(VDD-Vth)가 제 1 노드(ND1)에 공급된다.
- [0082] 도 3의 도시와 같이, 어드레싱 기간(AP) 동안 유기발광소자(OLED)의 구동을 차단하기 위해, 제 2 구동전원(VSS)은 제 3 전압(VSS_H)으로 공급된다.
- [0083] 그리고, 각 화소영역(PXL)에 각 영상프레임에 대응한 데이터를 기입하기 위해, 데이터라인(DL)에 각 화소영역(PXL)의 데이터신호(VDATA)가 공급된다.
- [0084] 더불어, 각 수평라인의 제 1 스캔신호(SCAN1)는 순차적으로 턴온레벨로 공급된다. 반면, 제 2 스캔신호(SCAN2)는 턴오프레벨로 공급된다.
- [0085] 이에, 도 5에 도시한 바와 같이, 턴오프레벨의 제 2 스캔신호(SCAN2)에 기초하여 제 2 박막트랜지스터(T2)는 턴오프된다.
- [0086] 그리고, 턴온레벨의 제 1 스캔신호(SCAN1)에 기초하여 제 3 박막트랜지스터(T3)가 턴온되면, 데이터라인(DL)의 데이터신호(VDATA)가 제 3 노드(ND3)에 공급된다. 이때, 데이터신호(VDATA)에 기초하여 제 2 및 제 3 커페시터(C2, C3)가 충전된다.
- [0087] 다음, 도 3의 도시와 같이, 에미션 기간(EP) 동안 유기발광소자(OLED)를 구동하기 위해, 제 2 구동전원(VSS)은 제 1 구동전원의 제 1 전압보다 낮은 제 2 전압(VSS_L)으로 공급된다.
- [0088] 그리고, 제 1 및 제 2 스캔신호(SCAN1, SCAN2)는 턴오프레벨로 공급된다.
- [0089] 이로써, 도 6에 도시된 바와 같이, 제 1 및 제 2 구동전원(VDD, VSS) 사이에 턴온된 제 1 박막트랜지스터(T1) 및 유기발광소자(OLED)를 포함하는 전류경로가 발생된다. 이러한 전류경로에 의해, 유기발광소자(OLED)에 구동전류가 공급된다.
- [0091] 한편, 도 3의 도시와 같이, 본 발명의 일 실시예에 따르면, 에미션 기간(EP)의 개시 시점에서, 제 2 구동전원(VSS)이 제 3 전압(VSS_H)에서 제 2 전압(VSS_L)으로 급변한다. 이러한 제 2 구동전원(VSS)의 전압 변동으로 인한 피크전류가 발생될 수 있고, 그로 인해 유기발광소자(OLED)가 구동될 수 있다. 즉, 블랙홀도의 화소영역에 대응한 유기발광소자(OLED)도 피크전류의 영향으로 구동될 수 있다.
- [0092] 그러나, 본 발명의 일 실시예에 따른 유기발광표시장치는 제 2 노드(ND2)와 제 2 구동전원(VSS)을 공급하는 수평전원라인(18) 사이에 배치되는 제 1 커페시터(C1)를 포함함에 따라, 유기발광소자(OLED)에 대한 피크전류의 영향을 감소시킬 수 있다.
- [0093] 이로써, 제 2 구동전원(VSS)의 전압 변동으로 인한 피크전류에 기초하여 유기발광소자(OLED)가 구동하는 것이 방지될 수 있으므로, 블랙홀도의 상승이 방지될 수 있고, 그로 인해 컨트라스트비가 상승될 수 있으며, 화질이 개선될 수 있다.
- [0095] 다음, 도 7 내지 도 11을 참조하여, 본 발명의 일 실시예에 따른 유기발광표시장치의 제 1 커페시터(C1)를 구현하는 예시에 대해 설명한다.

- [0096] 도 7은 도 2의 화소영역에 대응한 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다. 도 8은 도 7의 A-A'를 나타낸 도면이다. 도 9는 도 7의 B-B'를 나타낸 도면이다. 도 10은 도 7의 C-C'를 나타낸 도면이다.
- [0097] 도 7에 도시한 바와 같이, 유기발광표시장치는 수평방향(도 7의 좌우방향)의 제 1 및 제 2 게이트라인(15a, 15b)과 수평전원라인(18), 및 수직방향(도 7의 상하방향)의 데이터라인(14)과 제 1 전원라인(17)을 포함한다.
- [0098] 그리고, 유기발광표시장치는 각 화소영역(PXL)에 대응하는 제 1, 제 2 및 제 3 박막트랜지스터(도 2의 T1, T2, T3)를 포함한다.
- [0099] 제 1 박막트랜지스터(T1)는 제 1 액티브패턴(111)과 제 1 액티브패턴(111)의 채널영역에 중첩되는 게이트전극(120)을 포함한다.
- [0100] 제 1 액티브패턴(111)의 일단은 제 1 전원라인(16)에 일부 중첩되고, 제 1 액티브패턴(111)의 다른 일단은 제 1 도전패턴(151)과 일부 중첩된다.
- [0101] 제 1 도전패턴(151)의 일부는 유기발광소자(도 2의 OLED)의 애노드전극에 대응되는 애노드콘택홀(CT_A)와 중첩된다.
- [0102] 제 1 박막트랜지스터(T1)의 게이트전극(120)은 제 1 및 제 2 커페시터전극(130, 140)과 중첩된다.
- [0103] 제 2 박막트랜지스터(T2)는 제 2 액티브패턴(112)을 포함한다.
- [0104] 제 2 액티브패턴(112)의 일단은 제 1 박막트랜지스터(T1)의 게이트전극(120) 및 제 2 도전패턴(152)과 일부 중첩되고, 제 2 액티브패턴(112)의 다른 일단은 제 1 도전패턴(151)과 일부 중첩된다.
- [0105] 제 3 박막트랜지스터(T3)는 제 3 액티브패턴(113)을 포함한다.
- [0106] 제 3 액티브패턴(113)의 일단은 데이터라인(14)에 일부 중첩되고, 제 2 액티브패턴(113)의 다른 일단은 제 1 커페시터전극(130) 및 제 3 도전패턴(153)과 일부 중첩된다.
- [0107] 도 8에 도시한 바와 같이, 제 1 박막트랜지스터(T1)는 기판(101) 상에 배치되는 제 1 액티브패턴(111), 제 1 액티브패턴(111)을 덮는 게이트절연막(102) 상에 배치되고 복수의 충간절연막(103, 104, 105, 106)으로 커버되는 게이트전극(120)을 포함한다. 예시적으로, 게이트전극(120)은 순차 적층된 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)으로 커버될 수 있다. 그리고, 제 4 충간절연막(106) 상에는 유기발광소자 어레이(Anode)와의 분리를 위한 최종절연막(107)이 더 배치될 수 있다.
- [0108] 제 1 액티브패턴(111)은 게이트전극(120)과 중첩되는 채널영역(111a)과, 채널영역(111a)의 양단에 대응하는 제 1 및 제 2 전극영역(111b, 111c)을 포함한다.
- [0109] 수평전원라인(18)은 복수의 충간절연막 중 어느 하나의 충간절연막(도 8의 제 3 충간절연막(105)) 상에 배치된다.
- [0110] 그리고, 제 1 전원라인(16)은 복수의 충간절연막 중 다른 어느 하나의 충간절연막(도 8의 제 4 충간절연막(106)) 상에 배치된다. 즉, 제 1 전원라인(16)은 수평전원라인(18)과 상이한 층에 배치된다.
- [0111] 제 1 액티브패턴의 제 1 전극영역(111b)은 제 1 전원라인(16)에 연결된다. 즉, 제 4 충간절연막(106) 상의 제 1 전원라인(16)은 게이트절연막(102)과 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)을 관통하는 콘택홀(16a)을 통해 제 1 액티브패턴의 제 1 전극영역(111b)에 연결된다.
- [0112] 제 1 액티브패턴의 제 2 전극영역(111c)은 제 1 도전패턴(151)에 연결된다. 달리 설명하면, 제 1 도전패턴(151)은 제 1 전원라인(16)과 동일층, 즉 제 4 충간절연막(106) 상에 배치되고, 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)을 관통하는 콘택홀(151a)을 통해 제 1 액티브패턴의 제 2 전극영역(111c)에 연결된다.
- [0113] 그리고, 유기발광소자(도 2의 OLED)의 애노드전극(Anode)은 제 1 전원라인(16) 및 제 1 도전패턴(151)을 덮는 최종절연막(107) 상에 배치될 수 있다. 그리고, 애노드전극(Anode)은 최종절연막(107)을 관통하는 애노드콘택홀(CT_A)을 통해 제 1 도전패턴(151)에 연결된다. 결과적으로, 애노드전극(Anode)은 제 1 도전패턴(151)을 통해 제 1 액티브패턴의 제 2 전극영역(111c)에 연결된다.
- [0114] 여기서, 제 2 노드(ND2)와 제 2 기준전원(VSS) 사이의 제 1 커페시터(도 2의 C1)는 유기발광소자(도 2의 OLED)

의 애노드전극(Anode)에 연결되는 제 1 도전패턴(151)과 제 2 기준전원(VSS)을 공급하는 수평전원라인(18) 사이의 중첩영역에 대응한다.

[0115] 즉, 제 1 도전패턴(151)과 수평전원라인(18)은 제 4 충간절연막(106)을 사이에 두고 상호 중첩하며, 제 1 커패시터(C1)는 제 1 도전패턴(151)과 수평전원라인(18)의 중첩영역에서 발생된다.

[0116] 제 1 노드(ND1)와 제 3 노드(ND3) 사이의 제 2 커패시터(도 2의 C2)는 제 1 박막트랜지스터(T1)의 게이트전극(120)과 제 1 커패시터전극(130) 사이의 중첩영역에 대응한다.

[0117] 여기서, 제 1 커패시터전극(130)은 제 1 박막트랜지스터(T1)의 게이트전극(120)을 덮는 제 1 충간절연막(103) 상에 배치된다. 그리고, 도 10의 도시와 같이, 제 1 커패시터전극(130)은 제 3 박막트랜지스터(T3)에 연결된다.

[0118] 즉, 제 1 박막트랜지스터(T1)의 게이트전극(120)과 제 1 커패시터전극(130)은 제 1 충간절연막(103)을 사이에 두고 상호 중첩하며, 제 2 커패시터(C2)는 제 1 박막트랜지스터(T1)의 게이트전극(120)과 제 1 커패시터전극(130) 사이의 중첩영역에서 발생된다.

[0119] 제 1 전원라인(16)과 제 3 노드(ND3) 사이의 제 3 커패시터(도 2의 C3)는 제 1 커패시터전극(130)과 제 2 커패시터전극(140) 사이의 중첩영역에 대응한다.

[0120] 여기서, 제 2 커패시터전극(140)은 제 1 커패시터전극(130)을 덮는 제 2 충간절연막(104) 상에 배치된다. 그리고, 제 2 커패시터전극(140)은 제 1 전원라인(16)에 연결된다.

[0121] 즉, 제 1 및 제 2 커패시터전극(130, 140)은 제 2 충간절연막(104)을 사이에 두고 상호 중첩하며, 제 3 커패시터(C3)는 제 1 및 제 2 커패시터전극(130, 140) 사이의 중첩영역에서 발생된다.

[0122] 수평전원라인(18)은 제 2 커패시터전극(140)을 덮는 제 3 충간절연막(105) 상에 배치된다.

[0123] 그리고, 제 1 전원라인(16)은 수평전원라인(18)을 덮는 제 4 충간절연막(106) 상에 배치되고, 제 3 및 제 4 충간절연막(105, 106)를 관통하는 콘택홀(16b)을 통해 제 2 커패시터전극(140)에 연결된다.

[0124] 도 9에 도시한 바와 같이, 제 2 박막트랜지스터(T2)는 기판(101) 상에 배치되는 제 2 액티브패턴(112)을 포함한다.

[0125] 제 2 액티브패턴(112)은 제 2 게이트라인(15b)과 중첩하는 제 1 및 제 2 채널영역(112a, 112b)과 제 1 채널영역(112a)의 일단에 배치되는 제 1 전극영역(112c)과 제 2 채널영역(112b)의 일단에 배치되는 제 2 전극영역(112d)과, 제 1 및 제 2 채널영역(112a, 112b) 사이의 연결영역(112e)을 포함한다.

[0126] 제 2 게이트라인(15b)은 제 2 액티브패턴(112)을 덮는 게이트절연막(102) 상에 배치되고, 제 2 액티브패턴(112)의 채널영역(112a, 112b)에 중첩된다.

[0127] 제 2 액티브패턴의 제 1 전극영역(112c)은 제 4 충간절연막(104) 상의 제 1 도전패턴(151)에 연결된다. 즉, 제 1 도전패턴(151)은 게이트절연막(102)과 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)을 관통하는 콘택홀(151c)을 통해 제 2 액티브패턴의 제 1 전극영역(112c)에 연결된다.

[0128] 이로써, 제 2 액티브패턴(112)의 제 1 전극영역(112c)은 제 1 도전패턴(151)을 통해 애노드전극(도 8의 Anode) 및 제 1 박막트랜지스터(T1)의 제 1 액티브패턴의 제 2 전극영역(111b)에 연결된다. 즉, 제 1 도전패턴(151)은 제 2 노드(도 2의 ND2)에 대응한다.

[0129] 제 2 액티브패턴의 제 2 전극영역(112d)은 제 4 충간절연막(104) 상의 제 2 도전패턴(152)에 연결된다.

[0130] 제 2 도전패턴(152)은 게이트절연막(102)과 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)을 관통하는 콘택홀(152a)을 통해 제 2 액티브패턴의 제 2 전극영역(112d)에 연결되고, 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)을 관통하는 콘택홀(152b)을 통해 제 1 박막트랜지스터(T1)의 게이트전극(120)에 연결된다. 이로써, 제 1 박막트랜지스터(T1)의 게이트전극(120)과 제 2 박막트랜지스터(T2)의 제 2 전극(112d)은 제 2 도전패턴(152)을 통해 상호 연결된다. 즉, 제 2 도전패턴(152)은 제 1 노드(도 2의 ND1)에 대응한다.

[0131] 도 10에 도시한 바와 같이, 제 3 박막트랜지스터(T3)는 기판(101) 상에 배치되는 제 3 액티브패턴(113)을 포함한다.

[0132] 제 3 액티브패턴(113)은 제 1 게이트라인(15a)과 중첩되는 채널영역(113a)과 채널영역(113a)의 양단에 대응하는 제 1 및 제 2 전극영역(113b, 113c)을 포함한다.

- [0133] 제 1 게이트라인(15a)은 제 3 액티브패턴(113)을 덮는 게이트절연막(102) 상에 배치되고, 제 3 액티브패턴(113)의 채널영역(113a)에 중첩된다.
- [0134] 제 3 액티브패턴의 제 1 전극영역(113b)은 제 4 충간절연막(104) 상의 데이터라인(14)에 연결된다. 즉, 데이터라인(14)은 게이트절연막(102)과 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)을 관통하는 콘택홀(14a)을 통해 제 3 액티브패턴의 제 1 전극영역(113b)에 연결된다.
- [0135] 제 3 액티브패턴의 제 2 전극영역(113c)은 제 4 충간절연막(104) 상의 제 3 도전패턴(153)을 통해 제 1 커패시터전극(130)에 연결된다.
- [0136] 즉, 제 3 도전패턴(153)은 게이트절연막(102)과 제 1, 제 2, 제 3 및 제 4 충간절연막(103, 104, 105, 106)을 관통하는 콘택홀(153a)을 통해 제 3 액티브패턴의 제 2 전극영역(113c)에 연결되고, 제 2, 제 3 및 제 4 충간절연막(104, 105, 106)을 관통하는 콘택홀(153b)을 통해 제 1 커패시터전극(130)에 연결된다.
- [0137] 이로써, 제 2 및 제 3 커패시터(C2, C3)에 대응하는 제 1 커패시터전극(130)과 제 3 액티브패턴의 제 2 전극영역(113c)은 제 3 도전패턴(153)을 통해 상호 연결된다. 즉, 제 3 도전패턴(153)은 제 3 노드(도 2의 ND3)에 대응한다.
- [0138] 이상과 같이, 본 발명의 일 실시예에 따른 유기발광표시장치는 제 2 구동전원(VSS)을 공급하고 각 수평라인에 대응하며 제 1 전원라인(16)과 상이한 층에 배치되는 수평전원라인(18)을 더 포함한다. 이로써, 유기발광소자의 애노드전극(Anode) 및 제 1 박막트랜지스터(T1)의 제 1 액티브패턴의 제 2 전극영역(111c)에 연결되는 제 1 도전패턴(151)과 수평전원라인(18) 사이의 중첩영역에 대응하는 제 1 커패시터(C1)가 용이하게 배치될 수 있다.
- [0140] 한편, 도 8은 수평전원라인(18)이 제 1 도전패턴(151)보다 하부에 배치되고, 제 1 커패시터(C1)가 수평전원라인(18)과 제 1 도전패턴(151) 사이의 중첩영역에서 발생되는 것을 도시한다. 이와 달리, 수평전원라인(18)은 제 1 도전패턴(151)보다 상부에 배치될 수 있다.
- [0141] 도 11은 본 발명의 다른 일 실시예에 따른 도 7의 A-A'를 나타낸 도면이다.
- [0142] 도 11에 도시한 바와 같이, 본 발명의 다른 일 실시예에 따르면, 제 1 전원라인(16) 및 제 1 도전패턴(151)은 제 2 커패시터전극(140)을 덮는 제 3 충간절연막(105) 상에 배치되고, 수평전원라인(18')은 제 1 전원라인(16) 및 제 1 도전패턴(151)을 덮는 제 4 충간절연막(106') 상에 배치되며, 애노드전극(Anode)은 수평전원라인(18')을 덮는 최종절연막(107') 상에 배치되는 점을 제외하면, 도 7 내지 도 10에 도시된 일 실시예와 동일하므로, 이하에서 중복 설명을 생략한다.
- [0143] 본 발명의 다른 일 실시예에 따르면, 제 1 전원라인(16) 및 제 1 도전패턴(151)은 제 2 커패시터전극(140)을 덮는 제 3 충간절연막(105) 상에 배치된다. 별도로 도시하고 있지 않으나, 제 2 및 제 3 도전패턴(도 9의 152, 도 10의 153) 또한 제 1 도전패턴(151)과 동일층, 즉 제 3 충간절연막(105) 상에 배치될 수 있다.
- [0144] 수평전원라인(18')은 제 1 전원라인(16) 및 제 1 도전패턴(151)을 덮는 제 4 충간절연막(106') 상에 배치되고 제 1 도전패턴(151)과 일부 중첩된다.
- [0145] 더불어, 도 7의 도시와 달리, 수평전원라인(18')과 동일층, 즉 제 4 충간절연막(106') 상에 제 1 도전패턴(151)과 연결되는 제 4 도전패턴(154)이 더 배치될 수 있다. 이와 같이 하면, 애노드콘택홀(CT_A')이 최종절연막(107')만을 관통하여 제 4 도전패턴(154)와 연결됨으로써, 제 1 도전패턴(151) 및 제 1 박막트랜지스터의 제 1 액티브패턴(111)에 연결될 수 있으므로, 애노드콘택홀(CT_A')의 형성이 용이해질 수 있다.
- [0146] 애노드전극(Anode)은 수평전원라인(18')을 덮는 최종절연막(107') 상에 배치되고, 수평전원라인(18')과 일부 중첩된다.
- [0147] 이때, 제 2 노드(ND2)와 제 2 기준전원(VSS) 사이의 제 1 커패시터(도 2의 C1)는 수평전원라인(18')과 애노드전극(Anode) 사이의 중첩영역에 대응한다. 또한, 제 1 커패시터(C1)는 수평전원라인(18')과 제 1 도전패턴(151') 사이의 중첩영역에도 대응한다.
- [0148] 즉, 본 발명의 다른 일 실시예에 따르면, 수평전원라인(18')이 제 1 도전패턴(151')과 애노드전극(Anode) 사이의 층에 배치된다. 이에 따라, 제 1 커패시터(C1)은 수평전원라인(18')과 애노드전극(Anode) 사이의 중첩영역 및 수평전원라인(18')과 제 1 도전패턴(151') 사이의 중첩영역에서 발생될 수 있다. 따라서, 한정된 면적에 대

응한 제 1 커패시터(C1)의 용량이 더 커질 수 있는 장점이 있다.

[0150] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0152] T1, T2, T3: 제 1, 제 2, 제 3 박막트랜지스터

C1, C2, C3: 제 1, 제 2, 제 3 커패시터

OLED: 유기발광소자

14: 데이터라인

15a, 15b: 제 1, 제 2 케이트라인

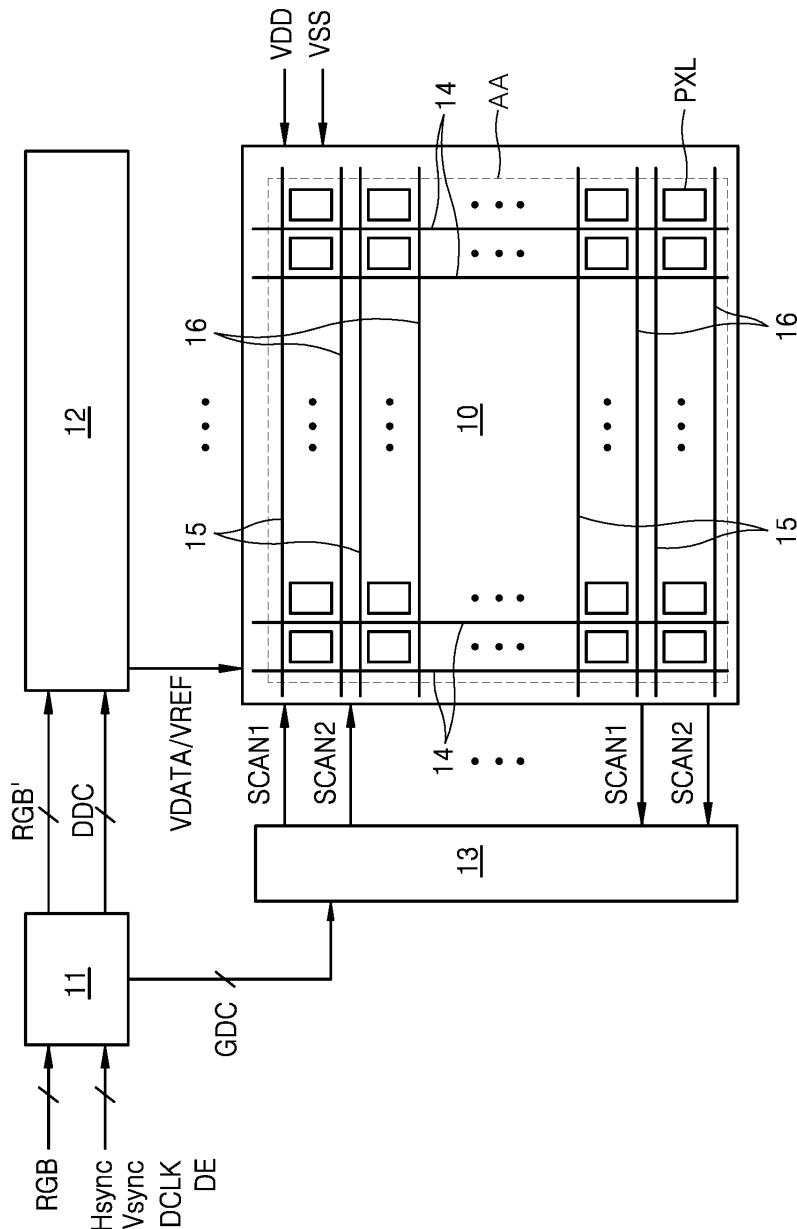
16: 제 1 전원라인

17: 캐소드전원라인

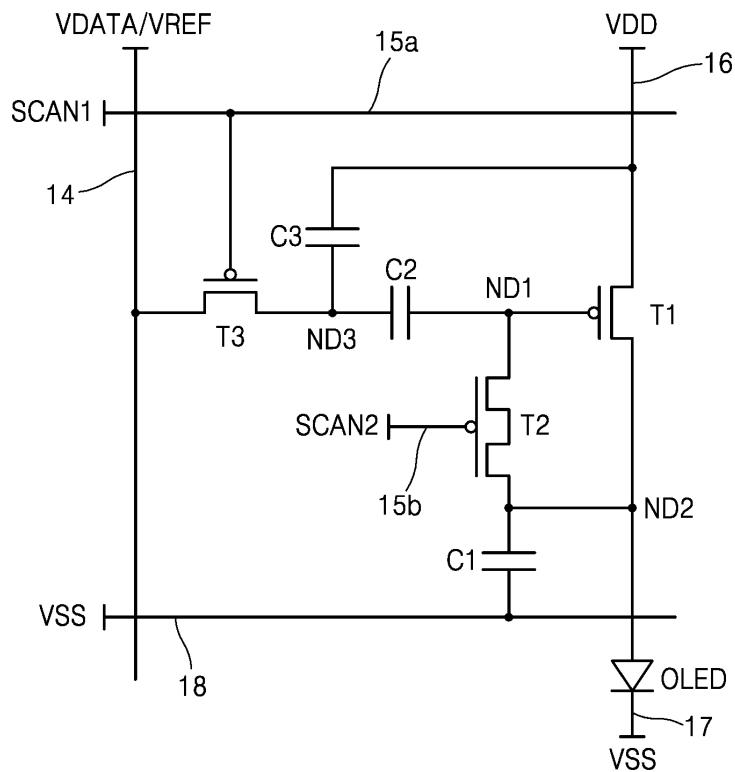
18: 수평전원라인

도면

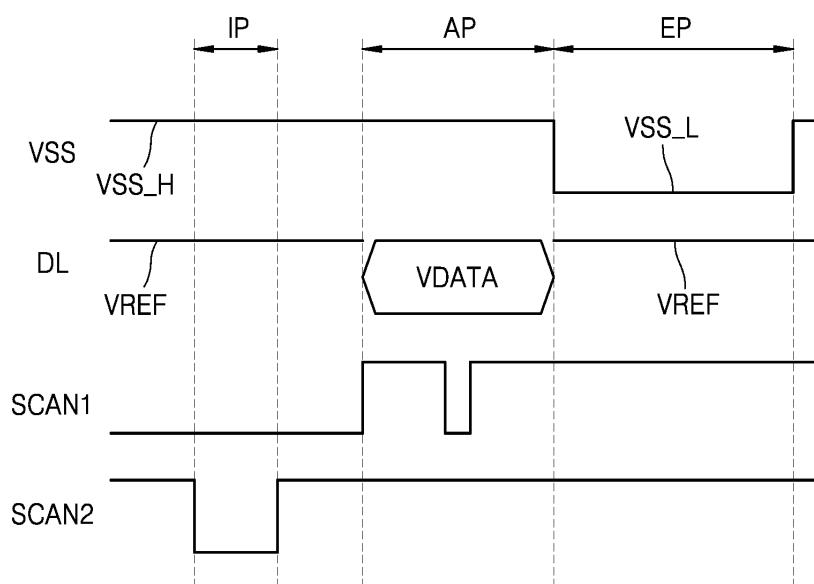
도면1



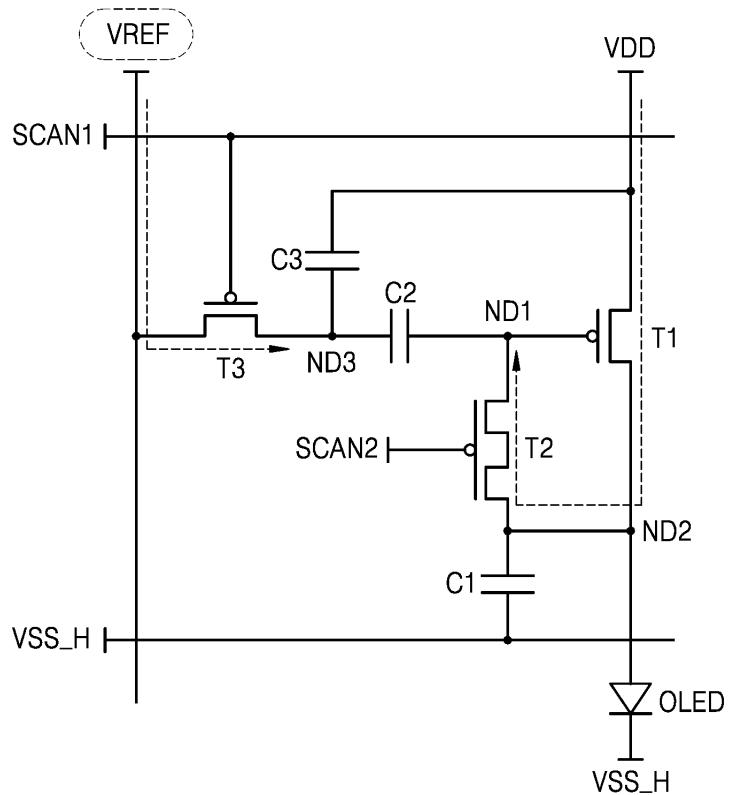
도면2



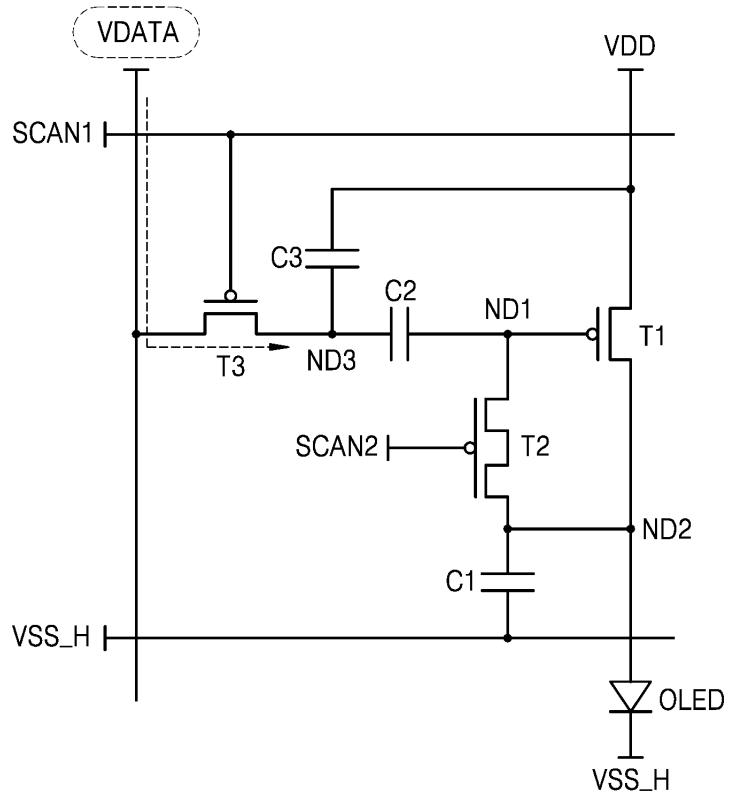
도면3



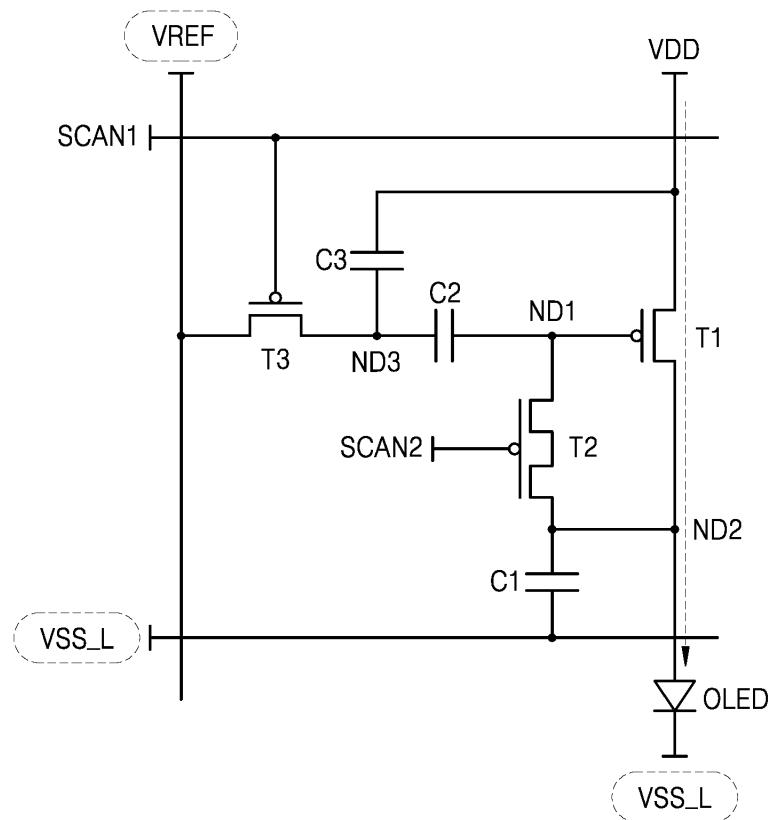
도면4



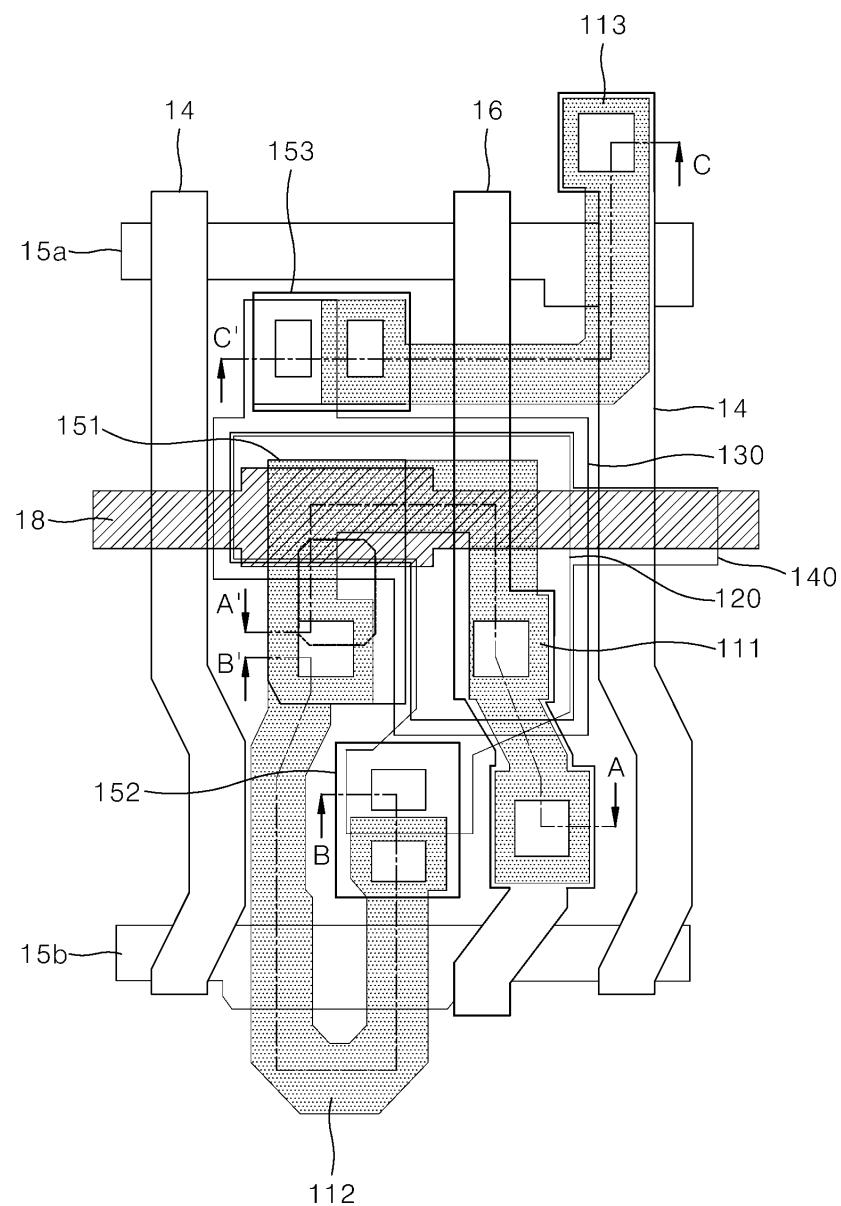
도면5



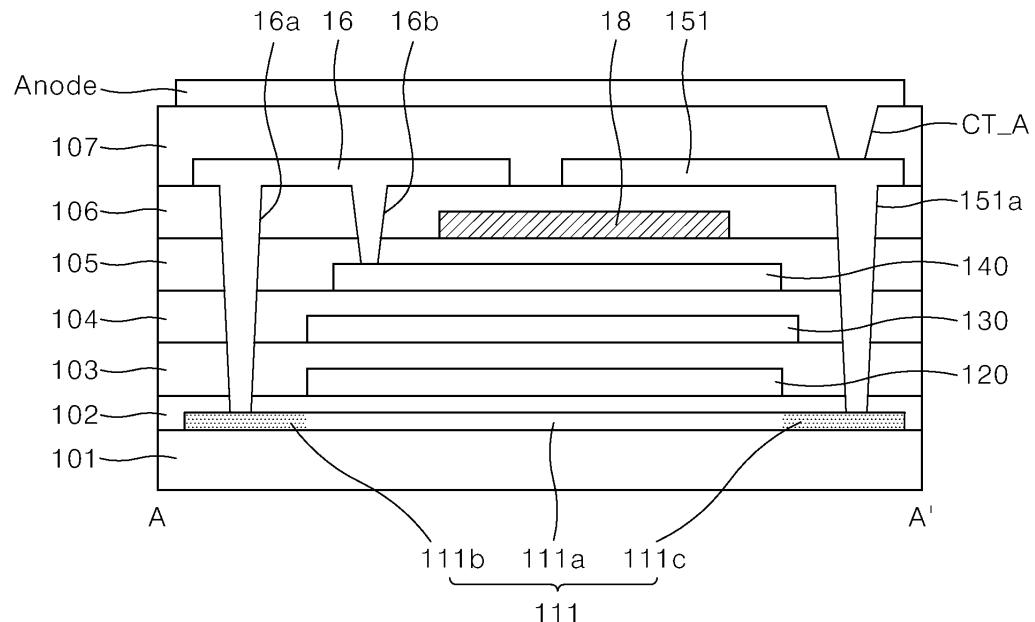
도면6



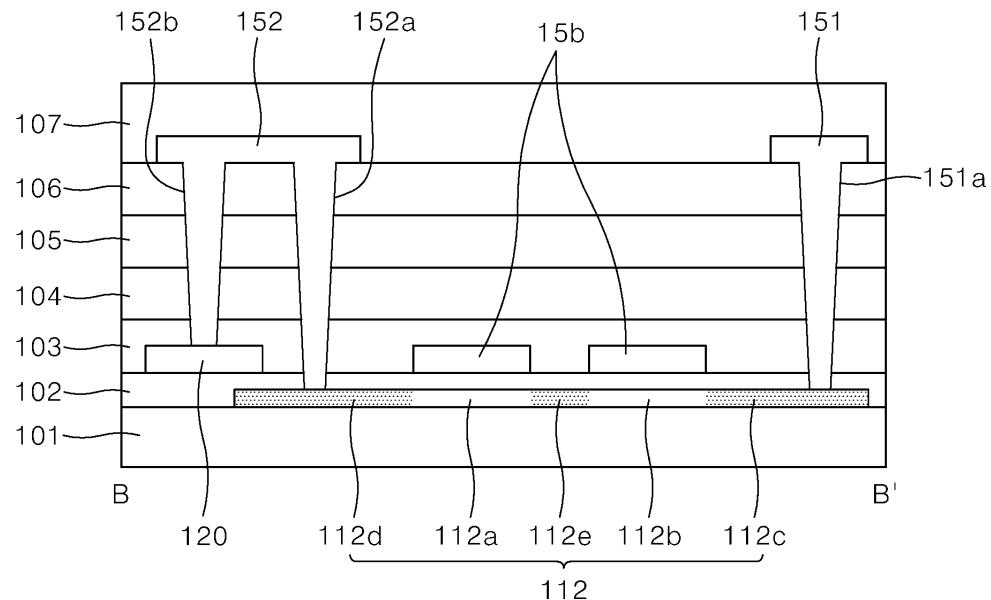
도면7



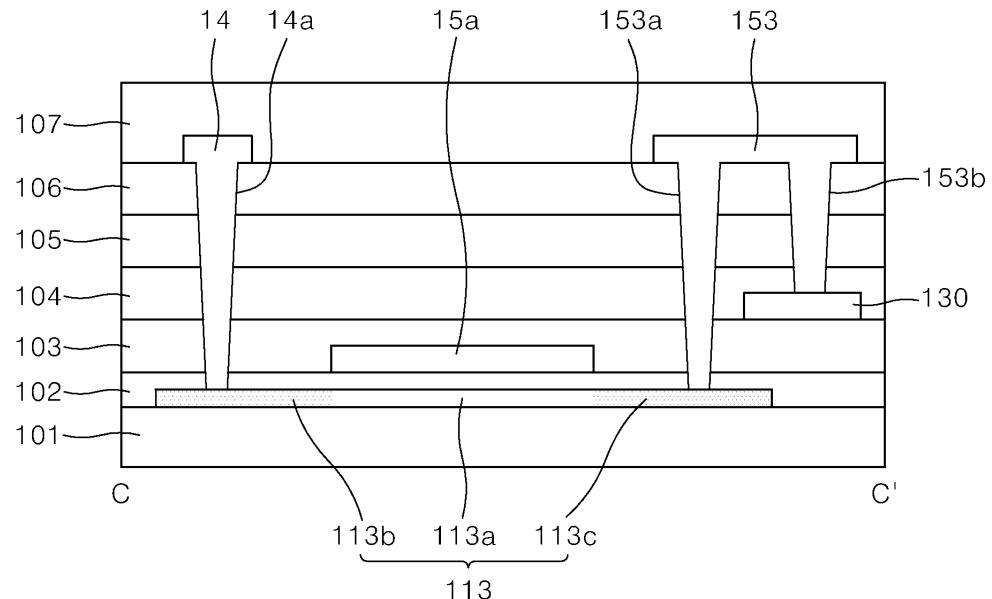
도면8

T1

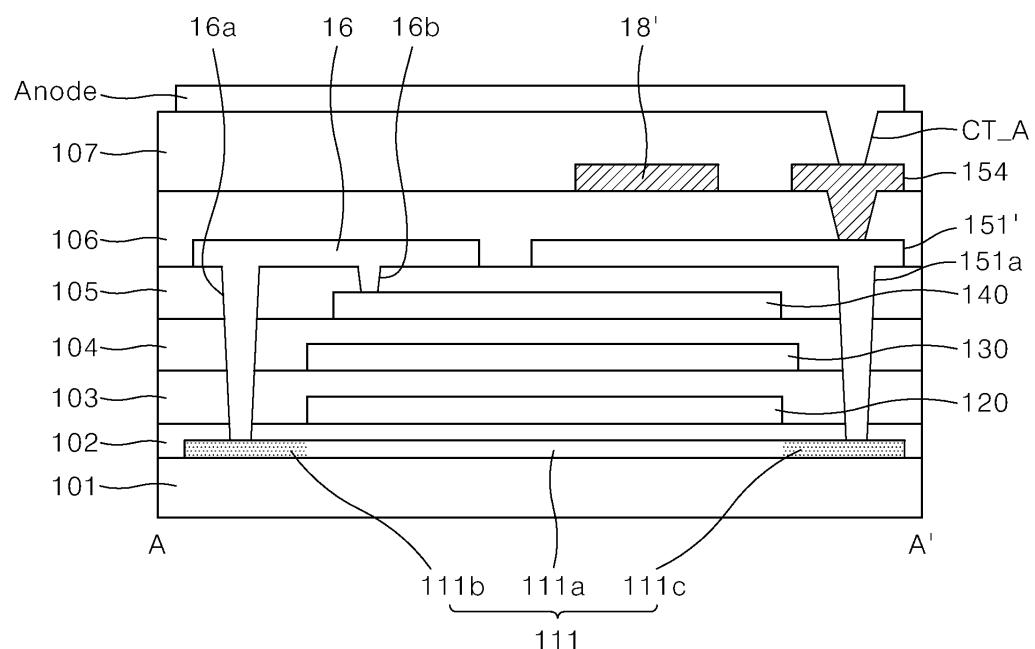
도면9

T2

도면10

T3

도면11



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190073903A	公开(公告)日	2019-06-27
申请号	KR1020170175141	申请日	2017-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이성진		
发明人	이성진		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3246 H01L27/3258 H01L27/3265		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，可以使用与每个像素区域相对应的有机发光二极管，用于提供具有与该有机发光二极管的驱动相对应的第一电压的第一驱动电源以及比该第一电压低的电压的第一电源线。与有机发光元件串联设置的第一薄膜晶体管，第二电源线，与第一薄膜晶体管的栅电极相对应的第一节点与第二薄膜之间，第二电源线用于提供具有双电压的第二驱动电源有机发光显示装置包括：第二薄膜晶体管，其布置在晶体管与有机发光二极管之间的第二节点之间；以及第一电容器，其布置在第二节点与第二电源线之间。

