



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0043767
(43) 공개일자 2019년04월29일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2017-0135720
(22) 출원일자 2017년10월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
공충식
경기도 파주시 월롱면 엘지로 245
한홍규
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인로얄

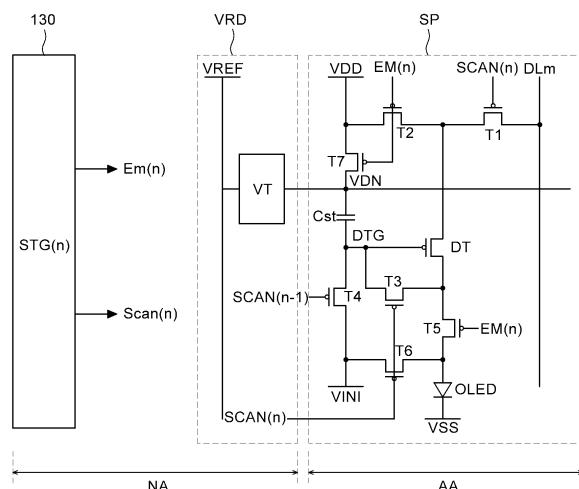
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 전계발광 표시장치 및 이의 구동방법

(57) 요 약

본 명세서의 실시예에 따른 전계발광 표시장치는 영상을 표시하는 표시영역과 영상을 표시하지 않는 비표시영역을 포함하는 표시패널, 표시영역에 위치하는 서브 픽셀, 비표시영역에 위치하는 게이트 구동부, 및 비표시영역에 위치하고 서브 픽셀에 기준전압을 전달하는 전압전달 트랜지스터를 포함한다. 그리고, 전압전달 트랜지스터의 게이트 전극은 게이트 구동부에 연결된다. 이에 따라, 기준전압을 인가받은 서브 픽셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 유기발광소자에 제공할 수 있으므로, 전계발광 표시장치의 화질 문제를 개선할 수 있다.

대 표 도 - 도3



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2320/0233 (2013.01)

(72) 발명자

신미희

경기도 파주시 월롱면 엘지로 245

김재성

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

영상을 표시하는 표시영역과 영상을 표시하지 않는 비표시영역을 포함하는 표시패널;
상기 표시영역에 위치하는 서브 픽셀;
상기 비표시영역에 위치하는 게이트 구동부; 및
상기 비표시영역에 위치하고 상기 서브 픽셀에 기준전압을 전달하는 전압전달 트랜지스터를 포함하며,
상기 전압전달 트랜지스터의 게이트 전극은 상기 게이트 구동부에 연결된, 전계발광 표시장치.

청구항 2

제1 항에 있어서,
상기 표시패널은 상기 서브 픽셀이 복수 개 연결된 스캔라인을 포함하고,
상기 전압전달 트랜지스터는 상기 비표시영역의 상기 스캔라인마다 배치된, 전계발광 표시장치.

청구항 3

제1 항에 있어서,
상기 서브 픽셀은 구동 트랜지스터를 포함하고,
상기 전압전달 트랜지스터는 상기 구동 트랜지스터의 문턱전압을 샘플링하기 위한 샘플링 기간 동안 상기 기준 전압을 제공하는, 전계발광 표시장치.

청구항 4

제1 항에 있어서,
상기 게이트 구동부는,
풀업 트랜지스터; 및
상기 풀업 트랜지스터의 게이트 전극 및 상기 풀업 트랜지스터의 드레인 전극에 연결된 제1 부스팅 커패시터를 포함하고,
상기 전압전달 트랜지스터의 게이트 전극은 상기 풀업 트랜지스터의 게이트 전극에 연결된, 전계발광 표시장치.

청구항 5

제4 항에 있어서,
상기 게이트 구동부는 제1 차단 트랜지스터를 더 포함하고,
상기 제1 차단 트랜지스터의 게이트 전극은 로직로우 전압이 인가되는 배선에 연결되고,
상기 제1 차단 트랜지스터의 제1 전극은 상기 풀업 트랜지스터의 게이트 전극에 연결되는, 전계발광 표시장치.

청구항 6

제1 항에 있어서,
상기 게이트 구동부는,
풀업 트랜지스터;
상기 풀업 트랜지스터의 게이트 전극 및 상기 풀업 트랜지스터의 드레인 전극에 연결된 제1 부스팅 커패시터;

및

상기 풀업 트랜지스터의 드레인 전극에 일단이 연결된 제2 부스팅 커패시터를 포함하고,

상기 트랜지스터의 게이트 전극은 상기 제2 부스팅 커패시터의 타단에 연결된, 전계발광 표시장치.

청구항 7

제6 항에 있어서,

상기 게이트 구동부는 제1 차단 트랜지스터 및 제2 차단 트랜지스터를 더 포함하고,

상기 제1 차단 트랜지스터의 게이트 전극 및 상기 제2 차단 트랜지스터의 게이트 전극은 로직로우 전압이 인가되는 배선에 연결되고,

상기 제1 차단 트랜지스터의 제1 전극은 상기 풀업 트랜지스터의 게이트 전극에 연결되고,

상기 제2 차단 트랜지스터의 제1 전극은 상기 전압전달 트랜지스터의 게이트 전극에 연결되며,

상기 제1 차단 트랜지스터의 제2 전극 및 상기 제2 차단 트랜지스터의 제2 전극은 서로 동일한 노드에 연결되는, 전계발광 표시장치.

청구항 8

제1 항에 있어서,

상기 전압전달 트랜지스터의 제1 전극은 상기 기준전압을 인가하는 배선에 연결되고,

상기 전압전달 트랜지스터의 제2 전극은 상기 서브 픽셀에 포함된 전압전달노드에 연결된, 전계발광 표시장치.

청구항 9

제8 항에 있어서,

상기 서브 픽셀은,

제n 스캔라인에 게이트 전극이 연결되고 제m 데이터라인에 제1 전극이 연결된 제1 트랜지스터;

제n 발광제어신호라인에 게이트 전극이 연결되고 상기 제1 트랜지스터의 제2 전극에 제1 전극이 연결되고 고전위 전원라인에 제2 전극이 연결된 제2 트랜지스터;

게이트 노드에 게이트 전극이 연결되고 상기 제1 트랜지스터의 제2 전극 및 상기 제2 트랜지스터의 제1 전극에 제1 전극이 연결된 구동 트랜지스터;

상기 제n 스캔라인에 게이트 전극이 연결되고 상기 구동 트랜지스터의 제2 전극에 제1 전극이 연결되고 상기 구동 트랜지스터의 게이트 전극에 제2 전극이 연결된 제3 트랜지스터;

제n-1 스캔라인에 게이트 전극이 연결되고 초기화 전압라인에 제1 전극이 연결되고 상기 제3 트랜지스터의 제2 전극 및 상기 구동 트랜지스터의 게이트 전극에 제2 전극이 연결된 제4 트랜지스터;

상기 제n 발광제어신호라인에 게이트 전극이 연결되고 상기 구동 트랜지스터의 제2 전극에 제1 전극이 연결된 제5 트랜지스터;

상기 제n 스캔라인에 게이트 전극이 연결되고 상기 초기화 전압라인에 제1 전극이 연결되고 상기 제5 트랜지스터의 제2 전극에 제2 전극이 연결된 제6 트랜지스터;

상기 제n 발광제어신호라인에 게이트 전극이 연결되고 고전위 전원라인 및 상기 제2 트랜지스터의 제2 전극에 제1 전극이 연결되고 상기 전압전달노드에 제2 전극이 연결된 제7 트랜지스터;

상기 전압전달노드에 일단이 연결되고 상기 제4 트랜지스터의 제2 전극에 타단이 연결된 커패시터; 및

상기 제5 트랜지스터의 제2 전극에 애노드가 연결되고 저전위 전원라인에 캐소드가 연결된 유기발광소자를 포함하는, 전계발광 표시장치.

청구항 10

표시영역 및 비표시영역을 갖는 표시패널, 상기 표시영역에 위치하고 유기발광소자를 포함하는 서브 팩셀, 및 상기 비표시영역에 위치한 전압 전달부를 포함하는 전계발광 표시장치의 구동방법에 있어서,

상기 서브 팩셀에 포함된 구동 트랜지스터의 게이트 전극을 초기화하기 위한 제1 초기화 단계; 및

상기 구동 트랜지스터의 문턱전압을 보상하고, 상기 유기발광소자의 애노드를 초기화하기 위한 샘플링 및 제2 초기화 단계를 포함하고,

상기 제1 초기화 단계, 및 상기 샘플링 및 제2 초기화 단계에서, 상기 전압 전달부는 상기 서브 팩셀에 기준전압을 제공하는, 전계발광 표시장치의 구동방법.

청구항 11

제10 항에 있어서,

상기 전압 전달부는 제n-1 스캔라인에 연결된 서브 팩셀을 구동하기 위한 제n-1 스캔신호가 로직로우 전압인 상기 제1 초기화 단계 및 상기 제n 스캔라인에 연결된 서브 팩셀을 구동하기 위한 제n 스캔신호가 로직로우 전압인 상기 샘플링 및 제2 초기화 단계에서 턴온되는, 전계발광 표시장치의 구동방법.

청구항 12

제10 항에 있어서,

상기 샘플링 및 제2 초기화 단계에서, 상기 구동 트랜지스터의 게이트 전극과 드레인 전극이 서로 연결되는 다이오드 커넥션 상태가 되어 상기 구동 트랜지스터의 게이트 전극에 상기 구동 트랜지스터의 문턱전압이 샘플링 되는, 전계발광 표시장치의 구동방법.

청구항 13

제10 항에 있어서,

상기 샘플링 및 제2 초기화 단계에서, 상기 전압 전달부를 통해 인가된 상기 기준전압은 상기 서브 팩셀에 포함된 커패시터의 일단에 충전되는, 전계발광 표시장치의 구동방법.

청구항 14

제10 항에 있어서,

상기 제1 초기화 단계에서, 상기 전압 전달부에 로직로우 전압이 인가되고,

상기 샘플링 및 제2 초기화 단계에서, 상기 전압 전달부에 로직로우 전압보다 낮은 전압이 인가되는, 전계발광 표시장치의 구동방법.

청구항 15

제10 항에 있어서,

상기 구동 트랜지스터의 게이트 전극에 데이터 라인을 통해 인가된 데이터 전압이 유지되는 홀딩 단계; 및

상기 데이터 전압을 기반으로 생성된 구동 전류를 통해 상기 유기발광소자를 발광시키는 발광 단계를 더 포함하는, 전계발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 명세서는 전계발광 표시장치 및 이의 구동방법에 관한 것으로서, 보다 구체적으로 전압강하 보상이 가능한 팩셀회로 및 팩셀회로에 게이트 신호를 제공하는 게이트 구동부를 포함한 전계발광 표시장치 및 이의 구동방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전

계발광 표시장치, 액정 표시장치, 및 양자점 표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치는 복수의 서브 핵셀을 포함하는 표시패널, 표시패널을 구동하는 구동부, 및 표시패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시패널에 게이트 신호를 공급하는 게이트 구동부 및 표시패널에 데이터 신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 예를 들어, 전계발광 표시장치는 서브 핵셀들에 게이트 신호 및 데이터 신호 등이 공급되면, 선택된 서브 핵셀의 발광소자가 빛을 발광하게 됨으로써 영상을 표시할 수 있다. 발광소자는 유기물 또는 무기물을 기반으로 구현될 수 있다.

[0005] 전계발광 표시장치는 서브 핵셀 내부에 발광소자로부터 생성된 빛을 기반으로 영상을 표시하므로 다양한 장점을 지니고 있어 서브 핵셀의 발광을 제어하는 핵셀회로의 정확도 향상이 필요하다. 예를 들어, 핵셀회로에 포함된 트랜지스터의 문턱전압이 변하는 시변 특성(또는 경시변화)을 보상함으로써, 핵셀회로의 정확도를 향상시킬 수 있다.

[0006] 전계발광 표시장치의 시변 특성을 보상할 수 있는 방법은 다양하다. 하지만, 일반적으로 제시된 보상 방식 중 일부는 서브 핵셀에 인가되는 전압의 강하가 고려되지 않아 표시패널 상에서 상하 휘도 불균일이나 크로스토크(cross-talk) 등 화질 이슈를 초래한다.

[0007] 따라서, 서브 핵셀에 정확한 신호를 전달하기 위해 핵셀회로 및 게이트 구동부의 정확도 향상을 위한 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0008] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하고, 전압 인가 배선에 대한 전압 강하를 최소화하기 위한 표시장치를 발명하였다.

[0009] 본 명세서의 실시예에 따른 해결 과제는 전압 인가 배선에 대한 전압 강하를 고려한 시변 특성 보상으로 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 이슈를 개선한 핵셀회로 및 이를 포함한 전계발광 표시장치를 제공하는 것이다.

[0010] 본 명세서의 실시예에 따른 해결 과제는 서브 핵셀에 인가되는 게이트 신호를 제공하는 게이트 구동부 및 기준 전압을 제공하는 회로를 효율적으로 설계하여 고해상도 표시장치의 구현이 가능한 전계발광 표시장치를 제공하는 것이다.

[0011] 본 명세서의 실시예에 따른 해결 과제는 유기발광소자에 인가되는 구동 전류에 전압 강하에 따른 영향이 배제될 수 있도록 서브 핵셀의 구동방법에 따라 기준전압을 제공하는 단계가 설정된 전계발광 표시장치의 구동방법을 제공하는 것이다.

[0012] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0013] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 영상을 표시하는 표시영역과 영상을 표시하지 않는 비표시영역을 포함하는 표시패널, 표시영역에 위치하는 서브 핵셀, 비표시영역에 위치하는 게이트 구동부, 및 비표시영역에 위치하고 서브 핵셀에 기준전압을 전달하는 전압전달 트랜지스터를 포함한다. 그리고, 전압전달 트랜지스터의 게이트 전극은 게이트 구동부에 연결된다. 이에 따라, 기준전압을 인가받은 서브 핵셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 유기발광소자에 제공하여, 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

[0014] 본 명세서의 일 실시예에 따른 전계발광 표시장치의 구동방법에 있어서, 전계발광 표시장치는 표시영역 및 비표시영역을 갖는 표시패널, 표시영역에 위치하고 유기발광소자를 포함하는 서브 핵셀, 및 비표시영역에 위치한 전압 전달부를 포함한다. 그리고, 전계발광 표시장치의 구동방법은 서브 핵셀에 포함된 구동 트랜지스터의 게이트 전극을 초기화하기 위한 제1 초기화 단계, 및 구동 트랜지스터의 문턱전압을 보상하고, 유기발광소자의 애노드

를 초기화하기 위한 샘플링 및 제2 초기화 단계를 포함한다. 제1 초기화 단계 및 샘플링 및 제2 초기화 단계에서 전압 전달부는 서브 픽셀에 기준전압을 제공한다. 이에 따라, 제1 초기화 단계 및 샘플링 및 제2 초기화 단계에서 기준전압을 인가받은 서브 픽셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 유기발광소자에 제공하여, 전계발광 표시장치의 화질 문제를 개선할 수 있다.

[0015] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0016] 본 명세서의 실시예들에 따르면, 기준전압을 서브 픽셀에 전달하기 위한 회로를 비표시영역에 포함시킴으로써, 픽셀회로를 간략히하여 고집적에 유리하므로 표시패널의 대화면이나 고해상도 구현 시 개구율 저하를 방지할 수 있다.

[0017] 그리고, 본 명세서의 실시예들에 따르면, 서브 픽셀에 기준전압을 전달하기 위한 회로를 게이트 구동부에 포함시킴으로써, 게이트 구동부의 효율을 향상시킬 수 있다.

[0018] 그리고, 본 명세서의 실시예들에 따르면, 전원전압의 전압 강하를 고려한 시변 특성(또는 경시변화)을 보상할 수 있는 구동회로를 구현함으로써, 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 문제를 개선할 수 있다.

[0019] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0020] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.

도 2는 도 1에 도시된 서브 픽셀 및 서브 픽셀에 입력되는 신호에 대한 블록도이다.

도 3은 본 명세서의 일 실시예에 따른 전계발광 표시패널을 설명하기 위한 구성도이다.

도 4는 도 3에 도시된 픽셀회로의 구동 특성을 설명하기 위한 과정도이다.

도 5는 본 명세서의 제1 실시예에 따른 전압 전달부 및 게이트 구동부의 구성을 나타낸 회로도이다.

도 6은 본 명세서의 제1 실시예에 따른 전압 전달부 및 서브 픽셀을 나타낸 회로도이다.

도 7a는 도 6의 초기화 기간에서의 구동을 나타낸 도면이다.

도 7b는 도 7a의 구동을 나타낸 과정도이다.

도 8a는 도 6의 샘플링 기간에서의 구동을 나타낸 도면이다.

도 8b는 도 8a의 구동을 나타낸 과정도이다.

도 9a는 도 6의 홀딩 기간에서의 구동을 나타낸 도면이다.

도 9b는 도 9a의 구동을 나타낸 과정도이다.

도 10a는 도 6의 발광 기간에서의 구동을 나타낸 도면이다.

도 10b는 도 10a의 구동을 나타낸 과정도이다.

도 11은 본 명세서의 제2 실시예에 따른 전압 전달부 및 게이트 구동부의 구성을 나타낸 회로도이다.

도 12는 본 명세서의 제2 실시예에 따른 전압 전달부 및 서브 픽셀을 나타낸 회로도이다.

도 13은 도 12의 구동을 나타낸 과정도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명

은 청구항의 범주에 의해 정의될 뿐이다.

- [0022] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0023] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0024] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.
- [0025] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0026] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0027] 본 명세서에서 표시패널의 기판 상에 형성되는 픽셀회로와 게이트 구동부는 n타입 또는 p타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source), 및 드레인(drain)을 포함한 3전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 예를 들어, 트랜지스터에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n타입 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n타입 트랜지스터에서 전자가 소스로부터 드레인쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p타입 트랜지스터의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p타입 트랜지스터의 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니고, 트랜지스터의 소스와 드레인은 인가 전압에 따라 변경될 수 있다.
- [0028] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴-온(turn-on)될 수 있는 게이트 신호의 전압일 수 있다. 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 전압일 수 있다. p 타입 트랜지스터에서 게이트 온 전압은 게이트 로우 전압(또는 로직로우 전압, VL)일 수 있고, 게이트 오프 전 압은 게이트 하이 전압(또는 로직하이 전압, VH)일 수 있다. n타입 트랜지스터에서 게이트 온 전압은 게이트 하이 전압일 수 있고, 게이트 오프 전압은 게이트 로우 전압일 수 있다.
- [0029] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 전계발광 표시장치 및 이의 구동방법에 대하여 설명하기로 한다.
- [0030] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- [0031] 도 1을 참고하면, 전계발광 표시장치(100)는 영상 처리부(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140), 및 표시패널(150)을 포함한다.
- [0032] 영상 처리부(110)는 외부로부터 공급된 영상 데이터와 더불어 각종 장치를 구동하기 위한 구동신호 등을 출력한다. 영상 처리부(110)로부터 출력되는 구동신호에는 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호 및 클럭신호가 포함될 수 있다.
- [0033] 타이밍 제어부(120)는 영상 처리부(110)로부터 공급된 영상 데이터와 더불어 구동신호 등을 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0034] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를

출력한다. 게이트 구동부(130)는 게이트 라인들(GL1~GLn)을 통해 게이트 신호를 출력한다. 게이트 구동부(130)는 IC(integrated circuit)형태로 형성될 수 있고, 표시패널에 내장된 GIP(gate in panel) 방식의 형태로 형성될 수도 있다. 게이트 구동부(130)는 표시패널(150)의 좌, 우측에 각각 배치되거나 어느 일측에 배치될 수도 있다. 게이트 구동부(130)는 복수의 스테이지들로 이루어진다. 예를 들어, 게이트 구동부(130)의 제1 스테이지는 표시패널의 제1 스캔라인을 구동하기 위한 제1 스캔신호를 출력한다.

[0035] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터전압을 출력한다. 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 디지털 형태의 데이터 신호(DATA)를 샘플링하고 래치(latch)하여 감마 기준전압에 기초한 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(140)는 데이터 라인들(DL1~DLm)을 통해 데이터 신호를 출력한다. 데이터 구동부(140)는 IC(integrated circuit) 형태로 표시패널 상에 형성되거나, 표시패널에 COF(chip on film) 형태로 형성될 수도 있다.

[0036] 전원 공급부(180)는 고전위 전원전압(EVDD)과 저전위 전원전압(EVSS) 등을 출력한다. 전원 공급부(180)로부터 출력된 고전위 전원전압(EVDD)과 저전위 전원전압(EVSS) 등은 표시패널(150)에 공급된다. 고전위 전원전압(EVDD)은 고전위 전원라인을 통해 표시패널(150)에 공급되고, 저전위 전원전압(EVSS)은 저전위 전원라인을 통해 표시패널(150)에 공급된다. 전원 공급부(180)로부터 출력된 전압은 게이트 구동부(130)나 데이터 구동부(140)에서 이용될 수도 있다.

[0037] 표시패널(150)은 게이트 구동부(130) 및 데이터 구동부(140)로부터 공급된 게이트 신호 및 데이터 신호, 그리고 전원 공급부(180)로부터 공급된 전원에 대응하여 영상을 표시한다. 표시패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀(SP)들을 포함한다.

[0038] 표시패널(150)은 서브 픽셀(SP)들이 형성되는 표시 영역과 표시 영역의 외곽으로 각종 신호 라인들이나 패드 등이 형성되는 비표시영역을 포함한다. 표시 영역은 영상을 표시하는 영역이므로 서브 픽셀(SP)들이 위치하는 영역이고, 비표시영역은 영상을 표시하지 않는 영역이므로 더미 서브 픽셀들이 위치하거나 서브 픽셀(SP)이 위치하지 않는 영역이다.

[0039] 표시 영역은 복수의 서브 픽셀(SP)을 포함하고, 각각의 서브 픽셀(SP)들이 표시하는 계조를 기반으로 영상을 표시한다. 각각의 서브 픽셀(SP)은 컬럼 라인(column line)을 따라 배열되는 데이터 라인과 연결되고, 픽셀라인(또는 로우 라인, row line)을 따라 배열되는 게이트 라인에 연결된다. 동일한 픽셀라인에 배치된 서브 픽셀(SP)들은 동일한 게이트 라인을 공유하며 동시에 구동된다. 그리고, 제1 픽셀라인에 배치된 서브 픽셀(SP)들을 제1 서브 픽셀들이라고 정의하고, 제n 픽셀라인에 배치된 서브 픽셀(SP)들을 제n 서브 픽셀들이라고 정의할 때, 제1 서브 픽셀들부터 제n 서브 픽셀들은 순차적으로 구동된다.

[0040] 표시패널(150)의 서브 픽셀(SP)들은 매트릭스 형태로 배치되어 화소 어레이를 구성하지만, 이에 한정되지는 않는다. 서브 픽셀(SP)들은 매트릭스 형태 이외에도 화소를 공유하는 형태, 스트라이프(stripe) 형태, 다이아몬드(diamond) 형태 등 다양한 형태로 배치될 수 있다.

[0041] 서브 픽셀(SP)들은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀(SP)들은 발광 특성에 따라 하나 이상의 다른 발광 면적을 가질 수도 있다.

[0042] 도 2는 도 1에 도시된 서브 픽셀(SP) 및 서브 픽셀(SP)에 입력되는 신호에 대한 블록도이다.

[0043] 하나의 서브 픽셀(SP)은 게이트 라인(GL), 데이터 라인(DL), 고전위 전원라인(VDD), 저전위 전원라인(VSS), 초기화 전압라인(VINI), 및 기준전압 라인(VREF)과 연결된다. 서브 픽셀(SP)은 픽셀회로의 구성에 따라 트랜지스터와 커패시터의 개수 및 구동 방법이 결정된다. 이 경우, 게이트 라인(GL)은 스캔 신호를 전달하는 복수의 스캔라인들을 포함할 수 있다. 따라서, 게이트 구동부는 한 개의 픽셀회로에 한 개 이상의 스캔 신호를 제공할 수 있다.

[0044] 도 3은 본 명세서의 일 실시예에 따른 전계발광 표시패널을 설명하기 위한 구성도이다. 그리고, 도 4는 도 3에 도시된 픽셀회로의 구동 특성을 설명하기 위한 파형도이다.

[0045] 표시패널(150)은 서브 픽셀(SP)들을 기반으로 영상을 표시하는 표시영역(AA)과 신호라인이나 구동회로 등이 위치하며 영상을 표시하지 않는 비표시영역(NA)을 포함한다.

[0046] 전계발광 표시장치(100)는 서브 픽셀(SP) 내부에 포함된 유기발광소자(OLED)로부터 생성된 빛을 기반으로 영상을 표시한다. 그러나, 전계발광 표시장치는 서브 픽셀(SP)에 포함된 소자(구동 트랜지스터 등)의 문턱전압이 변

하는 시변 특성(또는 경시변화)을 가지고 있으므로 이를 보상할 필요가 있다.

[0047] 따라서, 본 명세서의 실시예에 따른 전계발광 표시패널 상에서의 상하 휙도 불균일이나 크로스토크(cross-talk) 등의 화질 이슈를 초래하고 있는 문제를 고찰하고 이를 개선하기 위한 팩셀회로를 설명한다. 이하에 설명될 팩셀회로는 P 타입 트랜지스터들로 구성된 것을 예로 들어 설명하지만, 이에 한정되지 않으며 본 명세서의 실시예는 N 타입 트랜지스터들도 적용 가능하다.

[0048] 도 3 및 도 4에 도시된 바와 같이, 일 실시예에 따른 전계발광 표시장치(100)는 n번째 서브 팩셀(SP)에 인가되는 고전위 전원전압의 전압 강하를 줄일 수 있도록, 외부로부터 인가된 전압을 n번째 서브 팩셀(SP)에 전달하기 위한 동작을 수행하는 전압 전달부(VRD)를 포함한다. 여기서, 외부로부터 전압이 인가된다는 것은 표시영역(AA)의 외부인 비표시영역(NA)으로부터 전압이 인가된다는 것을 의미한다. 예를 들어, 전압 전달부(VRD)는 표시패널의 비표시영역(NA)에 배치된 게이트 구동부(130)와 표시영역(AA)에 배치된 서브 팩셀(SP) 사이에 배치될 수 있다.

[0049] 게이트 구동부(130)는 n번째 팩셀라인에 배치된 제n 서브 팩셀(SP)에 스캔 신호 및 발광제어신호를 공급하는 제n 스테이지(STG(n))를 포함한다. 제n 스테이지(STG(n))는 제n 서브 팩셀(SP)을 구동하기 위해 제n 발광제어신호(Em(n))와 제n 스캔신호(Scan(n))를 출력한다. 제n 발광제어신호(Em(n))는 제n 발광제어신호라인(EM(n))을 통해 제공되고, 제n 스캔신호(Scan(n))는 제n 스캔라인(SCAN(n))을 통해 제공된다. 전압 전달부(VRD)는 n번째 팩셀라인뿐만 아니라 모든 팩셀라인에 대응하여 배치된다. 전압 전달부(VRD)는 복수로 구성될 수 있다. 그리고, 전압 전달부(VRD)를 비표시영역(NA)에 배치함으로써, 서브 팩셀(SP)을 고집적화할 수 있으므로 고해상도를 갖는 표시패널의 구현이 가능하다.

[0050] 전압 전달부(VRD)는 기준전압 라인(VREF)을 통해 인가되는 기준전압을 특정 기간 동안 제n 서브 팩셀(SP)의 전압 전달노드(VDN)에 전달하는 역할을 한다. 기준전압은 고전위 전원전압(EVDD)과 저전위 전원전압(EVSS) 사이의 전압레벨 또는 고전위 전원전압(EVDD)에 준하는 전압레벨을 가질 수 있다. 예를 들어, 고전위 전원전압(EVDD)은 4.6V이고, 기준전압은 4.0V일 수 있다.

[0051] 전압 전달부(VRD)는 적어도 하나의 트랜지스터를 포함하는 전압 전달 회로(VT)로 구성될 수 있다. 전압 전달 회로(VT)는 외부로부터 인가된 제어신호 또는 게이트 구동부(130)로부터 출력된 게이트 신호에 대응하여 턴온 또는 턴오프된다. 외부로부터 인가된 제어신호란 타이밍 제어부 또는 전원 공급부로부터 출력된 제어신호를 의미할 수 있으나, 이에 한정되지는 않는다.

[0052] 본 명세서의 실시예에서는 전압 전달부(VRD)가 게이트 구동부(130)와 구분되어 독립적으로 배치되는 것을 일례로 도시하지만, 전압 전달부(VRD)는 게이트 구동부(130)의 내부에 포함될 수도 있다.

[0053] 전압 전달부(VRD)를 비표시영역(NA)에 배치하면, 기준전압 인가를 위해 동작하는 회로를 서브 팩셀(SP)의 내부에 배치할 때보다 공정상의 이점을 가질 수 있다. 전압 전달부(VRD)를 비표시영역(NA)에 배치하는 경우, 서브 팩셀(SP)의 내부에 전압 전달에 필요한 회로를 배치하지 않아도 전압 전달이 가능하고 전압 전달 회로(VT)의 외부 배치로 인하여 서브 팩셀(SP) 내의 전극이나 배선의 콘택 수를 절감할 수 있다. 그리고, 서브 팩셀(SP)의 공간 제약으로부터 벗어날 수 있어 고집적에 유리하고, 표시패널의 대화면 및 고해상도 구현 시, 개구율 저하를 방지할 수 있다.

[0054] 제n 서브 팩셀(SP)은 제1 내지 제7 트랜지스터(T1~T7), 구동 트랜지스터(DT), 커패시터(Cst), 및 유기발광소자(OLED)를 포함한다. 본 명세서의 실시예에서는 제n 서브 팩셀(SP)이 총 8개의 트랜지스터를 기반으로 구현된 것으로 도시하였지만, 본 명세서의 실시예는 이에 한정되지는 않는다. 이하에서는 제n 서브 팩셀(SP)의 구성 및 접속 관계를 설명한다.

[0055] 도 3 및 도 4를 참고하면, 제1 트랜지스터(T1)는 제n 스캔라인(SCAN(n))에 게이트 전극이 연결되고, 제m 데이터라인(DLm)에 제1 전극이 연결되며 제2 트랜지스터(T2)의 제1 전극 및 구동 트랜지스터(DT)의 제1 전극에 제1 트랜지스터(T1)의 제2 전극이 연결된다. 제1 트랜지스터(T1)는 제n 스캔라인(SCAN(n))을 통해 인가된 로직로우의 제n 스캔신호(Scan(n))에 대응하여 턴온된다. 제1 트랜지스터(T1)가 턴온되면, 제m 데이터라인(DLm)을 통해 인가된 데이터 전압은 제1 트랜지스터(T1)의 제2 전극에 인가된다.

[0056] 제2 트랜지스터(T2)는 제n 발광제어신호라인(EM(n))에 게이트 전극이 연결되고 제1 트랜지스터(T1)의 제2 전극에 제2 트랜지스터(T2)의 제1 전극이 연결되며, 고전위 전원라인(VDD) 및 제7트랜지스터(T7)의 제1 전극에 제2 트랜지스터(T2)의 제2 전극이 연결된다. 제2 트랜지스터(T2)는 제n 발광제어신호라인(EM(n))을 통해 인가된 로직로우의 제n 발광제어신호(Em(n))에 대응하여 턴온된다. 제2 트랜지스터(T2)가 턴온되면, 제1 트랜지스터(T1)

의 제2 전극에 충전된 데이터 전압은 제2 트랜지스터(T2) 및 제7 트랜지스터(T7)를 거쳐 커패시터(Cst)의 일단에 전달된다.

[0057] 제3 트랜지스터(T3)는 제n 스캔라인(SCAN(n))에 게이트 전극이 연결되고 구동 트랜지스터(DT)의 제2 전극에 제3 트랜지스터(T3)의 제1 전극이 연결되며 구동 트랜지스터(DT)의 게이트 전극에 제3 트랜지스터(T3)의 제2 전극이 연결된다. 제3 트랜지스터(T3)는 제n 스캔라인(SCAN(n))을 통해 인가된 로직로우의 제n 스캔신호(Scan(n))에 대응하여 턴온된다. 제3 트랜지스터(T3)가 턴온되면, 구동 트랜지스터(DT)의 게이트 전극과 드레인 전극이 도통되므로 구동 트랜지스터(DT)는 다이오드 커넥션(diode connection) 상태가 된다.

[0058] 제4 트랜지스터(T4)는 제n-1 스캔라인(SCAN(n-1))에 게이트 전극이 연결되고 초기화 전압라인(VINI)에 제1 전극이 연결되며 커패시터(Cst)의 타단, 제3 트랜지스터(T3)의 제2 전극 및 구동 트랜지스터(DT)의 게이트 전극에 제4 트랜지스터(T4)의 제2 전극이 연결된다. 제4 트랜지스터(T4)는 제n-1 스캔라인(SCAN(n-1))을 통해 인가된 로직로우의 제n-1 스캔신호(Scan(n-1))에 대응하여 턴온된다. 제4 트랜지스터(T4)가 턴온되면, 구동 트랜지스터(DT)의 게이트 노드(DTG)는 초기화 전압을 기반으로 초기화된다.

[0059] 제5 트랜지스터(T5)는 제n 발광제어신호라인(EM(n))에 게이트 전극이 연결되고 구동 트랜지스터(DT)의 제2 전극에 제5 트랜지스터(T5)의 제1 전극이 연결되고 유기발광소자(OLED)의 애노드에 제5 트랜지스터(T5)의 제2 전극이 연결된다. 제5 트랜지스터(T5)는 제n 발광제어신호라인(EM(n))을 통해 인가된 로직로우의 제n 발광제어신호(EM(n))에 대응하여 턴온된다. 제5 트랜지스터(T5)가 턴온되면, 유기발광소자(OLED)는 구동 트랜지스터(DT)를 통해 발생된 구동 전류에 대응하여 빛을 발광하게 된다.

[0060] 제6 트랜지스터(T6)는 제n 스캔라인(SCAN(n))에 게이트 전극이 연결되고 초기화 전압라인(VINI)에 제6 트랜지스터(T6)의 제1 전극이 연결되고 구동 트랜지스터(DT)의 제2 전극 및 유기발광소자(OLED)의 애노드에 제6 트랜지스터(T6)의 제2 전극이 연결된다. 제6 트랜지스터(T6)는 제n 스캔라인(SCAN(n))을 통해 인가된 로직로우의 제n 스캔신호(Scan(n))에 대응하여 턴온된다. 제6 트랜지스터(T6)가 턴온되면 유기발광소자(OLED)의 애노드는 초기화 전압을 기반으로 초기화된다.

[0061] 제7 트랜지스터(T7)는 제n 발광제어신호라인(EM(n))에 게이트 전극이 연결되고 고전위 전원라인(VDD) 및 제2 트랜지스터(T2)의 제2 전극에 제7 트랜지스터(T7)의 제1 전극이 연결되고 커패시터(Cst)의 일단에 제7 트랜지스터(T7)의 제2 전극이 연결된다. 제7 트랜지스터(T7)는 제n 발광제어신호라인(EM(n))을 통해 인가된 로직로우의 제n 발광제어신호(EM(n))에 대응하여 턴온된다. 제7 트랜지스터(T7)가 턴온되면, 제1 트랜지스터(T1)의 제2 전극에 충전된 데이터 전압은 제2 트랜지스터(T2)를 거친 후 커패시터(Cst)의 일단에 전달된다.

[0062] 커패시터(Cst)는 제7 트랜지스터(T7)의 제2 전극에 일단이 연결되고 제4 트랜지스터(T4)의 제2 전극에 타단이 연결된다. 제7 트랜지스터(T7)의 제2 전극과 커패시터(Cst)의 일단에 연결된 노드는 기준전압이 전달되는 전압 전달노드(VDN)로 정의된다. 유기발광소자(OLED)는 제5 트랜지스터(T5)의 제2 전극에 애노드가 연결되고, 저전위 전원라인(VSS)에 캐소드가 연결된다.

[0063] 도 4를 참고하면, 본 명세서의 실시예에 따른 제n 서브 픽셀(SP)은 제1 초기화 기간(INI), 샘플링 및 제2 초기화 기간(SAM), 홀딩 기간(HLD) 및 발광 기간(EMI)의 순으로 동작한다. 제1 초기화 기간(INI)은 구동 트랜지스터(DT)의 게이트 노드(DTG)를 초기화시키는 기간이다. 샘플링 및 제2 초기화 기간(SAM)은 구동 트랜지스터(DT)의 문턱전압을 샘플링하면서 유기발광소자(OLED)를 초기화하는 기간이다. 홀딩 기간(HLD)은 제m 데이터라인(DLM)을 통해 인가된 데이터 전압을 특정 노드에 유지시키는 기간이다. 발광 기간(EMI)은 데이터 전압을 기반으로 생성된 구동 전류를 통해 유기발광소자(OLED)를 발광시키는 기간이다.

[0064] 본 명세서의 실시예에 따른 제n 서브 픽셀(SP)은 제n 발광제어신호(EM(n))가 인가되지 않는 기간 동안(로직하이를 유지하는 기간), 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM)을 가지게 됨에 따라 내부 회로 기반의 보상이 이루어진다. 이 기간들 동안의 동작 특성을 설명하면 다음과 같다. 제n-1 스캔신호(Scan(n-1))와 제n 스캔신호(Scan(n))는 1 수평기간(1H) 동안 로직로우로 인가되는 것을 일례로 한다. 또한, 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM)은 각각 1 수평기간(1H) 동안 이루어지는 것을 일례로 한다.

[0065] 제1 초기화 기간(INI) 동안 제4 트랜지스터(T4)는 제n-1 스캔라인(SCAN(n-1))을 통해 인가된 로직로우의 제n-1 스캔신호(Scan(n-1))에 대응하여 턴온된다. 이 경우, 초기화 전압라인(VINI)에는 고전위 전원라인(VDD)을 통해 인가되는 고전위 전원전압보다 낮은 초기화 전압(EVINI)이 인가된다. 이와 같은 동작에 의해, 구동 트랜지스터(DT)의 게이트 노드(DTG)는 초기화 전압(EVINI)을 기반으로 초기화된다.

[0066] 샘플링 및 제2 초기화 기간(SAM) 동안 제1 트랜지스터(T1), 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 제n

스캔라인(SCAN(n))을 통해 인가된 로직로우의 제n 스캔신호(Scan(n))에 대응하여 턴온된다. 제1 트랜지스터(T1)의 턴온 동작에 의해 제m 데이터라인(DLm)을 통해 인가된 데이터 전압(Vdata)은 구동 트랜지스터(DT)의 제1 전극에 인가된다. 제3 트랜지스터(T3)의 턴온 동작에 의해 구동 트랜지스터(DT)는 다이오드 커넥션 상태가 되므로, 구동 트랜지스터(DT)의 문턱전압은 샘플링된다. 그리고, 구동 트랜지스터(DT)의 제1 전극에 인가된 데이터 전압은 구동 트랜지스터(DT)의 게이트 노드(DTG)에 충전된다. 제6 트랜지스터(T6)의 턴온 동작에 의해 유기발광소자(OLED)는 초기화 전압(EVINI)을 기반으로 초기화된다.

[0067] 발광 기간(EMI) 동안 제2 트랜지스터(T2), 제7 트랜지스터(T7), 및 제5 트랜지스터(T5)는 제n 발광제어신호라인(EM(n))을 통해 인가된 로직로우의 제n 발광제어신호(Em(n))에 대응하여 턴온된다. 제2 트랜지스터(T2)의 턴온 동작에 의해 고전위 전원라인(VDD)를 통해 인가된 고전위 전원전압은 구동 트랜지스터(DT)의 제1 전극에 인가된다. 제7 트랜지스터(T7)의 턴온 동작에 의해 고전위 전원라인(VDD)를 통해 인가된 고전위 전원전압은 커페시터(Cst)의 일단인 전압전달노드(VDN)에 인가된다. 이 경우, 전압전달노드(VDN)의 전압이 기준전압(Vref)에서 고전위 전원전압(EVDD)으로 변하는 전압만큼 커페시터(Cst)의 타단인 구동 트랜지스터(DT)의 게이트 노드(DTG)의 전압이 커플링되어 변경된다.

[0068] 본 명세서의 실시예에 따른 제n 서브 핵심(SP)은 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM) 동안 고전위 전원전압(EVDD)의 전압 강하분이 고려되도록 전압 전달부(VRD)로부터 기준전압(Vref)을 인가받게 되므로, 이에 따라 보상된 제n 서브 핵심(SP)의 전류를 수식으로 표현하면 다음과 같다.

$$Ioled = K(Vsg - |Vth|)^2 = K\{(EVDD - (Vdata - |Vth|) + EVDD - Vref) - |Vth| \}^2 = K(Vref - Vdata)^2$$

[0069] 위의 식에서, Ioled는 유기발광소자(OLED)를 통해 흐르는 전류, K는 상수, Vsg는 구동 트랜지스터(DT)의 소스 전극과 게이트 전극 간의 전압, Vth는 구동 트랜지스터(DT)의 문턱전압, EVDD는 고전위 전원라인(VDD)을 통해 인가된 고전위 전원전압, Vref는 기준전압 라인(VREF)을 통해 인가된 기준전압, Vdata는 제m 데이터라인(DLm)을 통해 인가된 데이터 전압을 의미한다.

[0070] 위의 수식에서 알 수 있듯이, Ioled는 기준전압과 데이터 전압 간의 차에 의해 결정된다. 수식에 따르면, 본 명세서의 실시예에 따른 제n 서브 핵심(SP)은 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM) 동안에 걸쳐 인가된 기준전압에 의해 고전위 전원라인(VDD)을 통해 인가되는 고전위 전원전압의 전압 강하분이 보상될 수 있음을 알 수 있다.

[0071] 이하, 전압 전달부(VRD)가 한 개의 스위칭 트랜지스터로 구성되는 것을 일례로 본 명세서의 실시예와 관련된 설명을 구체화하면 다음과 같다.

[0072] 도 5는 본 명세서의 제1 실시예에 따른 전압 전달부 및 게이트 구동부의 구성을 나타낸 회로도이다.

[0073] 본 명세서의 제1 실시예에 따른 전압 전달부(VRD)는 한 개의 전압전달 트랜지스터(Tref)로 구성될 수 있다. 전압전달 트랜지스터(Tref)는 게이트 구동부(130)의 구성요소에 연결되어 제어될 수 있다. 도 5에 도시된 게이트 구동부(130)는 전압전달 트랜지스터(Tref)의 연결관계를 설명하기 위한 일부의 구성요소만 도시한다.

[0074] 게이트 구동부(130)는 풀업 트랜지스터(Tu), 제1 부스팅 커페시터(CQ1), 및 제1 차단 트랜지스터(Tb1)를 포함한다. 풀업 트랜지스터(Tu)는 스캔 출력 노드(SO)를 통해 제n 스캔라인(SCAN(n))에 게이트 온 전압을 출력한다. 제n 스캔라인(SCAN(n))에 연결된 트랜지스터가 p타입의 트랜지스터인 경우, 게이트 온 전압은 로직로우 전압이고, 제n 스캔라인(SCAN(n))에 연결된 트랜지스터가 n타입의 트랜지스터인 경우, 게이트 온 전압은 로직하이 전압이다.

[0075] 풀업 트랜지스터(Tu)의 게이트 전극은 Q1 노드(Q1)에 연결되고, 제1 전극은 클럭 신호를 제공하는 클럭 신호 라인(CLKL)에 연결되며, 제2 전극은 스캔 출력 노드(SO)에 연결된다. 풀업 트랜지스터(Tu)는 Q1 노드(Q1)에 입력되는 로직로우 전압에 의해 턴온되어 클럭 신호를 스캔 출력 노드(SO)에 인가한다.

[0076] 제1 부스팅 커페시터(CQ1)의 일단은 풀업 트랜지스터(Tu)의 게이트 전극에 연결되고, 타단은 풀업 트랜지스터(Tu)의 제2 전극 및 스캔 출력 노드(SO)에 연결된다. 제1 부스팅 커페시터(CQ1)는 풀업 트랜지스터(Tu)가 턴온될 때 풀업 트랜지스터(Tu)의 게이트 전극을 부스팅(boosting)시킴으로써, 풀업 트랜지스터(Tu)가 안정적으로 게이트 턴온 전압을 스캔 출력 노드(SO)에 인가할 수 있도록 한다.

[0077] 제1 차단 트랜지스터(Tb1)의 게이트 전극은 로직로우 전압이 인가되는 로직로우 전압라인(VLL)에 연결되고, 제1 전극은 Q1 노드(Q1)에 연결되며, 제2 전극은 Q 노드(Q)에 연결된다. 제1 차단 트랜지스터(Tb1)의 게이트 전극에는 로직로우 전압이 인가되므로 항상 턴온 상태를 유지하여 Q1 노드(Q1)의 전압 변화에 의한 영향이 Q 노드(Q)

에 연결된 다른 트랜지스터들에 미치는 것을 방지할 수 있다.

[0079] 전압전달 트랜지스터(Tref)의 게이트 전극은 Q1 노드(Q1)에 연결되고, 제1 전극은 기준전압 라인(VREF)에 연결되며, 제2 전극은 전압전달노드(VDN)에 연결된다. 전압전달 트랜지스터(Tref)는 Q1 노드(Q1)에 인가된 로직로우 전압에 의해 턴온되어 전압전달노드(VDN)에 기준전압을 인가한다. 이 경우, Q 노드(Q)에 로직로우 전압이 인가되어 풀업 트랜지스터(Tu)가 턴온되는 동안, 전압전달노드(VDN)에 기준전압이 인가된다. 또한, 제n 스캔라인(SCAN(n))에 로직로우 전압이 인가되는 동안, 전압전달노드(VDN)에 기준전압이 인가된다.

[0080] 도 6은 본 명세서의 제1 실시예에 따른 전압 전달부 및 서브 핵셀을 나타낸 회로도이다.

[0081] 본 명세서의 제1 실시예에 따른 전압 전달부(VRD)는 도 5에 도시된 바와 같이 전압전달 트랜지스터(Tref)로 구성될 수 있다. 도 6에서는 전압 전달부(VRD)와 서브 핵셀(SP)과의 연결관계를 도시한다. 그리고, 서브 핵셀(SP)의 구성요소는 도 3에서 설명한 서브 핵셀(SP)의 구성요소와 동일하므로 중복되는 설명은 생략하거나 간략히 설명한다.

[0082] 전압전달 트랜지스터(Tref)의 게이트 전극은 Q1 노드(Q1)에 연결되고, 제1 전극은 기준전압 라인(VREF)에 연결되며, 제2 전극은 전압전달노드(VDN)에 연결된다. 전압전달 트랜지스터(Tref)는 Q1 노드(Q1)에 인가된 로직로우 전압에 의해 턴온되어 전압전달노드(VDN)에 기준전압을 인가한다.

[0083] 도 7a 내지 도 10b는 도 6의 구동 및 파형도를 나타낸 도면이다. 도 7a는 도 6의 초기화 기간에서의 구동을 나타낸 도면이고, 도 7b는 도 7a의 구동을 나타낸 파형도이다. 도 8a는 도 6의 샘플링 기간에서의 구동을 나타낸 도면이고, 도 8b는 도 8a의 구동을 나타낸 파형도이다. 도 9a는 도 6의 훌딩 기간에서의 구동을 나타낸 도면이고, 도 9b는 도 9a의 구동을 나타낸 파형도이다. 도 10a는 도 6의 발광 기간에서의 구동을 나타낸 도면이고, 도 10b는 도 10a의 구동을 나타낸 파형도이다.

[0084] 도 7a 및 도 7b를 참고하면, 제1 초기화 기간(INI)에서 제n-1 스캔라인(SCAN(n-1))을 통해 인가된 로직로우 전압(VL)에 의해 제4 트랜지스터(T4)가 턴온된다. 턴온된 제4 트랜지스터(T4)를 통해 초기화 전압(EVINI)이 구동 트랜지스터(DT)의 게이트 노드(DTG)에 인가되므로, 구동 트랜지스터(DT)의 게이트 노드(DTG)는 초기화 전압(EVINI)으로 초기화된다. 그리고, 제1 초기화 기간(INI)에서 Q1 노드(Q1)에 인가된 로직로우 전압(VL)에 의해 전압전달 트랜지스터(Tref)가 턴온된다. 턴온된 전압전달 트랜지스터(Tref)를 통해 전압전달노드(VDN)에 기준전압이 인가된다.

[0085] 도 8a 및 도 8b를 참고하면, 샘플링 및 제2 초기화 기간(SAM)에서 제n 스캔라인(SCAN(n))을 통해 인가된 로직로우 전압(VL)에 의해 제1 트랜지스터(T1), 제3 트랜지스터(T3), 구동 트랜지스터(DT), 및 제6 트랜지스터(T6)가 턴온된다. 턴온된 제3 트랜지스터(T3)에 의해 구동 트랜지스터(DT)의 게이트 전극과 드레인 전극은 서로 연결되고, 턴온된 제1 트랜지스터(T1)를 통해 데이터 전압(Vdata)이 구동 트랜지스터(DT)의 소스 전극에 인가되어, 구동 트랜지스터(DT)가 턴온된다. 구동 트랜지스터(DT)의 게이트 노드(DTG)의 전압은 상승하여 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱전압(Vth)의 차이가 된다. 그리고, 샘플링 및 제2 초기화 기간(SAM)에서 Q1 노드(Q1)가 부스팅되어 제n 스캔라인(SCAN(n))을 통해 로직로우 전압이 인가되므로, 전압전달 트랜지스터(Tref)가 턴온되어, 전압전달노드(VDN)에 기준전압이 인가된다. 이 경우, 부스팅된 Q1 노드(Q1)의 전압은 로직로우 전압(VL)보다 낮고, 로직로우 전압의 2배인 2VL보다는 높은 전압이다. 따라서, 커페시터(Cst)의 일단에 인가된 기준전압(vref)과 타단에 인가된 데이터 전압과 문턱전압의 차이(Vdata-|Vth|) 만큼의 정전용량으로 충전된다. 그리고, 샘플링 및 제2 초기화 기간(SAM)에서 제6 트랜지스터(T6)가 턴온되어 유기발광소자(OLED)의 애노드를 초기화 전압(EVINI)으로 초기화한다.

[0086] 도 7a 내지 도 8b에서 알 수 있듯이, 전압전달 트랜지스터는 제n-1 스캔라인의 제n-1 서브 핵셀들을 구동하기 위한 제n-1 스캔신호가 로직로우 전압인 제1 초기화 기간 및 제n 스캔라인의 제n 서브 핵셀들을 구동하기 위한 제n 스캔신호가 로직로우 전압인 샘플링 및 제2 초기화 기간에서 턴온되어 서브 핵셀에 기준전압을 인가한다. 이에 따라, 기준전압을 인가받은 서브 핵셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 유기발광소자에 제공하여, 전계발광 표시장치의 화질 문제를 개선할 수 있다.

[0087] 도 9a 및 도 9b를 참고하면, 훌딩 기간(HLD)에서 Q1 노드(Q1)에 로직하이 전압(VH)이 인가되므로 전압전달 트랜지스터(Tref)는 턴오프된다. 그리고, 제n-1 스캔신호(Scan(n-1)) 및 제n 스캔신호(Scan(n))가 로직하이 전압(VH)이므로 서브 핵셀을 구성하는 모든 트랜지스터가 턴오프된다. 훌딩 기간(HLD)은 제n 발광제어신호(Em(n))를 출력하는 발광 구동부의 클럭 신호의 주기 및 제n 스캔신호(Scan(n))를 출력하는 스캔 구동부의 클럭 신호의 주기에 따라 가변된다. 예를 들어, 훌딩 기간(HLD)은 1 수평기간(1H) 이상일 수도 있다. 훌딩 기간(HLD)에서 커페

시터(Cst)는 양단 전압차를 기반으로 데이터 전압을 충전 및 유지하게 된다. 홀딩 기간(HLD)에서 제n 스캔신호(Scan(n))가 로직로우 전압에서 로직하이 전압으로 전환됨에 따라 제3 트랜지스터(T3)의 기생 커페시터에 의해 구동 트랜지스터(DT)의 게이트 노드(DTG)의 전압이 조금 변동될 수 있다.

[0088] 도 10a 및 도 10b를 참고하면, 발광 기간(EMI)에서 제n 발광제어신호라인(EM(n))을 통해 인가된 로직로우 전압(VL)의 제n 발광제어신호(EM(n))에 의해서 제2 트랜지스터(T2), 제7 트랜지스터(T7), 및 제5 트랜지스터(T5)가 턴온된다. 턴온된 제7 트랜지스터를 통해 고전위 전원전압(EVDD)이 커페시터(Cst)의 일단에 인가된다. 턴온된 제2 트랜지스터(T2)를 통해 고전위 전원전압(EVDD)이 구동 트랜지스터(DT)의 제1 전극에 인가되고, 제5 트랜지스터(T5)가 턴온되어, 구동 트랜지스터(DT)가 턴온된다. 턴온된 구동 트랜지스터(DT)는 구동 전류를 유기발광소자의 애노드에 제공하여 유기발광소자를 발광시킨다. 이 경우, 커페시터(Cst)의 일단에 인가된 전압이 변하므로 커플링 현상으로 인해 커페시터(Cst)의 타단의 전압도 변하게 된다. 유기발광소자의 애노드에 제공되는 구동 전류는 도 3에서 언급한 수식과 동일하다.

[0089] 본 명세서의 제1 실시예에 따라, 커페시터(Cst)의 일단에 기준전압을 인가하기 위한 전압전달 트랜지스터(Tref)를 배치시킴으로써, 고전위 전원전압의 전압 강하를 고려한 시변 특성(또는 경시변화)을 보상할 수 있는 구동회로를 구현하여 표시패널의 상하 휙도 불균일이나 크로스토크 등의 화질 문제를 개선할 수 있다.

[0090] 도 11은 본 명세서의 제2 실시예에 따른 전압 전달부 및 게이트 구동부의 구성을 나타낸 회로도이다. 도 11은 도 5의 게이트 구동부(130)의 구성이 변형되어 전압 전달부의 연결관계가 변형된 예이므로, 충복되는 설명에 대해서는 생략하거나 간략히 설명할 수 있다.

[0091] 본 명세서의 제2 실시예에 따른 전압 전달부(VRD)는 한 개의 전압전달 트랜지스터(Tref)로 구성될 수 있다. 전압전달 트랜지스터(Tref)는 게이트 구동부(130)의 구성요소에 연결되어 제어될 수 있다. 도 11에 도시된 게이트 구동부(130)는 전압전달 트랜지스터(Tref)의 연결관계를 설명하기 위한 일부의 구성요소만 도시한다.

[0092] 게이트 구동부(130)는 풀업 트랜지스터(Tu), 제1 부스팅 커페시터(CQ1), 제2 부스팅 커페시터(CQ2), 제1 차단 트랜지스터(Tb1), 및 제2 차단 트랜지스터(Tb2)를 포함한다. 풀업 트랜지스터(Tu)는 스캔 출력 노드(SO)를 통해 제n 스캔라인(SCAN(n))에 게이트 온 전압을 출력한다.

[0093] 풀업 트랜지스터(Tu)의 게이트 전극은 Q1 노드(Q1)에 연결되고, 제1 전극은 클럭 신호를 제공하는 클럭 신호 라인(CLKL)에 연결되며, 제2 전극은 스캔 출력 노드(SO)에 연결된다. 풀업 트랜지스터(Tu)는 Q1 노드(Q1)에 입력되는 로직로우 전압에 의해 턴온되어 클럭 신호를 스캔 출력 노드(SO)에 인가한다.

[0094] 제1 부스팅 커페시터(CQ1)의 일단은 풀업 트랜지스터(Tu)의 게이트 전극에 연결되고, 타단은 풀업 트랜지스터(Tu)의 제2 전극 및 스캔 출력 노드(SO)에 연결된다. 제1 부스팅 커페시터(CQ1)는 풀업 트랜지스터(Tu)가 턴온될 때 풀업 트랜지스터(Tu)의 게이트 전극을 부스팅(boosting)시킴으로써, 풀업 트랜지스터(Tu)가 안정적으로 게이트 턴온 전압을 스캔 출력 노드(SO)에 인가할 수 있도록 한다.

[0095] 제2 부스팅 커페시터(CQ2)의 일단은 제1 부스팅 커페시터(CQ1)의 타단에 연결되고, 타단은 Q2 노드(Q2) 및 전압 전달 트랜지스터(Tref)의 게이트 전극에 연결된다. 본 명세서의 제1 실시예에 따르면, 전압전달 트랜지스터(Tref)의 게이트 전극은 Q1 노드(Q1)에 연결되어, Q1 노드(Q1)는 제1 부스팅 커페시터(CQ1)에 의한 커페시턴스 이외에 기생 커페시턴스를 형성한다. 따라서, 전압전달 트랜지스터(Tref)로 인한 기생 커페시턴스에 의해 Q1 노드(Q1)의 부스팅 효율이 줄어들 수 있다. 본 명세서의 제2 실시예에 따르면, 게이트 구동회로(130)에 제2 부스팅 커페시터(CQ2)를 사용함으로써, 전압전달 트랜지스터(Tref)의 게이트 전극을 Q1 노드(Q1)로부터 분리시켜, Q1 노드(Q1)의 부스팅 효율이 줄어드는 것을 방지할 수 있다.

[0096] 제1 차단 트랜지스터(Tb1)의 게이트 전극은 로직로우 전압이 인가되는 로직로우 전압라인(VLL)에 연결되고, 제1 전극은 Q1 노드(Q1)에 연결되며, 제2 전극은 Q 노드(Q)에 연결된다. 제1 차단 트랜지스터(Tb1)의 게이트 전극에는 로직로우 전압이 인가되므로 항상 턴온 상태를 유지하여 Q1 노드(Q1)의 전압 변화에 의한 영향이 Q 노드(Q)에 연결된 다른 트랜지스터들에 미치는 것을 방지할 수 있다.

[0097] 제2 차단 트랜지스터(Tb2)의 게이트 전극은 로직로우 전압이 인가되는 로직로우 전압라인(VLL)에 연결되고, 제1 전극은 Q2 노드(Q2)에 연결되며, 제2 전극은 Q 노드(Q)에 연결된다. 제2 차단 트랜지스터(Tb2)의 게이트 전극에는 로직로우 전압이 인가되므로 항상 턴온 상태를 유지하여 Q2 노드(Q2)의 전압 변화에 의한 영향이 Q 노드(Q)에 연결된 다른 트랜지스터들에 미치는 것을 방지할 수 있다. 제2 차단 트랜지스터(Tb2)는 제2 부스팅 커페시터(CQ2)와 함께 전압전달 트랜지스터(Tref)의 게이트 전극을 Q1 노드(Q1)로부터 분리시킨다.

- [0098] 전압전달 트랜지스터(Tref)의 게이트 전극은 Q2 노드(Q2)에 연결되고, 제1 전극은 기준전압 라인(VREF)에 연결되며, 제2 전극은 전압전달노드(VDN)에 연결된다. 전압전달 트랜지스터(Tref)는 Q2 노드(Q2)에 인가된 로직로우 전압에 의해 편온되어 전압전달노드(VDN)에 기준전압을 인가한다. 이 경우, Q 노드(Q)에 로직로우 전압이 인가되어 풀업 트랜지스터(Tu)가 편온되는 동안, 전압전달노드(VDN)에 기준전압이 인가된다. 또한, 제n 스캔라인(SCAN(n))에 로직로우 전압이 인가되는 동안, 전압전달노드(VDN)에 기준전압이 인가된다.
- [0099] 도 12는 본 명세서의 제2 실시예에 따른 전압 전달부 및 서브 픽셀을 나타낸 회로도이다.
- [0100] 본 명세서의 제2 실시예에 따른 전압 전달부(VRD)는 도 11에 도시된 바와 같이 전압전달 트랜지스터(Tref)로 구성될 수 있다. 도 12에서는 전압 전달부(VRD)와 서브 픽셀(SP)과의 연결관계를 도시한다. 그리고, 서브 픽셀(SP)의 구성요소는 도 3에서 설명한 서브 픽셀(SP)의 구성요소와 동일하므로 중복되는 설명은 생략하거나 간략히 설명한다.
- [0101] 전압전달 트랜지스터(Tref)의 게이트 전극은 Q2 노드(Q2)에 연결되고, 제1 전극은 기준전압 라인(VREF)에 연결되며, 제2 전극은 전압전달노드(VDN)에 연결된다. 전압전달 트랜지스터(Tref)는 Q2 노드(Q2)에 인가된 로직로우 전압에 의해 편온되어 전압전달노드(VDN)에 기준전압을 인가한다.
- [0102] 도 13은 도 12의 구동을 나타낸 파형도이다.
- [0103] 서브 픽셀(SP)은 제1 초기화 기간(INI), 샘플링 및 제2 초기화 기간(SAM), 홀딩 기간(HLD) 및 발광 기간(EMI)의 순으로 동작한다. 각 단계에 따른 서브 픽셀(SP)의 구동은 본 발명의 제1 실시예에 따른 도 7a, 도 8a, 도 9a, 및 도 10a의 도면과 동일하므로 중복되는 설명은 생략하거나 간략히 설명한다.
- [0104] 제1 초기화 기간(INI)에서 제n-1 스캔신호(Scan(n-1))의 로직로우 전압(VL) 의해 구동 트랜지스터(DT)의 게이트 노드(DTG)가 초기화 전압(EVINI)으로 초기화된다. 그리고, Q 노드(Q)에 인가된 로직로우 전압(VL)에 따라 Q1 노드(Q1) 및 Q2 노드(Q2)에도 로직로우 전압(VL)이 인가된다.
- [0105] 샘플링 및 제2 초기화 기간(SAM)에서 제n 스캔신호(Scan(n))의 로직로우 전압(VL)에 의해 구동 트랜지스터(DT)의 게이트 노드(DTG)에 인가되는 전압은 데이터 전압과 구동 트랜지스터(DT)의 문단전압의 차이까지 상승한다. 그리고, 게이트 구동부(130)에서 제1 부스팅 커패시터(CQ1)에 의해 Q1 노드(Q1)가 부스팅되어 Q1 노드(Q1)의 전압은 로직로우 전압(VL)보다 낮은 2VL까지 하강하게 되어 제n 스캔라인(SCAN(n))에 로직로우 전압(VL)을 온전히 출력할 수 있다. 따라서, 게이트 구동부(130)의 효율이 향상될 수 있다. 그리고, 제2 부스팅 커패시터(CQ2)에 의해 Q2 노드(Q2)도 부스팅되어 Q2 노드(Q2)의 전압은 로직로우 전압(VL)보다 낮은 전압으로 하강하게 된다. 이 경우, Q2 노드(Q2)에는 제2 부스팅 커패시터(CQ2) 이외에 전압전달 트랜지스터(Tref)의 게이트 전극이 연결되므로, 전압전달 트랜지스터(Tref)의 기생 커패시턴스에 의해 Q1 노드(Q1)의 전압이 하강하는 만큼 Q2 노드(Q2)의 전압이 하강하지는 않는다.
- [0106] 홀딩 기간(HLD)에서 제n 스캔신호(Scan(n)), Q 노드(Q), Q1 노드(Q1), 및 Q2 노드(Q2)는 로직하이 전압(VH) 상태로 전환되고, 제n-1 스캔신호(Scan(n-1)) 및 제n 발광제어신호(Em(n))는 로직하이 전압(VH) 상태를 유지한다. 이 경우, 홀딩 기간(HLD)은 1 수평기간(1H) 이상 유지될 수도 있다. 그리고, 홀딩 기간(HLD)에서 커패시터(Cst)는 양단 전압차를 기반으로 데이터 전압을 충전 및 유지하게 된다. 이 경우, 제n 스캔신호(Scan(n))가 로직로우 전압에서 로직하이 전압으로 전환됨에 따라 제3 트랜지스터(T3)의 기생 커패시턴스에 의해 구동 트랜지스터(DT)의 게이트 노드(DTG)의 전압이 조금 변동될 수 있다.
- [0107] 발광 기간(EMI)에서는 제n 발광제어신호(Em(n))가 로직로우 전압(VL)으로 전환되고, 구동 트랜지스터(DT)가 편온된다. 편온된 구동 트랜지스터(DT)는 구동 전류를 유기발광소자(OLED)의 애노드에 제공하여 유기발광소자(OLED)를 발광시킨다. 유기발광소자의 애노드에 제공되는 구동 전류는 도 3에서 언급한 수식과 동일하다.
- [0108] 본 명세서의 제2 실시예에 따라, 커패시터(Cst)의 일단에 기준전압을 인가하기 위한 전압전달 트랜지스터(Tref)를 배치시키고, 게이트 구동부(130)에 제2 부스팅 커패시터(CQ2) 및 제2 차단 트랜지스터(Tb2)를 배치시킴으로써, 고전위 전원전압의 전압 강하를 고려한 시변 특성(또는 경시변화)을 보상할 수 있는 구동회로를 구현하여 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 문제를 개선할 수 있다.
- [0109] 본 명세서의 제1 실시예 및 제2 실시예에 따른 전압 전달부(VRD)는 게이트 구동부(130)와 별도로 도시하여 설명하지만, 이에 한정되지 않고, 전압 전달부(VRD)는 게이트 구동부(130)에 포함될 수 있다. 따라서, 게이트 구동부의 효율을 향상시킬 수 있다.

- [0110] 본 명세서의 실시예에 따른 전계발광 표시장치 및 이의 구동방법은 다음과 같이 설명될 수 있다.
- [0111] 본 명세서의 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 영상을 표시하는 표시영역과 영상을 표시하지 않는 비표시영역을 포함하는 표시패널, 표시영역에 위치하는 서브 팩셀, 비표시영역에 위치하는 게이트 구동부, 및 비표시영역에 위치하고 서브 팩셀에 기준전압을 전달하는 전압전달 트랜지스터를 포함한다. 그리고, 전압전달 트랜지스터의 게이트 전극은 게이트 구동부에 연결된다. 이에 따라, 기준전압을 인가받은 서브 팩셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 유기발광소자에 제공할 수 있으므로, 전계발광 표시장치의 화질 문제를 개선할 수 있다.
- [0112] 표시패널은 서브 팩셀이 복수 개 연결된 스캔라인을 포함하고, 전압전달 트랜지스터는 비표시영역의 스캔라인마다 배치될 수 있다.
- [0113] 서브 팩셀은 구동 트랜지스터를 포함하고, 전압전달 트랜지스터는 구동 트랜지스터의 문턱전압을 샘플링하기 위한 샘플링 기간 동안 기준전압을 제공할 수 있다.
- [0114] 게이트 구동부는 풀업 트랜지스터, 및 풀업 트랜지스터의 게이트 전극 및 풀업 트랜지스터의 드레인 전극에 연결된 제1 부스팅 커패시터를 포함하고, 전압전달 트랜지스터의 게이트 전극은 풀업 트랜지스터의 게이트 전극에 연결될 수 있다. 이 경우, 게이트 구동부는 제1 차단 트랜지스터를 더 포함하고, 제1 차단 트랜지스터의 게이트 전극은 로직로우 전압이 인가되는 배선에 연결되고, 제1 차단 트랜지스터의 제1 전극은 풀업 트랜지스터의 게이트 전극에 연결될 수 있다.
- [0115] 게이트 구동부는 풀업 트랜지스터, 풀업 트랜지스터의 게이트 전극 및 풀업 트랜지스터의 드레인 전극에 연결된 제1 부스팅 커패시터, 및 풀업 트랜지스터의 드레인 전극에 일단이 연결된 제2 부스팅 커패시터를 포함하고, 트랜지스터의 게이트 전극은 제2 부스팅 커패시터의 타단에 연결될 수 있다. 이 경우, 게이트 구동부는 제1 차단 트랜지스터 및 제2 차단 트랜지스터를 더 포함하고, 제1 차단 트랜지스터의 게이트 전극 및 제2 차단 트랜지스터의 게이트 전극은 로직로우 전압이 인가되는 배선에 연결되고, 제1 차단 트랜지스터의 제1 전극은 풀업 트랜지스터의 게이트 전극에 연결되고, 제2 차단 트랜지스터의 제1 전극은 전달전압 트랜지스터의 게이트 전극에 연결되며, 제1 차단 트랜지스터의 제2 전극 및 제2 차단 트랜지스터의 제2 전극은 서로 동일한 노드에 연결될 수 있다.
- [0116] 전압전달 트랜지스터의 제1 전극은 기준전압을 인가하는 배선에 연결되고, 전압전달 트랜지스터의 제2 전극은 서브 팩셀에 포함된 전압전달노드에 연결될 수 있다.
- [0117] 서브 팩셀은 제n 스캔라인에 게이트 전극이 연결되고 제m 데이터라인에 제1 전극이 연결된 제1 트랜지스터, 제n 발광제어신호라인에 게이트 전극이 연결되고 제1 트랜지스터의 제2 전극에 제1 전극이 연결되고 고전위 전원라인에 제2 전극이 연결된 제2 트랜지스터, 게이트 노드에 게이트 전극이 연결되고 제1 트랜지스터의 제2 전극 및 제2 트랜지스터의 제1 전극에 제1 전극이 연결된 구동 트랜지스터, 제n 스캔라인에 게이트 전극이 연결되고 구동 트랜지스터의 제2 전극에 제1 전극이 연결되고 구동 트랜지스터의 게이트 전극에 제2 전극이 연결된 제3 트랜지스터, 제n-1 스캔라인에 게이트 전극이 연결되고 초기화 전압라인에 제1 전극이 연결되고 제3 트랜지스터의 제2 전극 및 구동 트랜지스터의 게이트 전극에 제2 전극이 연결된 제4 트랜지스터, 제n 발광제어신호라인에 게이트 전극이 연결되고 구동 트랜지스터의 제2 전극에 제1 전극이 연결된 제5 트랜지스터, 제n 스캔라인에 게이트 전극이 연결되고 초기화 전압라인에 제1 전극이 연결되고 제5 트랜지스터의 제2 전극에 제2 전극이 연결된 제6 트랜지스터, 제n 발광제어신호라인에 게이트 전극이 연결되고 고전위 전원라인 및 제2 트랜지스터의 제2 전극에 제1 전극이 연결되고 전압전달노드에 제2 전극이 연결된 제7 트랜지스터, 전압전달노드에 일단이 연결되고 제4 트랜지스터의 제2 전극에 타단이 연결된 커패시터, 및 제5 트랜지스터의 제2 전극에 애노드가 연결되고 저전위 전원라인에 캐소드가 연결된 유기발광소자를 포함할 수 있다.
- [0118] 본 명세서의 일 실시예에 따른 전계발광 표시장치의 구동방법에 있어서, 전계발광 표시장치는 표시영역 및 비표시영역을 갖는 표시패널, 표시영역에 위치하고 유기발광소자를 포함하는 서브 팩셀, 및 비표시영역에 위치한 전압 전달부를 포함한다. 그리고, 전계발광 표시장치의 구동방법은 서브 팩셀에 포함된 구동 트랜지스터의 게이트 전극을 초기화하기 위한 제1 초기화 단계, 및 구동 트랜지스터의 문턱전압을 보상하고, 유기발광소자의 애노드를 초기화하기 위한 샘플링 및 제2 초기화 단계를 포함한다. 제1 초기화 단계 및 샘플링 및 제2 초기화 단계에서 전압 전달부는 서브 팩셀에 기준전압을 제공한다. 이에 따라, 제1 초기화 단계 및 샘플링 및 제2 초기화 단계에서 기준전압을 인가받은 서브 팩셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 유기발광소자에 제공하여, 전계발광 표시장치의 화질 문제를 개선할 수 있다.

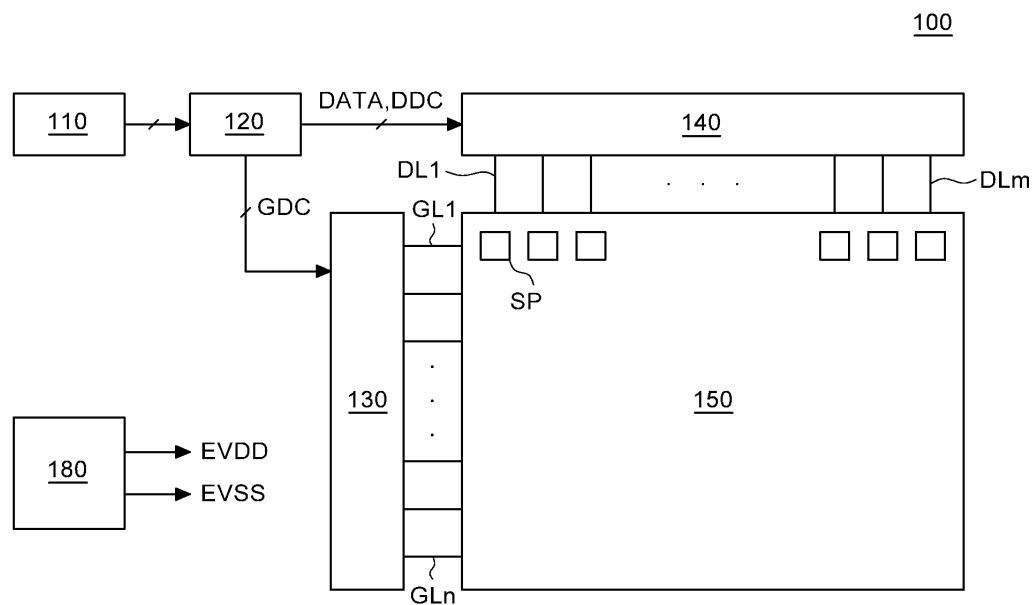
- [0119] 전압 전달부는 제n-1 스캔라인에 연결된 서브 픽셀을 구동하기 위한 제n-1 스캔신호가 로직로우 전압인 제1 초기화 단계 및 제n 스캔라인에 연결된 서브 픽셀을 구동하기 위한 제n 스캔신호가 로직로우 전압인 샘플링 및 제2 초기화 단계에서 턴온될 수 있다.
- [0120] 샘플링 및 제2 초기화 단계에서 구동 트랜지스터의 게이트 전극과 드레인 전극이 서로 연결되는 다이오드 커넥션 상태가 되어 구동 트랜지스터의 게이트 전극에 구동 트랜지스터의 문턱전압이 샘플링될 수 있다.
- [0121] 샘플링 및 제2 초기화 단계에서 전압 전달부를 통해 인가된 기준전압은 서브 픽셀에 포함된 커패시터의 일단에 충전될 수 있다.
- [0122] 제1 초기화 단계에서 전압 전달부에 로직로우 전압이 인가되고, 샘플링 및 제2 초기화 단계에서 전압 전달부에 로직로우 전압보다 낮은 전압이 인가될 수 있다.
- [0123] 구동 트랜지스터의 게이트 전극에 데이터 라인을 통해 인가된 데이터 전압이 유지되는 홀딩 단계, 및 데이터 전압을 기반으로 생성된 구동 전류를 통해 유기발광소자를 발광시키는 발광 단계를 더 포함할 수 있다.
- [0124] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

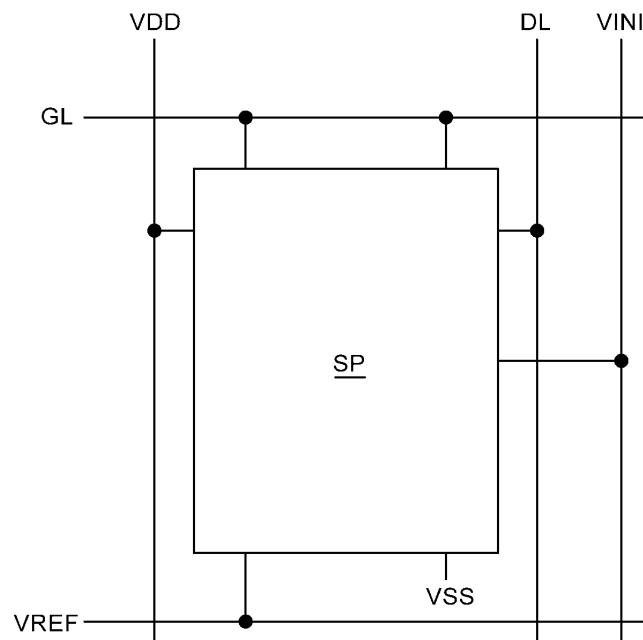
- [0125] GL1~GLn : 게이트 라인들
 DL1~DLm : 데이터 라인들
 100 : 표시장치
 110 : 영상 처리부
 120 : 타이밍 제어부
 130 : 게이트 구동부
 140 : 데이터 구동부
 150 : 표시패널
 180 : 전원 공급부

도면

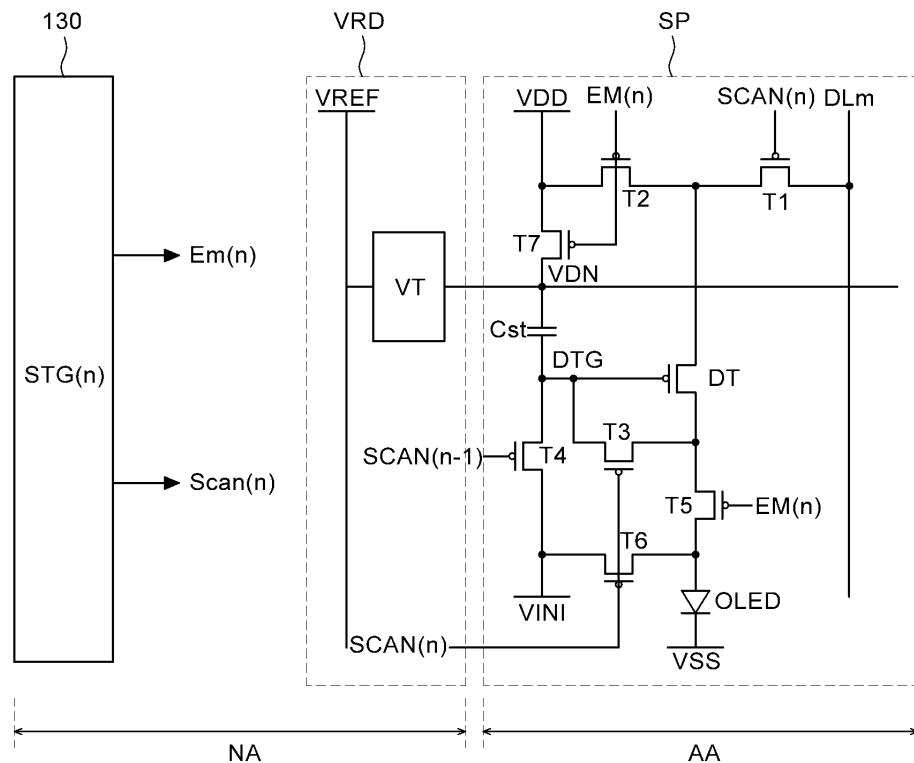
도면1



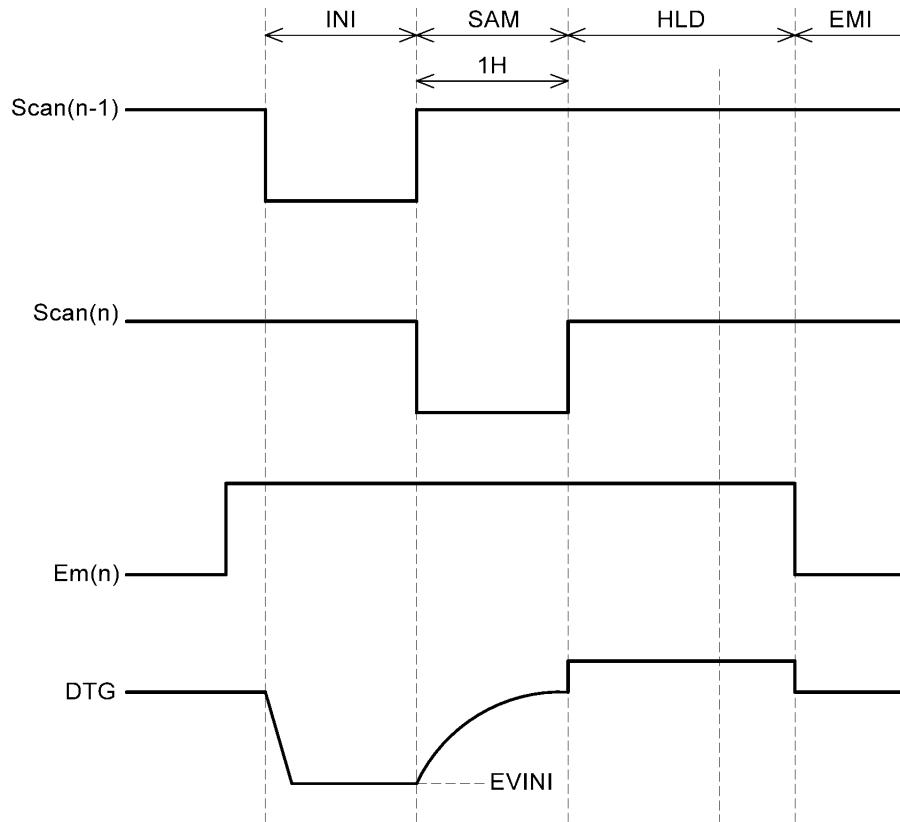
도면2



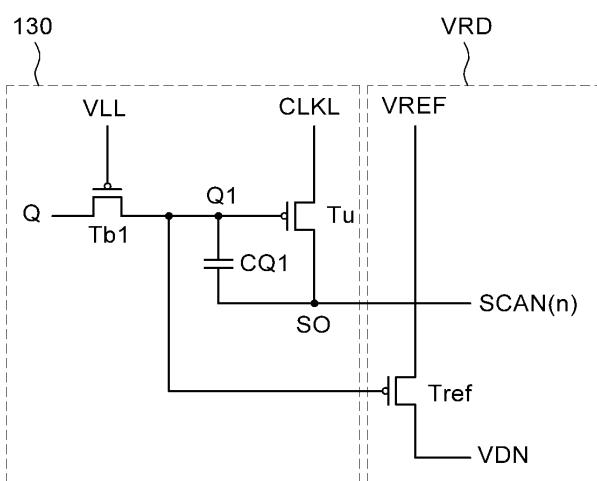
도면3



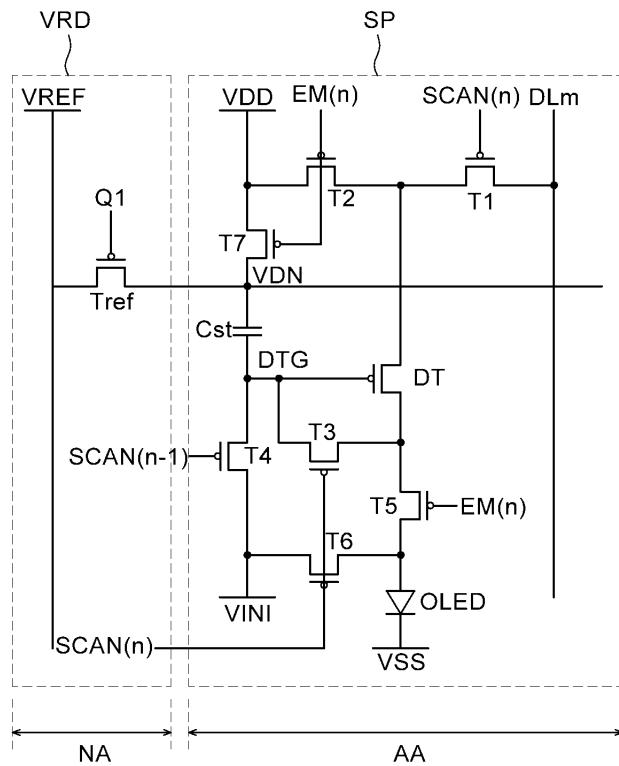
도면4



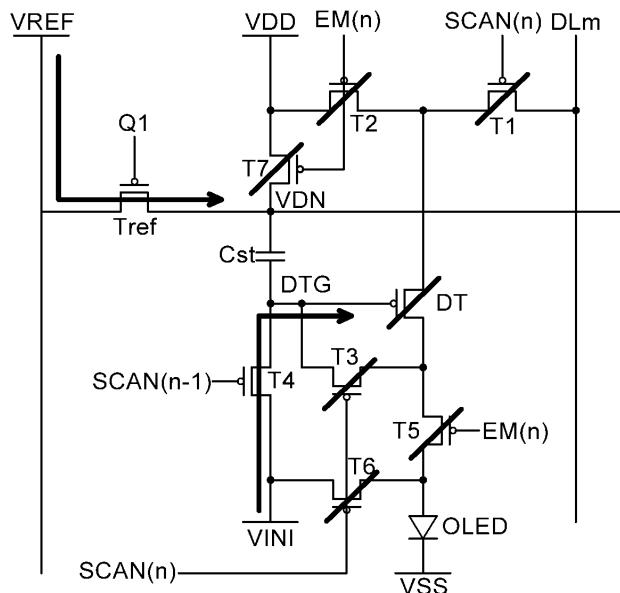
도면5



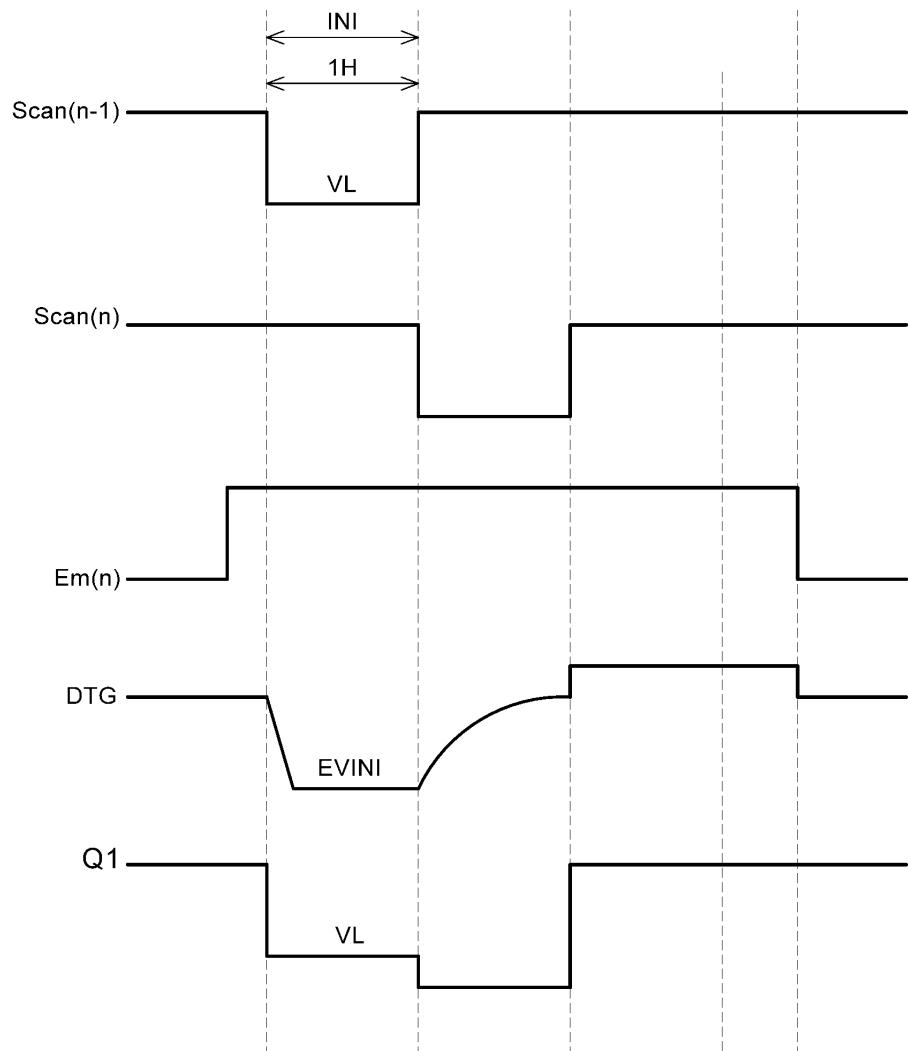
도면6



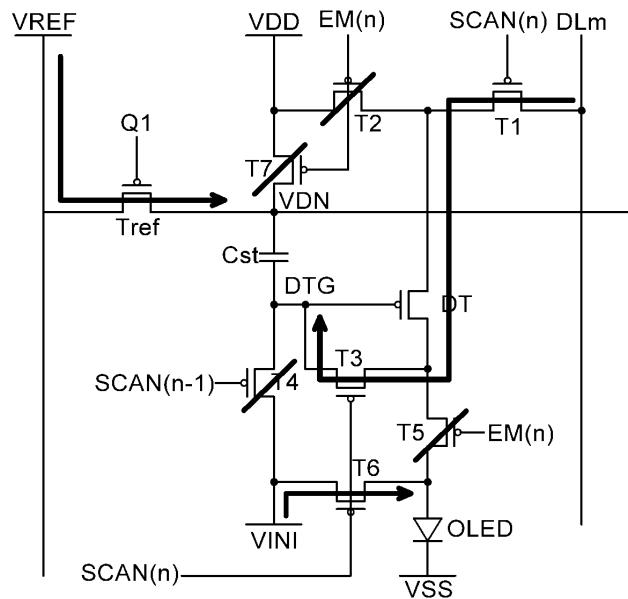
도면7a



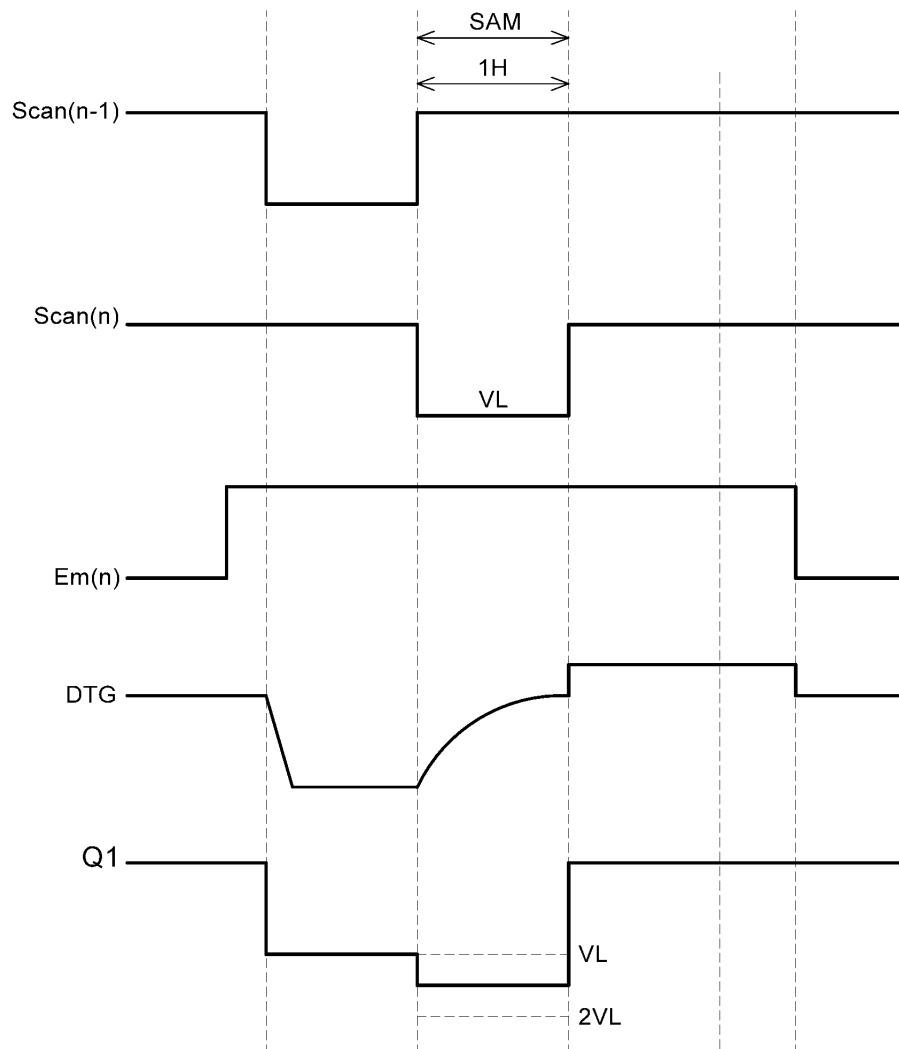
도면7b



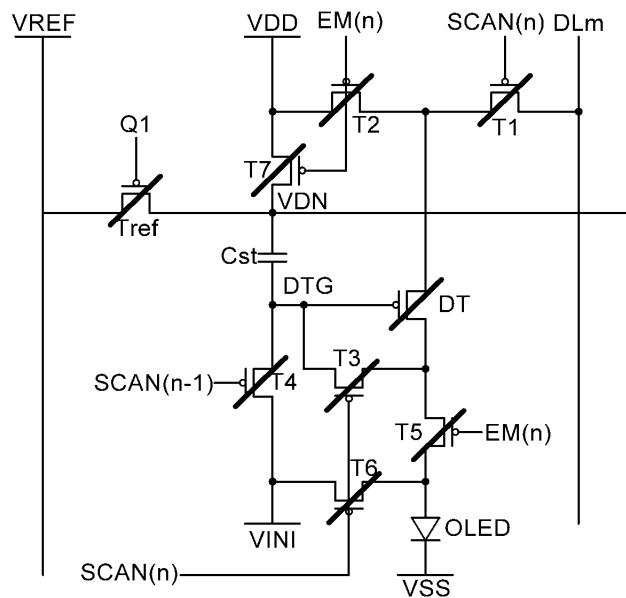
도면8a



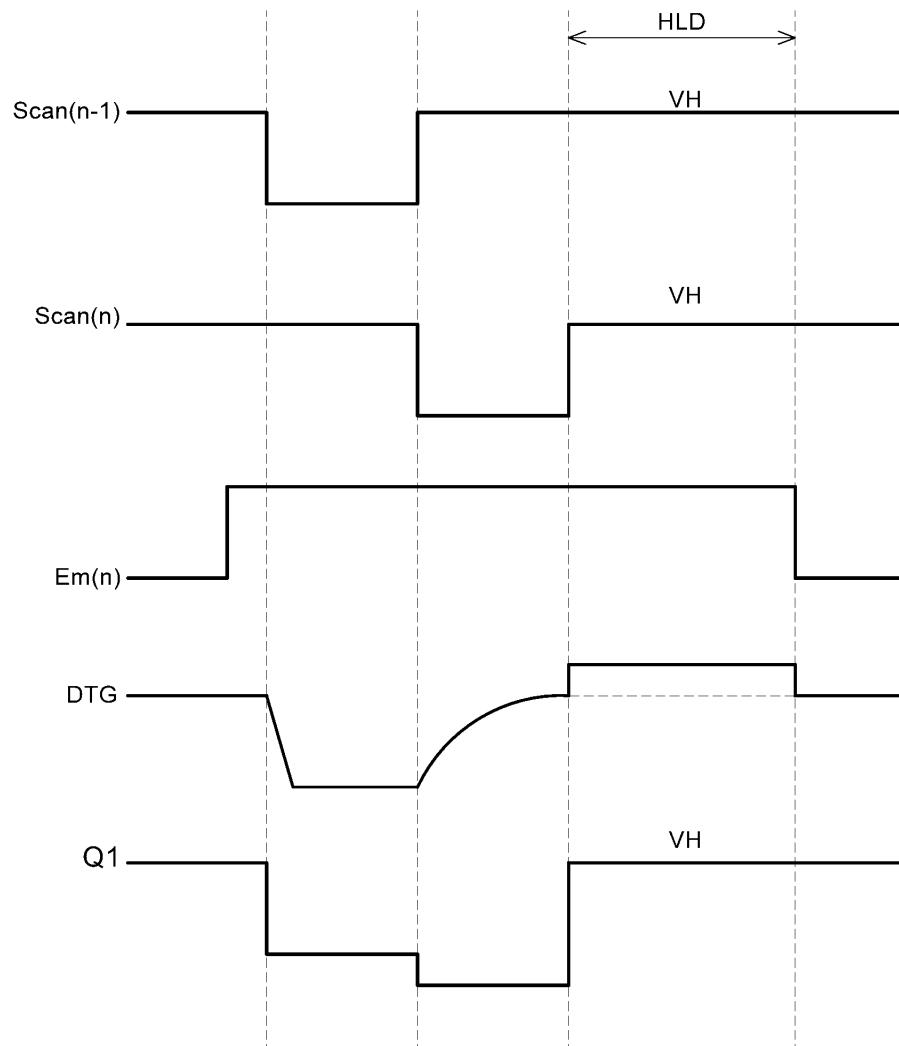
도면8b



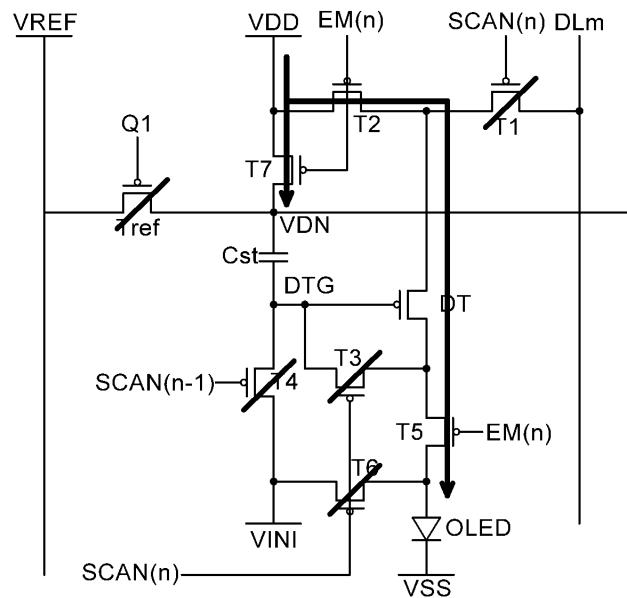
도면9a



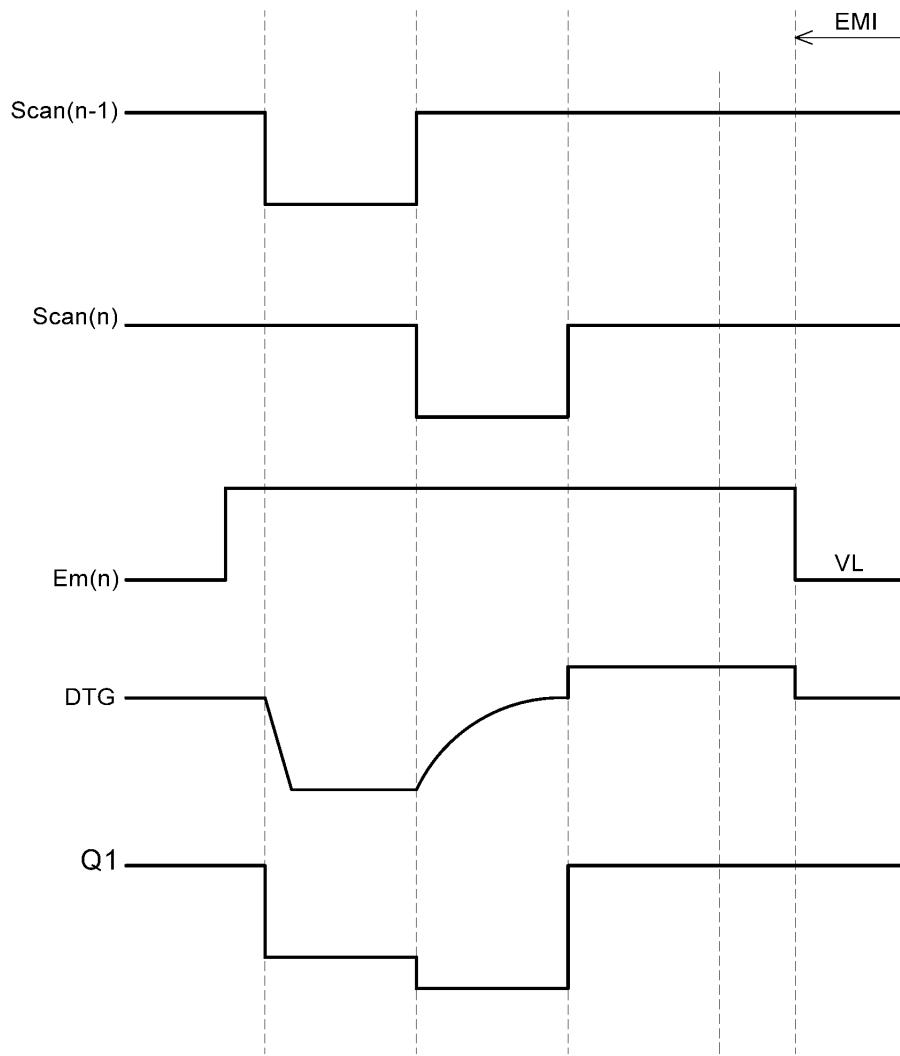
도면9b



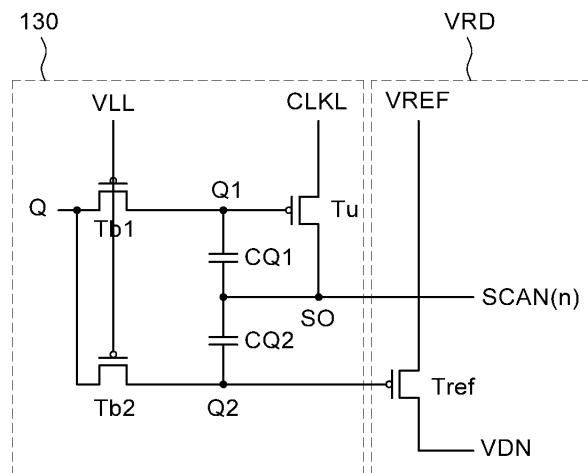
도면10a



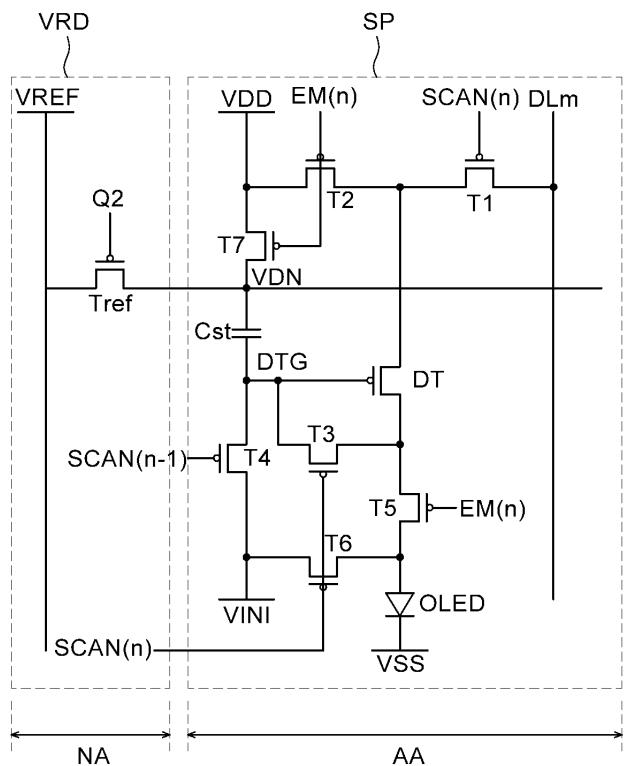
도면10b



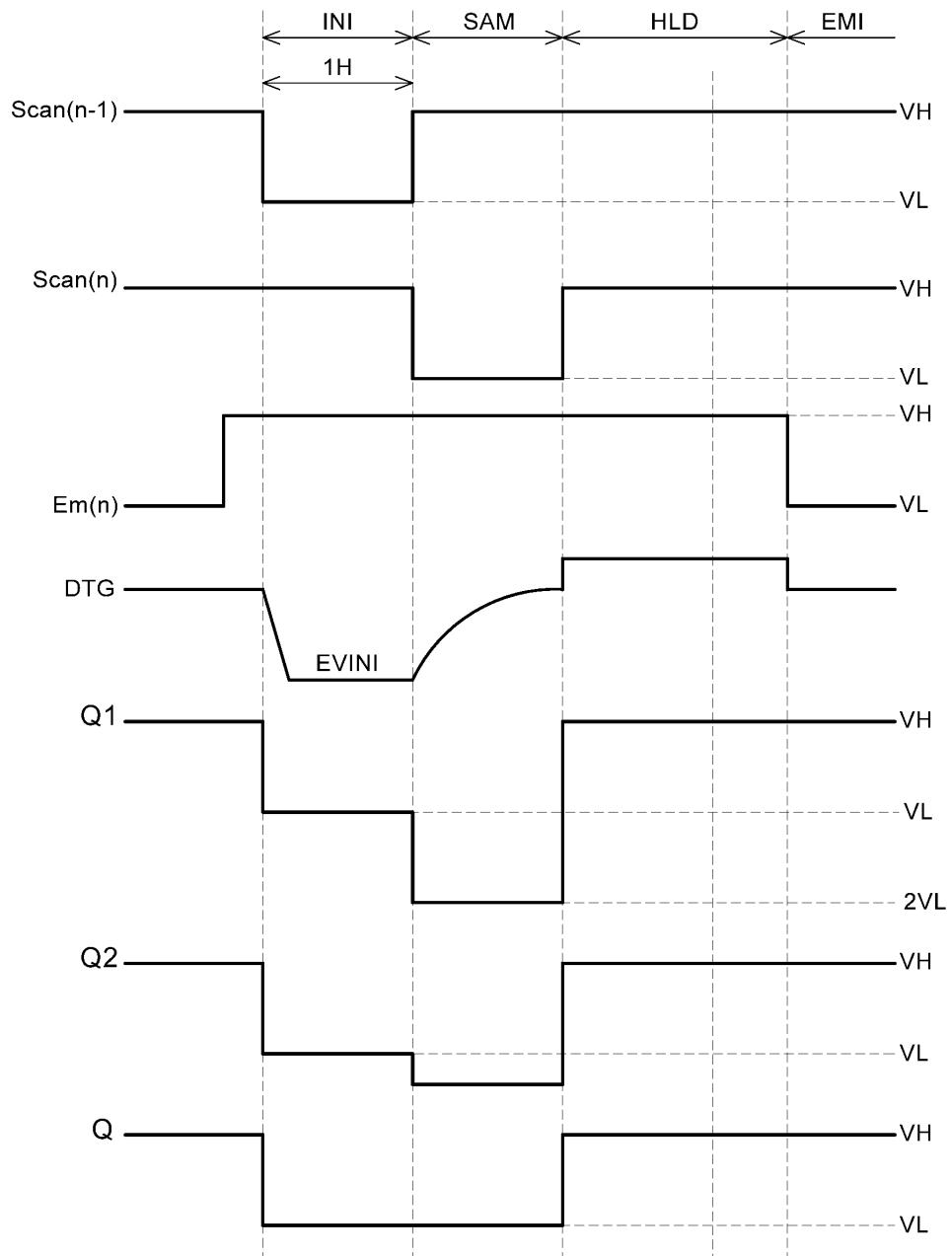
도면11



도면12



도면13



专利名称(译)	电致发光显示器及其驱动方法		
公开(公告)号	KR1020190043767A	公开(公告)日	2019-04-29
申请号	KR1020170135720	申请日	2017-10-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	공충식 한홍규 신미희 김재성		
发明人	공충식 한홍규 신미희 김재성		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2300/0842 G09G2320/0209 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

根据本说明书的实施例的电致发光显示装置包括：显示面板，其包括：用于显示图像的显示区域和用于不显示图像的非显示区域；位于显示区域中的子像素；位于非显示区域中的栅极驱动器；以及位于非显示区域中并且将参考电压传输至子像素的电压传输晶体管。电压传输晶体管的栅极连接到栅极驱动器。因此，接收参考电压的子像素可以向不受高电势电源电压影响的有机发光二极管提供驱动电流，从而改善了电致发光显示器的图像质量问题。

