



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0023288
(43) 공개일자 2019년03월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/043 (2013.01)
(21) 출원번호 10-2017-0108779
(22) 출원일자 2017년08월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이지수
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인료알

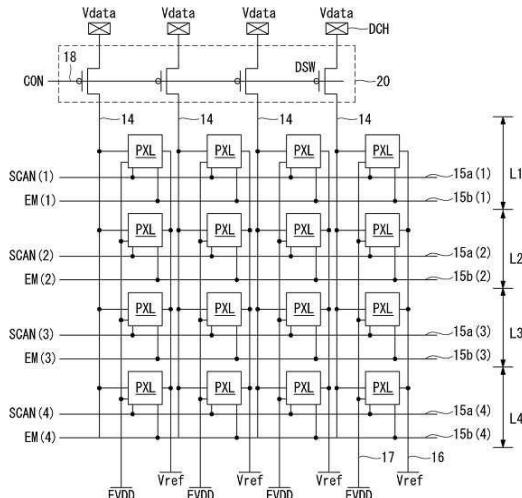
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 전계 발광 표시장치와 그 구동방법

(57) 요 약

본 발명에 따른 전계 발광 표시장치는 데이터라인들과 상기 데이터 라인들에 연결된 다수의 화소들이 구비되고, 상기 화소들 각각은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와, 상기 구동 전류에 따라 발광하는 OLED와, 상기 구동 TFT의 전기적 특성 변화를 보상하기 위해 상기 게이트-소스 간 전압을 샘플링하는 내부 보상회로를 갖는 표시패널; 소스 출력 채널들을 통해 상기 데이터라인들에 데이터전압을 공급하는 소스 드이버; 및 상기 데이터라인들을 통해 상기 화소들에 공통으로 연결되며, 상기 내부 보상회로의 동작에 연동되는 데이터 스위치 제어신호에 따라, 상기 데이터전압이 상기 데이터라인들로 공급되는 타이밍을 제어하는 데이터 스위치회로를 포함한다.

대 표 도 - 도2



(52) CPC특허분류
G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

데이터라인들과 상기 데이터 라인들에 연결된 다수의 화소들이 구비되고, 상기 화소들 각각은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와, 상기 구동 전류에 따라 발광하는 OLED와, 상기 구동 TFT의 전기적 특성 변화를 보상하기 위해 상기 게이트-소스 간 전압을 샘플링하는 내부 보상회로를 갖는 표시패널;

소스 출력 채널들을 통해 상기 데이터라인들에 데이터전압을 공급하는 소스 드라이버; 및

상기 데이터라인들을 통해 상기 화소들에 공통으로 연결되며, 상기 내부 보상회로의 동작에 연동되는 데이터스 위치 제어신호에 따라, 상기 데이터전압이 상기 데이터라인들로 공급되는 타이밍을 제어하는 데이터 스위치회로를 포함하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 스위치회로는 상기 출력 채널들과 상기 데이터라인들 사이에 접속된 다수의 데이터 스위치들을 포함하는 전계 벌광 표시장치.

청구항 3

제 2 항에 있어서,

상기 데이터 스위치들 각각의 게이트전극은 데이터스위치 제어라인에 접속되며,

상기 데이터스위치 제어라인에는 상기 데이터스위치 제어신호가 공급되는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 데이터스위치 제어신호를 생성하여 상기 데이터스위치 제어라인에 공급하는 타이밍 콘트롤러를 더 포함하는 전계 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 타이밍 콘트롤러는 게이트 타이밍 제어신호에 연동시켜 상기 데이터스위치 제어신호를 생성하는 전계 발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 데이터 스위치회로는 상기 표시패널의 화면 바깥의 비 표시영역에 구비되는 전계 발광 표시장치.

청구항 7

제 5 항에 있어서,

상기 표시패널에는 상기 화소들에 연결된 다수의 제1 게이트라인들과 제2 게이트라인들이 더 구비되고,

상기 게이트 타이밍 제어신호를 기초로 스캔 신호를 생성하여 상기 제1 게이트라인들에 순차적으로 공급하고, 상기 게이트 타이밍 제어신호를 기초로 에미션 신호를 생성하여 상기 제2 게이트라인들에 순차적으로 공급하는 게이트 드라이버를 더 포함하는 전계 발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 내부 보상회로는,

상기 구동 TFT의 게이트전극에 연결된 노드 N2와 상기 구동 TFT의 드레인전극에 연결된 N3 사이에 접속되며, 상기 스캔 신호에 따라 스위칭되는 제1 스위치 TFT;

상기 데이터라인들 어느 하나와 노드 N1 사이에 접속되며, 상기 스캔 신호에 따라 스위칭되는 제2 스위치 TFT;

상기 노드 N과 상기 노드 N2 사이에 접속된 스토리지 커패시터;

기준 전압이 인가되는 제1 전원 라인과 상기 노드 N1 사이에 접속되며, 상기 에미션 신호에 따라 스위칭되는 제3 스위치 TFT;

상기 노드 N3과 상기 OLED의 애노드전극에 연결된 노드 N4 사이에 접속되며, 상기 에미션 신호에 따라 스위칭되는 제4 스위치 TFT; 및

상기 제1 전원 라인과 상기 노드 N4 사이에 접속되며, 상기 스캔 신호에 따라 스위칭되는 제5 스위치 TFT를 포함하는 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 데이터스위치 제어신호는,

상기 게이트-소스 간 전압을 샘플링하기 위한 샘플링 구간에서 온 레벨을 가지며,

상기 샘플링 구간에 앞서 상기 노드 N1, 상기 N2, 상기 노드 N3, 및 상기 N4를 상기 기준 전압으로 초기화하기 위한 초기화 구간에서 오프 레벨을 가지며,

상기 샘플링 구간에 이어 상기 구동 전류에 따라 상기 OLED를 발광시키기 위한 발광 구간에서 오프 레벨 및 온 레벨을 갖는 전계 발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 초기화 구간에서, 상기 스캔 신호와 상기 에미션 신호는 온 레벨을 가지며,

상기 샘플링 구간에서, 상기 스캔 신호는 온 레벨을 가지고, 상기 에미션 신호는 오프 레벨을 가지며,

상기 발광 구간에서, 상기 스캔 신호는 오프 레벨을 가지고, 상기 에미션 신호는 온 레벨을 갖는 전계 발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 초기화 구간에서,

상기 데이터 스위치들은 오프 레벨의 상기 데이터스위치 제어신호에 따라 턴 오프 되고,

상기 제1 스위치 TFT, 상기 제2 스위치 TFT, 및 상기 제5 스위치 TFT는 온 레벨의 상기 스캔 신호에 따라 턴 온 되고,

상기 제3 스위치 TFT 및 상기 제4 스위치 TFT는 온 레벨의 상기 에미션 신호에 따라 턴 온 되는 전계 발광 표시장치.

청구항 12

제 10 항에 있어서,

상기 샘플링 구간에서,

상기 데이터 스위치들은 온 레벨의 상기 데이터스위치 제어신호에 따라 턴 온 되고,

상기 제1 스위치 TFT, 상기 제2 스위치 TFT, 및 상기 제5 스위치 TFT는 온 레벨의 상기 스캔 신호에 따라 턴 온 되고,

상기 제3 스위치 TFT 및 상기 제4 스위치 TFT는 오프 레벨의 상기 에미션 신호에 따라 턴 오프 되는 전계 발광 표시장치.

청구항 13

제 10 항에 있어서,

상기 발광 구간에서,

상기 데이터 스위치들은 오프 레벨의 상기 데이터스위치 제어신호에 따라 턴 오프 된 후에, 온 레벨의 상기 데이터스위치 제어신호에 따라 턴 온 되고,

상기 제1 스위치 TFT, 상기 제2 스위치 TFT, 및 상기 제5 스위치 TFT는 오프 레벨의 상기 스캔 신호에 따라 턴 오프 되고,

상기 제3 스위치 TFT 및 상기 제4 스위치 TFT는 온 레벨의 상기 에미션 신호에 따라 턴 온 되는 전계 발광 표시장치.

청구항 14

데이터라인들과 상기 데이터 라인들에 연결된 다수의 화소들이 구비되고, 상기 화소들 각각은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와, 상기 구동 전류에 따라 발광하는 OLED와, 상기 구동 TFT의 전기적 특성 변화를 보상하기 위해 상기 게이트-소스 간 전압을 샘플링하는 내부 보상회로를 갖는 전계 발광 표시장치의 구동방법에 있어서,

소스 출력 채널들을 통해 상기 데이터라인들에 데이터전압을 공급하는 단계; 및

상기 출력 채널들과 상기 데이터라인들 사이에 접속되고 상기 데이터라인들을 통해 상기 화소들에 연결된 데이터 스위치들에, 상기 내부 보상회로의 동작에 연동되는 데이터스위치 제어신호를 인가하여, 상기 데이터전압이 상기 데이터라인들로 공급되는 타이밍을 제어하는 단계를 포함하는 전계 발광 표시장치의 구동방법.

청구항 15

제 14 항에 있어서,

상기 데이터스위치 제어신호는,

상기 내부 보상회로의 동작을 기반으로 상기 게이트-소스 간 전압을 샘플링하기 위한 샘플링 구간에서 온 레벨을 가지며,

상기 샘플링 구간에 앞서 상기 내부 보상회로의 특정 노드들을 미리 설정된 기준 전압으로 초기화하기 위한 초기화 구간에서 오프 레벨을 가지며,

상기 샘플링 구간에 이어 상기 구동 전류에 따라 상기 OLED를 발광시키기 위한 발광 구간에서 오프 레벨 및 온 레벨을 갖는 전계 발광 표시장치의 구동방법.

청구항 16

제 15 항에 있어서,

상기 데이터전압이 상기 데이터라인들로 공급되는 타이밍을 제어하는 단계는,

상기 초기화 구간에서 상기 오프 레벨의 상기 데이터스위치 제어신호에 따라 상기 데이터 스위치들을 턴 오프 시켜 상기 출력 채널들과 상기 데이터라인들 사이의 전기적 연결을 차단하는 단계; 상기 샘플링 구간에서 상기 온 레벨의 상기 데이터스위치 제어신호에 따라 상기 데이터 스위치들을 턴 온 시켜 상기 출력 채널들과 상기 데이터라인들 사이를 도통시키는 단계; 및

상기 발광 구간에서 상기 오프 레벨의 상기 데이터스위치 제어신호에 따라 상기 데이터 스위치들을 턴 오프 시켜 상기 출력 채널들과 상기 데이터라인들 사이의 전기적 연결을 차단한 후에, 상기 온 레벨의 상기 데이터스위치 제어신호에 따라 상기 데이터 스위치들을 턴 온 시켜 상기 출력 채널들과 상기 데이터라인들 사이를 도통시키는 단계를 포함하는 전계 발광 표시장의 구동방법.

청구항 17

제 15 항에 있어서,

상기 데이터스위치 제어신호는 상기 내부 보상회로의 동작을 위한 게이트 타이밍 제어신호에 연동되는 전계 발광 표시장치의 구동방법.

청구항 18

제 17 항에 있어서,

상기 게이트 타이밍 제어신호에 따라 상기 데이터전압에 대응되는 게이트신호를 생성하여 상기 화소들의 내부 보상회로에 공급하는 단계를 더 포함하는 전계 발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 전계 발광 표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 화소들의 휙도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동TFT(Thin Film Transistor)와, 구동 TFT의 게이트-소트 간 전압을 프로그래밍하기 위한 하나 이상의 스위치 TFT를 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다.

[0004] 화소들 간 휙도, 색감 차이 없는 균일한 화질을 구현하기 위해서는 구동 TFT의 문턱 전압(V_{th})과 같은 화소의 구동 특성이 모든 화소들에서 동일해야 한다. 하지만, 공정 편차 등을 포함한 다양한 원인에 의해 화소들 간 구동 특성에 편차가 있을 수 있다. 또한, 표시장치의 구동 시간에 따라 화소들 간의 열화 진행 속도가 다르게 되어 화소들 간에 구동 특성에서 차이가 커질 수 있다. 따라서, 화소들 간에 구동 특성 편차에 따라 OLED로 흐르는 구동 전류량이 변화되고, 이에 의해 화질의 불균일이 초래되게 된다.

[0005] 이에 표시장치의 화질과 수명을 개선하기 위하여 화소들 간의 구동 특성 차이를 보상하기 위한 내부 보상 회로가 유기 발광 표시장치에 적용되고 있다. 내부 보상 회로는 화소 내에 적용될 수 있다. 각 화소는 보상 회로를 이용하여 특성 변화에 대응되는 구동 TFT의 게이트-소스 간 전압을 샘플링하고 샘플링된 전압으로 구동 전류를 생성한다.

발명의 내용

해결하려는 과제

[0006] 화소는 구동 TFT의 게이트-소스 간 전압을 샘플링하기에 앞서 특정 노드들, 예컨대 구동 TFT의 게이트전극과 OLED의 애노드전극 등을 기준전압으로 초기화한다. 화소는 추가 스위치 TFT를 이용하여 초기화 기간 동안 상기 특정 노드들로 인가되는 데이터전압을 차단하여, 초기화 동작의 신뢰성을 높인다.

[0007] 종래의 유기발광 표시장치는 추가 스위치 TFT로 인해 화소 회로의 구성이 복잡해지고 그 사이즈가 커진다. 또한, 유기발광 표시장치는 추가 스위치 TFT로 인해 게이트 드라이버의 구성이 복잡해지고 그 사이즈가 커지기 때문에 협 베젤(Narrow Bezel) 기술을 구현하기 어렵다. 이러한 이유로 별도의 스위치 TFT가 추가된 화소 회로

는 대면적, 고정세(高精細) 패널에 적용하기 어렵다.

[0008] 또한, 각 화소 내의 보상 회로에서 OLED의 구동 전류가 화소의 고전위 전원 전압에 영향을 받을 수 있다. 이 경우, 전압 강하(IR drop)에 의해 패널 내에서 화소의 위치에 따라 고전위 전원 전압의 크기가 다르면 OLED의 구동 전류가 화소의 요구 전류와 차이가 발생하여 균일한 화질을 얻을 수 없다. 고전위 전원 전압의 면내 편차를 줄이기 위해 고전위 전원 전압을 공급하는 전원 라인의 선 폭을 증가시키는 방안을 고려할 수 있으나, 고해상도 패널의 경우 화소 면적이 작으므로 선 폭 증가를 위한 보강 설계에 어려움이 존재한다.

[0009] 현재 유기발광 표시장치는 고해상도, 대면적, 고휘도의 추세로 기술 개발이 진행되고 있으므로 상기 전원 라인의 선 폭이 감소될 수 밖에 없고 상기 전원 라인이 길어지기 때문에 전원 라인에 대한 저저항 설계가 어려워 고전위 전원 전압 강하를 개선하는데 한계가 있다.

[0010] 따라서, 본 발명의 목적은 내부 보상회로 기반의 화소 회로 및 게이트 드라이버의 사이즈를 줄이되, 초기화 동작의 안정성을 높일 수 있도록 한 전계 발광 표시장치 및 그 구동방법을 제공하는 데 있다.

[0011] 또한, 본 발명의 다른 목적은 고전위 전원 전압 강하와 무관하게 화소의 구동 특성 변화를 보상할 수 있는 전계 발광 표시장치 및 그 구동방법을 제공하는 데 있다.

과제의 해결 수단

[0012] 상기 목적을 해결하기 위하여, 본 발명의 실시예에 따른 전계 발광 표시장치는 데이터라인들과 상기 데이터 라인들에 연결된 다수의 화소들이 구비되고, 상기 화소들 각각은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와, 상기 구동 전류에 따라 발광하는 OLED와, 상기 구동 TFT의 전기적 특성 변화를 보상하기 위해 상기 게이트-소스 간 전압을 샘플링하는 내부 보상회로를 갖는 표시패널; 소스 출력 채널들을 통해 상기 데이터 라인들에 데이터전압을 공급하는 소스 드라이버; 및 상기 데이터라인들을 통해 상기 화소들에 공통으로 연결되며, 상기 내부 보상회로의 동작에 연동되는 데이터스위치 제어신호에 따라, 상기 데이터전압이 상기 데이터라인들로 공급되는 타이밍을 제어하는 데이터 스위치회로를 포함한다.

[0013] 또한, 본 발명의 실시예에 따른 전계 발광 표시장치의 구동방법은 데이터라인들과 상기 데이터 라인들에 연결된 다수의 화소들이 구비되고, 상기 화소들 각각은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와, 상기 구동 전류에 따라 발광하는 OLED와, 상기 구동 TFT의 전기적 특성 변화를 보상하기 위해 상기 게이트-소스 간 전압을 샘플링하는 내부 보상회로를 갖는 전계 발광 표시장치의 구동방법으로서, 소스 출력 채널들을 통해 상기 데이터라인들에 데이터전압을 공급하는 단계; 및 상기 출력 채널들과 상기 데이터라인들 사이에 접속되고 상기 데이터라인들을 통해 상기 화소들에 연결된 데이터 스위치들에, 상기 내부 보상회로의 동작에 연동되는 데이터스위치 제어신호를 인가하여, 상기 데이터전압이 상기 데이터라인들로 공급되는 타이밍을 제어하는 단계를 포함한다.

발명의 효과

[0014] 본 발명은 표시패널의 일측 비 표시영역에 마련된 데이터 스위치회로를 이용하여 각 화소의 내부 보상회로 구성 을 간소화하고 각 화소에 연결되는 게이트라인들의 개수를 줄임으로써, 게이트 드라이버의 사이즈를 최소화하여 협 베젤을 구현할 수 있다. 또한, 본 발명은 데이터 스위치회로를 이용하여 초기화 동작의 안정성을 확보할 수 있다.

[0015] 나아가, 본 발명에 따르면, 구동 전류가 고전위 전원 전압에 영향을 받지 않으므로 고전위 전원 전압 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 얻을 수 있다.

[0016] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다.

도 2는 본 발명의 실시예에 따른 유기발광 표시장치의 화소 어레이를 보여주는 도면이다.

도 3은 도 2의 게이트라인들을 구동하기 위한 게이트 드라이버를 보여주는 도면이다.

도 4는 도 2의 화소 어레이에 포함된 일 화소의 등가 회로도이다.

도 5는 도 3의 일 화소의 동작에 필요한 구동 신호신호들을 보여주는 과정도이다.

도 6a는 도 5의 초기화 기간에 대응되는 화소의 등가 회로도이다.

도 6b는 도 5의 샘플링 기간에 대응되는 화소의 등가 회로도이다.

도 6c는 도 5의 훌딩 기간에 대응되는 화소의 등가 회로도이다.

도 6d는 도 5의 발광 기간에 대응되는 화소의 등가 회로도이다.

도 7은 도 3의 일 화소에 포함된 노드들의 전위 변화를 보여주는 과정도이다.

발명을 실시하기 위한 구체적인 내용

[0018]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0019]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐리 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0020]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0021]

위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0022]

비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이를 구성요소들은 이를 용어에 의해 제한되지 않는다. 이를 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0023]

명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0024]

본 발명에서 표시패널의 기판 상에 형성되는 화소 회로와 게이트 드라이버는 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다.

[0025]

이하에서, 게이트 온 전압(Gate On Voltage)은 TFT가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이다. 게이트 오프 전압(Gate Off Voltage)은 TFT가 턴-오프(turn-off)될 수 있는 전압이다. PMOS에서 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)이다. NMOS에서 게이트 온 전압은 VGH이고, 게이트 오프 전압은 VGL이다.

[0026]

이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성 요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 본 발명의 실시예에서는 유기발광 표시장치를 중심으로 기술한다.

- [0027] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다. 도 2는 본 발명의 실시예에 따른 유기발광 표시장치의 화소 어레이를 보여주는 도면이다. 그리고, 도 3은 도 2의 게이트라인들을 구동하기 위한 게이트 드라이버를 보여주는 도면이다.
- [0028] 도 1 내지 도 3을 참조하면, 본 발명에 따른 유기발광 표시장치는 화소들(PXL)이 구비된 표시패널(10), 화소들(PXL)에 연결된 데이터라인들(14)을 구동하는 소스 드라이버(12), 화소들(PXL)에 연결된 게이트라인들(15)을 구동하는 게이트 드라이버(13), 소스 드라이버(12)와 데이터라인들(14) 사이에 연결된 데이터 스위치회로(20), 및 드라이버들(12, 13)과 데이터 스위치회로(20)의 동작 타이밍을 제어하는 타이밍 콘트롤러(11)를 포함한다.
- [0029] 표시패널(10)에는 다수의 데이터 라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 화소들(PXL)이 매트릭스 형태로 배치되어 화소 어레이를 구성한다.
- [0030] 표시패널(10)의 화소 어레이(Pixel array)에는 도 2와 같이 다수의 수평 화소 라인들(L1~L4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15)에 공통으로 연결된 다수의 화소들(PXL)이 배치된다. 여기서, 수평 화소 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 화소들(PXL)에 의해 구현되는 1라인 분량의 화소 블록을 의미한다. 화소 어레이에는 기준 전압(Vref)을 화소들(PXL)에 공급하는 제1 전원라인(16)과, 고전위 전원 전압(EVDD)을 화소들(PXL)에 공급하는 제2 전원라인(17)이 포함될 수 있다. 또한, 화소들(PXL)은 저전위 전원 전압(EVSS)에 연결될 수 있다.
- [0031] 게이트 라인들(15)은 스캔 신호(SCAN(1)~SCAN(4))가 공급되는 제1 게이트 라인들(15a(1)~15a(4)), 및 에미션 신호(EM(1)~EM(4))가 공급되는 제2 게이트 라인들(15b(1)~15b(4))을 포함한다.
- [0032] 화소들(PXL) 각각은 다양한 컬러 구현을 위하여 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나일 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소는 하나의 단위 화소를 구성할 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소의 발광 비율에 따라 단위 화소에서 다양한 컬러가 구현될 수 있다. 화소들(PXL) 각각에는 하나의 데이터 라인(14), 하나의 제1 게이트 라인(15a), 하나의 제2 게이트 라인(15b), 제1 전원 라인(16), 제2 전원 라인(17) 등이 연결될 수 있다.
- [0033] 화소들(PXL) 각각은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와, 구동 전류에 따라 발광하는 OLED와, 구동 TFT의 전기적 특성 변화를 보상하기 위해 게이트-소스 간 전압을 샘플링하는 내부 보상회로를 포함할 수 있다.
- [0034] 소스 드라이버(12)는 매 프레임마다 타이밍 콘트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 타이밍 콘트롤러(11)의 제어 하에 데이터 전압(Vdata)으로 변환한 후, 그 데이터 전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 드라이버(12)는 디지털 아날로그 컨버터(Digital to Analog Converter)를 포함하여 입력 영상 데이터(DATA)를 데이터 전압(Vdata)으로 변환하고, 그 데이터 전압(Vdata)을 출력 채널들(DCH)을 통해 출력한다.
- [0035] 소스 드라이버(12)는 기준 전압(Vref)을 제1 전원 라인(16)에 공급하고, 고전위 전원 전압(EVDD)을 제1 전원 라인(17)에 공급할 수 있다. 이를 위해, 소스 드라이버(12)는 전원 생성부(미도시)에 연결될 수 있다. 전원 생성부는 저전위 전원 전압(EVSS)을 더 생성할 수 있다. 전원 생성부는 소스 드라이버(12) 외부에 장착된 후에 도전성 필름 등을 통해 소스 드라이버에 전기적으로 연결될 수 있다. 초기화 구간 동안에 불필요한 발광이 방지되도록, 기준 전압(Vref)은 저전위 전원 전압(EVSS)과 같거나 또는 그보다 낮은 전압으로 설정될 수 있다.
- [0036] 데이터 스위치회로(20)는 표시패널(10)의 일측에 위치한다. 데이터 스위치회로(20)는 표시패널(10)의 화면 바깥의 제1 비 표시영역(NA1)에 위치한다. 데이터 스위치회로(20)는 데이터라인들(14)을 통해 화소들(PXL)에 공통으로 연결되며, 타이밍 콘트롤러(11)로부터 입력되는 데이터스위치 제어신호(CON)에 따라 데이터전압(Vdata)이 데이터라인들(14)로 공급되는 타이밍을 제어한다.
- [0037] 데이터 스위치회로(20)는 도 2와 같이 소스 드라이버(12)의 출력 채널들(DCH)과 데이터라인들(14) 사이에 접속된 다수의 데이터 스위치들(DSW)을 포함한다. 데이터 스위치들(DSW) 각각의 게이트전극은 데이터스위치 제어라인(18)에 접속된다. 데이터스위치 제어라인(18)에는 데이터스위치 제어신호(CON)가 공급된다.
- [0038] 데이터스위치 제어신호(CON)는 화소들(PXL) 각각에 포함된 내부 보상회로의 동작에 연동된다. 따라서, 데이터 스위치회로(20)의 동작은 화소들(PXL)의 내부 보상 동작과 연동된다.
- [0039] 화소들(PXL)의 내부 보상 동작은 내부 보상회로의 특정 노드들을 기준 전압(Vref)으로 초기화하기 위한 초기화 구간, 데이터전압(Vdata)에 대응하여 구동 TFT의 게이트-소스 간 전압을 샘플링하기 위한 샘플링 구간, 샘플링

된 전압에 따른 구동 전류로 OLED를 발광시키는 발광 구간 등을 포함할 수 있다(도 5 참조).

[0040] 데이터 스위치회로(20)는 초기화 구간에서 오프 레벨의 데이터스위치 제어신호(CON)에 따라 데이터 스위치들(DSW)을 턴 오프 시켜 출력 채널들(DCH)과 데이터라인들(14) 사이의 전기적 연결을 차단한다. 데이터 스위치회로(20)는 초기화 구간에서 내부 보상회로의 특정 노드들로 인가되는 데이터전압을 차단하여, 초기화 동작의 신뢰성을 높인다.

[0041] 데이터 스위치회로(20)는 샘플링 구간에서 온 레벨의 데이터스위치 제어신호(CON)에 따라 데이터 스위치들(DSW)을 턴 온 시켜 출력 채널들(DCH)과 데이터라인들(14) 사이를 도통시킴으로써, 샘플링 동작을 가능케 한다.

[0042] 데이터 스위치회로(20)는 발광 구간에서 오프 레벨의 데이터스위치 제어신호(CON)에 따라 데이터 스위치들(DSW)을 턴 오프 시킨 후에, 온 레벨의 데이터스위치 제어신호(CON)에 따라 데이터 스위치들(DSW)을 턴 온 시킬 수 있다. 이렇게 하는 이유는, 특정 수평 화소 라인의 발광 구간은 그 특정 수평 화소 라인에 이웃한 후속 수평 화소 라인의 초기화 구간 및 샘플링 구간과 중첩되기 때문이다.

[0043] 데이터 스위치회로(20)는 소스 드라이버(12)의 출력 채널 개수를 줄이기 위한 멀티플렉서 회로와 구분된다. 멀티플렉서 회로는 소스 드라이버(12)에서 하나의 출력 채널을 통해 출력되는 데이터전압(Vdata)을 복수개의 데이터라인들(14)로 분배함으로써, 데이터라인(14)의 개수 대비 소스 드라이버(12)의 출력 채널(DCH) 개수를 줄인다. 이러한 멀티플렉서 회로의 동작은 화소들(PXL)의 내부 보상 동작과 전혀 상관없이 이뤄지는 점에서 데이터 스위치회로(20)와 차이가 난다. 다시 말해, 멀티플렉서 회로는 초기화 구간에서 모든 스위치들을 턴 오프 시키고, 샘플링 구간에서 모든 스위치들을 턴 온 시키는 동작을 수행하지 않는다. 멀티플렉서 회로는 데이터 스위치회로(20)와 비교하여 그 작용 및 효과가 전혀 다르기 때문에, 본 발명의 유기발광 표시장치에 적용될 수도 있고, 그렇지 않을 수도 있다. 즉, 멀티플렉서 회로는 표시장치의 해상도, 용도에 따라 얼마든지 생략 가능하다.

[0044] 게이트 드라이버(13)는 데이터전압에 대응되는 게이트신호를 생성한다. 구체적으로, 게이트 드라이버(13)는 스캔 신호(SCAN(1)~SCAN(4))를 생성하는 제1 게이트 구동부와, 에미션 신호(EM(1)~EM(4))를 생성하는 제2 게이트 구동부를 포함한다. 제1 게이트 구동부는 타이밍 콘트롤러(11)의 제어 하에 스캔 신호(SCAN(1)~SCAN(4))를 제1 게이트 라인들(15a(1)~15a(4))에 라인 순차 방식으로 공급하고, 제2 게이트 구동부는 타이밍 콘트롤러(11)의 제어 하에 에미션 신호(EM(1)~EM(4))를 제2 게이트 라인들(15b(1)~15b(4))에 라인 순차 방식으로 공급한다.

[0045] 제1 게이트 구동부는 도 3과 같은 제1 GIP 소자(SGIP)를 제1 게이트 라인들(15a(1)~15a(4))의 개수만큼 구비한 제1 쉬프트 레지스터로 구현된다. 제1 GIP 소자(SGIP)는 제1 게이트 라인들(15a(1)~15a(4))에 개별적으로 연결된다. 동일한 제1 게이트 라인에 연결되는 제1 GIP 소자(SGIP)는 도 3과 같이 표시패널(10)의 양측에 쌍으로 배치되어, 동일 위상의 스캔 신호(SCAN)를 해당 제1 게이트 라인에 공급할 수 있다. 제1 GIP 소자(SGIP)는 복수의 스캔 클럭신호들(G2CLK1~G2CLK5), 스캔 스타트신호(G2VST), 스캔 리셋신호(G2QRST), 및 스캔 전원신호들(G2VGH,G2VGL)을 기반으로 스캔 신호(SCAN)를 생성한다. 이러한 더블 뱅크(Double Bank) 방식으로 제1 GIP 소자(SGIP)를 설계하면, 로드 편차에 따른 스캔 신호의 왜곡을 최소화할 수 있다.

[0046] 제2 게이트 구동부는 도 3과 같은 제2 GIP 소자(EGIP)를 제2 게이트 라인들(15b(1)~15b(4))의 개수만큼 구비한 제2 쉬프트 레지스터로 구현된다. 제2 GIP 소자(EGIP)는 제2 게이트 라인들(15b(1)~15b(4))에 개별적으로 연결된다. 동일한 제2 게이트 라인에 연결되는 제2 GIP 소자(EGIP)는 도 3과 같이 표시패널(10)의 양측에 쌍으로 배치되어, 동일 위상의 에미션 신호(EM)를 해당 제2 게이트 라인에 공급할 수 있다. 제2 GIP 소자(EGIP)는 복수의 에미션 클럭신호들(ECLK1,ECLK2), 에미션 스타트신호(EVST), 에미션 리셋신호(EMQRST), 및 에미션 전원신호들(VEH, VEL)을 기반으로 에미션 신호(EM)를 생성한다. 이러한 더블 뱅크(Double Bank) 방식으로 제2 GIP 소자(EGIP)를 설계하면, 로드 편차에 따른 에미션 신호의 왜곡을 최소화할 수 있다.

[0047] 제1 게이트 구동부는 도 3과 같이 표시패널(10)의 화면 영역(AA) 바깥의 제2 비 표시영역(NA2)에 형성될 수 있고, 제2 게이트 구동부는 도 3과 같이 표시패널(10)의 화면 영역(AA) 바깥의 제3 비 표시영역(NA3)에 형성될 수 있다. 제2 비 표시영역(NA2)과 제3 비 표시영역(NA3)은 표시패널(10)의 베젤(Bezel) 영역에 해당한다.

[0048] 디자인적인 측면에서 표시패널(10)의 베젤 영역(NA2,NA3)은 좁을수록 좋다. 협 베젤(Narrow Bezel)을 구현하기 위해서는 게이트 드라이버(13)의 사이즈를 줄여야 한다. 게이트 드라이버(13)의 사이즈는 각 화소(PXL)에 연결되는 게이트라인들의 개수에 비례하므로, 협 베젤을 구현하기 위해서는 화소 구성을 간소화하여 게이트라인들의 개수를 줄이는 것이 중요하다.

[0049] 만약, 데이터 스위치회로(20)가 없다면, 각 화소(PXL)는 초기화 기간 동안 내부 보상회로의 특정 노드들로 인가

되는 데이터전압을 차단하기 위한 추가 스위치 TFT가 더 필요하게 된다. 그리고, 게이트 드라이버(13)는 각 화소(PXL)의 추가 스위치 TFT에 연결된 추가 게이트라인들을 구동하기 위해 추가 GIP 소자들을 더 필요로 하게 된다. 이 경우, 추가 GIP 소자들로 인해 협 베젤은 구현되기 어렵다.

[0050] 본 발명은 표시패널(10)의 제1 비 표시영역(NA1)에 마련된 데이터 스위치회로(20)를 이용하여 각 화소(PXL)의 내부 보상회로 구성을 간소화하고 각 화소(PXL)에 연결되는 게이트라인들(15a, 15b)의 개수를 2개로 줄임으로써, 게이트 드라이버(13)의 사이즈를 최소화하여 협 베젤을 구현할 수 있다. 데이터 스위치회로(20)에 포함되는 N(수평 해상도) 개의 데이터 스위치들(DSW)은 각 화소(PXL) 내에 포함된 N(수평 해상도)*M(수직 해상도) 개의 상기 추가 스위치 TFT를 대체할 수 있다. 다시 말해, 본 발명은 훨씬 적은 개수의 데이터 스위치들(DSW)을 화면 바깥에 형성하여 화소(PXL) 사이즈를 효과적으로 줄일 수 있고, 타이밍 콘트롤러(11)에서 출력되는 데이터스위치 제어신호(CON)로 데이터 스위치들(DSW)을 동작시킴으로써 초기화 동작의 안정성을 높이면서도 게이트 드라이버(13)의 사이즈를 줄일 수 있다. 본 발명의 화소들(PXL)은 사이즈가 작기 때문에 대면적, 고정세(高精細) 패널에 용이하게 적용될 수 있다.

[0051] 타이밍 콘트롤러(11)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 휴대폰 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0052] 타이밍 콘트롤러(11)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수*i(i는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동회로(12, 13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0053] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)와, 데이터 스위치회로(20)의 동작 타이밍을 제어하기 위한 데이터스위치 제어신호(CON)를 생성한다.

[0054] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 소스 드라이버(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭은 데이터 샘플링 타이밍을 쉬프트시키는 클럭이다. 타이밍 콘트롤러(11)와 소스 드라이버(12) 사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.

[0055] 게이트 타이밍 제어신호(GDC)는 화소들(PXL) 각각에 포함된 내부 보상회로의 동작을 위한 게이트신호, 즉 스캔 신호와 에미션 신호의 출력 타이밍을 제어한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호(GDC)와 연동시켜 데이터스위치 제어신호(CON)를 생성함으로써, 데이터스위치 제어신호(CON)가 화소들(PXL) 각각에 포함된 내부 보상회로의 동작에 연동되도록 할 수 있다.

[0056] 게이트 타이밍 제어신호(GDC)는 도 3의 스캔 클럭신호들(G2CLK1~G2CLK5), 스캔 스타트신호(G2VST), 스캔 리셋신호(G2QRST), 스캔 전원신호들(G2VGH, G2VGL), 에미션 클럭신호들(ECLK1, ECLK2), 에미션 스타트신호(EVST), 에미션 리셋신호(EMQRST), 및 에미션 전원신호들(VEH, VEL)을 포함한다. 스캔 스타트신호(G2VST)와 에미션 스타트신호(EVST)는 매 프레임 기간마다 스캔 신호(SCAN)와 에미션 신호(EM)가 출력되는 스타트 타이밍을 제어한다. 스캔 클럭신호들(G2CLK1~G2CLK5)은 제1 게이트 구동부에 입력되어 제1 쉬프트 레지스터의 스캔 신호 쉬프트 타이밍(shift timing)을 제어한다. 에미션 클럭신호들(ECLK1, ECLK2)은 제2 게이트 구동부에 입력되어 제2 쉬프트 레지스터의 에미션 신호 쉬프트 타이밍을 제어한다. 스캔 리셋신호(G2QRST)는 제1 쉬프트 레지스터의 스캔 신호 리셋 타이밍(reset timing)을 제어한다. 에미션 리셋신호(EMQRST)는 제2 쉬프트 레지스터의 에미션 신호 리셋 타이밍(reset timing)을 제어한다. 스캔 전원신호들(G2VGH, G2VGL)과 에미션 전원신호들(VEH, VEL)은 각각 제1 게이트 구동부와 제2 게이트 구동부에 인가되는 전원 신호로서, 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)을 포함할 수 있다. 스캔 전원신호들(G2VGH, G2VGL)과 에미션 전원신호들(VEH, VEL)은 별도의 전원 생성부에서 게이트 드라이버(13)에 공급될 수도 있다.

[0057] 도 4는 도 2의 화소 어레이에 포함된 일 화소의 등가 회로도이다. 도 4에서, SCAN은 도 2의 스캔 신호들

(SCAN(1)~SCAN(4)) 중 어느 하나이고, EM은 도 2의 에미션 신호들(EM(1)~EM(4)) 중 어느 하나일 수 있다. 그리고, 도 4에서, 15a는 도 2의 제1 게이트 라인들(15a(1)~15a(4)) 중 어느 하나이고, 15b는 도 2의 제2 게이트 라인들(15b(1)~15b(4)) 중 어느 하나일 수 있다.

[0058] 도 4를 참조하면, 본 발명의 화소(PXL)는 OLED, 구동 TFT(DT), 및 내부 보상회로(ICS)를 포함한다. 화소(PXL)에 포함되는 TFT들(ST1~ST5, DT)은 PMOS형 LTPS(Low Temperature Poly Silicon) TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 스위치 TFT들(ST1~ST5) 중에서 적어도 하나의 TFT는 오프시 누설 전류 특성이 좋은 NMOS형 또는 PMOS형 옥사이드(Oxide) TFT로 구현되고, 나머지 TFT들은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.

[0059] OLED는 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)에 따라 조절되는 전류량으로 발광한다. OLED의 애노드 전극은 노드 N4에 연결되고, OLED의 캐소드 전극은 저전위 전원전압(EVSS)에 연결된다. 애노드 전극과 캐소드 전극 사이에는 유기 화합물층이 구비된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다.

[0060] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 노드 N2에 접속된 게이트 전극, 제2 전원라인(17)에 접속된 소스 전극, 및 노드 N3에 접속된 드레인 전극을 포함한다. 따라서, 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 노드 N2와 제2 전원라인(17) 사이에 걸리는 전압이다.

[0061] 내부 보상회로(ICS)는 구동 TFT(DT)의 문턱전압 변화를 보상하기 위해 게이트-소스 간 전압(Vgs)을 샘플링하기 위한 것으로, 제1 내지 제5 스위치 TFT들(ST1~ST5)과 스토리지 커패시터(Cst)를 포함한다.

[0062] 제1 스위치 TFT(ST1)는 노드 N2와 상기 노드 N3 사이에 접속되며, 스캔 신호(SCAN)에 따라 스위칭된다. 제1 스위치 TFT(ST1)의 게이트 전극은 스캔 신호(SCAN)가 인가되는 제1 게이트라인(15a)에 접속되고, 제1 스위치 TFT(ST1)의 소스 전극은 노드 N3에 접속되며, 제1 스위치 TFT(ST1)의 드레인 전극은 노드 N2에 접속된다. 제1 스위치 TFT(ST1)는 일측 전극이 구동 TFT(DT)의 게이트 전극에 연결되므로, 오프 커런트 특성(Off Current Characteristic)이 좋아야 한다. 따라서, 제1 스위치 TFT(ST1)는 오프시 누설 전류를 억제할 수 있도록 듀얼 게이트 구조로 설계될 수 있다. 듀얼 게이트 구조에서 제1 게이트전극과 제2 게이트전극은 동일한 전위를 가지고도록 서로 연결되며, 채널 길이가 단일 게이트 구조에 비해 길어진다. 채널 길이가 길어지면 저항이 증가되므로 오프시에 누설 전류가 감소되어, 동작의 안정성이 확보될 수 있다. 다만, 제1 스위치 TFT(ST1)는 단일 게이트 구조로 구현될 수도 있으며, 이 경우 제1 스위치 TFT(ST1)는 옥사이드 TFT로 구현될 수 있다.

[0063] 제2 스위치 TFT(T2)는 데이터라인(14)과 노드 N1 사이에 접속되며, 스캔 신호(SCAN)에 따라 스위칭된다. 제2 스위치 TFT(ST2)의 게이트 전극은 스캔 신호(SCAN)가 인가되는 제1 게이트라인(15a)에 접속되고, 제2 스위치 TFT(ST2)의 소스 전극은 데이터라인(14)에 접속되며, 제2 스위치 TFT(ST2)의 드레인 전극은 노드 N1에 접속된다.

[0064] 제3 스위치 TFT(T3)는 노드 N1과 기준 전압이 인가되는 제1 전원 라인(16) 사이에 접속되며, 에미션 신호(EM)에 따라 스위칭된다. 제3 스위치 TFT(T3)의 게이트 전극은 에미션 신호(EM)가 인가되는 제2 게이트라인(15b)에 접속되고, 제3 스위치 TFT(T3)의 소스 전극은 노드 N1에 접속되며, 제3 스위치 TFT(T3)의 드레인 전극은 제1 전원 라인(16)에 접속된다.

[0065] 제4 스위치 TFT(T4)는 노드 N3과 노드 N4 사이에 접속되며, 에미션 신호(EM)에 따라 스위칭된다. 제4 스위치 TFT(T4)의 게이트 전극은 에미션 신호(EM)가 인가되는 제2 게이트라인(15b)에 접속되고, 제4 스위치 TFT(T4)의 소스 전극은 노드 N3에 접속되며, 제4 스위치 TFT(T4)의 드레인 전극은 노드 N4에 접속된다.

[0066] 제5 스위치 TFT(T5)는 노드 N4와 제1 전원라인(16) 사이에 접속되며, 스캔 신호(SCAN)에 따라 스위칭된다. 제5 스위치 TFT(T5)의 게이트 전극은 스캔 신호(SCAN)가 인가되는 제1 게이트라인(15a)에 접속되고, 제5 스위치 TFT(ST5)의 소스 전극은 노드 N4에 접속되며, 제5 스위치 TFT(ST5)의 드레인 전극은 제1 전원라인(16)에 접속된다.

[0067] 스토리지 커패시터(Cst)는 노드 N1과 노드 N2 사이에 접속된다.

[0068] 도 5는 도 3의 일 화소의 동작에 필요한 구동 신호신호들을 보여주는 과정도이다. 도 6a는 도 5의 초기화 기간에 대응되는 화소의 등가 회로도이다. 도 6b는 도 5의 샘플링 기간에 대응되는 화소의 등가 회로도이다. 도 6c

는 도 5의 홀딩 기간에 대응되는 화소의 등가 회로도이다. 도 6d는 도 5의 발광 기간에 대응되는 화소의 등가 회로도이다. 그리고, 도 7은 도 3의 일 화소에 포함된 노드들의 전위 변화를 보여주는 과정도이다.

[0069] 도 5를 참조하면, 각 화소(PXL)는, 초기화 구간(①), 샘플링 구간(②), 홀딩 구간(③), 발광 구간(④) 순서로 구동될 수 있다.

[0070] 초기화 구간(①)에서, 스캔 신호(SCAN)와 에미션 신호(EM)는 온 레벨(ON)로 입력되고, 데이터스위치 제어신호(CON)는 오프 레벨(OFF)로 입력된다.

[0071] 샘플링 구간(②)에서, 스캔 신호(SCAN)와 데이터스위치 제어신호(CON)는 온 레벨(ON)로 입력되고, 에미션 신호(EM)는 오프 레벨(OFF)로 입력된다.

[0072] 홀딩 구간(③)에서, 데이터스위치 제어신호(CON)는 온 레벨(ON)로 입력되고, 스캔 신호(SCAN)와 에미션 신호(EM)는 오프 레벨(OFF)로 입력된다.

[0073] 발광 구간(④)에서, 에미션 신호(EM)는 온 레벨(ON)로 입력되고, 데이터스위치 제어신호(CON)는 오프 레벨(OFF) 및 온 레벨(ON)로 입력되고, 스캔 신호(SCAN)는 오프 레벨(OFF)로 입력된다.

[0074] 초기화 구간(①), 샘플링 구간(②), 및 홀딩 구간(③)은 1 수평 기간(1H) 내에 이뤄질 수 있다. 1 수평 기간(1H)은 도 2의 1 수평 화소 라인의 초기화, 샘플링 및 홀딩 동작에 할당된 시간이다.

[0075] 제1 수평 화소 라인(예컨대, 도 2의 L1)의 발광 동작에 할당된 발광 구간(④)은, 제2 수평 화소 라인(예컨대, 도 2의 L2)의 초기화 구간(①), 샘플링 구간(②), 및 홀딩 구간(③)과 중첩될 수 있다. 따라서, 데이터스위치 제어신호(CON)는 발광 구간(④) 내에서, 제2 수평 화소 라인(예컨대, 도 2의 L2)의 초기화 구간(①) 동안 오프 레벨(OFF)로 입력되고, 제2 수평 화소 라인(예컨대, 도 2의 L2)의 샘플링 구간(②), 및 홀딩 구간(③) 동안 온 레벨(ON)로 입력되게 된다. 다시 말해, 데이터스위치 제어신호(CON)는 각 수평 화소 라인들(L1~L4)에 대한 초기화 동작 시마다 오프 레벨(OFF)로 입력된다.

[0076] 도 6a을 참조하면, 초기화 구간(①)에서, 온 레벨(ON)의 스캔 신호(SCAN)에 응답하여 제1, 제2 및 제5 스위치 TFT들(T1, T2, T5)이 턴 온 되고, 온 레벨(ON)의 에미션 신호(EM)에 응답하여 제3 및 제4 스위치 TFT들(T3, T4)이 턴 온 된다. 그 결과, 노드들(N1, N2, N3, N4)이 모두 기준 전압(Vref)으로 초기화 된다. 이러한 초기화 동작은 샘플링 동작에 앞서 노드들(N1, N2, N3, N4)의 전위를 일정한 값으로 리셋 시킴으로써, 내부 보상의 신뢰성을 높이기 위한 것이다.

[0077] 초기화 구간(①)에서, 소스 드라이버의 출력 채널(DCH)과 데이터 라인(14)에 접속된 데이터 스위치(DSW)는 오프 레벨(OFF)의 데이터스위치 제어신호(CON)에 의해 턴 오프 된다. 그 결과, 출력 채널(DCH)과 데이터 라인(14) 사이의 전류 흐름(즉, 데이터전압(Vdata)의 공급)이 차단되고, 노드 N1이 기준 전압(Vref)으로 초기화될 수 있게 된다. 다시 말해, 데이터 스위치(DSW)의 턴 오프에 의해, 초기화 구간(①)에서 출력 채널(DCH)과 제1 전원 라인(16) 간의 전류 흐름이 차단되어 노드 N1이 안정적으로 초기화되게 된다.

[0078] 기준 전압(Vref)은 고전위 전원전압(EVDD)보다 낮은 전압이고, OLED의 동작점 전압(Voled)보다 낮도록 저전위 전원전압(EVSS) 근처에서 설정되는 전압이다. 따라서, 초기화 구간(①)에서, 노드 N4에 인가된 기준 전압(Vref)은 OLED의 동작점 전압(Voled)보다 낮으므로 OLED는 발광되지 않는다.

[0079] 결과적으로, 도 7 및 표 1과 같이 초기화 구간(①)에서, 제1 내지 제4 노드들(N1, N2, N3, N4)의 전위는 기준 전압(Vref)으로 셋팅된다.

[0080] 도 6b를 참조하면, 샘플링 구간(②)에서, 스캔 신호(SCAN)가 온 레벨(ON)을 유지하여 제1, 제2 및 제5 스위치 TFT들(T1, T2, T5)은 턴 온 상태를 유지하고, 에미션 신호(EM)가 오프 레벨(OFF)로 반전되어 제3 및 제4 스위치 TFT들(T3, T4)이 턴 오프 된다. 그리고, 샘플링 구간(②)에서, 데이터 스위치(DSW)는 데이터스위치 제어신호(CON)가 온 레벨(ON)로 반전됨에 따라 턴 온 된다.

[0081] 초기화 구간(①)에서 설정된 구동 TFT(DT)의 게이트-소스 간 전압(Vgs) 즉, "EVDD-Vref"은 구동 TFT(DT)의 문턱전압(Vth)보다 크므로, 샘플링 구간(②) 동안 구동 TFT(DT)에는 구동 전류가 흐른다. 이때, 제1 스위치 TFT(T1)의 턴 온에 의해 구동 TFT(DT)의 게이트전극과 드레인전극이 쇼트되어 구동 TFT(DT)가 다이오드 결선(Diode-connection)되고, 제4 스위치 TFT(T4)의 턴 오프에 의해 구동 전류가 다이오드 결선 경로를 따라 흐른다. 이러한 다이오드 결선 경로를 따라 흐르는 구동 전류에 의해 구동 TFT(DT)의 문턱전압(Vth)이 샘플링되어 노드 N2 및 노드 N3에 저장된다.

- [0082] 샘플링 구간(②) 동안, 제3 스위치 TFT(ST3)의 턴 오프에 의해 노드 N1과 제1 전원 라인(16) 간의 전류 흐름이 차단된다. 이때, 소스 드라이버의 출력 채널(DCH)에 출력된 데이터전압(Vdata)이 데이터 스위치(DSW)와 제2 스위치 TFT(T2)의 턴 온에 의해 데이터라인(14)을 통해 노드 N1에 인가된다.
- [0083] 샘플링 구간(②) 동안, 제5 스위치 TFT(ST5)의 턴 온에 의해 노드 N4에 계속해서 기준 전압(Vref)이 인가되고, OLED는 발광되지 않는다.
- [0084] 결과적으로, 도 7 및 표 1과 같이 샘플링 구간(②)에서, 노드 N1의 전위는 데이터전압(Vdata)으로 설정 되고, 노드 N2 및 노드 N3의 전위는 "EVDD-1Vth1"으로 설정 되고, 노드 N4의 전위는 기준 전압(Vref)으로 설정 된다.
- [0085] 도 6c를 참조하면, 홀딩 구간(③)에서, 스캔 신호(SCAN)가 온 레벨(ON)에서 오프 레벨(OFF)로 반전되어 제1, 제2 및 제5 스위치 TFT들(T1,T2,T5)이 턴 오프 된다. 그리고, 에미션 신호(EM)는 오프 레벨(OFF)을 유지하여 제3 및 제4 스위치 TFT들(T3,T4)이 턴 오프 상태를 유지한다. 그리고, 샘플링 구간(②)에서, 데이터 스위치(DSW)는 온 레벨(ON)의 데이터스위치 제어신호(CON)에 의해 턴 온 상태를 유지한다.
- [0086] 홀딩 구간(③)에서, 제1 내지 제5 스위치 TFT들(T1~T5)의 턴 오프에 의해, 제1 내지 제4 노드들(N1,N2,N3,N4)은 모두 플로팅(floating) 된다. 제1 내지 제4 노드들(N1,N2,N3,N4)은 기생 커패시터를 통해 제1 게이트라인(15a)에 연결되어 있기 때문에, 스캔 신호(SCAN)가 온 레벨(ON)에서 오프 레벨(OFF)로 반전될 때 제1 내지 제4 노드들(N1,N2,N3,N4)의 전위도 변할 수 있다. 다시 말해, 스캔 신호(SCAN)가 온 레벨(ON)에서 오프 레벨(OFF)로 상승됨에 따라, 제1 내지 제4 노드들(N1,N2,N3,N4)의 전위도 상승할 수 있다.
- [0087] 결과적으로, 도 7 및 표 1과 같이 홀딩 구간(③)에서, 노드 N1의 전위는 "Vdata+ α "로 상승하고, 노드 N2의 전위는 "VDD-1Vth1 + β "로 상승하고, 노드 N3의 전위는 "VDD-1Vth1 + γ "으로 상승하고, 노드 N4의 전위는 "Vref + δ "로 상승할 수 있다. 제1 내지 제4 노드들(N1,N2,N3,N4)의 각 전위 상승분(α , β , γ , δ)은 제1 내지 제4 노드들(N1,N2,N3,N4)과 제1 게이트라인(15a) 간의 기생 커패시턴스에 따라 달라질 수 있다. 한편, 제1 내지 제4 노드들(N1,N2,N3,N4)과 제1 게이트라인(15a) 간의 기생 커패시턴스가 작을 경우, 제1 내지 제4 노드들(N1,N2,N3,N4)의 각 전위 상승분(α , β , γ , δ)은 무시될 수 있다. 하기 발광 구간(④)에서는 전위 상승분(α , β , γ , δ)을 무시하고 설명한다. 홀딩 구간(③)에서, 제4 노드의 전위, "Vref + δ "은 OLED의 동작 점 전압(Voled)보다 낮으므로 OLED는 발광하지 않는다.
- [0088] 한편, 홀딩 구간(③)은 스캔 신호(SCAN)의 반전(ON->OFF) 타이밍을 에미션 신호(EM)의 반전(OFF->ON) 타이밍보다 앞당겨 동작의 안정성을 높이기 위한 것이다. 스캔 신호(SCAN)의 반전(ON->OFF) 타이밍과 에미션 신호(EM)의 반전(OFF->ON) 타이밍이 서로 같거나, 또는 스캔 신호(SCAN)의 반전(ON->OFF) 타이밍이 에미션 신호(EM)의 반전(OFF->ON) 타이밍보다 늦어지면, 상기 문턱전압 샘플링 동작이 불안정하게 되므로, 홀딩 구간(③)은 이를 방지하기 위해 마련된 것이다. 다만, 홀딩 구간(③)은 모델 및 스펙에 따라 생략될 수 있다.
- [0089] 도 6d를 참조하면, 발광 구간(④)에서, 스캔 신호(SCAN)가 오프 레벨(OFF)을 유지하여 제1, 제2 및 제5 스위치 TFT들(T1,T2,T5)이 계속해서 턴 오프 된다. 그리고, 에미션 신호(EM)는 온 레벨(ON)로 반전되어 제3 및 제4 스위치 TFT들(T3,T4)이 턴 온 된다. 그리고, 발광 구간(④)에서, 데이터 스위치(DSW)는 오프 레벨(OFF) 및 온 레벨(ON)의 데이터스위치 제어신호(CON)에 의해 턴 오프 상태 및 턴 온 상태를 유지한다.
- [0090] 발광 구간(④)에서, 제3 스위치 TFT(T3)의 턴 온에 의해 노드 N1에는 기준 전압(Vref)이 인가되어, 노드 N1의 전위가 직전 보상 기간(B)에서의 데이터전압(Vdata)에서 기준 전압(Vref)으로 낮아진다.
- [0091] 발광 구간(④) 동안 노드 N2는 플로팅(Floating)되고 스토리지 커패시터(Cst)를 통해 노드 N1에 커플링된다. 따라서, 발광 구간(④) 동안 노드 N1의 전위 변화분 "Vdata-Vref"는 노드 N2에 반영된다. 그 결과 발광 구간(④) 동안 노드 N2의 전위가 직전 홀딩 구간(③)의 "EVDD- 1Vth1"에 비해 "Vdata-Vref"만큼 낮아진다. 다시 말해, 발광 구간(④) 동안 노드 N2의 전위는 도 7 및 표 1과 같이 "EVDD- 1Vth1 -Vdata+Vref"가 된다.
- [0092] 이를 통해, 구동 TFT(DT)의 문턱전압(Vth) 변화를 보상할 수 있는 구동 TFT(DT)의 Vgs 전압이 설정되고, 구동 TFT(DT)에는 아래의 수학식 1과 같이 Vgs 전압에 대응되는 구동 전류(Ioled)가 흐르게 된다.
- [0093] 이러한 구동 전류(Ioled)에 의해 노드들 N3,N4의 전위는 OLED의 동작점 전압(Voled)으로 상승되어 OLED가 도통된다. 그 결과, OLED가 구동 전류(Ioled)가 발광한다.
- [0094] [수학식 1]
- [0095] $I_{oled} = K(V_{gs} - |V_{th}|)^2$

[0096] $= K(EVDD - \{EVDD - |Vth| - Vdata + Vref\} - |Vth|)^2$

[0097] $= K(Vdata - Vref)^2$

[0098] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의 문턱 전압이다.

[0099] 수학식 1에서 알 수 있는 바와 같이, OLED의 구동 전류(Ioled)는 구동 TFT(DT)의 문턱전압(Vth)뿐만 아니라 고전위 전원전압(EVDD)에 영향을 받지 않게 된다. 본 발명의 실시예는 OLED의 구동 전류(Ioled)가 고전위 전원전압(EVDD)에 영향을 받지 않으므로, 제2 전원 라인(17)의 저저항 설계 없이 또는 제2 전원 라인(17)을 메쉬(mesh) 형태로 구성하지 않고서도 화면 전체에서 화소들의 휘도와 색감을 균일하게 할 수 있다. 이에 의해, 본 발명은 화소 크기가 작은 고해상도 패널에서 균일한 화질을 구현하는데 매우 유리하다. 그리고, 본 발명은 휘도 및 화질이 향상된 대화면의 패널을 제공할 수 있는 효과가 있다.

표 1

	구간①	구간②	구간③	구간④
N1	Vref	Vdata	Vdata + α	Vref
N2	Vref	EVDD-1Vthl	EVDD-1Vthl + β	EVDD-1Vthl-Vdata+Vref
N3	Vref	EVDD-1Vthl	EVDD-1Vthl + γ	Voled
N4	Vref	Vref	Vref + δ	Voled
DSW	OFF	ON	ON	OFF/ON

[0101] 전술한 바와 같이, 본 발명은 표시패널의 일측 비 표시영역에 마련된 데이터 스위치회로를 이용하여 각 화소의 내부 보상회로 구성을 간소화하고 각 화소에 연결되는 게이트라인들의 개수를 줄임으로써, 게이트 드라이버의 사이즈를 최소화하여 협 베젤을 구현할 수 있다. 또한, 본 발명은 데이터 스위치회로를 이용하여 초기화 동작의 안정성을 확보할 수 있다.

[0102] 나아가, 본 발명에 따르면, 구동 전류가 고전위 전원 전압에 영향을 받지 않으므로 고전위 전원 전압 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 얻을 수 있다.

[0103] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

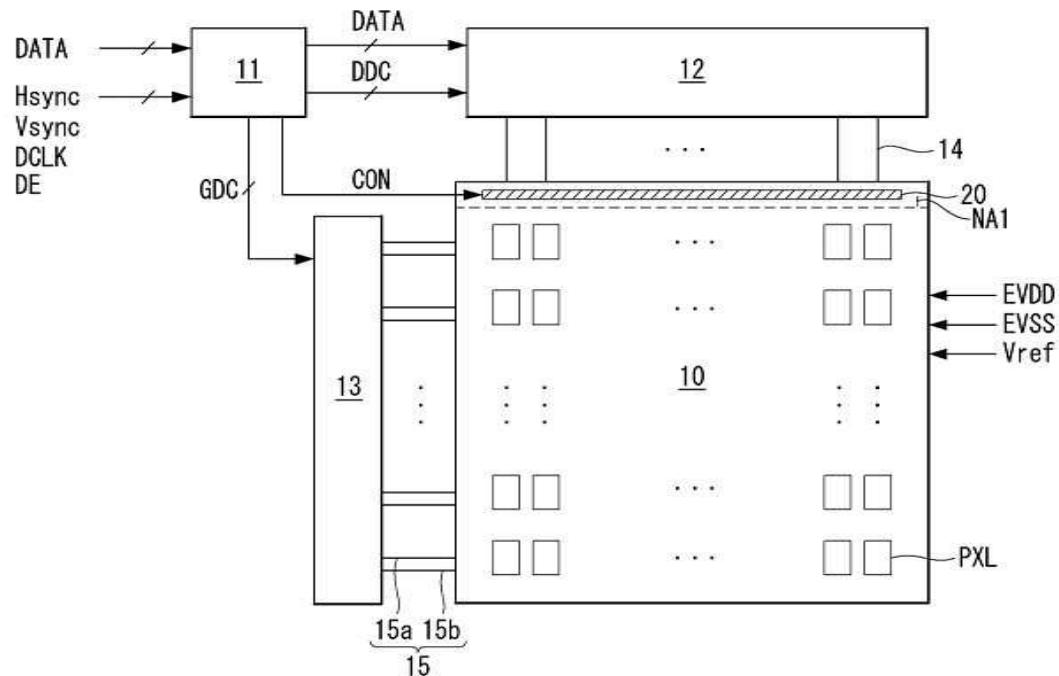
[0104] 10 : 표시패널 11 : 타이밍 콘트롤러

12 : 소스 드라이버 13 : 게이트 드라이버

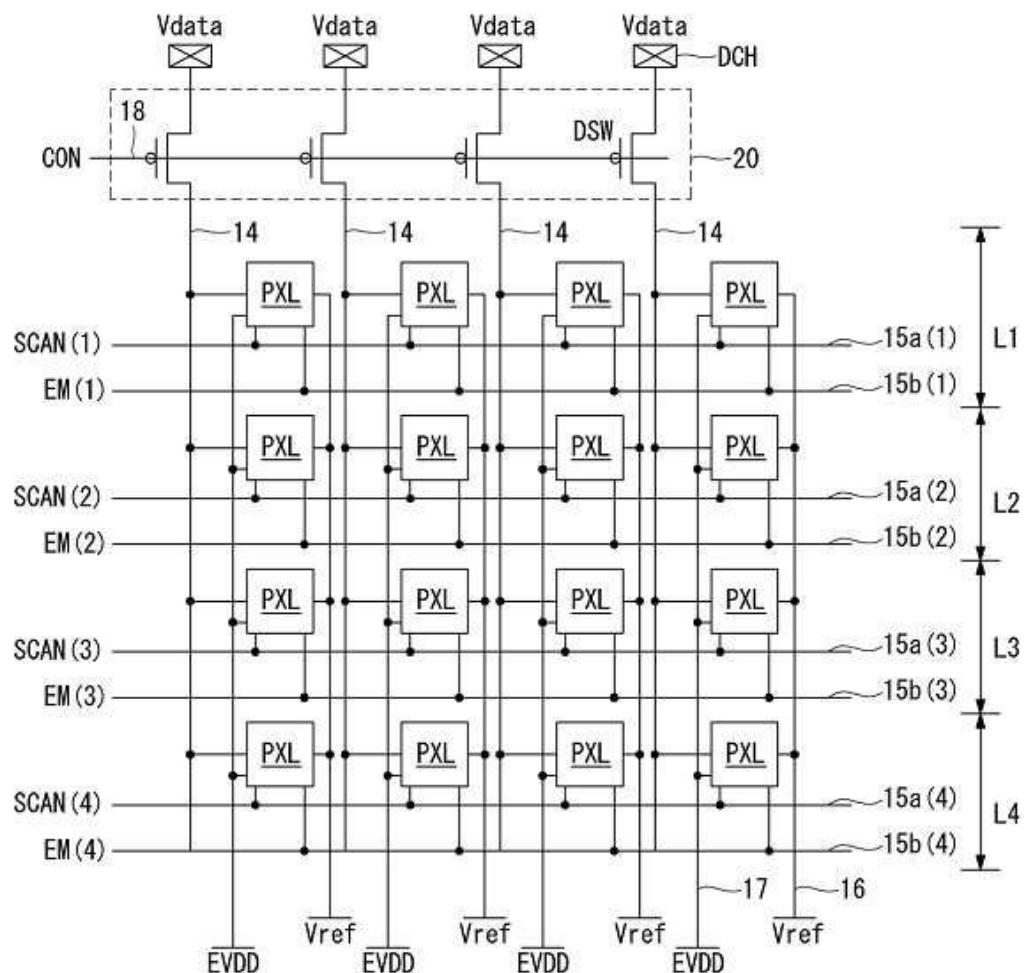
20 : 데이터 스위치회로

도면

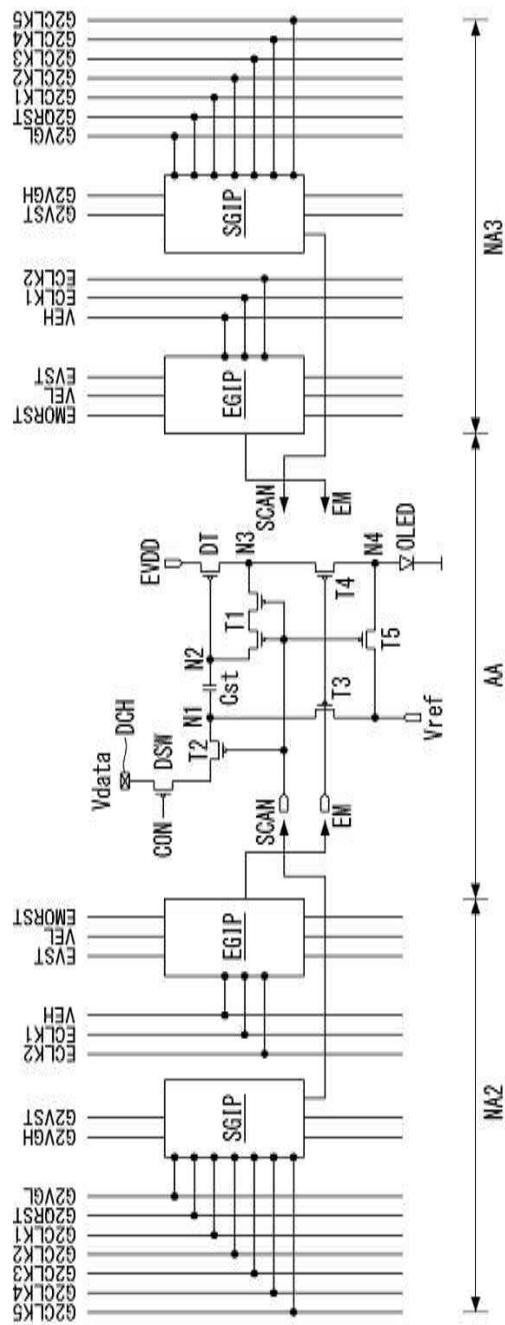
도면1



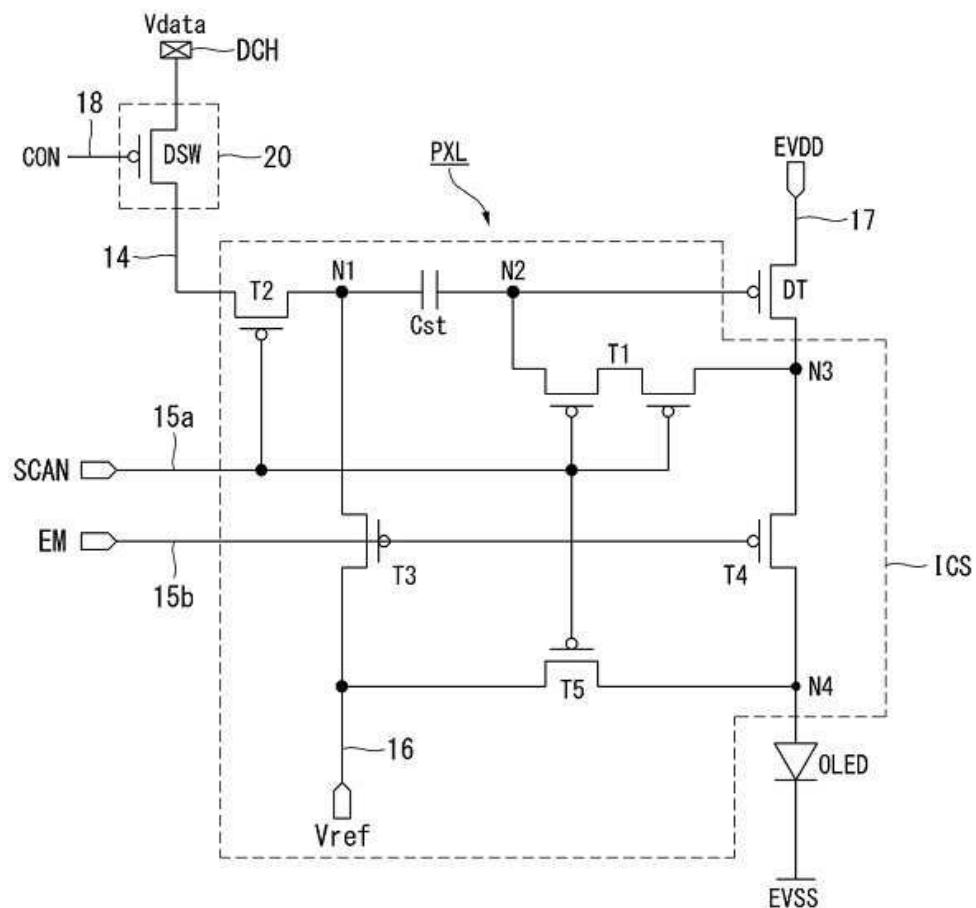
도면2



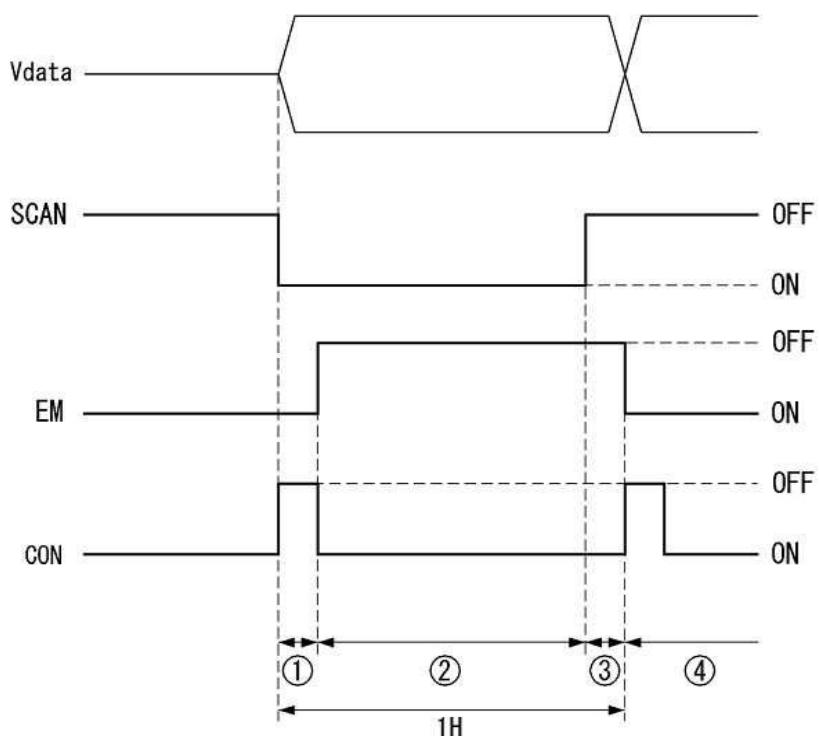
도면3



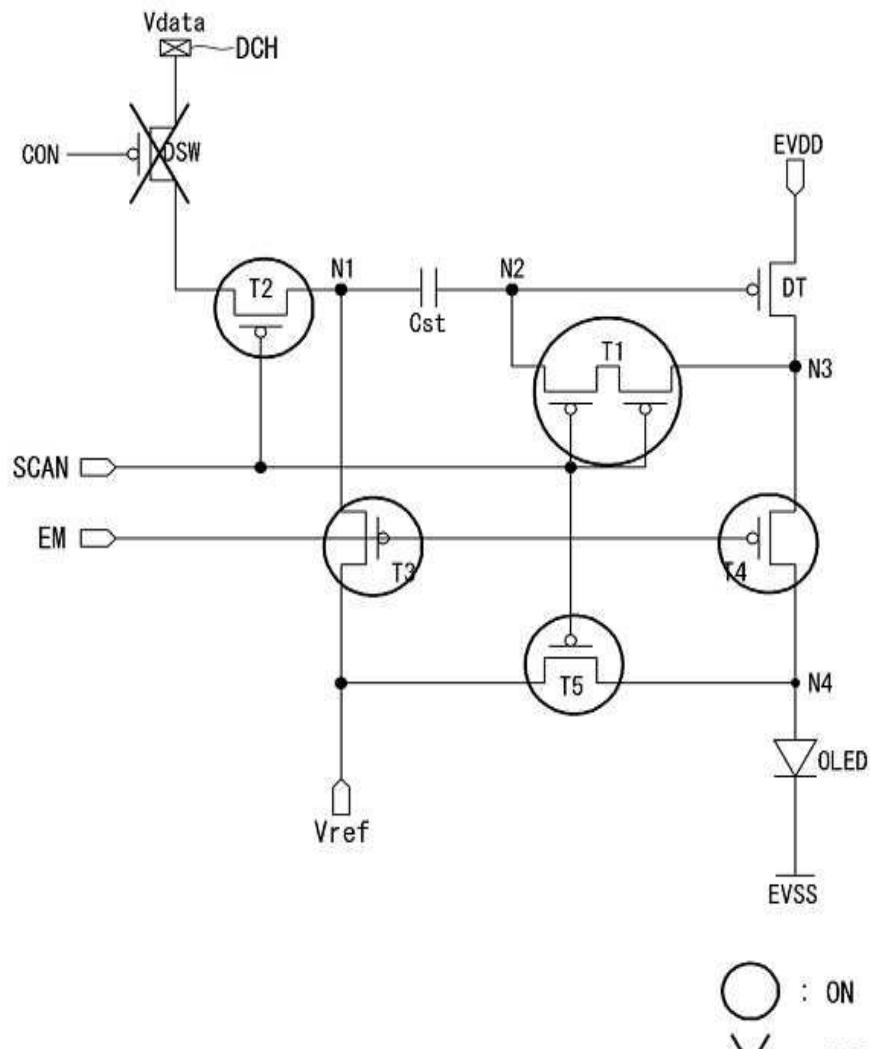
도면4



도면5

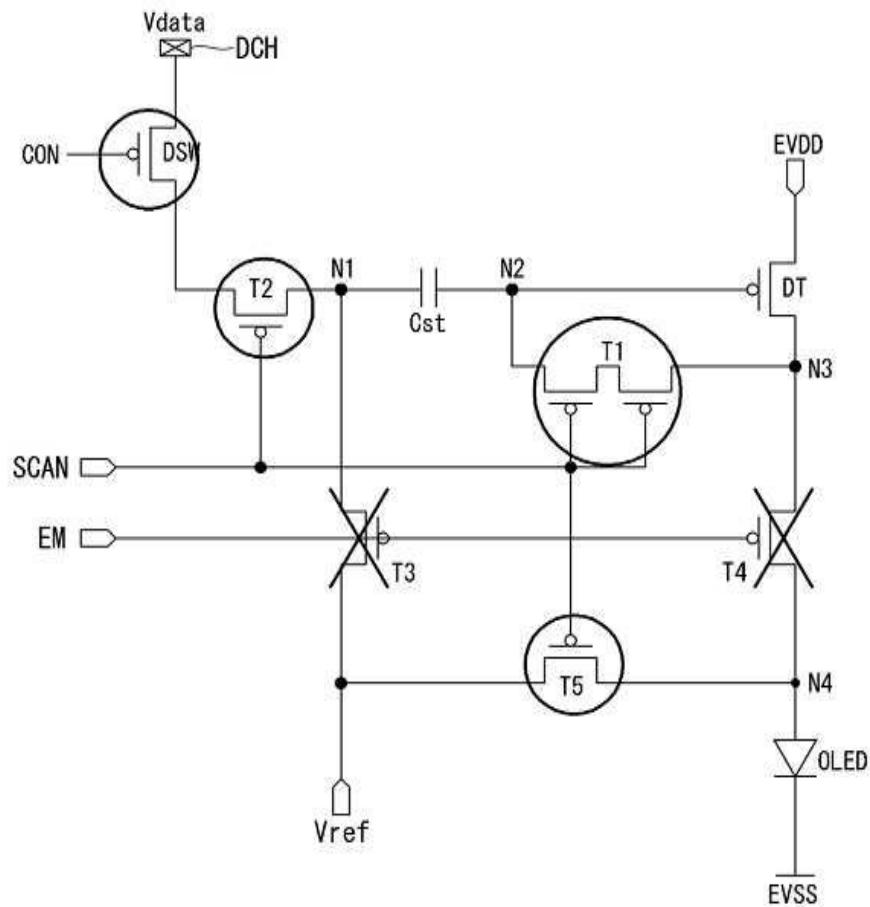


도면6a



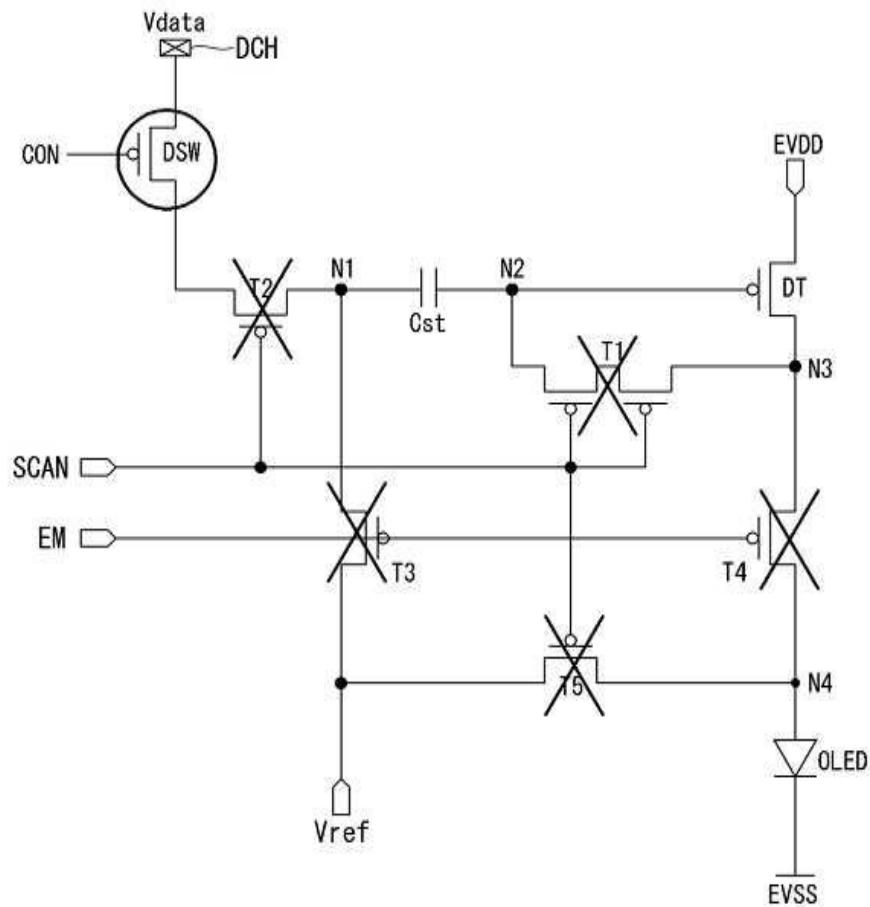
○ : ON
 ✕ : OFF

도면6b



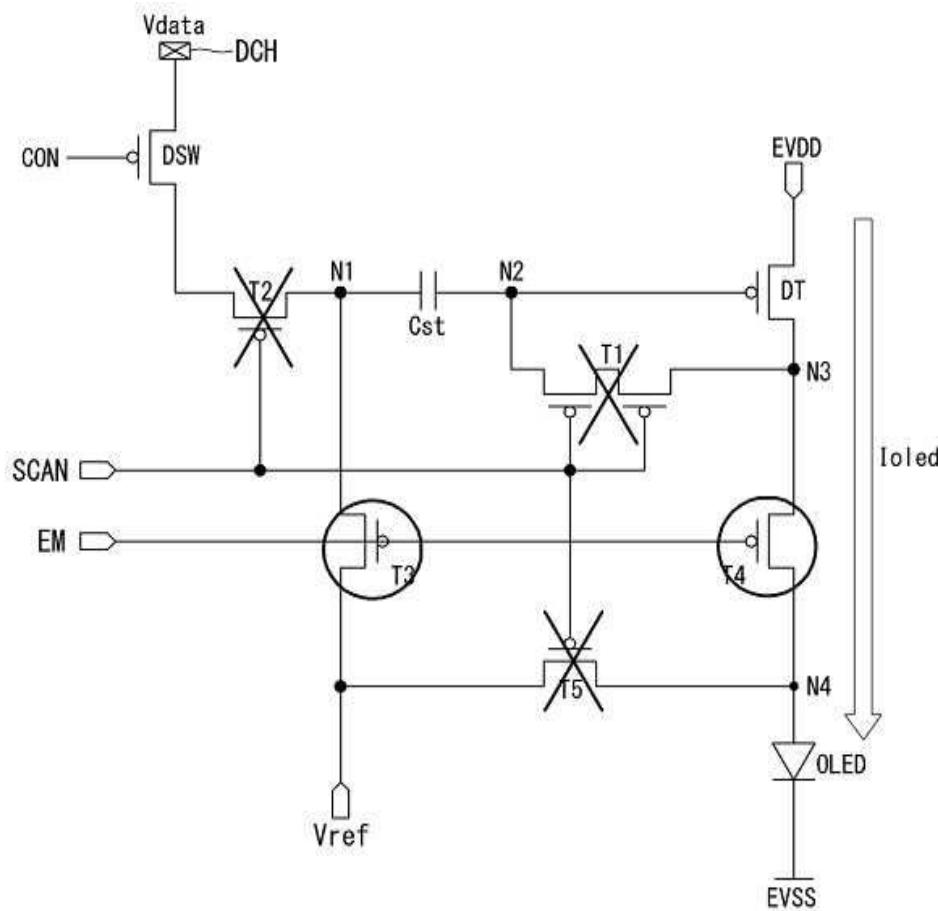
○ : ON
 ✕ : OFF

도면6c



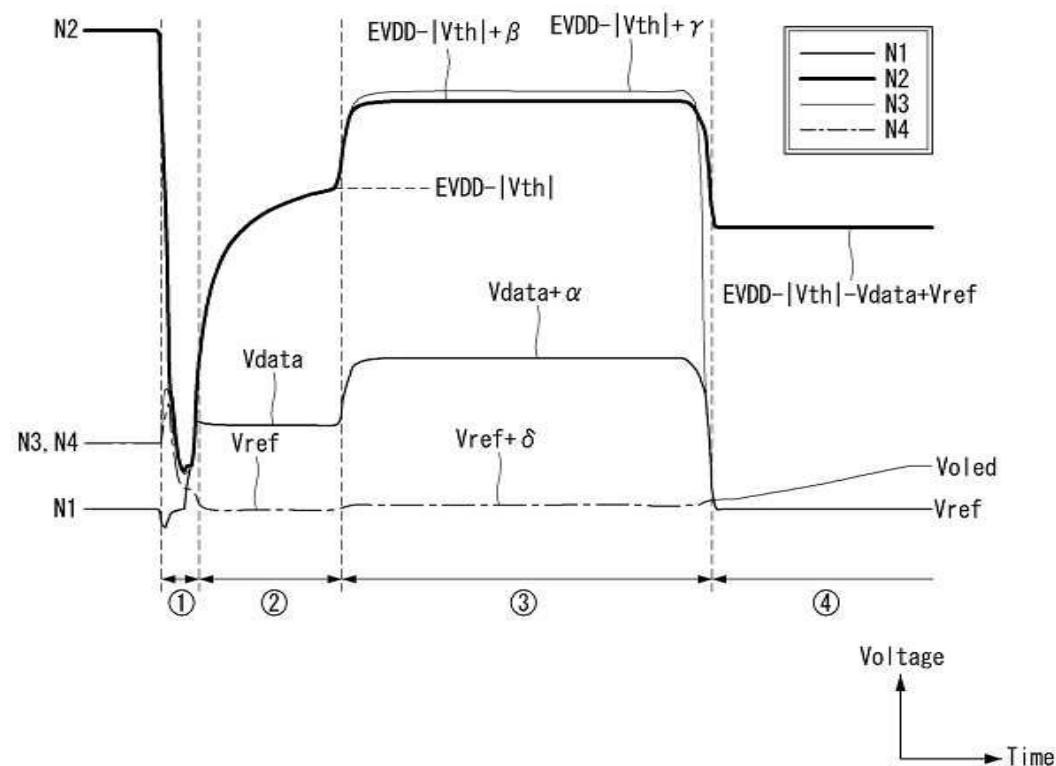
○ : ON
 ✕ : OFF

도면6d



: ON
 : OFF

도면7



专利名称(译)	电致发光显示器及其驱动方法		
公开(公告)号	KR1020190023288A	公开(公告)日	2019-03-08
申请号	KR1020170108779	申请日	2017-08-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이지수		
发明人	이지수		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/043 G09G2310/08		
外部链接	Espacenet		

摘要(译)

根据本发明的电致发光显示装置包括数据线和连接至数据线的多个像素，每个像素包括驱动TFT，驱动TFT根据栅极-源极电压和驱动电流产生驱动电流。一种显示面板，其具有根据所述显示器发光的OLED，以及内部补偿电路，其对栅极-源极电压进行采样以补偿驱动TFT的电特性的变化；源极驱动器，用于通过源极输出通道向数据线提供数据电压；数据开关电路通过数据线共同连接到像素，并根据与内部补偿电路的操作互锁的数据开关控制信号控制向数据线提供数据电压的时序。包括在内。

