(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0002943
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/325 (2016.01) *H01L 27/32* (2006.01)
(52) CPC특허분류
G09G 3/325 (2013.01)
G09G 3/3275 (2013.01)
(21) 출원번호 10-2017-0083271
(22) 출원일자 2017년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
권기태
경기도 파주시 월롱면 엘지로 245
김규진
경기도 파주시 월롱면 엘지로 245
김태훈
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로알

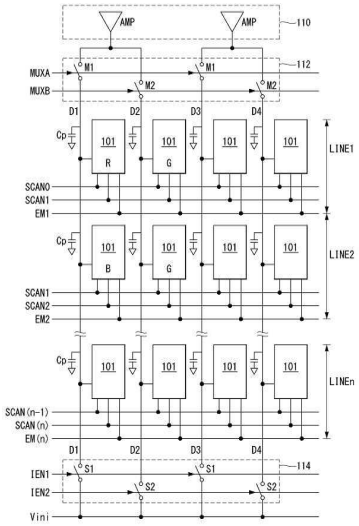
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **표시패널과 이를 이용한 전계 발광 표시장치**

(57) 요 약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널은 제1 데이터 신호가 충전되는 제1 데이터 라인, 상기 제2 데이터 신호가 충전되는 제2 데이터 라인, 상기 제1 데이터 라인에 연결된 제1 서브 픽셀, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀, 상기 제1 및 제2 서브 픽셀들에 공통으로 연결되어 게이트 신호를 상기 제1 및 제2 서브 픽셀들에 동시에 공급하는 게이트 라인, 다수의 MUX 스위치 소자들을 이용하여 데이터 구동부의 출력 단자를 상기 제1 데이터 라인에 연결한 후에 상기 출력 단자를 상기 제2 데이터 라인에 연결하는 디멀티플렉서, 및 다수의 REF 스위치 소자들을 이용하여 상기 디멀티플렉서에 의해 상기 데이터 구동부의 출력 단자가 상기 제1 데이터 라인에 연결될 때 상기 제2 데이터 라인에 소정의 기준 전압을 공급하는 스위치 어레이를 구비한다.

대 표 도 - 도2



(52) CPC특허분류
H01L 27/3211 (2013.01)
H01L 27/3262 (2013.01)

명 세 서

청구범위

청구항 1

출력 단자를 통해 제1 데이터 신호와 제2 데이터 신호를 순차적으로 출력하는 데이터 구동부에 연결된 표시패널에 있어서,

상기 제1 데이터 신호가 충전되는 제1 데이터 라인;

상기 제2 데이터 신호가 충전되는 제2 데이터 라인;

상기 제1 데이터 라인에 연결된 제1 서브 픽셀;

상기 제2 데이터 라인에 연결된 제2 서브 픽셀;

상기 제1 및 제2 서브 픽셀들에 공통으로 연결되어 게이트 신호를 상기 제1 및 제2 서브 픽셀들에 동시에 공급하는 게이트 라인;

다수의 MUX 스위치 소자들을 이용하여 상기 출력 단자를 상기 제1 데이터 라인에 연결한 후에 상기 출력 단자를 상기 제2 데이터 라인에 연결하는 디멀티플렉서; 및

다수의 REF 스위치 소자들을 이용하여 상기 디멀티플렉서에 의해 상기 데이터 구동부의 출력 단자가 상기 제1 데이터 라인에 연결될 때 상기 제2 데이터 라인에 소정의 기준 전압을 공급하는 스위치 어레이를 구비하는 표시패널.

청구항 2

제 1 항에 있어서,

상기 디멀티플렉서는

제1 MUX 스위치 제어 신호에 응답하여 상기 출력 단자를 상기 제1 데이터 라인에 연결하는 제1 MUX 스위치 소자; 및

제2 MUX 스위치 제어 신호에 응답하여 상기 출력 단자를 상기 제2 데이터 라인에 연결하는 제2 MUX 스위치 소자를 구비하고,

상기 제1 및 제2 MUX 스위치 제어 신호 각각은 1/2 수평 기간 또는 1 수평 기간의 온 타이밍 구간을 갖는 펄스로 발생되고,

상기 제1 MUX 스위치 제어 신호에 이어서 상기 제2 MUX 스위치 제어 신호가 발생되는 표시패널.

청구항 3

제 2 항에 있어서,

상기 제1 MUX 스위치 제어 신호와 상기 제2 MUX 스위치 제어 신호가 매 프레임 기간마다 반전되는 표시패널.

청구항 4

제 2 항에 있어서,

상기 제1 MUX 스위치 제어 신호와 상기 제2 MUX 스위치 제어 신호가 매 수평 기간 마다 반전되고 매 프레임 기간마다 반전되는 표시패널.

청구항 5

제 2 항에 있어서,

상기 스위치 어레이는

제1 REF 스위치 제어 신호에 응답하여 상기 제1 데이터 라인에 상기 기준 전압을 공급하는 제1 REF 스위치 소자; 및

제2 REF 스위치 제어 신호에 응답하여 상기 제2 데이터 라인에 상기 기준 전압을 공급하는 제2 REF 스위치 소자를 구비하고,

상기 제1 REF 스위치 제어 신호는 상기 제1 MUX 스위치 제어 신호의 역위상으로 발생되고,

상기 제2 REF 스위치 제어 신호는 상기 제2 MUX 스위치 제어 신호의 역위상으로 발생되는 표시패널.

청구항 6

제 2 항에 있어서,

상기 스위치 어레이는

REF 스위치 제어 신호에 응답하여 상기 제2 데이터 라인에 상기 기준 전압을 공급하는 REF 스위치 소자를 구비하는 표시패널.

청구항 7

제 2 항에 있어서,

상기 제1 및 제2 서브 픽셀들 각각은 픽셀 회로를 구비하고,

상기 픽셀 회로는 발광 소자를 구동하기 위한 구동 소자와, 다수의 스위치 소자들을 포함하고, 초기화 단계에서 초기화된 후, 센싱 단계에서 상기 구동 소자의 문턱 전압을 센싱하고 발광 단계에서 발광하는 표시패널.

청구항 8

제 7 항에 있어서,

상기 게이트 신호는 제N-1(N은 0 보다 큰 양의 정수) 스캔 신호, 상기 제N-1 스캔 신호에 이어서 발생되는 제N 스캔 신호, 및 상기 발광 소자의 전류 패스를 제어하는 발광 스위칭 신호를 포함하고,

상기 게이트 라인은 제N 스캔 신호가 인가되는 제1 게이트 라인, 상기 발광 스위칭 신호가 인가되는 제2 게이트 라인, 및 상기 제N-1 스캔 신호가 인가되는 제3 게이트 라인을 포함하는 표시패널.

청구항 9

제 8 항에 있어서,

상기 발광 소자는 애노드와 캐소드 사이에 형성된 발광층을 포함하고,

상기 구동 소자는 제1 노드에 연결된 제1 전극, 제4 노드에 연결된 제2 전극, 및 제3 노드에 연결된 게이트를 포함한 트랜지스터를 포함하고,

상기 스위치 소자들 각각은 트랜지스터를 포함하는 표시패널.

청구항 10

제 9 항에 있어서,

상기 픽셀 회로는,

소정의 픽셀 구동 전압이 인가되는 제2 노드와, 상기 제3 노드 사이에 형성된 커패시터;

상기 제N 스캔 신호에 응답하여 상기 제1 데이터 라인 또는 상기 제2 데이터 라인을 상기 제1 노드에 공급하는 제1 스위치 소자;

상기 제N 스캔 신호에 응답하여 상기 제3 노드와 상기 제4 노드를 연결하는 제2 스위치 소자;

상기 발광 스위칭 신호에 응답하여 상기 제2 노드를 상기 제1 노드에 연결하는 제3 스위치 소자;

상기 발광 스위칭 신호에 응답하여 상기 제4 노드를 발광 소자의 애노드가 연결된 제6 노드에 연결하는 제4 스

위치 소자;

상기 제N-1 스캔 신호에 응답하여 상기 제3 노드를 상기 기준 전압이 인가되는 제5 노드에 연결하는 제4 스위치 소자; 및

상기 제N-1 스캔 신호에 응답하여 상기 제5 노드를 상기 제6 노드에 연결하는 제6 스위치 소자를 구비하는 표시패널.

청구항 11

제 10 항에 있어서,

상기 제1 및 제2 서브 픽셀들 각각은 픽셀 회로를 구비하고,

상기 픽셀 회로는 발광 소자를 구동하기 위한 구동 소자와, 다수의 스위치 소자들을 포함하고, 초기화 단계에서 초기화된 후, 센싱 단계에서 상기 구동 소자의 문턱 전압을 센싱하는 표시패널.

상기 초기화 단계에서 상기 제N-1 스캔 신호의 온 타이밍 구간 펄스가 발생되어 상기 제5 및 제6 스위치 소자들이 턴-온되고,

상기 센싱 단계에서 상기 제N 스캔 신호의 온 타이밍 구간 펄스가 발생되어 상기 제1 및 제2 스위치 소자들이 턴-온되고,

상기 발광 단계에서 상기 발광 스위칭 신호의 온 타이밍 구간에 의해 상기 제3 및 제4 스위치 소자들이 턴-온되는 표시패널.

청구항 12

제 11 항에 있어서,

상기 센싱 단계는,

상기 제1 데이터 라인에 상기 제1 데이터 신호가 인가되고, 상기 제2 데이터 라인에 상기 기준 전압이 공급되는 제1 구간; 및

상기 제2 데이터 라인에 상기 제2 데이터 신호가 인가되고 상기 제1 데이터 라인이 플로팅되거나 상기 제1 데이터 라인에 상기 기준 전압이 공급되는 제2 구간을 포함하는 표시패널.

청구항 13

출력 단자를 통해 제1 데이터 신호와 제2 데이터 신호를 순차적으로 출력하는 데이터 구동부;

상기 제1 데이터 신호가 충전되는 제1 데이터 라인;

상기 제2 데이터 신호가 충전되는 제2 데이터 라인;

상기 제1 데이터 라인에 연결된 제1 서브 픽셀;

상기 제2 데이터 라인에 연결된 제2 서브 픽셀;

상기 제1 및 제2 서브 픽셀들에 공통으로 연결되어 게이트 신호를 상기 제1 및 제2 서브 픽셀들에 동시에 공급하는 게이트 라인;

다수의 MUX 스위치 소자들을 이용하여 상기 출력 단자를 상기 제1 데이터 라인에 연결한 후에 상기 출력 단자를 상기 제2 데이터 라인에 연결하는 디멀티플렉서; 및

다수의 REF 스위치 소자들을 이용하여 상기 디멀티플렉서에 의해 상기 데이터 구동부의 출력 단자가 상기 제1 데이터 라인에 연결될 때 상기 제2 데이터 라인에 소정의 기준 전압을 공급하는 스위치 어레이를 구비하고,

상기 제1 및 제2 서브 픽셀들 각각은 픽셀 회로를 구비하고,

상기 픽셀 회로는 발광 소자를 구동하기 위한 구동 소자와, 다수의 스위치 소자들을 포함하고, 초기화 단계에서 초기화된 후, 센싱 단계에서 상기 구동 소자의 문턱 전압을 센싱하고 발광 단계에서 발광하는 전계 발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 디멀티플렉서는

제1 MUX 스위치 제어 신호에 응답하여 상기 출력 단자를 상기 제1 데이터 라인에 연결하는 제1 MUX 스위치 소자; 및

제2 MUX 스위치 제어 신호에 응답하여 상기 출력 단자를 상기 제2 데이터 라인에 연결하는 제2 MUX 스위치 소자를 구비하고,

상기 제1 및 제2 MUX 스위치 제어 신호 각각은 1/2 수평 기간 또는 1 수평 기간의 온 타이밍 구간을 갖는 펄스로 발생되고,

상기 제1 MUX 스위치 제어 신호에 이어서 상기 제2 MUX 스위치 제어 신호가 발생되는 전계 발광 표시장치.

청구항 15

제 14 항에 있어서,

상기 제1 MUX 스위치 제어 신호와 상기 제2 MUX 스위치 제어 신호가 매 프레임 기간마다 반전되는 전계 발광 표시장치.

청구항 16

제 14 항에 있어서,

상기 제1 MUX 스위치 제어 신호와 상기 제2 MUX 스위치 제어 신호가 매 수평 기간 마다 반전되고 매 프레임 기간마다 반전되는 전계 발광 표시장치.

청구항 17

제 14 항에 있어서,

상기 스위치 어레이는

제1 REF 스위치 제어 신호에 응답하여 상기 제1 데이터 라인에 상기 기준 전압을 공급하는 제1 REF 스위치 소자; 및

제2 REF 스위치 제어 신호에 응답하여 상기 제2 데이터 라인에 상기 기준 전압을 공급하는 제2 REF 스위치 소자를 구비하고,

상기 제1 REF 스위치 제어 신호는 상기 제1 MUX 스위치 제어 신호의 역위상으로 발생되고,

상기 제2 REF 스위치 제어 신호는 상기 제2 MUX 스위치 제어 신호의 역위상으로 발생되는 전계 발광 표시장치.

청구항 18

제 17 항에 있어서,

상기 스위치 어레이는

REF 스위치 제어 신호에 응답하여 상기 제2 데이터 라인에 상기 기준 전압을 공급하는 REF 스위치 소자를 구비하는 전계 발광 표시장치.

청구항 19

제 18 항에 있어서,

상기 게이트 신호는 제N-1(N은 0 보다 큰 양의 정수) 스캔 신호, 상기 제N-1 스캔 신호에 이어서 발생되는 제N 스캔 신호, 및 상기 발광 소자의 전류 패스를 제어하는 발광 스위칭 신호를 포함하고,

상기 게이트 라인은 제N 스캔 신호가 인가되는 제1 게이트 라인, 상기 발광 스위칭 신호가 인가되는 제2 게이트

라인, 및 상기 제N-1 스캔 신호가 인가되는 제3 게이트 라인을 포함하는 전계 발광 표시장치.

청구항 20

제 13 항에 있어서,

상기 센싱 단계는,

상기 제1 데이터 라인에 상기 제1 데이터 신호가 인가되고, 상기 제2 데이터 라인에 상기 기준 전압이 공급되는 제1 구간; 및

상기 제2 데이터 라인에 상기 제2 데이터 신호가 인가되고 상기 제1 데이터 라인이 플로팅되거나 상기 제1 데이터 라인에 상기 기준 전압이 공급되는 제2 구간을 포함하는 전계 발광 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 데이터 구동회로와 데이터 라인들 사이에 디멀티플렉서(Demultiplexer)가 배치된 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

배 경 기 술

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 평판 표시장치의 구동 회로는 데이터 신호를 데이터 라인들에 공급하는 데이터 구동회로, 게이트 신호(또는 스캔 신호)를 게이트 라인들(또는 스캔 라인들)에 공급하는 게이트 구동회로 등을 포함한다. 게이트 구동회로는 화면을 구성하는 액티브 영역의 TFT(Thin film transistor) 어레이와 함께 동일 기판 상에 직접 형성될 수 있다.

[0005] 유기 발광 표시장치의 픽셀들 각각은 발광소자 즉, OLED에 흐르는 전류를 제어하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 구동 소자의 전기적 특성은 모든 픽셀들에서 동일하여야 하지만, 공정 조건, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않다. 구동 소자는 구동 시간이 길어질수록 많은 스트레스(stress)를 받게 된다. 또한, 입력 영상의 데이터에 따라 구동 소자의 스트레스가 달라진다. 구동 소자의 전기적 특성은 스트레스에 영향을 받는다. 따라서, 구동 소자들은 구동 시간이 경과되면 전기적 특성이 달라진다.

[0006] 유기 발광 표시장치의 화질과 수명을 개선하기 위하여, 픽셀들의 구동 특성을 실시간 보상하기 위한 보상 회로가 픽셀 회로에 적용되고 있다. 한편, 유기 발광 표시장치에서 디멀티플렉서(Demultiplexer)를 이용하여 데이터 구동 회로의 출력을 데이터 라인들로 분배하여 데이터 구동 회로의 출력 단자 수를 줄이기 위한 시도가 있었다. 그러나 이 방법은 일부 픽셀들에서 구동 소자의 문턱 전압이 센싱(sensing)되지 않고 픽셀들 간 휘도 차이가 발생되어 적용되지 못하고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 데이터 구동회로의 출력 단자들을 디멀티플렉서를 통해 데이터 라인들에 연결하는 전계 발광 표시장치에 있어서 모든 픽셀들에서 구동 소자의 문턱 전압 보상이 가능하고 픽셀들에서 휘도가 균일하게 되도록 한 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 표시패널은 제1 데이터 신호가 충전되는 제1 데이터 라인, 상기 제2 데이터 신호가 충전되는 제2 데이터 라인, 상기 제1 데이터 라인에 연결된 제1 서브 픽셀, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀, 상기 제1 및 제2 서브 픽셀들에 공통으로 연결되어 게이트 신호를 상기 제1 및 제2 서브 픽셀들에 동시에 공급하는 게이트 라인, 다수의 MUX 스위치 소자들을 이용하여 데이터 구동부의 출력 단자를 상기 제1 데이터 라인에 연결한 후에 상기 출력 단자를 상기 제2 데이터 라인에 연결하는 디멀티플렉서, 및 다수의 REF 스위치 소자들을 이용하여 상기 디멀티플렉서에 의해 상기 데이터 구동부의 출력 단자가 상기 제1 데이터 라인에 연결될 때 상기 제2 데이터 라인에 소정의 기준 전압을 공급하는 스위치 어레이를 구비한다.

[0009] 본 발명의 전계 발광 표시장치는 출력 단자를 통해 제1 데이터 신호와 제2 데이터 신호를 순차적으로 출력하는 데이터 구동부, 상기 제1 데이터 신호가 충전되는 제1 데이터 라인, 상기 제2 데이터 신호가 충전되는 제2 데이터 라인, 상기 제1 데이터 라인에 연결된 제1 서브 픽셀, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀, 상기 제1 및 제2 서브 픽셀들에 공통으로 연결되어 게이트 신호를 상기 제1 및 제2 서브 픽셀들에 동시에 공급하는 게이트 라인, 다수의 MUX 스위치 소자들을 이용하여 상기 출력 단자를 상기 제1 데이터 라인에 연결한 후에 상기 출력 단자를 상기 제2 데이터 라인에 연결하는 디멀티플렉서, 및 다수의 REF 스위치 소자들을 이용하여 상기 디멀티플렉서에 의해 상기 데이터 구동부의 출력 단자가 상기 제1 데이터 라인에 연결될 때 상기 제2 데이터 라인에 소정의 기준 전압을 공급하는 스위치 어레이를 구비한다. 상기 제1 및 제2 서브 픽셀들 각각은 픽셀 회로를 구비한다. 상기 픽셀 회로는 발광 소자를 구동하기 위한 구동 소자와, 다수의 스위치 소자들을 포함하고, 초기화 단계에서 초기화된 후, 센싱 단계에서 상기 구동 소자의 문턱 전압을 센싱하고 발광 단계에서 발광한다.

발명의 효과

[0010] 본 발명에서 픽셀들은 초기화 단계, 구동 소자의 문턱 전압 센싱 및 데이터 기입되는 단계, 및 발광 단계로 구동된다. 따라서, 본 발명은 모든 픽셀들에서 구동 소자의 문턱 전압 보상이 가능하고 균일한 휘도를 구현할 수 있다.

[0011] 본 발명은 데이터 구동부에서 하나의 출력 단자를 통해 출력되는 데이터 신호들을 시분할하여 디멀티플렉서를 통해 다수의 데이터 라인들로 분배하고, 스위치 어레이를 이용하여 구동 소자의 문턱 전압 센싱 및 데이터 기입되는 단계에서 데이터 라인이 플로팅되는 구간에 소정의 기준 전압을 공급함으로써 데이터 라인의 기생 용량으로 인한 서브 픽셀들의 오동작을 방지한다.

[0012] 본 발명은 디멀티플렉서와 게이트 신호(또는 스캔 신호)의 온 타이밍 구간을 소정의 주기마다 적절히 조합하여 픽셀들 간에 구동 소자의 문턱 전압 센싱 편차가 없는 실시간 보상 회로를 구현할 수 있고 모든 픽셀들에서 휘도차가 없는 화질을 구현할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.

도 2는 데이터 라인들에 연결된 디멀티플렉서와 스위치 어레이의 스위치 소자들을 나타내는 도면이다.

도 3은 디멀티플렉서의 일부를 보여 주는 도면이다.

도 4 및 도 5는 스위치 제어 신호와 게이트 신호를 보여 주는 파형도들이다.

도 6은 초기화 과정에서 제1 및 제2 서브 픽셀의 동작을 보여 주는 회로도이다.

도 7a 및 도 7b는 구동 소자의 문턱 전압 센싱 및 데이터 기입 과정에서 제1 서브 픽셀의 동작을 보여 주는 회로도이다.

도 8a 및 도 8b는 구동 소자의 문턱 전압 센싱 및 데이터 기입 과정에서 제2 서브 픽셀의 동작을 보여 주는 회로도이다.

도 9는 스위치 어레이가 없을 때 데이터 라인들의 플로팅 구간을 보여 주는 파형도이다.

도 10a 및 도 10b는 스위치 어레이가 없을 때 제2 서브 픽셀의 오동작을 보여 주는 도면들이다.

도 11은 본 발명의 제1 실시예에 따른 디멀티플렉서와 스위치 어레이의 제어 방법을 보여 주는 파형도이다.

도 12a 및 도 12b는 도 11에 도시된 제어 신호에 의해 스위칭되는 디멀티플렉서와 스위치 어레이를 보여 주는 도면들이다.

도 13은 본 발명의 제2 실시예에 따른 디멀티플렉서와 스위치 어레이의 제어 방법을 보여 주는 파형도이다.

도 14a 및 도 14b는 도 13에 도시된 제어 신호에 의해 스위칭되는 디멀티플렉서와 스위치 어레이를 보여 주는 도면들이다.

도 15는 픽셀 그룹들 간의 구동 소자의 문턱 전압 센싱 시간 차이를 보여 주는 도면이다.

도 16은 디멀티플렉서를 제어하기 위한 스위치 제어 신호를 소정 시간 주기로 변경함으로써 픽셀 그룹들 간의 휘도를 균일하게 제어하는 방법을 보여 주는 도면이다.

도 17 및 도 18은 디멀티플렉서의 스위칭 횟수를 줄이는 방법을 보여 주는 파형도들이다.

도 19a 내지 도 19d는 디멀티플렉서를 제어하기 위한 스위치 제어 신호를 소정 시간 주기로 변경하는 방법을 보여 주는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0015] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0016] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 ' ~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.

[0017] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0018] 위치 관계에 대한 설명일 경우, 예를 들어, ' ~ 상에', ' ~ 상부에', ' ~ 하부에', ' ~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.

[0019] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.

[0020] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0021] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 타입 TFT(NMOS)와 p 타입 TFT(PMOS) 중 하나 이상을 포함할 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. TFT에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. TFT의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, TFT의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 TFT의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.

[0022] 픽셀 회로에 인가되는 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙한다. 게이트 온 전압은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. TFT는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.

[0024] 본 발명은 디멀티플렉서(Demultiplexer, DEMUX)를 이용하여 하나의 채널을 통해 데이터 구동부로부터 출력되는 데이터 전압을 N(N은 2 이상의 짝수) 개의 데이터 라인들에 시분할 공급한다. 이하의 실시에에서, 디멀티플렉서는 데이터 구동부의 한 개 출력 단자를 두 개의 데이터 라인들에 연결하는 1:2 MUX 구조를 중심으로 설명되지만 본 발명은 이에 한정되지 않는다.

[0025] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.

[0026] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 신호 배선들과 픽셀들을 포함한다. 신호 배선들은 데이터 라인들(102)과, 데이터 라인들(102)과 교차되는 게이트 라인들(103)을 포함한다. 픽셀 어레이에 전원 배선들이 배치될 수 있다. 픽셀들은 매트릭스 형태로 배치되는 픽셀들을 포함한다. 도 2에서, LINE1~LINEn은 픽셀 어레이에서 게이트 라인들을 공유하는 픽셀들을 포함한 픽셀 라인들을 나타낸다. LINEn은 제n(n은 양의 정수) 픽셀 라인이다.

[0027] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 발광 소자, 구동 소자, 하나 이상의 스위치 소자, 및 커패시터를 포함한다. 구동 소자와 스위치 소자는 TFT로 구현될 수 있다.

[0028] 표시패널(100)은 픽셀 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 VDD 배선, 픽셀 회로를 초기화하기 위한 초기화 전압(Vini)을 서브 픽셀들(101)에 공급하기 위한 Vini 배선, 저전위 전원 전압(VSS)을 서브 픽셀들에 공급하기 위한 VSS 전극, VGH가 인가되는 VGH 배선, VGL이 인가되는 VGL 배선 등을 더 포함할 수 있다. VDD, Vini, VSS 등의 전원 전압은 도시하지 않은 전원 회로로부터 발생된다. VDD = 4.5V, VSS = -2.5V, Vini -3.5V, VGH = 7.0V, VGL = - 5.5V 등으로 전원 전압이 설정될 수 있으나 이에 한정되지 않는다. 전원 전압은 표시패널(100)의 구동 특성이나 모델에 따라 달라질 수 있다.

[0029] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.

[0030] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)와, 초기화 전압(Vin)을 데이터 라인들(102) 중 적어도 일부에 공급하기 위한 스위치 어레이(114)를 더 구비한다.

[0031] 표시패널 구동회로는 타이밍 콘트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 콘트롤러(130) 그리고 전원 회로는 하나의 집적 회로에 집적될 수 있다.

[0032] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 시간 만큼 변화가 없을 때 표시장치의 소비 전력을 줄인다. 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate 또는 Frame rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 예컨대, 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널

구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.

[0033] 데이터 구동부(110)는 매 프레임 기간마다 타이밍 콘트롤러(130)로부터 수신되는 입력 영상의 디지털 데이터를 감마 보상 전압으로 변환하여 데이터 신호를 발생한다. 데이터 구동부(110)는 출력 단자들 각각에서 출력 버퍼(AMP)를 통해 데이터 신호의 전압(이하 “데이터 전압”이라 함)을 출력한다.

[0034] 디멀티플렉서(112)는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된다. 디멀티플렉서(112)는 다수의 스위치 소자들(M1, M2)을 이용하여 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 디멀티플렉서(112)는 도 2와 같이 데이터 구동부(110)의 한 출력 채널을 두 개의 데이터 라인들로 분배할 수 있다. 이 경우, 디멀티플렉서(112)는 제1 데이터 라인 그룹(D1, D3)을 데이터 구동부(110)의 출력 단자들에 연결하는 다수의 제1 스위치 소자(M1)와, 제2 데이터 라인 그룹(D2, D4)을 데이터 구동부의 출력 단자들에 연결하는 다수의 제2 스위치 소자(M2)를 포함한다.

[0035] 스위치 어레이(114)는 데이터 전압이 인가되기 전에 서브 픽셀들에 초기화 전압(Vini)을 공급하기 위한 다수의 스위치 소자들(S1, S2)을 포함한다. 스위치 어레이(114)는 제1 데이터 라인 그룹(D1, D3)을 초기화 전압 배선에 연결하는 다수의 제1 스위치 소자(S1)와, 제2 데이터 라인 그룹(D2, D4)을 초기화 전압 배선에 연결하는 다수의 제2 스위치 소자(S2)를 포함한다. 디멀티플렉서(112)와 스위치 어레이(114) 및 게이트 구동부(120)는 픽셀 어레이와 함께 표시패널(100) 상에 배치될 수 있다.

[0036] 디멀티플렉서(112)는 도 1 및 도 2에 도시된 바와 같이 데이터 라인들(102)의 일측 끝단에 연결되고, 스위치 어레이(114)는 데이터 라인들(102)의 타측 끝단에 연결될 수 있으나 이에 한정되지 않는다. 예컨대, 디멀티플렉서(112)와 스위치 어레이(114)는 데이터 라인들의 양 끝단 중에서 어느 한 끝단에 연결되도록 표시패널(100)의 일측 베젤(bezel) 영역에 함께 배치될 수 있다.

[0037] 서브 픽셀들의 픽셀 회로, 디멀티플렉서(112), 스위치 어레이(114) 및 게이트 구동부(120)는 동일한 제조 공정으로 표시패널(100)의 기판 상에 직접 형성될 수 있다. 픽셀 회로, 디멀티플렉서(112), 스위치 어레이(114) 및 게이트 구동부(120)의 트랜지스터들은 NMOS 또는 PMOS 트랜지스터로 구현될 수 있고 동일한 타입의 트랜지스터로 구현될 수 있다.

[0038] 게이트 구동부(120)는 타이밍 콘트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트(shift)함으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호는 데이터가 기입될 라인의 픽셀들을 선택하기 위한 스캔 신호(SCAN0~SCANn)와, 데이터 전압이 충전된 픽셀들의 발광 시간을 정의하는 발광 스위칭 신호(이하, “EM 신호”라 함)(EM1~EMn)를 포함한다.

[0039] 타이밍 콘트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기의 시스템 중 어느 하나일 수 있다.

[0040] 타이밍 콘트롤러(130)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수×i(i는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 114, 120)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 콘트롤러는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.

[0041] 타이밍 콘트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)와 스위치 어레이(114)의 동작 타이밍을 제어하기 위한 스위치 제어신호(MUXA, MUXB, IEN1, IEN2), 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(130)로부터 출력된 게이트 타이밍 제어신호와 스위치 제어신호(MUXA, MUXB, IEN1, IEN2)의 전압 레벨은 도시하지 않은 레벨 시프터를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.

[0042] 도 3은 디멀티플렉서(112)의 일부를 보여 주는 도면이다. 도 4 및 도 5는 디멀티플렉서(112)와 스위치 어레이(114)의 스위치 소자들이 픽셀 회로의 스위치 소자들과 같은 PMOS로 구현된 경우, 스위치 제어 신호들(MUXA,

MUXB, IEN1, IEN2)과 게이트 신호들(SCAN(N-1), SCAN(N), EN(N))을 보여 주는 파형도이다. 도 5에서, 스위치 제어 신호(MUXA, MUXB, IEN1, IEN2)에 표시된 "ON"은 디멀티플렉서(112)와 스위치 어레이(114)의 스위치 소자가 턴-온되는 온 타이밍 (ON timing) 구간이다. 디멀티플렉서(112)와 스위치 어레이(114)의 스위치 소자들이 NMOS로 구현되면, 스위치 제어 신호들이 도 4 및 도 5에 도시된 파형의 역위상으로 발생된다.

[0043] 도 3 내지 도 5를 참조하면, 디멀티플렉서(112)는 데이터 구동부(110)의 제1 출력 단자(CH1)에 연결된 제1 및 제2 스위치 소자들(M1, M2)을 포함한다.

[0044] 데이터 구동부(110)는 제1 데이터 신호(DATA1)와 제2 데이터 신호(DATA2)를 시분할하여 1 수평 기간(1H) 동안 제1 출력 단자(CH1)를 통해 제1 데이터 신호(DATA1)와 제2 데이터 신호(DATA2)를 순차적으로 출력한다. 1 수평 기간(1H)은 1 픽셀 라인에 배치된 픽셀들에 데이터 신호가 기입(write)되는데 필요한 시간이다.

[0045] 제1 스위치 소자(M1)는 제1 출력 단자(CH1)와 제1 데이터 라인(D1) 사이에 배치된다. 제1 스위치 소자(M1)는 제1 스위치 제어신호(MUXA)에 응답하여 턴-온(turn-on)되어 제1 출력 단자(CH1)를 통해 인가되는 제1 데이터 신호(DATA1)를 제1 데이터 라인(D1)에 공급한다. 제1 데이터 라인(D1)에 연결된 제1 서브 픽셀(101A)은 제1 스위치 소자(M1)를 통해 제1 데이터 신호(DATA1)를 공급 받는다. 제2 스위치 소자(M2)는 제1 출력 단자(CH1)와 제2 데이터 라인(D2) 사이에 배치된다. 제2 스위치 소자(M2)는 제2 스위치 제어신호(MUXB)에 응답하여 턴-온되어 제1 출력 단자(CH1)를 통해 인가되는 제2 데이터 신호(DATA2)를 제2 데이터 라인(D2)에 공급한다. 제2 데이터 라인(D2)에 연결된 제2 서브 픽셀(101B)은 제2 스위치 소자(M2)를 통해 제2 데이터 신호(DATA2)를 공급 받는다. 제1 및 제2 서브 픽셀들(101A, 101B)은 게이트 라인을 공유하여 그 게이트 라인을 통해 데이터 신호들(DATA1, DATA2)에 동기되는 스캔 신호(SCAN)를 공급 받는다. 제1 서브 픽셀(101A)이 A 구간 동안 제1 데이터 신호(DATA1)를 공급 받은 후에, 제2 서브 픽셀(101B)이 B 구간 동안 제2 데이터 신호(DATA2)를 공급 받는다. A 구간과 B 구간은 각각 대략 1/2 수평 기간(1/2 H)이다.

[0046] 스캔 신호(SCAN(N-1), SCAN(N))는 1 수평 기간(1H)의 펄스로 발생될 수 있다. 제N-1 스캔 신호(SCAN(N-1))는 제N-1(N은 0 보다 큰 양의 정수) 픽셀 라인의 픽셀들과 제N 픽셀 라인의 픽셀들에 공급된다. 제N-1 스캔 신호(SCAN(N-1))의 펄스가 발생되는 1 수평 기간(1H) 동안 제N-1 픽셀 라인의 픽셀들은 구동 소자의 문턱 전압 센싱 및 데이터 기입 과정(이하, "Twr 단계"라 함)을 수행함과 동시에, 제N 픽셀 라인의 픽셀들은 초기화 과정(이하, "Tini 단계"라 함)을 수행한다. 제N 스캔 신호(SCAN(N))는 제N 픽셀 라인의 픽셀들과 제N+1 픽셀 라인의 픽셀들에 공급된다. 제N 스캔 신호(SCAN(N))의 펄스가 발생되는 1 수평 기간(1H) 동안 제N 픽셀 라인의 픽셀들은 Twr 단계를 수행함과 동시에, 제N 픽셀 라인의 픽셀들은 Tini 단계를 수행한다.

[0047] Twr 단계는 A 구간과 B 구간으로 나뉘어진다. A 구간은 제1 픽셀 그룹에 속한 서브 픽셀들이 데이터 전압을 충전하고, 제2 픽셀 그룹에 속한 서브 픽셀들의 초기화 전압(Vini)을 충전하는 시간이다. B 구간은 제1 픽셀 그룹에 속한 서브 픽셀들이 초기화 전압(Vini)을 충전하거나 플로팅(floating)되고, 제2 픽셀 그룹에 속한 서브 픽셀들이 데이터 전압을 충전하는 시간이다. 여기서, 제1 픽셀 그룹은 제1 서브 픽셀(101A)과 같은 방법으로 동작하는 서브 픽셀들을 포함한다. 제2 픽셀 그룹에 속한 서브 픽셀들은 제2 서브 픽셀(101B)과 같은 방법으로 동작하는 서브 픽셀들을 포함한다. 제1 픽셀 그룹과 제2 픽셀 그룹은 소정 시간 예를 들어, N(N은 0 보다 큰 양의 정수) 프레임 기간 주기로 서로 위치가 바뀔 수 있다.

[0048] EM 신호(EM(N))는 픽셀 회로에서 발광 소자의 발광 단계(이하, "EM 기간"이라 함)(Tem)을 정의한다. EM 신호는 제N-1 및 제N 스캔 신호(SCAN(N-1), SCAN(N))와 중첩되는 기간 동안 게이트 오프 전압의 펄스로 발생되고, 이 펄스폭을 제외한 1 프레임 기간의 대부분에 게이트 온 전압을 유지한다. EM 기간 동안, EM 신호의 온 타이밍 구간에 의해 도 6 내지 도 8b에서 제3 및 제4 스위치 TFT소자들(T3, T4)이 턴-온된다. EM 기간 동안, 발광 소자(EL)의 전류 패스가 형성된다.

[0049] 픽셀 회로의 구동 소자는 EM 신호(EM(N))가 게이트 온 전압으로 발생되는 기간 동안 게이트-소스 간 전압(Vgs)에 따라 구동되어 발광 소자에 전류를 공급한다. 따라서, 픽셀 회로의 발광 소자는 EM 기간(Tem) 동안 발광될 수 있다.

[0050] 제1 및 제2 스위치 제어 신호들(MUXA, MUXB) 각각은 1/2 수평 기간의 펄스로 발생될 수 있다. 제1 및 제2 스위치 제어 신호들(MUXA, MUXB)은 제1 및 제2 스위치 소자들(M1, M2)이 동시에 턴-온되지 않도록 서로 중첩되지 않는다. 따라서, 제1 스위치 소자(M1)가 턴-온된 후에 제2 스위치 소자(M2)가 턴-온되거나, 그와 반대로 제2 스위치 소자가 턴-온된 후에 제1 스위치 소자(M1)가 턴-온될 수 있다.

[0051] 데이터 구동부(110)는 디멀티플렉서(112)와 동기되는 스위치 소자들(M12, M22)을 포함할 수 있다. 제3 스위치

소자(M12)는 제1 출력 버퍼(AMP1)와 제1 출력 단자(CH1) 사이에 배치된다. 제3 스위치 소자(M12)는 제1 스위치 제어신호(MUXA)에 응답하여 제1 스위치 소자(M1)와 동시에 턴-온되어 제1 데이터 신호(DATA1)를 제1 출력 단자(CH1)를 통해 출력한다. 제4 스위치 소자(M22)는 제2 출력 버퍼(AMP2)와 제1 출력 단자(CH1) 사이에 배치된다. 제4 스위치 소자(M22)는 제2 스위치 제어신호(MUXB)에 응답하여 제2 스위치 소자(M2)와 동시에 턴-온되어 제2 데이터 신호(DATA2)를 제1 출력 단자(CH1)를 통해 출력한다.

[0052] 제1 데이터 라인(D1)은 A 구간 동안 스위치 소자(M1)를 통해 공급되는 제1 데이터 신호(DATA1)로 충전된 후, B 구간 동안 플로팅(floating)되거나 초기화 전압(Vini)으로 충전된다. 제1 데이터 라인(D1)이 플로팅되었다는 것은 제1 데이터 라인(D1)에 연결된 스위치 소자들(M1, S1)이 턴-오프되어 제1 데이터 라인(D1)에 어떠한 신호나 전압이 인가되지 않는 상태를 의미한다. 스위치 어레이(114)의 스위치 소자(S1)는 B 구간 동안 제1 스위치 제어신호(IEN1)에 응답하여 턴-온되어 초기화 전압(Vini)을 제1 데이터 라인(D1)에 공급하거나 제1 데이터 라인(D1)이 플로팅될 수 있도록 오프 상태를 유지할 수 있다.

[0053] 제2 데이터 라인(D2)은 A 구간 동안 초기화 전압(Vini)으로 충전된 후에 B 구간 동안 제2 데이터 신호(DATA2)로 충전된다. 스위치 어레이(114)의 스위치 소자(S2)는 제2 서브 픽셀(101A)이 오동작하지 않도록 A 구간 동안 제2 스위치 제어신호(IEN2)에 응답하여 턴-온되어 초기화 전압(Vini)을 제2 데이터 라인(D2)에 공급한다.

[0054] 표시패널의 데이터 라인들(102) 각각은 기생 용량(Cp)을 포함한다. 이러한 기생 용량(Cp)으로 인하여 스위치 어레이(114)가 없다면, A 구간에서 제2 픽셀 그룹의 서브 픽셀들이 오동작될 수 있다. 스위치 어레이(114)는 A 구동 동안 제2 서브 픽셀(10B)에 연결된 데이터 라인들에 초기화 전압(Vini)을 인가하여 제2 픽셀 그룹의 오동작을 방지한다.

[0055] 도 6 내지 도 8b는 본 발명의 일 실시예에 따른 픽셀 회로와 그 동작을 보여 주는 도면들이다. 본 발명의 픽셀 회로는 도 6 내지 도 8b에 도시된 픽셀 회로에 한정되지 않는다.

[0056] 도 6은 Tini 단계에서 제1 및 제2 서브 픽셀(101A, 101B)의 동작을 보여 주는 회로도이다.

[0057] 도 6을 참조하면, 제1 및 제2 서브 픽셀들(101A, 101B) 각각은 매 프레임 기간마다 구동 소자의 문턱 전압 만큼 데이터 전압을 실시간 보상하는 보상 회로를 포함한다. 이 픽셀 회로는 발광 소자(EL)와, 다수의 TFT들(Thin Film Transistor)(T1~T6, DT), 스토리지 커패시터(Cst) 등을 포함한다.

[0058] TFT들(T1~T5, DT)은 p 타입 TFT(PMOS)로 구현될 수 있으나 이에 한정되지 않는다.

[0059] 스위치 TFT들(T1~T6)은 Tini 단계에서 게이트 라인으로부터의 게이트 신호에 따라 온/오프되어 픽셀 회로를 초기화한 후, Twr 단계에서 구동 소자(DT)의 문턱 전압(Vth)을 센싱하고 그 문턱 전압(Vth) 만큼 보상된 데이터 전압을 구동 소자(DT)의 게이트에 공급한다. 그리고 스위치 TFT들(T1~T5)은 EM 기간(Tem) 동안 VDD와 발광 소자(EL) 사이의 전류 패스를 형성하여 발광 소자(EL)가 발광되도록 한다.

[0060] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. 애노드전극과 캐소드전극에 전원전압이 인가되면, 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자가 형성되어 발광층(EML)에서 가시광이 발광된다. OLED는 구동 TFT(DT)에 의해 조절되는 전류량으로 발광한다. OLED의 애노드는 제6 노드(n6)를 통해 제4 및 제6 스위치 TFT들(T4, T6)에 연결된다. OLED의 캐소드는 VSS가 인가되는 VSS 전극에 연결된다. OLED의 전류패스는 제4 스위치 TFT(T4)에 의해 스위칭된다.

[0061] 스토리지 커패시터(Cst)의 제1 전극은 제2 노드(n2)를 통해 제3 스위치 TFT(T3)의 제1 전극과 VDD 배선에 연결된다. 스토리지 커패시터(Cst)의 제2 전극은 제3 노드(n3)를 통해 구동 TFT(DT)의 게이트, 제2 스위치 TFT(T2)의 제1 전극, 및 제5 스위치 TFT(T5)의 제1 전극에 연결된다.

[0062] 제1 스위치 TFT(T1)는 제N 스캔 신호(SCAN(N))에 응답하여 데이터 라인(D1, D2)을 제1 노드(n1)에 공급하는 스위치 소자이다. 제1 스위치 TFT(T1)는 제1 게이트 라인(G)에 연결된 게이트, 데이터 라인(D1, D2)에 연결된 제1 전극, 및 제1 노드(n1)에 연결된 제2 전극을 포함한다. 제N 스캔 신호(SCAN(N))는 제1 게이트 라인(G1)을 통해 픽셀 회로에 인가된다.

[0063] 제2 스위치 TFT(T2)는 제N 스캔 신호(SCAN(N))에 응답하여 제3 노드(n3)와 제4 노드(n4)를 연결한다. 제2 스위치 TFT(T2)에 의해 구동 TFT(DT)의 게이트와 드레인이 연결되어 구동 TFT(DT)가 다이오드(Diode)로 동작할 수

있다. 제2 스위치 TFT(T2)는 제1 게이트 라인(G1)에 연결된 게이트, 제2 노드(n3)에 연결된 제1 전극, 및 제4 노드(n4)에 연결된 제2 전극을 포함한다.

[0064] 제3 스위치 TFT(T3)는 EM 신호(EM(N))에 응답하여 VDD 배선을 제1 노드(n1)에 연결한다. 제3 스위치 TFT(T3)는 EM 신호(EM(N))가 인가되는 제2 게이트 라인(G2)에 연결된 게이트, 제2 노드(n2)를 통해 VDD 배선에 연결된 제1 전극, 및 제1 노드(n1)에 연결된 제2 전극을 포함한다.

[0065] 제4 스위치 TFT(T4)는 EM 신호(EM(N))에 응답하여 발광 소자(EL)의 전류 패스를 스위칭한다. 제4 스위치 TFT(T4)의 게이트는 제2 게이트 라인(G2)에 연결된다. 제4 스위치 TFT(T4)의 제1 전극은 제4 노드(n4)를 통해 구동 TFT(DT)의 제2 전극과 제2 스위치 TFT(T2)의 제2 전극에 연결된다. 제4 스위치 TFT(T4)의 제2 전극은 제6 노드(n6)를 통해 제6 스위치 TFT(T6)의 제2 전극과 발광 소자(EL)의 애노드에 연결된다.

[0066] 제5 스위치 TFT(T5)는 제N-1 스캔 신호(SCAN(N-1))에 응답하여 제3 노드(n3)를 제5 노드(n5)에 연결한다. 제5 스위치 TFT(T5)는 제N-1 스캔 신호(SCAN(N-1))가 인가되는 제3 게이트 라인(G3)에 연결된 게이트, 제3 노드(n3)를 통해 스토리지 커패시터(Cst)의 제2 전극에 연결된 제1 전극, 및 제5 노드(n5)를 통해 Vini 배선과 제6 스위치 TFT(T6)의 제1 전극에 연결된 제2 전극을 포함한다.

[0067] 제6 스위치 TFT(T6)는 제N-1 스캔 신호(SCAN(N-1))에 응답하여 제5 노드(n5)를 제6 노드(n6)에 연결한다. 제6 스위치 TFT(T6)는 제3 게이트 라인(G3)에 연결된 게이트, 제5 노드(n5)를 통해 제5 스위치 TFT(T5)의 제2 전극과 Vini 배선에 연결된 제1 전극, 및 제6 노드(n6)를 통해 제4 스위치 TFT(T4)의 제2 전극과 발광 소자(EL)의 애노드에 연결된 제2 전극을 포함한다.

[0068] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 발광 소자(EL)에 흐르는 전류를 조절한다. 구동 TFT(DT)는 제3 노드(n3)에 연결된 게이트, 제1 노드(n1)에 연결된 제1 전극, 및 제4 노드(n4)에 연결된 제2 전극을 포함한다.

[0069] 제N 픽셀 라인에 배치된 제1 및 제2 서브 픽셀들(101A, 101B)의 Tini 단계에서 제N-1 스캔 신호(SCAN(N-1))가 게이트 온 전압의 펄스로 발생된다. Tini 단계에서 제N 스캔 신호(SCAN(N))와 EM 신호(EM(N))는 게이트 오프 전압을 유지한다. 따라서, Tini 단계에서 제5 및 제6 스위치 TFT들(T5, T6)이 턴-온되는 반면, 나머지 스위치 TFT들(T1~T4)은 오프 상태를 유지한다. Tini 단계에서, 제2 노드(n2)가 VDD로 초기화되고 제3, 제5 및 제6 노드들(n3, n5, n6)이 Vini로 초기화된다.

[0070] 도 7a 및 도 7b는 Twr 단계에서 제1 서브 픽셀(101A)의 동작을 보여 주는 회로도이다. 제N 픽셀 라인에 배치된 제1 서브 픽셀(101A)의 Twr 단계는 A 구간(Twr-A)과 B 구간(Twr-B)으로 나뉘어진다.

[0071] 도 7a를 참조하면, 제N 스캔 신호(SCAN(N))가 Twr 단계에서 게이트 온 전압의 펄스로 발생된다. A 구간(Twr-A) 동안 제N-1 스캔 신호(SCAN(N-1))와 EM 신호(EM(N))는 게이트 오프 전압을 유지한다. 제1 서브 픽셀(101A)의 A 구간(Twr-A) 동안 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되는 반면, 나머지 스위치 TFT들(T3~T6)은 오프 상태를 유지한다. 이 때, 제N 스캔 신호(SCAN(N))에 동기하여 제1 데이터 라인(D1)에 제N 픽셀 라인의 데이터 신호(Nth Line DATA, DATA1)가 인가된다. 따라서, A 구간(Twr-A)에 구동 TFT(DT)가 Nth Line DATA + Vth가 될 때까지 턴-온되기 때문에 구동 TFF(DT)의 게이트 전압 즉, 제3 노드(n3)의 전압이 Nth Line DATA + Vth로 된다.

[0072] 도 7b를 참조하면, B 구간(Twr-B) 동안 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되는 반면, 나머지 스위치 TFT들(T3~T6)은 오프 상태를 유지한다. 이 때, 제1 데이터 라인(D1)이 플로팅되거나 초기화 전압(Vini)을 충전한다. 이렇게 제1 데이터 라인(D1)이 플로팅되면, 제1 데이터 라인(D1)에 연결된 기생 용량(Cp)에 저장된 전압으로 인하여, 제1 데이터 라인(D1)의 전압이 Nth Line DATA를 유지하여 구동 TFF(DT)의 게이트 전압 즉, 제3 노드(n3)의 전압이 Nth Line DATA + Vth로 된다.

[0073] B 구간(Twr-B) 동안 제1 데이터 라인(D1)에 초기화 전압(Vini)이 인가되면 구동 TFT(DT)의 소스 전압 즉, 제1 노드(n1)의 전압이 구동 TFT(DT)의 게이트 전압 이하로 낮아지기 때문에 구동 TFT(DT)는 턴-오프되어 구동 TFT의 게이트 전압은 Nth Line DATA + Vth를 유지한다.

[0074] 도 8a 및 도 8b는 Twr 단계에서 제2 서브 픽셀(101B)의 동작을 보여 주는 회로도이다.

[0075] 도 8a를 참조하면, 제N 스캔 신호(SCAN(N))가 Twr 단계에서 게이트 온 전압의 펄스로 발생된다. A 구간(Twr-A) 동안 제N-1 스캔 신호(SCAN(N-1))와 EM 신호(EM(N))는 게이트 오프 전압을 유지한다. 제2 서브 픽셀(101B)의 A 구간(Twr-A) 동안 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되는 반면, 나머지 스위치 TFT들(T3~T6)은 오프

상태를 유지한다. 이 때, 제N 스캔 신호(SCAN(N))에 동기하여 제2 데이터 라인(D2)에 초기화 전압(Vini)이 데이터 신호(Nth Line DATA)가 인가된다. 따라서, A 구간(Twr-A)에 구동 TFT(DT)의 게이트와 소스가 초기화 전압(Vini)이 될 때 구동 TFT(DT)가 턴-오프되기 때문에 구동 TFF(DT)의 게이트 전압과 소스 전압이 초기화 전압(Vini)으로 된다.

[0076] 도 8b를 참조하면, B 구간(Twr-B) 동안 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되는 반면, 나머지 스위치 TFT들(T3~T6)은 오프 상태를 유지한다. 이 때, 제N 스캔 신호(SCAN(N))에 동기하여 제2 데이터 라인(D2)에 제N 픽셀 라인의 데이터 신호(Nth Line DATA, DATA2)가 인가된다. 따라서, B 구간(Twr-B)에 구동 TFT(DT)가 Nth Line DATA + Vth가 될 때까지 턴-온되기 때문에 구동 TFF(DT)의 게이트 전압이 Nth Line DATA + Vth로 된다.

[0077] EM 기간(Tem) 동안, 발광 소자(EL)는 게이트-소스간 전압에 따라 구동되는 구동 TFT(DT)에 의해 발광한다. 구동 TFT(DT)의 게이트 전압은 스토리지 커패시터(Cst)로 인하여 구동 TFT(DT)의 문턱 전압(Vth) 만큼 보상된 데이터 전압 Nth Line DATA + Vth으로 유지된다.

[0078] 표시패널의 데이터 라인들(102) 각각은 기생 용량(Cp)을 포함한다. 이러한 기생 용량(Cp)으로 인하여 스위치 어레이(114)가 없다면, 도 10a 및 도 10b에 도시된 바와 같이 제2 서브 픽셀(101B)에서 오동작이 발생될 수 있다. 특히, 스위치 어레이(114)가 없다면 도 3에서 제2 서브 픽셀(101B)은 A 구간에서 플로팅되는데, 이 때 픽셀 회로에서 구동 소자의 문턱 전압 센싱이 되지 않을 수 있다. 따라서, 본 발명은 제2 서브 픽셀(101A)이 A 구간에 초기화 전압(Vini)으로 구동 TFT(DT)의 게이트 전압을 제어함으로써 구동 TFT(DT)의 게이트가 플로팅되지 않도록 방지하여 구동 TFT의 문턱 전압(Vth)이 안정되게 센싱되도록 한다.

[0079] 스위치 어레이(114)가 없으면, 제1 데이터 라인(D1)은 A 구간 동안 제1 데이터 신호(DATA1)로 충전된 후, B 구간 동안 플로팅(floating)된다. 반면에, 제2 데이터 라인(D1)은 A 구간 동안 플로팅된 후에 제2 데이터 신호(DATA2)로 충전된다.

[0080] 도 9는 스위치 어레이가 없을 때 데이터 라인들의 플로팅 구간을 보여 주는 파형도이다. 도 10a 및 도 10b는 스위치 어레이가 없을 때 제2 서브 픽셀의 동작을 보여 주는 도면들이다.

[0081] 도 10a를 참조하면, 제N 스캔 신호(SCAN(N))가 Twr 단계에서 게이트 온 전압의 펄스로 발생된다. A 구간(Twr-A) 동안 제N-1 스캔 신호(SCAN(N-1))와 EM 신호(EM(N))는 게이트 오프 전압을 유지한다. 제2 서브 픽셀(101B)의 A 구간(Twr-A) 동안 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되는 반면, 나머지 스위치 TFT들(T3~T6)은 오프 상태를 유지한다. 이 때, 디멀티플렉서(112)의 제2 스위치 소자(M2)가 턴-오프되기 때문에 제2 데이터 라인(D2)은 플로팅되어 제2 데이터 라인(D2)은 기생 용량(Cp)에 충전된 제N-1 라인의 데이터 신호((N-1)th Line DATA)의 전압으로 유지된다. 따라서, A 구간(Twr-A)에 구동 TFT(DT)의 게이트는 이전에 충전하였던 (N-1)th Line DATA + Vth를 유지한다.

[0082] 도 10b를 참조하면, B 구간(Twr-A) 동안 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되는 반면, 나머지 스위치 TFT들(T3~T6)은 오프 상태를 유지한다. 이 때, 제N 스캔 신호(SCAN(N))에 동기하여 제2 데이터 라인(D2)에 제N 픽셀 라인의 데이터 신호(Nth Line DATA, DATA2)가 인가된다.

[0083] B 구간(Twr-B) 동안 구동 TFT(DT)의 게이트 전압은 초기화 전압과 다른 (N-1)th Line DATA + Vth이다. (N-1)th Line DATA + Vth이 Nth Line DATA 보다 클 때 구동 TFT(DT)가 턴-오프되기 때문에 구동 TFT(DT)의 게이트 전압이 Nth Line DATA + Vth까지 상승하지 못한다. 따라서, 제2 서브 픽셀(101B)의 경우에 A 구간 동안 제2 데이터 라인(D2)에 초기화 전압(Vini)이 인가되지 않으면 Twr 단계에서 구동 TFT(DT)의 문턱 전압(Vth)이 센싱될 수 없다.

[0084] 본 발명은 도 8a에 도시된 바와 같이 제2 서브 픽셀(101B)의 A 구간 동안 제2 서브 픽셀(101B)에 연결된 제2 데이터 라인(D2)을 초기화 전압(Vini)으로 설정하여 Twr 단계에서 제2 서브 픽셀(101B)에서 구동 TFT(DT)의 문적 전압 센싱이 불가능한 문제를 방지한다.

[0085] 도 11은 본 발명의 제1 실시예에 따른 디멀티플렉서와 스위치 어레이의 제어 방법을 보여 주는 파형도이다. 도 11은 디멀티플렉서(112)와 스위치 어레이(114)의 스위치 소자들이 PMOS로 구현된 경우에 스위치 제어 신호들(MUXA, MUXB, IEN1, IEN2)을 보여 준다. 도 11의 파형도는 도 4 및 도 5에서 스위치 제어 신호들(MUXA, MUXB, IEN1, IEN2)과 실질적으로 동일하다. 도 12a 및 도 12b는 도 11에 도시된 제어 신호에 의해 스위칭되는 디멀티플렉서와 스위치 어레이를 보여 주는 도면들이다.

[0086] 도 11 내지 도 12b를 참조하면, 디멀티플렉서(112)는 제1 스위치 제어 신호(MUXA)에 응답하여 A 구간 동안 제1

픽셀 그룹에 연결된 데이터 라인들(D1, D3)을 데이터 구동부(110)의 출력 단자들에 연결한다. 그리고 디멀티플렉서(112)는 제2 스위치 제어 신호(MUXB)에 응답하여 B 구간 동안 제1 픽셀 그룹에 연결된 데이터 라인들(D2, D4)를 데이터 구동부(110)의 출력 단자들에 연결한다. 제1 및 제2 스위치 제어 신호들(MUXA, MUXB)은 실질적으로 서로 반대 위상의 신호로 발생될 수 있다. 제1 픽셀 그룹의 서브 픽셀들(101A)은 기수 번째 데이터 라인들(D1, D3)에 연결되고, 제2 픽셀 그룹의 서브 픽셀들(101B)은 우수 번째 데이터 라인들(D1, D3)에 연결될 수 있으나 이에 한정되지 않는다. 제1 및 제2 스위치 제어 신호들(MUXA, MUXB)은 실질적으로 서로 반대 위상의 신호로 발생될 수 있다.

[0087] 스위치 어레이(114)는 제1 스위치 제어 신호(IEN1)에 응답하여 A 구간 동안 제2 픽셀 그룹에 연결된 데이터 라인들(D2, D4)에 초기화 전압(Vini)을 공급한다. 스위치 어레이(114)는 제2 스위치 제어 신호(IEN2)에 응답하여 B 구간 동안 제1 픽셀 그룹에 연결된 데이터 라인들(D1, D3)에 초기화 전압(Vini)을 공급한다.

[0088] 제1 픽셀 그룹의 서브 픽셀들(101A)은 기수 번째 데이터 라인들(D1, D3)에 연결되고, 제2 픽셀 그룹의 서브 픽셀들(101B)은 우수 번째 데이터 라인들(D2, D4)에 연결될 수 있으나 이에 한정되지 않는다.

[0089] 디멀티플렉서(112)의 제1 스위치 제어 신호(MUXA)와, 스위치 어레이(114)의 제1 스위치 제어 신호(IEN1)는 서로 반대 위상으로 발생된다. 또한, 디멀티플렉서(112)의 제2 스위치 제어 신호(MUXB)와, 스위치 어레이(114)의 제2 스위치 제어 신호(IEN2)는 서로 반대 위상으로 발생된다. 따라서, A 구간 동안 도 12a에 도시된 바와 같이 제1 픽셀 그룹에 데이터 신호가 인가됨과 동시에, 제2 픽셀 그룹에 초기화 전압(Vini)이 인가된다. 이어서, B 구간 동안 도 12b에 도시된 바와 같이 제2 픽셀 그룹에 데이터 신호가 인가됨과 동시에, 제1 픽셀 그룹에 초기화 전압(Vini)이 인가된다.

[0090] 도 7a 내지 도 8b와 관련된 실시예에서 설명한 바와 같이 Twr 단계에서 데이터 신호가 먼저 인가되는 제1 픽셀 그룹은 데이터 신호 이후에 초기화 전압(Vini)이 인가되거나 플로팅되는 경우에 정상적으로 구동될 수 있다.

[0091] 도 13은 본 발명의 제2 실시예에 따른 디멀티플렉서와 스위치 어레이의 제어 방법을 보여 주는 파형도이다. 도 14a 및 도 14b는 도 13에 도시된 제어 신호에 의해 스위칭되는 디멀티플렉서와 스위치 어레이를 보여 주는 도면들이다. 도 13 내지 도 14b는 제1 픽셀 그룹에 데이터 신호를 먼저 인가한 후에 제1 픽셀 그룹에 연결된 데이터 라인들을 플로팅으로 제어하는 방법을 보여 준다.

[0092] 도 13 내지 도 14b를 참조하면, 디멀티플렉서(112)는 제1 스위치 제어 신호(MUXA)에 응답하여 A 구간 동안 제1 픽셀 그룹에 연결된 데이터 라인들(D1, D3)을 데이터 구동부(110)의 출력 단자들에 연결한다. 그리고 디멀티플렉서(112)는 제2 스위치 제어 신호(MUXB)에 응답하여 B 구간 동안 제1 픽셀 그룹에 연결된 데이터 라인들(D2, D4)를 데이터 구동부(110)의 출력 단자들에 연결한다. 제1 및 제2 스위치 제어 신호들(MUXA, MUXB)은 실질적으로 서로 반대 위상의 신호로 발생될 수 있다. 제1 픽셀 그룹의 서브 픽셀들(101A)은 기수 번째 데이터 라인들(D1, D3)에 연결되고, 제2 픽셀 그룹의 서브 픽셀들(101B)은 우수 번째 데이터 라인들(D2, D4)에 연결될 수 있으나 이에 한정되지 않는다. 제1 및 제2 스위치 제어 신호들(MUXA, MUXB)은 실질적으로 서로 반대 위상의 신호로 발생될 수 있다.

[0093] 스위치 어레이(114)를 제어하기 위한 스위치 제어 신호(IEN)는 디멀티플렉서(112)의 제1 스위치 제어 신호(MUXA)와 동위상으로 발생될 수 있다. 스위치 어레이(114)는 스위치 제어 신호(IEN)에 응답하여 A 구간 동안 제2 픽셀 그룹에 연결된 데이터 라인들(D1, D3)에 초기화 전압(Vini)을 공급하는 스위치 소자들(S3)을 포함한다. 이 실시예에서 제1 픽셀 그룹에 연결된 데이터 라인들(D1, D3)에 스위치 어레이(114)의 스위치 소자가 연결될 필요가 없다. 도 7a 및 도 7b와 관련된 설명에서 전술한 바와 같이, B 구간에 제1 픽셀 그룹에 연결된 데이터 라인들(D1, D3)이 플로팅되어도 픽셀 회로에서 구동 TFT의 문턱 전압이 정상적으로 센싱될 수 있다.

[0094] 디멀티플렉서(112)의 제1 스위치 제어 신호(MUXA)와, 스위치 어레이(114)의 제1 스위치 제어 신호(IEN1)는 서로 반대 위상으로 발생된다. 따라서, A 구간 동안 도 12a에 도시된 바와 같이 제1 픽셀 그룹에 데이터 신호가 인가됨과 동시에, 제2 픽셀 그룹에 초기화 전압(Vini)이 인가된다. 이어서, B 구간 동안 도 12b에 도시된 바와 같이 제2 픽셀 그룹에 데이터 신호가 인가됨과 동시에, 제1 픽셀 그룹에 초기화 전압(Vini)이 인가된다.

[0095] 도 15는 픽셀 그룹들 간의 구동 소자의 문턱 전압 센싱 시간 차이를 보여 주는 도면이다. 도 15에서 “Vg”는 픽셀 회로에서 구동 TFT(DT)의 게이트 전압(n3 전압)이다.

[0096] 도 15를 참조하면, 제1 서브 픽셀(101A)은 Twr 단계의 A 구간부터 데이터 신호(DATA1)를 공급 받아 구동 TFT(DT)의 문턱 전압을 센싱하고 B 구간에 기생 용량(Cp)에 저장된 전압을 공급 받아 구동 TFT(DT)의 문턱 전압을 센싱한다. 이에 비하여, 제2 서브 픽셀(101A)은 Twr 단계의 B 구간 에 데이터 신호(DATA2)를 공급 받아 구

동 TFT(DT)의 문턱 전압을 센싱한다. 제1 픽셀 그룹의 서브 픽셀은 1 수평 기간(1H) 동안 구동 TFT(DT)의 문턱 전압을 센싱하는 반면에, 제2 서브 픽셀(101B)은 1/2 수평 기간(1/2 H)에 구동 TFT(DT)의 문턱 전압을 센싱하기 때문에 제1 픽셀 그룹과 제2 픽셀 그룹 간에 센싱된 문턱 전압 차이(ΔVth)가 발생할 수 있다. 이는 동일 계조에서 제1 픽셀 그룹과 제2 픽셀 그룹간의 휘도 차이를 초래할 수 있다.

[0097] 도 16은 디멀티플렉서(112)를 제어하기 위한 스위치 제어 신호(MUXA, MUXB)를 소정 시간 주기로 변경함으로써 픽셀 그룹들 간의 휘도를 균일하게 제어하는 방법을 보여 주는 도면이다.

[0098] 도 16을 참조하면, 제1 픽셀 그룹과 제2 픽셀 그룹은 Twr 단계에서 데이터 전압의 충전 순서에 따라 구분된다. 서브 픽셀들의 데이터 전압 충전 순서는 디멀티플렉서(112)를 제어하기 위한 스위치 제어 신호들(MUXA, MUXB)로 제어될 수 있다.

[0099] 소정 시간 예를 들어, 스위치 제어 신호들(MUXA, MUXB)이 매 수평 기간 마다 반전되면, 1 프레임 기간 내에서 제1 픽셀 그룹의 서브 픽셀들(101A)과, 제2 픽셀 그룹의 서브 픽셀들(101B)이 1 서브 픽셀 간격으로 교번 배치된다. 이렇게 제1 및 제2 픽셀 그룹의 위치가 매 프레임 기간마다 동일하면 1 서브 픽셀 단위로 휘도 차이가 존재할 수 있다.

[0100] 스위치 제어 신호들(MUXA, MUXB)이 매 수평 기간 마다 반전되고 또한, 매 프레임 기간마다 반전되면, 도 16과 같이 1 프레임 기간 내에서 제1 픽셀 그룹의 서브 픽셀들(101A)과 제2 픽셀 그룹의 서브 픽셀들(101B)이 상하좌우에서 서로 이웃되도록 배치되어 제1 픽셀 그룹과 제2 픽셀 그룹이 공간적으로 분산되고, 매 프레임 기간마다 제1 픽셀 그룹의 서브 픽셀들(101A)과 제2 픽셀 그룹의 서브 픽셀들(101B)의 위치가 서로 바뀐다. 그 결과, 제1 프레임 기간(FR1)과 제2 프레임 기간(FR2)에서 서브 픽셀들(100)의 평균 휘도가 동일하게 된다.

[0101] 본원 출원인은 디멀티플렉서(112)의 스위칭 횟수를 줄여 소비 전력을 줄이는 방법을 대한민국 공개 특허 10-2016-0033289(2016-03-28), 미국 공개 특허 US2016-0078826A1(2016-03-17) 등을 통해 제안한 바 있다. 이 스위칭 방법은 도 17 및 도 18에 도시된 바와 같이 디멀티플렉서(112)를 제어하기 위한 스위치 제어 신호들(MUXA, MUXB)의 온 타이밍(ON timing) 구간을 스캔 신호(SCAN(N-1), SCAN(N))와 같은 1 수평 기간(1H)으로 확장하고, 이 1 수평 기간(1H) 내에서 이웃한 두 개의 픽셀 라인들에 배치된 서브 픽셀들에 데이터 신호를 시분할 공급한다.

[0102] 픽셀들의 문턱 전압 센싱 시간은 디멀티플렉서(112)의 온 타이밍과, 데이터 신호와 동기되는 스캔 신호의 온 타이밍에 의해 결정된다. 본 발명은 도 19a 내지 도 19d에 도시된 바와 같이 매 프레임 기간마다 스위치 제어 신호들(MUX1, MUX2)와 스캔 신호의 온 타이밍 구간을 적절히 변경하여 픽셀들의 휘도를 공간적으로, 시간적으로 균일하게 제어할 수 있다.

[0103] 도 19a 및 도 19b에 도시된 바와 같이 타이밍 콘트롤러(130)에 의해 제1 프레임 기간(FR1)에 제2 스위치 제어 신호(MUX2)의 온 구간이 제1 스위치 제어 신호(MUX1) 보다 빠르게 발생된 후, 제2 프레임 기간(FR2)에 제1 스위치 제어 신호(MUX1)의 온 구간이 제2 스위치 제어 신호(MUX2) 보다 빠르게 발생될 수 있다. 그리고 도 19c 및 도 19d에 도시된 바와 같이 타이밍 콘트롤러(130)에 의해 제1 프레임 기간(FR1)에 제1 스위치 제어 신호(MUX1)의 온 구간이 제2 스위치 제어 신호(MUX2) 보다 빠르게 발생된 후, 제4 프레임 기간(FR4)에 제2 스위치 제어 신호(MUX2)의 온 구간이 제1 스위치 제어 신호(MUX1) 보다 빠르게 발생될 수 있다. 이웃한 픽셀 라인들 간에 제1 픽셀 그룹의 서브 픽셀들과, 제2 픽셀 그룹의 서브 픽셀들이 도 16과 같이 1 서브 픽셀 간격으로 교번될 수 있도록 스위치 제어 신호들(MUX1, MUX2)은 1 수평 기간(1H) 마다 반전될 수 있다. 도 19a 내지 도 19d에 도시된 파형들을 적절히 조합하면 픽셀들의 휘도가 균일하게 제어될 수 있다.

[0104] 도 2에서 제1 픽셀 라인(LINE1)에서 제1 데이터 라인(D1)에 적색 서브 픽셀(R)이 연결되고, 제2 데이터 라인(D2)에 녹색 서브 픽셀(G)이 연결된다. 제2 픽셀 라인(LINE2)에서 제1 데이터 라인(D1)에 청색 서브 픽셀(B)이 연결되고, 제2 데이터 라인(D2)에 녹색 서브 픽셀(G)이 연결된다. 이하에서, 제1 픽셀 라인(LINE1)에서 제1 데이터 라인(D1)에 연결된 적색 서브 픽셀(R)을 “R 서브 픽셀”이라 하고, 제1 픽셀 라인(LINE1)에서 제2 데이터 라인(D2)에 연결된 녹색 서브 픽셀(G)을 “G 서브 픽셀”이라 한다.

[0105] 도 2에 도시된 스위치 제어 신호(MUXA, MUXB)는 도 19a 내지 도 19d에 도시된 신호로 변경될 수 있다. 이 경우, 제1 프레임 기간(FR1)에 MUXA는 MUX2로 발생되고, MUXB는 MUX2 보다 온 타이밍이 늦은 MUX1로 발생될 수 있다. 제2 프레임 기간(FR2)에 MUXA는 MUX1로 발생되고, MUXB는 MUX2 보다 온 타이밍이 앞선 MUX2로 발생될 수 있다. 제3 프레임 기간(FR3)에 MUXA는 MUX2로 발생되고, MUXB는 MUX2 보다 온 타이밍이 앞선 MUX1로 발생될 수 있다. 제4 프레임 기간(FR4)에 MUXA는 MUX1로 발생되고, MUXB는 MUX1 보다 온 타이밍이 앞선 MUX2로 발생될 수

있다. 타이밍 콘트롤러(130)는 디멀티플렉서(112)와 게이트 구동부(120)의 동작 타이밍으로 제어하여 도 19a 내지 도 19d와 같이 매 프레임 기간 마다 스캔 신호와 스위치 제어 신호를 변경할 수 있다.

[0106] 도 19a 및 도 19d를 참조하면, 제N 스캔 신호(N)와 스위치 제어 신호(MUX)는 제N 픽셀 라인(LINE(N))에 데이터 신호를 기입하고 구동 TFT(DT)의 문턱 전압 센싱 기간을 정의한다. 픽셀들의 문턱 전압 센싱 값은 디멀티플렉서(112)의 온 타이밍 구간에서 공급되는 데이터 신호의 전압에 의해 영향을 받고, 데이터 신호와 동기되는 스캔 신호의 온 타이밍 구간에 의해 영향을 받는다. 디멀티플렉서(112)의 온 타이밍은 스위치 제어 신호(MUX)에 의해 결정된다. 픽셀들의 문턱 전압 센싱 시간은 스위치 제어 신호(MUX)의 온 타이밍 구간과 스캔 신호(SCAN(N)의 온 타이밍 구간의 곱 연산으로 결정될 수 있다. 도 19a 내지 도 19d에서, “Sensing(R)”은 R 서브 픽셀에서 구동 TFT(DT)의 문턱 전압 센싱 기간이다. “Sensing(G)”은 G 서브 픽셀에서 구동 TFT(DT)의 문턱 전압 센싱 기간이다.

[0107] 스위치 제어 신호(MUX)의 온 타이밍 구간은 펄스의 전반부에 해당하는 제1 구간(FH)과, 펄스의 후반부에 해당하는 제2 구간(FH)으로 나뉘어진다. 마찬가지로, 스캔 신호(SCAN(N)의 온 타이밍 구간은 펄스의 전반부에 해당하는 제1 구간(FH)과, 펄스의 후반부에 해당하는 제2 구간(FH)으로 나뉘어진다. 이하에서 제1 스캔 신호(SCAN1)와 스위치 제어 신호(MUX1, MUX2)를 도면 부호로 약칭한다.

[0108] 제1 프레임 기간(FR1)에 발생되는 SCAN1은 제1 픽셀 라인(LINE1)의 서브 픽셀들에 인가되는 데이터 신호(R, G)에 동기된다. 데이터 신호(R)는 MUX2에 응답하여 턴-온되는 제1 스위치 소자(M1)를 통해 제1 데이터 라인(D1)에 공급되고, SCAN1의 FH에 R 서브 픽셀에 공급된다. 데이터 신호(G)는 MUX1에 응답하여 턴-온되는 제2 스위치 소자(M2)를 통해 제2 데이터 라인(D2)에 공급되고, SCAN1의 SH에 G 서브 픽셀에 공급된다. R 서브 픽셀은 제1 프레임 기간(FR1)에 제1 서브 픽셀(101A)과 같은 방법으로 동작한다. 제1 프레임 기간(FR1)에 R 서브 픽셀에서 MUX2의 SH와 SCANN1의 FH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1 수평 기간(1H) 동안 구동 TFT의 문턱 전압을 센싱하고, 그 문턱 전압 만큼 데이터 전압을 보상한다. 이에 비하여, 제1 프레임 기간(FR1)에 G 서브 픽셀은 제2 서브 픽셀(101B)과 같은 방법으로 동작한다. G 서브 픽셀은 MUX1의 FH와 SCANN1의 SH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1/2 수평 기간(1/2 H) 동안 구동 TFT의 문턱 전압을 센싱하고, 그 문턱 전압 만큼 데이터 전압을 보상한다.

[0109] 제2 프레임 기간(FR2)에 발생되는 SCAN1은 제1 픽셀 라인(LINE1)의 서브 픽셀들에 인가되는 데이터 신호(R, G)에 동기된다. 데이터 신호(R)는 MUX1에 응답하여 턴-온되는 제1 스위치 소자(M1)를 통해 제1 데이터 라인(D1)에 공급되고, SCAN1의 SH에 R 서브 픽셀에 공급된다. 데이터 신호(G)는 MUX2에 응답하여 턴-온되는 제2 스위치 소자(M2)를 통해 제2 데이터 라인(D2)에 공급되고, SCAN1의 FH에 G 서브 픽셀에 공급된다. R 서브 픽셀은 제2 프레임 기간(FR2)에 제2 서브 픽셀(101B)과 같은 방법으로 동작한다. 제1 프레임 기간(FR1)에 R 서브 픽셀에서 MUX1의 FH와 SCANN1의 SH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1/2 수평 기간(1/2 H) 동안 구동 TFT의 문턱 전압을 센싱하고, 그 문턱 전압 만큼 데이터 전압을 보상한다. 이에 비하여, 제2 프레임 기간(FR1)에 G 서브 픽셀은 제1 서브 픽셀(101A)과 같은 방법으로 동작한다. G 서브 픽셀은 MUX2의 SH와 SCANN1의 FH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1 수평 기간(1H) 동안 구동 TFT의 문턱 전압을 센싱하고 그 문턱 전압 만큼 데이터 전압을 보상한다.

[0110] 제3 프레임 기간(FR3)에 발생되는 SCAN1은 제1 픽셀 라인(LINE1)의 서브 픽셀들에 인가되는 데이터 신호(R, G)에 동기된다. 데이터 신호(R)는 MUX2에 응답하여 턴-온되는 제1 스위치 소자(M1)를 통해 제1 데이터 라인(D1)에 공급되고, SCAN1의 SH에 R 서브 픽셀에 공급된다. 데이터 신호(G)는 MUX1에 응답하여 턴-온되는 제2 스위치 소자(M2)를 통해 제2 데이터 라인(D2)에 공급되고, SCAN1의 FH에 G 서브 픽셀에 공급된다. R 서브 픽셀은 제3 프레임 기간(FR3)에 제2 서브 픽셀(101B)과 같은 방법으로 동작한다. 제3 프레임 기간(FR3)에 R 서브 픽셀에서 MUX2의 FH와 SCANN1의 SH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1/2 수평 기간(1/2 H) 동안 구동 TFT의 문턱 전압을 센싱하고, 그 문턱 전압 만큼 데이터 전압을 보상한다. 이에 비하여, 제3 프레임 기간(FR3)에 G 서브 픽셀은 제1 서브 픽셀(101A)과 같은 방법으로 동작한다. G 서브 픽셀은 MUX1의 SH와 SCANN1의 FH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1 수평 기간(1H) 동안 구동 TFT의 문턱 전압을 센싱하고 그 문턱 전압 만큼 데이터 전압을 보상한다.

[0111] 제4 프레임 기간(FR4)에 발생되는 SCAN1은 제1 픽셀 라인(LINE1)의 서브 픽셀들에 인가되는 데이터 신호(R, G)에 동기된다. 데이터 신호(R)는 MUX1에 응답하여 턴-온되는 제1 스위치 소자(M1)를 통해 제1 데이터 라인(D1)에 공급되고, SCAN1의 FH에 R 서브 픽셀에 공급된다. 데이터 신호(G)는 MUX2에 응답하여 턴-온되는 제2 스위치 소자(M2)를 통해 제2 데이터 라인(D2)에 공급되고, SCAN1의 SH에 G 서브 픽셀에 공급된다. R 서브 픽셀은 제4

프레임 기간(FR4)에 제1 서브 픽셀(101A)과 같은 방법으로 동작한다. 제4 프레임 기간(FR4)에 R 서브 픽셀에서 MUX1의 2H와 SCANN1의 FH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1 수평 기간(1H) 동안 구동 TFT의 문턱 전압을 센싱하고, 그 문턱 전압 만큼 데이터 전압을 보상한다. 이에 비하여, 제4 프레임 기간(FR4)에 G 서브 픽셀은 제2 서브 픽셀(101B)과 같은 방법으로 동작한다. G 서브 픽셀은 MUX2의 FH와 SCANN1의 SH가 중첩되는 구간부터 데이터 신호 전압을 충전하기 시작하기 때문에 대략 1/2 수평 기간(1/2 H) 동안 구동 TFT의 문턱 전압을 센싱하고 그 문턱 전압 만큼 데이터 전압을 보상한다.

[0112] R 서브 픽셀이 도 9a 내지 도 9d와 같은 방법으로 구동되면, R 서브 픽셀의 문턱 전압 센싱 시간은 제1 내지 제4 프레임 기간(FR1~FR4) 동안 다음과 같다.

[0113] FR1 : MUX2의 SH X SCAN1의 FH

[0114] FR2 : MUX1의 FH X SCAN1의 SH

[0115] FR3 : MUX2의 FH X SCAN1의 SH

[0116] FR4 : MUX1의 SH X SCAN1의 FH

[0117] R 서브 픽셀의 경우, 도 9a 내지 도 9d와 같은 방법으로 구동되면 제1 내지 제4 프레임 기간(FR1~FR4) 동안 구동 TFT(DT)의 문턱 전압 센싱 시간이 long -> short -> short -> long 으로 변한다. 문턱 전압 센싱 시간은 전술한 바와 같이 스위치 제어 신호(MUX)의 온 타이밍 구간과 스캔 신호(SCAN(N))의 온 타이밍 구간에 영향을 받는다. 문턱 전압 센싱 시간에 대하여 디멀티플렉서(112)의 온 타이밍 구간이 더 영향이 클 경우, FR1 -> FR2 -> FR3 -> FR4 순서로 서브 픽셀들이 구동되면, 문턱 전압 센싱 시간이 short -> long -> short -> long 으로 변하여 주기가 짧다. 문턱 전압 센싱 시간에 대하여 스캔 신호의 영향이 더 큰 경우에, FR1 -> FR2 -> FR3 -> FR4 순서로 서브 픽셀들이 구동되면 문턱 전압 센싱 시간이 short -> long -> long -> short 으로 변하여 주기가 길어진다. FR1 -> FR2 -> FR4 -> FR3 순서로 서브 픽셀들이 구동되면, 문턱 전압 센싱 시간이 short -> long -> short -> long 으로 변한다.

[0118] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0119] 102, D1~D4 : 데이터 라인 103, G1~G3 : 게이트 라인

100 : 표시패널 101, 101A, 101B : 서브 픽셀

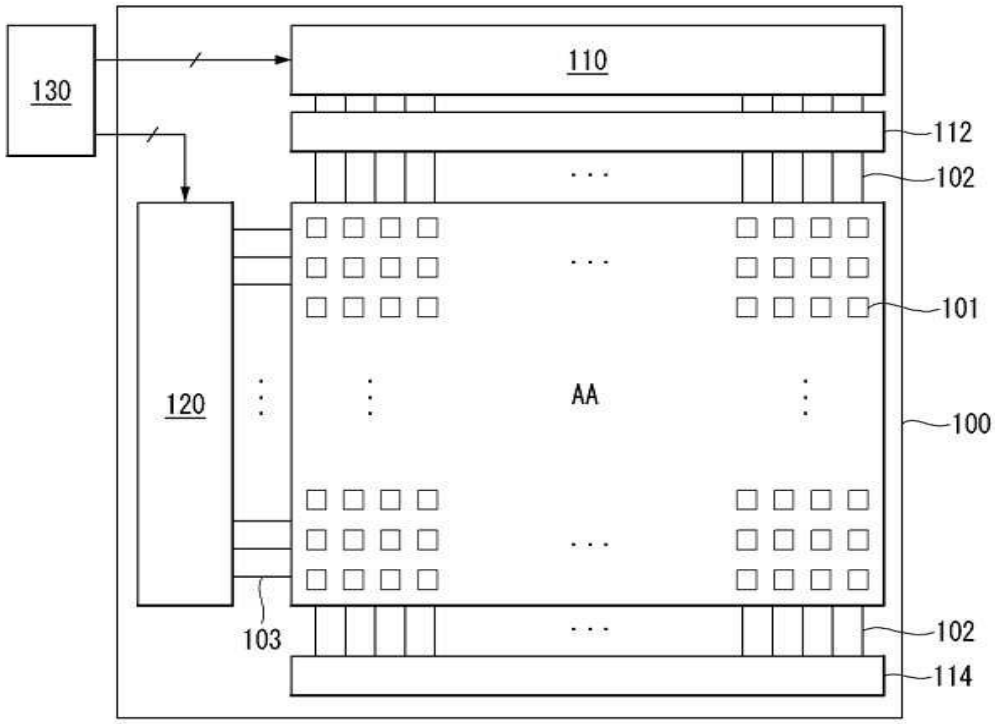
110 : 데이터 구동부 112 : 디멀티플렉서

114 : 스위치 어레이 120 : 게이트 구동부

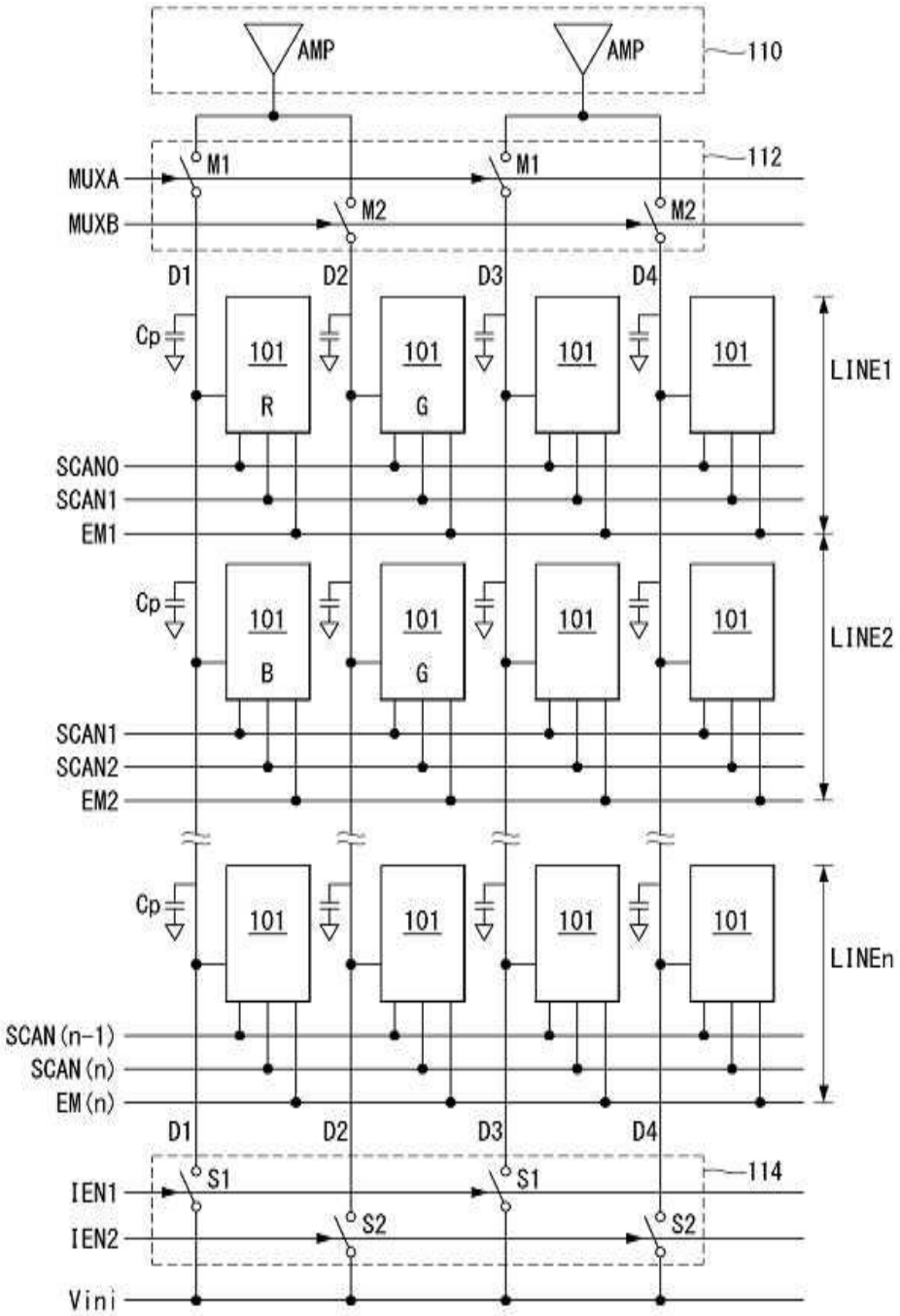
130 : 타이밍 콘트롤러

도면

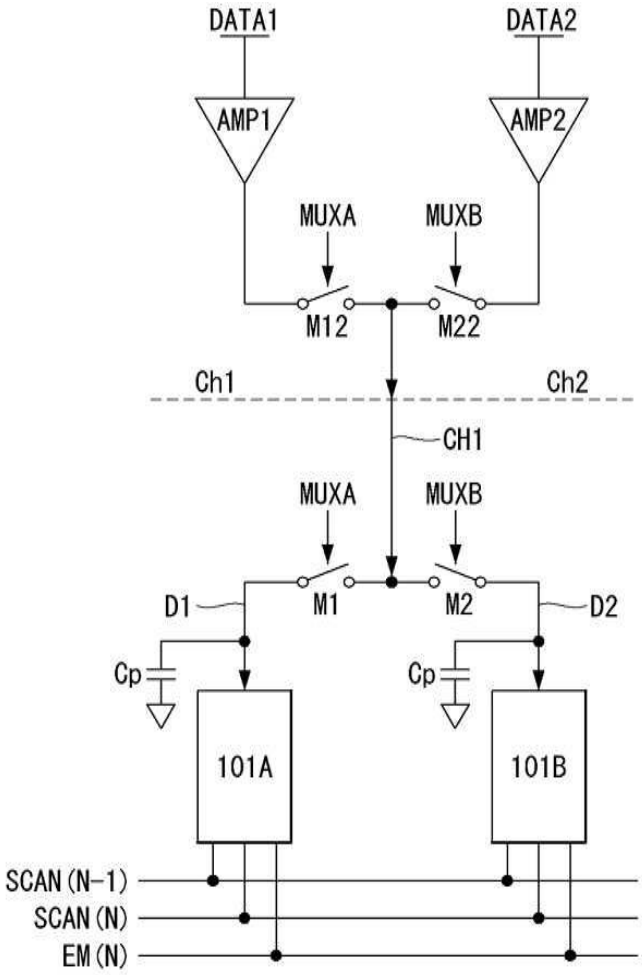
도면1



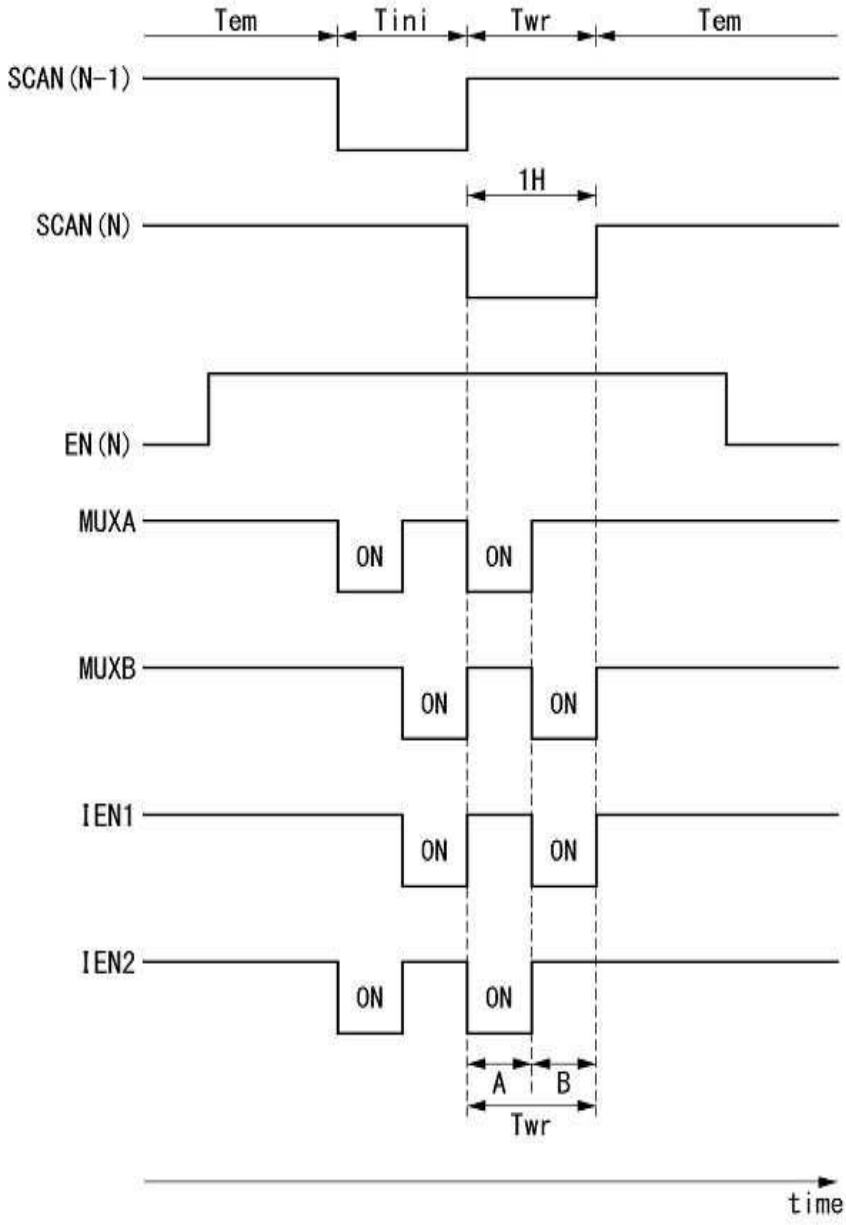
도면2


AMP
AMP
110
112
M1
M1
M2
M2
MUXA
MUXB
D1
D2
D3
D4
Cp
101
R
G
B
LINE1
LINE2
LINEn
SCAN0
SCAN1
EM1
SCAN2
EM2
SCAN(n-1)
SCAN(n)
EM(n)
S1
S2
114
IEN1
IEN2
Vini

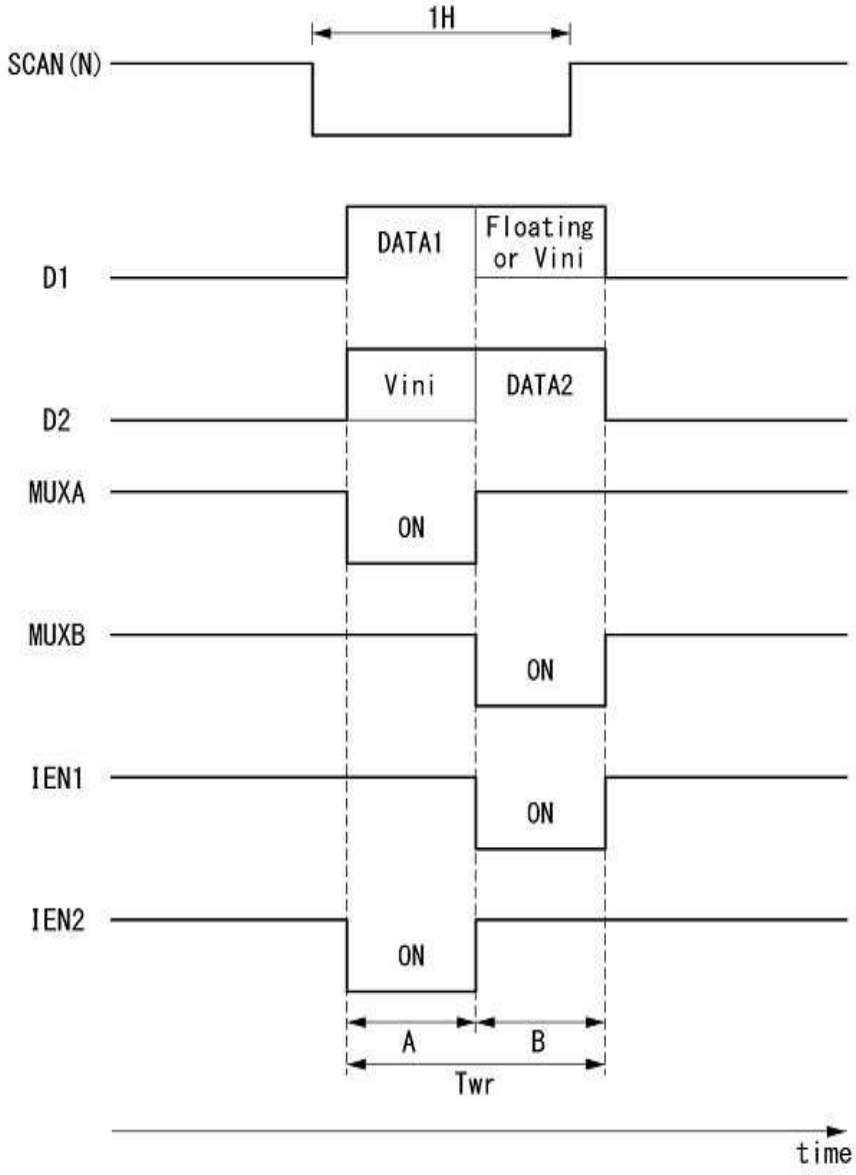
도면3


DATA1
DATA2
AMP1
AMP2
MUXA
MUXB
M12
M22
Ch1
Ch2
CH1
MUXA
MUXB
D1
M1
M2
D2
Cp
Cp
101A
101B
SCAN (N-1)
SCAN (N)
EM (N)

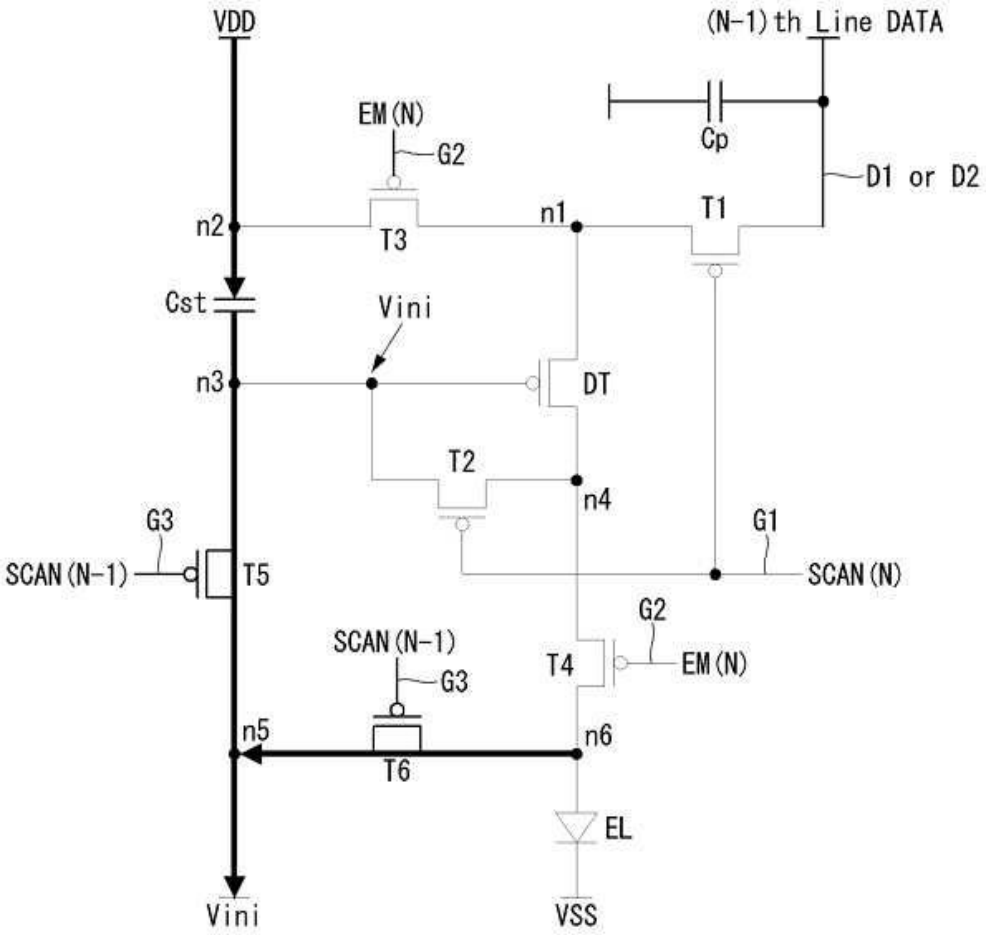
도면4


Tem
Tini
Twr
Tem
SCAN(N-1)
1H
SCAN(N)
EN(N)
MUXA
ON
ON
MUXB
ON
ON
IEN1
ON
ON
IEN2
ON
ON
A
B
Twr
time

도면5

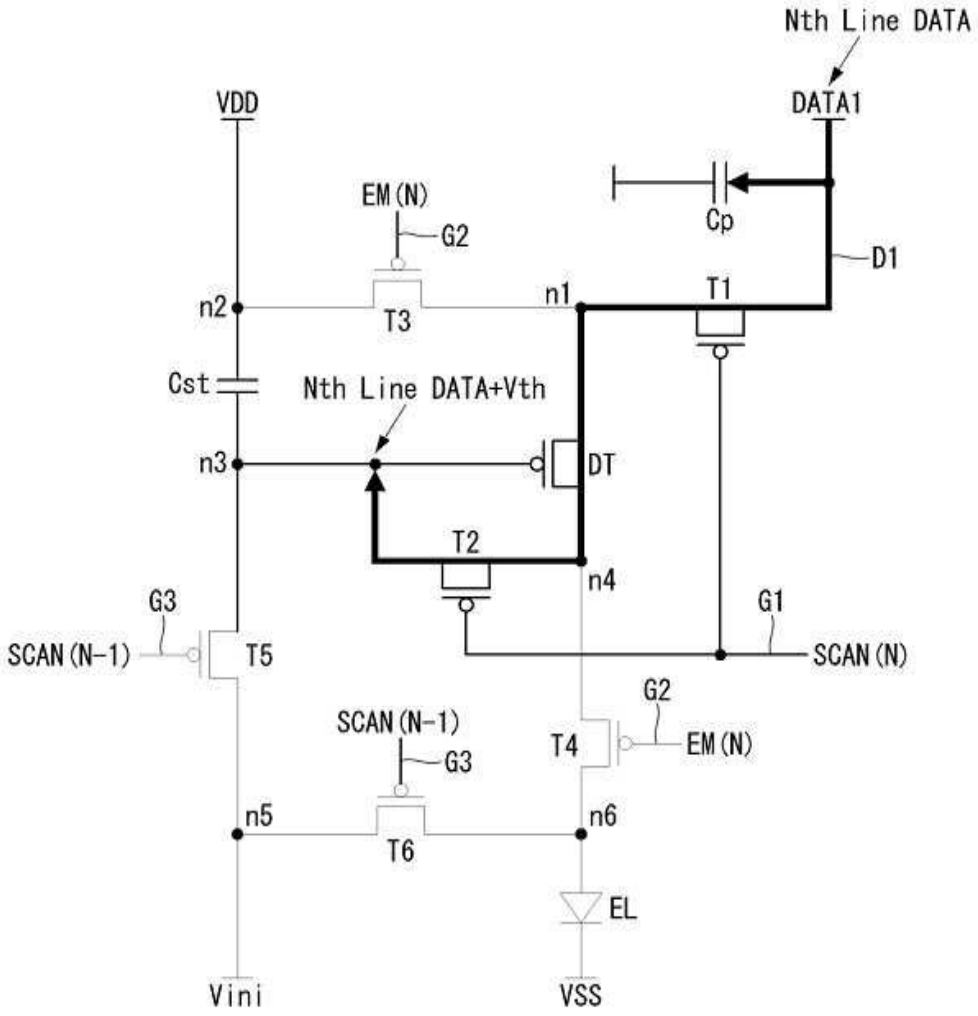

1H
SCAN(N)
D1
DATA1
Floating or Vini
D2
Vini
DATA2
MUXA
ON
MUXB
ON
IEN1
ON
IEN2
ON
A
B
Twr
time

도면6



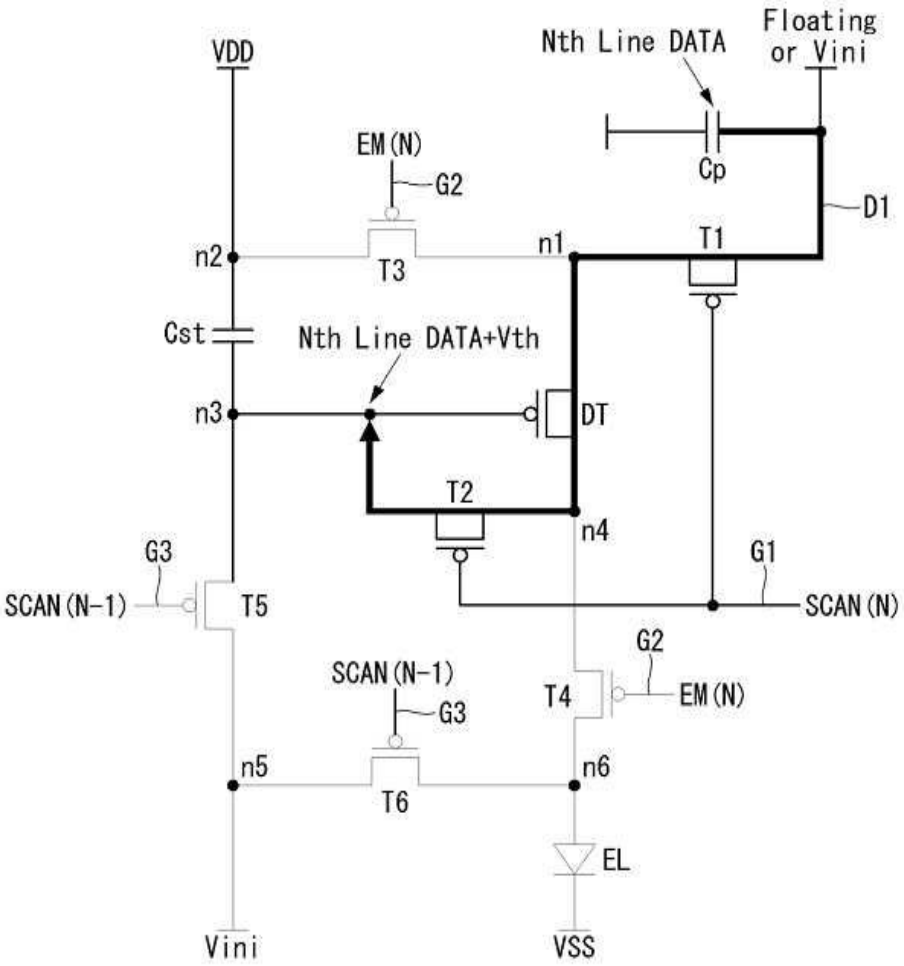
101A/101B(Tini)

도면7a



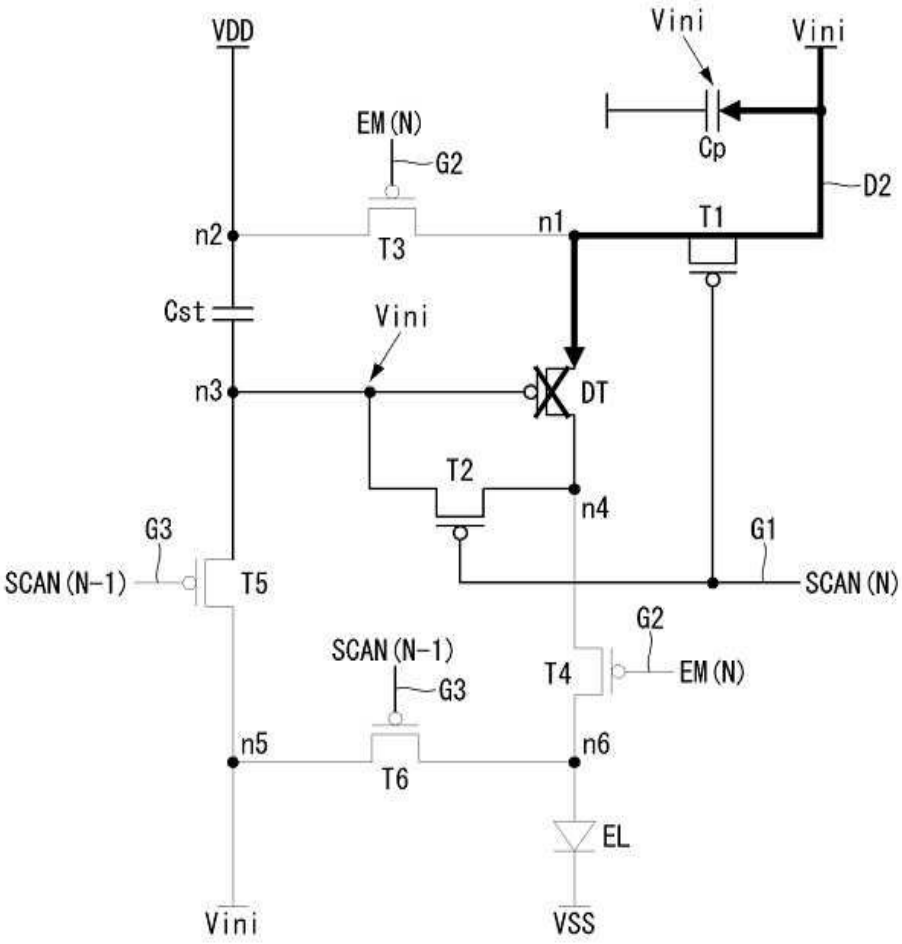
101A(Twr-A)

도면7b



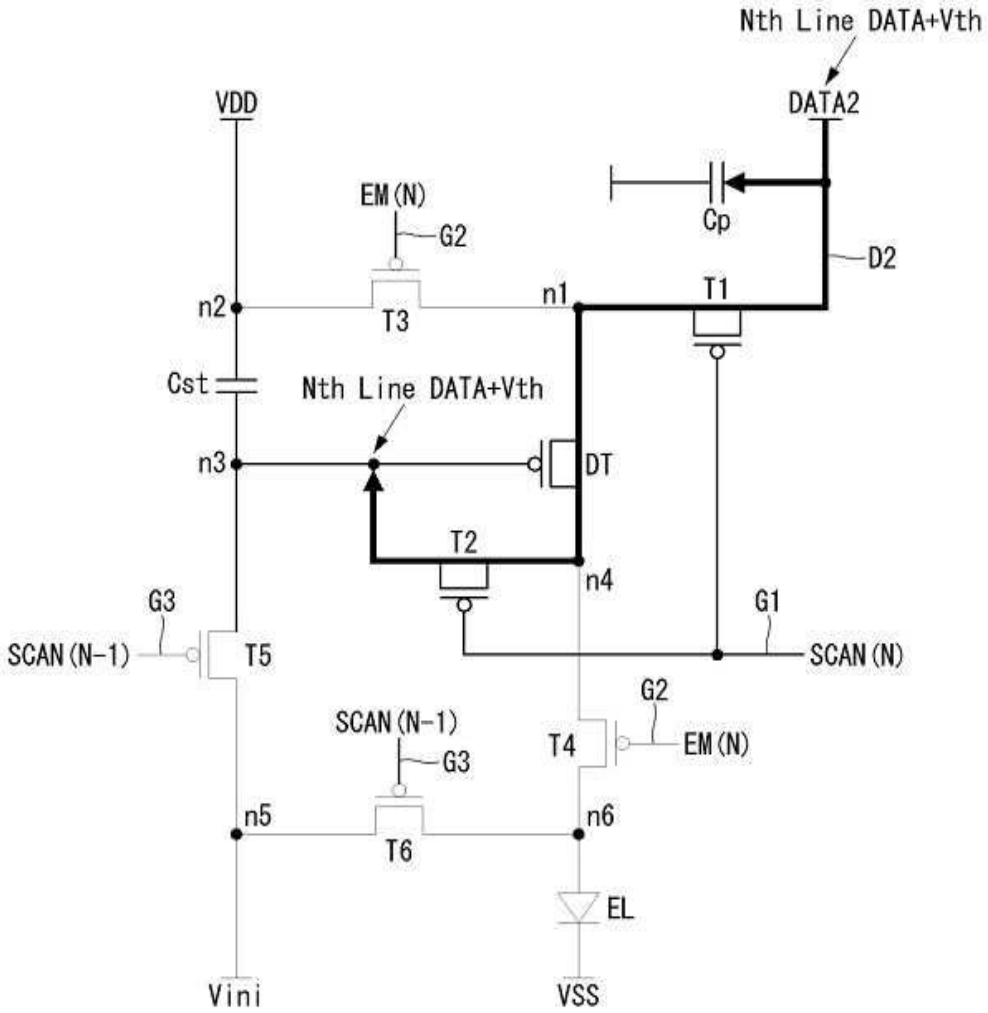
101A(Twr-B)

도면8a



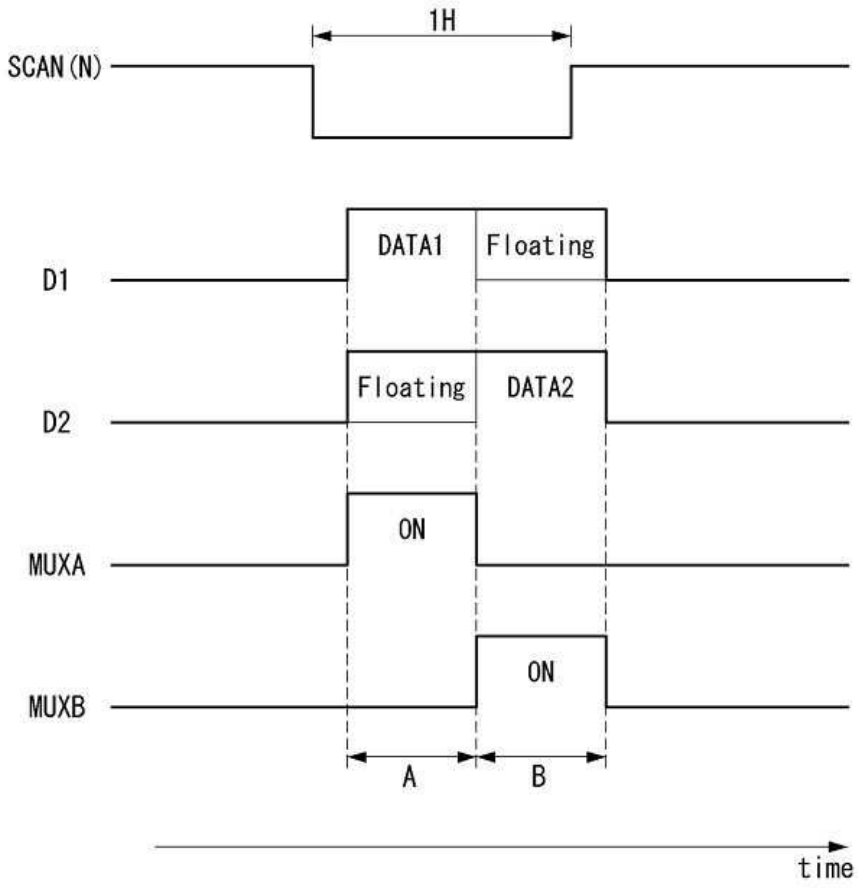
101B(Twr-A)

도면8b

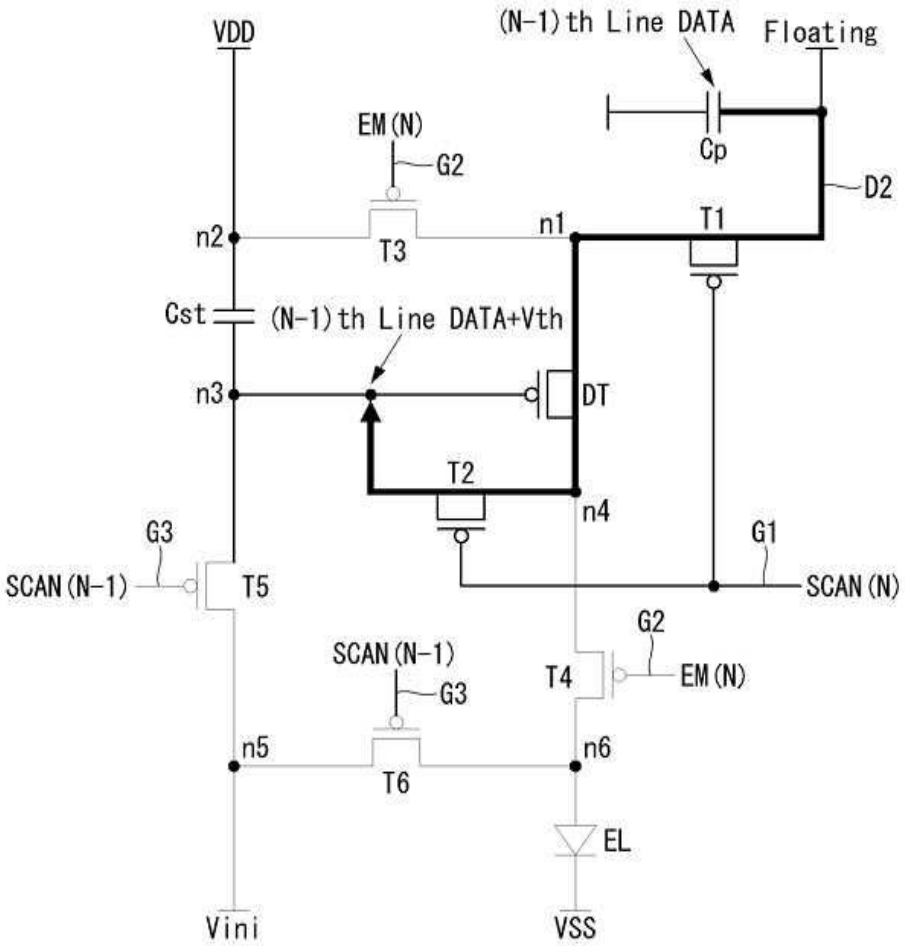


101B(Twr-B)

도면9

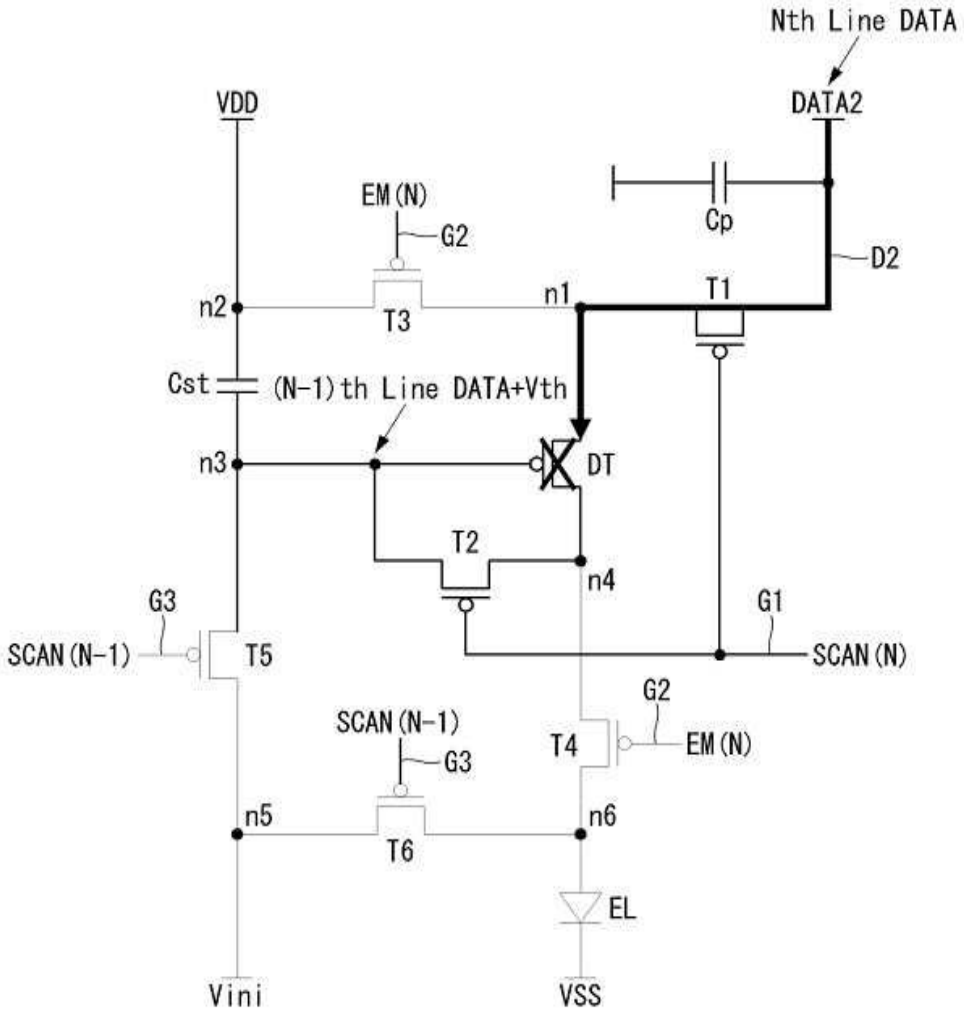

1H
SCAN (N)
DATA1
Floating
D1
Floating
DATA2
D2
ON
MUXA
ON
MUXB
A
B
time

도면10a



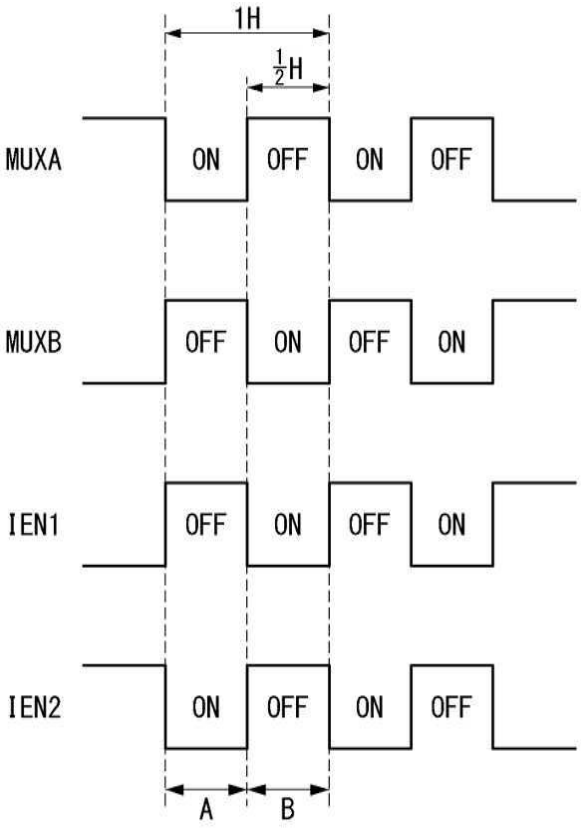
101B(Twr-A)

도면10b

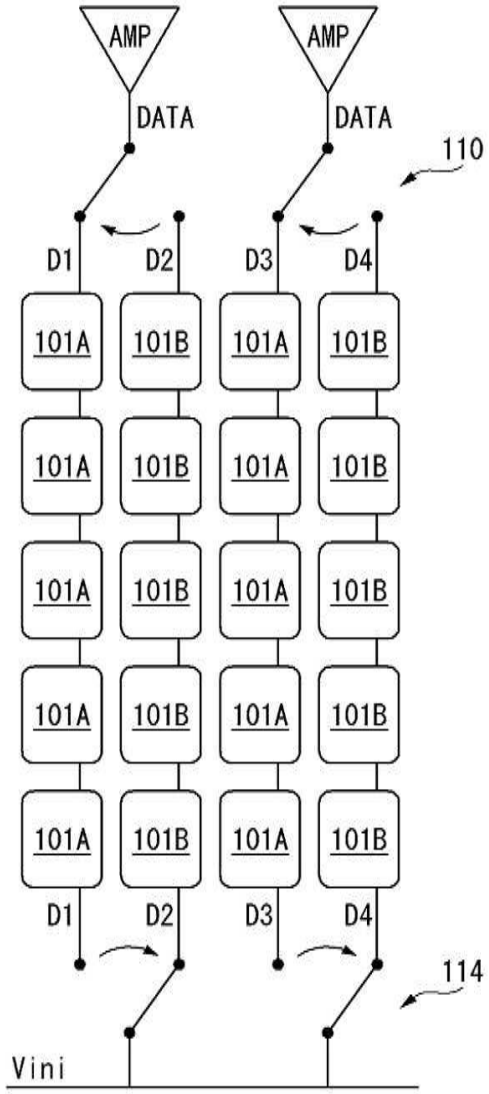


101B(Twr-B)

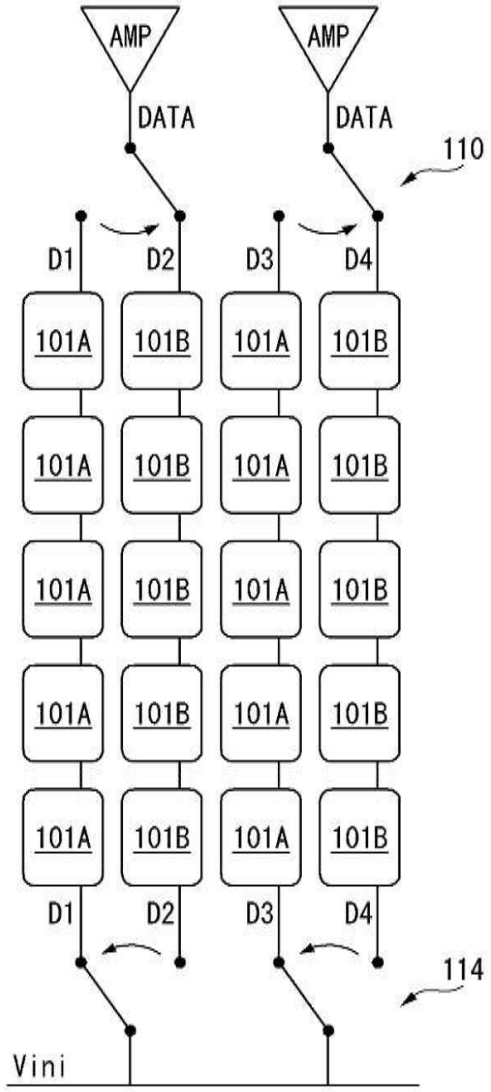
도면11


1H
1/2H
MUXA
ON
OFF
ON
OFF
MUXB
OFF
ON
OFF
ON
IEN1
OFF
ON
OFF
ON
IEN2
ON
OFF
ON
OFF
A
B

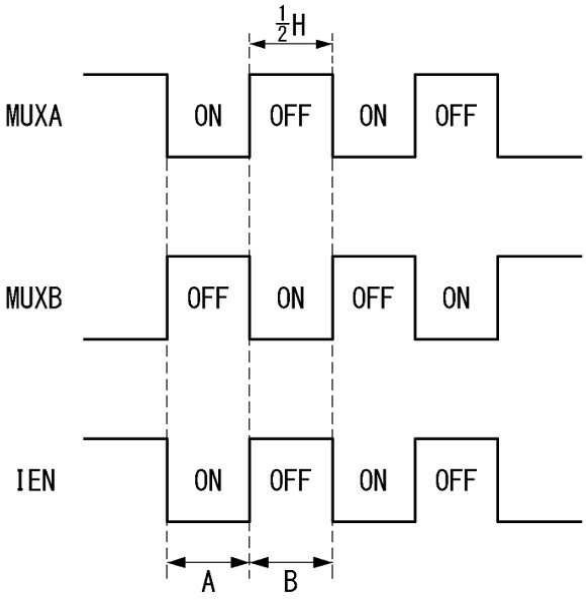
도면12a



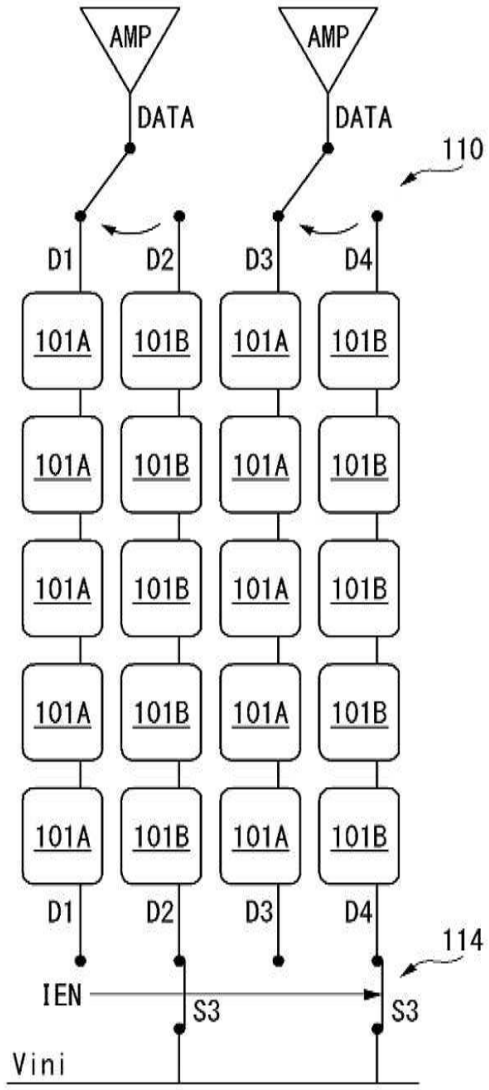
도면12b


AMP
AMP
DATA
DATA
110
D1
D2
D3
D4
101A
101B
D1
D2
D3
D4
114
Vini

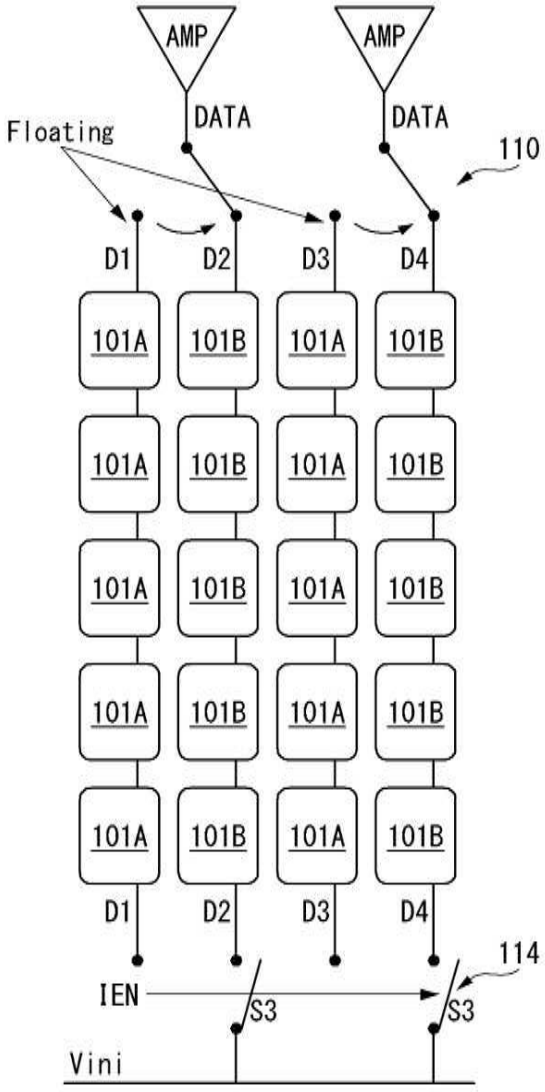
도면13


1/2H
MUXA
MUXB
IEN
ON
OFF
A
B

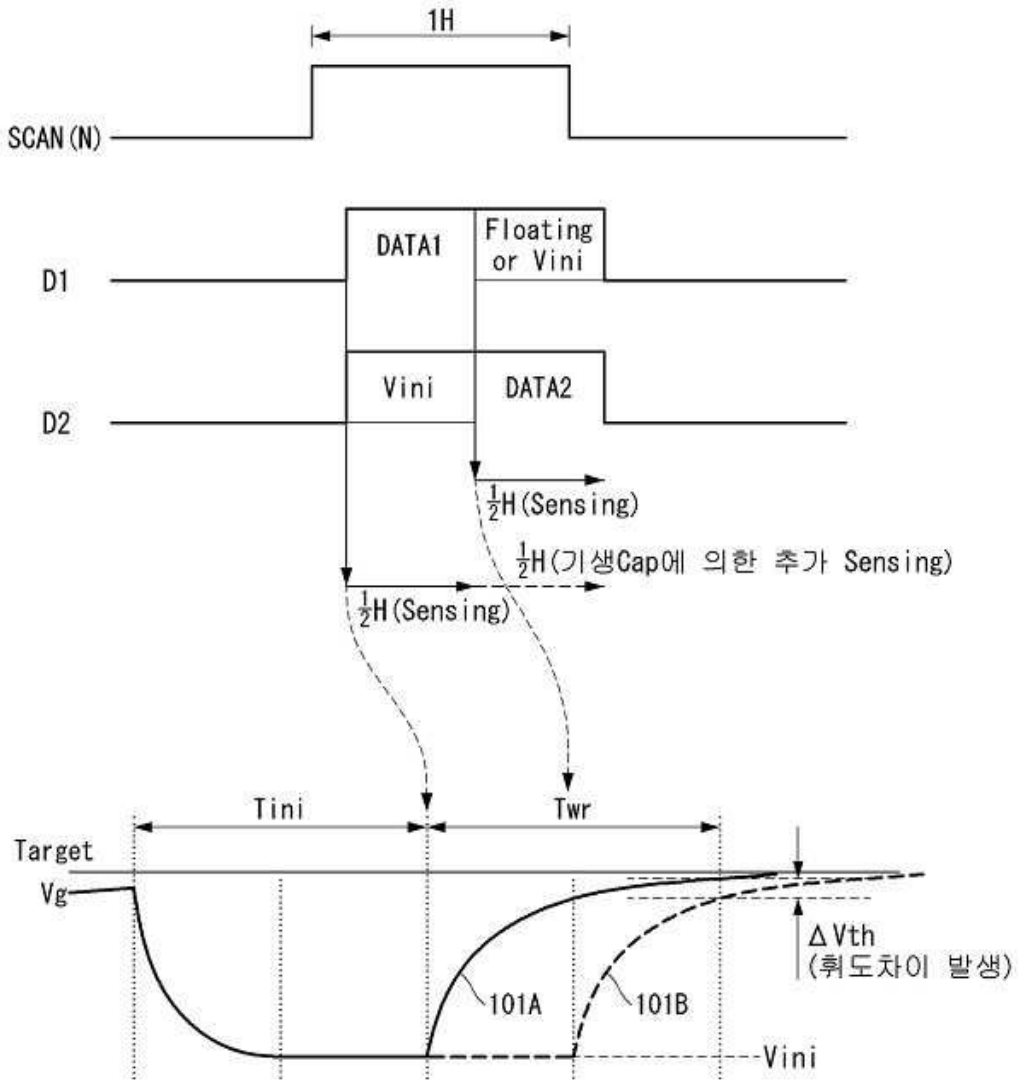
도면14a


AMP
AMP
DATA
DATA
110
D1
D2
D3
D4
101A
101B
D1
D2
D3
D4
114
IEN
S3
S3
Vini

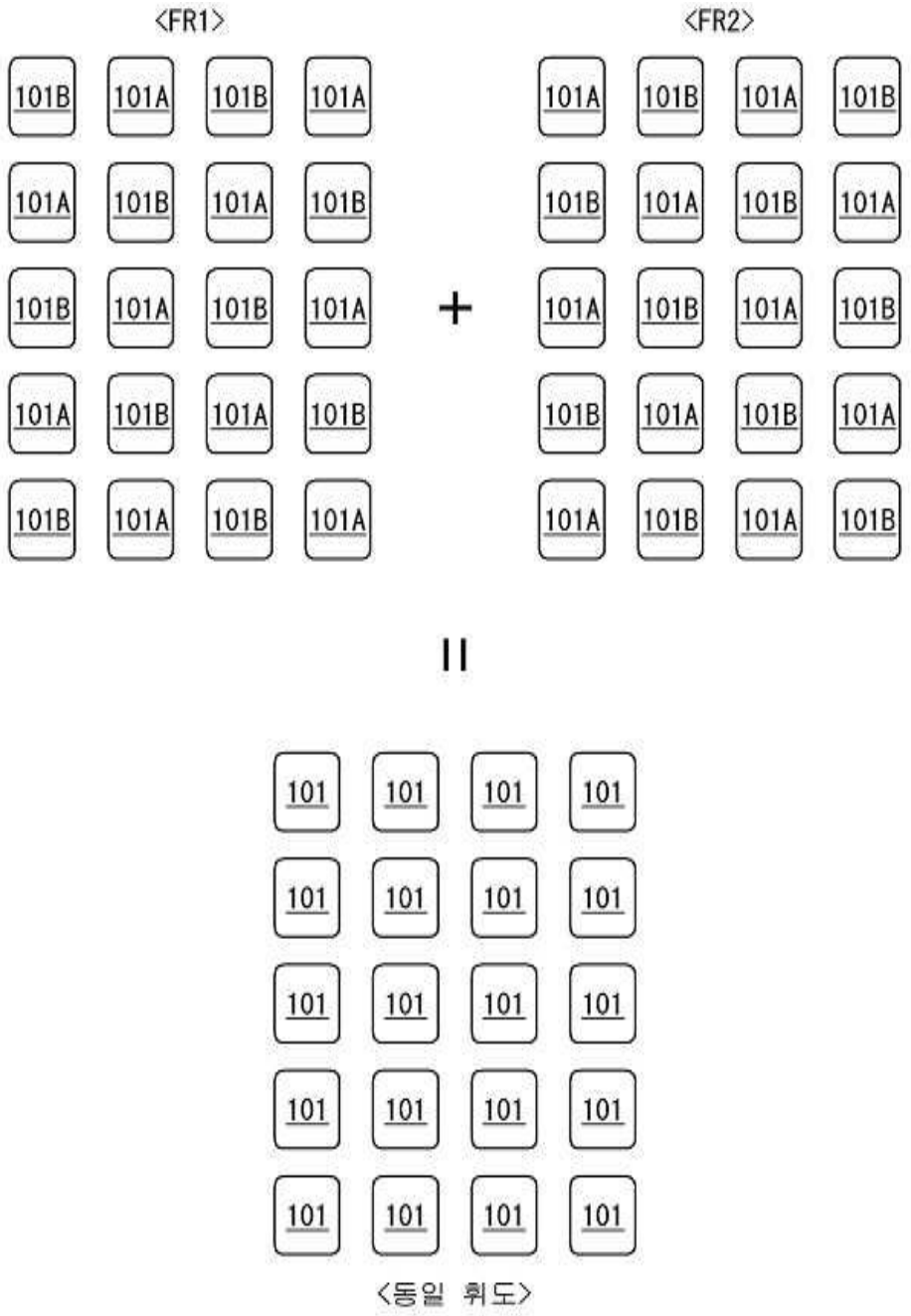
도면14b


AMP
AMP
DATA
DATA
Floating
110
D1
D2
D3
D4
101A
101B
D1
D2
D3
D4
114
IEN
S3
S3
Vini

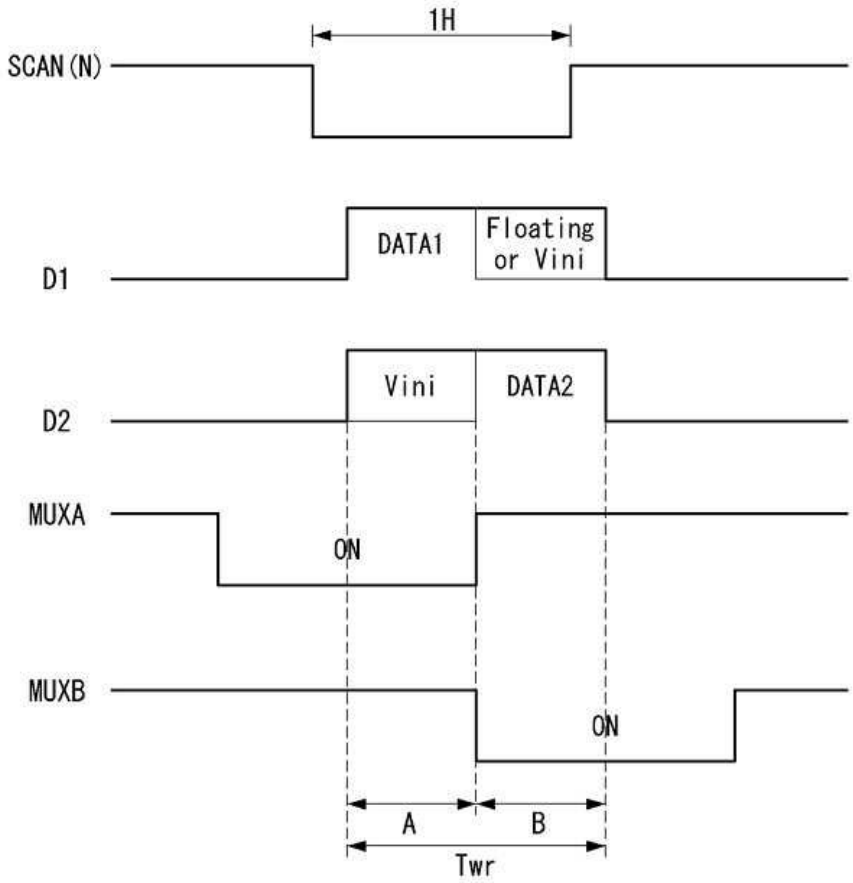
도면15


1H
SCAN(N)
D1
DATA1
Floating or Vini
D2
Vini
DATA2
½H(Sensing)
½H(기생Cap에 의한 추가 Sensing)
½H(Sensing)
Tini
Twr
Target
Vg
ΔVth
(휘도차이 발생)
101A
101B
Vini

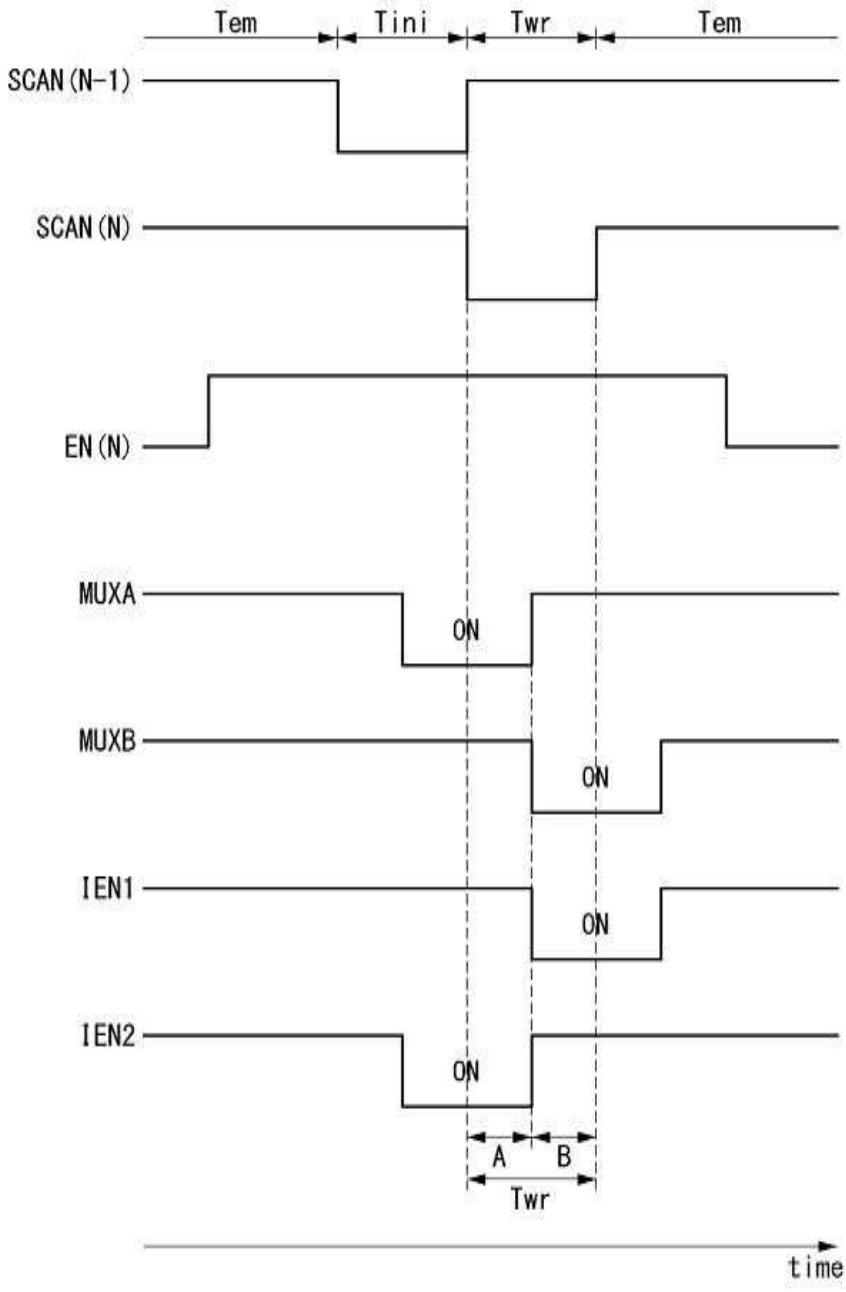
도면16



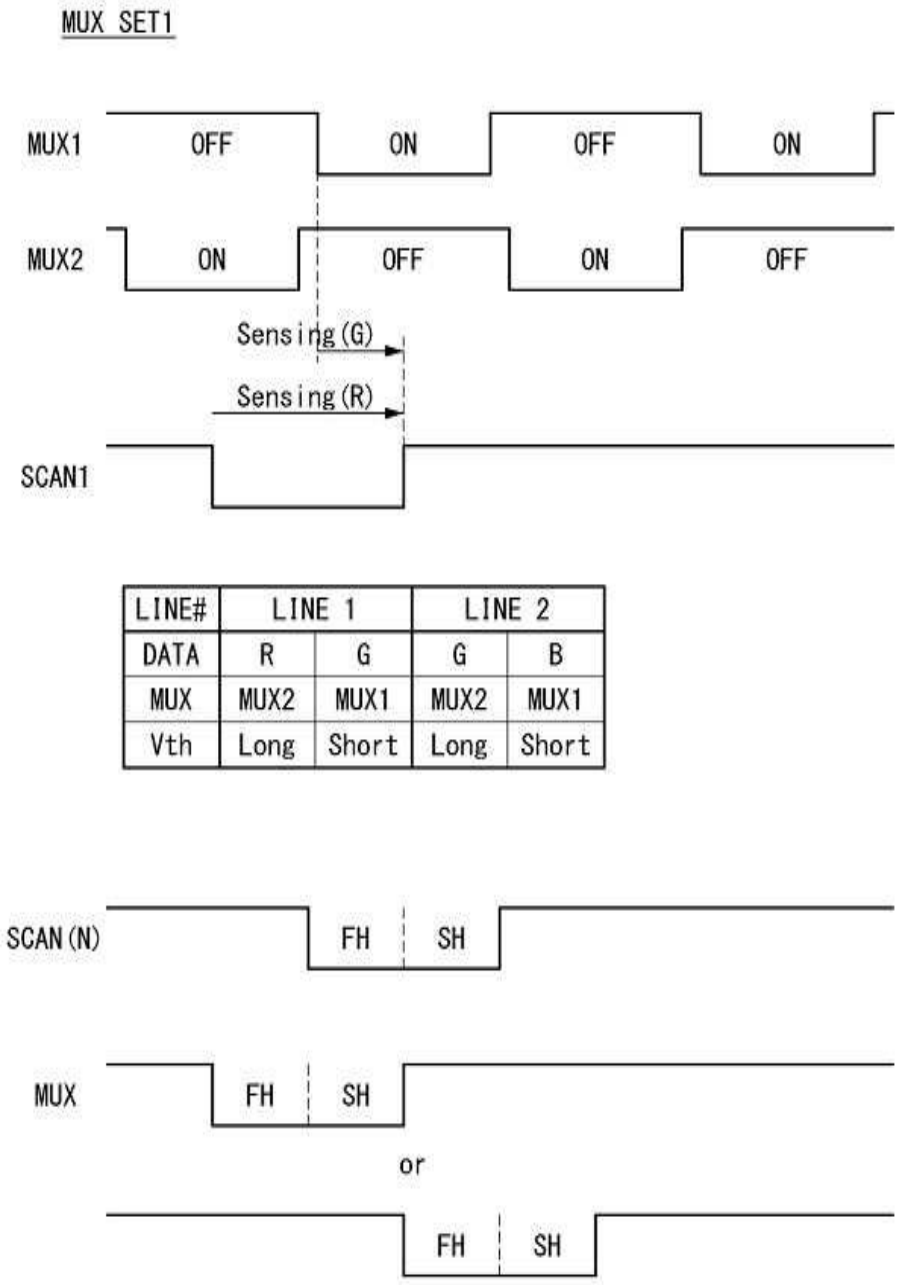
도면17


1H
SCAN (N)
DATA1
Floating
or Vini
D1
Vini
DATA2
D2
MUXA
ON
MUXB
ON
A
B
Twr

도면18

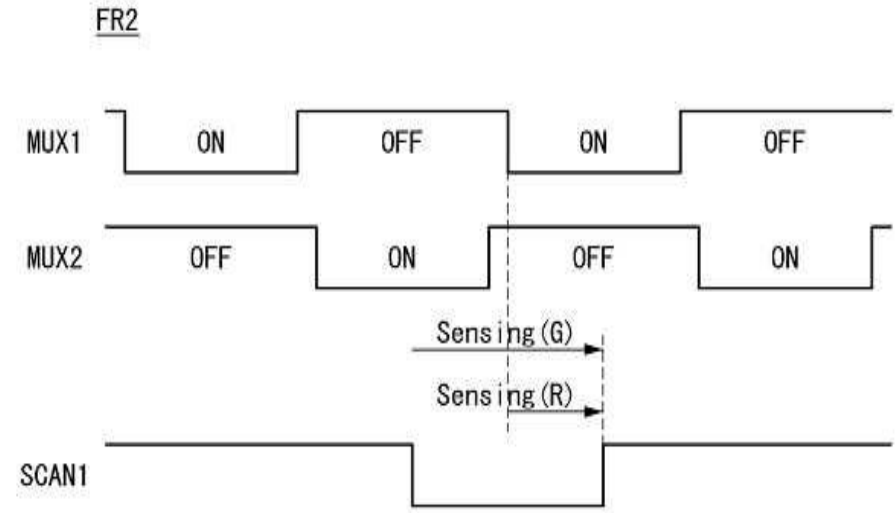

Tem
Tini
Twr
Tem
SCAN(N-1)
SCAN(N)
EN(N)
MUXA
ON
MUXB
ON
IEN1
ON
IEN2
ON
A
B
Twr
time

도면19a

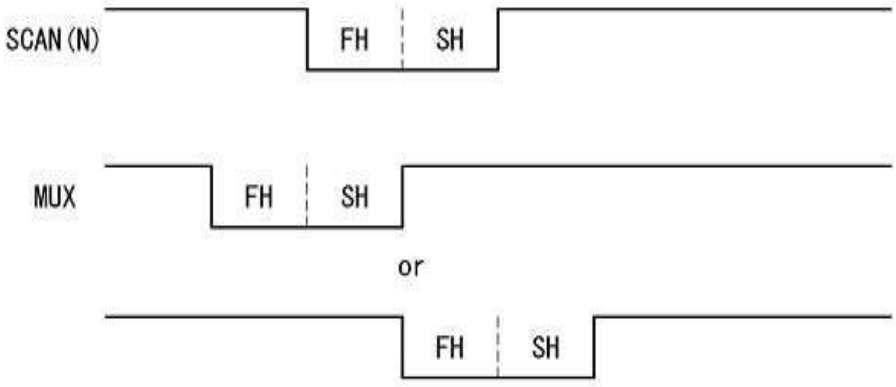


LINE#	LINE 1		LINE 2	
DATA	R	G	G	B
MUX	MUX2	MUX1	MUX2	MUX1
Vth	Long	Short	Long	Short

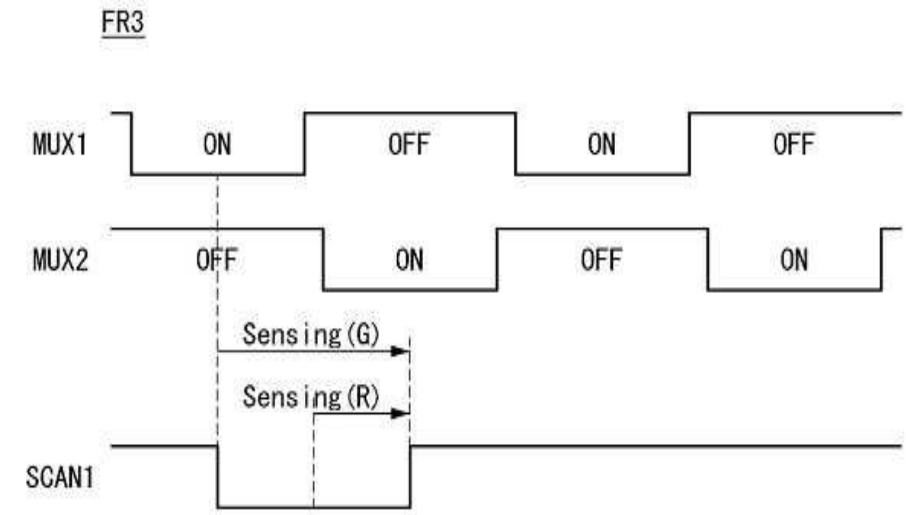
도면19b



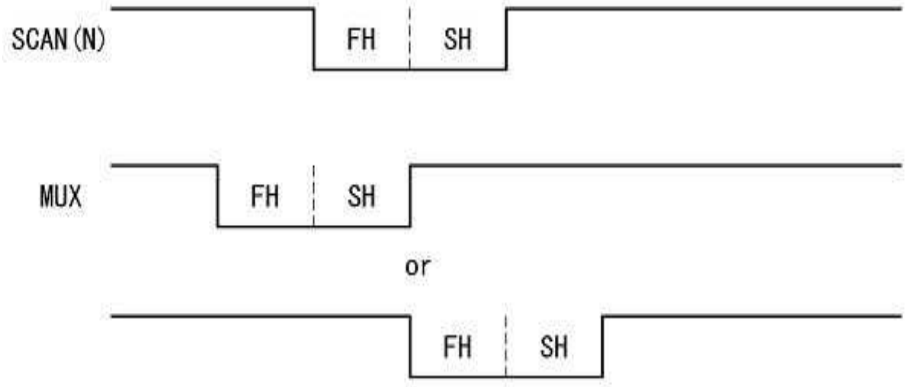
LINE	LINE 1		LINE 2	
DATA	G	R	B	G
MUX	MUX2	MUX1	MUX2	MUX1
Vth	Long	Short	Long	Short



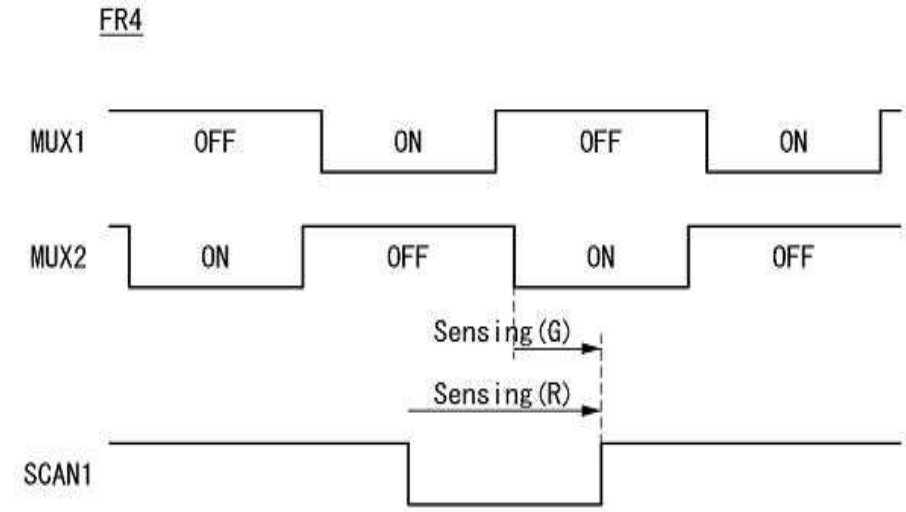
도면19c



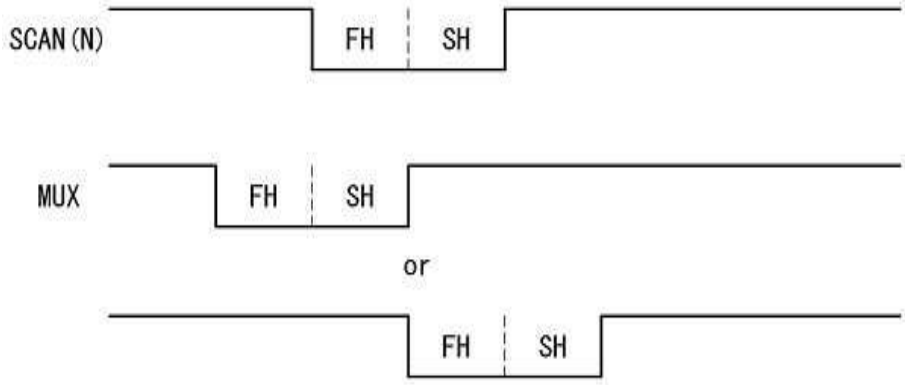
LINE	LINE 1		LINE 2	
DATA	G	R	B	G
MUX	MUX1	MUX2	MUX1	MUX2
Vth	Long	Short	Long	Short



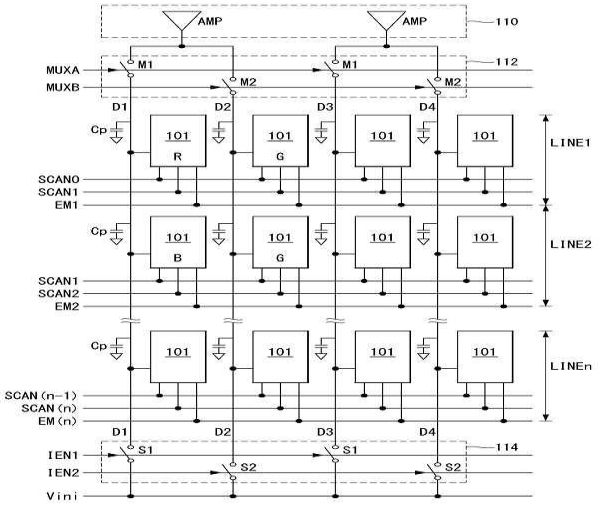
도면19d



LINE	LINE 1		LINE 2	
DATA	R	G	G	B
MUX	MUX1	MUX2	MUX1	MUX2
Vth	Long	Short	Long	Short



专利名称(译)	显示面板和使用其的电致发光显示器		
公开(公告)号	KR1020190002943A	公开(公告)日	2019-01-09
申请号	KR1020170083271	申请日	2017-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	권기태 김규진 김태훈		
发明人	권기태 김규진 김태훈		
IPC分类号	G09G3/325 H01L27/32		
CPC分类号	G09G3/325 G09G3/3275 H01L27/3211 H01L27/3262 G09G3/3266 G09G3/3291 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0248 G09G2310/0251 G09G2310/0262 G09G2310/0297 G09G2320/043 G09G3/30 G09G2320/045		
外部链接	Espacenet		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域本发明涉及显示面板和使用该显示面板的电致发光显示器。显示面板包括：第一数据线，其充电有第一数据信号；第二数据线，其充电有第二数据信号；第一子像素，其与第一数据线连接；以及第二子线，其与第二数据线连接。使用多个MUX开关元件共同连接至子像素，同时向第一和第二子像素同时提供栅极信号的第一和第二子像素以及数据驱动器的输出端子的栅极线。多路分解器，用于在连接至第一数据线之后将输出端子连接至第二数据线，以及将通过多路分解器使用多个REF开关元件连接至第一数据线的数据驱动器的输出端子。以及用于向第二数据线提供预定参考电压的开关阵列。