



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081036  
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0465 (2013.01)

(21) 출원번호 10-2015-0191742

(22) 출원일자 2015년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

전광훈

전라남도 여수시 남면 금오서부로 424

최수홍

경기도 파주시 한빛로 67 (야당동, 한빛마을2단지 휴먼빌레이크팰리스) 203-303

(74) 대리인

김은구, 송해모

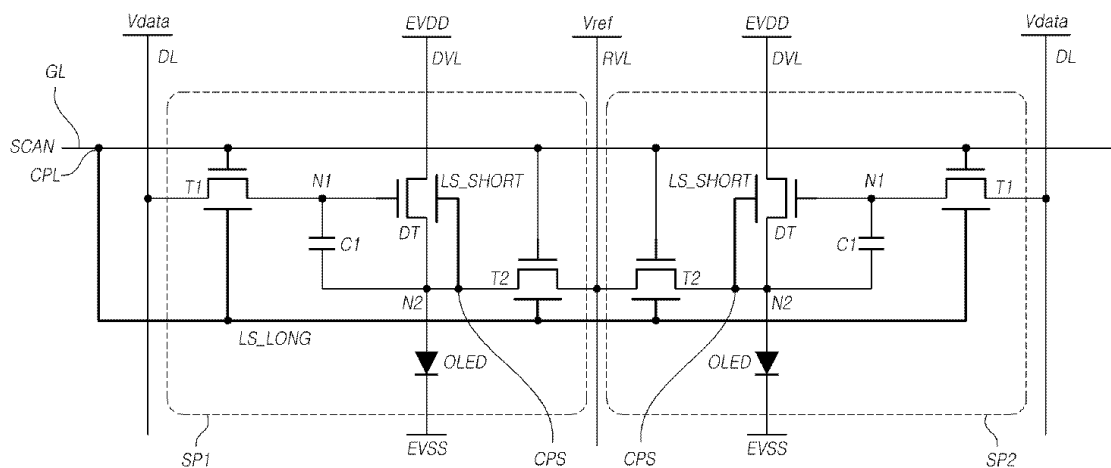
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기발광표시패널 및 유기발광표시장치

### (57) 요약

본 실시예들은, 유기발광표시패널 및 유기발광표시장치에 관한 것으로서, 더욱 상세하게는, 서브픽셀이 구동 트랜지스터와 제1, 제2 트랜지스터를 포함하여 구성되는 경우, 각 서브픽셀의 구동 트랜지스터의 영역마다 위치하되 구동 트랜지스터의 특정 노드와 연결되는 쇼트 차광 패턴과, 각 서브픽셀 행마다 위치하되 서브픽셀 행에 위치한 다수의 제1 트랜지스터와 다수의 제2 트랜지스터의 영역을 지나가면서 형성되거나 다수의 제1 트랜지스터 또는 다수의 제2 트랜지스터의 영역을 지나가면서 형성되어 서브픽셀 행에 배치된 게이트 라인과 년-액티브 영역에서 연결되는 롱 차광 패턴을 포함하는 차광 패턴 구조를 갖는다. 이를 통해, 트랜지스터 종류별로 바디 효과의 영향을 효과적으로 저감시켜 트랜지스터의 이상 구동 및 화면 이상 현상을 방지해줄 수 있다.

### 대표도



(52) CPC특허분류  
G09G 2300/0842 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기 발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 드라이버; 및

상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 게이트 라인을 통해 게이트 노드에 인가된 스캔신호에 의해 제어되며 상기 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 상기 게이트 라인을 통해 게이트 노드에 인가된 상기 스캔신호에 의해 제어되며 상기 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

상기 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치하고, 상기 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결되며,

각 서브픽셀 행마다 1개의 롱 차광 패턴이 행 방향으로 위치하고, 상기 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역과 다수의 제2 트랜지스터의 영역을 지나가면서 위치하며, 상기 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 게이트 노드와 다수의 제2 트랜지스터의 게이트 노드에 공통으로 연결된 상기 게이트 라인과 년-액티브 영역에서 전기적으로 연결되는 유기발광표시장치.

#### 청구항 2

제1항에 있어서,

상기 롱 차광 패턴은,

해당 서브픽셀 행에서 행 방향으로 연장된 라인부;

상기 라인부에서 해당 서브픽셀 행에 위치한 각 제1 트랜지스터의 영역으로 돌출된 제1 돌출부; 및

상기 라인부에서 해당 서브픽셀 행에 위치한 각 제2 트랜지스터의 영역으로 돌출된 제2 돌출부를 포함하는 유기 발광표시장치.

#### 청구항 3

제1항에 있어서,

상기 게이트 라인에 게이트 돌출부가 년-액티브 영역에 위치하고,

상기 롱 차광 패턴에 컨택 돌출부가 년-액티브 영역에 위치하며,

상기 게이트 돌출부와 상기 컨택 돌출부는 연결 패턴을 통해 전기적으로 연결되는 유기발광표시장치.

#### 청구항 4

제3항에 있어서,

상기 연결 패턴은,

상기 롱 차광 패턴 및 상기 게이트 라인과 다른 종류의 금속으로 된 유기발광표시장치.

#### 청구항 5

제1항에 있어서,

상기 룡 차광 패턴은 상기 게이트 라인의 아래에 위치하는 유기발광표시장치.

## 청구항 6

다수의 데이터 라인;

다수의 게이트 라인; 및

상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하고,

상기 각 서브픽셀에는,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 게이트 라인을 통해 게이트 노드에 인가된 스캔신호에 의해 제어되며, 상기 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 상기 게이트 라인을 통해 게이트 노드에 인가된 상기 스캔신호에 의해 제어되며, 상기 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터가 배치되고,

상기 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치하고, 상기 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결되며,

각 서브픽셀 행마다 1개의 룡 차광 패턴이 행 방향으로 위치하고, 상기 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역과 다수의 제2 트랜지스터의 영역을 지나가면서 위치하며, 상기 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 게이트 노드와 다수의 제2 트랜지스터의 게이트 노드에 공통으로 연결된 상기 게이트 라인과 난-액티브 영역에서 전기적으로 연결되는 유기발광표시패널.

## 청구항 7

다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 드라이버; 및

상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 제1 게이트 라인을 통해 게이트 노드에 인가된 제1 스캔신호에 의해 제어되며, 상기 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 제2 게이트 라인을 통해 게이트 노드에 인가된 제2 스캔신호에 의해 제어되며, 상기 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

상기 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치하고, 상기 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결되며,

각 서브픽셀 행마다 제1 룡 차광 패턴과 제2 룡 차광 패턴이 행 방향으로 위치하고,

상기 제1 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역을 지나가면서 위치하며, 상기 제2 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제2 트랜지스터의 영역을 지나가면서 위치하고,

상기 제1 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 게이트 노드에 연결된 상기 제1 게이트 라인과 난-액티브 영역에서 전기적으로 연결되며, 상기 제2 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제2 트랜지스터의 게이트 노드에 연결된 상기 제2 게이트 라인과 난-액티브 영역에서 전기적으로 연결되는 유기발광표시장치.

## 청구항 8

제7항에 있어서,

상기 제1 룡 차광 패턴은,

해당 서브픽셀 행에서 행 방향으로 연장된 제1 라인부; 및

상기 제1 라인부에서 해당 서브픽셀 행에 위치한 각 제1 트랜지스터의 영역으로 돌출된 제1 돌출부를 포함하고,

상기 제2 룡 차광 패턴은,

해당 서브픽셀 행에서 행 방향으로 연장된 제2 라인부; 및

상기 제2 라인부에서 해당 서브픽셀 행에 위치한 각 제2 트랜지스터의 영역으로 돌출된 제2 돌출부를 포함하는 유기발광표시장치.

#### 청구항 9

제7항에 있어서,

상기 제1 게이트 라인에 제1 게이트 돌출부가 넌-액티브 영역에 위치하고, 상기 제1 룡 차광 패턴에 제1 컨택 돌출부가 넌-액티브 영역에 위치하며, 상기 제1 게이트 돌출부와 상기 제1 컨택 돌출부는 제1 연결 패턴을 통해 전기적으로 연결되고,

상기 제2 게이트 라인에 제2 게이트 돌출부가 넌-액티브 영역에 위치하고, 상기 제2 룡 차광 패턴에 제2 컨택 돌출부가 넌-액티브 영역에 위치하며, 상기 제2 게이트 돌출부와 상기 제2 컨택 돌출부는 제2 연결 패턴을 통해 전기적으로 연결되는 유기발광표시장치.

#### 청구항 10

제9항에 있어서,

상기 제1 연결 패턴 및 상기 제2 연결 패턴은,

상기 제1 룡 차광 패턴 및 상기 제2 룡 차광 패턴과, 상기 제1 게이트 라인 및 상기 제2 게이트 라인과 다른 종류의 금속으로 된 유기발광표시장치.

#### 청구항 11

제7항에 있어서,

상기 제1 룡 차광 패턴은 상기 제1 게이트 라인의 아래에 위치하고,

상기 제2 룡 차광 패턴은 상기 제2 게이트 라인의 아래에 위치하는 유기발광표시장치.

#### 청구항 12

다수의 데이터 라인;

다수의 게이트 라인; 및

상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하고,

상기 각 서브픽셀에는,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 제1 게이트 라인을 통해 게이트 노드에 인가된 제1 스캔신호에 의해 제어되며, 상기 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 제2 게이트 라인을 통해 게이트 노드에 인가된 제2 스캔신호에 의해 제어되며, 상기 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터가 배치되고,

상기 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치하고, 상기 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결되며,

각 서브픽셀 행마다 제1 룡 차광 패턴과 제2 룡 차광 패턴이 행 방향으로 위치하고,

상기 제1 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역을 지나가면서 위치하며, 상

기 제2 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제2 트랜지스터의 영역을 지나가면서 위치하고, 상기 제1 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 게이트 노드에 연결된 상기 제1 게이트 라인과 년-액티브 영역에서 전기적으로 연결되며, 상기 제2 룡 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제2 트랜지스터의 게이트 노드에 연결된 상기 제2 게이트 라인과 년-액티브 영역에서 전기적으로 연결되는 유기발광표시패널.

## 발명의 설명

### 기술 분야

[0001] 본 실시예들은 유기발광표시패널 및 유기발광표시장치에 관한 것이다.

### 배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는, 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써, 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 이러한 유기발광표시장치의 유기발광표시패널에는 각 서브픽셀 별로 유기발광다이오드 및 각종 트랜지스터가 배치된다.

[0004] 유기발광표시패널에서, 트랜지스터 등의 회로 소자는, 구동 시간에 따라 회로 소자가 열화 되어 소자 특성이 변하기도 하지만, 빛(예: 외부 광)에 노출되어 소자 특성이 변하기도 한다.

[0005] 진술한 바와 같이, 유기발광표시패널에서 각 회로 소자가 구동 시간에 따라 소자 특성이 변하거나, 외부 광 노출에 의해 소자 특성이 변하는 경우, 비정상적으로 구동을 하여 화면 이상 현상을 발생시킬 수 있다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 실시예들의 목적은, 서브픽셀 내 트랜지스터의 특성 변화를 줄여주어 트랜지스터의 이상 구동을 방지할 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0007] 본 실시예들의 다른 목적은, 서브픽셀 내 트랜지스터의 하부에 차광 패턴을 위치시켜, 트랜지스터의 특성 변화를 저감시키면서도, 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0008] 본 실시예들의 또 다른 목적은, 서브픽셀 내 트랜지스터의 종류별로 차광 패턴의 형태 및 연결 위치를 다르게 하여, 바디 효과(Body Effect)의 영향을 효과적으로 줄여주고, 이를 통해, 화상 이상 현상을 방지해줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0009] 본 실시예들의 또 다른 목적은, 서브픽셀이 구동 트랜지스터와 동일 게이트 라인에 연결된 제1, 제2 트랜지스터를 포함하여 구성되는 경우, 구동 트랜지스터의 영역에 쇼트 차광 패턴과 제1, 제2 트랜지스터의 영역에 룡 차광 패턴(들)을 포함하는 차광 패턴 구조를 가짐으로써, 트랜지스터 종류별로 이상 구동 현상을 효과적으로 방지해줄 수 있는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0010] 본 실시예들의 또 다른 목적은, 개구율을 높일 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

### 과제의 해결 수단

[0011] 일 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치를 제공할 수 있다.

[0012] 이러한 유기발광표시장치에서, 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 게이트 라인을 통해 게이트 노드에 인가된 스캔신호에 의해 제어되며 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 게이트 라인을 통해 게이트 노드에 인가된 스캔신호에

의해 제어되며 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성될 수 있다.

[0013] 이러한 유기발광표시장치에서는, 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치할 수 있다.

[0014] 이러한 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결될 수 있다.

[0015] 또한, 유기발광표시장치에서는, 각 서브픽셀 행마다 1개의 롱 차광 패턴이 행 방향으로 위치한다. 본 명세서에서, 행(Row) 방향은 설명의 편의를 위해 기재한 기준 방향으로서, 보기에 따라서는, 행 방향을 열(Column) 방향으로 보아도 무방하다.

[0016] 이러한 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역과 다수의 제2 트랜지스터의 영역을 지나가면서 위치할 수 있다.

[0017] 또한, 롱 차광 패턴은 해당 서브픽셀 행에 위치한 모든 제1 트랜지스터의 게이트 노드와 모든 제2 트랜지스터의 게이트 노드에 공통으로 연결된 게이트 라인과 년-액티브 영역에서 전기적으로 연결될 수 있다.

[0018] 다른 측면에서, 본 실시예들은, 다수의 데이터 라인과, 다수의 게이트 라인과, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.

[0019] 이러한 유기발광표시패널에서 각 서브픽셀에는, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 게이트 라인을 통해 게이트 노드에 인가된 스캔신호에 의해 제어되며, 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 게이트 라인을 통해 게이트 노드에 인가된 스캔신호에 의해 제어되며, 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터가 배치될 수 있다.

[0020] 이러한 유기발광표시패널에는, 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치할 수 있다.

[0021] 이러한 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결될 수 있다.

[0022] 또한, 유기발광표시패널에는, 각 서브픽셀 행마다 1개의 롱 차광 패턴이 행 방향으로 위치할 수 있다.

[0023] 이러한 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역과 다수의 제2 트랜지스터의 영역을 지나가면서 위치할 수 있다.

[0024] 또한, 롱 차광 패턴은 해당 서브픽셀 행에 위치한 모든 제1 트랜지스터의 게이트 노드와 모든 제2 트랜지스터의 게이트 노드에 공통으로 연결된 게이트 라인과 년-액티브 영역에서 전기적으로 연결될 수 있다.

[0025] 또 다른 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치를 제공할 수 있다.

[0026] 이러한 유기발광표시장치에서, 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 제1 게이트 라인을 통해 게이트 노드에 인가된 제1 스캔신호에 의해 제어되며, 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 제2 게이트 라인을 통해 게이트 노드에 인가된 제2 스캔신호에 의해 제어되며, 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성될 수 있다.

[0027] 이러한 유기발광표시장치에서는, 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치할 수 있다.

[0028] 이러한 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결될 수 있다.

[0029] 또한, 유기발광표시장치에서는, 각 서브픽셀 행마다 제1 롱 차광 패턴과 제2 롱 차광 패턴이 행 방향으로 위치할 수 있다.

[0030] 이러한 제1 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역을 지나가면서 위치하며, 제2 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제2 트랜지스터의 영역을 지나가면서 위치할 수 있다.

[0031] 제1 롱 차광 패턴은 해당 서브픽셀 행에 위치한 모든 제1 트랜지스터의 게이트 노드에 연결된 제1 게이트 라인

과 년-액티브 영역에서 전기적으로 연결될 수 있다.

- [0032] 또한, 제2 롱 차광 패턴은 해당 서브픽셀 행에 위치한 모든 제2 트랜지스터의 게이트 노드에 연결된 제2 게이트 라인과 년-액티브 영역에서 전기적으로 연결될 수 있다.
- [0033] 또 다른 측면에서, 본 실시예들은, 다수의 데이터 라인과, 다수의 게이트 라인과, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.
- [0034] 이러한 유기발광표시패널에서 각 서브픽셀에는, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 제1 게이트 라인을 통해 게이트 노드에 인가된 제1 스캔신호에 의해 제어되며, 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 제2 게이트 라인을 통해 게이트 노드에 인가된 제2 스캔신호에 의해 제어되며, 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터가 배치될 수 있다.
- [0035] 이러한 유기발광표시패널에서는, 각 서브픽셀의 구동 트랜지스터의 영역마다 쇼트 차광 패턴이 위치할 수 있다.
- [0036] 이러한 쇼트 차광 패턴은 해당 구동 트랜지스터의 제2 노드와 전기적으로 연결될 수 있다.
- [0037] 또한, 이러한 유기발광표시패널에서는, 각 서브픽셀 행마다 제1 롱 차광 패턴과 제2 롱 차광 패턴이 행 방향으로 위치할 수 있다.
- [0038] 제1 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터의 영역을 지나가면서 위치할 수 있다.
- [0039] 제2 롱 차광 패턴은 해당 서브픽셀 행에 위치한 다수의 제2 트랜지스터의 영역을 지나가면서 위치할 수 있다.
- [0040] 제1 롱 차광 패턴은 해당 서브픽셀 행에 위치한 모든 제1 트랜지스터의 게이트 노드에 연결된 제1 게이트 라인과 년-액티브 영역에서 전기적으로 연결될 수 있다.
- [0041] 제2 롱 차광 패턴은 해당 서브픽셀 행에 위치한 모든 제2 트랜지스터의 게이트 노드에 연결된 제2 게이트 라인과 년-액티브 영역에서 전기적으로 연결될 수 있다.

### 발명의 효과

- [0042] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 서브픽셀 내 트랜지스터의 특성 변화를 줄여주어 트랜지스터의 이상 구동을 방지할 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.
- [0043] 또한, 본 실시예들에 의하면, 서브픽셀 내 트랜지스터의 하부에 차광 패턴을 위치시켜, 트랜지스터의 특성 변화를 저감시키면서도, 트랜지스터에서 발생할 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.
- [0044] 또한, 본 실시예들에 의하면, 서브픽셀 내 트랜지스터의 종류별로 차광 패턴의 형태 및 연결 위치를 다르게 하여, 바디 효과(Body Effect)의 영향을 효과적으로 줄여주고, 이를 통해, 화상 이상 현상을 방지해줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.
- [0045] 또한, 본 실시예들에 의하면, 서브픽셀이 구동 트랜지스터와 동일 게이트 라인에 연결된 제1, 제2 트랜지스터를 포함하여 구성되는 경우, 구동 트랜지스터의 영역에 쇼트 차광 패턴과 제1, 제2 트랜지스터의 영역에 롱 차광 패턴(들)을 포함하는 차광 패턴 구조를 가짐으로써, 트랜지스터 종류별로 이상 구동 현상을 효과적으로 방지해줄 수 있는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.
- [0046] 또한, 본 실시예들에 의하면, 개구율을 높일 수 있는 차광 패턴 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.

### 도면의 간단한 설명

- [0047] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.
- 도 2 및 도 3은 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도들이다.
- 도 4는 본 실시예들에 따른 유기발광표시장치에서, 빛에 의해 트랜지스터의 특성치가 변화하는 현상을 방지하기



위하여, 차광 패턴을 트랜지스터의 하부에 형성한 것을 나타낸 도면이다.

도 5는 본 실시예들에 따른 유기발광표시장치에서 각 서브픽셀의 회로 영역에 형성된 차광 패턴과, 차광 패턴이 형성된 서브픽셀의 등가회로이다.

도 6은 본 실시예들에 따른 유기발광표시장치에서, 구동 트랜지스터의 동작 특성을 개선하기 위해, 차광 패턴을 구동 트랜지스터의 제2 노드에 연결한 싱글 차광 패턴 구조를 나타낸 도면이다.

도 7 및 도 8은 본 실시예들에 따른 유기발광표시장치에서, 싱글 차광 패턴 구조에 의해 발생할 수 있는 이상 구동 현상을 설명하기 위한 도면이다.

도 9 내지 도 11은 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 1 스캔 구조를 갖는 경우, 이상 구동 현상을 방지하기 위한 더블 차광 패턴 구조를 나타낸 도면이다.

도 12는 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 1 스캔 구조를 갖는 경우, 더블 차광 패턴 구조에서, 롱 차광 패턴을 개략화하여 나타낸 도면이다.

도 13은 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 1 스캔 구조를 갖는 경우, 더블 차광 패턴 구조에서, 롱 차광 패턴과 게이트 라인의 배치 구조를 나타낸 도면이다.

도 14 및 도 15는 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 1 스캔 구조를 갖는 경우, 더블 차광 패턴 구조에서, 롱 차광 패턴과 게이트 라인 간의 연결 구조를 나타낸 도면이다.

도 16 내지 도 18은 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 2 스캔 구조를 갖는 경우, 이상 구동 현상을 방지하기 위한 트리플 차광 패턴 구조를 나타낸 도면이다.

도 19는 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 2 스캔 구조를 갖는 경우, 트리플 차광 패턴 구조에서, 제1 롱 차광 패턴 및 제2 롱 차광 패턴을 개략화하여 나타낸 도면이다.

도 20은 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 2 스캔 구조를 갖는 경우, 트리플 차광 패턴 구조에서, 제1 롱 차광 패턴 및 제1 게이트 라인 간의 배치 구조와, 제2 롱 차광 패턴 및 제2 게이트 라인 간의 배치 구조를 나타낸 도면이다.

도 21 및 도 22는 본 실시예들에 따른 유기발광표시장치의 각 서브픽셀이 2 스캔 구조를 갖는 경우, 트리플 차광 패턴 구조에서, 제1 롱 차광 패턴 및 제1 게이트 라인 간의 연결 구조와, 제2 롱 차광 패턴 및 제2 게이트 라인 간의 연결 구조를 나타낸 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0048] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0049] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0050] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이다.

[0051] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 서브픽셀(SP: Sub Pixel)이 배치된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.

[0052] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.

- [0053] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0054] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.
- [0055] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0056] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0057] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0058] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0059] 데이터 드라이버(120)는, 도 1에서는 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0060] 게이트 드라이버(130)는, 도 1에서는 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0061] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0062] 컨트롤러(140)는, 외부로부터 입력된 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하는 것 이외에, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0063] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0064] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0065] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0066] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0067] 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0068] 각 소스 드라이버 집적회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발

광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는, 유기발광표시패널(110)에 연결된 필름 상에 실장 되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.

- [0069] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0070] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0071] 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0072] 각 게이트 드라이버 집적회로(GDIC)는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 드라이버 집적회로(GDIC)는 유기발광표시패널(110)과 연결된 필름 상에 실장 되는 칩 온 필름(COF) 방식으로 구현될 수도 있다.
- [0073] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0074] 본 실시예들에 따른 유기발광표시장치(100)는 적어도 하나의 소스 드라이버 집적회로(SDIC)에 대한 회로적인 연결을 위해 필요한 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)과 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(C-PCB: Control Printed Circuit Board)을 포함할 수 있다.
- [0075] 적어도 하나의 소스 인쇄회로기판(S-PCB)에는, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 되거나, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 된 필름이 연결될 수 있다.
- [0076] 컨트롤 인쇄회로기판(C-PCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는 컨트롤러(140)와, 유기발광표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러 등이 실장 될 수 있다.
- [0077] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다.
- [0078] 여기서, 연결 부재는 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.
- [0079] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0080] 유기발광표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0081] 일 예로, 유기발광표시패널(110)이 유기발광다이오드인 경우, 각 서브픽셀(SP)은 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0082] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0083] 도 2 및 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도들이다.
- [0084] 도 2 및 도 3을 참조하면, 유기발광표시패널(110)에 배열된 각 서브픽셀(SP)은, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DT: Driving Transistor)와, 제1 스캔신호(SCAN1)에 의해 제어되며 구동 트랜지스터(DT)의 제1 노드(N1)와 데이터 라인(DL: Data Line) 사이에 전기적으로 연결된 제1 트랜지스터(T1)와, 제2 스캔신호(SCAN2)에 의해 제어되며 구동 트랜지스터(DT)의 제2 노드(N2)와 기준 전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시

터(C1)를 포함하여 구성될 수 있다.

- [0085] 도 2 및 도 3에서와 같이, 하나의 서브픽셀(SP)이 3개의 트랜지스터(DT, T1, T2)와 1개의 캐패시터(C1)를 포함하여 구성되는 구조를 3T(Transistor)1C(Capacitor) 구조라고 한다.
- [0086] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0087] 구동 트랜지스터(DT)는, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터로서, 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동한다.
- [0088] 이러한 구동 트랜지스터(DT)에서, 제1 노드(N1)는 제1 트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, 게이트 노드일 수 있다. 제2 노드(N2)는 유기발광다이오드(OLED)의 제1전극 및 제2 트랜지스터(T2)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다. 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.
- [0089] 제1 트랜지스터(T1)는 데이터 라인(DL)과 구동 트랜지스터(DT)의 제1 노드(N1) 사이에 전기적으로 연결되고, 게이트 노드에 인가된 제1 스캔신호(SCAN1)에 의해 온-오프가 제어될 수 있다.
- [0090] 이러한 제1 트랜지스터(T1)는 제1 스캔신호(SCAN1)에 의해 턴-온 되어 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DT)의 제1 노드(N1)로 전달해줄 수 있다.
- [0091] 제2 트랜지스터(T2)는 기준 전압 라인(RVL)과 구동 트랜지스터(DT)의 제2 노드(N2) 사이에 전기적으로 연결되고, 게이트 노드에 인가된 제2 스캔신호(SCAN2)에 의해 온-오프가 제어될 수 있다.
- [0092] 이러한 제2 트랜지스터(T2)는 제2 스캔신호(SCAN2)에 의해 턴-온 되어 기준 전압 라인(RVL)으로부터 공급된 기준 전압(Vref)을 구동 트랜지스터(DT)의 제2 노드(N2)로 전달해줄 수 있다.
- [0093] 또한, 제2 트랜지스터(T2)는 제2 스캔신호(SCAN2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)으로 전달해줄 수도 있다. 이는, 각 서브픽셀(SP) 내 구동 트랜지스터(DT), 유기발광다이오드(OLED) 등의 회로 소자에 대한 특성치(예: 문턱전압, 이동도 등)를 센싱할 때 이루어지는 현상이다.
- [0094] 스토리지 캐패시터(C1)는 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결되어 한 프레임 시간 동안 일정 전압을 유지해주는 역할을 한다.
- [0095] 이러한 스토리지 캐패시터(C1)는, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.
- [0096] 구동 트랜지스터(DT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는 n 타입의 트랜지스터일 수도 있고, p 타입의 트랜지스터일 수도 있다.
- [0097] 한편, 도 2를 참조하면, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드는 동일한 게이트 라인(GL)에 연결될 수 있다.
- [0098] 이에 따라, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 제1 스캔신호(SCAN1)와 제2 트랜지스터(T2)의 게이트 노드에 인가되는 제2 스캔신호(SCAN2)는 동일한 스캔신호(SCAN)일 수 있다.
- [0099] 도 2와 같이, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드가 1개의 게이트 라인(GL)에 공통으로 연결된 경우, 서브픽셀(SP)은 "1 스캔 구조"를 갖는다고 한다.
- [0100] 다른 한편, 도 3을 참조하면, 제1 트랜지스터(T1)의 게이트 노드는 제1 게이트 라인(GL1)에 연결되고, 제2 트랜지스터(T2)의 게이트 노드는 제1 게이트 라인(GL1)과는 다른 제2 게이트 라인(GL2)에 연결될 수 있다.
- [0101] 이에 따라, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 제1 스캔신호(SCAN1)와 제2 트랜지스터(T2)의 게이트 노드에 인가되는 제2 스캔신호(SCAN2)는 별개의 신호이다.
- [0102] 도 3과 같이, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드가 2개의 게이트 라인(GL1, GL2)에 대응되어 연결된 경우, 서브픽셀(SP)은 "2 스캔 구조"를 갖는다고 한다.
- [0103] 한편, 구동 트랜지스터(DT) 등의 트랜지스터는 구동 시간이 길어짐에 따라 열화가 진행되어 문턱전압, 이동도



등의 특성치가 변할 수 있다.

- [0104] 또한, 각 트랜지스터마다 구동 시간의 차이가 있기 때문에 열화 정도도 다를 수 있고, 각 트랜지스터 간의 특성치 변화도 서로 다를 수 있다. 이에 따라, 각 트랜지스터 간의 특성치 편차가 발생할 수 있다.
- [0105] 각 트랜지스터 간의 특성치 편차는 유기발광표시패널(110)의 휘도 불균일을 초래하여 화상 품질을 크게 떨어뜨릴 수 있다.
- [0106] 이와 같이, 화상 품질 저하의 요인이 되는 트랜지스터의 특성치 변화는 빛에 의해서도 발생할 수 있다.
- [0107] 가령, 외부 광이 트랜지스터(특히, 채널 영역)에 닿으면, 트랜지스터의 문턱전압이 네거티브(-) 방향으로 쉬프트(Shift) 하는 현상이 발생하여 트랜지스터 소자 특성이 나빠지게 된다.
- [0108] 도 4는 본 실시예들에 따른 유기발광표시장치에서, 빛에 의해 트랜지스터의 특성치가 변화하는 현상을 방지하기 위하여, 차광 패턴(LS: Light Shield)을 트랜지스터의 하부에 형성한 것을 나타낸 도면이다.
- [0109] 도 4를 참조하면, 소스 노드(S), 드레인 노드(D) 및 게이트 노드(G) 등으로 이루어진 트랜지스터에 빛이 조사되는 경우, 특히, 트랜지스터의 채널에 빛이 조사되는 경우, 트랜지스터의 소자 특성(예: 문턱전압 등)이 크게 변할 수 있다.
- [0110] 이에, 트랜지스터의 영역(예: 하부)에 차광 패턴(LS)을 형성해둔다.
- [0111] 이에 따라, 차광 패턴(LS)에 의해 트랜지스터에 빛이 닿는 것을 방지해줄 수 있고, 트랜지스터의 소자 특성 변화도 방지해줄 수 있다.
- [0112] 이러한 차광 패턴(LS)은 빛이 투과되는 것을 차단할 수 있는 금속 물질로 되어 있을 수 있다.
- [0113] 한편, 차광 패턴(LS)은 트랜지스터의 게이트 노드(게이트 전극)의 하부에 절연층을 사이에 두고 위치하며, 트랜지스터의 바디(B)의 역할을 할 수 있다.
- [0114] 도 5는 본 실시예들에 따른 유기발광표시장치(100)에서 각 서브픽셀(SP)의 회로 영역(CA: Circuit Area)에 형성된 차광 패턴(LS)과, 차광 패턴(LS)이 형성된 서브픽셀(SP)의 등가회로이다.
- [0115] 도 5를 참조하면, 각 서브픽셀(SP)은 유기발광다이오드(OLED)에 의해 발광하는 발광 영역(EA: Emission Area)과 유기발광다이오드(OLED)를 구동하기 위한 회로가 형성된 회로 영역(CA)으로 이루어진다.
- [0116] 도 5를 참조하면, 빛에 의해 트랜지스터 특성 변화를 방지하기 위하여, 차광 패턴(LS)을 트랜지스터들(DT, T1, T2)이 위치한 회로 영역(CA)의 전면에 패터닝 할 수 있다.
- [0117] 이 경우, 차광 패턴(LS)은 전압이 인가되지 않는 플로팅 패턴(Floating Pattern)이다.
- [0118] 한편, 전술한 바와 같이, 차광 패턴(LS)은 각 트랜지스터(DT, T1, T2)의 바디 역할을 한다.
- [0119] 이에 따라, 차광 패턴(LS)은 각 트랜지스터(DT, T1, T2)의 또 다른 게이트 노드(일명, 뒷문 게이트 노드(Back Gate Node)라고도 함)의 역할을 할 수 있다. 이에 따라, 각 트랜지스터(DT, T1, T2)의 문턱전압이 변하거나 원하는 동작을 하지 못하는 현상이 발생할 수 있다. 이러한 현상을 "바디 효과(Body Effect)"라고 한다.
- [0120] 도 6은 본 실시예들에 따른 유기발광표시장치(100)에서, 구동 트랜지스터(DT)의 동작 특성을 개선하기 위해, 차광 패턴(LS)을 구동 트랜지스터(DT)의 제2 노드(N2)에 연결한 싱글 차광 패턴 구조를 나타낸 도면이다.
- [0121] 도 6을 참조하면, 각 서브픽셀(SP)의 전체 구동 특성에 큰 영향을 끼치는 구동 트랜지스터(DT)가 바디 효과의 영향을 받지 않도록 하고, 구동 트랜지스터(DT)의 동작 특성을 개선하기 위하여, 회로 영역(CA)의 전면에 패터닝 된 차광 패턴(LS)을 구동 트랜지스터(DT)의 제2 노드(N2)에 연결할 수 있다.
- [0122] 이러한 차광 패턴 구조는, 구동 트랜지스터(DT)의 제2 노드(N2)에 연결되는 차광 패턴(LS)이 각 서브픽셀(SP)마다 1개씩 존재하기 때문에, "싱글 차광 패턴 구조"라고 한다.
- [0123] 도 7 및 도 8은 본 실시예들에 따른 유기발광표시장치(100)에서, 싱글 차광 패턴 구조에 의해 발생할 수 있는 이상 구동 현상을 설명하기 위한 도면이다.
- [0124] 도 7 및 도 8을 참조하면, 싱글 차광 패턴 구조에 따르면, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압이 바이어스 전압(BV)으로서 차광 패턴(LS)에 인가된다.
- [0125] 도 7에 도시된 바와 같이, 제1 트랜지스터(T1)를 턴-오프 시키기 위하여, 제1 트랜지스터(T1)의 게이트 노드에

턴-오프 레벨 전압(VGL)에 해당하는 제1 스캔신호(SCAN1)를 인가한 경우, 차광 패턴(LS)에 인가된 바이어스 전압(BV)이 제1 트랜지스터(T1)의 또 다른 게이트 전압 역할을 하여, 바디 효과가 발생할 수 있고, 이에 따라, 제1 트랜지스터(T1)가 원치 않게 턴-온 될 수도 있다.

[0126] 또한, 도 8에 도시된 바와 같이, 제2 트랜지스터(T2)를 턴-오프시키기 위하여, 제2 트랜지스터(T2)의 게이트 노드에 턴-오프 레벨 전압(VGL)에 해당하는 제2 스캔신호(SCAN2)를 인가한 경우, 차광 패턴(LS)에 인가된 바이어스 전압(BV)이 제2 트랜지스터(T2)의 또 다른 게이트 전압 역할을 하여, 바디 효과가 발생할 수 있고, 이에 따라, 제2 트랜지스터(T2)가 원치 않게 턴-온 될 수도 있다.

[0127] 도 7 및 도 8에 도시된 바와 같이, 바디 효과의 영향으로 인해, 제1 트랜지스터(T1) 및/또는 제2 트랜지스터(T2)가 원치 않게 턴-온 되는 상황은, 영상 구동 시에도 발생할 수 있고, 센싱 구동 시에도 발생할 수 있다.

[0128] 예를 들어, 턴-오프되어야 하는 제1 트랜지스터(T1)가 턴-온 되는 경우, 이전 라인(이전 서브픽셀 행) 또는 다음 라인(다음 서브픽셀 행)에서의 서브픽셀에 공급되는 데이터 전압이 해당 제1 트랜지스터(T1)가 있는 서브픽셀로 공급되어, 화상 이상 현상이 발생할 수 있다. 이러한 현상을 데이터 섞임 현상이라고 한다.

[0129] 다른 예를 들어, 아날로그 디지털 컨버터(Analog to Digital)과 전기적으로 연결되어 센싱 라인 역할을 하는 기준 전압 라인(RVL)과 전기적으로 연결된 제1 서브픽셀에 대하여, 구동 트랜지스터(DT)의 문턱전압을 센싱하기 위한 센싱 구동이 진행되고 있는 동안, 다른 서브픽셀 행에서 기준 전압 라인(RVL)과 함께 전기적으로 연결된 제2 서브픽셀에서 턴-오프되어야 하는 제2 트랜지스터(T2)가 불필요하게 턴-온 되면, 불필요하게 턴-온 된 제2 트랜지스터(T2)는, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)으로 전달한다.

[0130] 이로 인해, 아날로그 디지털 컨버터는 제1 서브픽셀 내 구동 트랜지스터(DT)의 제2 노드(N2)의 전압을 정확하게 센싱하지 못하여, 센싱 오류가 발생할 수 있다. 이러한 센싱 오류는 문턱전압 편차에 대한 보상값 연산에도 오류를 발생시켜 화상 이상 현상을 발생시킬 수 있다.

[0131] 따라서, 본 실시예들은, 바디 효과의 영향으로 인한 제1 트랜지스터(T1) 및/또는 제2 트랜지스터(T2)의 이상 구동 현상(불필요하게 턴-온 되는 현상)을 방지해줄 수 있는 차광 패턴 구조를 제안한다.

[0132] 먼저, 도 9 내지 도 15를 참조하여, 더블 차광 패턴 구조를 설명한다. 이어서, 도 16 내지 도 22를 참조하여, 트리플 차광 패턴 구조를 설명한다.

[0133] 더블 차광 패턴 구조는, 1 스캔 구조에 적용될 수 있는 차광 패턴 구조로서, 서로 다른 지점에 연결되는 2가지의 차광 패턴(LS\_SHORT, LS\_LONG)을 갖는 구조이다.

[0134] 트리플 차광 패턴 구조는, 2 스캔 구조에 적용될 수 있는 차광 패턴 구조로서, 서로 다른 지점에 연결되는 3가지의 차광 패턴(LS\_SHORT, LS\_LONG1, LS\_LONG2)을 갖는 구조이다.

[0135] 도 9 내지 도 11은 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 1 스캔 구조를 갖는 경우, 이상 구동 현상을 방지하기 위한 더블 차광 패턴 구조를 나타낸 도면이다.

[0136] 도 9는 더블 차광 패턴 구조가 적용된 2개의 서브픽셀(SP1, SP2)의 등가회로이고, 도 10은 2개의 서브픽셀(SP1, SP2)에서 더블 차광 패턴(LS\_SHORT, LS\_LONG)을 나타낸 도면이다. 그리고, 도 11은 4개의 서브픽셀(SP1, SP2, SP3, SP4)에서 더블 차광 패턴(LS\_SHORT, LS\_LONG)을 나타낸 도면이다.

[0137] 도 9 내지 도 11을 참조하면, 1 스캔 구조의 각 서브픽셀은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DT)와, 게이트 라인(GL)을 통해 게이트 노드에 인가된 스캔신호(SCAN)에 의해 제어되며 구동 트랜지스터(DT)의 제1 노드(N1)와 데이터 라인(DL) 사이에 전기적으로 연결된 제1 트랜지스터(T1)와, 게이트 라인(GL)을 통해 게이트 노드에 인가된 스캔신호(SCAN)에 의해 제어되며, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(C1)를 포함하여 구성된다.

[0138] 도 9 내지 도 11을 참조하면, 각 서브픽셀의 구동 트랜지스터(DT)의 영역마다 쇼트 차광 패턴(Short Light Shield Pattern, LS\_SHORT)이 위치한다.

[0139] 각 서브픽셀 마다 1개씩 존재하는 쇼트 차광 패턴(LS\_SHORT)은 해당 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된다.

[0140] 이러한 쇼트 차광 패턴(LS\_SHORT)은 연결 패턴(CPS)을 통해 해당 구동 트랜지스터(DT)의 제2 노드(N2)와 연결될

수 있다.

- [0141] 도 9 내지 도 11을 참조하면, 각 서브픽셀 행마다 1개의 롱 차광 패턴(Long Light Shield Pattern, LS\_LONG)이 행 방향으로 위치한다.
- [0142] 각 서브픽셀 행마다 1개씩 존재하는 롱 차광 패턴(LS\_LONG)은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터(T1)의 영역과 다수의 제2 트랜지스터(T2)의 영역을 지나가면서 위치한다.
- [0143] 이러한 롱 차광 패턴(LS\_LONG)은 해당 서브픽셀 행에 위치한 모든 제1 트랜지스터(T1)의 게이트 노드와 모든 제2 트랜지스터(T2)의 게이트 노드에 공통으로 연결된 게이트 라인(GL)과 넌-액티브 영역(N/A)에서 전기적으로 연결될 수 있다.
- [0144] 이러한 롱 차광 패턴(LS\_LONG)은 해당 서브픽셀 행에 위치한 모든 제1 트랜지스터(T1)와 모든 제2 트랜지스터(T2)의 더블 게이트 동작을 가능하게 한다.
- [0145] 또한, 이러한 롱 차광 패턴(LS\_LONG)은 연결 패턴(CPL)을 통해 게이트 라인(GL)과 넌-액티브 영역(N/A)에서 전기적으로 연결될 수 있다.
- [0146] 진술한 더블 차광 패턴 구조에 따르면, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압에 따라 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 의도치 않게 턴-온 되는 현상이 방지될 수 있다, 즉, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 바디 효과의 영향을 적게 받게 된다. 이에 따라, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 이상 구동 현상(불필요하게 턴-온 되는 현상)을 방지해줄 수 있고, 이로 인해, 화상 이상 현상이 방지되어 화상 품질이 개선될 수 있다.
- [0147] 또한, 더블 게이트 동작을 위해, 롱 차광 패턴(LS\_LONG)이, 각 서브픽셀에서 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드와 개별적으로 연결되지 않고, 게이트 라인(GL)과 넌-액티브 영역(N/A)에서 1차레만 연결됨으로써, 액티브 영역(A/A)에서 연결 구조를 형성하지 않아도 된다. 이에 따라, 유기발광표시패널(110)의 개구율을 증가시킬 수 있다.
- [0148] 도 12는 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 1 스캔 구조를 갖는 경우, 더블 차광 패턴 구조에서, 롱 차광 패턴(LS\_LONG)을 나타낸 도면이다.
- [0149] 도 12를 참조하면, 롱 차광 패턴(LS\_LONG)은, 해당 서브픽셀 행에서 행 방향으로 연장된 라인부(L)와, 라인부(L)에서 해당 서브픽셀 행에 위치한 각 제1 트랜지스터(T1)의 영역으로 돌출된 제1 돌출부(E1)와, 라인부(L)에서 해당 서브픽셀 행에 위치한 각 제2 트랜지스터(T2)의 영역으로 돌출된 제2 돌출부(E2)로 이루어질 수 있다.
- [0150] 진술한 바에 따르면, 1개의 롱 차광 패턴(LS\_LONG)만으로도, 서브픽셀 행에 위치한 모든 제1 트랜지스터(T1) 및 모든 제2 트랜지스터(T2)의 영역에 차광 패턴 구조를 만들어줄 수 있다.
- [0151] 도 13은 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 1 스캔 구조를 갖는 경우, 더블 차광 패턴 구조에서, 롱 차광 패턴(LS\_LONG)과 게이트 라인(GL)의 배치 구조를 나타낸 도면이다.
- [0152] 도 13을 참조하면, 유기발광표시패널(110)은 화상이 표시되는 액티브 영역(A/A: Active Area)과, 액티브 영역(A/A)의 외곽 영역에 해당하며 화상이 표시되지 않는 넌-액티브 영역(N/A: Non-Active Area)으로 이루어진다.
- [0153] 유기발광표시패널(110)에는 다수의 서브픽셀 행(SPR1, ..., SPRn)이 존재한다.
- [0154] 도 13을 참조하면, 1 스캔 구조의 경우, 1개의 서브픽셀 행마다 1개의 게이트 라인(GL)이 행 방향으로 배치될 수 있다.
- [0155] 또한, 1 스캔 구조의 경우, 1개의 서브픽셀 행마다 1개의 롱 차광 패턴(LS\_LONG)이 행 방향으로 배치될 수 있다.
- [0156] 도 13을 참조하면, 1개의 서브픽셀 행마다 배치되는 게이트 라인(GL)과 롱 차광 패턴(LS\_LONG)은, 넌-액티브 영역(N/A)에서 연결 패턴(CPL)을 통해 전기적으로 연결될 수 있다.
- [0157] 롱 차광 패턴(LS\_LONG)은, 도 13에 도시된 바와 같이, 게이트 라인(GL)의 일단과 연결될 수도 있고, 게이트 라인(GL)의 양단과 연결될 수도 있다. 즉, 롱 차광 패턴(LS\_LONG)의 연결 지점이 1개일 수도 있고 2개일 수도 있다.
- [0158] 도 13을 참조하면, 롱 차광 패턴(LS\_LONG)은 게이트 라인(GL)과 대응되어 위치한다.

- [0159] 일 예로, 롱 차광 패턴(LS\_LONG)은 게이트 라인(GL)의 아래에 위치할 수 있다.
- [0160] 이에 따라, 롱 차광 패턴(LS\_LONG)의 형성 공간을 줄일 수 있고, 짧은 연결 패턴(CPL)을 통해 게이트 라인(GL)과 롱 차광 패턴(LS\_LONG)을 쉽게 연결해줄 수 있다.
- [0161] 도 14 및 도 15는 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 1 스캔 구조를 갖는 경우, 더블 차광 패턴 구조에서, 롱 차광 패턴(LS\_LONG)과 게이트 라인(GL) 간의 연결 구조를 나타낸 도면이다.
- [0162] 도 14는 도 13의 A 부분의 확대도이고, 도 15는 도 14의 A'의 단면도이다.
- [0163] 도 14 및 도 15를 참조하면, 롱 차광 패턴(LS\_LONG)과 게이트 라인(GL)은 넌-액티브 영역(A/A)에서 연결 패턴(CPL)을 통해 연결된다.
- [0164] 도 14를 참조하면, 게이트 라인(GL)에 게이트 돌출부(GE)가 넌-액티브 영역(N/A)에 위치하고, 롱 차광 패턴(LS\_LONG)에 컨택 돌출부(LE)가 넌-액티브 영역(N/A)에 위치한다.
- [0165] 도 14 및 도 15를 참조하면, 게이트 라인(GL)의 게이트 돌출부(GE)와 롱 차광 패턴(LS\_LONG)의 컨택 돌출부(LE)는 연결 패턴(CPL)을 통해 전기적으로 연결될 수 있다.
- [0166] 이러한 돌출 연결 구조를 통해, 롱 차광 패턴(LS\_LONG)과 게이트 라인(GL)을 쉽게 연결시킬 수 있다.
- [0167] 도 15를 참조하면, 기판(1510) 상에 하부 버퍼층(1520)이 위치한다.
- [0168] 게이트 라인(GL), 즉, 게이트 라인(GL)의 게이트 돌출부(GE)는, 하부 버퍼층(1520) 위에 위치한 게이트 절연층(1530) 상에 위치한다.
- [0169] 롱 차광 패턴(LS\_LONG), 즉, 롱 차광 패턴(LS\_LONG)의 컨택 돌출부(LE)는 하부 버퍼층(1520) 위에 위치한다.
- [0170] 이러한 롱 차광 패턴(LS\_LONG)의 컨택 돌출부(LE) 상에 버퍼층(1540)이 위치한다.
- [0171] 버퍼층(1540)과, 게이트 라인(GL)의 게이트 돌출부(GE)의 위에는 층간 절연막(1550)이 위치한다.
- [0172] 연결 패턴(CPL)은, 층간 절연막(155)의 홀을 통해, 게이트 라인(GL)의 게이트 돌출부(GE)와 롱 차광 패턴(LS\_LONG)의 컨택 돌출부(LE)를 연결시켜준다.
- [0173] 이러한 연결 패턴(CPL) 위에 패시베이션 층(1560)이 위치한다.
- [0174] 도 15를 참조하면, 연결 패턴(CPL)은, 롱 차광 패턴(LS\_LONG) 및 게이트 라인(GL)와는 다른 종류의 금속일 수 있다. 일 예로, 연결 패턴(CPL)은 소스-드레인 물질일 수 있다.
- [0175] 유기발광표시패널(110)에서 게이트 물질 층 상에 위치하고 전압 배선 등에 사용되는 물질 층을 그대로 활용하여, 롱 차광 패턴(LS\_LONG) 및 게이트 라인(GL)을 연결시켜주기 위한 연결 패턴(CPL)을 형성할 수 있다.
- [0176] 아래에서는, 도 16 내지 도 22를 참조하여, 2 스캔 구조에 활용될 수 있는 트리플 차광 패턴 구조를 설명한다.
- [0177] 도 16 내지 도 18은 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 2 스캔 구조를 갖는 경우, 이상 구동 현상을 방지하기 위한 트리플 차광 패턴 구조를 나타낸 도면이다.
- [0178] 도 16은 트리플 차광 패턴 구조가 적용된 2개의 서브픽셀(SP1, SP2)의 등가회로이고, 도 17은 2개의 서브픽셀(SP1, SP2)에서 트리플 차광 패턴(LS\_SHORT, LS\_LONG1, LS\_LONG2)을 나타낸 도면이다. 그리고, 도 18은 4개의 서브픽셀(SP1, SP2, SP3, SP4)에서 트리플 차광 패턴(LS\_SHORT, LS\_LONG1, LS\_LONG2)을 나타낸 도면이다.
- [0179] 도 16 내지 도 18을 참조하면, 2 스캔 구조를 갖는 각 서브픽셀은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DT)와, 제1 게이트 라인(GL1)을 통해 게이트 노드에 인가된 제1 스캔신호(SCAN1)에 의해 제어되며, 구동 트랜지스터(DT)의 제1 노드(N1)와 데이터 라인(DL) 사이에 전기적으로 연결된 제1 트랜지스터(T1)와, 제2 게이트 라인(GL2)을 통해 게이트 노드에 인가된 제2 스캔신호(SCAN2)에 의해 제어되며, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(C1)를 포함하여 구성된다.
- [0180] 도 16 내지 도 18을 참조하면, 각 서브픽셀(SP)의 구동 트랜지스터(DT)의 영역마다 쇼트 차광 패턴(LS\_SHORT)이 위치한다.



- [0181] 각 서브픽셀마다 1개씩 존재하는 쇼트 차광 패턴(LS\_SHORT)은 해당 구동 트랜지스터(DT)의 제2 노드(N2)와 연결 패턴(CPS)을 통해 전기적으로 연결될 수 있다.
- [0182] 도 16 내지 도 18을 참조하면, 각 서브픽셀 행마다, 제1 롱 차광 패턴(LS\_LONG1)과 제2 롱 차광 패턴(LS\_LONG2)이 행 방향으로 위치한다.
- [0183] 각 서브픽셀 행마다 1개씩 존재하는 제1 롱 차광 패턴(LS\_LONG1)은 해당 서브픽셀 행에 위치한 다수의 제1 트랜지스터(T1)의 영역을 지나가면서 위치한다.
- [0184] 각 서브픽셀 행마다 1개씩 존재하는 제2 롱 차광 패턴(LS\_LONG2)은 해당 서브픽셀 행에 위치한 다수의 제2 트랜지스터(T2)의 영역을 지나가면서 위치한다.
- [0185] 제1 롱 차광 패턴(LS\_LONG1)은, 해당 서브픽셀 행에 위치한 모든 제1 트랜지스터(T1)의 게이트 노드에 연결된 제1 게이트 라인(GL1)과 넌-액티브 영역(N/A)에서, 연결 패턴(CPL1)을 통해, 전기적으로 연결될 수 있다.
- [0186] 제2 롱 차광 패턴(LS\_LONG2)은 해당 서브픽셀 행에 위치한 모든 제2 트랜지스터(T2)의 게이트 노드에 연결된 제2 게이트 라인(GL2)과 넌-액티브 영역(N/A)에서, 연결 패턴(CPL2)을 통해, 전기적으로 연결될 수 있다.
- [0187] 전술한 트리플 차광 패턴 구조에 따르면, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압에 따라 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 의도치 않게 턴-온 되는 현상이 방지될 수 있다, 즉, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 바다 효과의 영향을 적게 받게 된다. 이에 따라, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 이상 구동 현상(불필요하게 턴-온 되는 현상)을 방지해줄 수 있고, 이로 인해, 화상 이상 현상이 방지되어 화상 품질이 개선될 수 있다.
- [0188] 또한, 더블 게이트 동작을 위해, 제1 롱 차광 패턴(LS\_LONG1)이, 각 서브픽셀에서 제1 트랜지스터(T1)의 게이트 노드와 개별적으로 연결되지 않고, 제1 게이트 라인(GL1)과 넌-액티브 영역(N/A)에서 1차레만 연결됨으로써, 액티브 영역(A/A)에서 연결 구조를 형성하지 않아도 된다. 이에 따라, 유기발광표시패널(110)의 개구율을 증가시킬 수 있다. 이와 마찬가지로, 더블 게이트 동작을 위해, 제2 롱 차광 패턴(LS\_LONG2)이, 각 서브픽셀에서 제2 트랜지스터(T2)의 게이트 노드와 개별적으로 연결되지 않고, 제2 게이트 라인(GL2)과 넌-액티브 영역(N/A)에서 1차레만 연결됨으로써, 액티브 영역(A/A)에서 연결 구조를 형성하지 않아도 된다. 이에 따라, 유기발광표시패널(110)의 개구율을 증가시킬 수 있다.
- [0189] 도 19는 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 2 스캔 구조를 갖는 경우, 트리플 차광 패턴 구조에서, 제1 롱 차광 패턴(LS\_LONG1) 및 제2 롱 차광 패턴(LS\_LONG2)을 개략화하여 나타낸 도면이다.
- [0190] 도 19를 참조하면, 제1 롱 차광 패턴(LS\_LONG1)은, 해당 서브픽셀 행에서 행 방향으로 연장된 제1 라인부(L1)와, 제1 라인부(L1)에서 해당 서브픽셀 행에 위치한 각 제1 트랜지스터(T1)의 영역으로 돌출된 제1 돌출부(E1)로 이루어질 수 있다.
- [0191] 제2 롱 차광 패턴(LS\_LONG2)은, 해당 서브픽셀 행에서 행 방향으로 연장된 제2 라인부(L2)와, 제2 라인부(L2)에서 해당 서브픽셀 행에 위치한 각 제2 트랜지스터(T2)의 영역으로 돌출된 제2 돌출부(E2)로 이루어질 수 있다.
- [0192] 전술한 바에 따르면, 1개의 제1 롱 차광 패턴(LS\_LONG1)만으로도, 서브픽셀 행에 위치한 모든 제1 트랜지스터(T1)의 영역에 차광 패턴 구조를 만들어줄 수 있고, 1개의 제2 롱 차광 패턴(LS\_LONG2)만으로도, 서브픽셀 행에 위치한 모든 제2 트랜지스터(T2)의 영역에 차광 패턴 구조를 만들어줄 수 있다.
- [0193] 도 20은 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 2 스캔 구조를 갖는 경우, 트리플 차광 패턴 구조에서, 제1 롱 차광 패턴(LS\_LONG1) 및 제1 게이트 라인(GL1) 간의 배치 구조와, 제2 롱 차광 패턴(LS\_LONG2) 및 제2 게이트 라인(GL2) 간의 배치 구조를 나타낸 도면이다.
- [0194] 도 20을 참조하면, 유기발광표시패널(110)은 화상이 표시되는 액티브 영역(A/A: Active Area)과, 액티브 영역(A/A)의 외곽 영역에 해당하며 화상이 표시되지 않는 넌-액티브 영역(N/A: Non-Active Area)으로 이루어진다.
- [0195] 유기발광표시패널(110)에는 다수의 서브픽셀 행(SPR1, ..., SPRn)이 존재한다.
- [0196] 도 20을 참조하면, 2 스캔 구조의 경우, 1개의 서브픽셀 행마다 2개의 게이트 라인(GL1, GL2)이 행 방향으로 배치될 수 있다.
- [0197] 또한, 2 스캔 구조의 경우, 1개의 서브픽셀 행마다 2개의 롱 차광 패턴(LS\_LONG1, LS\_LONG2)이 행 방향으로 배치될 수 있다.

- [0198] 도 20을 참조하면, 1개의 서브픽셀 행마다 배치되는 제1 게이트 라인(GL1)과 제1 롱 차광 패턴(LS\_LONG1)은, 넌-액티브 영역(N/A)에서 연결 패턴(CPL1)을 통해 전기적으로 연결될 수 있다.
- [0199] 1개의 서브픽셀 행마다 배치되는 제2 게이트 라인(GL2)과 제2 롱 차광 패턴(LS\_LONG2)은, 넌-액티브 영역(N/A)에서 연결 패턴(CPL2)을 통해 전기적으로 연결될 수 있다.
- [0200] 이러한 제1 롱 차광 패턴(LS\_LONG1)은, 도 20에 도시된 바와 같이, 제1 게이트 라인(GL1)의 일단과 연결될 수도 있고, 제1 게이트 라인(GL1)의 양단과 연결될 수도 있다. 즉, 제1 롱 차광 패턴(LS\_LONG1)의 연결 지점이 1개일 수도 있고 2개일 수도 있다.
- [0201] 이러한 제2 롱 차광 패턴(LS\_LONG2)은, 도 20에 도시된 바와 같이, 제2 게이트 라인(GL2)의 일단과 연결될 수도 있고, 제2 게이트 라인(GL2)의 양단과 연결될 수도 있다. 즉, 제2 롱 차광 패턴(LS\_LONG2)의 연결 지점이 1개일 수도 있고 2개일 수도 있다.
- [0202] 도 20을 참조하면, 제1 롱 차광 패턴(LS\_LONG1)은 제1 게이트 라인(GL1)과 대응되어 위치하고, 제2 롱 차광 패턴(LS\_LONG2)은 제2 게이트 라인(GL2)과 대응되어 위치한다.
- [0203] 일 예로, 제1 롱 차광 패턴(LS\_LONG1)은 제1 게이트 라인(GL1)의 아래에 위치하고, 제2 롱 차광 패턴(LS\_LONG2)은 제2 게이트 라인(GL2)의 아래에 위치할 수 있다.
- [0204] 이에 따라, 각 서브픽셀 행마다 존재하는 2개의 롱 차광 패턴(LS\_LONG1, LS\_LONG2)의 형성 공간을 줄일 수 있고, 짧은 연결 패턴(CPL1, CPL2)을 통해 2개의 게이트 라인(GL1, GL2)과 2개의 롱 차광 패턴(LS\_LONG1, LS\_LONG2)을 서로 대응시켜 쉽게 연결해줄 수 있다.
- [0205] 도 21 및 도 22는 본 실시예들에 따른 유기발광표시장치(100)의 각 서브픽셀(SP)이 2 스캔 구조를 갖는 경우, 트리플 차광 패턴 구조에서, 제1 롱 차광 패턴(LS\_LONG1) 및 제1 게이트 라인(GL1) 간의 연결 구조와, 제2 롱 차광 패턴(LS\_LONG2) 및 제2 게이트 라인(GL2) 간의 연결 구조를 나타낸 도면이다.
- [0206] 도 21은 도 20의 B 부분의 확대도이고, 도 22는 도 21의 B'의 단면도이다.
- [0207] 도 21 및 도 22를 참조하면, 제1 게이트 라인(GL1)에 제1 게이트 돌출부(GE1)가 넌-액티브 영역(N/A)에 위치하고, 제1 롱 차광 패턴(LS\_LONG1)에 제1 컨택 돌출부(LE1)가 넌-액티브 영역(N/A)에 위치한다.
- [0208] 제1 게이트 돌출부(GE1)와 제1 컨택 돌출부(LE1)는 제1 연결 패턴(CPL1)을 통해 전기적으로 연결된다.
- [0209] 도 21 및 도 22를 참조하면, 제2 게이트 라인(GL2)에 제2 게이트 돌출부(GE2)가 넌-액티브 영역(N/A)에 위치하고, 제2 롱 차광 패턴(LS\_LONG2)에 제2 컨택 돌출부(LE2)가 넌-액티브 영역(N/A)에 위치한다.
- [0210] 제2 게이트 돌출부(GE2)와 제2 컨택 돌출부(LE2)는 제2 연결 패턴(CPL2)을 통해 전기적으로 연결된다.
- [0211] 이러한 돌출 연결 구조를 통해, 제1 롱 차광 패턴(LS\_LONG1)과 제1 게이트 라인(GL1)을 쉽게 연결시킬 수 있고, 제2 롱 차광 패턴(LS\_LONG2)과 제2 게이트 라인(GL2)을 쉽게 연결시킬 수 있다.
- [0212] 제1 연결 패턴(CPL1) 및 제2 연결 패턴(CPL2)은, 제1 롱 차광 패턴(LS\_LONG1) 및 제2 롱 차광 패턴(LS\_LONG2)과, 제1 게이트 라인(GL1) 및 제2 게이트 라인(GL2)과 다른 종류의 금속일 수 있다. 일 예로, 제1 연결 패턴(CPL1) 및 제2 연결 패턴(CPL2)은, 소스-드레인 물질일 수 있다.
- [0213] 유기발광표시패널(110)에서 게이트 물질 층 상에 위치하고 전압 배선 등에 사용되는 물질 층을 그대로 활용하여, 제1, 제2 롱 차광 패턴(LS\_LONG1, LS\_LONG2) 및 제1, 제2 게이트 라인(GL1, GL2)을 연결시켜주기 위한 제1, 제2 연결 패턴(CPL1, CPL2)을 형성할 수 있다.
- [0214] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 서브픽셀 내 트랜지스터의 특성 변화를 줄여주어 트랜지스터의 이상 구동을 방지할 수 있는 차광 패턴 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.
- [0215] 또한, 본 실시예들에 의하면, 서브픽셀 내 트랜지스터의 하부에 차광 패턴을 위치시켜, 트랜지스터의 특성 변화를 저감시키면서도, 트랜지스터에서 발생할 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.
- [0216] 또한, 본 실시예들에 의하면, 서브픽셀 내 트랜지스터의 종류별로 차광 패턴의 형태 및 연결 위치를 다르게 하여, 바디 효과(Body Effect)의 영향을 효과적으로 줄여주고, 이를 통해, 화상 이상 현상을 방지해줄 수 있는 차

광 패턴 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.

[0217] 또한, 본 실시예들에 의하면, 서브픽셀이 구동 트랜지스터와 동일 게이트 라인에 연결된 제1, 제2 트랜지스터를 포함하여 구성되는 경우, 구동 트랜지스터의 영역에 쇼트 차광 패턴과 제1, 제2 트랜지스터의 영역에 롱 차광 패턴(들)을 포함하는 차광 패턴 구조를 가짐으로써, 트랜지스터 종류별로 이상 구동 현상을 효과적으로 방지해 줄 수 있는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.

[0218] 또한, 본 실시예들에 의하면, 개구율을 높일 수 있는 차광 패턴 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.

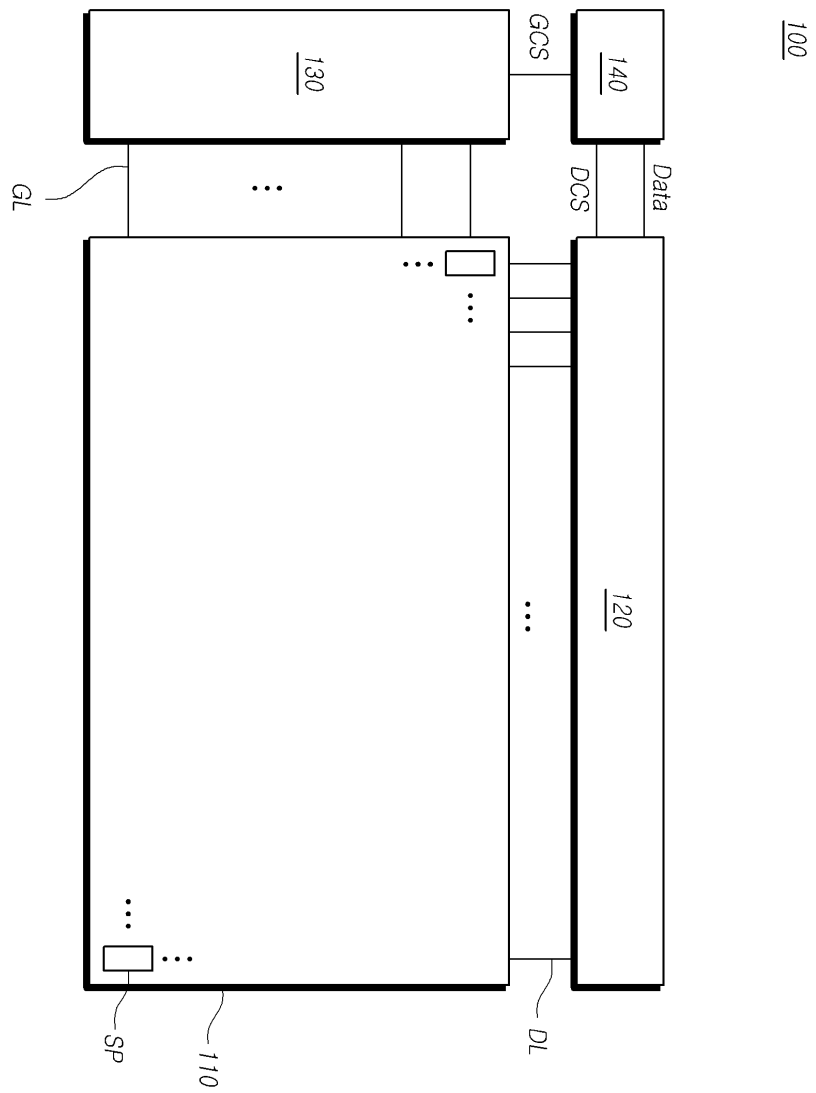
[0219] 이상에서 설명한 차광 패턴 구조는, 구동 트랜지스터(DT) 및 제1 트랜지스터(T1)와 스토리지 캐패시터(C1)로 구성된 2T1C 서브픽셀 구조에도 적용될 수 있고, 3T1C 구조 및 2T1C 구조 이외에, 다양한 서브픽셀 구조에 적용될 수 있다.

[0220] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

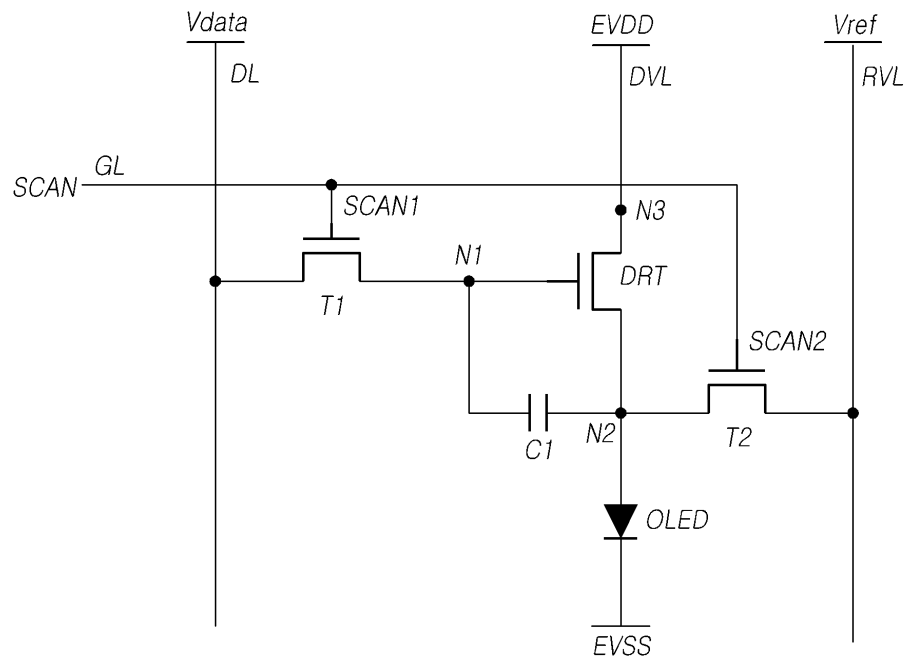
### 부호의 설명

[0221] 100: 유기발광표시장치  
110: 유기발광표시패널  
120: 데이터 드라이버  
130: 게이트 드라이버  
140: 컨트롤러

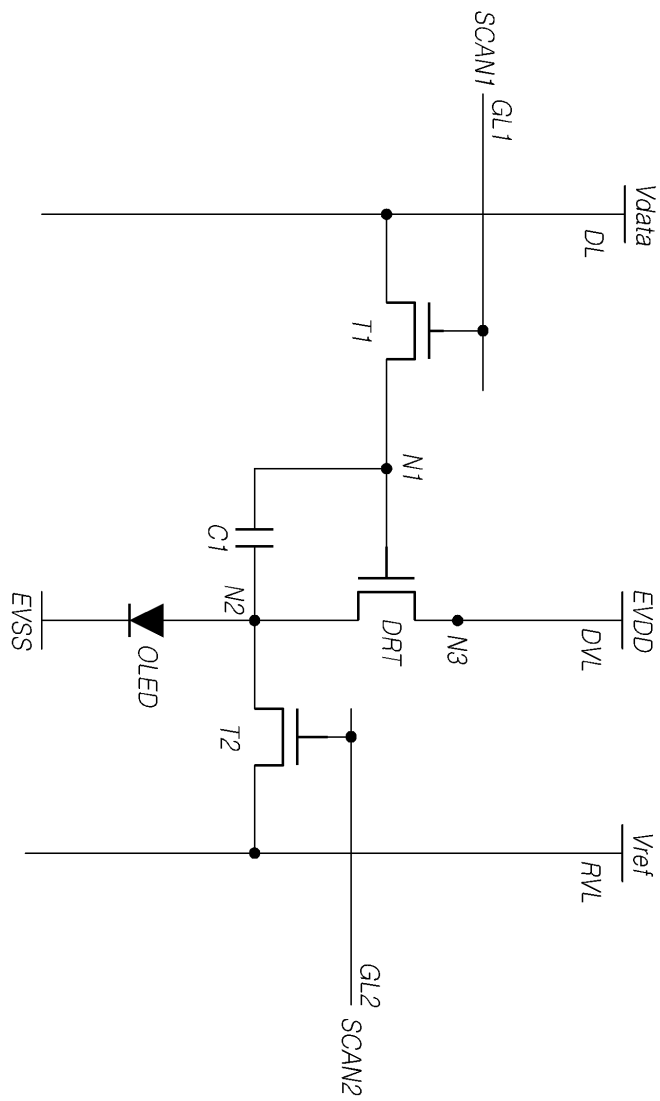
도면  
도면1



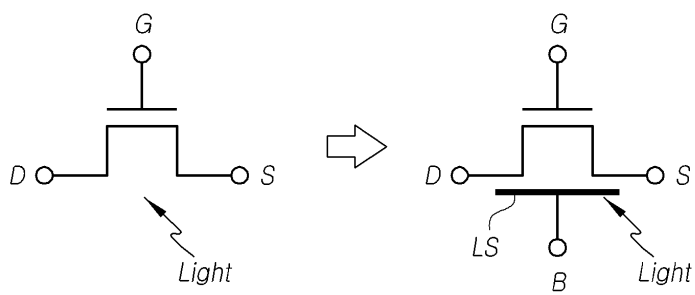
도면2



도면3

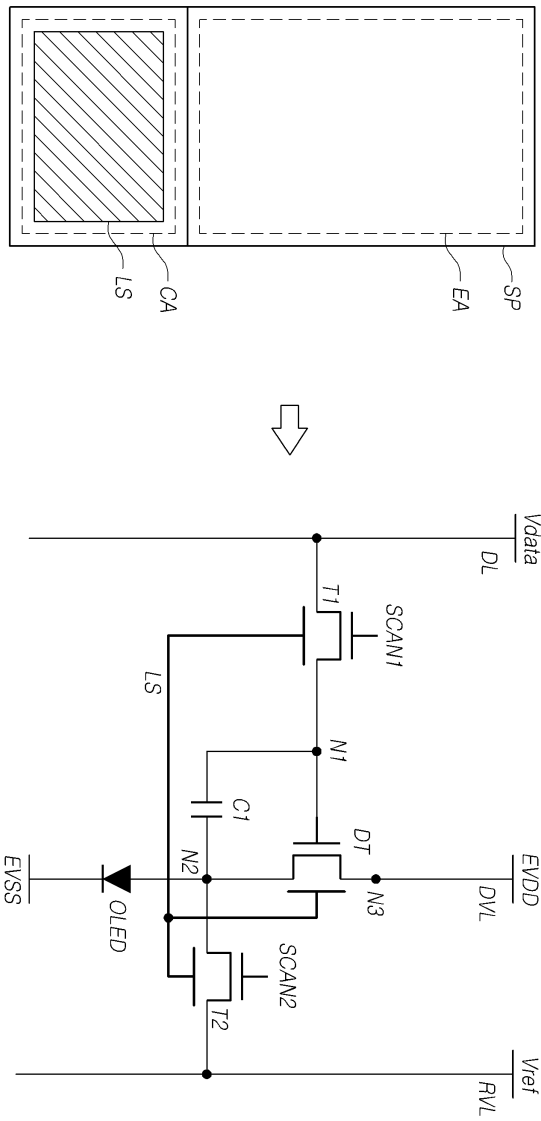


도면4

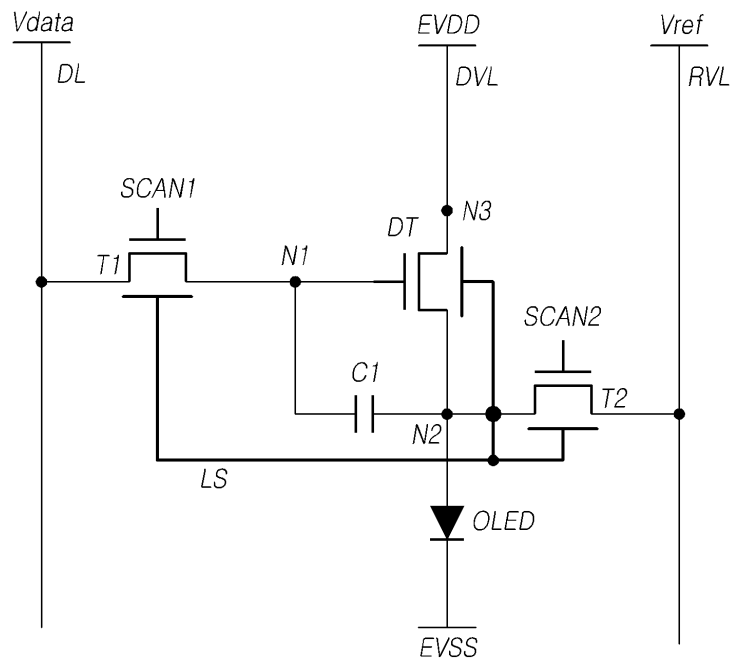




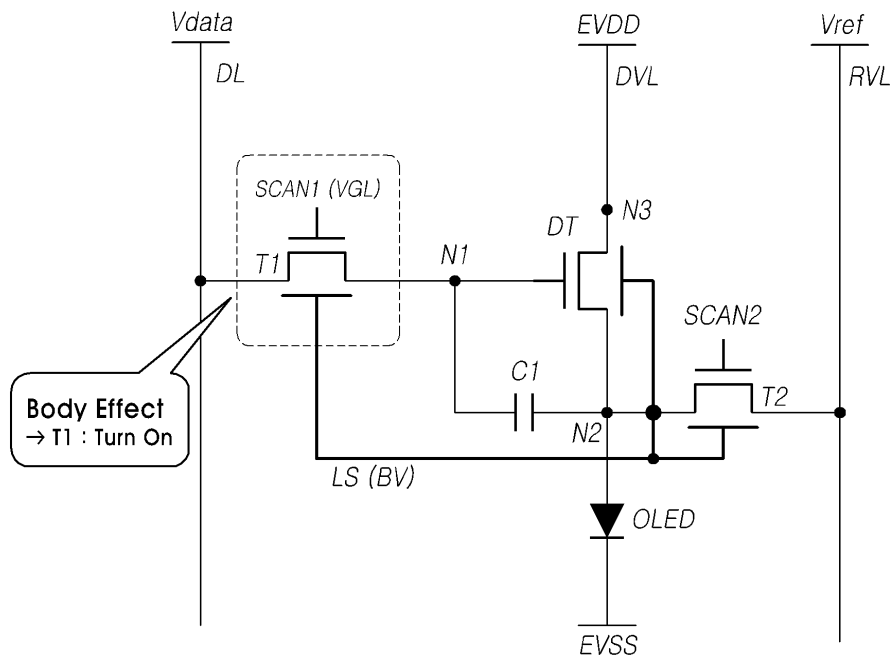
도면5



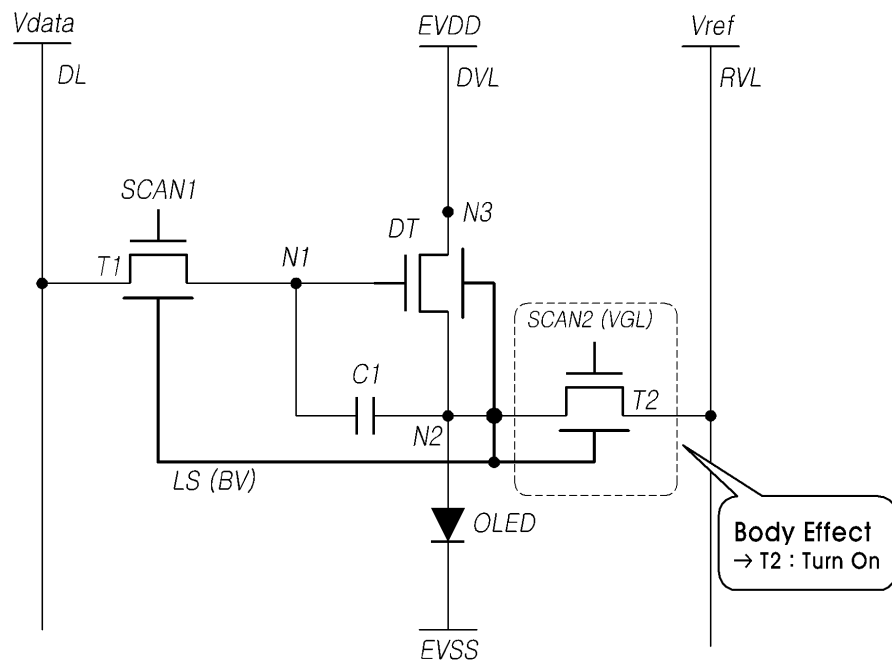
도면6



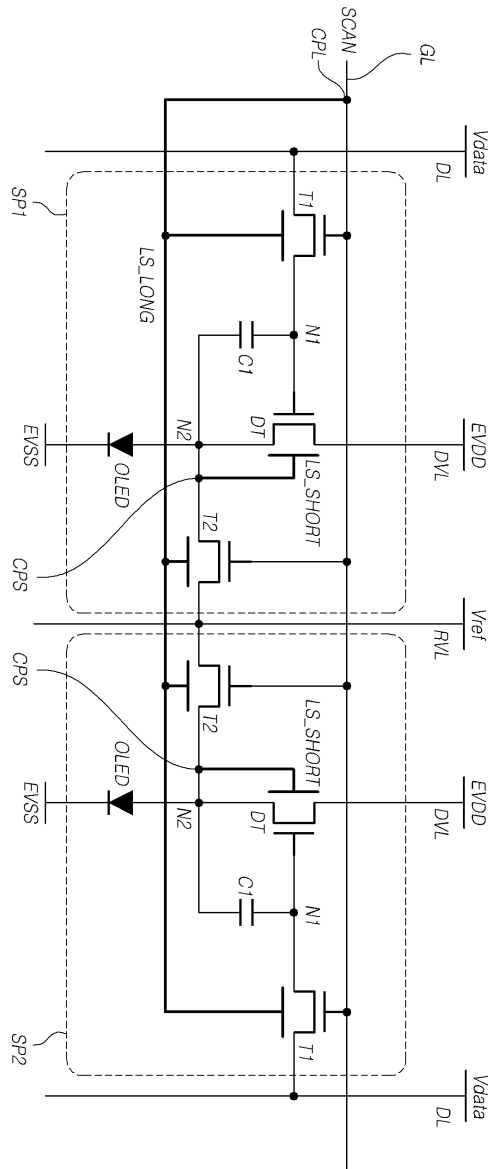
도면7



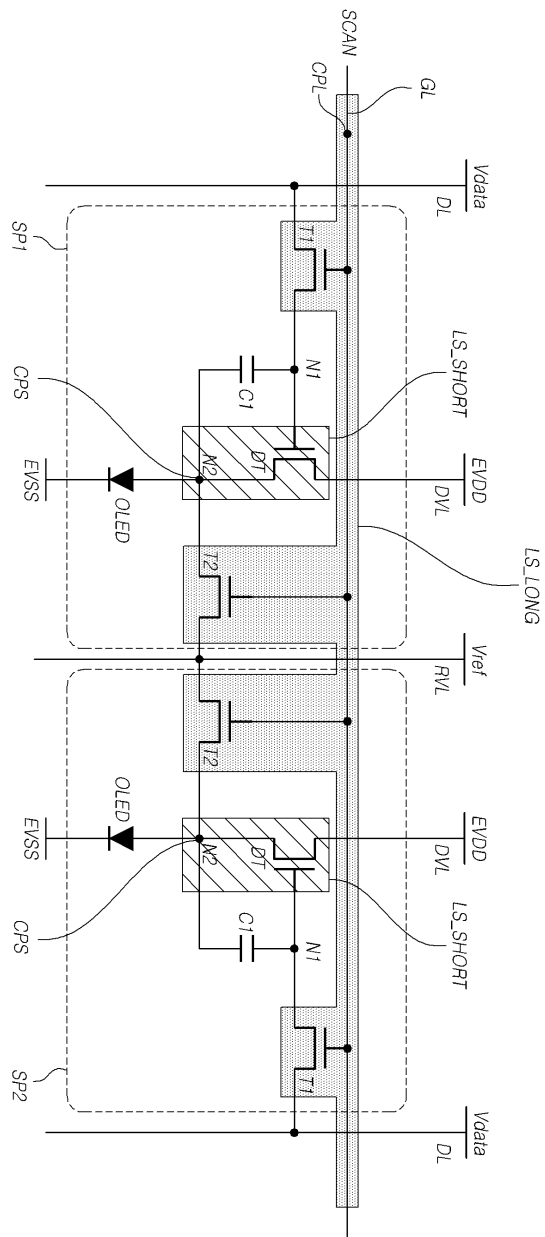
도면8



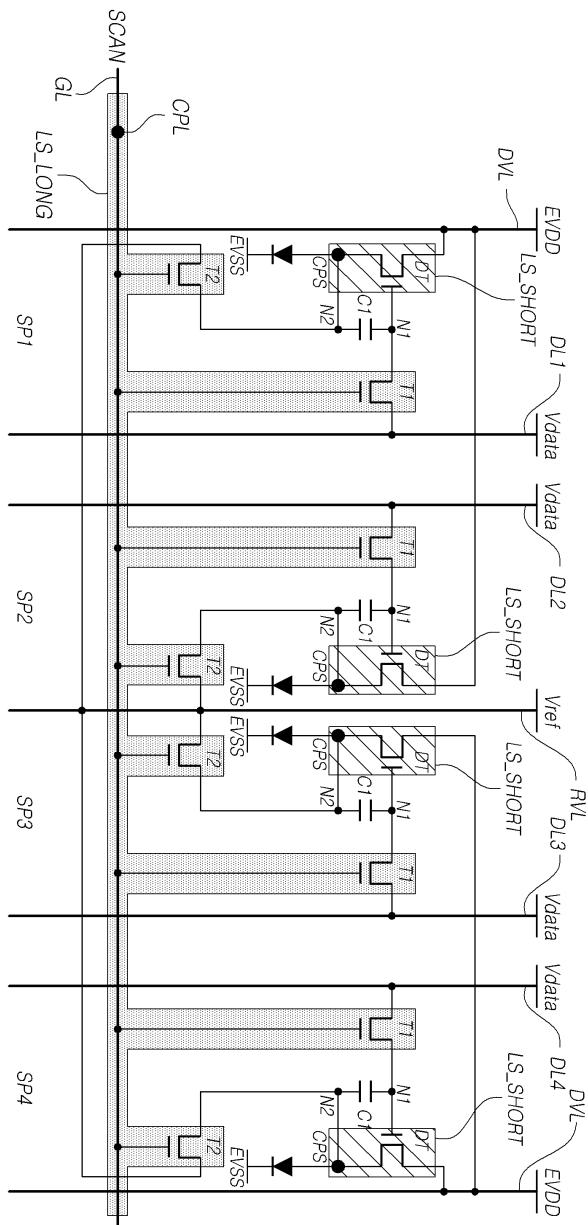
도면9



도면10

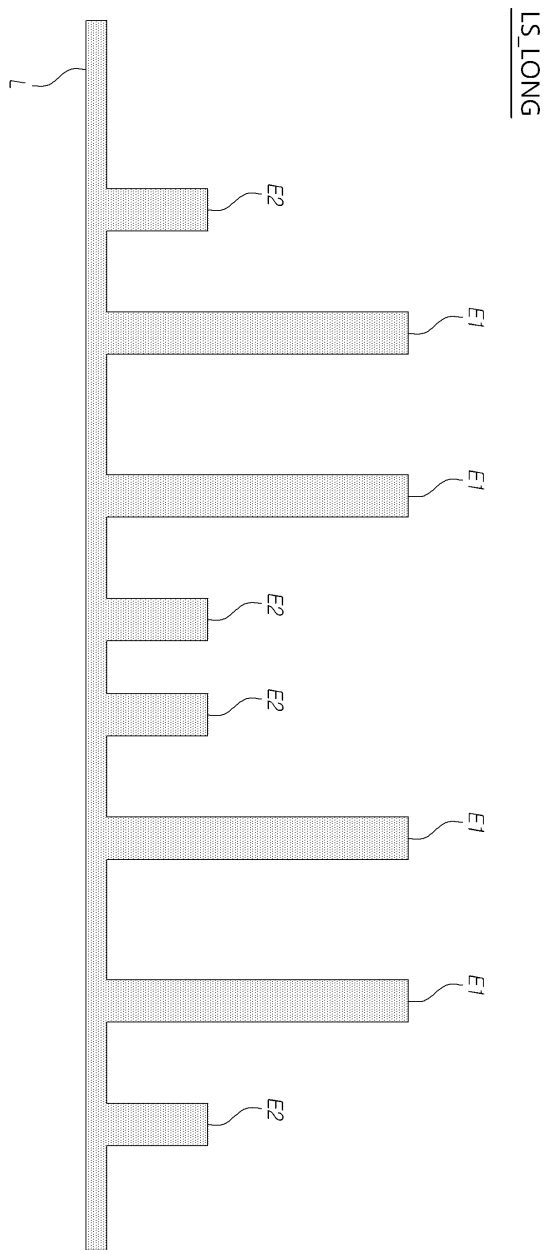


도면11

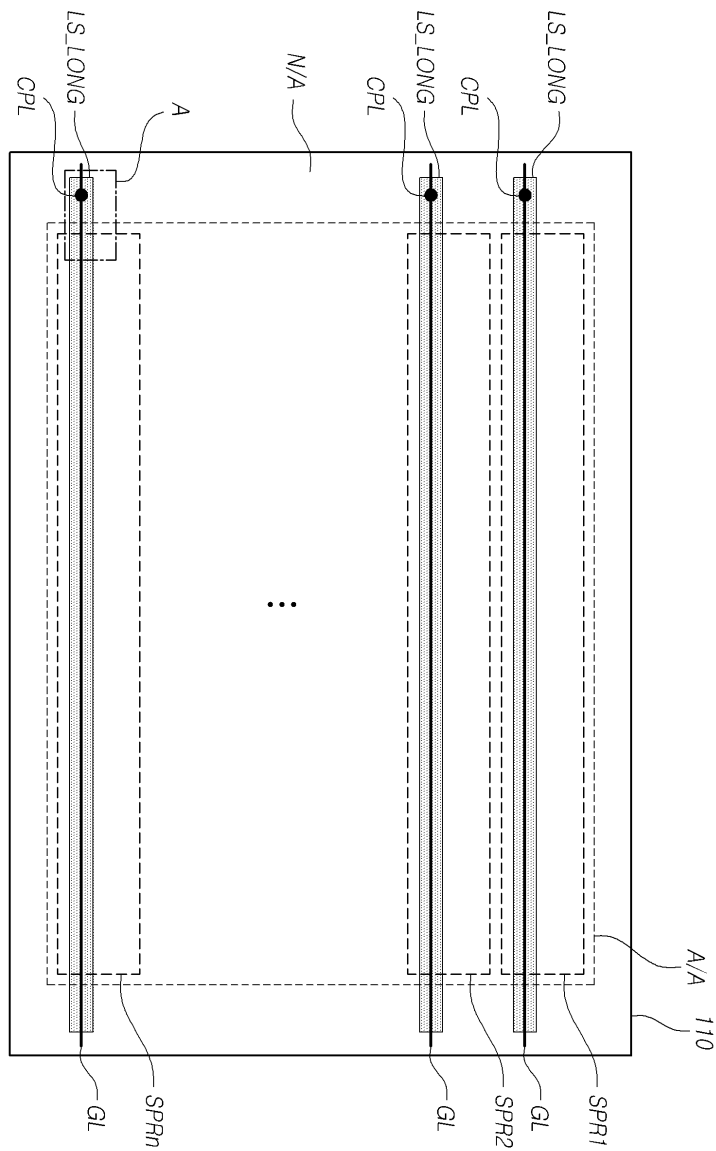




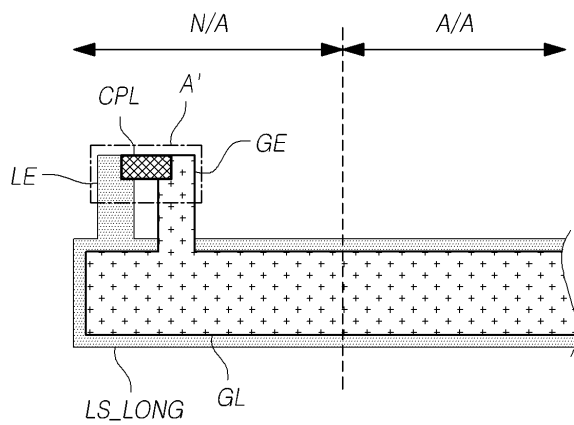
도면12



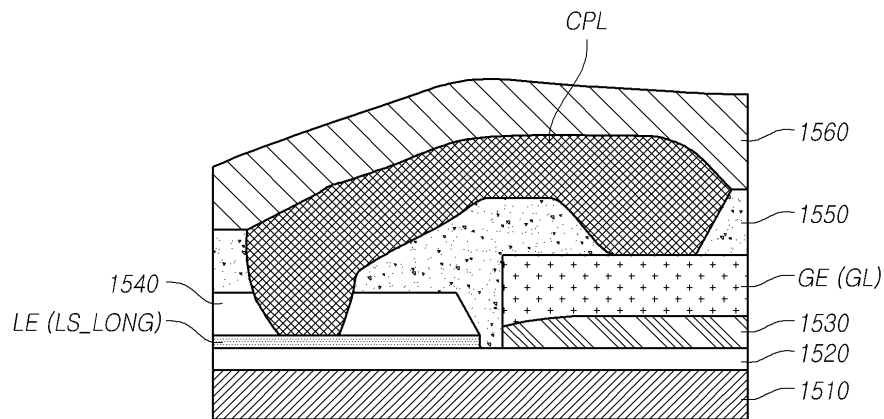
도면13



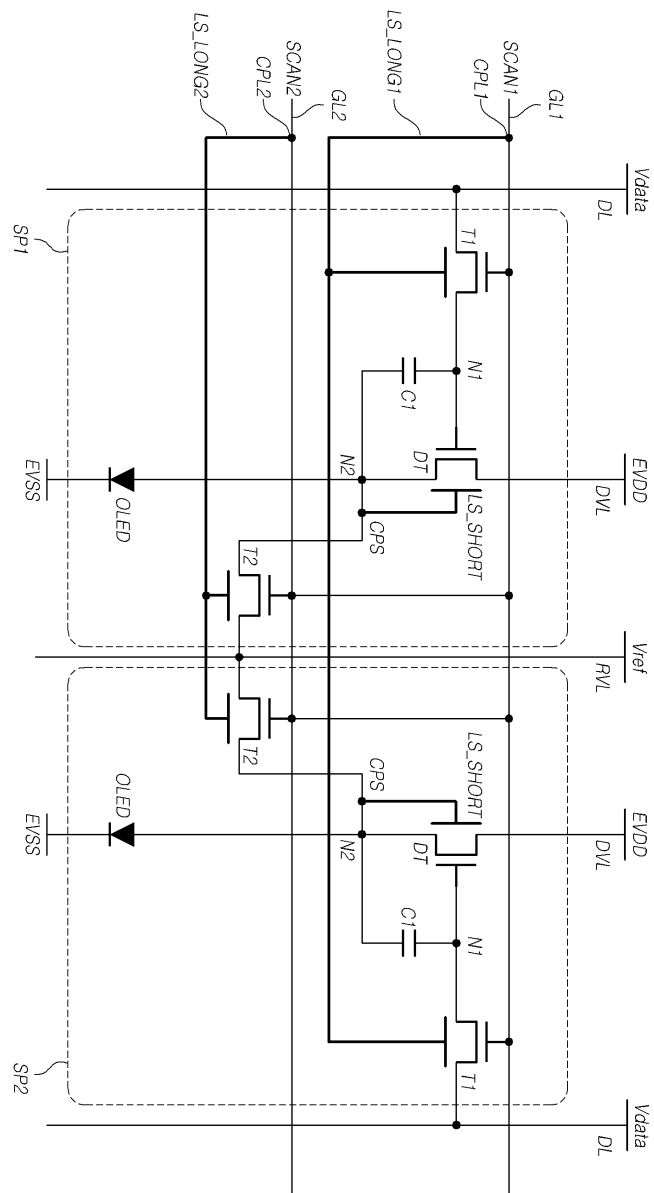
도면14



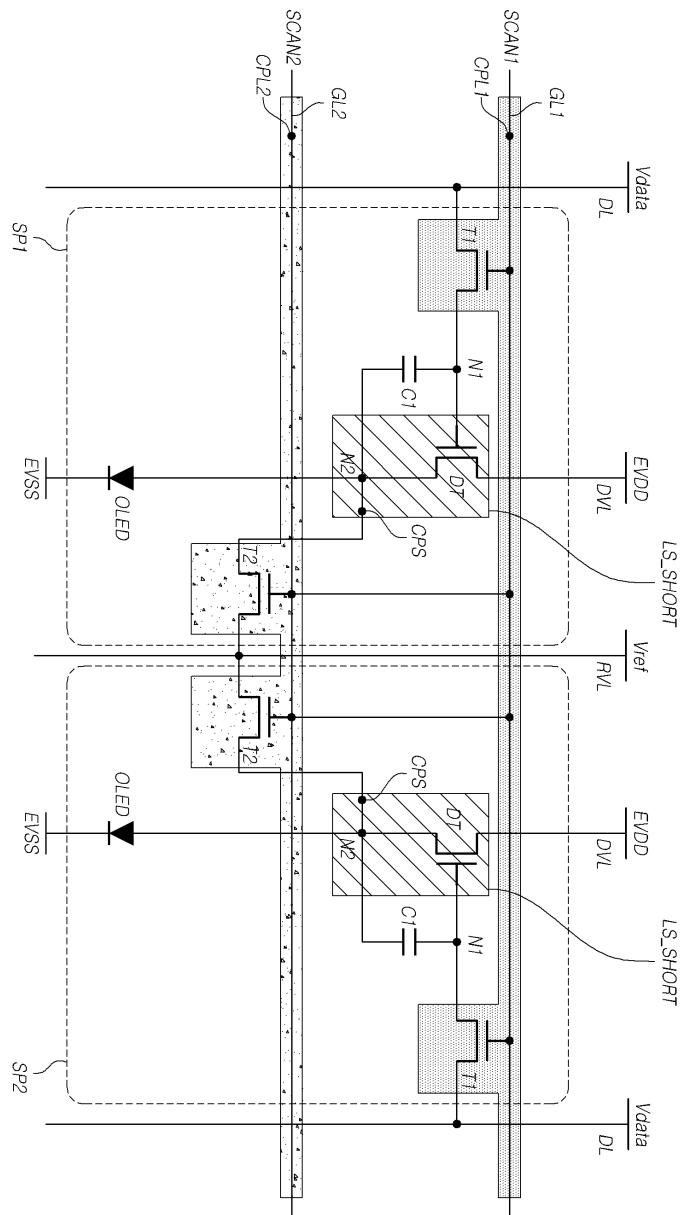
도면15



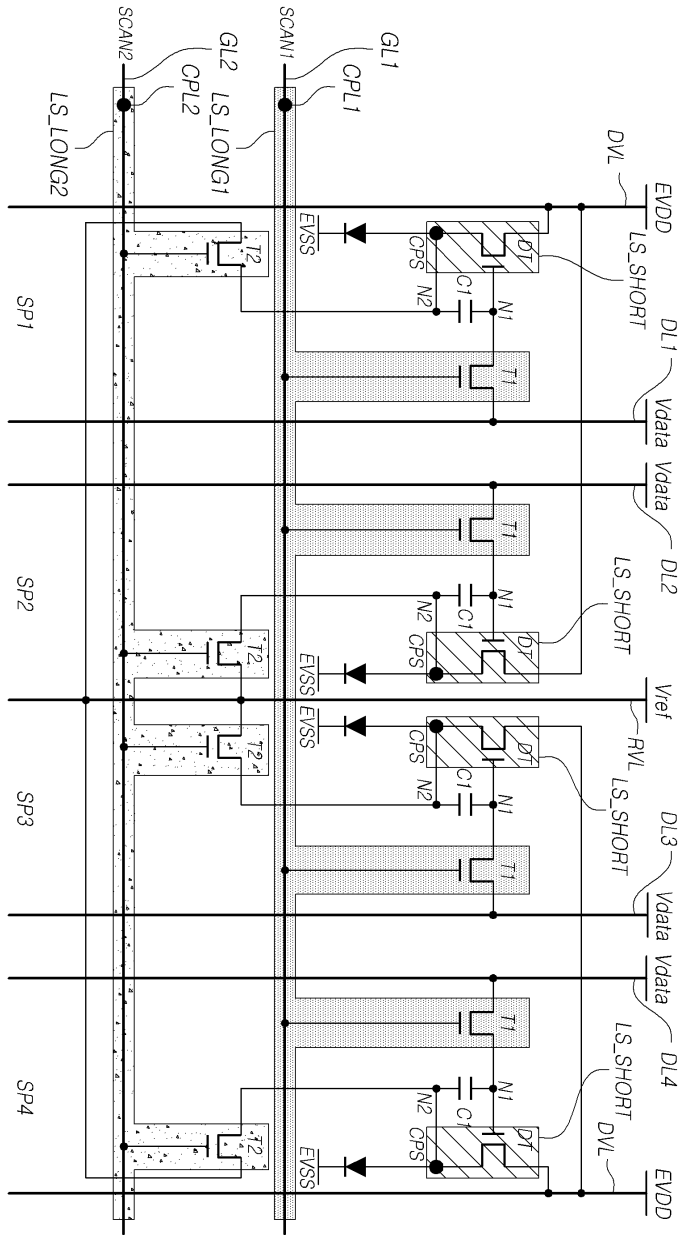
도면16



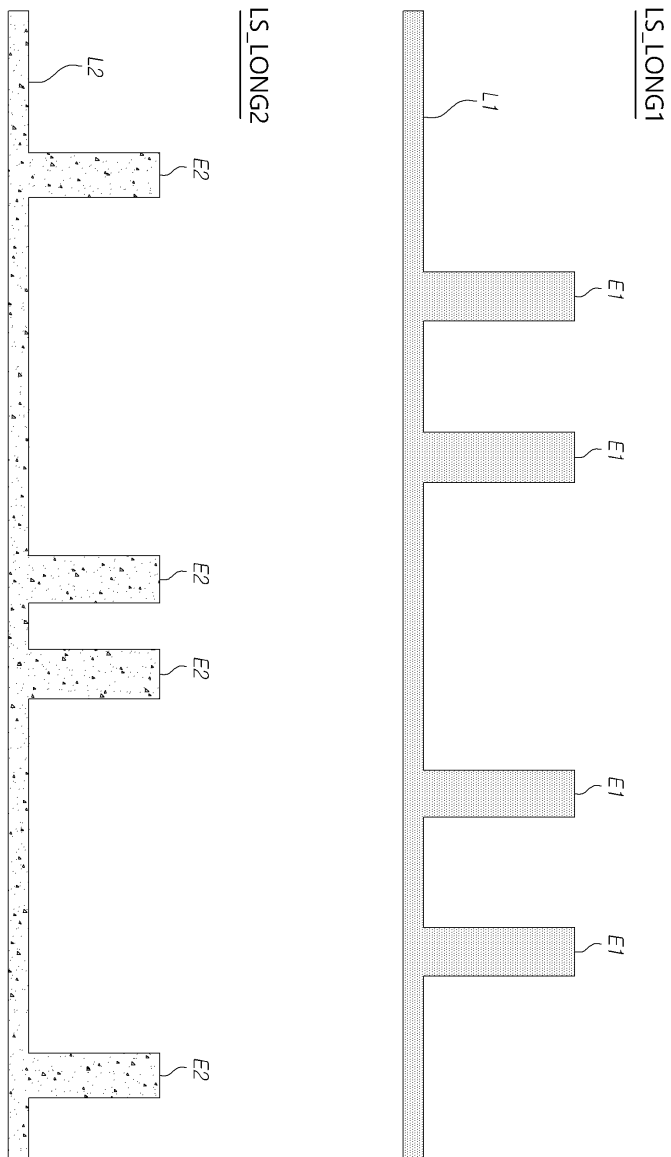
도면17



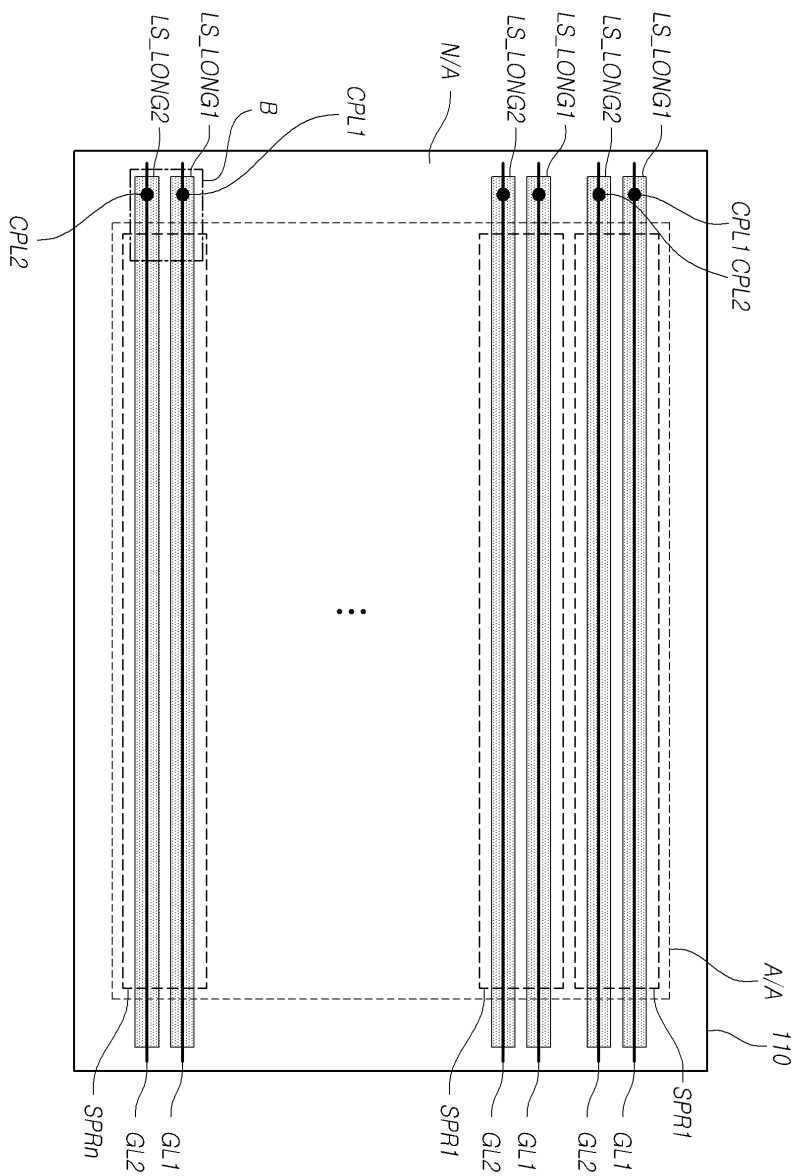
도면18



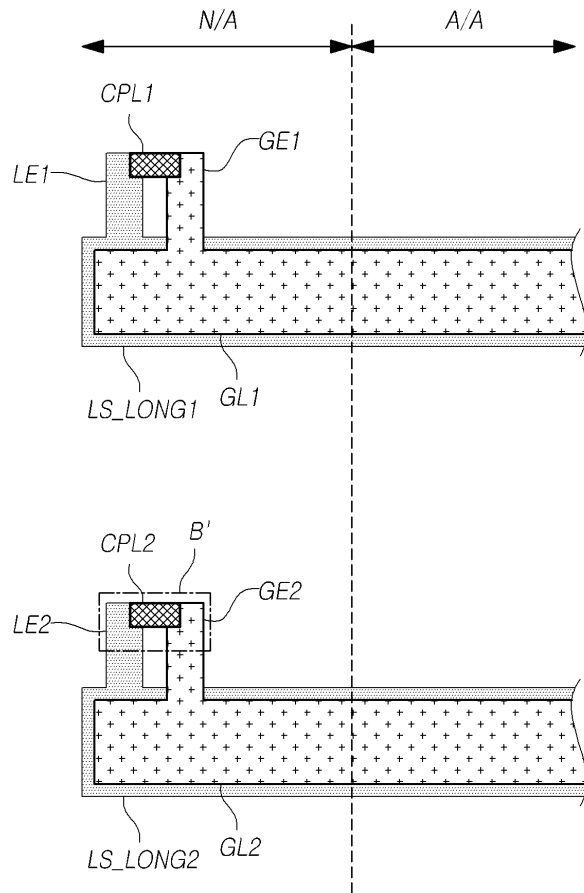
도면19



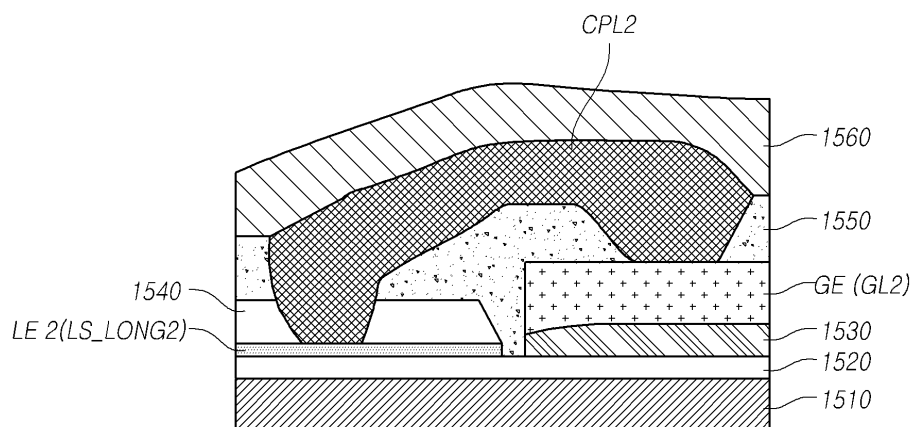
도면20



도면21



도면22





|                |                                               |         |            |
|----------------|-----------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：有机发光显示板和有机发光显示装置                           |         |            |
| 公开(公告)号        | <a href="#">KR1020170081036A</a>              | 公开(公告)日 | 2017-07-11 |
| 申请号            | KR1020150191742                               | 申请日     | 2015-12-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                      |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                     |         |            |
| [标]发明人         | JEON KWANG HUN<br>전광훈<br>CHOI SOO HONG<br>최수홍 |         |            |
| 发明人            | 전광훈<br>최수홍                                    |         |            |
| IPC分类号         | G09G3/32                                      |         |            |
| CPC分类号         | G09G3/3233 G09G2300/0842 G09G2300/0465        |         |            |
| 代理人(译)         | Gimeungu<br>宋.                                |         |            |
| 外部链接           | <a href="#">Espacenet</a>                     |         |            |

#### 摘要(译)

有机发光显示面板和有机发光二极管显示装置技术领域本发明涉及有机发光显示面板和有机发光二极管 ( OLED ) 显示装置，更具体地，涉及有机发光显示器的驱动方法并且多个第二晶体管，所述多个第一晶体管中的每一个位于每个子像素行中，所述多个第一晶体管位于每个子像素行中，屏蔽图案结构包括晶体管或长屏蔽图案，该晶体管或长屏蔽图案形成在多个第二晶体管的区域上并且在非有源区域中连接，其中栅极线布置在子像素行中。结果，对于每种类型的晶体管，可以有效地减小小体效应，从而防止晶体管的异常操作和异常屏幕现象。

