



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080147  
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)  
G09G 3/32 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2015-0191394

(22) 출원일자 2015년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

배나영

부산광역시 부산진구 국악로54번길 17 (연지동)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

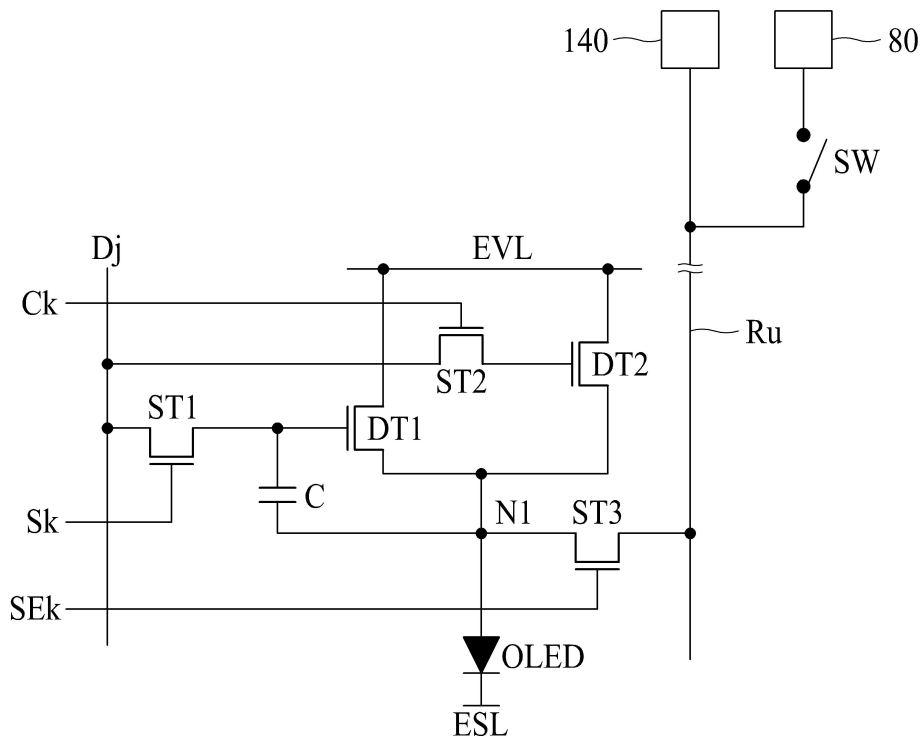
(54) 발명의 명칭 유기발광표시장치

### (57) 요약

본 발명은 유기발광표시장치에 관한 것이다. 본 발명의 유기발광표시장치는 데이터라인들, 데이터라인들에 교차되는 스캔라인들과 제어라인들에 접속되는 서브 화소들을 포함하는 표시패널을 구비한다. 서브 화소는 유기발광다이오드, 제1 전원 라인과 유기발광다이오드의 애노드 전극 사이에 병렬 접속된 제1 및 제2 구동 트랜지스터들,

(뒷면에 계속)

대표도 - 도5



스캔라인의 스캔신호에 의해 턴-온되어 제1 구동 트랜지스터의 게이트 전극을 데이터라인에 접속시키는 제1 트랜지스터, 및 제어라인의 제어신호에 의해 턴-온되어 제2 구동 트랜지스터의 게이트 전극을 데이터라인에 접속시키는 제2 트랜지스터를 포함한다. 본 발명은 표시 기간 동안 동작하는 제1 구동 트랜지스터와 제1 및 제2 센싱 기간들에만 동작하는 제2 구동 트랜지스터를 포함하므로, 제2 구동 트랜지스터를 표시 기간 동안 서브 화소의 발광 효율을 고려하여 설계할 필요가 없으며, 전자기동도 센싱을 위해 최적화하여 설계할 수 있다. 따라서, 본 발명은 제2 구동 트랜지스터를 이용함으로써, 구동 트랜지스터의 전류를 센싱하는데 걸리는 시간을 크게 줄일 수 있으며, 센싱 데이터 전압의 크기를 낮출 수 있다.

(52) CPC특허분류

G09G 2300/0842 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터라인들, 및 상기 데이터라인들에 교차되는 스캔라인들과 제어라인들에 접속되는 서브 화소들을 포함하는 표시패널을 구비하고,

상기 서브 화소는,

유기발광다이오드;

제1 전원 라인과 상기 유기발광다이오드의 애노드 전극 사이에 병렬 접속된 제1 및 제2 구동 트랜지스터들;

상기 스캔라인의 스캔신호에 의해 턴-온되어 상기 제1 구동 트랜지스터의 게이트 전극을 상기 데이터라인에 접속시키는 제1 트랜지스터; 및

상기 제어라인의 제어신호에 의해 턴-온되어 상기 제2 구동 트랜지스터의 게이트 전극을 상기 데이터라인에 접속시키는 제2 트랜지스터를 포함하는 유기발광표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 표시패널은 상기 데이터라인들과 교차되는 센싱라인들과 상기 데이터라인들과 나란한 기준전압라인들을 더 포함하고,

상기 서브 화소는,

상기 센싱라인의 센싱신호에 의해 턴-온되어 상기 제1 및 제2 구동 트랜지스터들의 소스 전극들을 상기 기준전압 라인과 접속시키는 제3 트랜지스터; 및

상기 제1 구동 트랜지스터의 게이트 전극과 소스 전극 사이에 접속된 커패시터를 더 포함하는 유기발광표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 제1 구동 트랜지스터의 채널 폭은 상기 제2 구동 트랜지스터의 채널 폭보다 짧은 유기발광표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 제1 구동 트랜지스터의 채널 길이는 상기 제2 구동 트랜지스터의 채널 길이보다 긴 유기발광표시장치.

#### 청구항 5

제 2 항에 있어서,

상기 스캔라인들에 스캔신호들을 공급하는 스캔신호 출력부;

상기 제어라인들에 제어신호들을 공급하는 제어신호 출력부;

상기 센싱라인들에 센싱신호들을 공급하는 센싱신호 출력부; 및

상기 데이터라인들에 데이터전압들을 공급하는 데이터전압 공급부를 더 구비하는 유기발광표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 서브 화소들에 발광 데이터 전압들이 공급되는 표시 기간은 제1 및 제2 기간들을 포함하고,  
 상기 스캔신호 출력부는 상기 제1 기간 동안 게이트 온 전압의 스캔신호를 상기 스캔라인에 출력하고, 상기 제2 기간 동안 게이트 오프 전압의 스캔신호를 상기 스캔라인에 출력하며,  
 상기 센싱신호 출력부는 상기 제1 기간 동안 게이트 온 전압의 센싱신호를 상기 센싱라인에 출력하고, 상기 제2 기간 동안 게이트 오프 전압의 센싱신호를 상기 센싱라인에 출력하며,  
 상기 제어신호 출력부는 상기 제1 및 제2 기간들 동안 게이트 오프 전압의 제어신호를 상기 제어라인에 출력하며,  
 상기 데이터전압 공급부는 발광 데이터전압들을 상기 데이터라인들에 공급하는 유기발광표시장치.

#### 청구항 7

제 5 항에 있어서,  
 상기 제2 구동 트랜지스터의 전류를 센싱하는 제1 센싱 기간은 제1 및 제2 기간들을 포함하고,  
 상기 스캔신호 출력부는 상기 제1 및 제2 기간들 동안 게이트 오프 전압의 스캔신호를 상기 스캔라인에 출력하며,  
 상기 센싱신호 출력부는 상기 제1 및 제2 기간들 동안 게이트 온 전압의 센싱신호를 상기 센싱라인에 출력하고,  
 상기 제어신호 출력부는 상기 제1 및 제2 기간들 동안 게이트 온 전압의 제어신호를 상기 제어라인에 출력하는 유기발광표시장치.

#### 청구항 8

제 7 항에 있어서,  
 상기 기준전압 라인들에 기준전압을 공급하는 기준전압 공급부;  
 상기 기준전압 라인들에 흐르는 전류를 센싱하여 센싱 데이터를 출력하는 센싱 데이터 출력부;  
 상기 기준전압 라인들과 상기 기준전압 공급부의 접속을 스위칭하는 스위치를 더 구비하고,  
 상기 스위치는 상기 제1 기간 동안 턴-온되어 상기 기준전압 라인들을 상기 기준전압 공급부에 접속시키는 유기발광표시장치.

#### 청구항 9

제 5 항에 있어서,  
 상기 제1 및 제2 구동 트랜지스터들의 전류를 센싱하는 제2 센싱 모드는 제1 및 제2 기간들을 포함하고,  
 상기 스캔신호 출력부는 상기 제1 및 제2 기간들 동안 게이트 온 전압의 스캔신호를 상기 스캔라인에 출력하며,  
 상기 센싱신호 출력부는 상기 제1 및 제2 기간들 동안 게이트 온 전압의 센싱신호를 상기 센싱라인에 출력하고,  
 상기 제어신호 출력부는 상기 제1 및 제2 기간들 동안 게이트 온 전압의 제어신호를 상기 제어라인에 출력하는 유기발광표시장치.

#### 청구항 10

제 9 항에 있어서,  
 상기 기준전압 라인들에 기준전압을 공급하는 기준전압 공급부;  
 상기 기준전압 라인들에 흐르는 전류를 센싱하여 센싱 데이터를 출력하는 센싱 데이터 출력부;  
 상기 기준전압 라인들과 상기 기준전압 공급부의 접속을 스위칭하는 스위치를 더 구비하고,  
 상기 스위치는 상기 제1 기간 동안 턴-온되어 상기 기준전압 라인들을 상기 기준전압 공급부에 접속시키는 유기발광표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명의 실시예는 유기발광표시장치에 관한 것이다.

### 배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003] 이들 중에서 유기발광표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광표시장치는 데이터라인들, 스캔라인들, 데이터라인들과 스캔라인들의 교차부에 형성된 다수의 서브 화소들을 구비하는 표시패널, 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터라인들에 데이터전압들을 공급하는 데이터 구동부를 포함한다. 서브 화소들 각각은 유기발광다이오드(organic light emitting diode), 게이트 전극의 전압에 따라 유기발광다이오드에 공급되는 전류의 양을 조절하는 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 응답하여 데이터라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 공급하는 스캔 트랜지스터를 포함한다.

[0004] 유기발광표시장치의 제조시의 공정 편차 또는 장기간 구동으로 인한 구동 트랜지스터의 문턱전압 쉬프트 등의 원인으로 인하여, 구동 트랜지스터의 문턱전압(threshold voltage)과 전하이동도(mobility)은 화소마다 달라질 수 있다. 따라서, 화소들에 동일한 데이터전압을 인가하는 경우 유기발광다이오드에 공급되는 전류는 동일하여야 하지만, 화소들에 동일한 데이터전압을 인가하더라도 화소들 사이의 구동 트랜지스터의 문턱전압과 전하이동도의 차이로 인하여 유기발광다이오드에 공급되는 전류가 화소마다 달라진다. 그 결과, 화소들에 동일한 데이터전압을 인가하더라도, 유기발광다이오드가 발광하는 휘도는 화소마다 달라지는 문제가 발생한다. 이를 해결하기 위해, 구동 트랜지스터의 문턱전압과 전하이동도(mobility)를 보상하는 보상 방법이 제안되었다.

[0005] 한편, 서브 화소들 각각의 발광 효율은 서브 화소의 컬러에 따라 달라진다. 동일한 데이터 전압이 서브 화소들에 공급되는 경우, 서브 화소의 발광 효율이 높을수록 서브 화소의 발광 휘도가 높아진다. 서브 화소의 발광 효율이 높을수록 유기발광다이오드에 흐르는 전류를 적게 조절하기 위해 서브 화소의 구동 트랜지스터의 크기는 작게 설계될 수 있다.

[0006] 예를 들어, 화소들 각각이 적색, 녹색, 청색 및 백색 서브 화소들을 포함하는 경우 백색 서브 화소의 발광 효율이 가장 높기 때문에, 백색 서브 화소의 구동 트랜지스터의 크기가 가장 작게 설계될 수 있다. 즉, 백색 서브 화소의 구동 트랜지스터의 채널 폭이 가장 작게 형성될 수 있다. 이로 인해, 구동 트랜지스터의 채널을 통해 흐르는 전류가 적어지기 때문에, 백색 서브 화소의 구동 트랜지스터의 전하이동도를 센싱하는 기간이 길어지는 문제가 발생할 수 있다.

[0007] 또한, 백색 서브 화소의 구동 트랜지스터의 채널을 통해 흐르는 전류를 높이하고자 백색 서브 화소의 구동 트랜지스터의 게이트 전극에 공급되는 센싱 데이터전압의 크기가 커질 수 있다. 이때, 센싱 데이터전압의 크기가 소스드라이브 IC의 최대 출력 전압보다 높아져야 하는 경우, 구동 트랜지스터의 전하이동도의 정확한 센싱이 어려운 문제가 있다.

## 발명의 내용

### 해결하려는 과제

[0008] 본 발명의 실시예는 구동 트랜지스터의 전하이동도를 센싱하는 기간을 줄이고, 센싱 데이터전압의 크기를 낮출 수 있는 유기발광표시장치를 제공한다.

### 과제의 해결 수단

[0009] 본 발명의 실시예에 따른 유기발광표시장치는 데이터라인들, 및 데이터라인들에 교차되는 스캔라인들과 제어라인들에 접속되는 서브 화소들을 포함하는 표시패널을 구비한다. 서브 화소는 유기발광다이오드, 제1 전원 라인과 유기발광다이오드의 애노드 전극 사이에 병렬 접속된 제1 및 제2 구동 트랜지스터들, 스캔라인의 스캔신호에

의해 턴-온되어 제1 구동 트랜지스터의 게이트 전극을 데이터라인에 접속시키는 제1 트랜지스터, 및 제어라인의 제어신호에 의해 턴-온되어 제2 구동 트랜지스터의 게이트 전극을 데이터라인에 접속시키는 제2 트랜지스터를 포함한다.

### 발명의 효과

[0010] 본 발명의 실시예는 표시 기간 동안 동작하는 제1 구동 트랜지스터와 제1 및 제2 센싱 기간들에만 동작하는 제2 구동 트랜지스터를 포함한다. 이로 인해, 본 발명의 실시예는 제2 구동 트랜지스터를 표시 기간 동안 서브 화소의 발광 효율을 고려하여 설계될 필요가 없으며, 전자기동도 센싱을 위해 최적화하여 설계될 수 있다. 따라서, 본 발명의 실시예는 구동 트랜지스터의 전자 이동도를 보상하기 위해 제2 구동 트랜지스터를 이용함으로써, 구동 트랜지스터의 전류를 센싱하는데 걸리는 시간을 크게 줄일 수 있다. 또한, 본 발명의 실시예는 센싱 데이터 전압의 크기를 낮출 수 있다.

### 도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다.

도 2는 도 1의 표시패널의 하부기판, 소스 드라이브 IC들, 타이밍 제어부, 데이터 보상부, 연성필름들, 소스 회로보드, 연성 케이블, 및 제어 회로보드를 보여주는 일 예시도면이다.

도 3은 도 2의 소스 드라이브 IC를 상세히 보여주는 블록도이다.

도 4는 도 1의 표시영역의 화소들 일부를 상세히 보여주는 일 예시도면이다.

도 5는 본 발명의 실시예에 따른 서브 화소를 상세히 보여주는 회로도이다.

도 6a 및 도 6b는 도 4의 제1 및 제2 구동 트랜지스터들의 채널들을 보여주는 예시도면들이다.

도 7은 표시 기간 동안 서브 화소에 공급되는 스캔신호, 센싱신호, 제어신호와 스위치에 공급되는 스위치 신호를 보여주는 파형도이다.

도 8a 및 도 8b는 표시 기간의 제1 및 제2 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다.

도 9는 제1 센싱 기간 동안 서브 화소에 공급되는 스캔신호, 센싱신호, 제어신호와 스위치에 공급되는 스위치 신호를 보여주는 파형도이다.

도 10a 및 도 10b는 제1 센싱 기간의 제1 및 제2 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다.

도 11은 제2 센싱 기간 동안 서브 화소에 공급되는 스캔신호, 센싱신호, 제어신호와 스위치에 공급되는 스위치 신호를 보여주는 파형도이다.

도 12a 및 도 12b는 제2 센싱 기간의 제1 및 제2 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0013] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0014] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0018] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0020] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0021] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0023] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 2는 도 1의 표시패널의 하부 기관, 소스 드라이브 IC들, 타이밍 제어부, 데이터 보상부, 연성필름들, 소스 회로보드, 연성 케이블, 및 제어 회로보드를 보여주는 일 예시도면이다. 도 3은 도 2의 소스 드라이브 IC를 상세히 보여주는 블록도이다.
- [0024] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 연성필름(22)들, 스캔 구동부(40), 소스 회로보드(50), 타이밍 제어부(60), 데이터 보상부(70), 기준전압 공급부(50), 연성 케이블(91), 및 제어 회로보드(90)를 포함한다.
- [0025] 표시패널(10)은 표시영역(AA)과 표시영역(AA)의 주변에 마련된 비표시영역(NDA)을 포함한다. 표시영역(AA)은 화소(P)들이 형성되어 화상을 표시하는 영역이다. 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 기준전압 라인들(R1~Rp, p는 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 센싱라인들(SE1~SEn), 및 제어라인들(C1~Cn)이 마련된다. 데이터라인들(D1~Dm)과 기준전압 라인들(R1~Rp)은 스캔라인들(S1~Sn), 센싱라인들(SE1~SEn), 및 제어라인들(C1~Cn)과 교차될 수 있다. 데이터라인들(D1~Dm)과 기준전압 라인들(R1~Rp)은 서로 나란할 수 있다. 스캔라인들(S1~Sn), 센싱라인들(SE1~SEn), 및 제어라인들(C1~Cn)은 서로 나란할 수 있다.
- [0026] 화소(P)들 각각은 데이터라인들(D1~Dm) 중 어느 하나, 기준전압 라인들(R1~Rp) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 센싱라인들(SE1~SEn) 중 어느 하나, 및 제어라인들(C1~Cn) 중 어느 하나에 접속될 수 있다. 표시패널(10)의 화소(P)들 각각은 도 4와 같이 복수의 서브 화소들을 포함할 수 있다. 복수의 서브 화소들 각각은 도 5와 같이 유기발광다이오드(organic light emitting diode, OLED)와 유기발광다이오드(OLED)에 전류를 공급하기 위한 다수의 트랜지스터들을 포함할 수 있다. 표시영역의 화소(P)들과 화소(P)들의 서브 화소들에 대한 자세한 설명은 도 4와 도 5를 결부하여 후술한다.
- [0027] 데이터 구동부(20)는 도 2와 같이 다수의 소스 드라이브 IC(21)들을 포함할 수 있다. 소스 드라이브 IC(21)들 각각은 연성필름(22)들 각각에 실장될 수 있다. 연성필름(22)들 각각은 테이프 캐리어 패키지(tape carrier package) 또는 칩 온 필름(chip on film)일 수 있다. 연성필름(22)들 각각은 휘어지거나 구부러질 수 있다. 연성필름(22)들 각각은 하부기관(11)과 소스 회로보드(50)에 부착될 수 있다. 연성필름(22)들 각각은 이방성 도전필름(anisotropic conductive flim)을 이용하여 TAB(tape automated bonding) 방식으로 하부기관(11)상에 부착될 수 있으며, 이로 인해 소스 드라이브 IC(21)들은 데이터라인들(D1~Dm)에 연결될 수 있다. 소스 회로보드(50)는 연성 케이블(91)에 의해 제어 회로보드(90)에 연결될 수 있다. 소스 회로보드(50)는 인쇄회로보드(printed circuit board)일 수 있다.



- [0028] 소스 드라이브 IC(21)들 각각은 도 3과 같이 데이터전압 공급부(110), 센싱 데이터 출력부(140), 및 스위치(SW)를 포함할 수 있다. 도 3에서는 설명의 편의를 위해, 데이터전압 공급부(110)가  $w(w는 1 \leq w \leq m을 만족하는 양의 정수)$  개의 데이터라인들(D1~Dw)에 접속되고, 제1 스위칭부(120)와 초기화전압 공급부(130)가  $z(z는 1 \leq z \leq p을 만족하는 양의 정수)$  개의 기준전압 라인들(R1~Rz)에 접속되는 것을 중심으로 설명하였다.
- [0029] 데이터전압 공급부(110)는 데이터라인들(D1~Dw)에 접속되어 데이터전압들을 공급한다. 데이터전압 공급부(110)는 타이밍 제어부(60)로부터 보상 데이터(CDATA) 또는 센싱용 데이터(PDATA)와 데이터 타이밍 제어신호(DCS)를 입력 받는다.
- [0030] 데이터전압 공급부(110)는 표시모드에서 데이터 타이밍 제어신호(DCS)에 따라 보상 데이터(CDATA)를 발광 데이터전압들로 변환하여 데이터라인들(D1~Dw)에 공급한다. 발광 데이터전압은 화소(P)의 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위한 전압이다. 데이터 구동부(20)에 공급되는 보상 데이터(CDATA)가 8 비트인 경우, 발광 데이터전압은 256 개의 전압들 중 어느 하나로 공급될 수 있다.
- [0031] 데이터전압 공급부(110)는 센싱 모드에서 데이터 타이밍 제어신호(DCS)에 따라 센싱용 데이터(PDATA)를 센싱 데이터전압으로 변환하여 데이터라인들(D1~Dw)에 공급한다. 센싱 데이터전압은 화소(P)의 구동 트랜지스터의 전류를 센싱하기 위한 전압이다.
- [0032] 센싱 데이터 출력부(140)는 기준전압 라인들(R1~Rz) 각각에 흐르는 전류를 전압으로 변환하고, 변환된 전압을 디지털 데이터인 센싱 데이터로 변환한다. 이를 위해, 센싱 데이터 출력부(140)는 기준전압 라인들(R1~Rz) 각각에 흐르는 전류를 전압으로 변환하는 전류-전압 변환부와 전류-전압 변환부의 출력전압을 디지털 데이터인 센싱 데이터로 변환하는 아날로그 디지털 변환부(analog digital converter)를 포함할 수 있다. 센싱 데이터 출력부(140)는 제1 센싱 기간 동안 센싱되는 전류를 제1 센싱 데이터(SD1)로 변환하여 데이터 보상부(70)로 출력하고, 제2 센싱 기간 동안 센싱되는 전류를 제2 센싱 데이터(SD2)로 변환하여 데이터 보상부(70)로 출력한다.
- [0033] 스위치(SW)는 기준전압 라인들(R1~Rz)과 기준전압 공급부(80) 사이에 접속되어 기준전압 라인들(R1~Rz)과 기준전압 공급부(80) 사이의 접속을 스위칭한다. 스위치(SW)는 타이밍 제어부(60)로부터 입력되는 스위치 제어신호에 의해 턴-온 및 턴-오프될 수 있다. 스위치(SW)가 스위치 제어신호에 의해 턴-온되는 경우 기준전압 라인들(R1~Rz)은 기준전압 공급부(80)에 접속되므로, 기준전압 공급부(80)의 기준전압이 기준전압 라인들(R1~Rz)에 공급될 수 있다.
- [0034] 스캔 구동부(40)는 스캔신호 출력부(41), 센싱신호 출력부(42), 및 제어신호 출력부(43)를 포함한다. 스캔신호 출력부(41)는 스캔라인들(S1~Sn)에 접속되어 스캔신호들을 공급한다. 스캔신호 출력부(41)는 타이밍 제어부(60)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들(S1~Sn)에 스캔신호들을 공급한다. 스캔신호 출력부(41)의 스캔신호 공급에 대한 자세한 설명은 도 7을 결부하여 후술한다.
- [0035] 센싱신호 출력부(42)는 센싱라인들(SE1~SEn)에 접속되어 센싱신호들을 공급한다. 센싱신호 출력부(42)는 타이밍 제어부(60)로부터 입력되는 센싱 타이밍 제어신호(SENCS)에 따라 센싱라인들(SE1~SEn)에 센싱신호들을 공급한다. 센싱신호 출력부(42)의 센싱신호 공급에 대한 자세한 설명은 도 7을 결부하여 후술한다.
- [0036] 제어신호 출력부(43)는 제어라인들(C1~Cn)에 접속되어 제어신호들을 공급한다. 제어신호 출력부(43)는 타이밍 제어부(60)로부터 입력되는 제어 타이밍 제어신호(CCS)에 따라 제어라인들(C1~Cn)에 제어신호들을 공급한다. 제어신호 출력부(43)의 제어신호 공급에 대한 자세한 설명은 도 7을 결부하여 후술한다.
- [0037] 스캔신호 출력부(41), 센싱신호 출력부(42), 및 제어신호 출력부(43) 각각은 다수의 트랜지스터들을 포함하여 GIP(Gate driver In Panel) 방식으로 표시패널(10)의 비표시영역(NDA)에 직접 형성될 수 있다. 또는, 스캔신호 출력부(41), 센싱신호 출력부(42), 및 제어신호 출력부(43) 각각은 구동 칩(chip) 형태로 형성되어 표시패널(10)에 접속되는 연성필름(미도시)상에 실장될 수 있다.
- [0038] 타이밍 제어부(60)는 데이터 보상부(70)로부터 보상 데이터(CDATA) 또는 센싱용 데이터(PDATA)와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 및 도트 클럭(dot clock)을 포함할 수 있다.
- [0039] 타이밍 제어부(60)는 데이터 구동부(20), 스캔신호 출력부(41), 센싱신호 출력부(42), 및 제어신호 출력부(43)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 생성한다. 타이밍 제어신호들은 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS), 스캔신호 출력부(41)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 센싱신호 출력부(42)의 동작 타이밍을 제어하기 위한 센싱 타이밍 제어신호



(SENCs), 및 제어신호 출력부(43)의 동작 타이밍을 제어하기 위한 제어 타이밍 제어신호(CCS)를 포함한다.

- [0040] 타이밍 제어부(60)는 보상 데이터(CDATA) 또는 센싱용 데이터(PDATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다. 타이밍 제어부(60)는 스캔 타이밍 제어신호(SCS)를 스캔신호 출력부(41)로 출력하고, 센싱 타이밍 제어신호(SENCs)를 센싱신호 출력부(42)로 출력하며, 제어 타이밍 제어신호(CCS)를 제어신호 출력부(43)로 출력한다. 타이밍 제어부(60)는 데이터 구동부(20)의 스위치(SW)를 제어하기 위한 스위치 제어신호를 출력할 수 있다.
- [0041] 데이터 보상부(70)는 데이터 구동부(20)로부터 제1 센싱 데이터(SD1) 또는 제1 및 제2 센싱 데이터(SD1, SD2)를 이용하여 디지털 비디오 데이터(DATA)를 보정할 보정 데이터를 생성한다. 구체적으로, 제1 센싱 데이터(SD1)는 센싱 데이터 전압을 화소(P)들의 서브 화소들 각각에 공급하였을 때 기준전압 라인을 통해 제2 구동 트랜지스터의 전류를 센싱한 데이터이다. 제2 센싱 데이터(SD2)는 센싱 데이터 전압을 화소(P)들의 서브 화소들 각각에 공급하였을 때 기준전압 라인을 통해 제1 및 제2 구동 트랜지스터들의 전류를 센싱한 데이터이다. 즉, 제1 센싱 데이터(SD1)는 서브 화소들 각각의 제2 구동 트랜지스터의 전자이동도(mobility)가 반영된 디지털 데이터이며, 제2 센싱 데이터(SD2)는 서브 화소들 각각의 제1 및 제2 구동 트랜지스터들의 전자이동도가 반영된 디지털 데이터일 수 있다.
- [0042] 데이터 보상부(70)는 제1 센싱 데이터(SD1) 또는 제1 및 제2 센싱 데이터(SD1, SD2)를 이용하여 화소(P)들의 서브 화소들 각각의 제1 구동 트랜지스터(DT1)의 전자이동도를 보상하기 위한 보정 데이터를 생성할 수 있다. 데이터 보상부(70)는 외부로부터 디지털 비디오 데이터(DATA)에 보상 데이터를 적용하여 보상 데이터(CDATA)를 생성한다. 보상 데이터(CDATA)는 구동 트랜지스터의 전자이동도가 보상된 데이터이다.
- [0043] 데이터 보상부(70)는 보상 데이터(CDATA)를 타이밍 컨트롤러(60)로 출력한다. 데이터 보상부(70)는 보정 데이터를 저장하는 룩-업 테이블 형태의 메모리를 포함할 수 있다. 데이터 보상부(70)는 타이밍 제어부(60)에 내장될 수 있다.
- [0044] 즉, 본 발명의 실시예는 제1 센싱 데이터(SD1) 또는 제1 및 제2 센싱 데이터(SD1, SD2)를 이용하여 보정 데이터를 생성하고, 디지털 비디오 데이터(DATA)에 보정 데이터를 적용하여 보상 데이터(CDATA)를 생성함으로써, 구동 트랜지스터(DT)의 전자 이동도를 외부 보상할 수 있다.
- [0045] 기준전압 공급부(80)는 기준전압을 생성하여 데이터 구동부(20)의 소스 드라이브 IC(21)들에 공급한다.
- [0046] 타이밍 제어부(60), 데이터 보상부(70), 및 기준전압 공급부(80)는 제어 회로보드에 실장될 수 있다. 제어 회로보드(90)는 연성 케이블(91)에 의해 소스 회로보드(50)에 연결될 수 있다. 제어 회로보드(90)는 인쇄회로보드(printed circuit board)일 수 있다.
- [0047] 도 4는 도 1의 표시영역의 화소들 일부를 상세히 보여주는 일 예시도면이다. 도 4에서는 화소(P)들 각각이 스캔 라인 방향(X축 방향)으로 배열된 제1 내지 제4 서브 화소들(RP, WP, BP, GP)을 포함하는 것을 예시하였다. 제1 서브 화소(RP)들은 적색 광을 발광하는 서브 화소들이고, 제2 서브 화소(WP)들은 백색 광을 발광하는 서브 화소들이며, 제3 서브 화소(BP)들은 청색 광을 발광하는 서브 화소들이고, 제4 서브 화소(GP)들은 녹색 광을 발광하는 서브 화소들일 수 있다.
- [0048] 도 4를 참조하면, 서브 화소(P)들 각각은 스캔 라인들(S1, S2), 제어 라인들(C1, C2), 센싱 라인들(SE1, SE2), 및 데이터 라인들(D1~D6)의 교차에 의해 형성되는 영역들에 배치될 수 있다. 서브 화소(P)들 각각은 하나의 스캔 라인, 하나의 센싱 라인, 하나의 제어 라인, 및 하나의 데이터 라인에 접속될 수 있다.
- [0049] 한편, 기준전압 라인을 서브 화소(RP, WP, BP, GP)마다 연결하는 경우 기준전압 라인의 개수로 인해 소스 드라이브 IC의 개수가 증가한다. 이로 인해, 유기발광표시장치의 제조 비용이 상승할 수 있다. 따라서, 본 발명의 실시예는 제1 내지 제4 서브 화소들(RP, WP, BP, GP)을 하나의 기준전압 라인(R1)에 접속하여 제1 내지 제4 서브 화소들(RP, WP, BP, GP)의 제1 및 제2 구동 트랜지스터들의 전류를 센싱한다. 도 4에서는 기준전압 라인(R1)이 제2 및 제3 서브 화소들(WP, BP) 사이에 배치된 것을 예시하였으나, 이에 한정되지 않는다.
- [0050] 도 5는 본 발명의 실시예에 따른 서브 화소를 상세히 보여주는 회로도이다. 도 5에서는 설명의 편의를 위해 제  $j$  ( $j$ 는  $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터라인( $D_j$ ), 제  $u$  ( $u$ 는  $1 \leq u \leq p$ 을 만족하는 양의 정수) 기준전압 라인( $R_u$ ), 제  $k$  ( $k$ 는  $1 \leq k \leq n$ 을 만족하는 양의 정수) 스캔라인( $S_k$ ), 제  $k$  센싱라인( $SE_k$ ), 및 제  $k$  제어라인( $C_k$ )에 접속된 서브 화소, 기준전압 공급부(80), 센싱 데이터 출력부(140), 제  $u$  기준전압 라인( $R_u$ )과 기준전압 공급부(80) 사이에 접속된 스위치(SW)만을 도시하였다.

- [0051] 또한, 도 5에서는 설명의 편의를 위해 유기발광다이오드(OLED)의 애노드 전극, 제1 구동 트랜지스터(DT1)의 제1 전극, 제2 구동 트랜지스터(DT2)의 제1 전극, 제3 트랜지스터(ST3)의 제2 전극, 및 커패시터(C)의 일측 전극의 접점을 제1 노드(N1)로 예시하였다.
- [0052] 도 5를 참조하면, 표시패널(10)의 화소(P)는 유기발광다이오드(OLED), 제1 및 제2 구동 트랜지스터(DT1, DT2), 제1 내지 제3 트랜지스터들(ST1, ST2, ST3), 및 커패시터(C)를 포함할 수 있다.
- [0053] 유기발광다이오드(OLED)는 제1 구동 트랜지스터(DT1)를 통해 공급되는 전류에 따라 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 제1 노드(N1)에 접속되고, 캐소드 전극은 고전위전압보다 낮은 저전위전압이 공급되는 저전위전압라인(VSSL)에 접속될 수 있다.
- [0054] 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다. 유기발광다이오드(OLED)의 애노드 전극은 제1 노드(N1)에 접속되고, 캐소드 전극은 제2 전원전압이 공급되는 제2 전원라인(ESL)에 접속될 수 있다.
- [0055] 제1 및 제2 구동 트랜지스터들(DT1, DT2)은 제1 전원 라인(EVL)과 제1 노드(N1) 사이에 병렬 접속된다.
- [0056] 제1 구동 트랜지스터(DT1)는 게이트 전극과 소스 전극의 전압 차에 따라 제1 전원 라인(EVL)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 조정한다. 제1 구동 트랜지스터(DT1)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 제1 전원 라인(EVL)에 접속될 수 있다.
- [0057] 제2 구동 트랜지스터(DT2)는 게이트 전극과 소스 전극의 전압 차에 따라 제1 전원 라인(EVL)으로부터 제1 노드(N1)로 흐르는 전류를 조정한다. 제2 구동 트랜지스터(DT2)의 게이트 전극은 제2 트랜지스터(ST2)의 제1 전극에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 제1 전원 라인(EVL)에 접속될 수 있다.
- [0058] 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)의 제k 스캔신호에 의해 턴-온되어 제j 데이터라인(Dj)을 제1 구동 트랜지스터(DT1)의 게이트 전극에 접속시킨다. 제1 트랜지스터(T1)의 게이트 전극은 제k 스캔라인(Sk)에 접속되고, 제1 전극은 제1 구동 트랜지스터(DT1)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속될 수 있다.
- [0059] 제2 트랜지스터(ST2)는 제k 제어라인(Ck)의 제k 센싱신호에 의해 턴-온되어 제j 데이터라인(Dj)을 제2 구동 트랜지스터(DT2)의 게이트 전극에 접속시킨다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 제어라인(Ck)에 접속되고, 제1 전극은 제2 구동 트랜지스터(DT2)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속될 수 있다.
- [0060] 제3 트랜지스터(ST3)는 제k 센싱라인(SEk)의 제k 센싱신호에 의해 턴-온되어 제u 기준전압 라인(Ru)을 제1 노드(N1)에 접속시킨다. 제3 트랜지스터(ST3)의 게이트 전극은 제k 센싱라인(SEk)에 접속되고, 제1 전극은 제u 기준전압 라인(Ru)에 접속되며, 제2 전극은 제1 노드(N1)에 접속될 수 있다.
- [0061] 제1 내지 제3 트랜지스터들(ST1, ST2, ST3) 각각의 제1 전극은 소스 전극이고, 제2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 내지 제3 트랜지스터들(ST1, ST2, ST3) 각각의 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극일 수 있다.
- [0062] 커패시터(C)는 제1 구동 트랜지스터(DT1)의 게이트 전극과 소스 전극 사이에 형성된다. 커패시터(C)는 제1 구동 트랜지스터(DT1)의 게이트 전압과 소스 전압의 차전압을 저장한다.
- [0063] 도 5에서는 제1 및 제2 구동 트랜지스터들(DT1, DT2)과 제1 내지 제3 트랜지스터들(ST1, ST2, ST3)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 제1 및 제2 구동 트랜지스터들(DT1, DT2)과 제1 내지 제3 트랜지스터들(ST1, ST2, ST3)은 P 타입 MOSFET으로 형성될 수도 있으며, 이 경우 도 7, 도 9 및 도 11의 타이밍도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.
- [0064] 한편, 제1 구동 트랜지스터(DT1)는 표시 기간 동안 제j 데이터 라인(Dj)을 통해 공급되는 발광 데이터전압에 따라 제1 전원 라인(EVL)으로부터 제1 노드(N1)로 흐르는 전류를 조정하는 역할을 한다. 이에 비해, 제2 구동 트

랜지스터(DT2)는 표시 기간 동안 동작하지 않으며, 제1 및 제2 센싱 기간들 동안 제j 데이터 라인(Dj)을 통해 공급되는 센싱 데이터 전압에 따라 제1 전원 라인(EVL)으로부터 제1 노드(N1)로 흐르는 전류를 조정하는 역할을 한다. 즉, 제2 구동 트랜지스터(DT2)는 제1 및 제2 센싱 기간들 동안 제1 구동 트랜지스터(DT1)의 전자이동도를 센싱하는데 이용하기 위한 센싱용 구동 트랜지스터에 해당한다.

[0065] 제2 구동 트랜지스터(DT2)는 제1 및 제2 센싱 기간들에만 동작하므로, 제1 구동 트랜지스터(DT1)와 같이 표시 기간 동안 서브 화소의 발광 효율을 고려하여 설계될 필요가 없으며, 전자이동도 센싱을 위해 최적화하여 설계될 수 있다. 따라서, 도 6a 및 도 6b와 같이 제2 구동 트랜지스터(DT2)의 채널 폭(W2)은 제1 구동 트랜지스터(DT1)의 채널 폭(W1)에 비해 넓게 설계될 수 있다. 또한, 제2 구동 트랜지스터(DT2)의 채널 길이(L2)는 제1 구동 트랜지스터(DT1)의 채널 길이(L1)에 비해 짧게 설계될 수 있다. 이 경우, 제2 구동 트랜지스터(DT2)는 센싱 데이터 전압에 따라 채널을 통해 흐르는 전류량을 제1 구동 트랜지스터(DT1)보다 크게 늘릴 수 있다. 본 발명의 실시예는 제1 구동 트랜지스터(DT1)의 전자 이동도를 보상하기 위해 제2 구동 트랜지스터(DT2)를 이용함으로써, 구동 트랜지스터의 전류를 센싱하는데 걸리는 시간을 크게 줄일 수 있다. 또한, 본 발명의 실시예는 센싱 데이터 전압의 크기를 낮출 수 있다.

[0066] 도 7은 표시 기간 동안 서브 화소에 공급되는 스캔신호, 센싱신호, 제어신호와 스위치에 공급되는 스위치 신호를 보여주는 파형도이다. 도 7에서는 설명의 편의를 위해 도 5의 서브 화소에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANk), 제k 센싱라인(SEk)에 공급되는 제k 센싱신호(SENk), 제k 제어라인(Ck)에 공급되는 제k 제어신호(CSk), 스위치(SW)에 공급되는 스위치 제어신호(SCS)만을 예시하였다. 표시 기간은 화소(P)들의 서브 화소들(RP, WP, BP, GP) 각각의 유기발광다이오드(OLED)가 발광하는 기간을 나타낸다.

[0067] 도 7을 참조하면, 표시 기간에서 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 서브 화소의 1 프레임 기간은 제1 및 제2 기간들(t1, t2)로 구분될 수 있다. 제1 기간(t1)은 제1 구동 트랜지스터(DT1)의 게이트 전극에 발광 데이터전압(Vdata)을 공급하는 기간이다. 제2 기간(t2)은 유기발광다이오드(OLED)가 발광하는 발광 기간이다.

[0068] 스캔신호 출력부(41)는 제1 기간(t1) 동안 게이트하이전압(VGH)의 제k 스캔신호(SCANk)를 제k 스캔라인(Sk)에 공급하고, 제2 기간(t2) 동안 게이트로우전압(VGL)의 제k 스캔신호(SCANk)를 제k 스캔라인(Sk)에 공급할 수 있다. 센싱신호 출력부(42)는 제1 기간(t1) 동안 게이트하이전압(VGH)의 제k 센싱신호(SENk)를 제k 센싱라인(SEk)에 공급하고, 제2 기간(t2) 동안 게이트로우전압(VGL)의 제k 센싱신호(SENk)를 제k 센싱라인(SEk)에 공급할 수 있다. 제어신호 출력부(43)는 제1 및 제2 기간들(t1, t2) 동안 게이트로우전압(VGL)의 제k 제어신호(Ck)를 공급할 수 있다.

[0069] 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)이 도 5와 같이 N 타입 MOSFET으로 형성되는 경우, 게이트하이전압(VGH)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-온시킬 수 있는 게이트 온 전압이고, 게이트로우전압(VGL)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-오프시킬 수 있는 게이트 오프 전압일 수 있다.

[0070] 데이터전압 공급부(21)는 제k 스캔라인(Sk)에 접속된 화소(P)에 데이터전압을 공급하기 위해, 제j 데이터라인(Dj)에 발광 데이터전압(Vdata)을 공급할 수 있다. 타이밍 제어부(50)는 표시 기간에 제1 로직 레벨 전압(Von)의 스위치 제어신호(SCS)를 스위치(SW)에 공급한다.

[0071] 이하에서는, 도 8a 및 도 8b를 결부하여, 표시 기간에서 서브 화소의 동작을 상세히 살펴본다.

[0072] 도 8a 및 도 8b는 표시 기간의 제1 및 제2 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다. 도 8a 및 도 8b에서는 설명의 편의를 위해 턴-오프된 트랜지스터를 점선으로 도시하였다. 이하에서는 도 7, 도 8a 및 도 8b를 결부하여 본 발명의 실시예에 따른 표시 기간의 제1 및 제2 기간들(t1, t2) 동안 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 서브 화소의 구동방법을 상세히 살펴본다.

[0073] 표시 기간에 스위치(SW)는 제1 로직 레벨 전압(Von)의 스위치 제어신호(SCS)에 의해 턴-온된다.

[0074] 도 8a를 참조하면, 제1 기간(t1) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트하이전압(VGH)의 제k 스캔신호(SCANk)에 의해 턴-온된다. 제2 트랜지스터(ST2)는 제k 제어라인(Ck)으로 공급되는 게이트로우전압(VGL)의 제k 제어신호(CSk)에 의해 턴-오프된다. 제3 트랜지스터(ST3)는 제k 센싱라인(SEk)으로 공급되는 게이트하이전압(VGH)의 제k 센싱신호(SENk)에 의해 턴-온된다.

[0075] 제1 기간(t1) 동안 제1 트랜지스터(ST1)의 턴-온으로 인해, 제j 데이터라인(Dj)의 발광 데이터전압(Vdata)이 제

1 구동 트랜지스터(DT1)의 게이트 전극에 공급된다. 발광 데이터전압(Vdata)은 보상 데이터(CDATA)를 변환한 데이터전압으로, 제1 구동 트랜지스터(DT1)의 전자이동도(mobility)가 보상된 전압이다. 제1 기간(t1) 동안 제3 트랜지스터(ST3)와 스위치(SW)의 턴-온으로 인해, 제1 노드(N1)에는 제u 기준전압 라인(Ru)을 통해 기준전압 공급부(80)의 기준전압(Vref)이 공급된다.

[0076] 도 8b를 참조하면, 제2 기간(t2) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트로우전압(VGL)의 제k 스캔신호(SCANk)에 의해 턴-오프된다. 제2 트랜지스터(ST2)는 제k 제어라인(Ck)으로 공급되는 게이트로우전압(VGL)의 제k 제어신호(CSk)에 의해 턴-오프된다. 제3 트랜지스터(ST3)는 제k 센싱라인(SEk)으로 공급되는 게이트로우전압(VGL)의 제k 센싱신호(SENk)에 의해 턴-오프된다.

[0077] 제2 기간(t2) 동안 제1 구동 트랜지스터(DT1)의 게이트전압(Vg)과 소스전압(Vs) 간의 전압 차에 따른 전류(Ids)는 유기발광다이오드(OLED)로 흐른다. 이로 인해, 유기발광다이오드(OLED)는 발광한다. 이하에서는, 설명의 편의를 위해 "구동 트랜지스터의 게이트전압(Vg)과 소스전압(Vs) 간의 전압 차에 따라 구동 트랜지스터를 통해 흐르는 전류(Ids)"를 간단히 "구동 트랜지스터의 전류(Ids)"로 정의한다.

[0078] 이때, 발광 데이터전압(Vdata)은 제1 구동 트랜지스터(DT1)의 전자이동도가 보상된 전압이기 때문에, 제2 기간(t2) 동안 유기발광다이오드(OLED)로 흐르는 구동 트랜지스터(DT)의 전류(Ids)는 제1 구동 트랜지스터(DT1)의 전자이동도에 의존하지 않는다.

[0079] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 표시 기간 동안 제1 구동 트랜지스터(DT1)의 전자이동도가 보상된 발광 데이터전압(Vdata)을 서브 화소(P)들 각각에 공급한다. 그 결과, 본 발명의 실시예는 서브 화소들 각각의 유기발광다이오드(OLED)가 제1 구동 트랜지스터(DT1)의 전자이동도에 의존하지 않는 제1 구동 트랜지스터(DT1)의 전류(Ids)에 따라 발광할 수 있다. 따라서, 본 발명의 실시예는 화소(P)들의 휘도 균일도를 높일 수 있다.

[0080] 도 9는 제1 센싱 기간 동안 서브 화소에 공급되는 스캔신호, 센싱신호, 제어신호와 스위치에 공급되는 스위치신호를 보여주는 파형도이다. 도 9에서는 설명의 편의를 위해 도 5의 서브 화소에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANk), 제k 센싱라인(SEk)에 공급되는 제k 센싱신호(SENk), 제k 제어라인(Ck)에 공급되는 제k 제어신호(CSk), 스위치(SW)에 공급되는 스위치 제어신호(SCS), 및 센싱 데이터 출력부(140)에서 센싱되는 센싱 전압(V<sub>N1</sub>)만을 예시하였다. 제1 센싱 기간은 제2 구동 트랜지스터(DT2)의 전류(Ids2)를 센싱하는 기간을 나타낸다.

[0081] 도 9를 참조하면, 제1 센싱 기간에서 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 서브 화소의 1 프레임 기간은 제1 및 제2 기간들(t1', t2')로 구분될 수 있다. 제1 기간(t1')은 서브 화소를 초기화하는 기간이고, 제2 기간(t2')은 제2 구동 트랜지스터(DT2)의 전류(Ids2)를 센싱하는 기간이다.

[0082] 스캔신호 출력부(41)는 제1 및 제2 기간들(t1', t2') 동안 게이트로우전압(VGL)의 제k 스캔신호(SCANk)를 제k 스캔라인(Sk)에 공급할 수 있다. 센싱신호 출력부(42)는 제1 및 제2 기간들(t1', t2') 동안 게이트하이전압(VGH)의 제k 센싱신호(SENk)를 제k 센싱라인(SEk)에 공급할 수 있다. 제어신호 출력부(43)는 제1 및 제2 기간들(t1', t2') 동안 게이트하이전압(VGH)의 제k 제어신호(Ck)를 공급할 수 있다.

[0083] 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)이 도 5와 같이 N 타입 MOSFET으로 형성되는 경우, 게이트하이전압(VGH)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-온시킬 수 있는 게이트 온 전압이고, 게이트로우전압(VGL)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-오프시킬 수 있는 게이트 오프 전압일 수 있다.

[0084] 데이터전압 공급부(21)는 제1 센싱 기간 동안 제j 데이터라인(Dj)에 센싱 데이터전압(SVdata)을 공급할 수 있다. 타이밍 제어부(50)는 제1 기간(t1')에 제1 로직 레벨 전압(Von)의 스위치 제어신호(SCS)를 스위치(SW)에 공급하고, 제2 기간(t2') 동안 제2 로직 레벨 전압(Voff)의 스위치 제어신호(SCS)를 스위치(SW)에 공급한다.

[0085] 이하에서는, 도 10a 및 도 10b를 결부하여, 제1 센싱 기간에서 서브 화소의 동작을 상세히 살펴본다.

[0086] 도 10a 및 도 10b는 제1 센싱 기간의 제1 및 제2 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다. 도 10a 및 도 10b에서는 설명의 편의를 위해 턴-오프된 트랜지스터를 점선으로 도시하였다. 이하에서는 도 9, 도 10a 및 도 10b를 결부하여 본 발명의 실시예에 따른 제1 센싱 기간의 제1 및 제2 기간들(t1', t2') 동안 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 서브 화소의 구동방법을 상세히 살펴본다.

[0087] 도 10a를 참조하면, 제1 기간(t1') 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트로우전압



(VGL)의 제k 스캔신호(SCANK)에 의해 턴-오프된다. 제2 트랜지스터(ST2)는 제k 제어라인(Ck)으로 공급되는 게이트하이전압(VGH)의 제k 제어신호(CSk)에 의해 턴-온된다. 제3 트랜지스터(ST3)는 제k 센싱라인(SEk)으로 공급되는 게이트하이전압(VGH)의 제k 센싱신호(SENk)에 의해 턴-온된다. 스위치(SW)는 제1 로직 레벨 전압(Von)의 스위치 제어신호(SCS)에 의해 턴-온된다.

[0088] 제1 기간( $t_1'$ ) 동안 제2 트랜지스터(ST2)의 턴-온으로 인해, 제j 데이터라인(Dj)의 센싱 데이터전압(Vdata)이 제2 구동 트랜지스터(DT2)의 게이트 전극에 공급된다. 센싱 데이터전압(Vdata)은 센싱용 데이터(PDATA)를 변환한 데이터전압으로, 제2 구동 트랜지스터(DT2)의 전류(Ids2)를 센싱하기 위한 전압이다. 제1 기간( $t_1'$ ) 동안 스위치(SW)와 제3 트랜지스터(ST2)의 턴-온으로 인해, 제1 노드(N1)에는 제u 기준전압 라인(Ru)을 통해 기준전압 공급부(80)의 기준전압(Vref)이 공급된다.

[0089] 도 10b를 참조하면, 제2 기간( $t_2'$ ) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트로우전압(VGL)의 제k 스캔신호(SCANK)에 의해 턴-오프된다. 제2 트랜지스터(ST2)는 제k 센싱라인(SEk)으로 공급되는 게이트하이전압(VGH)의 제k 센싱신호(SENk)에 의해 턴-온된다. 제3 트랜지스터(ST3)는 제k 제어라인(Ck)으로 공급되는 게이트하이전압(VGH)의 제k 제어신호(CSk)에 의해 턴-온된다. 스위치(SW)는 제2 로직 레벨 전압(Voff)의 스위치 제어신호(SCS)에 의해 턴-오프된다.

[0090] 제2 기간( $t_2'$ ) 동안 제2 트랜지스터(DT)의 턴-온으로 인해, 제2 구동 트랜지스터(DT2)의 게이트 전극에는 센싱 데이터전압(SVdata)이 공급된다. 그러므로, 센싱 데이터전압(SVdata)에 따른 제2 구동 트랜지스터(DT2)의 전류(Ids2)가 제1 노드(N1)로 흐른다.

[0091] 또한, 제2 기간( $t_2'$ ) 동안 제3 트랜지스터(ST3)의 턴-온과 스위치(SW)의 턴-오프로 인해 제1 노드(N1)는 제u 기준전압 라인(Ru)을 통해 센싱 데이터 출력부(140)에 접속된다. 따라서, 제2 구동 트랜지스터(DT2)의 전류(Ids2)는 센싱 데이터 출력부(140)를 통해 센싱될 수 있다.

[0092] 센싱 데이터 출력부(140)는 전류-전압 변환부를 이용하여 제2 구동 트랜지스터(DT2)의 전류를 전압으로 변환하여 센싱한다. 센싱 데이터 출력부(140)에 의해 센싱되는 제1 센싱 전압(Vsen1)은 도 9와 같이 제2 기간( $t_2'$ ) 동안 선형적으로 증가할 수 있다. 제2 구동 트랜지스터(DT2)의 전자 이동도가 높을수록 제2 기간( $t_2'$ ) 동안 센싱되는 제1 센싱 전압(Vsen1)의 기울기는 증가하므로, 제2 기간( $t_2'$ ) 동안 센싱되는 제1 센싱 전압(Vsen1)은 높을 수 있다. 센싱 데이터 출력부(140)는 제1 센싱 전압(Vsen1)을 디지털 데이터인 제1 센싱 데이터(SD1)로 변환하여 데이터 보상부(70)로 출력한다.

[0093] 이상에서 살펴본 바와 같이, 제1 센싱 기간은 제1 구동 트랜지스터(DT1)의 전자이동도를 보상하기 위해 제2 구동 트랜지스터(DT2)의 전류를 센싱하는 기간이다. 제2 구동 트랜지스터(DT2)는 제1 구동 트랜지스터(DT1)의 구동 조건과 거의 동일한 조건에 노출되므로, 제2 구동 트랜지스터(DT2)의 전자이동도는 제1 구동 트랜지스터(DT1)의 전자이동도를 어느 정도 반영하고 있다고 볼 수 있다. 예를 들어, 제1 구동 트랜지스터(DT1)의 구동 조건과 거의 동일한 조건은 구동 시간과 온도 등을 가리킨다. 또한, 제2 구동 트랜지스터(DT2)는 제1 및 제2 센싱 기간들에만 동작하므로, 제1 구동 트랜지스터(DT1)와 같이 표시 기간 동안 서브 화소의 발광 효율을 고려하여 설계될 필요가 없으며, 전자이동도 센싱을 위해 최적화하여 설계될 수 있다. 따라서, 본 발명의 실시예는 제1 센싱 기간 동안 제1 구동 트랜지스터(DT1) 대신에 제2 구동 트랜지스터(DT2)를 이용하여 제2 구동 트랜지스터(DT2)의 전류(Ids2)를 센싱함으로써, 구동 트랜지스터의 전류를 센싱하는데 걸리는 시간을 크게 줄일 수 있다. 또한, 본 발명의 실시예는 센싱 데이터 전압의 크기를 낮출 수 있다.

[0094] 도 11은 제2 센싱 기간 동안 서브 화소에 공급되는 스캔신호, 센싱신호, 제어신호와 스위치에 공급되는 스위치 신호를 보여주는 파형도이다. 도 11에서는 설명의 편의를 위해 도 5의 서브 화소에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANK), 제k 센싱라인(SEk)에 공급되는 제k 센싱신호(SENk), 제k 제어라인(Ck)에 공급되는 제k 제어신호(CSk), 스위치(SW)에 공급되는 스위치 제어신호(SCS), 및 센싱 데이터 출력부(140)에서 센싱되는 센싱 전압(V<sub>N1</sub>)만을 예시하였다.만을 예시하였다. 제2 센싱 기간은 제1 및 제2 구동 트랜지스터들(DT1, DT2)의 전류(Ids3)를 센싱하는 기간을 나타낸다.

[0095] 도 11을 참조하면, 제2 센싱 기간에서 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 서브 화소의 1 프레임 기간은 제1 및 제2 기간들( $t_1''$ ,  $t_2''$ )로 구분될 수 있다. 제1 기간( $t_1''$ )은 서브 화소를 초기화하는 기간이고, 제2 기간( $t_2''$ )은 제1 및 제2 구동 트랜지스터들(DT1, DT2)의 전류(Ids3)를 센싱하는 기간이다.

[0096] 스캔신호 출력부(41)는 제1 및 제2 기간들( $t_1''$ ,  $t_2''$ ) 동안 게이트하이전압(VGH)의 제k 스캔신호(SCANK)를 제k 스캔라인(Sk)에 공급할 수 있다. 센싱신호 출력부(42)는 제1 및 제2 기간들( $t_1''$ ,  $t_2''$ ) 동안 게이트하이전압

(VGH)의 제k 센싱신호(SENk)를 제k 센싱라인(SEk)에 공급할 수 있다. 제어신호 출력부(43)는 제1 및 제2 기간들( $t_1$ ,  $t_2$ ) 동안 게이트하이전압(VGH)의 제k 제어신호(Ck)를 공급할 수 있다.

- [0097] 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)이 도 5와 같이 N 타입 MOSFET으로 형성되는 경우, 게이트하이전압(VGH)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-온시킬 수 있는 게이트 온 전압이고, 게이트로우전압(VGL)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-오프시킬 수 있는 게이트 오프 전압일 수 있다.
- [0098] 데이터전압 공급부(21)는 제2 센싱 기간 동안 제j 데이터라인(Dj)에 센싱 데이터전압(SVdata)을 공급할 수 있다. 타이밍 제어부(50)는 제1 기간( $t_1$ )에 제1 로직 레벨 전압(Von)의 스위치 제어신호(SCS)를 스위치(SW)에 공급하고, 제2 기간( $t_2$ ) 동안 제2 로직 레벨 전압(Voff)의 스위치 제어신호(SCS)를 스위치(SW)에 공급한다.
- [0099] 이하에서는, 도 12a 및 도 12b를 결부하여, 제2 센싱 기간에서 서브 화소의 동작을 상세히 살펴본다.
- [0100] 도 12a 및 도 12b는 제2 센싱 기간의 제1 및 제2 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다. 도 12a 및 도 12b에서는 설명의 편의를 위해 턴-오프된 트랜지스터를 점선으로 도시하였다. 이하에서는 도 11, 도 12a 및 도 12b를 결부하여 본 발명의 실시예에 따른 제2 센싱 기간의 제1 및 제2 기간들( $t_1$ ,  $t_2$ ) 동안 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 서브 화소의 구동방법을 상세히 살펴본다.
- [0101] 도 12a를 참조하면, 제1 기간( $t_1$ ) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트하이전압(VGH)의 제k 스캔신호(SCANk)에 의해 턴-온된다. 제2 트랜지스터(ST2)는 제k 제어라인(Ck)으로 공급되는 게이트하이전압(VGH)의 제k 제어신호(CSk)에 의해 턴-온된다. 제3 트랜지스터(ST3)는 제k 센싱라인(SEk)으로 공급되는 게이트하이전압(VGH)의 제k 센싱신호(SENk)에 의해 턴-온된다. 스위치(SW)는 제1 로직 레벨 전압(Von)의 스위치 제어신호(SCS)에 의해 턴-온된다.
- [0102] 제1 기간( $t_1$ ) 동안 제1 트랜지스터(ST1)의 턴-온으로 인해, 제j 데이터라인(Dj)의 센싱 데이터전압(Vdata)이 제1 구동 트랜지스터(DT1)의 게이트 전극에 공급된다. 센싱 데이터전압(Vdata)은 센싱용 데이터(PDATA)를 변환한 데이터전압이다. 제1 기간( $t_1$ ) 동안 제2 트랜지스터(ST2)의 턴-온으로 인해, 제j 데이터라인(Dj)의 센싱 데이터전압(Vdata)이 제2 구동 트랜지스터(DT2)의 게이트 전극에 공급된다. 제1 기간( $t_1$ ) 동안 스위치(SW)와 제3 트랜지스터(ST2)의 턴-온으로 인해, 제1 노드(N1)에는 제u 기준전압 라인(Ru)을 통해 기준전압 공급부(80)의 기준전압(Vref)이 공급된다.
- [0103] 도 12b를 참조하면, 제2 기간( $t_2$ ) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트하이전압(VGH)의 제k 스캔신호(SCANk)에 의해 턴-온된다. 제2 트랜지스터(ST2)는 제k 제어라인(Ck)으로 공급되는 게이트하이전압(VGH)의 제k 제어신호(CSk)에 의해 턴-온된다. 제3 트랜지스터(ST3)는 제k 제어라인(Ck)으로 공급되는 게이트하이전압(VGH)의 제k 제어신호(CSk)에 의해 턴-온된다. 스위치(SW)는 제2 로직 레벨 전압(Voff)의 스위치 제어신호(SCS)에 의해 턴-오프된다.
- [0104] 제2 기간( $t_2$ ) 동안 제1 트랜지스터(DT1)의 턴-온으로 인해, 제1 구동 트랜지스터(DT1)의 게이트 전극에는 센싱 데이터전압(SVdata)이 공급된다. 그러므로, 센싱 데이터전압(SVdata)에 따른 제1 구동 트랜지스터(DT1)의 전류가 제1 노드(N1)로 흐른다. 또한, 제2 기간( $t_2$ ) 동안 제2 트랜지스터(DT)의 턴-온으로 인해, 제2 구동 트랜지스터(DT2)의 게이트 전극에는 센싱 데이터전압(SVdata)이 공급된다. 그러므로, 센싱 데이터전압(SVdata)에 따른 제2 구동 트랜지스터(DT2)의 전류가 제1 노드(N1)로 흐른다. 즉, 제2 기간( $t_2$ ) 동안 제1 및 제2 구동 트랜지스터들(DT1, DT2)의 합산 전류(Ids3)가 제1 노드(N1)로 흐른다.
- [0105] 또한, 제2 기간( $t_2$ ) 동안 제3 트랜지스터(ST3)의 턴-온과 스위치(SW)의 턴-오프로 인해 제1 노드(N1)는 제u 기준전압 라인(Ru)을 통해 센싱 데이터 출력부(140)에 접속된다. 따라서, 제1 및 제2 구동 트랜지스터들(DT1, DT2)의 합산 전류(Ids3)는 센싱 데이터 출력부(140)를 통해 센싱될 수 있다.
- [0106] 센싱 데이터 출력부(140)는 전류-전압 변환부를 이용하여 제1 및 제2 구동 트랜지스터들(DT1, DT2)의 합산 전류(Ids3)를 전압으로 변환하여 센싱한다. 센싱 데이터 출력부(140)에 의해 센싱되는 제2 센싱 전압(Vsen2)은 도 11과 같이 제2 기간( $t_2$ ) 동안 선형적으로 증가할 수 있다. 제1 및 제2 구동 트랜지스터(DT1, DT2)의 전자 이동도가 높을수록 제2 기간( $t_2$ ) 동안 센싱되는 제2 센싱 전압(Vsen2)의 기울기는 증가하므로, 제2 기간( $t_2$ ) 동안 센싱되는 제2 센싱 전압(Vsen2)은 높을 수 있다. 센싱 데이터 출력부(140)는 제2 센싱 전압(Vsen2)을 디지털 데이터인 제2 센싱 데이터(SD2)로 변환하여 데이터 보상부(70)로 출력한다.
- [0107] 한편, 제1 센싱 기간은 도 10b와 같이 센싱 데이터전압(SVdata)에 따른 제2 구동 트랜지스터(DT2)의 전류(Ids

2)만을 센싱하는 반면에, 제2 센싱 기간은 도 12b와 같이 센싱 데이터전압(SVdata)에 따른 제1 및 제2 구동 트랜지스터들(DT1, DT2)의 합산 전류(Ids3)를 센싱한다. 따라서, 제2 센싱 기간 동안 센싱되는 제2 센싱 전압(Vsen2)에서 제1 센싱 기간 동안 센싱되는 제1 센싱 전압(Vsen1)을 차감 연산하는 경우, 제1 구동 트랜지스터(DT1)의 전류에 따른 센싱 전압이 산출될 수 있다. 따라서, 본 발명의 실시예는 제1 및 제2 센싱 기간들 각각에 센싱되는 제1 및 제2 센싱 데이터(SD1, SD2)를 이용하는 경우 정확하게 제1 구동 트랜지스터(DT1)의 전자기동도를 보상할 수 있다.

[0108] 또한, 본 발명의 실시예는 두 개의 구동 트랜지스터들을 이용하여 센싱하므로, 센싱 기간을 단축할 수 있다. 구동 트랜지스터의 전류를 센싱하는데 걸리는 시간을 크게 줄일 수 있다. 또한, 본 발명의 실시예는 센싱 데이터 전압의 크기를 낮출 수 있다.

[0109] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

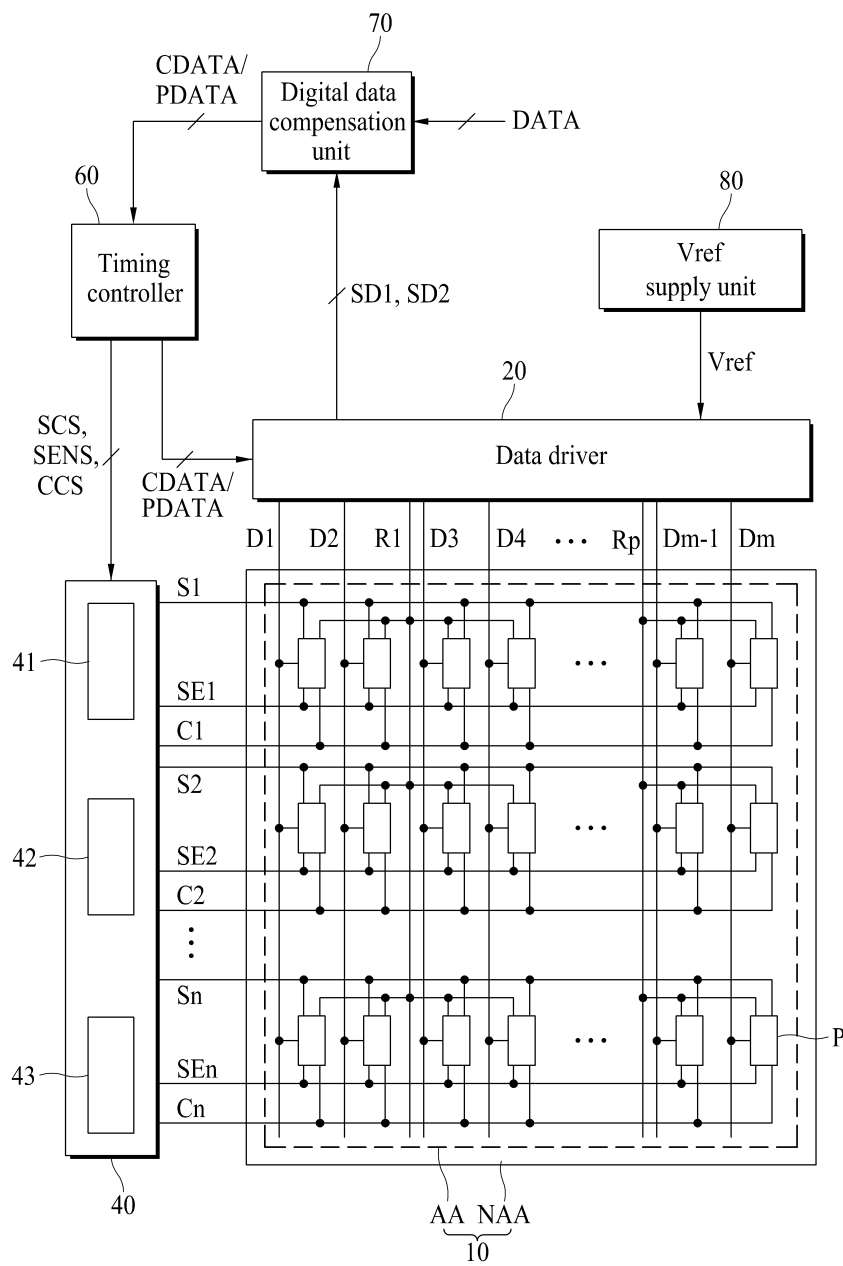
### 부호의 설명

[0110] 10: 표시패널    20: 데이터 구동부  
21: 소스 드라이브 IC    22: 연성 필름  
40: 스캔 구동부    41: 스캔신호 출력부  
42: 센싱신호 출력부    43: 제어신호 출력부  
50: 소스 회로보드    60: 타이밍 컨트롤러  
70: 데이터 보상부    80: 기준전압 공급부  
90: 제어 회로보드    91: 연성 케이블  
110: 데이터 전압 공급부    140: 센싱 데이터 출력부

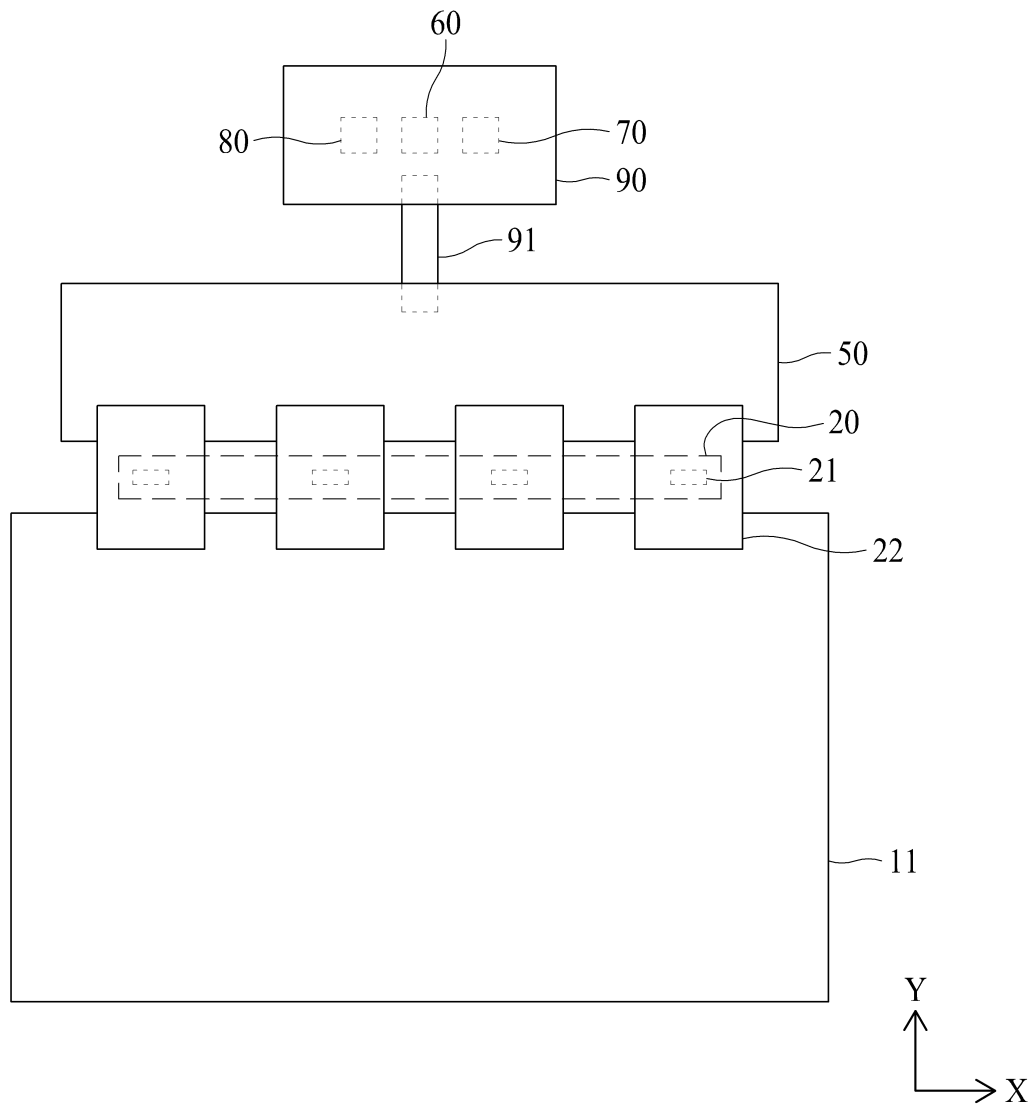


도면

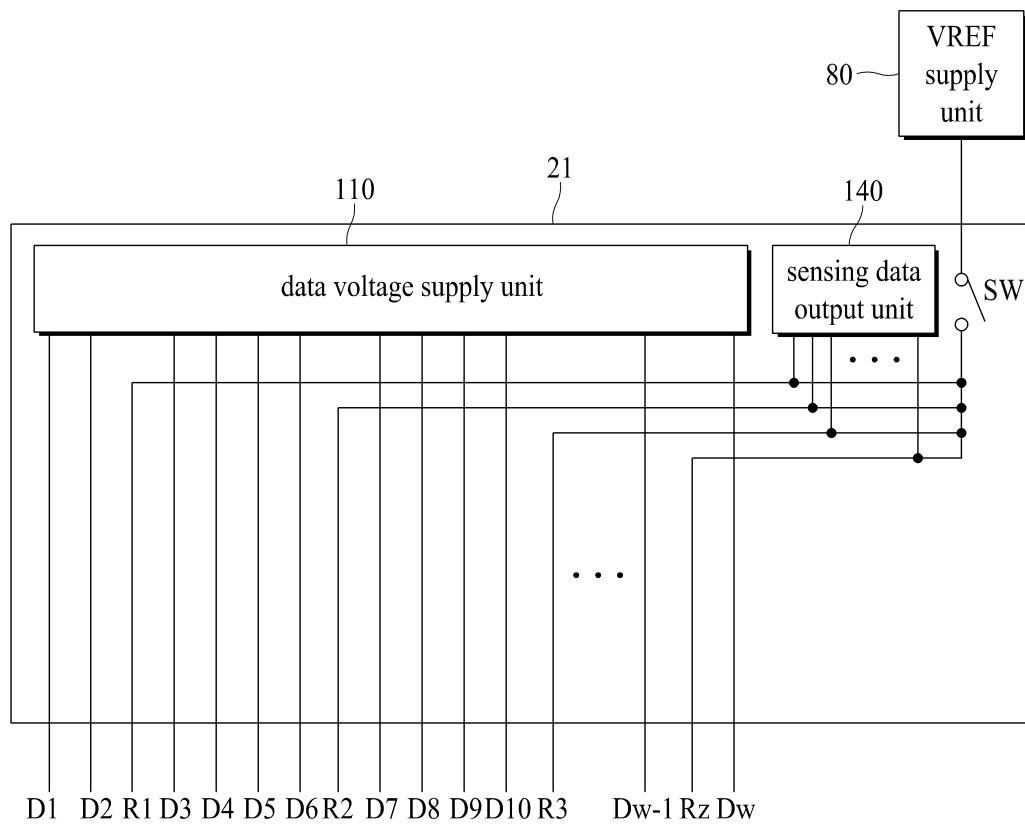
도면1



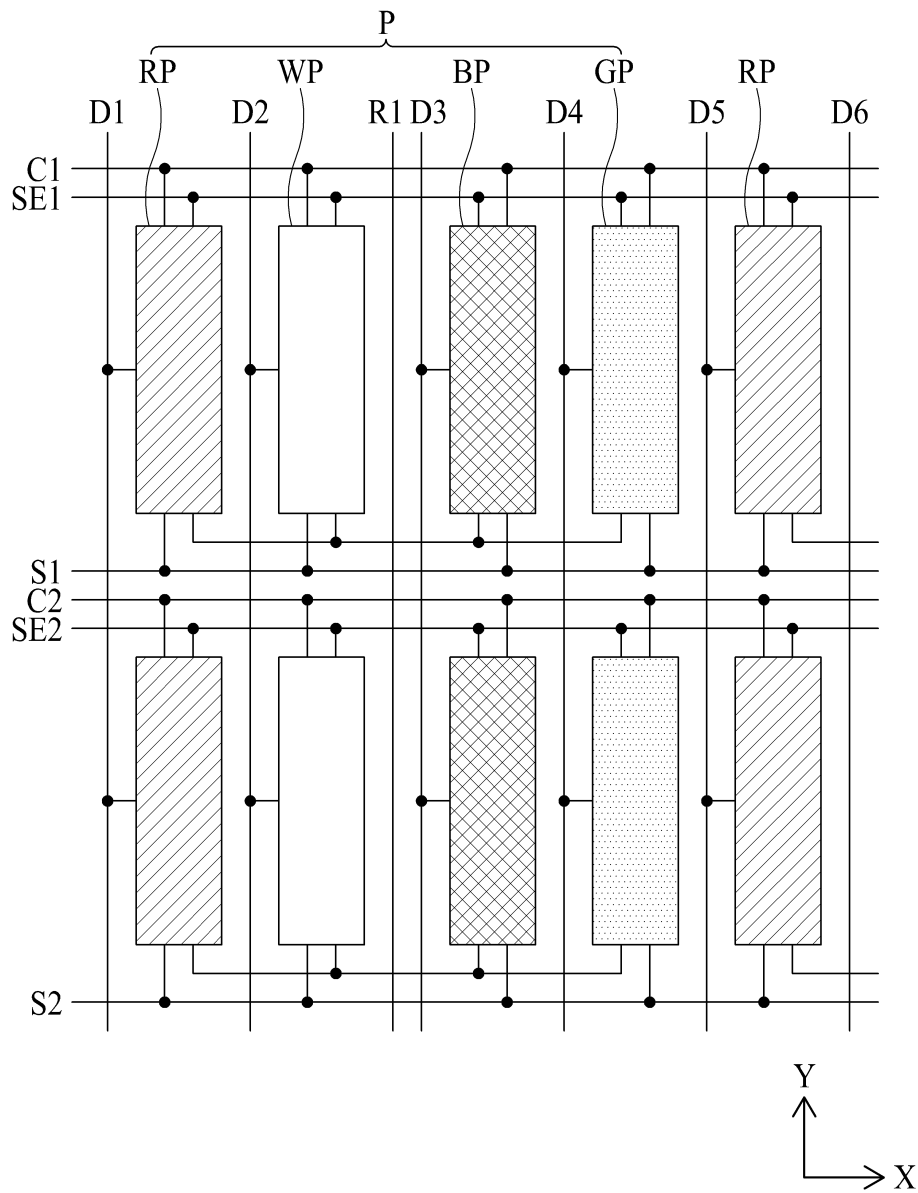
도면2



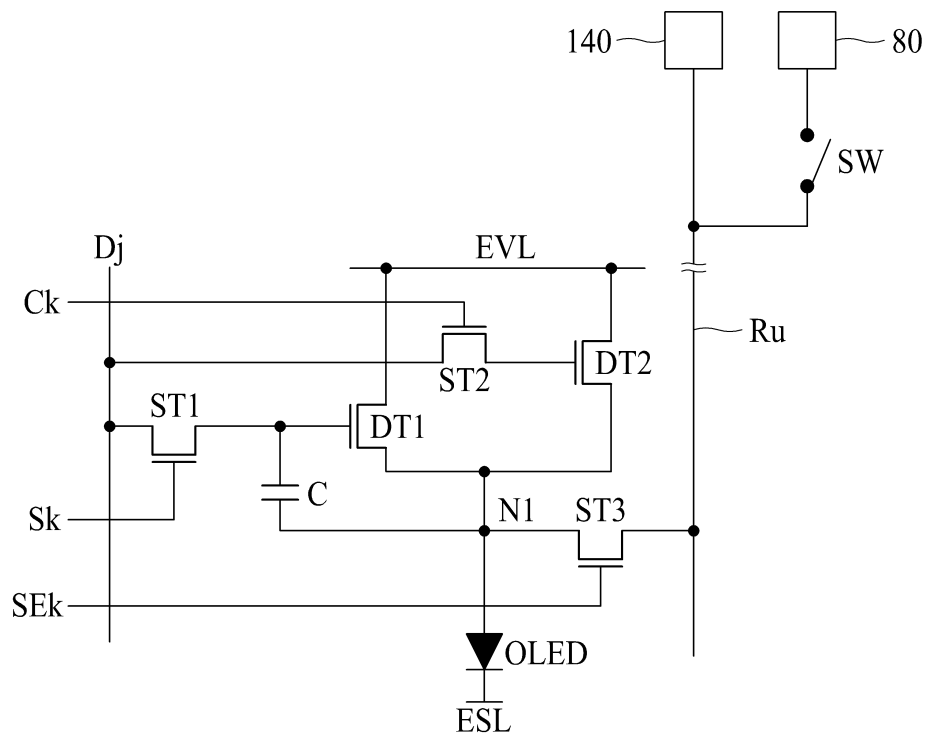
도면3



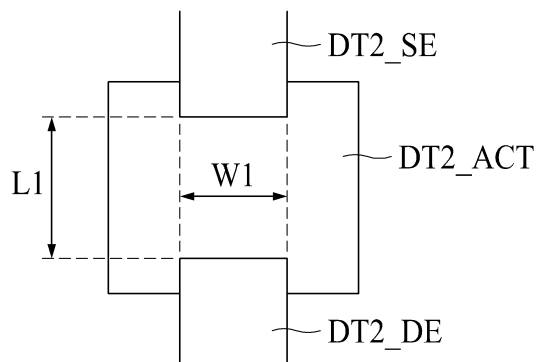
도면4



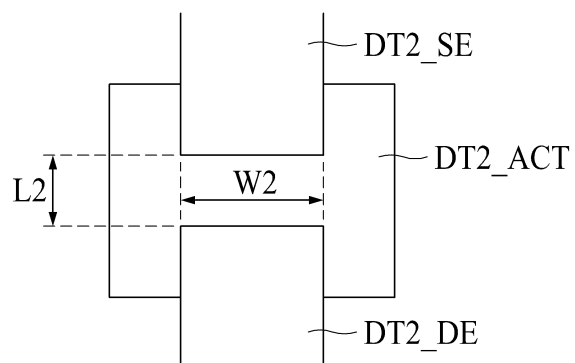
도면5



도면6a

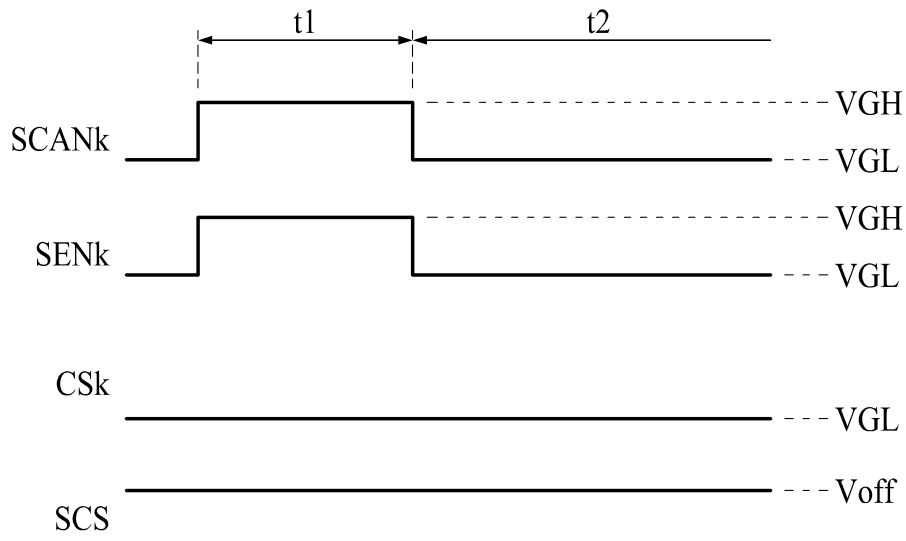


도면6b

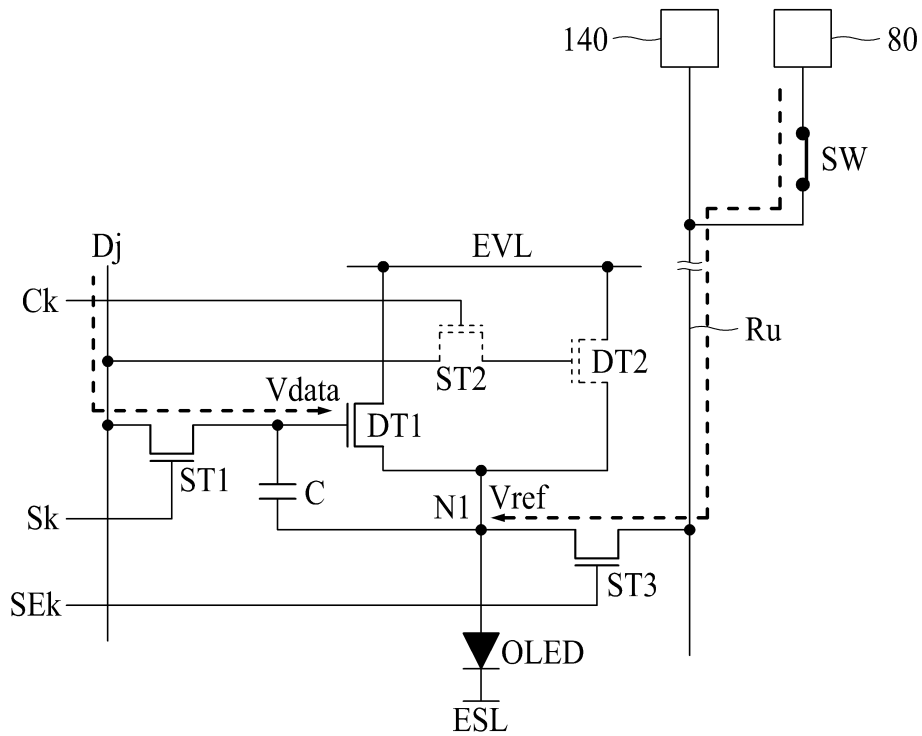




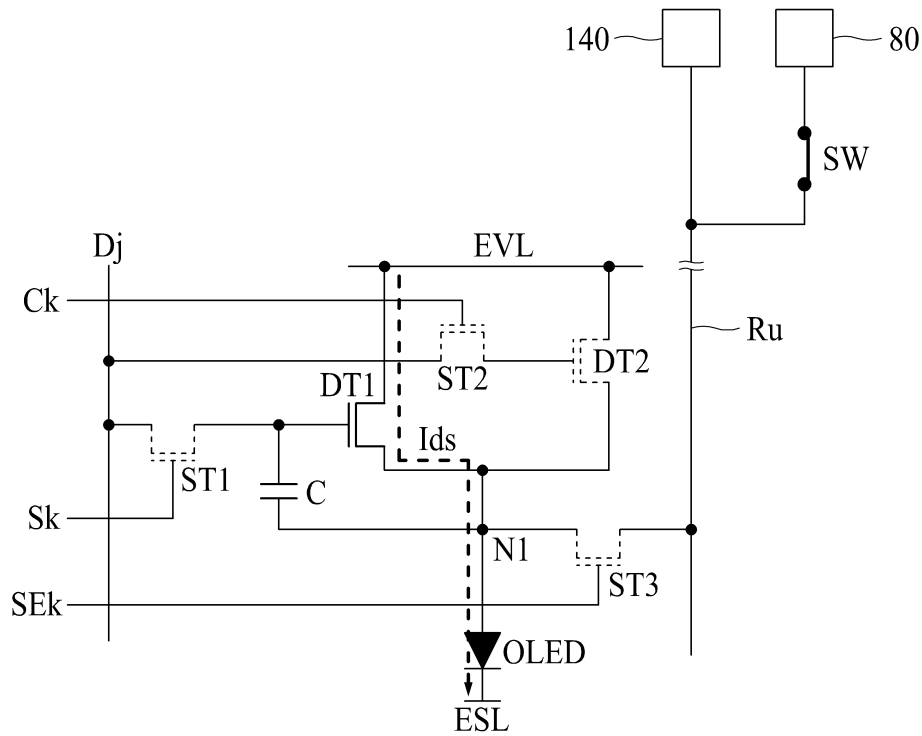
도면7



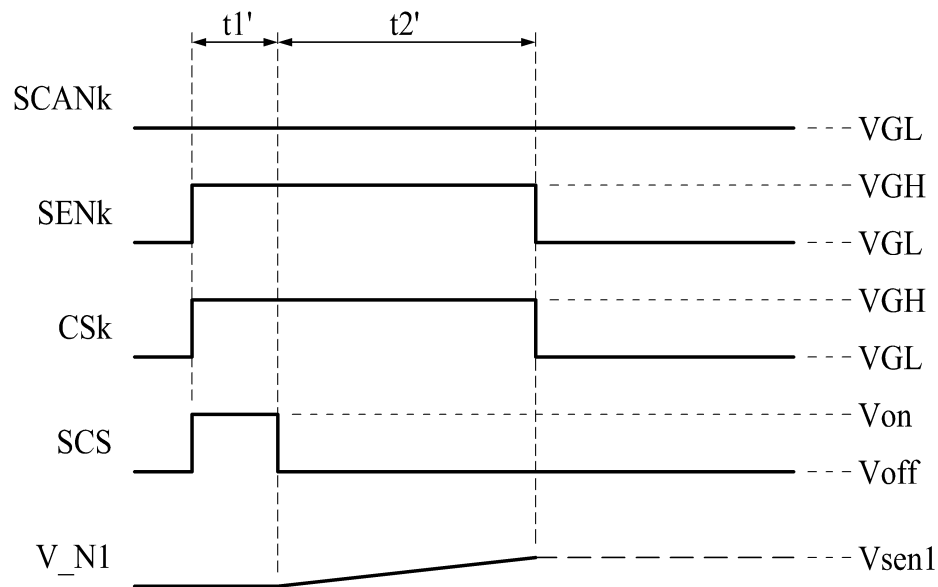
도면8a



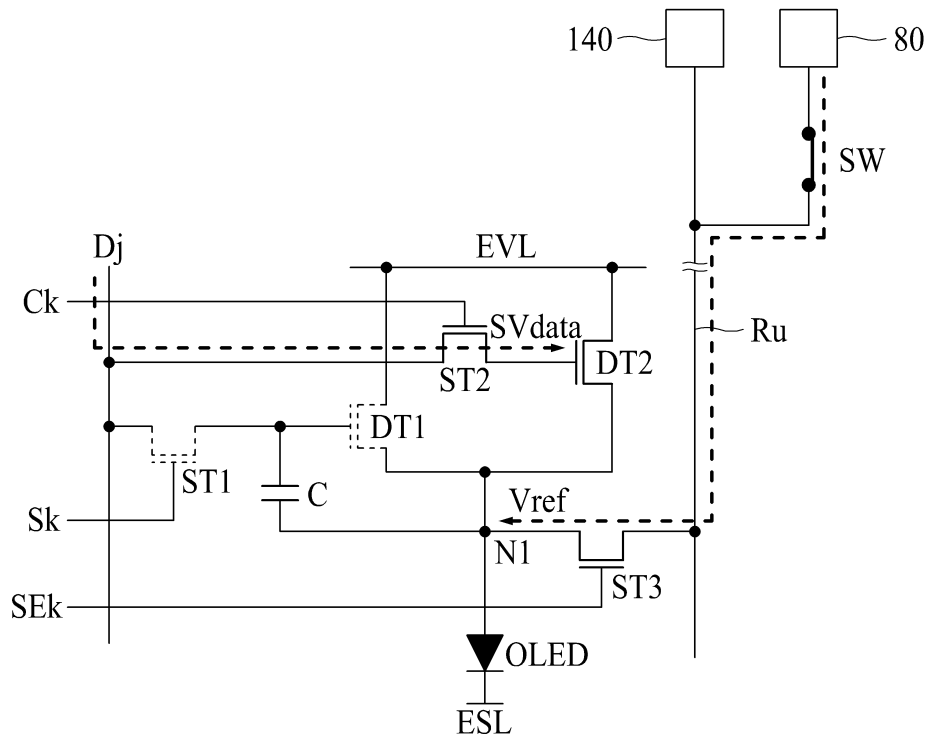
도면8b



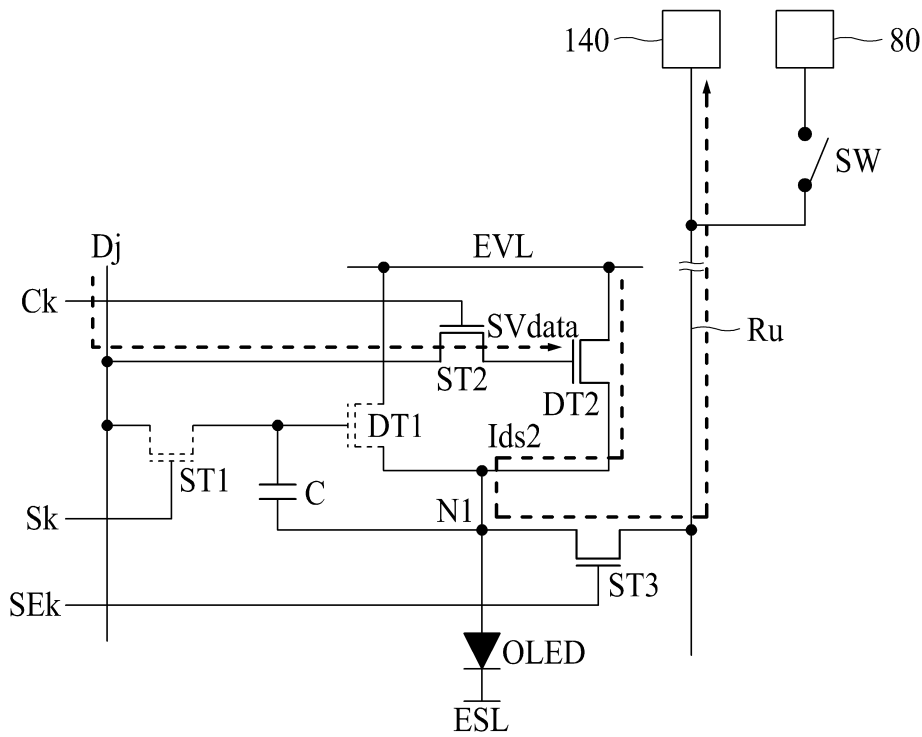
도면9



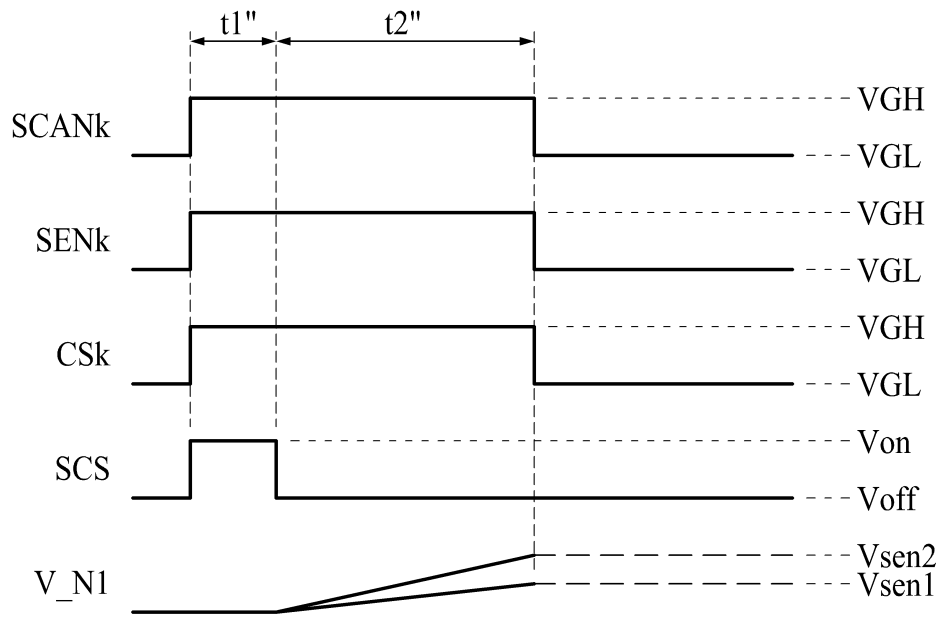
도면10a



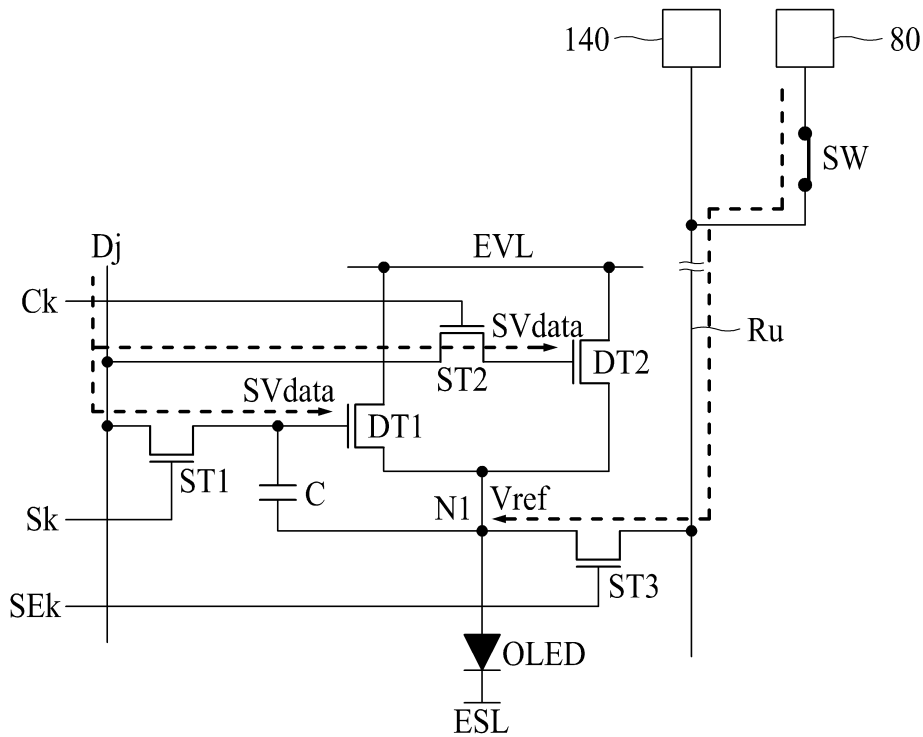
도면10b



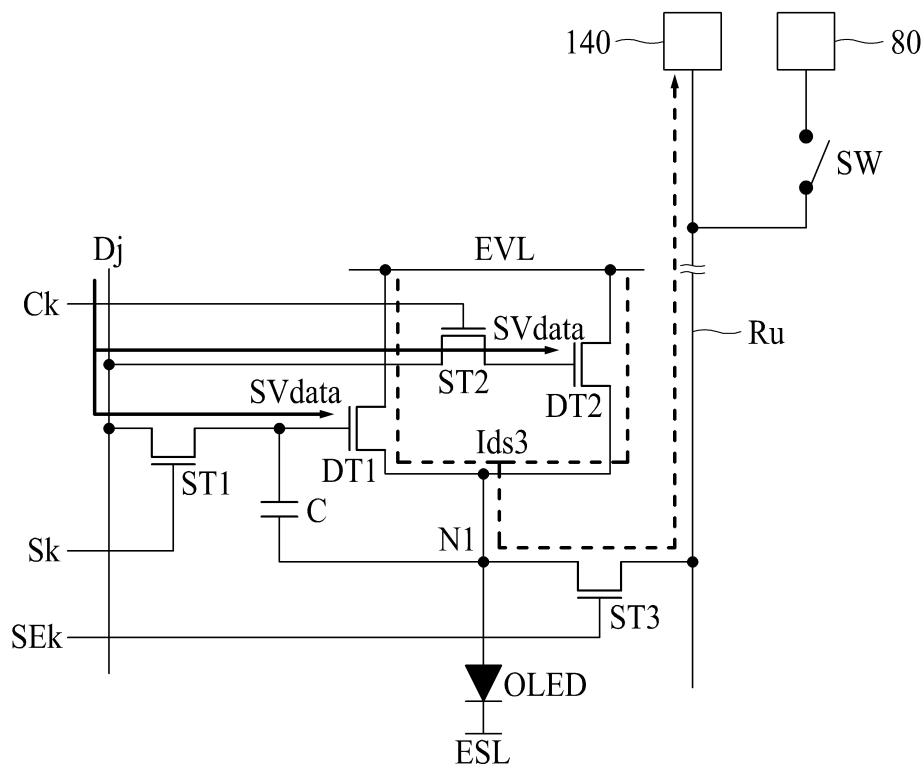
도면11



도면12a



도면12b



|                |                                      |         |            |
|----------------|--------------------------------------|---------|------------|
| 专利名称(译)        | 相关技术的描述                              |         |            |
| 公开(公告)号        | <a href="#">KR1020170080147A</a>     | 公开(公告)日 | 2017-07-10 |
| 申请号            | KR1020150191394                      | 申请日     | 2015-12-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                             |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                            |         |            |
| [标]发明人         | NAYOUNG BAE<br>배나영                   |         |            |
| 发明人            | 배나영                                  |         |            |
| IPC分类号         | G09G3/32                             |         |            |
| CPC分类号         | G09G3/3233 G09G2300/0842 G09G2230/00 |         |            |
| 外部链接           | <a href="#">Espacenet</a>            |         |            |

#### 摘要(译)

本发明涉及有机发光显示装置。本发明的有机发光显示装置包括数据线，在数据线中交叉的扫描线和包括连接到控制线的子像素的显示面板。子像素包括有机发光二极管，第一电源线，第一和第二驱动晶体管并联连接在有机发光二极管的阳极和第一晶体管之间，第一晶体管通过扫描线的扫描信号导通转向 - 并且将第一驱动晶体管的栅极与数据线连接，并且在控制线的控制信号导通的情况下导通的第二晶体管 - 并且将第二驱动晶体管的栅极与数据线连接。本发明包括第一驱动晶体管操作和第二驱动晶体管在显示周期的第一和第二感测周期中操作。因此，考虑到子像素的发光效率，第二驱动晶体管不必设计用于显示周期，并且电子转移优化用于感测并且可以设计。因此，本发明使用第二驱动晶体管。以这种方式，可以减小感测驱动晶体管的电流但悬挂的时间，并且可以降低感测数据电压的大小。

