



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080138
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2015-0191377

(22) 출원일자 2015년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김도성

경기도 고양시 일산서구 강선로 116, 208동 1302호(주엽동, 강선마을2단지아파트)

(74) 대리인

특허법인천문

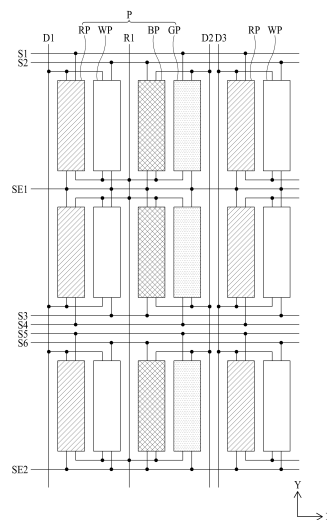
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명은 소스 드라이브 IC의 개수를 줄임으로써 제조 비용을 절감할 수 있는 유기발광 표시장치에 관한 것이다. 본 발명은 데이터 라인들, 데이터 라인들과 교차되며 서로 나란한 스캔 라인들과 센싱 라인들, 복수의 서브 화소들을 포함하는 화소들을 구비한다. 스캔 라인 방향으로 서로 인접한 두 개의 서브 화소들은 동일한 데이터 라인에 접속되고 서로 다른 스캔 라인들에 접속된다. 데이터 라인 방향으로 서로 인접한 두 개의 화소들의 서브 화소들은 동일한 센싱 라인에 접속된다.

대표도 - 도4



(52) CPC특허분류
G09G 2310/061 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들;

상기 데이터 라인들과 교차되며, 서로 나란한 스캔 라인들과 센싱 라인들; 및

복수의 서브 화소들을 포함하는 화소들을 구비하고,

상기 스캔 라인 방향으로 서로 인접한 두 개의 서브 화소들은 동일한 데이터 라인에 접속되고 서로 다른 스캔 라인들에 접속되며,

상기 데이터 라인 방향으로 서로 인접한 두 개의 화소들의 서브 화소들은 동일한 센싱 라인에 접속된 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 스캔 라인 방향으로 배열된 4 개의 서브 화소들 중 어느 두 개의 서브 화소들은 상기 데이터 라인들 중 제 j (j 는 양의 정수) 데이터 라인에 접속되고 제 k (k 는 양의 정수) 및 제 $k+1$ 스캔 라인들에 접속되며, 다른 두 개의 서브 화소들은 상기 데이터 라인들 중 제 $j+1$ 데이터 라인에 접속되고 상기 제 k 및 제 $k+1$ 스캔 라인들에 접속되는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 데이터 라인들과 나란한 기준전압 라인들을 더 구비하고,

상기 4 개의 서브 화소들은 동일한 기준전압 라인에 접속되는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 화소들 각각의 서브 화소들은 상기 데이터 라인들 중 두 개의 데이터 라인들, 상기 스캔 라인들 중 두 개의 스캔 라인들, 및 상기 센싱 라인들 중 하나의 센싱 라인에 접속되는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 데이터 라인들과 나란한 기준전압 라인들을 더 구비하고,

상기 화소들 각각의 서브 화소들은 상기 기준전압 라인들 중 하나의 기준전압 라인에 접속되는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 화소들 각각은 상기 스캔 라인 방향으로 배열된 4 개의 서브 화소들을 포함하는 유기발광 표시장치.

청구항 7

제 5 항에 있어서,

상기 화소들 각각은 스캔 라인 방향으로 배열된 3 개의 서브 화소들을 포함하는 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 서브 화소들 각각은,

유기발광다이오드;

게이트전압과 소스전압 간의 전압 차에 따라 상기 유기발광다이오드로 흐르는 전류량을 조정하는 구동 트랜지스터;

상기 스캔라인의 스캔신호에 의해 턴-온되어 상기 구동 트랜지스터의 게이트 전극에 상기 데이터라인의 데이터 전압을 공급하는 제1 트랜지스터;

상기 센싱라인의 센싱신호에 의해 턴-온되어 상기 구동 트랜지스터의 소스 전극을 상기 기준전압 라인과 접속시키는 제2 트랜지스터; 및

상기 구동 트랜지스터의 게이트 전극과 소스 전극 사이에 형성된 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 9

제 1 항에 있어서,

1 프레임 기간은 액티브 기간과 블랭크 기간을 포함하고, 상기 블랭크 기간은 제1 및 제2 기간들을 포함하며,

상기 액티브 기간 동안 상기 스캔 라인들에 스캔 신호들을 순차적으로 공급하고, 상기 블랭크 기간의 제1 기간(T1) 동안 어느 하나의 센싱 라인에 접속된 서브 화소들에 접속된 스캔 라인들 중 어느 하나의 스캔 라인을 제외한 나머지 스캔 라인들에 스캔 신호들을 동시에 공급하며, 상기 블랭크 기간의 상기 제2 기간 동안 상기 어느 하나의 스캔 라인에만 스캔 신호를 공급하는 스캔 신호 출력부; 및

상기 블랭크 기간의 상기 제2 기간 동안 상기 어느 하나의 센싱 라인에만 센싱 신호를 공급하는 센싱 신호 출력부를 더 구비하는 유기발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 제2 기간 동안 공급되는 상기 센싱 신호의 폭은 상기 제2 기간 동안 공급되는 상기 스캔 신호의 폭 보다 넓은 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광 표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003] 이들 중에서 유기발광 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광 표시장치는 데이터라인들, 스캔라인들, 데이터라인들과 스캔라인들의 교차부에 형성된 다수의 화소들을 구비하는 표시패널, 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터라인들에 데이터전압들을 공급하는 소스 드라이브 IC들을 포함한다. 화소들 각각은 유기발광다이오드(organic light emitting diode), 게이트 전극의 전압에 따라 유기발광다이오드에 공급되는 전류의 양을 조절하는 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 응답하여 데이터라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 공급하는 스캔 트랜지스터를 포함한다.

[0004] 유기발광표시장치의 제조시의 공정 편차 또는 장기간 구동으로 인한 구동 트랜지스터의 문턱전압 쉬프트 등의 원인으로 인하여, 구동 트랜지스터의 문턱전압(threshold voltage)은 화소마다 달라질 수 있다. 따라서, 화소들에 동일한 데이터전압을 인가하는 경우 유기발광다이오드에 공급되는 구동 트랜지스터의 전류(I_{ds})는 동일하여야 하지만, 화소들에 동일한 데이터전압을 인가하더라도 화소들 사이의 구동 트랜지스터의 문턱전압과 전자이동도의 차이로 인하여 유기발광다이오드에 공급되는 구동 트랜지스터의 전류(I_{ds})는 화소마다 달라진다. 그 결과, 화소들에 동일한 데이터전압을 인가하더라도, 유기발광다이오드가 발광하는 휘도는 화소마다 달라지는 문제가 발생한다. 이를 해결하기 위해, 구동 트랜지스터의 문턱전압을 보상하는 보상 방법이 제안되었다.

[0005] 상기 보상 방법은 크게 내부 보상방법과 외부 보상방법으로 구분된다. 내부 보상방법은 화소의 내부에서 구동 트랜지스터의 문턱전압을 센싱하여 보상하는 방법이다. 외부 보상 방법은 화소에 미리 설정된 데이터 전압을 공급하고, 상기 미리 설정된 데이터 전압에 따라 화소의 구동 트랜지스터의 전류(I_{ds})를 센싱 라인을 통해 센싱하고 디지털 데이터로 변환하며, 센싱된 디지털 데이터를 이용하여 상기 화소에 공급될 디지털 비디오 데이터를 보상하는 방법이다.

[0006] 외부 보상 방법은 화소의 구동 트랜지스터의 전류(I_{ds})를 센싱라인을 통해 센싱하고 디지털 데이터인 센싱 데이터로 변환하여 출력하는 센싱 데이터 출력부가 필요하다. 센싱 데이터 출력부는 소스 드라이브 IC에 내장된다. 이로 인해, 외부 보상 방법에서는 소스 드라이브 IC들이 데이터라인들뿐만 아니라 센싱라인들에 접속된다. 이에 따라, 소스 드라이브 IC들의 개수가 증가하기 때문에, 유기발광 표시장치의 제조 비용이 상승하는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예는 소스 드라이브 IC의 개수를 줄임으로써 제조 비용을 절감할 수 있는 유기발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 유기발광 표시장치는 데이터 라인들, 데이터 라인들과 교차되며 서로 나란한 스캔 라인들과 센싱 라인들, 복수의 서브 화소들을 포함하는 화소들을 구비한다. 스캔 라인 방향으로 서로 인접한 두 개의 서브 화소들은 동일한 데이터 라인에 접속되고 서로 다른 스캔 라인들에 접속된다. 데이터 라인 방향으로 서로 인접한 두 개의 화소들의 서브 화소들은 동일한 센싱 라인에 접속된다.

발명의 효과

[0009] 본 발명의 실시예는 2 개의 스캔 라인들과 2 개의 데이터 라인들을 이용하여 제1 내지 제4 서브 화소들에 데이터 전압을 공급할 수 있다. 이에 따라, 본 발명의 실시예는 종래 1 개의 스캔 라인과 4 개의 데이터 라인들을 이용하여 제1 내지 제4 서브 화소들에 데이터 전압을 공급할 때보다 데이터 라인들의 개수를 절반으로 줄일 수 있다. 따라서, 본 발명의 실시예는 소스 드라이브 IC의 개수를 줄임으로써, 제조 비용을 절감할 수 있다.

[0010] 본 발명의 실시예는 서로 인접한 다른 두 개의 화소(P)들의 서브 화소들을 하나의 센싱 라인과 하나의 기준전압 라인에 접속시킨다. 이로 인해, 본 발명의 실시예는 하나의 센싱 라인에 센싱 신호가 공급될 때 서로 인접한 다른 두 개의 화소들의 서브 화소들의 구동 트랜지스터들의 전류들을 하나의 기준전압 라인을 통해 센싱할 수 있다. 따라서, 본 발명의 실시예는 센싱 라인들의 개수를 줄일 수 있으므로, 화소들 각각의 서브 화소들의 개구율을 높일 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다.

도 2는 도 1의 표시패널의 하부기관, 소스 드라이브 IC들, 타이밍 제어부, 데이터 보상부, 연성필름들, 소스 회로보드, 연성 케이블, 및 제어 회로보드를 보여주는 일 예시도면이다.

도 3은 도 2의 소스 드라이브 IC를 상세히 보여주는 블록도이다.

도 4는 도 1의 표시영역의 화소들 일부를 상세히 보여주는 일 예시도면이다.

도 5는 도 1의 표시영역의 화소들 일부를 상세히 보여주는 회로도이다.

도 6은 제N 및 제N+1 프레임 기간들 동안 제1 내지 제8 스캔 라인들에 인가되는 제1 내지 제8 스캔 신호들과 제1 및 제2 센싱신호 라인들에 인가되는 제1 및 제2 센싱신호들을 보여주는 파형도이다.

도 7은 도 1의 표시영역의 화소들을 상세히 보여주는 다른 예시도면이다.

도 8는 도 7의 화소들 일부를 상세히 보여주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0014] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0018] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0020] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0021] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0023] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 2는 도 1의 표시패널의 하부 기관, 소스 드라이브 IC들, 타이밍 제어부, 데이터 보상부, 기준전압 공급부, 연성필름들, 소스 회로보드, 연성케이블, 및 제어 회로보드를 보여주는 일 예시도면이다. 도 3은 도 2의 소스 드라이브 IC를 상세히 보여주는 블록도이다.
- [0024] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 연성필름(22)들, 스캔 구동부(40), 소스 회로보드(50), 타이밍 제어부(60), 데이터 보상부(70), 기준전압 공급

부(80), 연성 케이블(91), 및 제어 회로보드(90)를 포함한다.

- [0025] 표시패널(10)은 표시영역(AA)과 표시영역(AA)의 주변에 마련된 비표시영역(NDA)을 포함한다. 표시영역(AA)은 화소(P)들이 형성되어 화상을 표시하는 영역이다. 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 기준전압 라인들(R1~Rp, p는 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 및 센싱라인들(SE1~SEq, q는 2 이상의 양의 정수)이 마련된다. 데이터라인들(D1~Dm)과 기준전압 라인들(R1~Rp)은 스캔라인들(S1~Sn) 및 센싱라인들(SE1~SEq)과 교차될 수 있다. 데이터라인들(D1~Dm)과 기준전압 라인들(R1~Rp)은 서로 나란할 수 있다. 스캔라인들(S1~Sn)과 센싱라인들(SE1~SEq)은 서로 나란할 수 있다.
- [0026] 화소(P)들 각각은 데이터라인들(D1~Dm) 중 두 개의 데이터라인들, 기준전압 라인들(R1~Rp) 중 하나의 기준전압 라인, 스캔라인들(S1~Sn) 중 두 개의 스캔라인들, 및 센싱라인들(SE1~SEp) 중 하나의 센싱라인에 접속될 수 있다. 표시패널(10)의 화소(P)들 각각은 도 4 및 도 7과 같이 복수의 서브 화소들을 포함할 수 있다. 복수의 서브 화소들 각각은 도 5 및 도 8과 같이 유기발광다이오드(organic light emitting diode, OLED)와 유기발광다이오드(OLED)에 전류를 공급하기 위한 다수의 트랜지스터들을 포함할 수 있다. 표시영역의 화소(P)들과 화소(P)들의 서브 화소들에 대한 자세한 설명은 도 4, 도 5, 도 7 및 도 8을 결부하여 후술한다.
- [0027] 데이터 구동부(20)는 도 2와 같이 다수의 소스 드라이브 IC(21)들을 포함할 수 있다. 소스 드라이브 IC(21)들 각각은 연성필름(22)들 각각에 실장될 수 있다. 연성필름(22)들 각각은 테이프 캐리어 패키지(tape carrier package) 또는 칩 온 필름(chip on film)일 수 있다. 연성필름(22)들 각각은 휘어지거나 구부러질 수 있다. 연성필름(22)들 각각은 하부기판(11)과 소스 회로보드(80)에 부착될 수 있다. 연성필름(22)들 각각은 이방성 도전 필름(anisotropic conductive flim)을 이용하여 TAB(tape automated bonding) 방식으로 하부기판(11)상에 부착될 수 있으며, 이로 인해 소스 드라이브 IC(21)들은 데이터라인들(D1~Dm)에 연결될 수 있다. 소스 회로보드(80)는 연성 케이블(91)에 의해 제어 회로보드(90)에 연결될 수 있다. 소스 회로보드(80)는 인쇄회로보드(printed circuit board)일 수 있다.
- [0028] 소스 드라이브 IC(21)들 각각은 도 3과 같이 데이터전압 공급부(110), 제1 스위칭부(120), 제2 스위칭부(130), 및 센싱 데이터 출력부(140)를 포함할 수 있다. 도 3에서는 설명의 편의를 위해, 데이터전압 공급부(110)가 w ($1 \leq w \leq m$ 을 만족하는 양의 정수) 개의 데이터라인들(D1~Dw)에 접속되고, 제1 스위칭부(120)와 초기화전압 공급부(130)가 z ($1 \leq z \leq p$ 을 만족하는 양의 정수) 개의 기준전압 라인들(R1~Rz)에 접속되는 것을 중심으로 설명하였다.
- [0029] 데이터전압 공급부(110)는 데이터라인들(D1~Dw)에 접속되어 데이터전압들을 공급한다. 데이터전압 공급부(110)는 타이밍 제어부(60)로부터 보상 데이터(CDATA) 또는 센싱용 데이터(SDATA)와 데이터 타이밍 제어신호(DCS)를 입력 받는다.
- [0030] 데이터전압 공급부(110)는 표시 모드에서 데이터 타이밍 제어신호(DCS)에 따라 보상 데이터(CDATA)를 발광 데이터전압들로 변환하여 데이터라인들(D1~Dw)에 공급한다. 발광 데이터전압은 화소(P)의 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위한 전압이다. 데이터 구동부(20)에 공급되는 보상 데이터(CDATA)가 8 비트인 경우, 발광 데이터전압은 256 개의 전압들 중 어느 하나로 공급될 수 있다.
- [0031] 데이터전압 공급부(110)는 센싱 모드에서 데이터 타이밍 제어신호(DCS)에 따라 센싱용 데이터(SDATA)를 센싱 데이터전압으로 변환하여 데이터라인들(D1~Dw)에 공급한다. 센싱 데이터전압은 화소(P)의 구동 트랜지스터(DT)의 전류를 센싱하기 위한 전압이다.
- [0032] 제1 스위칭부(120)는 기준전압 라인들(R1~Rz)과 기준전압 공급부(80) 사이에 접속되어 기준전압 라인들(R1~Rz)과 기준전압 공급부(80) 사이의 접속을 스위칭한다. 제1 스위칭부(120)는 도 3과 같이 타이밍 제어부(60)로부터 입력되는 제1 스위치 제어신호에 의해 턴-온 및 턴-오프되는 제1 스위치(SW1)들을 포함할 수 있다. 제1 스위칭부(120)의 제1 스위치(SW1)들이 제1 스위치 제어신호에 의해 턴-온되는 경우 기준전압 라인들(R1~Rz)은 기준전압 공급부(80)에 접속되므로, 기준전압 공급부(80)의 기준전압이 기준전압 라인들(R1~Rz)에 공급될 수 있다.
- [0033] 제2 스위칭부(130)는 기준전압 라인들(R1~Rz)과 센싱 데이터 출력부(140) 사이에 접속되어 기준전압 라인들(R1~Rz)과 센싱 데이터 출력부(140) 사이의 접속을 스위칭한다. 제2 스위칭부(130)는 도 3과 같이 타이밍 제어부(60)로부터 입력되는 제2 스위치 제어신호에 의해 턴-온 및 턴-오프되는 제2 스위치(SW2)들을 포함할 수 있다. 제2 스위칭부(130)의 제2 스위치(SW2)들이 제2 스위치 제어신호에 의해 턴-온되는 경우 기준전압 라인들(R1~Rz)은 센싱 데이터 출력부(140)에 접속되므로, 기준전압 라인들(R1~Rz) 각각에 흐르는 전류가 센싱 데이터 출력부(140)에 의해 센싱될 수 있다.

- [0034] 센싱 데이터 출력부(140)는 기준전압 라인들(R1~Rz) 각각에 흐르는 전류를 전압으로 변환하고, 변환된 전압을 디지털 데이터인 센싱 데이터(SD)로 변환한다. 이를 위해, 센싱 데이터 출력부(140)는 기준전압 라인들(R1~Rz) 각각에 흐르는 전류를 전압으로 변환하는 전류-전압 변환부와 전류-전압 변환부의 출력전압을 디지털 데이터인 센싱 데이터(SD)로 변환하는 아날로그 디지털 변환부(analog digital converter)를 포함할 수 있다. 센싱 데이터 출력부(140)는 센싱 데이터(SD)를 데이터 보상부(70)로 출력한다.
- [0035] 스캔 구동부(40)는 스캔신호 출력부(41)와 센싱신호 출력부(42)를 포함한다. 스캔신호 출력부(41)는 스캔라인들(S1~Sn)에 접속되어 스캔신호들을 공급한다. 스캔신호 출력부(41)는 타이밍 제어부(60)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들(S1~Sn)에 스캔신호들을 공급한다. 스캔신호 출력부(41)의 스캔신호 공급에 대한 자세한 설명은 도 7을 결부하여 후술한다.
- [0036] 센싱신호 출력부(42)는 센싱라인들(SE1~SEq)에 접속되어 센싱신호들을 공급한다. 센싱신호 출력부(42)는 타이밍 제어부(60)로부터 입력되는 센싱 타이밍 제어신호(SENCS)에 따라 센싱라인들(SE1~SEq)에 센싱신호들을 공급한다. 센싱신호 출력부(42)의 센싱신호 공급에 대한 자세한 설명은 도 7을 결부하여 후술한다.
- [0037] 스캔신호 출력부(41)와 센싱신호 출력부(42) 각각은 다수의 트랜지스터들을 포함하여 GIP(Gate driver In Panel) 방식으로 표시패널(10)의 비표시영역(NDA)에 직접 형성될 수 있다. 또는, 스캔신호 출력부(41)와 센싱신호 출력부(42) 각각은 구동 칩(chip) 형태로 형성되어 표시패널(10)에 접속되는 연성필름(미도시)상에 실장될 수 있다.
- [0038] 타이밍 제어부(60)는 데이터 보상부(70)로부터 보상 데이터(CDATA) 또는 센싱용 데이터(SDATA)와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 및 도트 클럭(dot clock)을 포함할 수 있다.
- [0039] 타이밍 제어부(60)는 데이터 구동부(20), 스캔신호 출력부(41), 및 센싱신호 출력부(42)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 생성한다. 타이밍 제어신호들은 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS), 스캔신호 출력부(41)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 및 센싱신호 출력부(42)의 동작 타이밍을 제어하기 위한 센싱 타이밍 제어신호(SENCS)를 포함한다.
- [0040] 타이밍 제어부(60)는 보상 데이터(CDATA) 또는 센싱용 데이터(SDATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다. 타이밍 제어부(60)는 스캔 타이밍 제어신호(SCS)를 스캔신호 출력부(41)로 출력한다. 타이밍 제어부(60)는 센싱 타이밍 제어신호(SENCS)를 센싱신호 출력부(42)로 출력한다. 타이밍 제어부(60)는 데이터 구동부(20)의 제1 및 제2 스위칭부들(120, 130)의 제1 및 제2 스위치들(SW1, SW2)을 제어하기 위한 제1 및 제2 스위칭 제어신호들을 출력할 수 있다.
- [0041] 또한, 타이밍 제어부(60)는 1 프레임 기간을 도 7과 같이 액티브 기간과 블랭크 기간으로 분할하고, 액티브 기간 동안 표시패널(10)의 화소(P)들이 화상을 표시하고, 블랭크 기간 동안 화소(P)들의 구동 트랜지스터(DT)의 전류를 센싱하도록 제어한다. 1 프레임 기간의 액티브 기간과 블랭크 기간 동안 화소(P)들의 동작에 대한 자세한 설명은 도 7을 결부하여 후술한다.
- [0042] 데이터 보상부(70)는 데이터 구동부(20)로부터 센싱 데이터(SD)를 입력받는다. 데이터 보상부(70)는 센싱 데이터(SD)를 연산 처리하여 디지털 비디오 데이터(DATA)를 보상할 보정 데이터를 생성한다. 데이터 보상부(70)는 보상 데이터를 저장하는 록-업 테이블 형태의 메모리를 포함할 수 있다. 데이터 보상부(70)는 외부로부터 디지털 비디오 데이터(DATA)에 보상 데이터를 적용하여 보상 데이터(CDATA)를 생성한다. 데이터 보상부(70)는 보상 데이터(CDATA)를 타이밍 콘트롤러(60)로 출력한다. 데이터 보상부(70)는 타이밍 제어부(60)에 내장될 수 있다.
- [0043] 구체적으로, 센싱 데이터(SD)는 센싱용 데이터 전압을 화소(P)들 각각의 구동 트랜지스터(DT)의 게이트 전극에 공급하였을 때 구동 트랜지스터(DT)를 통해 흐르는 전류를 센싱한 데이터이다. 예를 들어, 센싱 데이터(SD)는 구동 트랜지스터(DT)의 문턱전압이 반영된 구동 트랜지스터(DT)의 소스 전압의 디지털 데이터일 수 있다. 이 경우, 디지털 비디오 데이터(DATA)에 보정 데이터를 적용함으로써 생성된 보상 데이터(CDATA)는 구동 트랜지스터(DT)의 문턱전압이 보상된 데이터이다. 따라서, 본 발명의 실시예는 센싱 데이터(SD)를 연산 처리하여 보정 데이터를 생성하고, 디지털 비디오 데이터(DATA)에 보정 데이터를 적용하여 보상 데이터(CDATA)를 생성함으로써, 구동 트랜지스터(DT)의 문턱전압을 외부 보상할 수 있다.
- [0044] 기준전압 공급부(80)는 기준전압을 생성하여 데이터 구동부(20)의 소스 드라이브 IC(21)들에 공급한다.
- [0045] 타이밍 제어부(60), 데이터 보상부(70), 및 기준전압 공급부(80)는 제어 회로보드에 실장될 수 있다. 제어 회로

보드(90)는 연성 케이블(91)에 의해 소스 회로보드(80)에 연결될 수 있다. 제어 회로보드(90)는 인쇄회로보드(printed circuit board)일 수 있다.

[0046] 도 4는 도 1의 표시영역의 화소들을 상세히 보여주는 일 예시도면이다. 도 4에서는 표시영역(AA)의 화소(P)들 각각이 스캔 라인(X축 방향)으로 배열된 제1 내지 제4 서브 화소들(RP, WP, BP, GP)을 포함하는 것을 예시하였다. 제1 서브 화소(RP)들은 적색 광을 발광하는 서브 화소들이고, 제2 서브 화소(WP)들은 백색 광을 발광하는 서브 화소들이며, 제3 서브 화소(BP)들은 청색 광을 발광하는 서브 화소들이고, 제4 서브 화소(GP)들은 녹색 광을 발광하는 서브 화소들일 수 있다.

[0047] 도 4를 참조하면, 화소(P)들 각각은 스캔 라인들(S1~S6), 센싱 라인들(SE1, SE2), 및 데이터 라인들(D1~D3)의 교차에 의해 형성되는 영역들에 배치될 수 있다.

[0048] 스캔 라인 방향(X축 방향)으로 이웃하는 화소(P)들 사이에는 두 개의 데이터 라인들(D2, D3)이 배치될 수 있다. 이로 인해, 화소(P)들 각각은 두 개의 데이터 라인들에 접속될 수 있다. 구체적으로, 서로 인접한 두 개의 서브 화소들은 어느 하나의 데이터 라인에 접속되고, 서로 인접한 다른 두 개의 서브 화소들은 다른 하나의 데이터 라인에 접속된다. 예를 들어, 제1 및 제2 서브 화소들(RP, WP)은 제1 데이터 라인(D1)에 접속되고, 제3 및 제4 서브 화소들(BP, GP)은 제2 데이터 라인(D2)에 접속될 수 있다.

[0049] 또한, 데이터 라인 방향(Y축 방향)으로 배열된 3 개의 화소(P)들 중에서 서로 인접한 두 개의 화소(P)들 사이에는 복수 개의 스캔 라인들(S3~S6)이 배치될 수 있다. 이로 인해, 화소(P)들 각각은 두 개의 스캔 라인들에 접속될 수 있다. 구체적으로, 화소(P)들 각각의 두 개의 서브 화소들은 어느 하나의 스캔 라인에 접속되고, 다른 두 개의 서브 화소들은 다른 하나의 스캔 라인에 접속된다. 이때, 서로 인접한 두 개의 서브 화소들은 서로 다른 스캔 라인들에 접속되고, 서로 인접한 다른 두 개의 서브 화소들 역시 서로 다른 스캔 라인들에 접속될 수 있다. 예를 들어, 제1 및 제2 서브 화소들(RP, WP)은 제1 데이터 라인(D1)에 접속되고, 제3 및 제4 서브 화소들(BP, GP)은 제2 데이터 라인(D2)에 접속될 수 있다.

[0050] 즉, 화소(P)들 각각은 두 개의 데이터 라인들과 두 개의 스캔 라인들에 접속됨으로써, 제1 스캔 라인(S1)에 스캔 신호가 공급될 때 제1 서브 화소(RP)에 제1 데이터 라인(D1)의 데이터 전압을 공급하고 제4 서브 화소(GP)에 제2 데이터 라인(D2)의 데이터 전압을 공급할 수 있다. 또한, 제2 스캔 라인(S2)에 스캔 신호가 공급될 때 제2 서브 화소(WP)에 제1 데이터 라인(D1)의 데이터 전압을 공급하고 제3 서브 화소(BP)에 제2 데이터 라인(D2)의 데이터 전압을 공급할 수 있다.

[0051] 결국, 본 발명의 실시예는 2 개의 스캔 라인들과 2 개의 데이터 라인들을 이용하여 제1 내지 제4 서브 화소들(RP, WP, BP, GP)에 데이터 전압을 공급할 수 있다. 이에 따라, 본 발명의 실시예는 종래 1 개의 스캔 라인과 4 개의 데이터 라인들을 이용하여 제1 내지 제4 서브 화소들(RP, WP, BP, GP)에 데이터 전압을 공급할 때보다 데이터 라인들의 개수를 절반으로 줄일 수 있다. 따라서, 본 발명의 실시예는 소스 드라이브 IC의 개수를 줄일 수 있으므로, 제조 비용을 절감할 수 있다.

[0052] 또한, 데이터 라인 방향(Y축 방향)으로 배열된 3 개의 화소(P)들 중에서 서로 인접한 다른 두 개의 화소(P)들 사이에는 하나의 센싱 라인(SE1)이 배치된다. 이로 인해, 서로 인접한 다른 두 개의 화소(P)들은 하나의 센싱 라인(SE1)에 접속될 수 있다.

[0053] 또한, 제2 서브 화소(WP)와 제3 서브 화소(BP) 사이에는 기준전압 라인(R1)이 배치될 수 있다. 이로 인해, 화소(P)들 각각의 제1 내지 제4 서브 화소들(RP, WP, BP, GP)은 하나의 기준전압 라인(R1)에 접속될 수 있다.

[0054] 즉, 서로 인접한 다른 두 개의 화소(P)들의 서브 화소들(RP, WP, BP, GP)은 하나의 센싱 라인(SE1)에 접속되고 하나의 기준전압 라인(R1)에 접속된다. 이로 인해, 본 발명의 실시예는 하나의 센싱 라인(SE1)에 센싱 신호가 공급될 때 서로 인접한 다른 두 개의 화소(P)들의 서브 화소들(RP, WP, BP, GP)의 구동 트랜지스터들의 전류들을 하나의 기준전압 라인(R1)을 통해 센싱할 수 있다. 따라서, 본 발명의 실시예는 센싱 라인들(SE1, SE2)의 개수를 줄일 수 있으므로, 화소(P)들 각각의 서브 화소들(RP, WP, BP, GP)의 개구율을 높일 수 있다.

[0055] 이하에서는, 도 5를 결부하여 표시영역(AA)의 화소들 일부의 구조에 대하여 상세히 설명한다.

[0056] 도 5는 도 1의 표시영역의 화소들 일부를 상세히 보여주는 회로도이다. 도 5를 참조하면, 화소(P)에 포함된 제1 내지 제4 서브 화소들(RP, WP, BP, GP) 각각은 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1), 및 제2 트랜지스터(T2), 및 커패시터(C)를 포함할 수 있다.

[0057] 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)는 구동 트랜지스터(DT)를 통해 공급되는 전류에 따라 발광한다.

유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)의 애노드 전극은 구동 트랜지스터(DT)의 제1 전극에 접속되고, 캐소드 전극은 제1 전원전압보다 낮은 제2 전원전압이 공급되는 제2 전원라인에 접속될 수 있다.

[0058] 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0059] 제1 서브 화소(RP)는 적색 광을 발광하는 적색 유기발광 다이오드(ROLED)를 포함하고, 제2 서브 화소(WP)는 백색 광을 발광하는 백색 유기발광 다이오드(WOLED)를 포함할 수 있다. 또한, 제3 서브 화소(BP)는 청색 광을 발광하는 청색 유기발광 다이오드(BOLED)를 포함하고, 제4 서브 화소(GP)는 녹색 광을 발광하는 녹색 유기발광 다이오드(GOLED)를 포함할 수 있다. 또는, 제1 내지 제4 서브 화소들(RP, WP, BP, GP) 각각은 백색 유기발광 다이오드를 포함할 수 있다. 이 경우, 제1 서브 화소(RP)는 적색 컬러필터를 포함하고, 제3 서브 화소(BP)는 청색 컬러필터를 포함하며, 제4 서브 화소(GP)는 녹색 컬러필터를 포함할 수 있다.

[0060] 구동 트랜지스터(DT)는 제1 전원라인(EVL)과 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED) 사이에 배치된다. 구동 트랜지스터(DT)는 게이트 전극과 제1 전극의 전압 차에 따라 제1 전원라인(EVL)으로부터 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)로 흐르는 전류를 조정한다. 구동 트랜지스터(DT)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 제1 전극은 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)의 애노드 전극에 접속되며, 제2 전극은 제1 전원전압이 공급되는 제1 전원라인(EVL)에 접속될 수 있다.

[0061] 제1 트랜지스터(ST1)는 제k(k는 $1 \leq k \leq n$ 을 만족하는 양의 정수) 스캔라인(Sk)의 제k 스캔신호에 의해 턴-온되어 제j(j는 $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터라인(Dj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 제1 트랜지스터(ST1)의 게이트 전극은 제k 스캔라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속될 수 있다. 제1 트랜지스터(ST1)는 스캔 트랜지스터로 통칭될 수 있다.

[0062] 제2 트랜지스터(ST2)는 제v(v는 $1 \leq v \leq q$ 을 만족하는 양의 정수) 센싱라인(SEv)의 제v 센싱신호에 의해 턴-온되어 제u(u는 $1 \leq u \leq p$ 을 만족하는 양의 정수) 기준전압 라인(Ru)을 구동 트랜지스터(DT)의 제1 전극에 접속시킨다. 제2 트랜지스터(ST2)의 게이트 전극은 제v 센싱라인(SEv)에 접속되고, 제1 전극은 제u 기준전압 라인(Ru)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 제1 전극에 접속될 수 있다. 제2 트랜지스터(ST2)는 센싱 트랜지스터로 통칭될 수 있다.

[0063] 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 제1 전극 사이에 형성된다. 커패시터(C)는 구동 트랜지스터(DT)의 게이트전압과 소스전압 간의 차전압을 저장한다.

[0064] 도 5에서는 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있다. 또한, 제1 전극은 소스 전극일 수 있고 제2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않는 것에 주의하여야 한다. 즉, 제1 전극은 드레인 전극일 수 있고 제2 전극은 소스 전극일 수 있다.

[0065] 서브 화소들 각각의 표시 모드와 센싱 모드에서의 동작을 살펴보면 다음과 같다.

[0066] 표시 모드에서 제k 스캔라인(Sk)에 스캔신호가 공급될 때 제j 데이터라인(Dj)의 발광 데이터전압이 구동 트랜지스터(DT)의 게이트 전극에 공급되고, 제v 센싱라인(SEv)에 센싱신호가 공급될 때 제u 기준전압 라인(Ru)의 기준전압이 구동 트랜지스터(DT)의 소스 전극에 공급된다. 이로 인해, 표시 모드에서 구동 트랜지스터(DT)의 게이트 전극의 전압과 소스 전극의 전압 간의 전압 차에 따라 흐르는 구동 트랜지스터(DT)의 전류가 유기발광다이오드(OLED)에 공급되며, 유기발광다이오드(OLED)는 발광하게 된다. 이때, 발광 데이터전압은 구동 트랜지스터(DT)의 문턱전압을 보상한 전압이므로, 구동 트랜지스터(DT)의 전류는 구동 트랜지스터(DT)의 문턱전압에 의존하지 않는다.

[0067] 또한, 센싱 모드에서 제k 스캔라인(Sk)에 스캔신호가 공급될 때 제j 데이터라인의 센싱 데이터전압이 구동 트랜지스터(DT)의 게이트 전극에 공급되고, 제v 센싱라인(SEv)에 센싱신호가 공급될 때 제u 기준전압 라인(Ru)의 기준전압이 구동 트랜지스터(DT)의 소스 전극에 공급된다. 또한, 센싱 모드에서 제v 센싱라인(SEv)에 센싱신호에 의해 제2 트랜지스터(ST2)를 턴-온시켜 구동 트랜지스터(DT)의 게이트 전극의 전압과 소스 전극의 전압 간의 전

압 차에 따라 흐르는 구동 트랜지스터(DT)의 전류가 제 u 기준전압 라인(Ru)으로 흐르도록 한다. 그 결과, 센싱 데이터 출력부(30)는 제2 스위칭부(130)의 스위칭에 따라 제 u 기준전압 라인(Ru)에 흐르는 전류를 센싱하여 센싱 데이터(SD)를 출력할 수 있으며, 데이터 보상부(70)는 센싱 데이터(SD)를 이용하여 구동 트랜지스터(DT)의 문턱전압을 외부 보상할 수 있다.

[0068] 화소(P)에 포함된 제1 내지 제4 서브 화소들(RP, WP, BP, GP) 중 두 개의 서브 화소들의 제1 트랜지스터(ST1)들의 게이트 전극들은 제 k 스캔 라인에 접속되고, 다른 두 개의 서브 화소들의 제1 트랜지스터(ST1)들의 게이트 전극들은 제 $k+1$ 스캔 라인($Sk+1$)에 접속될 수 있다. 예를 들어, 제1 및 제4 서브 화소들(RP, GP)의 제1 트랜지스터(ST1)들의 게이트 전극들이 제 k 스캔 라인(Sk)에 접속되는 경우, 제2 및 제3 서브 화소들(WP, BP)의 제1 트랜지스터(ST1)들의 게이트 전극들이 제 $k+1$ 스캔 라인($Sk+1$)에 접속될 수 있다. 또는, 제1 및 제4 서브 화소들(RP, GP)의 제1 트랜지스터(ST1)들의 게이트 전극들이 제 $k+1$ 스캔 라인($Sk+1$)에 접속되는 경우, 제2 및 제3 서브 화소들(WP, BP)의 제1 트랜지스터(ST1)들의 게이트 전극들이 제 k 스캔 라인(Sk)에 접속될 수 있다.

[0069] 화소(P)에 포함된 제1 내지 제4 서브 화소들(RP, WP, BP, GP) 중 두 개의 서브 화소들의 제1 트랜지스터(ST1)들의 드레인 전극들은 제 j 데이터 라인(Dj)에 접속되고, 다른 두 개의 서브 화소들의 제1 트랜지스터(ST1)들의 드레인 전극들은 제 $j+1$ 데이터 라인($Dj+1$)에 접속될 수 있다. 예를 들어, 제1 및 제2 서브 화소들(RP, WP)의 제1 트랜지스터(ST1)들의 드레인 전극들이 제 j 데이터 라인(Dj)에 접속되는 경우, 제3 및 제4 서브 화소들(BP, GP)의 제1 트랜지스터(ST1)들의 드레인 전극들은 제 $j+1$ 데이터 라인($Dj+1$)에 접속될 수 있다.

[0070] 즉, 본 발명의 실시예는 2 개의 스캔 라인들과 2 개의 데이터 라인들을 이용하여 제1 내지 제4 서브 화소들(RP, WP, BP, GP)에 데이터 전압들을 공급할 수 있다. 이에 따라, 본 발명의 실시예는 종래 1 개의 스캔 라인과 4 개의 데이터 라인들을 이용하여 제1 내지 제4 서브 화소들(RP, WP, BP, GP)에 데이터 전압을 공급할 때보다 데이터 라인들의 개수를 절반으로 줄일 수 있다. 따라서, 본 발명의 실시예는 소스 드라이브 IC의 개수를 줄일 수 있으므로, 제조 비용을 절감할 수 있다.

[0071] 또한, 화소(P)에 포함된 서브 화소들(RP, WP, BP, GP)의 제2 트랜지스터(ST2)들의 게이트 전극들은 동일한 센싱 라인에 접속되고, 드레인 전극들은 동일한 기준전압 라인에 접속될 수 있다. 특히, 서로 인접한 두 개의 화소(P)들의 서브 화소들(RP, WP, BP, GP)의 제2 트랜지스터(ST2)들의 게이트 전극들은 동일한 센싱 라인에 접속되고, 드레인 전극들은 동일한 기준전압 라인에 접속될 수 있다. 이로 인해, 본 발명의 실시예는 동일한 센싱 라인에 센싱 신호가 공급될 때 서로 인접한 두 개의 화소(P)들의 서브 화소들(RP, WP, BP, GP)의 구동 트랜지스터들의 전류들을 동일한 기준전압 라인을 통해 센싱할 수 있다. 따라서, 본 발명의 실시예는 센싱 라인들의 개수를 줄일 수 있으므로, 화소(P)들 각각의 서브 화소들(RP, WP, BP, GP)의 개구율을 높일 수 있다.

[0072] 도 6은 제 N 및 제 $N+1$ 프레임 기간들 동안 제1 내지 제8 스캔 라인들에 인가되는 제1 내지 제8 스캔 신호들과 제1 및 제2 센싱신호 라인들에 인가되는 제1 및 제2 센싱신호들을 보여주는 파형도이다.

[0073] 도 6에서는 설명의 편의를 위해 제 N (N 은 양의 정수) 및 제 $N+1$ 프레임 기간들(frame periods)만을 예시하였다. 60Hz의 주파수로 구동되는 경우, 1 초(1 second)에 60 개의 프레임 기간들이 포함될 수 있다. 이 경우, 프레임 기간들 각각은 대략 16.68ms일 수 있다. 또한, 도 6에서는 설명의 편의를 위해 제1 내지 제8 스캔 신호들(Scan1~Scan8)과 제1 및 제2 센싱 신호들(Sense1, Sense2)만을 예시하였다.

[0074] 도 6을 참조하면, 프레임 기간들 각각은 액티브 기간(active period, AP)과 블랭크 기간(blank period, BP)를 포함한다. 액티브 기간(AP)은 표시패널(10)의 화소(P)들의 서브 화소들(RP, WP, BP, GP)에 데이터 전압들이 공급되는 데이터 어드레싱(data addressing) 기간이다. 블랭크 기간(BP)은 휴지 기간일 수 있으나, 본 발명의 실시예에서는 하나의 센싱 라인에 접속된 서브 화소들(RP, WP, BP, GP)의 구동 트랜지스터(DT)들의 전류들을 센싱하는 센싱 기간으로 동작된다.

[0075] 액티브 기간(AP) 동안 게이트 하이 전압(VGH)의 스캔 신호들(Scan1~Scan8)은 스캔 라인들에 순차적으로 인가된다. 이때, 발광 데이터 전압들은 스캔 신호들(Scan1~Scan8)에 동기화하여 데이터 라인들에 공급된다. 따라서, 액티브 기간(AP) 동안 스캔 신호가 공급되는 스캔 라인에 접속된 서브 화소들은 데이터 라인들을 통해 발광 데이터 전압들을 인가받을 수 있다.

[0076] 액티브 기간(AP) 동안 게이트 하이 전압(VGH)의 센싱 신호들(Sense1, Sense2)은 센싱 라인들에 순차적으로 인가된다. 이때, 기준전압 라인들에는 기준전압이 공급된다. 따라서, 액티브 기간(AP) 동안 센싱 신호가 공급되는 센싱 라인에 접속된 서브 화소들은 기준전압 라인을 통해 기준전압을 인가받을 수 있다.

[0077] 게이트 하이 전압(VGH)은 서브 화소들(RP, WP, BP, GP)의 제1 및 제2 트랜지스터들(T1, T2)을 턴-온시킬 수 있

는 전압에 해당한다. 게이트 로우 전압(VGL)은 서브 화소들(RP, WP, BP, GP)의 제1 및 제2 트랜지스터들(T1, T2)을 턴-오프시킬 수 있는 전압에 해당한다. 게이트 로우 전압(VGL)은 게이트 하이 전압(VGH)보다 낮은 레벨의 전압일 수 있다.

[0078] 한편, 하나의 센싱 라인에 접속되는 두 개의 화소(P)들의 서브 화소들(RP, WP, BP, GP)이 4 개의 스캔 라인들에 접속된다. 이로 인해, 센싱 신호들(Sense1, Sense2) 각각은 4 개의 스캔 신호들마다 인가될 수 있다. 즉, 센싱 신호들(Sense1, Sense2) 각각의 폭은 스캔 신호들 각각의 폭보다 넓으며, 도 4 및 도 5와 같이 하나의 센싱 라인에 접속되는 두 개의 화소(P)들의 서브 화소들(RP, WP, BP, GP)이 4 개의 스캔 라인들에 접속되는 경우 센싱 신호들(Sense1, Sense2) 각각의 폭은 스캔 신호들 각각의 폭보다 대략 4 배 넓을 수 있다.

[0079] 액티브 기간(AP) 동안 서브 화소들(RP, WP, BP, GP) 각각의 동작은 다음과 같다.

[0080] 첫 번째로, 액티브 기간(AP) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 게이트 하이 전압(VGH)의 제k 스캔신호(Scan_k)가 공급되는 경우 턴-온된다. 이로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(D_j)의 발광 데이터전압이 공급된다.

[0081] 두 번째로, 액티브 기간(AP) 동안 제2 트랜지스터(ST2)는 제v 센싱라인(SE_v)으로 공급되는 게이트 하이 전압(VGH)의 제v 센싱신호(Sense_v)에 의해 턴-온된다. 이로 인해, 구동 트랜지스터(DT)의 소스 전극에는 제u 기준전압 라인(R_u)의 기준전압이 공급된다.

[0082] 액티브 기간(AP) 동안 구동 트랜지스터(DT)의 게이트 전압과 소스 전압 간의 차이는 커패시터(C)에 저장된다. 제1 및 제2 트랜지스터(ST1, ST2)가 모두 턴-오프되는 경우, 구동 트랜지스터(DT)의 게이트 전압과 소스 전압 간의 차이에 따른 전류(I_{ds})는 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)로 흐른다. 발광 데이터 전압은 구동 트랜지스터(DT)의 문턱전압이 보상된 전압이므로, 구동 트랜지스터(DT)를 통해 유기발광 다이오드(ROLED/WOLED/BOLED/GOLED)로 흐르는 전류는 구동 트랜지스터(DT)의 문턱전압에 의존하지 않는다.

[0083] 블랭크 기간(BP)은 제1 내지 제2 기간들(T1, T2)로 구분된다. 제1 기간(T1)은 하나의 스캔 라인을 제외한 나머지 스캔 라인들에 스캔 신호들이 동시에 공급되는 기간이고, 제2 기간(T2)은 상기 하나의 스캔 라인과 상기 하나의 스캔 라인에 접속된 서브 화소들에 접속된 센싱 라인에 센싱 신호를 공급하는 기간이다.

[0084] 제1 기간(T1) 동안 제k 스캔 라인을 제외한 나머지 스캔 라인들에 게이트 하이 전압(VGH)의 스캔 신호들이 동시에 공급된다. 예를 들어, 도 6과 같이 제N 프레임 기간의 블랭크 기간(BP)의 제1 기간(T1) 동안 제1 스캔 라인을 제외한 나머지 스캔 라인들에 게이트 하이 전압(VGH)의 스캔 신호들(Scan2~Scan8)이 동시에 공급될 수 있다. 또한, 도 6과 같이 제N+1 프레임 기간의 블랭크 기간(BP)의 제1 기간(T1) 동안 제2 스캔 라인을 제외한 나머지 스캔 라인들에 게이트 하이 전압(VGH)의 스캔 신호들(Scan1, Scan3~Scan8)이 동시에 공급될 수 있다. 이때, 블랙 데이터 전압들이 제1 기간(T1) 동안 데이터 라인들에 공급된다. 따라서, 제1 기간(T1) 동안 상기 나머지 스캔 라인들에 접속된 서브 화소들은 데이터 라인들을 통해 블랙 데이터 전압들을 인가받을 수 있다. 제1 기간(T1) 동안 게이트 로우 전압(VGL)의 센싱 신호들(Sense1, Sense2)이 센싱 라인들에 인가된다.

[0085] 제2 기간(T2) 동안 상기 제k 스캔 라인에만 게이트 하이 전압(VGH)의 스캔 신호가 공급된다. 예를 들어, 도 6과 같이 제N 프레임 기간의 블랭크 기간(BP)의 제2 기간(T2) 동안 제1 스캔 라인에만 게이트 하이 전압(VGH)의 제1 스캔 신호(Scan1)가 공급될 수 있다. 또한, 도 6과 같이 제N+1 프레임 기간의 블랭크 기간(BP)의 제2 기간(T2) 동안 제2 스캔 라인에만 게이트 하이 전압(VGH)의 스캔 신호(Scan2)가 공급될 수 있다. 이때, 센싱 데이터 전압들이 제2 기간(T2) 동안 데이터 라인들에 공급된다. 따라서, 제2 기간(T2) 동안 상기 제k 스캔 라인에 접속된 서브 화소들은 데이터 라인들을 통해 센싱 데이터 전압들을 인가받을 수 있다.

[0086] 제2 기간(T2) 동안 제k 스캔 라인에 접속된 서브 화소들에 접속된 제v 센싱 라인에만 게이트 하이 전압(VGH)의 센싱 신호가 인가된다. 예를 들어, 제1 스캔 라인에 접속된 서브 화소들은 도 4 및 도 5와 같이 제1 센싱 라인에 접속되므로, 제N 프레임 기간의 블랭크 기간(BP)의 제2 기간(T2) 동안 제1 센싱 라인(SE1)에만 게이트 하이 전압(VGH)의 제1 센싱 신호(Sense1)가 인가될 수 있다. 또한, 제2 스캔 라인에 접속된 서브 화소들은 도 4 및 도 5와 같이 제1 센싱 라인에 접속되므로, 제N+1 프레임 기간의 블랭크 기간(BP)의 제2 기간(T2) 동안 제1 센싱 라인(SE1)에만 게이트 하이 전압(VGH)의 제1 센싱 신호(Sense1)가 인가될 수 있다.

[0087] 한편, 제2 기간(T2) 동안 인가되는 센싱 신호의 폭은 제2 기간(T2) 동안 인가되는 스캔 신호의 폭보다 넓을 수 있다. 이로 인해, 제2 기간(T2)은 제2-1 기간(T2-1)과 제2-2 기간(T2-2)로 구분될 수 있다. 제2-1 기간(T2-1)은 제2 기간(T2)에서 스캔 신호와 센싱 신호가 게이트 하이 전압(VGH)으로 인가되는 기간을 나타내고, 제2-2 기간(T2-2)은 제2 기간(T2) 동안 스캔 신호가 게이트 로우 전압(VGL)으로 인가되고 센싱 신호가 게이트 하이 전

압(VGH)으로 인가되는 기간을 나타낸다.

- [0088] 블랭크 기간(BP)의 제1 기간(T1) 동안 기준전압 라인들에는 기준전압이 공급된다. 또한, 블랭크 기간(BP)의 제2 기간(T2)에서 제k 스캔 신호가 공급되는 제2-1 기간(T2-1) 동안 기준전압 라인들에 기준전압이 공급되며, 제2-1 기간(T2-1) 이후의 제2-2 기간(T2-2) 동안 기준전압 라인들은 제2 스위칭부(130)을 통해 센싱 데이터 출력부(140)에 접속된다.
- [0089] 첫 번째로, 블랭크 기간(BP)의 제1 기간(T1) 동안 어느 하나의 센싱 라인에 접속된 서브 화소들에 접속된 스캔 라인들 중 하나의 스캔 라인을 제외한 나머지 스캔 라인들에 스캔 신호들이 동시에 공급된다. 상기 나머지 스캔 라인들에 접속된 서브 화소들(RP, WP, BP, GP) 각각의 제1 트랜지스터(ST1)는 상기 나머지 스캔 라인들로 게이트 하이 전압(VGH)의 스캔신호들이 공급되는 경우 턴-온된다. 이로 인해, 상기 나머지 스캔 라인들에 접속된 서브 화소들(RP, WP, BP, GP) 각각의 구동 트랜지스터(DT)의 게이트 전극에는 데이터 라인들의 블랙 데이터전압이 공급된다.
- [0090] 두 번째로, 블랭크 기간(BP)의 제2-1 기간(T2-1) 동안 상기 하나의 스캔 라인에만 스캔 신호가 공급된다. 상기 하나의 스캔 라인에 접속된 서브 화소들(RP, WP, BP, GP) 각각의 제2 트랜지스터(ST2)는 상기 하나의 스캔 라인으로 게이트 하이 전압(VGH)의 스캔신호가 공급되는 경우 턴-온된다. 이로 인해, 상기 하나의 스캔 라인에 접속된 서브 화소들(RP, WP, BP, GP) 각각의 구동 트랜지스터(DT)의 게이트 전극에는 데이터 라인들의 센싱 데이터 전압이 공급된다.
- [0091] 제2 기간(T2) 동안 제2 트랜지스터(ST2)는 어느 하나의 센싱 라인으로 공급되는 게이트 하이 전압(VGH)의 센싱 신호에 의해 턴-온된다. 제2-1 기간(T2-1) 동안 기준전압 라인들에 기준전압이 공급되고, 제2-2 기간(T2-2) 동안 기준전압 라인들은 센싱 데이터 출력부(140)에 접속된다.
- [0092] 제2-1 기간(T2-1) 동안 구동 트랜지스터(DT)의 게이트 전압과 소스 전압 간의 차이는 커패시터(C)에 저장된다. 제2-2 기간(T2-2) 동안 구동 트랜지스터(DT)의 게이트 전압과 소스 전압 간의 차이에 따른 전류(Ids)가 제2 트랜지스터(ST2)를 통해 기준전압 라인들로 흐른다. 제2-2 기간(T2-2) 동안 기준전압 라인들은 센싱 데이터 출력부(140)에 접속되므로, 구동 트랜지스터(DT)의 전류는 센싱 데이터 출력부(140)에 센싱될 수 있다.
- [0093] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 하나의 센싱 라인에 두 개의 화소(P)들의 서브 화소들(RP, WP, GP, BP)이 접속되므로, 블랭크 기간(BP) 동안 상기 두 개의 화소(P)들에 접속된 스캔 라인들 중 어느 하나의 스캔 라인에 접속된 서브 화소들만을 센싱한다. 특히, 본 발명의 실시예는 상기 두 개의 화소(P)들에 접속된 스캔 라인들 중 나머지 스캔 라인들에는 블랙 데이터전압을 공급함으로써, 나머지 서브화소들의 영향을 받지 않고, 상기 어느 하나의 스캔 라인에 접속된 서브 화소들의 구동 트랜지스터(DT)들의 전류를 정확하게 센싱할 수 있다.
- [0094] 도 7은 도 1의 표시영역의 화소들을 상세히 보여주는 다른 예시도면이다. 도 7에서는 표시영역(AA)의 화소(P)들 각각이 스캔 라인 방향(X축 방향)으로 배열된 제1 내지 제3 서브 화소들(RP, GP, BP)을 포함하는 것을 예시하였다. 구체적으로, 제1 서브 화소(RP)들은 적색 광을 발광하는 서브 화소들이고, 제2 서브 화소(GP)들은 녹색 광을 발광하는 서브 화소들이고, 제3 서브 화소(BP)들은 청색 광을 발광하는 서브 화소들일 수 있다.
- [0095] 도 7에서는 화소(P)들 각각이 스캔 라인 방향(X축 방향)으로 배열된 제1 내지 제3 서브 화소들(RP, GP, BP)을 포함함으로써 서브 화소들(RP, GP, BP)의 배치 위치가 변경되는 것을 제외하고는 도 4를 결부하여 설명한 바와 실질적으로 동일하게 설계된다. 즉, 도 7에서 스캔 라인 방향(X축 방향)으로 배열된 4 개의 서브 화소들의 스캔 라인들, 데이터 라인들, 센싱 라인, 및 기준전압 라인의 접속 구조는 도 4를 결부하여 설명한 바와 실질적으로 동일하다.
- [0096] 도 8는 도 7의 화소들 일부를 상세히 보여주는 회로도이다. 도 8을 참조하면, 화소(P)에 포함된 제1 내지 제3 서브 화소들(RP, GP, BP) 각각은 유기발광 다이오드(ROLED/GOLED/BOLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1), 및 제2 트랜지스터(T2), 및 커패시터(C)를 포함할 수 있다.
- [0097] 도 8에 도시된 제1 내지 제3 서브 화소들(RP, GP, BP) 각각의 유기발광 다이오드(ROLED/GOLED/BOLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1), 및 제2 트랜지스터(T2), 및 커패시터(C)는 도 5를 결부하여 설명한 바와 실질적으로 동일하므로, 이들에 대한 자세한 설명은 생략한다.
- [0098] 또한, 도 8에서는 화소(P)들 각각이 스캔 라인 방향(X축 방향)으로 배열된 제1 내지 제3 서브 화소들(RP, GP, BP)을 포함함으로써 서브 화소들(RP, GP, BP)의 배치 위치가 변경되는 것을 제외하고는 도 4를 결부하여 설명한

바와 실질적으로 동일하게 설계된다. 즉, 도 7에서 스캔 라인 방향(X축 방향)으로 배열된 4 개의 서브 화소들의 스캔 라인들, 데이터 라인들, 센싱 라인, 및 기준전압 라인의 접속 구조는 도 4를 결부하여 설명한 바와 실질적으로 동일하다.

[0099] 또한, 도 8에 도시된 화소(P)들의 서브 화소들(RP, GP, BP)에는 도 6에 도시된 스캔 신호들과 센싱 신호들이 공급될 수 있으며, 도 8에 도시된 화소(P)들의 서브 화소들(RP, GP, BP)은 도 6을 결부하여 설명한 바와 실질적으로 동일하게 동작될 수 있다.

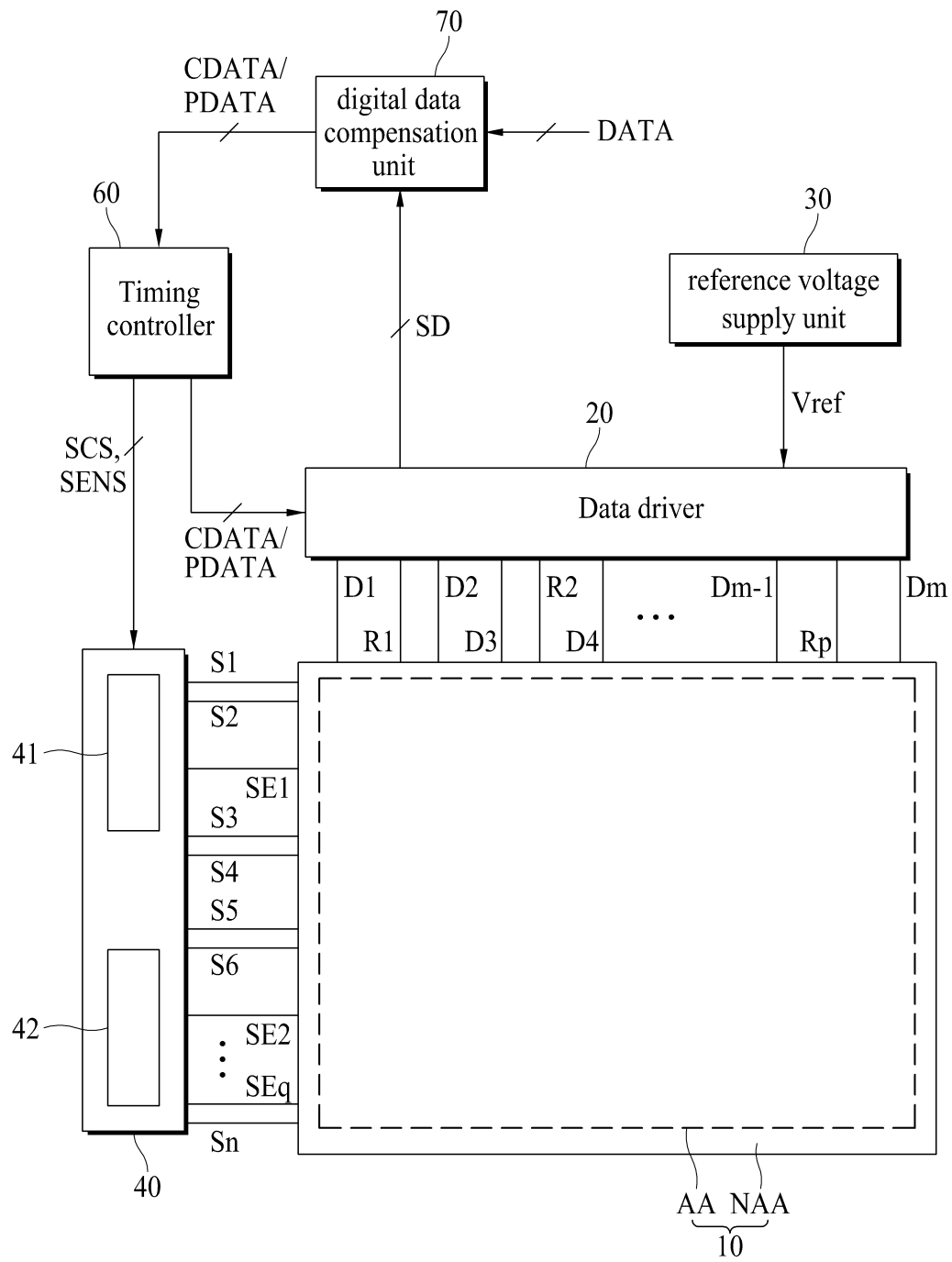
[0100] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

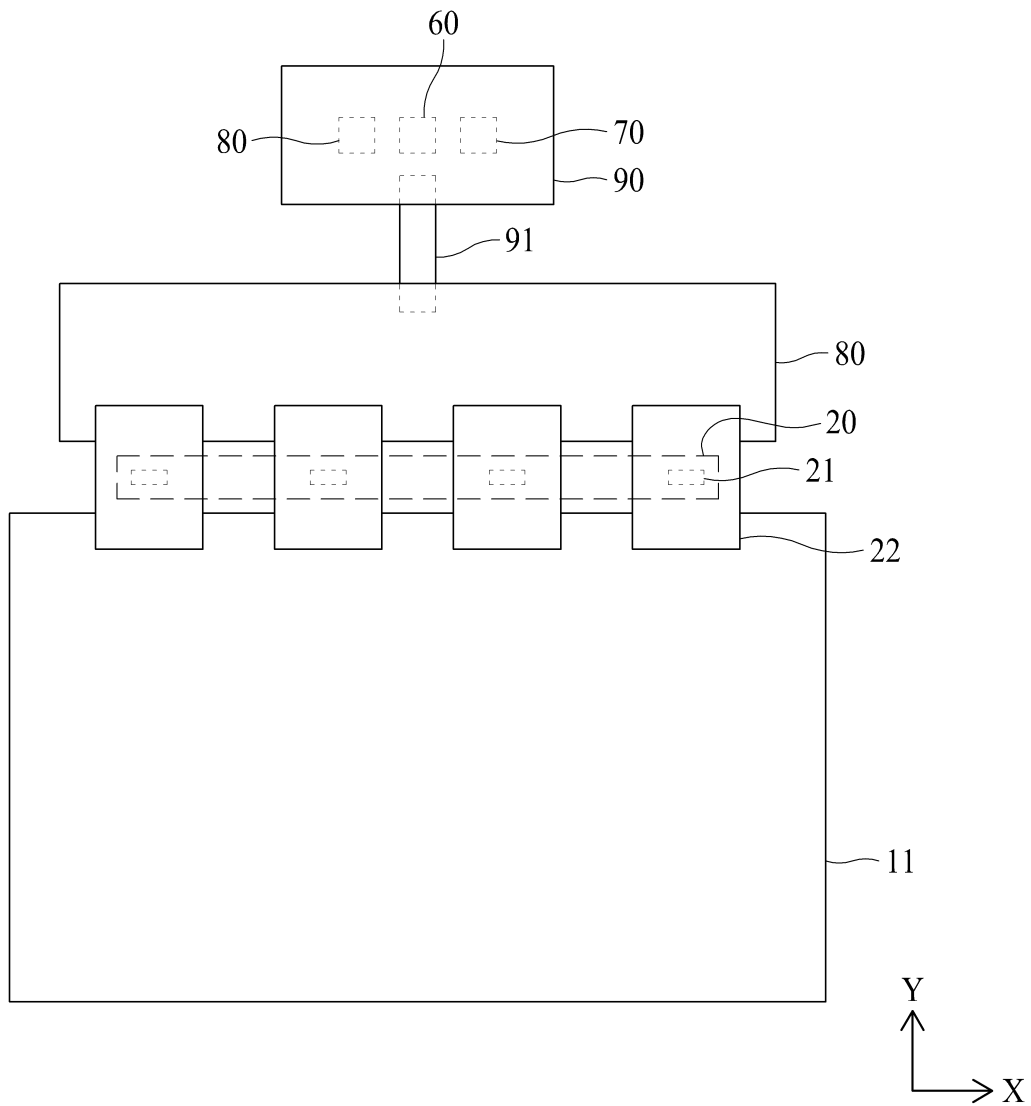
[0101] 10: 표시패널 20: 데이터 구동부
21: 소스 드라이브 IC 22: 연성필름
40: 스캔 구동부 41: 스캔신호 출력부
42: 센싱신호 출력부 50: 소스 회로보드
60: 타이밍 제어부 70: 데이터 보상부
80: 기준전압 공급부 90: 제어 회로보드
91: 연성 케이블 110: 데이터전압 공급부
120: 제1 스위칭부 130: 제2 스위칭부
140: 센싱 데이터 출력부

도면

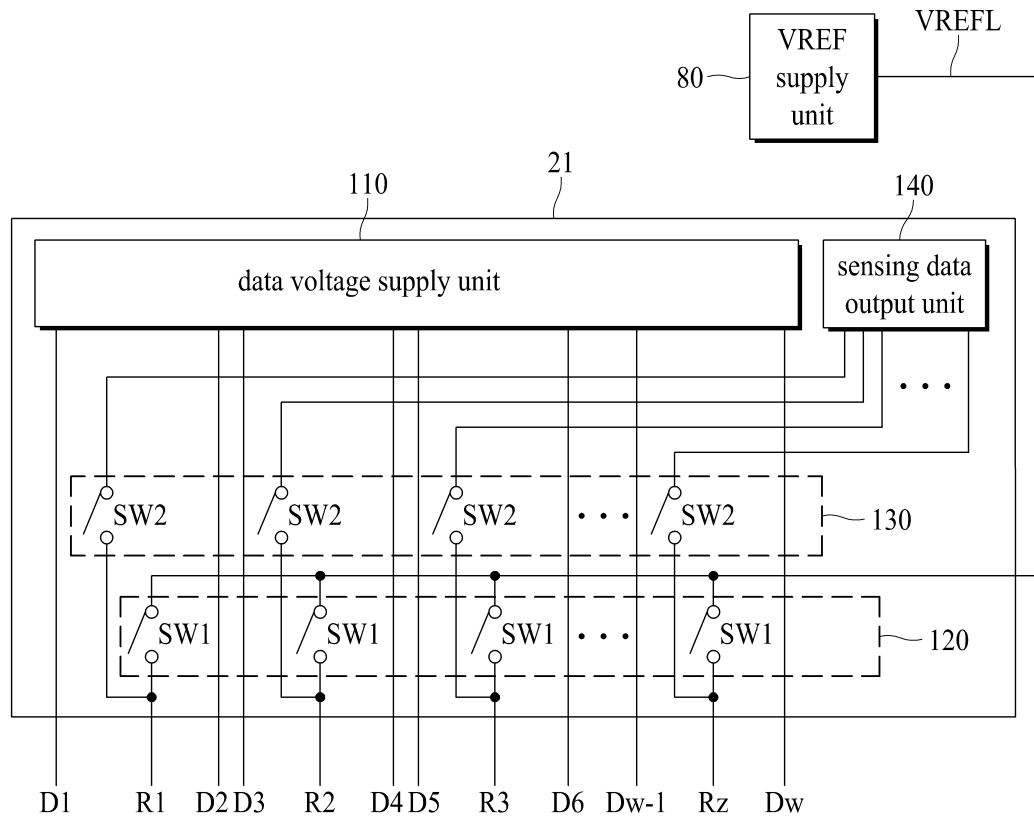
도면1



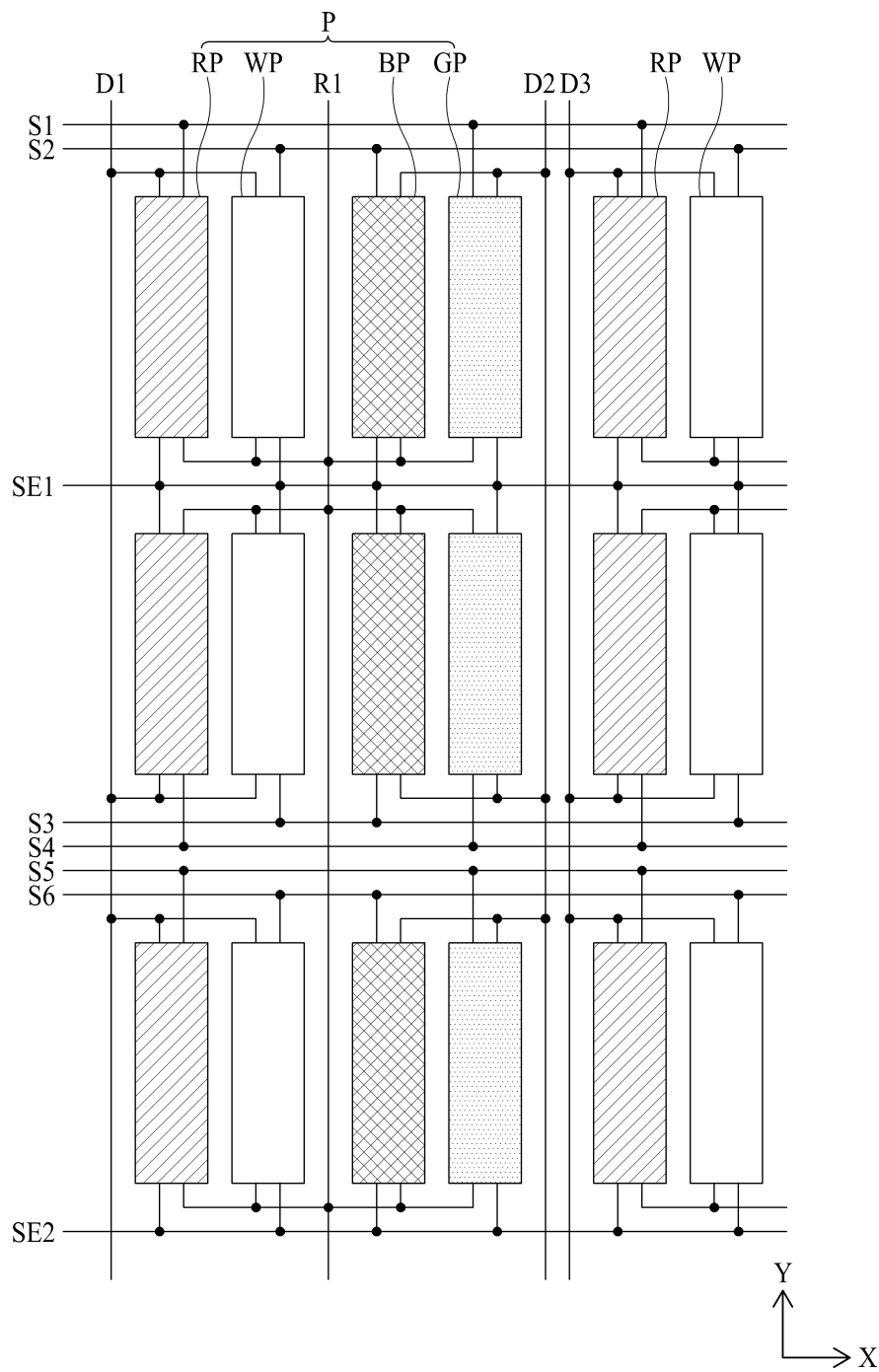
도면2



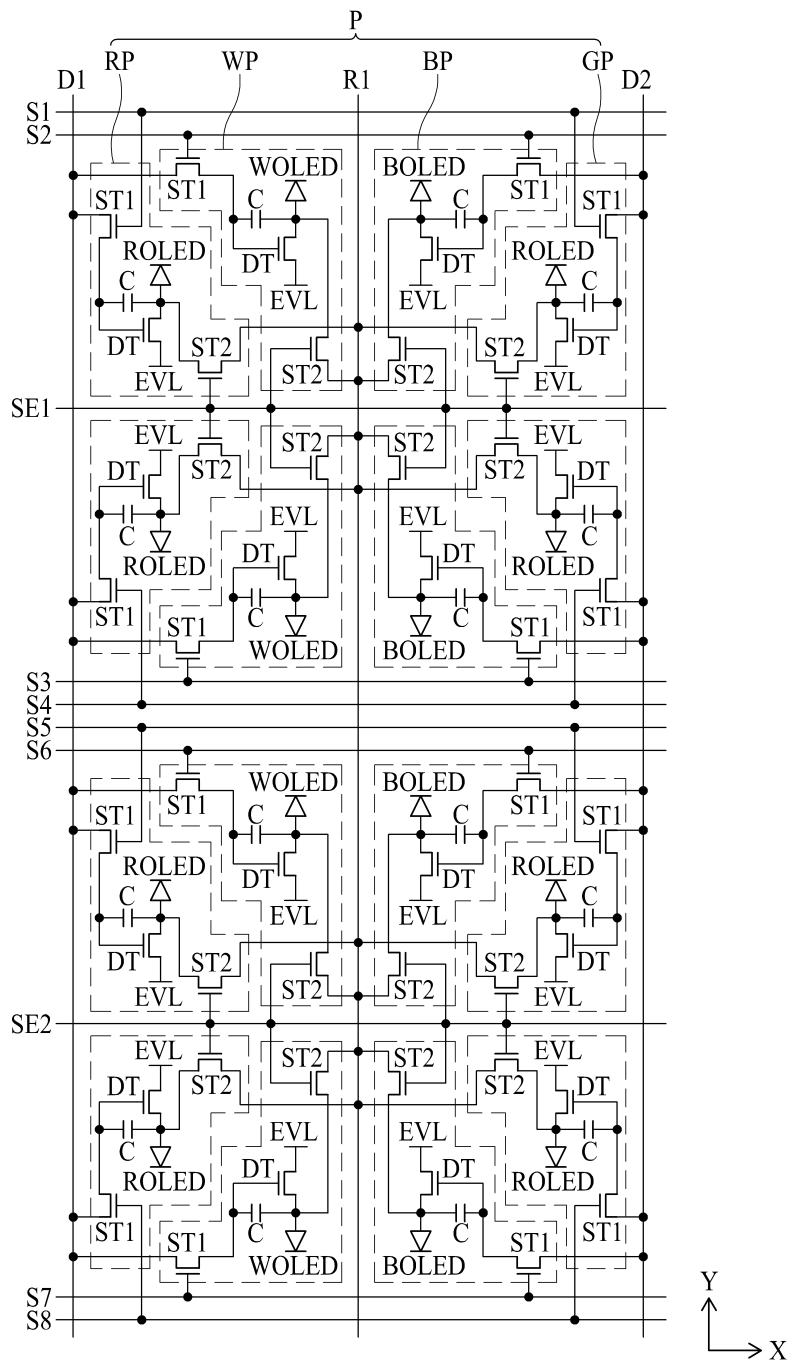
도면3



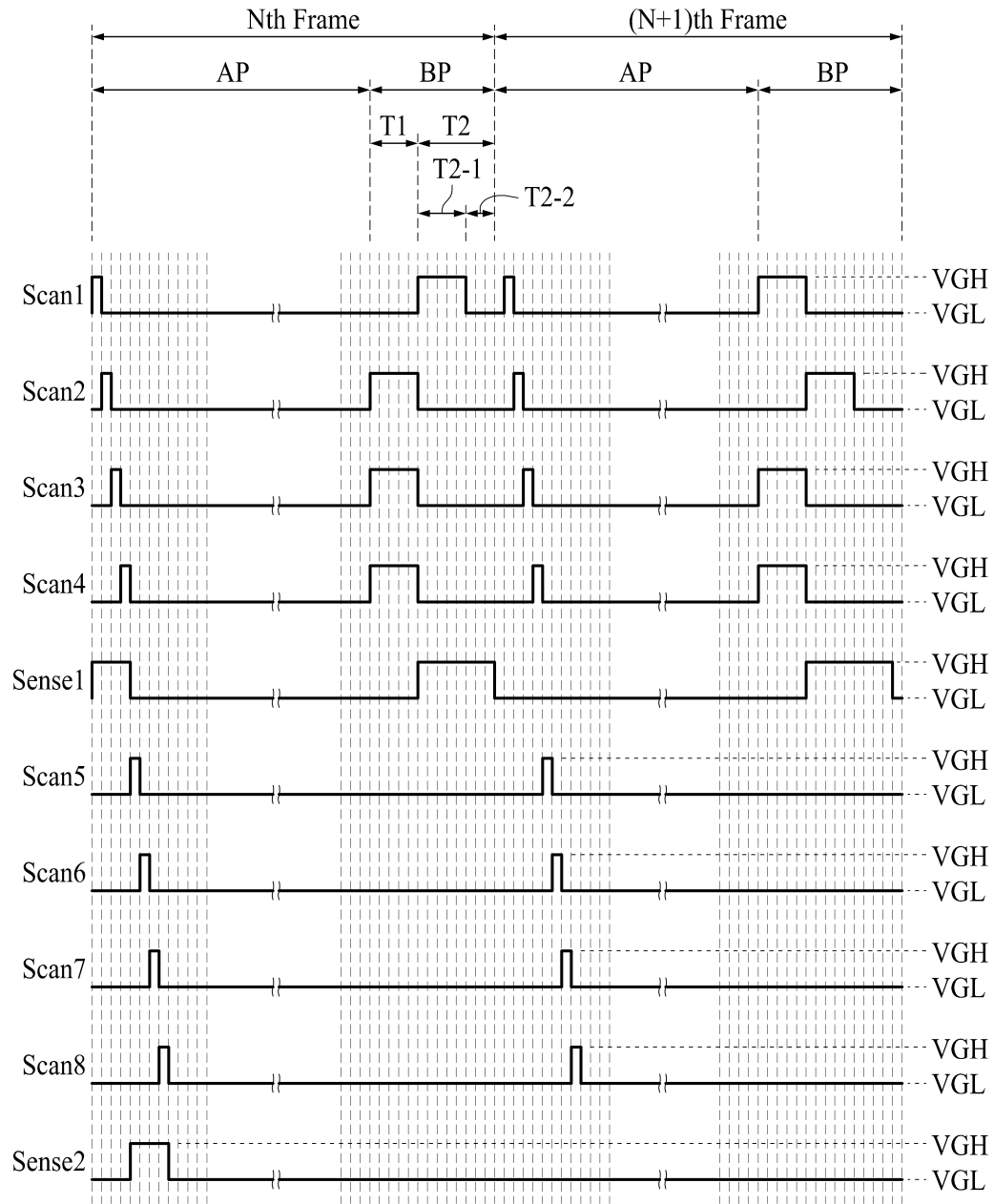
도면4



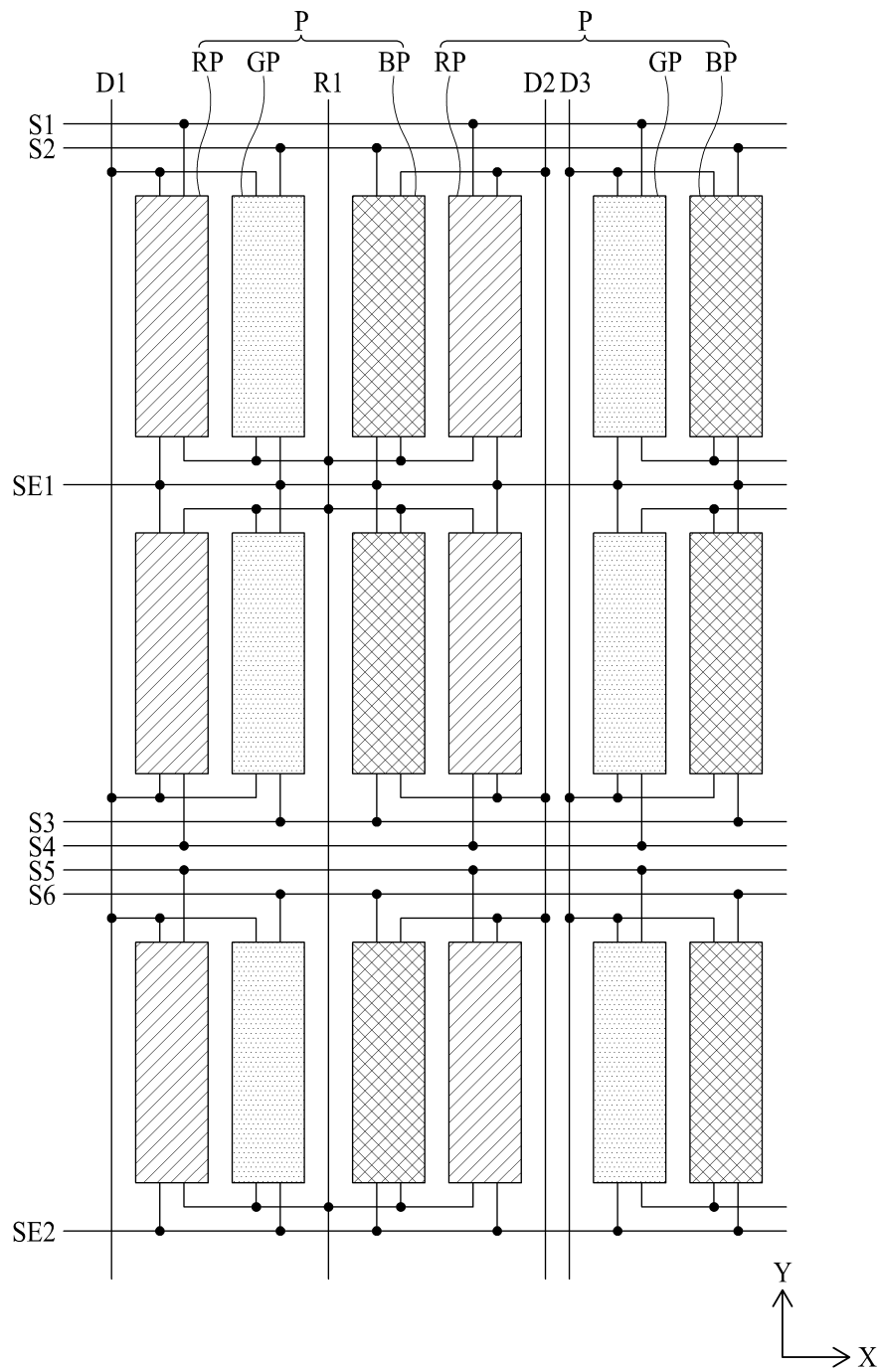
도면5



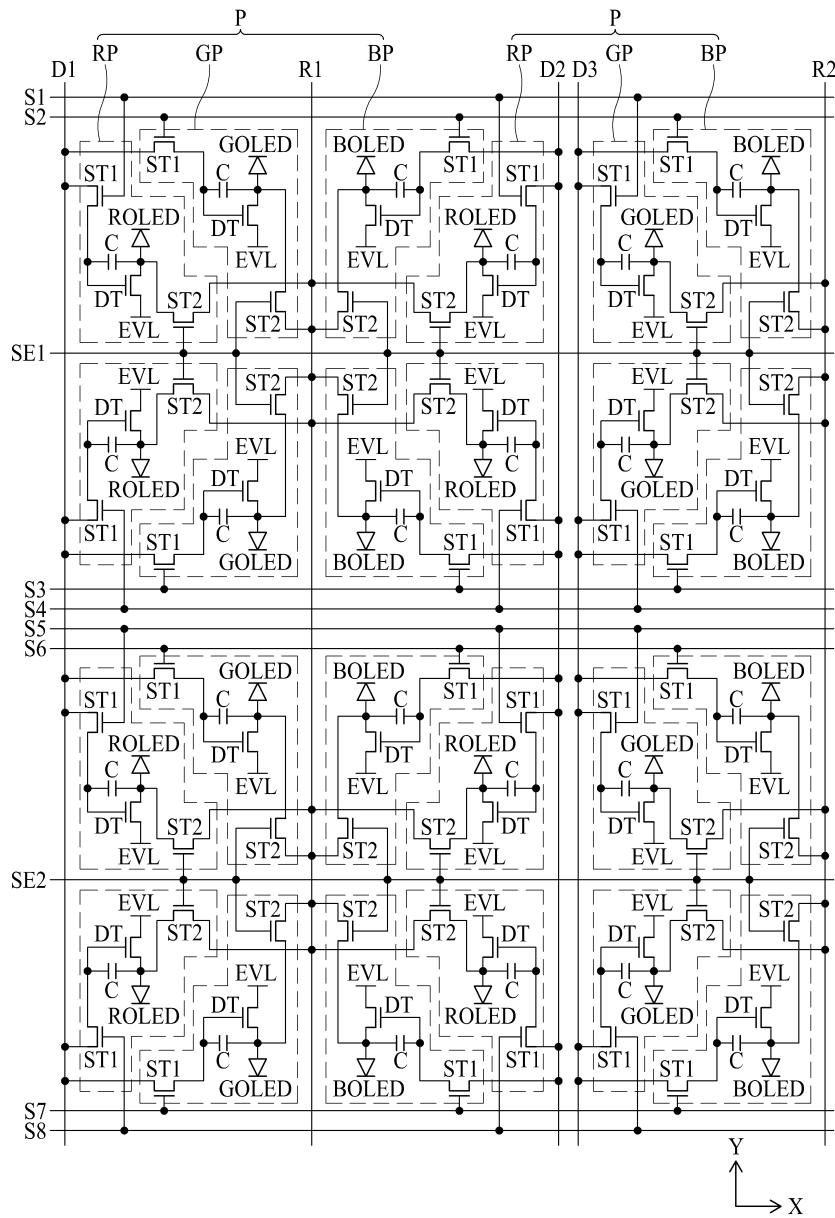
도면6



도면7



도면8



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170080138A	公开(公告)日	2017-07-10
申请号	KR1020150191377	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	DOSUNG KIM 김도성		
发明人	김도성		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2230/00 G09G2310/061		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及通过减少源极驱动集成电路的数量来降低制造成本的有机发光显示装置。本发明包括数据线，数据线和包括扫描线的像素，以及交叉时的多个子像素。扫描线彼此对齐并且感测线。它连接到数据线，其中与扫描线方向相邻的两个子像素相同，并且数据线连接到不同的扫描线。它连接到感测线，其中两个像素的相邻子像素与数据线方向相同。

