



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0064177
(43) 공개일자 2017년06월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0169535

(22) 출원일자 2015년11월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

하원규

경기도 파주시 책향기로 371 602동 1003호 (동패동, 숲속길마을동문굿모닝힐아파트)

(74) 대리인

김은구, 송해모

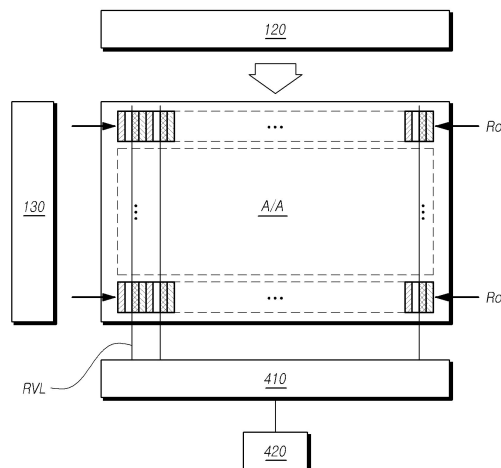
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법

(57) 요약

본 실시예들은, 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법에 관한 것으로서, 더욱 상세하게는, 유기발광표시패널의 일 측과 타 측에 신호 라인 결함 감지 용도의 최외곽 서브픽셀들을 배치시키고, 이러한 최외곽 서브픽셀을 구동시켜 신호 라인 결함을 감지하여 유기발광표시패널의 번트 현상을 미연에 방지해줄 수 있는 신호 라인 결함 감지 방법과, 이를 가능하게 하는 독특한 구조의 최외곽 서브픽셀이 배치된 유기발광표시패널 및 유기발광표시장치에 관한 것이다.

대표도 - 도4



(52) CPC특허분류
G09G 2330/08 (2013.01)

명세서

청구범위

청구항 1

다수의 서브픽셀이 매트릭스 타입으로 배치되되, 다수의 서브픽셀 행 중에서 일 측의 최외곽 서브픽셀 행과 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀에는 적어도 하나의 감지용 트랜지스터가 데이터 라인과 기준전압 라인 사이에 배치되는 유기발광표시패널;

결함 감지 구간 동안, 상기 일 측의 최외곽 서브픽셀 행에 대응되는 게이트 라인과 상기 타 측의 최외곽 서브픽셀 행에 대응되는 게이트 라인으로 스캔 신호를 출력하는 게이트 드라이버;

상기 결함 감지 구간 동안, 열 방향의 데이터 라인들로 데이터 전압을 출력하는 데이터 드라이버; 및

상기 결함 감지 구간 중 정해진 샘플링 타이밍에 열 방향의 기준전압 라인들의 전압을 센싱하는 센싱부; 및

상기 센싱부에 의해 센싱된 전압을 토대로 상기 열 방향의 데이터 라인들 또는 상기 열 방향의 기준전압 라인들의 결함 여부를 감지하는 결함 감지부를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 일 측의 최외곽 서브픽셀 행과 상기 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀은 유기발광 다이오드가 미 배치된 더미 서브픽셀(Dummy Sub Pixel)인 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 다수의 서브픽셀 행 중에서,

상기 일 측의 최외곽 서브픽셀 행과 상기 타 측의 최외곽 서브픽셀 행은 넌-액티브 영역(Non-Active Area)에 위치하고,

나머지 서브픽셀 행은 액티브 영역(Active Area)에 위치하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 각 기준전압 라인과 프리-차징 전압 공급 노드 사이에 연결된 프리-차징 스위치; 및

상기 각 기준전압 라인과 상기 센싱부 사이에 연결된 샘플링 스위치를 더 포함하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 각 데이터 라인 상의 제1 저항;

상기 각 데이터 라인 상의 제1 캐패시터;

상기 각 기준전압 라인 상의 제2 저항; 및

상기 각 기준전압 라인 상의 제2 캐패시터를 더 포함하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 일 측의 최외곽 서브픽셀 행과 상기 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀은,

직렬로 연결된 제1 감지용 트랜지스터 및 제2 감지용 트랜지스터를 포함하고,

상기 제1 감지용 트랜지스터의 게이트 노드와 상기 제2 감지용 트랜지스터의 게이트 노드는 하나의 게이트 라인으로부터 스캔 신호를 동시에 인가 받으며,

상기 제1 감지용 트랜지스터의 소스 노드와 드레인 노드 중 하나는 데이터 라인과 연결되고,

상기 제2 감지용 트랜지스터의 소스 노드와 드레인 노드 중 하나는 기준전압 라인과 연결되며,

상기 제1 감지용 트랜지스터의 소스 노드와 드레인 노드 중 상기 데이터 라인과 미 연결된 노드와 상기 제2 감지용 트랜지스터의 소스 노드와 드레인 노드 중 상기 기준전압 라인과 미 연결된 노드는 서로 연결되는 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 다수의 서브픽셀 행 중에서 상기 일 측의 최외곽 서브픽셀 행과 상기 타 측의 최외곽 서브픽셀 행을 제외한 나머지 서브픽셀 행에 위치한 각 서브픽셀은,

유기발광다이오드;

상기 유기발광다이오드를 구동하는 구동 트랜지스터;

상기 구동 트랜지스터의 게이트 노드와 데이터 라인 사이에 전기적으로 연결된 스위칭 트랜지스터;

상기 구동 트랜지스터의 소스 노드 또는 드레인 노드와 기준전압 라인 사이에 전기적으로 연결된 센싱 트랜지스터; 및

상기 구동 트랜지스터의 소스 노드 또는 드레인 노드와 게이트 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 제1 감지용 트랜지스터는 상기 스위칭 트랜지스터와 신호 라인 연결 구조 및 위치가 대응되고,

상기 제2 감지용 트랜지스터는 상기 센싱 트랜지스터와 신호 라인 연결 구조 및 위치가 대응되는 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 일 측의 최외곽 서브픽셀 행과 상기 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀은,

1개의 감지용 트랜지스터를 포함하고,

상기 1개의 감지용 트랜지스터의 드레인 노드 또는 소스 노드는 데이터 라인과 연결되고,

상기 1개의 감지용 트랜지스터의 소스 노드 또는 드레인 노드는 기준전압 라인과 연결되며,

상기 1개의 감지용 트랜지스터의 게이트 노드는 게이트 라인과 연결되는 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 결함 감지 구간 동안,

상기 일 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀과 상기 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀이 동시에 구동되면,

상기 열 방향의 데이터 라인들과 상기 열 방향의 기준전압 라인들은 폐 회로를 형성하는 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 결함 감지부는,

상기 센싱부에 의해 센싱된 전압을 상기 데이터 전압 또는 미리 정해진 전압 또는 인접한 기준전압 라인에 대한 센싱 전압과 비교하여 상기 열 방향의 데이터 라인들 또는 상기 열 방향의 기준전압 라인들의 결함 여부를 감지하는 유기발광표시장치.

청구항 11

제10항에 있어서,

상기 결함 감지부는,

상기 비교 결과, 상기 센싱부에 의해 센싱된 전압이 상기 데이터 전압 또는 미리 정해진 전압보다 낮은 경우,

상기 열 방향의 데이터 라인들 및 상기 열 방향의 기준전압 라인들 중 적어도 하나가 오픈(Open) 된 것으로 감지하는 유기발광표시장치.

청구항 12

제10항에 있어서,

상기 결함 감지부는,

상기 비교 결과, 상기 센싱부에 의해 센싱된 전압이 상기 데이터 전압 또는 미리 정해진 전압 또는 인접한 기준전압 라인에 대한 센싱 전압과는 다른 전압 레벨인 경우,

상기 열 방향의 데이터 라인들 및 상기 열 방향의 기준전압 라인들 중 적어도 하나가 상기 다른 전압 레벨의 전압을 공급하는 신호 라인 또는 신호 패턴과 단락(Short) 된 것으로 감지하는 유기발광표시장치.

청구항 13

제1항에 있어서,

상기 결함 감지 구간은 매 프레임이 시작되기 전 또는 후에 진행되는 유기발광표시장치.

청구항 14

일 측의 최외곽 서브픽셀 행에 위치한 다수의 최외곽 서브픽셀; 및

타 측의 최외곽 서브픽셀 행에 위치한 다수의 최외곽 서브픽셀을 포함하고,

상기 일 측의 최외곽 서브픽셀 행과 상기 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀에는,

유기발광다이오드가 미 배치되고,

데이터 라인과 기준전압 라인 사이에 직렬로 연결된 적어도 하나의 감지용 트랜지스터가 배치되는 유기발광표시패널.

청구항 15

제14항에 있어서,

상기 일 측의 최외곽 서브픽셀 행과 상기 타 측의 최외곽 서브픽셀 행은 넌-액티브 영역(Non-Active Area)에 위치하는 유기발광표시패널.

청구항 16

제14항에 있어서,

상기 일 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀과 상기 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀은 매 프레임 시작 전 또는 후에 구동되는 유기발광표시패널.

청구항 17

다수의 서브픽셀 행이 배치된 유기발광표시패널을 포함하는 유기발광표시장치의 신호 라인 결함 감지 방법에 있

어서,

미리 정의된 결함 감지 구간 동안, 열 방향의 데이터 라인들로 데이터 전압을 출력하고, 열 방향의 기준전압 라인들로 프리-차징 전압을 출력하는 제1 단계;

상기 결함 감지 구간 동안, 상기 열 방향의 기준전압 라인들로의 프리-차징 전압 출력을 중단하고, 상기 다수의 서브픽셀 행 중에서 일 측의 최외곽 서브픽셀 행과 타 측의 최외곽 서브픽셀 행 각각에 대응되는 게이트 라인으로 스캔 신호를 출력하는 제2 단계;

상기 결함 감지 구간 중 정해진 샘플링 타이밍에 열 방향의 기준전압 라인들의 전압을 센싱하는 제3 단계; 및

상기 센싱된 전압을 토대로 상기 열 방향의 데이터 라인들 또는 상기 열 방향의 기준전압 라인들의 결함 여부를 감지하는 제4 단계를 포함하는 유기발광표시장치의 신호 라인 결함 감지 방법.

청구항 18

제17항에 있어서,

상기 제1 단계, 상기 제2 단계 및 상기 제3 단계는 매 프레임 시작 전 또는 후에 진행되는 유기발광표시장치의 신호 라인 결함 감지 방법.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법에 관한 것이다.

배경 기술

[0003] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0004] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 서브픽셀을 매트릭스 형태로 배열하고 스캔 신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.

[0005] 이러한 유기발광표시장치의 유기발광표시패널에는 서브픽셀 구조 등에 따라 다양한 신호 라인이 배치된다.

[0006] 패널 제조 공정 상의 이물, 외부의 온도나 충격, 패널 리페어(Panel Repair)에 의한 손상(Damage) 등의 다양한 원인에 의해 신호 라인 간의 단락(Short)이 발생하거나, 신호 라인과 신호 패턴 간의 단락이 발생하거나, 신호 라인의 오픈(Open)이 발생할 수 있다.

[0007] 이와 같이, 신호 라인의 단락(Short) 또는 오픈(Open)이 발생하는 경우, 유기발광표시패널에 비정상적인 전류 또는 과전류가 흐를 수 있다.

[0008] 이 경우, 유기발광표시패널에 대한 정상적인 구동이 어려울 뿐만 아니라, 심한 경우, 유기발광표시패널이 타버리는(Burnt) 현상이 발생하여, 유기발광표시장치(100)를 폐기해야 하거나 화재의 위험성도 있다.

[0009] 이에, 유기발광표시패널에서의 신호 라인 결함을 효율적으로 쉽고 빠르게 감지할 수 있는 방법이 필요한 실정이다.

발명의 내용

해결하려는 과제

[0011] 본 실시예들의 목적은, 유기발광표시패널에서의 신호 라인 결함을 효율적으로 쉽고 빠르게 감지하여 유기발광표시패널의 번트 현상을 방지해줄 수 있는 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법을

제공하는 데 있다.

[0012] 본 실시예들의 다른 목적은, 유기발광표시패널의 베젤 영역에서의 신호 라인 결함을 효율적으로 쉽고 빠르게 감지할 수 있는 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법을 제공하는 데 있다.

[0013] 본 실시예들의 또 다른 목적은, 영상 구동 중에 발생하는 신호 라인 결함을 실시간으로 감지하여 신호 라인 결함에 대한 즉각적인 대응 조치를 가능하게 해줄 수 있는 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법을 제공하는 데 있다.

과제의 해결 수단

[0015] 일 측면에서, 본 실시예들은, 다수의 서브픽셀이 매트릭스 타입으로 배치되되, 다수의 서브픽셀 행 중에서 일 측의 최외곽 서브픽셀 행과 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀에는 적어도 하나의 감지용 트랜지스터가 데이터 라인과 기준전압 라인 사이에 배치되는 유기발광표시패널과, 결함 감지 구간 동안, 일 측의 최외곽 서브픽셀 행에 대응되는 게이트 라인과 타 측의 최외곽 서브픽셀 행에 대응되는 게이트 라인으로 스캔 신호를 출력하는 게이트 드라이버와, 결함 감지 구간 동안, 열 방향의 데이터 라인들로 데이터 전압을 출력하는 데이터 드라이버와, 결함 감지 구간 중 정해진 샘플링 타이밍에 열 방향의 기준전압 라인들의 전압을 센싱하는 센싱부와, 센싱부에 의해 센싱된 전압을 토대로 열 방향의 데이터 라인들 또는 열 방향의 기준전압 라인들의 결함 여부를 감지하는 결함 감지부를 포함하는 유기발광표시장치를 제공할 수 있다.

[0016] 다른 측면에서, 본 실시예들은, 일 측의 최외곽 서브픽셀 행에 위치한 다수의 최외곽 서브픽셀과, 타 측의 최외곽 서브픽셀 행에 위치한 다수의 최외곽 서브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.

[0017] 이러한 유기발광표시패널에서, 일 측의 최외곽 서브픽셀 행과 타 측의 최외곽 서브픽셀 행에 위치한 각 최외곽 서브픽셀에는 유기발광다이오드가 미 배치되고, 데이터 라인과 기준전압 라인 사이에 직렬로 연결된 적어도 하나의 감지용 트랜지스터가 배치될 수 있다.

[0018] 또 다른 측면에서, 본 실시예들은, 다수의 서브픽셀 행이 배치된 유기발광표시패널을 포함하는 유기발광표시장치의 신호 라인 결함 감지 방법을 제공할 수 있는데, 이러한 신호 라인 결함 감지 방법은, 미리 정의된 결함 감지 구간 동안, 열 방향의 데이터 라인들로 데이터 전압을 출력하고, 열 방향의 기준전압 라인들로 프리-차징 전압을 출력하는 제1 단계와, 결함 감지 구간 동안, 열 방향의 기준전압 라인들로의 프리-차징 전압 출력을 중단하고, 다수의 서브픽셀 행 중에서 일 측의 최외곽 서브픽셀 행과 타 측의 최외곽 서브픽셀 행 각각에 대응되는 게이트 라인으로 스캔 신호를 출력하는 제2 단계와, 결함 감지 구간 중 정해진 샘플링 타이밍에 열 방향의 기준전압 라인들의 전압을 센싱하는 제3 단계와, 센싱된 전압을 토대로 열 방향의 데이터 라인들 또는 열 방향의 기준전압 라인들의 결함 여부를 감지하는 제4 단계를 포함할 수 있다.

발명의 효과

[0020] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 유기발광표시패널에서의 신호 라인 결함을 효율적으로 쉽고 빠르게 감지하여 유기발광표시패널의 번트 현상을 방지해줄 수 있는 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법을 제공할 수 있다.

[0021] 또한, 본 실시예들에 의하면, 유기발광표시패널의 베젤 영역에서의 신호 라인 결함을 효율적으로 쉽고 빠르게 감지할 수 있는 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법을 제공할 수 있다.

[0022] 또한, 본 실시예들에 의하면, 영상 구동 중에 발생하는 신호 라인 결함을 실시간으로 감지하여 신호 라인 결함에 대한 즉각적인 대응 조치를 가능하게 해줄 수 있는 유기발광표시패널, 유기발광표시장치 및 신호 라인 결함 감지 방법을 제공할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.

도 2는 본 실시예들에 따른 유기발광표시패널에서 서브픽셀 구조의 예시도이다.

도 3은 본 실시예들에 따른 유기발광표시패널에서 신호 라인 배치의 예시도이다.

도 4는 본 실시예들에 따른 신호 라인 결함 감지 시스템을 나타낸 도면이다.

도 5는 본 실시예들에 따른 신호 라인 결함 감지 시스템이 신호 라인 결함을 감지하기 위하여 설계된 유기발광 표시패널을 나타낸 도면이다.

도 6은 본 실시예들에 따른 신호 라인 결함 감지를 위하여, 유기발광표시패널에 배치된 최외곽 서브픽셀의 구조에 대한 예시도이다.

도 7은 본 실시예들에 따른 유기발광표시패널에 배치된 최외곽 서브픽셀을 이용한 신호 라인 결함 감지 구조와 신호 라인 결함 감지 방법을 설명하기 위한 도면이다.

도 8은 본 실시예들에 따른 신호 라인 결함을 감지하기 위한 각종 전압 및 스위치에 대한 타이밍도이다.

도 9는 본 실시예들에 따른 유기발광표시패널에 배치된 최외곽 서브픽셀을 이용한 신호 라인 결함 감지 시에만 들어지는 폐회로(Closed Loop)를 나타낸 도면이다.

도 10 및 도 11은 본 실시예들에 따른 유기발광표시장치에서, 기준전압 라인이 4개의 서브픽셀 열마다 1개씩 배치되는 공유 구조를 갖는 경우, 신호 라인 결함 감지 구조와 신호 라인 결함 감지 방법을 설명하기 위한 도면이다.

도 12는 본 실시예들에 따른 신호 라인 결함을 감지하기 위한 결함 감지 구간의 예시도이다.

도 13은 본 실시예들에 따른 유기발광표시장치에서, 기준전압 라인이 4개의 서브픽셀 열마다 1개씩 배치되는 공유 구조를 갖는 경우, 신호 라인 결함 감지 구조와 신호 라인 결함 감지 방법을 설명하기 위한 다른 도면이다.

도 14는 본 실시예들에 따른 유기발광표시장치에서, 데이터 라인 상의 제1저항과 센싱 전압 간의 관계를 나타낸 그래프이다.

도 15는 본 실시예들에 따른 신호 라인 결함 감지를 위하여, 유기발광표시패널에 배치된 최외곽 서브픽셀의 구조에 대한 다른 예시도이다.

도 16은 본 실시예들에 따른 유기발광표시장치의 신호 라인 결함 감지 방법에 대한 흐름도이다.

도 17은 본 실시예들에 따른 유기발광표시패널을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0026] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0027] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이다.

[0028] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 서브픽셀(SP: Sub Pixel)이 배치된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.

[0029] 유기발광표시패널(110)은 화상이 표시되는 영역에 해당하는 액티브 영역(A/A: Active Area)과, 화상이 표시되지 않는 영역에 해당하는 영역으로서 액티브 영역(A/A)의 바깥 영역에 해당하는 비-액티브 영역(N/A: Non-Active

Area)으로 이루어진다. 여기서, 넌-액티브 영역(N/A)은 베젤 영역(Bezel Area)이라고도 한다.

- [0030] 화상 표시를 위한 서브픽셀(SP)은 하나의 데이터 라인(DL)과 하나 이상의 게이트 라인(GL)에 의해 정의되며, 액티브 영역(A/A)에 위치한다.
- [0031] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0032] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0033] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.
- [0034] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0035] 이러한 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0036] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0037] 이러한 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0038] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0039] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0040] 데이터 드라이버(120)는, 도 1에서는 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0041] 게이트 드라이버(130)는, 도 1에서는 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0042] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0043] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0044] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0045] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0046] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output

Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.

- [0047] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0048] 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0049] 각 소스 드라이버 집적회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는, 유기발광표시패널(110)에 연결된 필름 상에 실장 되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0050] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0051] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0052] 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0053] 각 게이트 드라이버 집적회로(GDIC)는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 드라이버 집적회로(GDIC)는 유기발광표시패널(110)과 연결된 필름 상에 실장 되는 칩 온 필름(COF) 방식으로 구현될 수도 있다.
- [0054] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0055] 본 실시예들에 따른 유기발광표시장치(100)는 적어도 하나의 소스 드라이버 집적회로(SDIC)에 대한 회로적인 연결을 위해 필요한 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)과 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(C-PCB: Control Printed Circuit Board)을 포함할 수 있다.
- [0056] 적어도 하나의 소스 인쇄회로기판(S-PCB)에는, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 되거나, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 된 필름이 연결될 수 있다.
- [0057] 컨트롤 인쇄회로기판(C-PCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는 컨트롤러(140)와, 유기발광표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러 등이 실장 될 수 있다.
- [0058] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다.
- [0059] 여기서, 연결 부재는 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.
- [0060] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0061] 유기발광표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0062] 일 예로, 각 서브픽셀(SP)은 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0063] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질

수 있다.

- [0064] 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도이다.
- [0065] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서, 각 서브픽셀은, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT: Driving Transistor)와, 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 제2노드(N2)로 데이터 전압(Vdata)을 전달해 주기 위한 스위칭 트랜지스터(SWT)와, 구동 트랜지스터(DRT)의 제1노드(N1)와 기준전압(Vref: Reference Voltage)을 공급하는 기준전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결된 센싱 트랜지스터(SENT)와, 영상 신호 전압에 해당하는 데이터 전압(Vdata) 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지하는 스토리지 캐패시터(Cstg: Storage Capacitor)를 포함하여 구성될 수 있다.
- [0066] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0067] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동해준다.
- [0068] 구동 트랜지스터(DRT)에서, 제1노드(N1)는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다. 제2노드(N2)는 스위칭 트랜지스터(SWT)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며 게이트 노드에 해당할 수 있다. 그리고, 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.
- [0069] 스위칭 트랜지스터(SWT)는 데이터 라인(DL)과 구동 트랜지스터(DRT)의 제2노드(N2) 사이에 전기적으로 연결되고, 게이트 라인을 통해 게이트 신호인 스캔신호(SCAN)를 게이트 노드로 인가 받아 제어될 수 있다.
- [0070] 이러한 스위칭 트랜지스터(SWT)는 스캔신호(SCAN)에 의해 턴-온 되어 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제2노드(N2)로 전달해줄 수 있다.
- [0071] 센싱 트랜지스터(SENT)는 구동 트랜지스터(DRT)의 제1노드(N1)와 기준전압 라인(RVL) 사이에 전기적으로 연결되며, 게이트 노드로 게이트 신호인 센싱 신호(SENSE)를 인가 받아 제어될 수 있다.
- [0072] 이러한 센싱 트랜지스터(SENT)는 센싱 신호(SENSE)에 의해 턴-온 되어 기준전압 라인(RVL)을 통해 공급되는 기준전압(Vref)을 구동 트랜지스터(DRT)의 제1노드(N1)에 인가해준다.
- [0073] 또한, 센싱 트랜지스터(SENT)는 구동 트랜지스터(DRT)의 제1노드(N1)에 대한 전압 센싱 경로 중 하나로 활용될 수 있다.
- [0074] 스토리지 캐패시터(Cstg)는 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결될 수 있다.
- [0075] 이러한 스토리지 캐패시터(Cstg)는, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.
- [0076] 구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT) 및 센싱 트랜지스터(SENT)는, 도 2의 예시와 같이 n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.
- [0077] 한편, 스캔신호(SCAN) 및 센싱 신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔신호(SCAN) 및 센싱 신호(SENSE)는, 다른 게이트 라인을 통해, 스위칭 트랜지스터(SWT)의 게이트 노드 및 센싱 트랜지스터(SENT)의 게이트 노드로 각각 인가될 수도 있다.
- [0078] 이와 같이, 별개의 스캔신호(SCAN) 및 센싱 신호(SENSE)를 이용하여 서브픽셀이 구동되는 경우, 서브픽셀은 “1 스캔 구조”를 갖는다고 한다.
- [0079] 경우에 따라서는, 스캔신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 신호일 수도 있다. 이 경우, 스캔신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 라인을 통해 스위칭 트랜지스터(SWT)의 게이트 노드 및 센싱 트랜지스터(SENT)의 게이트 노드에 공통으로 인가될 수도 있다.
- [0080] 이와 같이, 동일한 스캔신호(SCAN) 및 센싱 신호(SENSE)를 이용하여 서브픽셀이 구동되는 경우, 서브픽셀은 “2

스캔 구조”를 갖는다고 한다.

- [0081] 도 3은 본 실시예들에 따른 유기발광표시패널(110)에서 신호 라인 배치의 예시도이다.
- [0082] 도 3을 참조하면, 서브픽셀 구조에 따르면, 하나의 서브픽셀(SP)은 1개의 데이터 라인(DL), 1개 또는 2개의 게이트 라인(GL), 1개의 구동전압 라인(DVL), 1개의 기준전압 라인(RVL)과 전기적으로 연결된다.
- [0083] 따라서, 유기발광표시패널(110)에는 다수의 데이터 라인(DL), 다수의 게이트 라인(GL), 다수의 구동전압 라인(DVL), 다수의 기준전압 라인(RVL)과 배치된다.
- [0084] 일 예로, 행(Row) 방향으로 배치되는 게이트 라인(GL)은, 1 스캔 구조인 경우 1개의 서브픽셀 행마다 1개씩 배치되고, 2 스캔 구조인 경우 1개의 서브픽셀 행마다 2개씩 배치될 수 있다. 열(Column) 방향으로 배치되는 데이터 라인(DL)은 1개의 서브픽셀 열마다 1개씩 배치될 수 있다. 열(Column) 방향으로 배치되는 구동전압 라인(DVL)은 1개의 서브픽셀 열 또는 2개 이상의 서브픽셀 열마다 1개씩 배치될 수 있다. 열(Column) 방향으로 배치되는 기준전압 라인(RVL)은 1개의 서브픽셀 열 또는 2개 이상의 서브픽셀 열마다 1개씩 배치될 수 있다.
- [0085] 이러한 신호 라인들(DL, GL, DVL, RVL 등)의 배치 구조는, 픽셀 구조와 관련된다.
- [0086] 만약, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 청색 서브픽셀, 녹색 서브픽셀)로 구성되고, 각 서브픽셀이 1 스캔 구조인 경우, 도 3에 도시된 예시와 같이, 행(Row) 방향으로 배치되는 게이트 라인(GL)은, 1개의 서브픽셀 행마다 1개씩 배치될 수 있다. 열(Column) 방향으로 배치되는 데이터 라인(DL)은 1개의 서브픽셀 열마다 1개씩 배치될 수 있다. 열(Column) 방향으로 배치되는 구동전압 라인(DVL)은 4개의 서브픽셀 열마다 1개씩 배치될 수 있다. 열(Column) 방향으로 배치되는 기준전압 라인(RVL)은 4개의 서브픽셀 열마다 1개씩 배치될 수 있다.
- [0087] 한편, 도 3을 참조하면, 패널 제조 공정 상의 이물, 외부의 온도나 충격, 패널 리페어(Panel Repair)에 의한 손상(Damage) 등의 다양한 원인에 의해 신호 라인 간의 단락(Short)이 발생하거나, 신호 라인과 신호 패턴 간의 단락이 발생하거나, 신호 라인의 오픈(Open)이 발생할 수 있다.
- [0088] 이와 같이, 신호 라인의 단락(Short) 또는 오픈(Open)이 발생하는 경우, 유기발광표시패널(110)에 비정상적인 전류 또는 과전류가 흐를 수 있다.
- [0089] 이 경우, 유기발광표시패널(110)에 대한 정상적인 구동이 어려울 뿐만 아니라, 심한 경우, 유기발광표시패널(110)이 타버리는(Burnt) 현상이 발생하여, 유기발광표시장치(100)를 폐기해야 하거나 화재의 위험성도 있다.
- [0090] 이에, 본 실시예들은, 유기발광표시패널(110)에서의 신호 라인들에 대한 결함(예: 단락, 오픈)을 감지하는 신호 라인 결함 감지 방법 및 신호 라인 결함 감지 시스템을 제공할 수 있다.
- [0091] 또한, 본 실시예들은, 신호 라인 결함 감지가 가능하도록 설계된 유기발광표시패널(110)을 제공할 수 있다.
- [0092] 아래에서는, 신호 라인 결함 감지를 가능하게 하는 유기발광표시패널(110)과, 이를 이용한 신호 라인 결함 감지 방법 및 신호 라인 결함 감지 시스템에 대하여 설명한다.
- [0093] 도 4는 본 실시예들에 따른 신호 라인 결함 감지 시스템을 나타낸 도면이고, 도 5는 본 실시예들에 따른 신호 라인 결함 감지 시스템이 신호 라인 결함을 감지하기 위하여 설계된 유기발광표시패널(110)을 나타낸 도면이다.
- [0094] 도 4를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는 신호 라인 결함 감지를 위한 신호 라인 결함 감지 시스템을 포함한다.
- [0095] 이러한 신호 라인 결함 감지 시스템은 유기발광표시패널(110), 데이터 드라이버(120), 게이트 드라이버(130), 센싱부(410) 및 결함 감지부(420) 등을 포함할 수 있다.
- [0096] 도 4 및 도 5를 참조하면, 유기발광표시패널(110)은, 다수의 서브픽셀이 매트릭스 타입으로 배치되되, 다수의 서브픽셀 행 중에서 일 측(데이터 드라이버(120)와 가까운 쪽)의 최외곽 서브픽셀 행(Ro)과 타 측(데이터 드라이버(120)와 먼 쪽)의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)에는 적어도 하나의 감지용 트랜지스터가 데이터 라인(DL)과 기준전압 라인(RVL) 사이에 배치될 수 있다.
- [0097] 게이트 드라이버(130)는, 결함 감지 구간 동안, 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 다수의 서브픽셀(SPo)을 구동하기 위하여, 일 측의 최외곽 서브픽셀 행(Ro)에 대응되는 게이트 라인(GLo)과 타 측의 최외곽 서브픽셀 행(Ro)에 대응되는 게이트 라인(GLo)으로 스캔 신호(SCANo)를 출력할 수

있다.

- [0098] 이러한 게이트 드라이버(130)는, 결함 감지 구간이 아닌 구간 동안에는, 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)을 제외한 나머지 서브픽셀 행들(R1, R2, ..., Rn)에 위치한 다수의 서브픽셀(SP)을 구동하기 위하여, 나머지 서브픽셀 행들(R1, R2, ..., Rn)에 대응되는 게이트 라인들(GL1, GL2, ..., GLn)로 스캔 신호를 순차적으로 출력할 수 있다.
- [0099] 데이터 드라이버(120)는, 결함 감지 구간 동안, 열 방향의 다수의 데이터 라인(DL)으로 데이터 전압을 출력할 수 있다.
- [0100] 센싱부(410)는, 결함 감지 구간 중 정해진 샘플링 타이밍에 열 방향의 다수의 기준전압 라인(RVL)의 전압을 센싱할 수 있다.
- [0101] 이러한 센싱부(410)는, 일 예로, 적어도 하나의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)로 구현될 수 있다.
- [0102] 각 아날로그 디지털 컨버터(ADC)는 소스 드라이버 집적회로(SDIC) 내 포함될 수 있다.
- [0103] 결함 감지부(420)는, 센싱부(410)에 의해 센싱된 전압을 토대로 열 방향의 다수의 데이터 라인(DL) 또는 열 방향의 다수의 기준전압 라인(RVL)의 결함 여부를 감지할 수 있다.
- [0104] 이러한 결함 감지부(420)는, 센싱부(410)에 의해 센싱된 전압을 데이터 라인(DL)에 출력된 데이터 전압 또는 미리 정해진 전압 또는 인접한 기준전압 라인에 대한 센싱 전압과 비교하여 열 방향의 다수의 데이터 라인(DL) 또는 열 방향의 다수의 기준전압 라인(RVL)의 결함 여부를 감지할 수 있다.
- [0105] 전술한 바에 따르면, 일 측과 타 측의 최외곽 서브픽셀 행에 위치한 최외곽 서브픽셀을 구동하여 기준전압 라인(RVL)의 전압을 센싱하고 센싱된 전압을 토대로 다수의 데이터 라인(DL) 또는 열 방향의 다수의 기준전압 라인(RVL)에 대한 결함 여부를 감지하여, 유기발광표시패널(110)의 번트(Burnt) 현상을 미연에 방지할 수 있다.
- [0106] 전술한 결함 감지부(420)는, 센싱부(410)에 의해 센싱된 전압을 데이터 라인(DL)에 출력된 데이터 전압 또는 미리 정해진 전압 또는 인접한 기준전압 라인에 대한 센싱 전압과 비교하여, 비교 결과, 센싱부(410)에 의해 센싱된 전압이 데이터 전압 또는 미리 정해진 전압 또는 또는 인접한 기준전압 라인에 대한 센싱 전압보다 낮은 경우, 열 방향의 다수의 데이터 라인(DL) 및 열 방향의 다수의 기준전압 라인(RVL) 중 적어도 하나가 오픈(Open)된 것으로 감지할 수 있다.
- [0107] 전술한 결함 감지부(420)는, 센싱부(410)에 의해 센싱된 전압을 데이터 라인(DL)에 출력된 데이터 전압 또는 미리 정해진 전압과 비교하여, 비교 결과, 센싱부(410)에 의해 센싱된 전압이 데이터 전압 또는 미리 정해진 전압 또는 또는 인접한 기준전압 라인에 대한 센싱 전압과는 다른 전압 레벨인 경우, 열 방향의 다수의 데이터 라인(DL) 및 열 방향의 다수의 기준전압 라인(RVL) 중 적어도 하나가 다른 전압 레벨의 전압(Vdata, Vref, EVDD, EVSS)을 공급하는 신호 라인 또는 신호 패턴과 단락(Short)된 것으로 감지할 수 있다.
- [0108] 이러한 결함 감지부(420)는 전술한 방식에 따라 신호 라인 결함이 감지되는 경우, 유기발광표시장치(100)의 전원을 차단하거나 신호 라인 결함 감지 결과를 화면에 표시해줄 수 있다.
- [0109] 전술한 바에 따르면, 센싱부(410)에 의해 센싱된 전압을 확인하여 신호 라인 결함을 신호 라인의 오픈(Open)과 신호 라인의 단락(Short)으로 구분하여 감지할 수 있다.
- [0110] 한편, 도 5를 참조하면, 유기발광표시패널(110)에 배치된 다수의 서브픽셀 행 중에서, 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)은 논-액티브 영역(N/A)에 위치할 수 있고, 나머지 서브픽셀 행(R1, R1, ..., Rn, n은 2 이상의 자연수)은 액티브 영역(A/A)에 위치할 수 있다.
- [0111] 전술한 바와 같이, 신호 라인 결함 감지를 위해 이용되는 최외곽 서브픽셀(SPo)이 위치한 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)이 화상 비 표시 영역에 해당하는 논-액티브 영역(N/A)에 존재함으로써, 화상 표시에 영향을 주지 않으면서 신호 라인 결함 검출을 할 수 있다.
- [0112] 도 6은 본 실시예들에 따른 신호 라인 결함 감지를 위하여, 유기발광표시패널(110)에 배치된 최외곽 서브픽셀(SPo)의 구조에 대한 예시도이다.
- [0113] 도 6을 참조하면, 신호 라인 결함 검출을 위해 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)은, 화상 표시를 위해 액티브 영역(A/A)에 위치한 일반적인 서브픽셀

(SP)와는 다르게, 유기발광다이오드(OLED)가 배치되지 않은 더미 서브픽셀(Dummy Sub Pixel)이다.

- [0114] 전술한 바와 같이, 신호 라인 결함 검출을 위해, 넌-액티브 영역(N/A)에 위치하되, 유기발광표시패널(110)의 일 측의 최외곽 서브픽셀 행(Ro)과 유기발광표시패널(110)의 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)에는, 유기발광다이오드(OLED)가 배치되지 않아도 되기 때문에, 유기발광다이오드(OLED)를 구성하는 애노드 전극, 유기 발광층, 캐소드 전극 등을 유기발광표시패널(110)에 형성하지 않아도 된다.
- [0115] 도 6을 참조하면, 신호 라인 결함 검출을 위해, 넌-액티브 영역(N/A)에 위치하되, 유기발광표시패널(110)의 일 측의 최외곽 서브픽셀 행(Ro)과 유기발광표시패널(110)의 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)은, 데이터 라인(DL)과 기준전압 라인(RVL) 사이에 직렬로 연결된 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)를 포함할 수 있다.
- [0116] 도 6을 참조하여 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)의 직렬 연결 상태를 보다 상세하게 설명하면 다음과 같다.
- [0117] 제1 감지용 트랜지스터(T1)의 게이트 노드(n1c)와 제2 감지용 트랜지스터(T2)의 게이트 노드(n2c)는 하나의 게이트 라인(GLo)으로부터 스캔 신호를 동시에 인가 받을 수 있다.
- [0118] 제1 감지용 트랜지스터(T1)의 소스 노드와 드레인 노드 중 하나(n1a)는 데이터 라인(DL)과 연결된다.
- [0119] 제2 감지용 트랜지스터(T2)의 소스 노드와 드레인 노드 중 하나(n2a)는 기준전압 라인(RVL)과 연결된다.
- [0120] 제1 감지용 트랜지스터(T1)의 소스 노드와 드레인 노드 중 데이터 라인(DL)과 미 연결된 노드(n1b)와 제2 감지용 트랜지스터(T2)의 소스 노드와 드레인 노드 중 기준전압 라인(RVL)과 미 연결된 노드(n2b)는 서로 연결될 수 있다.
- [0121] 한편, 각 최외곽 서브픽셀(SPo)에서, 데이터 라인(DL)과 기준전압 라인(RVL) 사이에 직렬로 연결된 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)는, 화상 표시를 위한 일반적인 서브픽셀(SP) 내 2개의 트랜지스터(SWT, SENT)와 관련되어 있다.
- [0122] 더 구체적으로 설명하면, 다수의 서브픽셀 행(Ro, R1, R2, ..., Rn, Ro) 중에서 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)을 제외한 나머지 서브픽셀 행(R1, R2, ..., Rn)에 위치한 각 서브픽셀(SP)은, 도 2에서 도시된 바와 같이, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 제2노드(N2, 게이트 노드)와 데이터 라인(DL) 사이에 전기적으로 연결된 스위칭 트랜지스터(SWT)와, 구동 트랜지스터(DRT)의 제1노드(N1, 소스 노드 또는 드레인 노드)와 기준전압 라인(RVL) 사이에 전기적으로 연결된 센싱 트랜지스터(SENT)와, 구동 트랜지스터(DRT)의 제1노드(N1, 소스 노드 또는 드레인 노드)와 게이트 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cstg)를 포함할 수 있다.
- [0123] 신호 라인 결함 감지를 위한 제1 감지용 트랜지스터(T1)와 화상 표시를 위한 스위칭 트랜지스터(SWT)는 드레인 노드 또는 소스 노드가 데이터 라인(DL)과 전기적으로 연결된다는 점에서 서로 대응된다.
- [0124] 또한, 신호 라인 결함 감지 용도의 최외곽 서브픽셀(SPo) 내 제1 감지용 트랜지스터(T1)와, 화상 표시 용도의 서브픽셀(SP) 내 스위칭 트랜지스터(SWT)는 위치가 서로 대응될 수 있다.
- [0125] 신호 라인 결함 감지를 위한 제2 감지용 트랜지스터(T2)와 화상 표시 및 서브픽셀 센싱(예: 구동 트랜지스터의 문턱전압 및 이동도 센싱, 유기발광다이오드의 문턱전압 센싱 등)을 위한 센싱 트랜지스터(SENT)는 드레인 노드 또는 소스 노드가 기준전압 라인(RVL)과 전기적으로 연결된다는 점에서 서로 대응된다.
- [0126] 또한, 신호 라인 결함 감지 용도의 최외곽 서브픽셀(SPo) 내 제2 감지용 트랜지스터(T2)와, 화상 표시 및 센싱 용도의 서브픽셀(SP) 내 센싱 트랜지스터(SENT)는 위치가 서로 대응될 수 있다.
- [0127] 전술한 바와 같이, 신호 라인 결함 감지 용도의 최외곽 서브픽셀(SPo) 내 2가지 감지용 트랜지스터(T1, T2)의 신호 라인 연결 구조 및 위치가 화상 표시를 위한 서브픽셀(SP) 내 2가지 트랜지스터(SWT, SENT)의 신호 라인 연결 구조 및 위치와 대응되기 때문에, 패널 제조 공정 시, 신호 라인 결함 감지 용도의 최외곽 서브픽셀(SPo) 내 2가지 감지용 트랜지스터(T1, T2)를 쉽게 형성할 수 있다.
- [0128] 도 7은 본 실시예들에 따른 유기발광표시패널(110)에 배치된 최외곽 서브픽셀(SPo)을 이용한 신호 라인 결함 감지 구조와 신호 라인 결함 감지 방법을 설명하기 위한 도면이고, 도 8은 본 실시예들에 따른 신호 라인 결함을 감지하기 위한 각종 전압 및 스위치에 대한 타이밍도이다.

- [0129] 도 7을 참조하면, 도 6과 같은 구조를 갖는 최외곽 서브픽셀(SPo)을 이용하여 신호 라인 결함을 감지하기 위하여, 신호 라인 결함 감지 시스템은, 각 기준전압 라인(RVL)과 프리-차징 전압 공급 노드(Npre) 사이에 연결된 프리-차징 스위치(SPRe)와, 각 기준전압 라인(RVL)과 센싱부(410)로서의 아날로그 디지털 컨버터(ADC) 사이에 연결된 샘플링 스위치(SAM)를 더 포함할 수 있다.
- [0130] 전술한 스위치 구성(SPRe, SAM)을 이용하여 신호 라인 결함 감지를 위한 구동을 효과적으로 제어할 수 있다.
- [0131] 도 8을 참조하면, 결함 감지 구간은 프리-차징 구간(Ta)와 센싱 구간(Tb)을 포함할 수 있다.
- [0132] 프리-차징 구간(Ta)에서는, 데이터 라인(DL)으로 감지 용도의 데이터 전압(Vdata)이 공급된다.
- [0133] 그리고, 프리-차징 구간(Ta)에서는, 프리-차징 스위치(SPRe)가 턴-온 되어, 기준전압 라인(RVL)으로 프리-차징 전압(Vpres)이 공급된다.
- [0134] 따라서, 프리-차징 구간(Ta)에서, 기준전압 라인(RVL)의 전압은 프리-차징 전압(Vpres)이 된다.
- [0135] 센싱 구간(Tb)에서는, 감지 용도의 데이터 전압(Vdata)이 데이터 라인(DL)으로 지속적으로 공급된다.
- [0136] 하지만, 센싱 구간(Tb)에서, 프리-차징 스위치(SPRe)가 턴-오프 되어, 프리-차징 전압(Vpres)이 기준전압 라인(RVL)으로 공급되지 않는다.
- [0137] 또한, 센싱 구간(Tb)에서는, 스캔 신호(SCANo)가 최외곽 게이트 라인(GLo)으로 공급된다. 이에 따라, 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)가 동시에 턴-온 된다.
- [0138] 센싱 구간(Tb)에서는, 턴-온 된 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)를 통해, 데이터 라인(DL)에 공급되고 있는 데이터 전압(Vdata)은, 신호 라인 결함이 없다면, 턴-온 된 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)를 통해, 기준전압 라인(RVL)으로 전달된다.
- [0139] 센싱 구간(Tb) 중 정해진 샘플링 타이밍에 샘플링 스위치(SAM)가 턴-온 되어, 아날로그 디지털(ADC)은 기준전압 라인(RVL)과 전기적으로 연결된다.
- [0140] 이에 따라, 아날로그 디지털 컨버터(ADC)는 기준전압 라인(RVL)의 전압을 센싱하고, 센싱된 전압(Vsen)을 결함 감지부(420)로 전송해준다.
- [0141] 만약, 신호 라인 결함이 없다면, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은 데이터 전압(Vdata) 또는 미리 정의된 전압에 해당한다.
- [0142] 하지만, 신호 라인 결함이 있다면, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은 데이터 전압(Vdata) 또는 미리 정의된 전압과는 다른 전압 레벨에 해당한다.
- [0143] 결함 감지부(420)는 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)을 미리 알고 있는 데이터 전압(Vdata) 또는 미리 정의된 전압과 비교하여, 신호 라인 결함 여부를 감지한다.
- [0144] 도 9는 본 실시예들에 따른 유기발광표시패널(110)에 배치된 최외곽 서브픽셀(SPo)을 이용한 신호 라인 결함 감지 시에 만들어지는 폐회로(Closed Loop)를 나타낸 도면이다.
- [0145] 도 9를 참조하면, 결함 감지 구간 중 센싱 구간(Tb) 동안에는, 일 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)이 동시에 구동되면, 열 방향의 다수의 데이터 라인(DL)과 열 방향의 다수의 기준전압 라인(RVL)은, 최외곽 게이트 라인(GLo)에 공급된 스캔신호(SCANo)에 의해 턴-온 된 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)와 함께, 폐 회로(Closed Loop, 900)를 형성한다.
- [0146] 전술한 바와 같이, 넌-액티브 영역(N/A)에 위치하고 일 측과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 다수의 최외곽 서브픽셀(SPo) 내 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)와 함께, 열 방향의 다수의 데이터 라인(DL)과 열 방향의 다수의 기준전압 라인(RVL)으로 폐 회로(900)를 형성하여, 폐 회로(900)를 신호 라인 결함을 감지함으로써, 상당히 넓은 영역에서의 많은 신호 라인들에 대한 결함 여부를 쉽고 빠르게 그리고 정확하게 감지할 수 있다. 또한, 액티브 영역(A/A) 뿐만 아니라, 넌-액티브 영역(N/A)에서의 신호 라인 결함을 쉽고 빠르게 그리고 정확하게 감지할 수 있다.
- [0147] 도 10 및 도 11은 본 실시예들에 따른 유기발광표시장치(100)에서, 기준전압 라인(RVL)이 4개의 서브픽셀 열마다 1개씩 배치되는 공유 구조를 갖는 경우, 신호 라인 결함 감지 구조와 신호 라인 결함 감지 방법을 설명하기

위한 도면이다.

- [0148] 도 3에 도시된 바와 같이, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 청색 서브픽셀, 녹색 서브픽셀)로 구성된 경우, 열(Column) 방향으로 배치되는 기준전압 라인(RVL)은 4개의 서브픽셀 열마다 1개씩 배치될 수 있다.
- [0149] 이에 따라, 도 10에 도시된 바와 같이, 유기발광표시패널(110)의 일 측(또는 타 측)에서의 최외각 서브픽셀 행(Ro)에는, 액티브 영역(A/A)의 적색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_R)과, 액티브 영역(A/A)의 흰색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_W)과, 액티브 영역(A/A)의 청색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_B)과, 액티브 영역(A/A)의 녹색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_G)이 반복적으로 배치된다.
- [0150] 액티브 영역(A/A)의 적색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_R)에서, 제1 감지용 트랜지스터(T1_R)와 제2 감지용 트랜지스터(T2_R)는 액티브 영역(A/A)의 적색 서브픽셀과 전기적으로 연결되는 데이터 라인(DL_R)과 기준전압 라인(RVL) 사이에 직렬로 연결된다.
- [0151] 액티브 영역(A/A)의 흰색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_W)에서, 제1 감지용 트랜지스터(T1_W)와 제2 감지용 트랜지스터(T2_W)는 액티브 영역(A/A)의 흰색 서브픽셀과 전기적으로 연결되는 데이터 라인(DL_W)과 기준전압 라인(RVL) 사이에 직렬로 연결된다.
- [0152] 액티브 영역(A/A)의 청색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_B)에서, 제1 감지용 트랜지스터(T1_B)와 제2 감지용 트랜지스터(T2_B)는 액티브 영역(A/A)의 청색 서브픽셀과 전기적으로 연결되는 데이터 라인(DL_B)과 기준전압 라인(RVL) 사이에 직렬로 연결된다.
- [0153] 액티브 영역(A/A)의 녹색 서브픽셀과 대응되는 최외각 서브픽셀(SPo_G)에서, 제1 감지용 트랜지스터(T1_G)와 제2 감지용 트랜지스터(T2_G)는 액티브 영역(A/A)의 녹색 서브픽셀과 전기적으로 연결되는 데이터 라인(DL_G)과 기준전압 라인(RVL) 사이에 직렬로 연결된다.
- [0154] 4개의 최외각 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)로 구성된 1개의 외곽 픽셀(Po)에 포함된 4개의 제1 감지용 트랜지스터(T1_R, T1_W, T1_B, T1_G)와 4개의 제2 감지용 트랜지스터(T2_R, T2_W, T2_B, T2_G)의 모든 게이트 노드는, 1개의 최외곽 게이트 라인(GLo)과 연결되어 스캔신호(SCANo)를 인가 받을 수 있다.
- [0155] 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)에서의 제1 감지용 트랜지스터(T1_R, T1_W, T1_B, T1_G)의 드레인 노드 또는 소스 노드에 연결되는 각 데이터 라인(DL_R, DL_W, DL_B, DL_G) 상의 제1 저항(R_DATA)과 제1 캐패시터(C_DATA)가 존재할 수 있다.
- [0156] 또한, 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)에서의 제2 감지용 트랜지스터(T2_R, T2_W, T2_B, T2_G)의 드레인 노드 또는 소스 노드에 연결되는 기준전압 라인(RVL) 상의 제2 저항(R_REF)과 제2 캐패시터(C_REF)가 존재할 수 있다.
- [0157] 4개의 데이터 라인(DL_R, DL_W, DL_B, DL_G) 각각에 존재하는 제1 저항(R_DATA)과 제1 캐패시터(C_DATA)와, 기준전압 라인(RVL)에 존재하는 제2 저항(R_REF)과 제2 캐패시터(C_REF)는, 기생 저항과 기생 캐패시터일 수도 있고, 감지 성능 향상을 위하여 의도적으로 만든 외부 저항과 외부 캐패시터일 수도 있다.
- [0158] 한편, 도 10을 참조하면, 결함 감지 구간 동안, 4개의 데이터 라인(DL_R, DL_W, DL_B, DL_G)으로 감지용 데이터 전압(Vdata_R, Vdata_W, Vdata_B, Vdata_G)를 동시에 공급하여, 아날로그 디지털 컨버터(ADC)가 기준전압 라인(RVL)의 전압을 센싱하여 신호 라인 결함 여부를 감지할 수 있다.
- [0159] 기준전압 라인(RVL)에 단락이나 오픈이 있는 경우, 센싱 전압(Vsen)이 미리 정의된 정상 전압과 달라진다.
- [0160] 또한, 4개의 데이터 라인(DL_R, DL_W, DL_B, DL_G) 중 하나라도 단락이나 오픈이 있는 경우, 센싱 전압(Vsen)이 미리 정의된 정상 전압과 달라진다.
- [0161] 도 11은 도 10과 같이, 4개의 데이터 라인(DL_R, DL_W, DL_B, DL_G) 상에 제1 저항(R_DATA)과 제1 캐패시터(C_DATA)가 존재하고, 기준전압 라인(RVL) 상에 제2 저항(R_REF)과 제2 캐패시터(C_REF)가 존재하는 경우에 대한 각종 전압 및 스위치(SPRE, SAM)에 대한 타이밍도이다.
- [0162] 도 11을 참조하면, 기준전압 라인(RVL)에 존재하는 제2 저항(R_REF)과 제2 캐패시터(C_REF)에 의해, 프리-차징 구간(Ta)에서 프리-차징 스위치(SPRE)가 턴-온 되어 기준전압 라인(RVL)에 프리-차징 전압(Vpes)이 공급되더라도, 기준전압 라인(RVL)의 전압은 프리-차징 전압(Vpres)으로 바로 바뀌지 않고, 프리-차징 전압(Vpres)까지 서

서히 낮아진다.

- [0163] 또한, 기준전압 라인(RVL)에 존재하는 제2 저항(R_REF)과 제2 캐패시터(C_REF)에 의해, 센싱 구간(Tb)에서, 데이터 라인(DL)으로 공급된 데이터 전압(Vdata)이 스캔신호(SCANo)에 의해 턴-온 된 제1 감지용 트랜지스터(T1) 및 제2 감지용 트랜지스터(T2)를 통해 기준전압 라인(RVL)에 전달되더라도, 기준전압 라인(RVL)의 전압은, 신호 라인 결합이 없는 경우, 데이터 전압(Vdata)으로 바로 바뀌지 않고 데이터 전압(Vdata)까지 서서히 높아진다.
- [0164] 도 10에서 이러한 기준전압 라인(RVL)의 전압 변화를 제외하고는 나머지는 도 8의 타이밍도와 기본적으로 동일하다.
- [0165] 도 12는 본 실시예들에 따른 신호 라인 결합을 감지하기 위한 결합 감지 구간의 예시도이다.
- [0166] 도 12를 참조하면, 본 실시예들에 따른 신호 라인 결합을 감지하기 위한 결합 감지 구간 동안, 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 최외곽 서브픽셀(SPo)의 적어도 하나의 감지용 트랜지스터의 게이트 노드로 스캔신호(SCANo)가 인가된다.
- [0167] 하나의 결합 감지 구간 동안, 게이트 드라이버(130)에서 한 차례 이상의 스캔신호(SCANo)가 출력될 수 있다.
- [0168] 한편, 도 12에 도시된 바와 같이, 이러한 결합 감지 구간은 매 프레임이 시작되기 전 또는 후에 진행될 수 있다. 여기서, 한 프레임 구간은 액티브 시간(Active Time) 구간과 블랭크 시간(Blank Time) 구간으로 이루어질 수 있다.
- [0169] 전술한 바와 같이, 신호 라인 결합 감지 구간을 매 프레임 시작 전 또는 후로 진행함으로써, 영상 구동 중에서도 신호 라인 결합을 실시간으로 감지할 수 있다.
- [0170] 도 13은 본 실시예들에 따른 유기발광표시장치(100)에서, 기준전압 라인(RVL)이 4개의 서브픽셀 열마다 1개씩 배치되는 공유 구조를 갖는 경우, 신호 라인 결합 감지 구조와 신호 라인 결합 감지 방법을 설명하기 위한 다른 도면이다.
- [0171] 도 10을 참조하여 전술한 바와 같이, 기준전압 라인(RVL)이 4개의 서브픽셀 열마다 1개씩 배치되는 공유 구조를 갖는 경우, 동일 결합 감지 구간 동안, 1개의 기준전압 라인(RVL)과 전기적으로 연결된 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)을 동시에 구동하여 신호 라인 결합 감지를 수행할 수 있다.
- [0172] 이에 따르면, 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)로 감지용 데이터 전압(Vdata_R, Vdata_W, Vdata_B, Vdata_G)이 동시에 공급된다.
- [0173] 이와 같이, 1개의 기준전압 라인(RVL)과 전기적으로 연결된 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)을 동시에 구동하여 신호 라인 결합을 감지하지 않고, 도 13에 도시된 바와 같이,
- [0174] 1개의 기준전압 라인(RVL)과 전기적으로 연결된 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)을 순차적으로 구동하면서 신호 라인 결합 감지를 수행할 수도 있다.
- [0175] 이와 같이, 1개의 기준전압 라인(RVL)과 전기적으로 연결된 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G)을 순차적으로 구동하면서 신호 라인 결합 감지를 수행하는 경우, 4개의 최외곽 서브픽셀(SPo_R, SPo_W, SPo_B, SPo_G) 각각에 연결된 데이터 라인(DL_R, DL_W, DL_B, DL_G)에 대한 결합 여부를 개별적으로 정확하게 감지할 수 있다.
- [0176] 도 14는 본 실시예들에 따른 유기발광표시장치(100)에서, 데이터 라인(DL) 상의 제1저항(R_DATA)과 센싱 전압(Vsen) 간의 관계를 나타낸 그래프이다.
- [0177] 도 14를 참조하면, 데이터 라인(DL) 상의 제1저항(R_DATA)이 커질수록, 아날로그 디지털 컨버터(ADC)에 의해 기준전압 라인(RVL)의 센싱 전압(Vsen)을 감소할 수 있다.
- [0178] 이러한 관계를 고려하여, 신호 라인 결합 여부를 감지하기 위하여, 센싱 전압(Vsen)과 비교되는 전압 값을 설정함으로써, 신호 라인 결합을 더욱 정확하게 감지할 수 있다.
- [0179] 도 15는 본 실시예들에 따른 신호 라인 결합 감지를 위하여, 유기발광표시패널(110)에 배치된 최외곽 서브픽셀(SPo)의 구조에 대한 다른 예시도이다.
- [0180] 이상에서는, 하나의 최외곽 서브픽셀(SPo)이 2개의 감지용 트랜지스터(T1, T2)를 포함하는 구조인 것으로 설명하였으나, 도 15에 도시된 바와 같이, 1개의 감지용 트랜지스터(T)를 포함하는 구조일 수도 있다.

- [0181] 도 15를 참조하면, 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)은 1개의 감지용 트랜지스터(T)를 포함할 수 있다.
- [0182] 1개의 감지용 트랜지스터(T)의 드레인 노드 또는 소스 노드는 데이터 라인과 연결되고, 1개의 감지용 트랜지스터(T)의 소스 노드 또는 드레인 노드는 기준전압 라인(RVL)과 연결되며, 1개의 감지용 트랜지스터(TR)의 게이트 노드는 게이트 라인(GLo)과 연결될 수 있다.
- [0183] 전술한 바와 같이, 신호 라인 결함 감지를 위한 최외곽 서브픽셀(SPo)을 1개의 감지용 트랜지스터(T)만으로 구성함으로써, 패널 설계 및 제조 공정이 쉬어지는 장점이 있고, 베젤 영역에 대한 공간 활용도도 높아질 수 있다.
- [0184] 아래에서는, 이상에서 설명한 본 실시예들에 따른 유기발광표시장치(100)의 신호 라인 결함 감지 방법을 간략하게 다시 설명한다.
- [0185] 도 16은 본 실시예들에 따른 유기발광표시장치(100)의 신호 라인 결함 감지 방법에 대한 흐름도이다.
- [0186] 도 16을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 신호 라인 결함 감지 방법은, 미리 정의된 결함 감지 구간 동안, 열 방향의 다수의 데이터 라인(DL)으로 데이터 전압(Vdata)을 출력하고, 열 방향의 다수의 기준전압 라인(RVL)으로 프리-차징 전압(Vpres)을 출력하는 제1 단계(S1610)와, 결함 감지 구간 동안, 열 방향의 다수의 기준전압 라인(RVL)으로 프리-차징 전압(Vpres)의 출력을 중단하고, 유기발광표시패널(110)에 배치된 다수의 서브픽셀 행 중에서 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro) 각각에 대응되는 게이트 라인(GLo)으로 스캔 신호(SCANo)를 출력하는 제2 단계(S1620)와, 결함 감지 구간 중 정해진 샘플링 타이밍에 열 방향의 다수의 기준전압 라인(RVL)의 전압을 센싱하는 제3 단계(S1630)와, 센싱된 전압(Vsen)을 토대로 열 방향의 다수의 데이터 라인(DL) 또는 열 방향의 다수의 기준전압 라인(RVL)의 결함 여부를 감지하는 제4 단계(S1640) 등을 포함할 수 있다.
- [0187] 전술한 신호 라인 결함 감지 방법에 따르면, 일 측과 타 측의 최외곽 서브픽셀 행에 위치한 최외곽 서브픽셀을 구동하여 기준전압 라인(RVL)의 전압을 센싱하고 센싱된 전압을 토대로 다수의 데이터 라인(DL) 또는 열 방향의 다수의 기준전압 라인(RVL)에 대한 결함 여부를 감지하여, 유기발광표시패널(110)의 번트(Burnt) 현상을 미연에 방지할 수 있다.
- [0188] 한편, 신호 라인 결함을 감지하는 절차인 제1 단계(S1610), 제2 단계(S1620) 및 제3 단계(S1630)는 매 프레임 시작 전 또는 후에 진행될 수 있다.
- [0189] 전술한 바와 같이, 신호 라인 결함을 감지하는 절차인 제1 단계(S1610), 제2 단계(S1620) 및 제3 단계(S1630)를 매 프레임 시작 전 또는 후로 진행함으로써, 영상 구동 중에서 발생하는 신호 라인 결함을 실시간으로 감지할 수 있다.
- [0190] 도 17은 본 실시예들에 따른 유기발광표시패널(110)을 나타낸 도면이다.
- [0191] 도 17을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)은, 일 측의 최외곽 서브픽셀 행(Ro)에 위치한 다수의 최외곽 서브픽셀(SPo)과, 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 다수의 최외곽 서브픽셀(SPo)을 포함할 수 있다.
- [0192] 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)은 유기발광다이오드(OLED)가 배치되지 않는 더미 픽셀일 수 있다.
- [0193] 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)은 데이터 라인과 기준전압 라인(RVL) 사이에 직렬로 연결된 적어도 하나의 감지용 트랜지스터(T, T1/T2)가 배치될 수 있다.
- [0194] 전술한 바와 같은 구조로 유기발광표시패널(110)에 설계되면, 다수의 데이터 라인(DL) 또는 열 방향의 다수의 기준전압 라인(RVL)에 대한 결함 여부를 감지하여, 유기발광표시패널(110)의 번트(Burnt) 현상을 미연에 방지할 수 있다.
- [0195] 한편, 일 측의 최외곽 서브픽셀 행(Ro)과 타 측의 최외곽 서브픽셀 행(Ro)은 넌-액티브 영역(N/A)에 위치할 수 있다. 여기서, 넌-액티브 영역(N/A)은 화상 비 표시 영역으로서 베젤 영역이라고도 한다.
- [0196] 전술한 바와 같이, 신호 라인 결함 감지를 위해 이용되는 최외곽 서브픽셀(SPo)을 화상 비 표시 영역에 해당하

는 넌-액티브 영역(N/A)에 배치함으로써, 화상 표시에 영향을 주지 않으면서 신호 라인 결함 검출을 할 수 있다.

[0197] 한편, 일 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)과 타 측의 최외곽 서브픽셀 행(Ro)에 위치한 각 최외곽 서브픽셀(SPo)은 매 프레임 시작 전 또는 후에 구동될 수 있다.

[0198] 전술한 바와 같이, 신호 라인 결함 감지가 매 프레임 시작 전 또는 후로 진행됨으로써, 영상 구동 중에 발생할 지도 모를 신호 라인 결함도 실시간으로 즉각적으로 감지할 수 있다.

[0199] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 유기발광표시패널(110)에서의 신호 라인 결함을 효율적으로 쉽고 빠르게 감지하여 유기발광표시패널의 번트 현상을 방지해줄 수 있는 유기발광표시패널(110), 유기발광표시장치(100) 및 신호 라인 결함 감지 방법을 제공할 수 있다.

[0200] 또한, 본 실시예들에 의하면, 유기발광표시패널(110)의 베젤 영역에서의 신호 라인 결함을 효율적으로 쉽고 빠르게 감지할 수 있는 유기발광표시패널(110), 유기발광표시장치(100) 및 신호 라인 결함 감지 방법을 제공할 수 있다.

[0201] 또한, 본 실시예들에 의하면, 영상 구동 중에 발생하는 신호 라인 결함을 실시간으로 감지하여 신호 라인 결함에 대한 즉각적인 대응 조치를 가능하게 해줄 수 있는 유기발광표시패널(110), 유기발광표시장치(100) 및 신호 라인 결함 감지 방법을 제공할 수 있다.

[0202] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

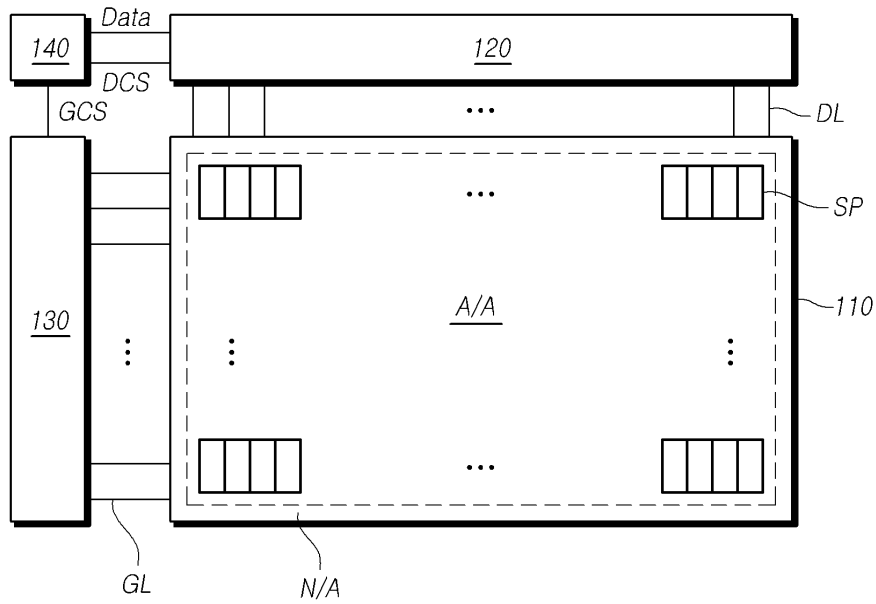
부호의 설명

- [0204] 100: 유기발광표시장치
110: 유기발광표시패널
120: 데이터 드라이버
130: 게이트 드라이버
140: 컨트롤러

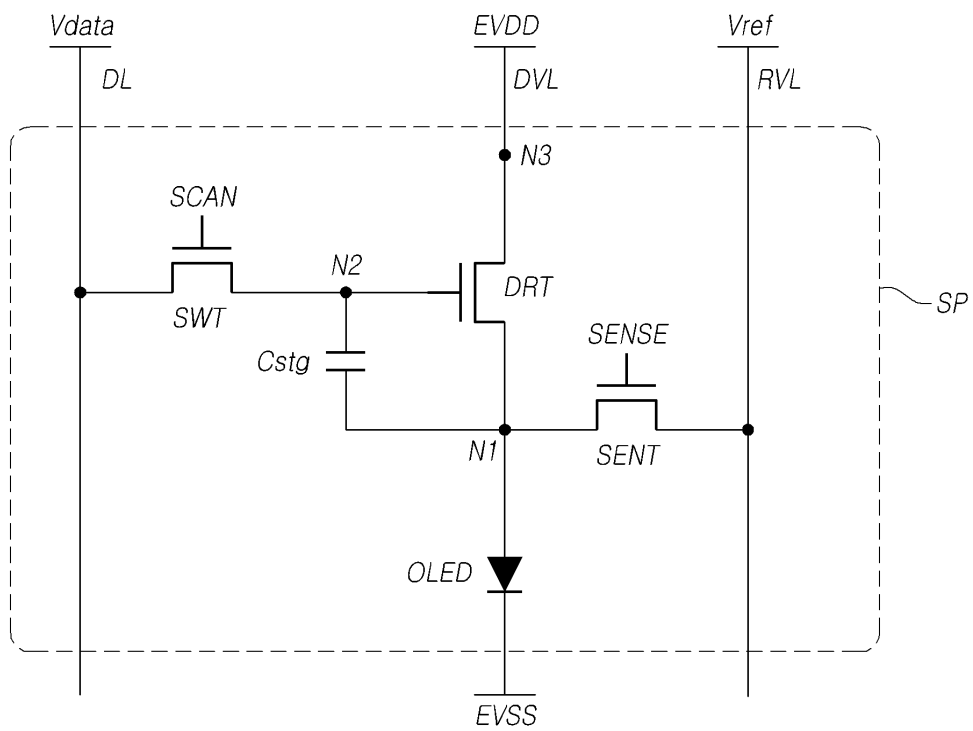
도면

도면1

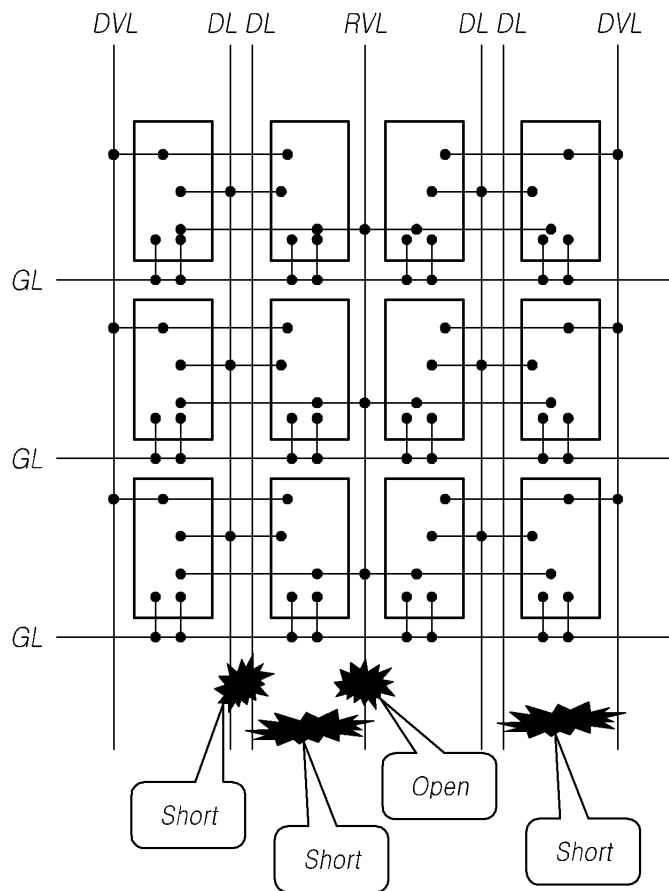
100



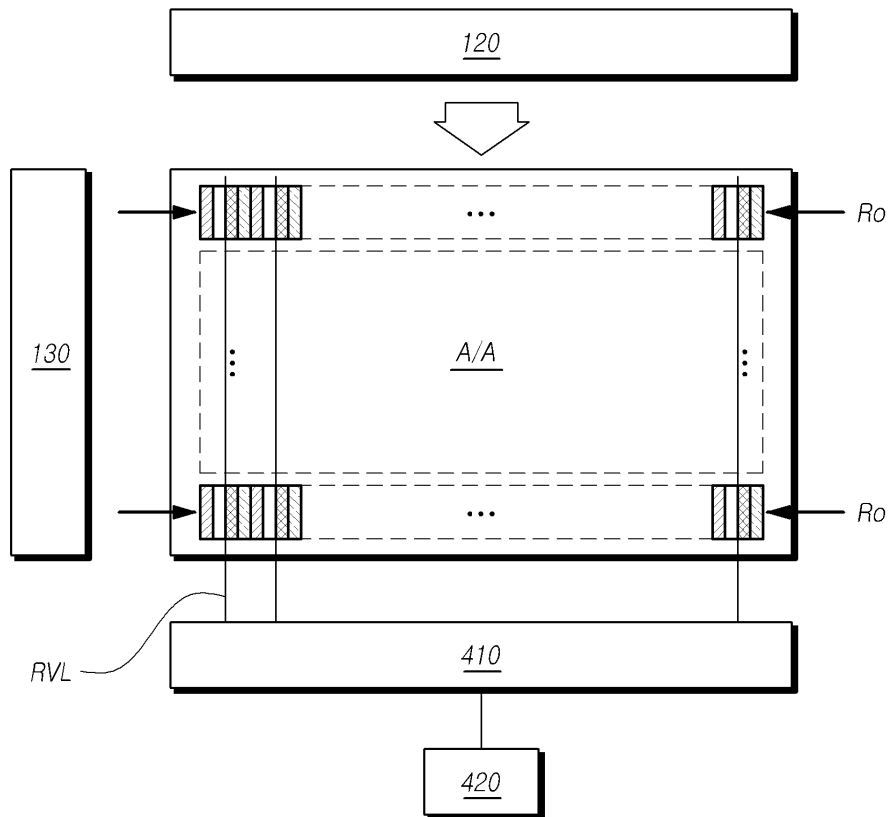
도면2



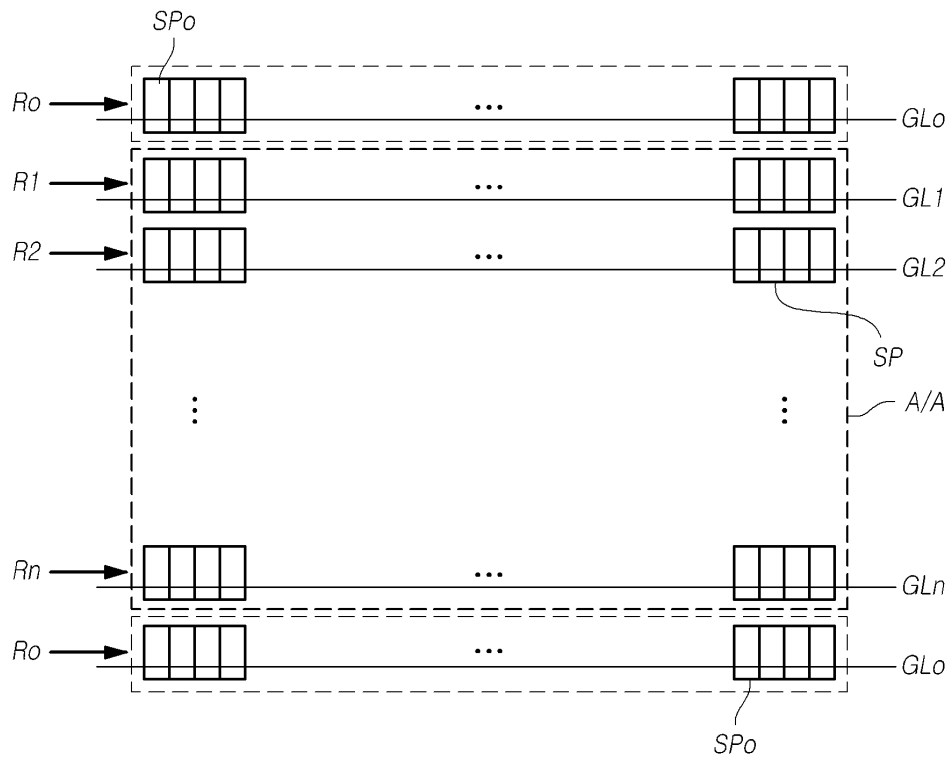
도면3



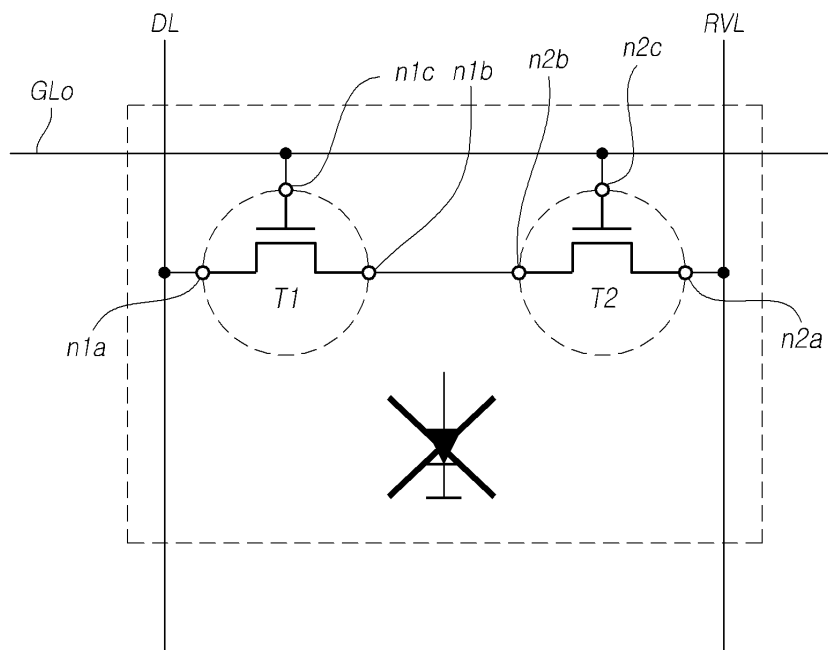
도면4



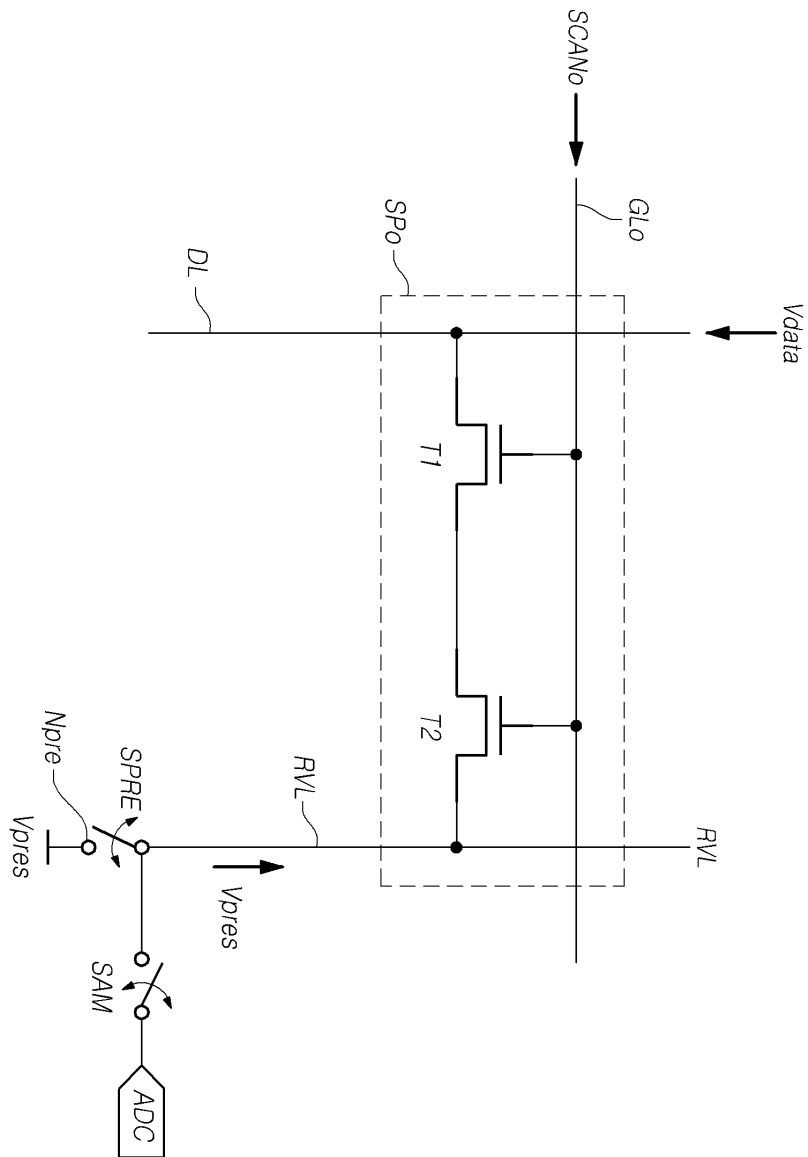
도면5



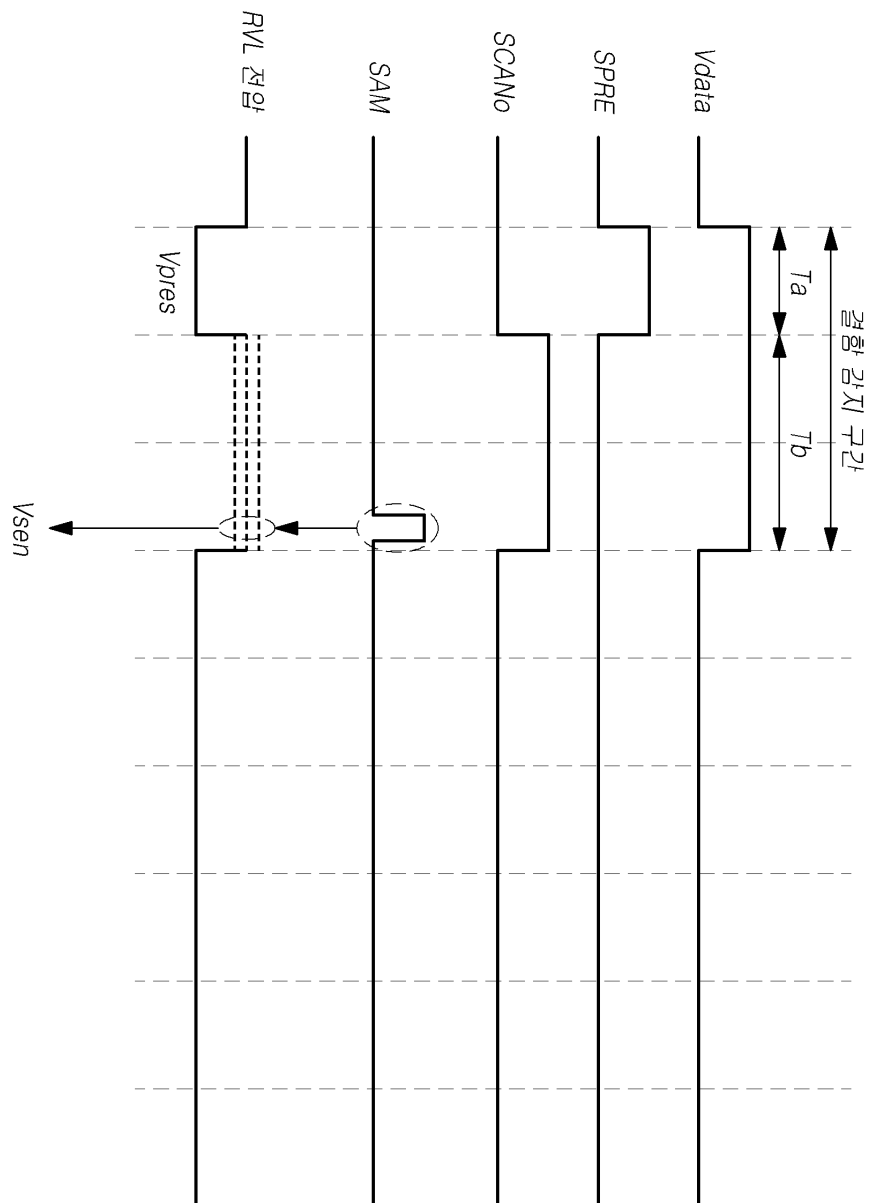
도면6



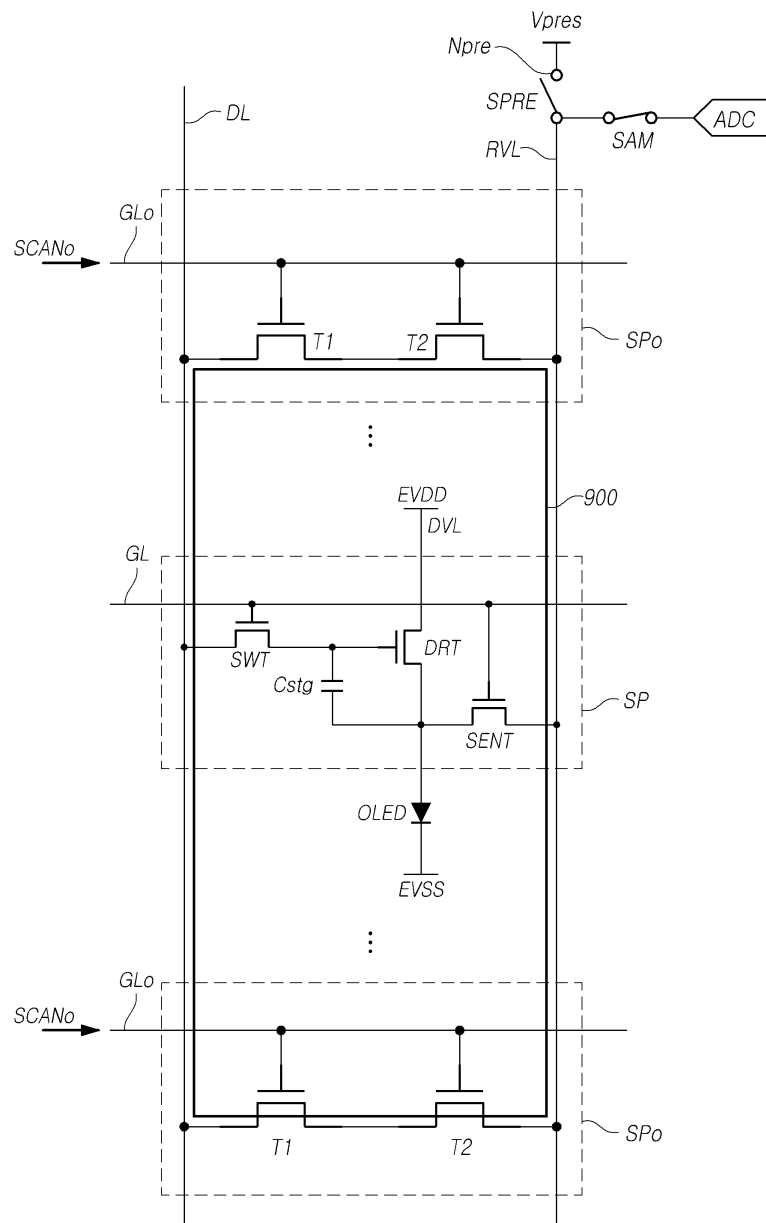
도면7



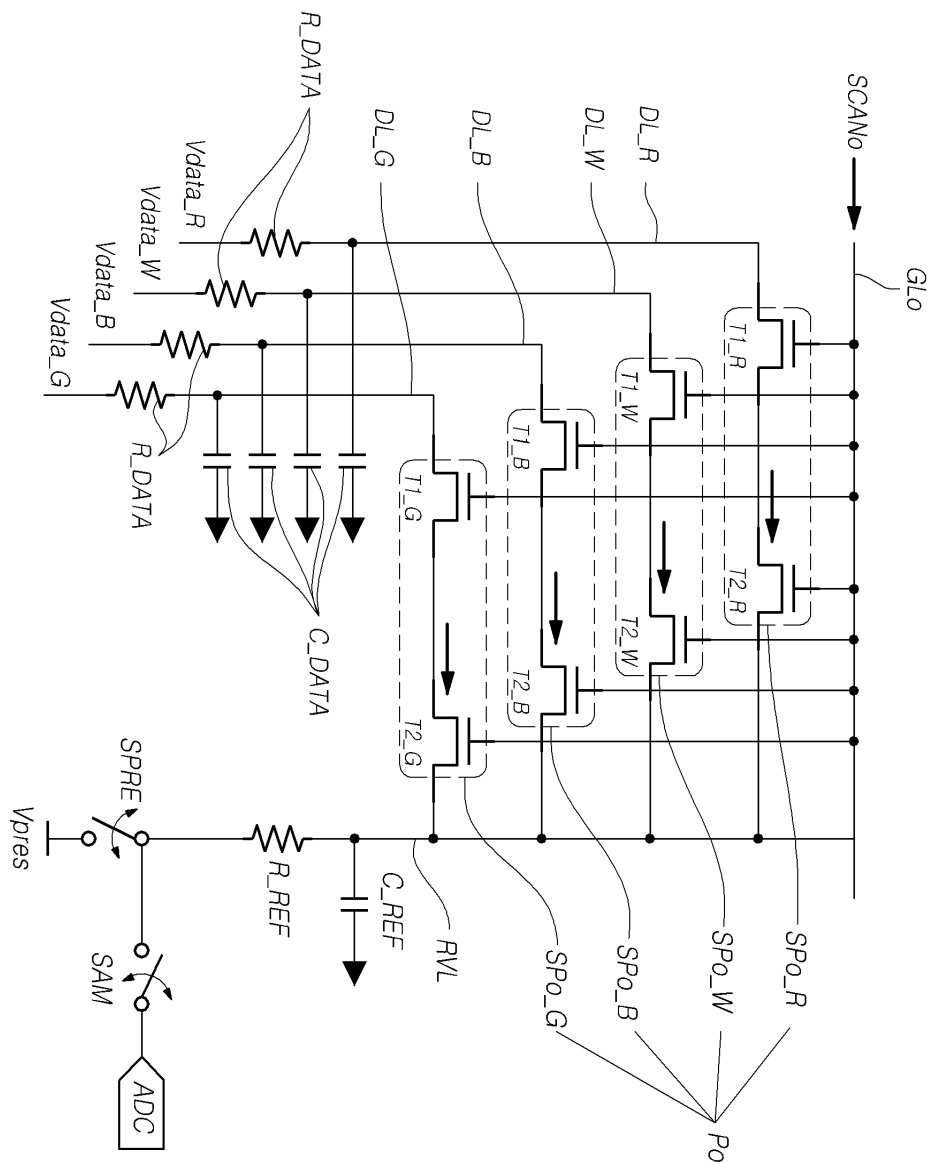
도면8



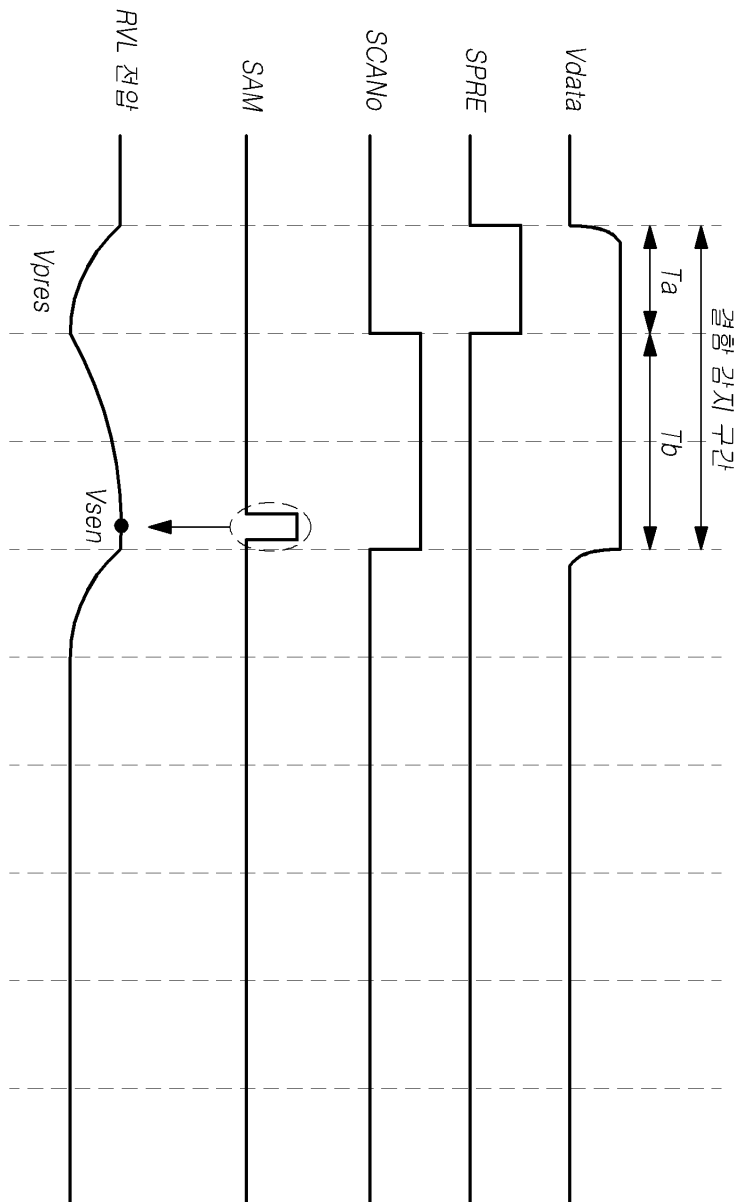
도면9



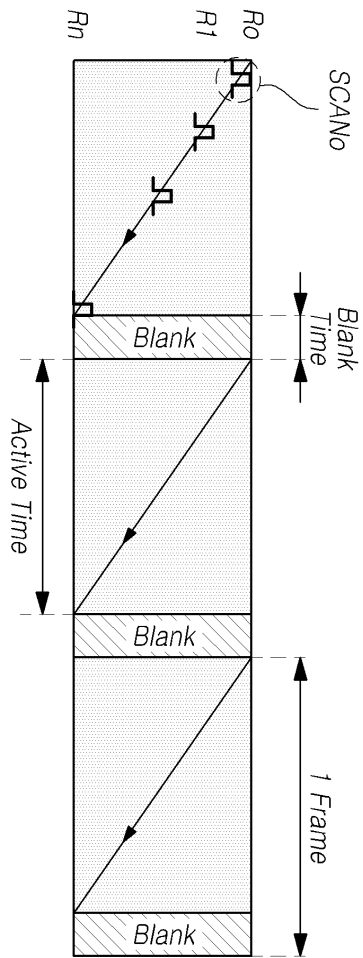
도면10



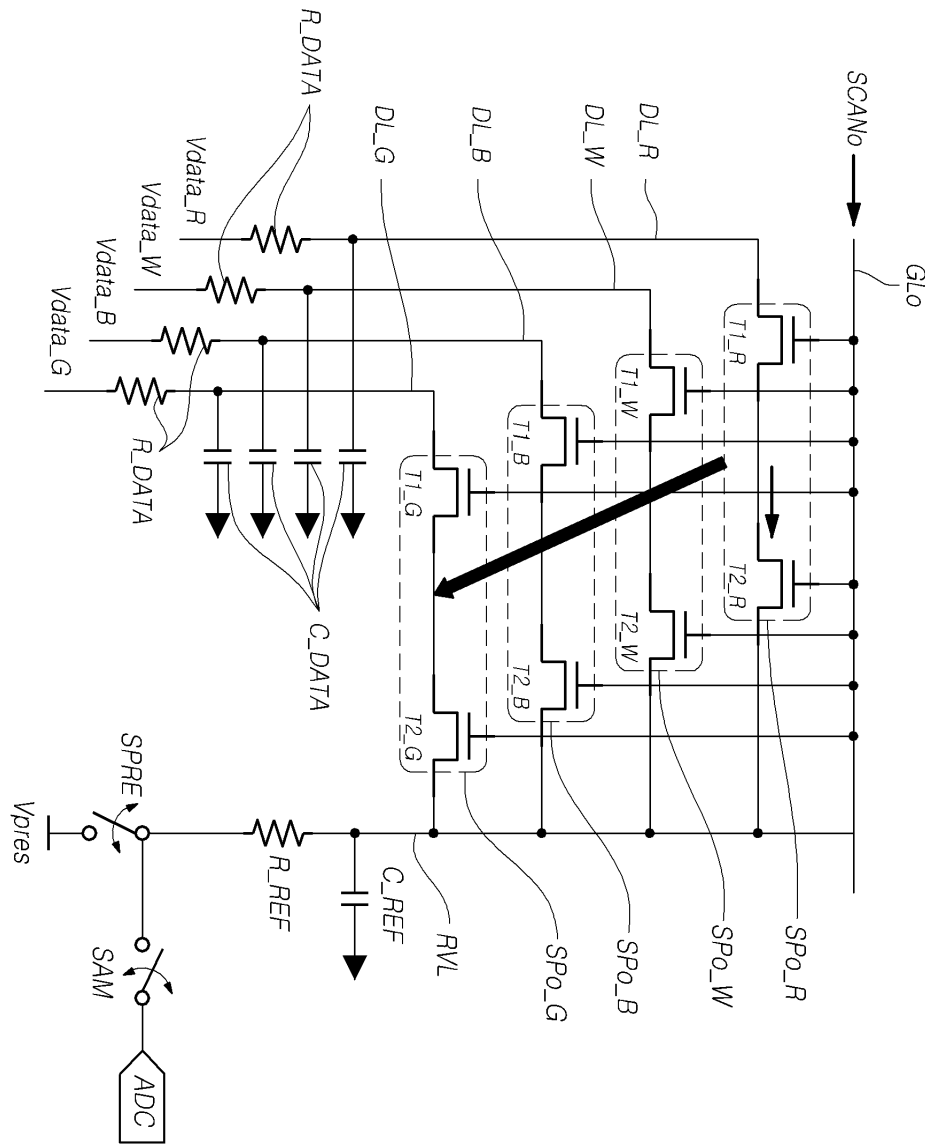
도면11



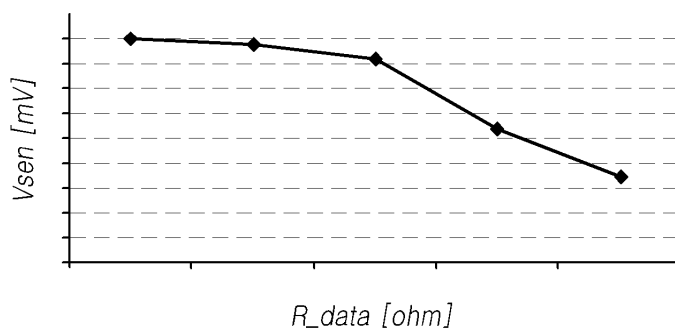
도면12



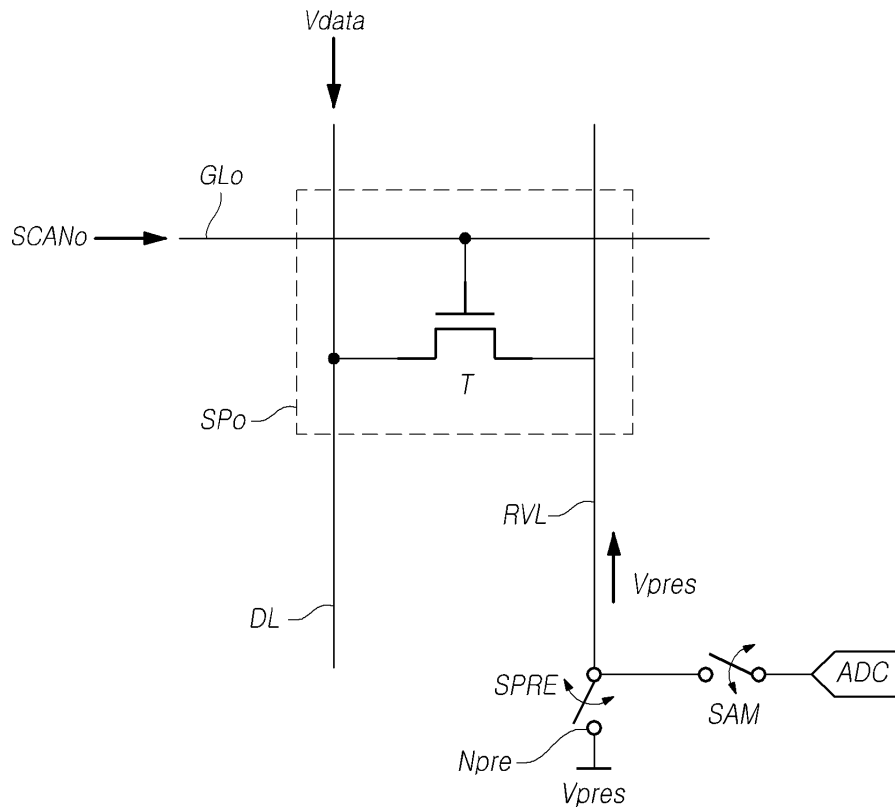
도면13



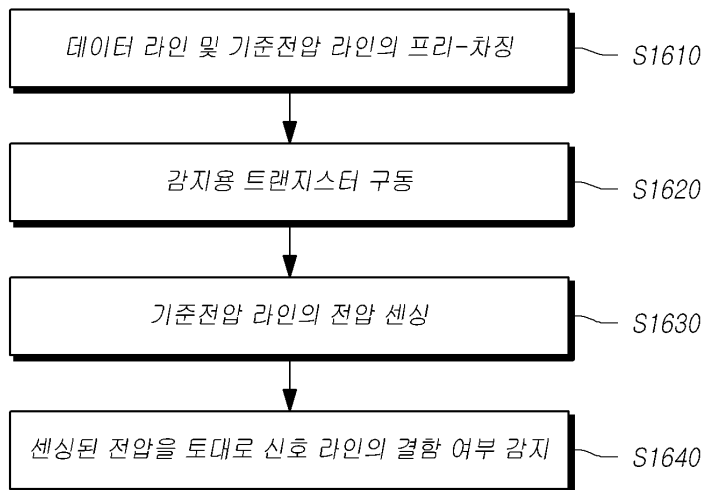
도면14



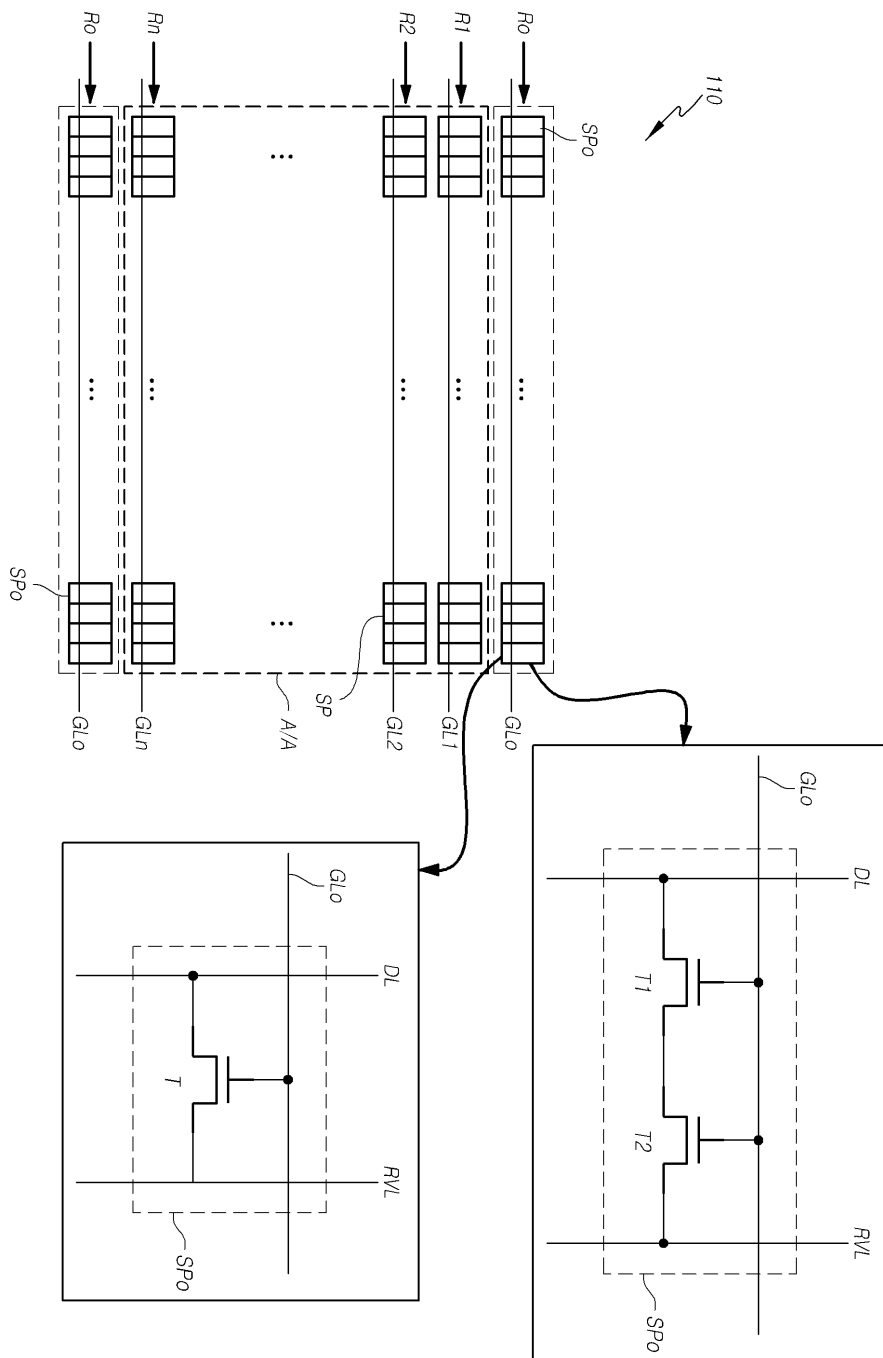
도면15



도면16



도면17



专利名称(译)	标题：OLED显示板，OLED显示装置和检测信号线缺陷的方法		
公开(公告)号	KR1020170064177A	公开(公告)日	2017-06-09
申请号	KR1020150169535	申请日	2015-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA WON KYU 하원규		
发明人	하원규		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2330/08 G09G2300/0842		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示板，有机发光显示器和检测信号线缺陷的方法，更具体地说，一种通过驱动最外面的子像素来检测信号线中的缺陷以防止有机发光显示面板的突发现象的方法，以及一种检测最外面的子信号线中的信号线的缺陷的方法并且有机发光二极管（OLED）显示器。

