



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0064167
(43) 공개일자 2017년06월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3275 (2013.01)

G09G 3/3233 (2013.01)

(21) 출원번호 10-2015-0169514

(22) 출원일자 2015년11월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김세영

경기도 파주시 월롱면 엘씨지로 201 LG.PHILIPS

LCD 정다운마을 103-1220

(74) 대리인

김은구, 송해모

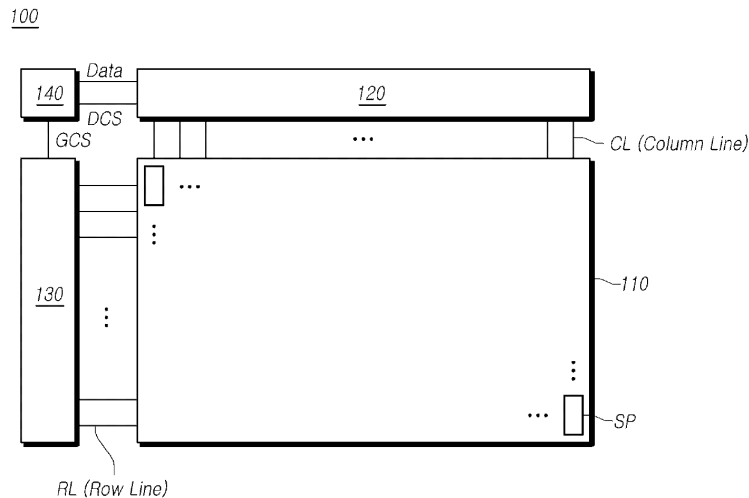
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법

(57) 요약

본 실시예들은, 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법에 관한 것으로서, 더욱 상세하게는, 영상 신호를 하나의 데이터 라인을 통해 해당 서브픽셀로 공급되는 관습적인 기존 방식에서 탈피하여 2개의 컬럼 라인을 통해 2개의 컬럼 전압을 하나의 서브픽셀에 공급하여 원하는 영상 표현을 하도록 하는 새로운 개념의 서브픽셀 구조와 그 구동 방식과, 2가지의 컬럼 라인을 교번하면서 배치시키되 각 컬럼 라인은 인접한 2개의 서브픽셀이 공유하는 형태로 설계한 새로운 신호 라인 연결 구조를 통해, 컬럼 방향의 신호 라인 개수를 줄이면서 효과적인 영상 구동 및 센싱 구동을 가능하게 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법에 관한 것이다.

대표도



(52) CPC특허분류

G09G 2300/0465 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

컬럼(Column) 방향으로 다수의 제1 컬럼 라인 및 다수의 제2 컬럼 라인을 포함하는 다수의 컬럼 라인이 배치되고, 로우(Row) 방향으로 다수의 로우 라인이 배치되며, 다수의 서브픽셀이 매트릭스 타입으로 배열되는 유기발광표시패널;

상기 다수의 제1 컬럼 라인 및 상기 다수의 제2 컬럼 라인을 구동하는 컬럼 라인 구동 회로; 및

상기 다수의 로우 라인을 구동하는 로우 라인 구동 회로를 포함하고,

상기 각 서브픽셀은,

유기발광다이오드;

상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터;

상기 구동 트랜지스터의 제1노드와 상기 제1 컬럼 라인 사이에 전기적으로 연결된 제1 트랜지스터;

상기 구동 트랜지스터의 제2노드와 상기 제2 컬럼 라인 사이에 전기적으로 연결된 제2 트랜지스터; 및

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 제1 컬럼 라인은 i 번째 서브픽셀 컬럼과 $i+1$ 번째 서브픽셀 컬럼 사이마다 위치하고,

상기 제2 컬럼 라인은 상기 $i+1$ 번째 서브픽셀 컬럼과 $i+2$ 번째 서브픽셀 컬럼 사이마다 위치하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제1 컬럼 라인은,

상기 i 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제1 트랜지스터와, 상기 $i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제1 트랜지스터에 공통으로 연결되고,

상기 제2 컬럼 라인은,

상기 $i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제2 트랜지스터와, 상기 $i+2$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제2 트랜지스터와 공통으로 연결되는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 다수의 제1 컬럼 라인 및 상기 다수의 제2 컬럼 라인 각각은 디지털 아날로그 컨버터와 전기적으로 연결되는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 다수의 제1 컬럼 라인 및 상기 다수의 제2 컬럼 라인 각각에 대하여 상기 디지털 아날로그 컨버터와의 연결을 스위칭 하는 컬럼 전압 스위치를 포함하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 다수의 제2 컬럼 라인은 아날로그 디지털 컨버터와 전기적으로 연결되는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 각 제2 컬럼 라인과 아날로그 디지털 컨버터 간의 연결을 스위칭 하는 샘플링 스위치; 및

상기 각 제2 컬럼 라인과 초기화 전압 공급 노드 간의 연결을 스위칭 하는 초기화 전압 스위치를 포함하는 유기 발광표시장치.

청구항 7

제1항에 있어서,

상기 컬럼 라인 구동 회로는,

상기 제1 컬럼 라인으로 제1 컬럼 전압을 출력하고 상기 제2 컬럼 라인으로 제2 컬럼 전압을 출력하며,

상기 제1 컬럼 전압과 상기 제2 컬럼 전압의 차이는,

상기 제1 컬럼 라인과 연결된 제1 트랜지스터와 상기 제2 컬럼 라인과 연결된 제2 트랜지스터를 포함하는 서브 픽셀에서 표현하고자 하는 휘도에 해당하는 데이터 전압과 대응되는 유기발광표시장치.

청구항 8

컬럼(Column) 방향으로 배치된 다수의 제1 컬럼 라인;

컬럼 방향으로 배치된 다수의 제2 컬럼 라인;

로우(Row) 방향으로 배치된 다수의 로우 라인; 및

매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하고,

상기 다수의 서브픽셀 각각은,

유기발광다이오드;

상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터;

상기 구동 트랜지스터의 제1노드와 상기 제1 컬럼 라인 사이에 전기적으로 연결된 제1 트랜지스터;

상기 구동 트랜지스터의 제2노드와 상기 제2 컬럼 라인 사이에 전기적으로 연결된 제2 트랜지스터; 및

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 제1 컬럼 라인은 i 번째 서브픽셀 컬럼과 $i+1$ 번째 서브픽셀 컬럼 사이마다 위치하고,

상기 제2 컬럼 라인은 상기 $i+1$ 번째 서브픽셀 컬럼과 $i+2$ 번째 서브픽셀 컬럼 사이마다 위치하는 유기발광표시 패널.

청구항 9

제8항에 있어서,

상기 제1 컬럼 라인은,

상기 i 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제1 트랜지스터와, 상기 $i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제1 트랜지스터에 공통으로 연결되고,

상기 제2 컬럼 라인은,

상기 $i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제2 트랜지스터와, 상기 $i+2$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 제2 트랜지스터와 공통으로 연결되는 유기발광표시패널.

청구항 10

K(K는 2 이상의 자연수)개의 디지털 아날로그 컨버터;

상기 K개의 디지털 아날로그 컨버터와 대응되는 연결된 K개의 출력 버퍼;

상기 K개의 출력 버퍼와 K개의 컬럼 라인 간의 연결을 스위칭 하는 $M+N(M+N=K)$, M, N은 1 이상의 자연수)개의 컬럼 전압 스위치;

아날로그 디지털 컨버터;

상기 K개의 컬럼 라인에 포함된 M개의 제1 컬럼 라인과 N개의 제2 컬럼 라인 중 상기 N개의 제2 컬럼 라인과 상기 아날로그 디지털 컨버터 간의 연결을 스위칭 하는 N개의 샘플링 스위치; 및

상기 N개의 제2 컬럼 라인과 초기화 전압 공급 노드 간의 연결을 스위칭 하는 적어도 하나의 초기화 스위치를 포함하는 라인 구동 회로.

청구항 11

제10항에 있어서,

상기 제1 컬럼 라인과 상기 제2 컬럼 라인은 교번하는 컬럼 라인 구동 회로.

청구항 12

유기발광표시장치의 영상 구동 방법에 있어서,

제1 컬럼 라인을 통해 i 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 제1 컬럼 전압을 인가하고, 제2 컬럼 라인을 통해 상기 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 제2 컬럼 전압을 인가하는 제1 단계;

상기 i 번째 서브픽셀 내 구동 트랜지스터의 제1노드와 제2노드를 플로팅 시키는 제2 단계; 및

상기 i 번째 서브픽셀 내 유기발광다이오드가 발광하는 제3 단계를 포함하되,

상기 제1 단계는,

상기 제1 컬럼 라인을 통해 상기 i 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 제1 컬럼 전압을 인가할 때, 상기 제1 컬럼 라인을 통해 i+1 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 상기 제1 컬럼 전압을 동시에 인가하고,

상기 제2 컬럼 라인을 통해 상기 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 제2 컬럼 전압을 인가할 때, 상기 제2 컬럼 라인을 통해 i-1 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 상기 제2 컬럼 전압을 동시에 인가하는 유기발광표시장치의 영상 구동 방법.

청구항 13

유기발광표시장치의 센싱 방법에 있어서,

제1 컬럼 라인을 통해, i 번째 서브픽셀 내 구동 트랜지스터의 제1노드와 i+1 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 센싱용 제1 컬럼 전압을 동시에 인가하고, 제2 컬럼 라인을 통해 상기 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 초기화 전압을 인가하고 다른 제2 컬럼 라인을 통해 상기 i+1 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 초기화 전압을 인가하는 제1 단계;

상기 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드와 상기 i+1 번째 서브픽셀 내 구동 트랜지스터의 제2노드를 동시에 플로팅 시키는 제2 단계; 및

상기 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드의 전압을 상기 제2 컬럼 라인을 통해 센싱하고, 상기 i+1 번째 서브픽셀 내 구동 트랜지스터의 제2노드의 전압을 상기 다른 제2 컬럼 라인을 통해 센싱하는 제3 단계를 포함하는 유기발광표시장치의 센싱 방법.

청구항 14

제13항에 있어서,

상기 제2 단계에서, 상기 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드와 상기 i+1 번째 서브픽셀 내 구동 트

랜지스터의 제2노드를 동시에 플로팅 시키면,

상기 제3 단계 이후, 상기 i 번째 서브픽셀 내 구동 트랜지스터의 문턱전압을 파악하고, 상기 $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 문턱전압을 파악하는 제4 단계를 더 포함하는 유기발광표시장치의 센싱 방법.

청구항 15

제13항에 있어서,

상기 제2 단계에서, 상기 i 번째 서브픽셀 내 구동 트랜지스터의 제1노드 및 제2노드와, 상기 $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 제1노드 및 제2 노드를 모두 플로팅 시키면,

상기 제3 단계 이후, 상기 i 번째 서브픽셀 내 구동 트랜지스터의 이동도를 파악하고, 상기 $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 이동도를 파악하는 제4 단계를 더 포함하는 유기발광표시장치의 센싱 방법.

청구항 16

컬럼(Column) 방향으로 다수의 제1 컬럼 라인 및 다수의 제2 컬럼 라인을 포함하는 다수의 컬럼 라인이 배치되고, 로우(Row) 방향으로 다수의 로우 라인이 배치되며, 유기발광다이오드, 상기 유기발광다이오드를 구동하는 구동 트랜지스터 및 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하는 서브픽셀이 매트릭스 타입으로 배열되는 유기발광표시패널;

상기 다수의 제1 컬럼 라인 및 상기 다수의 제2 컬럼 라인을 구동하는 컬럼 라인 구동 회로; 및

상기 다수의 로우 라인을 구동하는 로우 라인 구동 회로를 포함하고,

상기 제1 컬럼 라인과 상기 제2 컬럼 라인은 교번하여 위치하고,

i 번째 서브픽셀 컬럼, $i+1$ 번째 서브픽셀 컬럼 및 $i+2$ 번째 서브픽셀 컬럼에 있어서,

i 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제1노드와 $i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제1노드는 제1 연결지점에서 전기적으로 연결되고,

상기 제1 연결지점과 상기 제1 컬럼 라인 사이에 제1 트랜지스터가 전기적으로 연결되며,

$i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제2노드와 $i+2$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제2노드는 제2 연결지점에서 전기적으로 연결되고,

상기 제2 연결지점과 상기 제2 컬럼 라인 사이에 제2 트랜지스터가 전기적으로 연결되는 유기발광표시장치.

청구항 17

제16항에 있어서,

상기 다수의 제1 컬럼 라인 및 상기 다수의 제2 컬럼 라인 각각은 디지털 아날로그 컨버터와 전기적으로 연결되는 유기발광표시장치.

청구항 18

제16항에 있어서,

상기 다수의 제2 컬럼 라인은 아날로그 디지털 컨버터와 전기적으로 연결되는 유기발광표시장치.

발명의 설명

기술 분야

본 실시예들은 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법에 관한 것이다.

[0001]

배경 기술

- [0003] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.
- [0004] 이러한 유기발광표시장치의 유기발광표시패널에는, 유기발광다이오드와, 이를 구동하기 위한 구동 트랜지스터와, 구동 트랜지스터의 게이트 노드와 소스 노드(드레인 노드) 각각의 전압을 제어하기 위한 둘 이상의 트랜지스터를 포함하는 서브픽셀이 매트릭스 형태로 배열된다.
- [0005] 이와 같은 서브픽셀 구조에 따라 각 서브픽셀을 구동하기 위해서는, 유기발광표시패널에는 많은 신호 라인이 배치되어야 한다.
- [0006] 이로 인해, 유기발광표시패널의 제작하기가 어려울 뿐만 아니라, 신호 라인 결함이 발생할 가능성도 그만큼 높아질 수 있다.
- [0007] 또한, 신호 라인 개수를 줄이기 위해, 여러 개의 서브픽셀이 하나의 특정 신호 라인을 공유하는 구조로 만드는 경우, 특정 신호 라인을 공유하는 여러 개의 서브픽셀에 대한 센싱 구동을 동시에 진행할 수 없게 되어 각 서브픽셀 내 구동 트랜지스터의 특성치(예: 문턱전압, 이동도) 또는 유기발광다이오드 등의 특성치(예: 문턱전압)를 센싱하는데 너무 많은 시간이 걸리는 문제점도 발생할 수 있다.
- [0008] 이와 같이, 유기발광표시패널에서의 서브픽셀 구조로 인한 신호 라인 개수의 증대에 따라 발생할 수 있는 각종 문제점들은, 고해상도의 대형 패널로 갈수록 더욱 심화될 수 있다.

발명의 내용

해결하려는 과제

- [0010] 본 실시예들의 목적은, 신호 라인 개수를 줄일 수 있는 신 개념의 서브픽셀 구조(서브픽셀에 대한 신호 라인 연결 구조)로 설계된 유기발광표시패널과, 이러한 신 개념의 서브픽셀 구조를 갖는 서브픽셀을 구동하기 위한 라인 구동 회로와, 이들을 포함하는 유기발광표시장치와, 그 영상 구동 방법 및 센싱 방법을 제공하는 데 있다.
- [0011] 본 실시예들의 다른 목적은, 신호 라인 개수를 줄이고 센싱 시간을 단축시켜줄 수 있는 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법을 제공하는 데 있다.
- [0012] 본 실시예들의 또 다른 목적은, 높은 개구율을 갖는 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법을 제공하는 데 있다.

과제의 해결 수단

- [0014] 일 측면에서, 본 실시예들은, 컬럼(Column) 방향으로 다수의 제1 컬럼 라인 및 다수의 제2 컬럼 라인을 포함하는 다수의 컬럼 라인이 배치되고, 로우(Row) 방향으로 다수의 로우 라인이 배치되며, 다수의 서브픽셀이 매트릭스 타입으로 배열되는 유기발광표시패널과, 다수의 제1 컬럼 라인 및 다수의 제2 컬럼 라인을 구동하는 컬럼 라인 구동 회로와, 다수의 로우 라인을 구동하는 로우 라인 구동 회로를 포함하는 유기발광표시장치를 제공할 수 있다.
- [0015] 이러한 유기발광표시장치에서, 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 구동 트랜지스터의 제1노드와 제1 컬럼 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 구동 트랜지스터의 제2노드와 제2 컬럼 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함할 수 있다.
- [0016] 또한, 이러한 유기발광표시장치에서, 제1 컬럼 라인 및 제2 컬럼 라인은 교번하여 위치하고, 제1 컬럼 라인은 i 번째 서브픽셀 컬럼과 $i+1$ 번째 서브픽셀 컬럼 사이마다 위치하고, 제2 컬럼 라인은 $i+1$ 번째 서브픽셀 컬럼과 $i+2$ 번째 서브픽셀 컬럼 사이마다 위치할 수 있다.
- [0017] 다른 측면에서, 본 실시예들은, 컬럼(Column) 방향으로 배치된 다수의 제1 컬럼 라인과, 컬럼 방향으로 배치된 다수의 제2 컬럼 라인과, 로우(Row) 방향으로 배치된 다수의 로우 라인과, 매트릭스 타입으로 배열된 다수의 서

브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.

[0018] 이러한 유기발광표시패널에서, 다수의 서브픽셀 각각은, 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 구동 트랜지스터의 제1노드와 제1 컬럼 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 구동 트랜지스터의 제2노드와 제2 컬럼 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함할 수 있다.

[0019] 이러한 유기발광표시패널에서, 제1 컬럼 라인 및 제2 컬럼 라인은 교번하여 위치하고, 제1 컬럼 라인은 i 번째 서브픽셀 컬럼과 $i+1$ 번째 서브픽셀 컬럼 사이마다 위치하고, 제2 컬럼 라인은 $i+1$ 번째 서브픽셀 컬럼과 $i+2$ 번째 서브픽셀 컬럼 사이마다 위치할 수 있다.

[0020] 또 다른 측면에서, 본 실시예들은, K 개의 디지털 아날로그 컨버터와, K 개의 디지털 아날로그 컨버터와 대응되는 연결된 K 개의 출력 버퍼와, K 개의 출력 버퍼와 K 개의 컬럼 라인 간의 연결을 스위칭 하는 $M+N(M+N=K, M, N$ 은 1 이상의 자연수)개의 컬럼 전압 스위치와, 아날로그 디지털 컨버터와, K 개의 컬럼 라인에 포함된 M 개의 제1 컬럼 라인과 N 개의 제2 컬럼 라인 중 N 개의 제2 컬럼 라인과 아날로그 디지털 컨버터 간의 연결을 스위칭 하는 N 개의 샘플링 스위치와, N 개의 제2 컬럼 라인과 초기화 전압 공급 노드 간의 연결을 스위칭 하는 적어도 하나의 초기화 스위치를 포함하는 라인 구동 회로를 제공할 수 있다.

[0021] 또 다른 측면에서, 본 실시예들은, 유기발광표시장치의 영상 구동 방법은, 제1 컬럼 라인을 통해 i 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 제1 컬럼 전압을 인가하고, 제2 컬럼 라인을 통해 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 제2 컬럼 전압을 인가하는 제1 단계와, i 번째 서브픽셀 내 구동 트랜지스터의 제1노드와 제2노드를 플로팅 시키는 제2 단계와, i 번째 서브픽셀 내 유기발광다이오드가 발광하는 제3 단계를 포함할 수 있다.

[0022] 이러한 영상 구동 방법에서 제1 단계는, 제1 컬럼 라인을 통해 i 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 제1 컬럼 전압을 인가할 때, 제1 컬럼 라인을 통해 $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 제1 컬럼 전압을 동시에 인가하고, 제2 컬럼 라인을 통해 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 제2 컬럼 전압을 인가할 때, 제2 컬럼 라인을 통해 $i-1$ 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 제2 컬럼 전압을 동시에 인가할 수 있다.

[0023] 또 다른 측면에서, 본 실시예들은, 유기발광표시장치의 센싱 방법은, 제1 컬럼 라인을 통해, i 번째 서브픽셀 내 구동 트랜지스터의 제1노드와 $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 제1노드에 센싱용 제1 컬럼 전압을 동시에 인가하고, 제2 컬럼 라인을 통해 i 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 초기화 전압을 인가하고 다른 제2 컬럼 라인을 통해 $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 제2노드에 초기화 전압을 인가하는 제1 단계와, i 번째 서브픽셀 내 구동 트랜지스터의 제2노드와 $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 제2노드를 동시에 플로팅 시키는 제2 단계와, i 번째 서브픽셀 내 구동 트랜지스터의 제2노드의 전압을 제2 컬럼 라인을 통해 센싱하고, $i+1$ 번째 서브픽셀 내 구동 트랜지스터의 제2노드의 전압을 다른 제2 컬럼 라인을 통해 센싱하는 제3 단계를 포함할 수 있다.

[0024] 또 다른 측면에서, 본 실시예들은, 컬럼(Column) 방향으로 다수의 제1 컬럼 라인 및 다수의 제2 컬럼 라인을 포함하는 다수의 컬럼 라인이 배치되고, 로우(Row) 방향으로 다수의 로우 라인이 배치되며, 유기발광다이오드, 유기발광다이오드를 구동하는 구동 트랜지스터 및 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하는 서브픽셀이 매트릭스 타입으로 배열되는 유기발광표시패널; 다수의 제1 컬럼 라인 및 다수의 제2 컬럼 라인을 구동하는 컬럼 라인 구동 회로; 및 다수의 로우 라인을 구동하는 로우 라인 구동 회로를 포함하는 유기발광표시장치를 제공할 수 있다.

[0025] 이러한 유기발광표시장치에서 제1 컬럼 라인과 제2 컬럼 라인은 교번하여 위치할 수 있다.

[0026] 또한, 이러한 유기발광표시장치에서, i 번째 서브픽셀 컬럼, $i+1$ 번째 서브픽셀 컬럼 및 $i+2$ 번째 서브픽셀 컬럼에 있어서, i 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제1노드와 $i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제1노드는 제1 연결지점에서 전기적으로 연결되고, 제1 연결지점과 제1 컬럼 라인 사이에 제1 트랜지스터가 전기적으로 연결되며, $i+1$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제2노드와 $i+2$ 번째 서브픽셀 컬럼에 위치한 서브픽셀의 구동 트랜지스터의 제2노드는 제2 연결지점에서 전기적으로 연결되고, 제2 연결지점과 제2 컬럼 라인 사이에 제2 트랜지스터가 전기적으로 연결될 수 있다.

발명의 효과

- [0028] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 신호 라인 개수를 줄일 수 있는 신 개념의 서브픽셀 구조(서브픽셀에 대한 신호 라인 연결 구조)로 설계된 유기발광표시패널과, 이러한 신 개념의 서브픽셀 구조를 갖는 서브픽셀을 구동하기 위한 라인 구동 회로와, 이들을 포함하는 유기발광표시장치와, 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0029] 또한, 본 실시예들에 의하면, 신호 라인 개수를 줄이고 센싱 시간을 단축시켜줄 수 있는 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0030] 본 실시예들에 의하면, 높은 개구율을 갖는 유기발광표시패널, 유기발광표시장치, 라인 구동 회로, 영상 구동 방법 및 센싱 방법을 제공할 수 있다.

도면의 간단한 설명

- [0032] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.
- 도 2는 본 실시예들에 따른 유기발광표시패널의 컬럼 라인 배치 예시도이다.
- 도 3은 본 실시예들에 따른 유기발광표시패널의 서브픽셀 구조의 예시도이다.
- 도 4는 본 실시예들에 따른 유기발광표시패널에서, 도 3의 서브픽셀 구조를 갖는 8개의 서브픽셀을 나타낸 도면이다.
- 도 5는 본 실시예들에 따른 유기발광표시패널에서 8개의 서브픽셀과 컬럼 라인 구동 회로 구성을 나타낸 도면이다.
- 도 6 내지 도 8은 본 실시예들에 따른 유기발광표시장치의 영상 구동 원리를 설명하기 위한 도면이다.
- 도 9는 본 실시예들에 따른 컬럼 라인 구동 회로를 나타낸 도면이다.
- 도 10은 본 실시예들에 따른 유기발광표시장치의 영상 구동 방법에 대한 흐름도이다.
- 도 11 내지 도 13은 본 실시예들에 따른 유기발광표시장치의 영상 구동 절차를 나타낸 도면이다.
- 도 14는 본 실시예들에 따른 유기발광표시장치의 센싱 방법에 대한 흐름도이다.
- 도 15는 본 실시예들에 따른 유기발광표시장치의 문턱전압 센싱 타이밍도이다.
- 도 16 내지 도 18은 1번째 문턱전압 센싱 구간에서 문턱전압 센싱 절차를 나타낸 도면이다.
- 도 19 내지 도 21은 2번째 문턱전압 센싱 구간에서 문턱전압 센싱 절차를 나타낸 도면이다.
- 도 22는 본 실시예들에 따른 유기발광표시장치의 이동도 센싱 타이밍도이다.
- 도 23 내지 도 25는 1번째 이동도 센싱 구간에서 이동도 센싱 절차를 나타낸 도면이다.
- 도 26 내지 도 28은 2번째 이동도 센싱 구간에서 이동도 센싱 절차를 나타낸 도면이다.
- 도 29는 본 실시예들에 따른 유기발광표시장치에서 제1 트랜지스터 및 제2 트랜지스터의 기능상의 중복성을 나타낸 도면이다.
- 도 30 및 도 31은 본 실시예들에 따른 유기발광표시장치에서 트랜지스터 개수 저감 구조를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0034] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본

질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

- [0035] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이고, 도 2는 본 실시예들에 따른 유기발광표시패널(110)의 컬럼 라인 배치 예시도이고, 도 3은 본 실시예들에 따른 유기발광표시패널(110)의 서브픽셀 구조의 예시도이다.
- [0036] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 컬럼 방향으로 다수의 컬럼 라인(CL: Column Line)이 배치되고, 로우 방향으로 다수의 로우 라인(RL: Row Line)이 배치되며, 다수의 서브픽셀(SP)이 매트릭스 타입으로 배열되는 유기발광표시패널(110)과, 다수의 컬럼 라인(CL)을 구동하는 컬럼 라인 구동 회로(120)와, 다수의 로우 라인(RL)을 구동하는 로우 라인 구동 회로(130)와, 컬럼 라인 구동 회로(120) 및 로우 라인 구동 회로(130)를 제어하는 컨트롤러(140) 등을 포함한다. 단, 본 명세서에서, 컬럼 방향과 로우 방향은 보는 방향에 따라서 정해지는 상대적인 개념으로서, 어떠한 모델에서는 컬럼 라인이 로우 라인일수도 있고, 로우 라인이 컬럼 라인일수도 있다.
- [0037] 도 2를 참조하면, 다수의 컬럼 라인(CL)은 다수의 제1 컬럼 라인(CL1) 및 다수의 제2 컬럼 라인(CL2)을 포함한다.
- [0038] 유기발광표시패널(110)에는 다수의 서브픽셀(SP)이 매트릭스 타입으로 배치되기 때문에, 도 2에 도시된 바와 같이, 유기발광표시패널(110)에는 $i-1$ 번째 서브픽셀 열(SPC # $i-1$), i 번째 서브픽셀 열(SPC # i), $i+1$ 번째 서브픽셀 열(SPC # $i+1$), $i+2$ 번째 서브픽셀 열(SPC # $i+2$), $i+3$ 번째 서브픽셀 열(SPC # $i+3$), $i+4$ 번째 서브픽셀 열(SPC # $i+4$), $i+5$ 번째 서브픽셀 열(SPC # $i+5$), $i+6$ 번째 서브픽셀 열(SPC # $i+6$) 등이 존재한다. 여기서, i 는 서브픽셀 열을 나타내는 인덱스이다.
- [0039] 도 2를 참조하면, 제1 컬럼 라인(CL1) 및 제2 컬럼 라인(CL2)은 교번하여 위치한다.
- [0040] 제1 컬럼 라인(CL1)은, i 번째 서브픽셀 컬럼(SPC # i)과 $i+1$ 번째 서브픽셀 컬럼(SPC # $i+1$) 사이와, $i+2$ 번째 서브픽셀 컬럼(SPC # $i+2$)과 $i+3$ 번째 서브픽셀 컬럼(SPC # $i+3$) 사이와, $i+4$ 번째 서브픽셀 컬럼(SPC # $i+4$)과 $i+5$ 번째 서브픽셀 컬럼(SPC # $i+5$) 사이에 위치한다.
- [0041] 제2 컬럼 라인(CL2)은, $i-1$ 번째 서브픽셀 컬럼(SPC # $i-1$)과 i 번째 서브픽셀 컬럼(SPC # i) 사이와, $i+1$ 번째 서브픽셀 컬럼(SPC # $i+1$)과 $i+2$ 번째 서브픽셀 컬럼(SPC # $i+2$) 사이와, $i+3$ 번째 서브픽셀 컬럼(SPC # $i+3$)과 $i+4$ 번째 서브픽셀 컬럼(SPC # $i+4$) 사이와, $i+5$ 번째 서브픽셀 컬럼(SPC # $i+5$)과 $i+6$ 번째 서브픽셀 컬럼(SPC # $i+6$) 사이에 위치한다.
- [0042] 도 3을 참조하면, 각 서브픽셀(SP)은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 제1노드(N1)와 제1 컬럼 라인(CL1) 사이에 전기적으로 연결된 제1 트랜지스터(T1)와, 구동 트랜지스터(DRT)의 제2노드(N2)와 제2 컬럼 라인(CL2) 사이에 전기적으로 연결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst) 등을 포함할 수 있다.
- [0043] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0044] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동해준다.
- [0045] 구동 트랜지스터(DRT)에서, 제1노드(N1)는 스위칭 트랜지스터(SWT)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, 게이트 노드일 수 있다. 제2노드(N2)는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다. 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.
- [0046] 제1 트랜지스터(T1)는 스캔 신호(SCAN)를 게이트 노드로 인가 받아 제어될 수 있다.
- [0047] 이러한 제1 트랜지스터(T1)는 스캔 신호(SCAN)에 의해 턴-온 되어 제1 컬럼 라인(CL1)으로부터 공급된 제1 컬럼 전압(CV1)을 구동 트랜지스터(DRT)의 제1노드(N1)로 전달해줄 수 있다.

- [0048] 제2 트랜지스터(T2)는 게이트 노드로 스캔 신호의 일종인 센싱 신호(SENSE)를 인가 받아 제어될 수 있다.
- [0049] 이러한 제2 트랜지스터(T2)는 센싱 신호(SENSE)에 의해 턴-온 되어 제1 컬럼 라인(CL2)을 통해 공급되는 제2 컬럼 전압(CV2)을 구동 트랜지스터(DRT)의 제2노드(N2)에 인가해준다.
- [0050] 스토리지 캐패시터(Cst)는 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결될 수 있다.
- [0051] 이러한 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.
- [0052] 한편, 구동 트랜지스터(DRT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T3)는, 도 3의 예시와 같이 n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.
- [0053] 한편, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는, 다른 게이트 라인을 통해, 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T3)의 게이트 노드로 각각 인가될 수도 있다.
- [0054] 경우에 따라서는, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 신호일 수도 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 라인을 통해 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T3)의 게이트 노드에 공통으로 인가될 수도 있다.
- [0055] 전술한 바에 따르면, 유기발광표시패널(110)에 컬럼 방향으로 배치된 다수의 컬럼 라인(CL)의 개수를 줄일 수 있다.
- [0056] 이와 같이, 유기발광표시패널(110)에 배치된 다수의 컬럼 라인(CL)의 개수가 줄어들에 따라, 다수의 컬럼 라인(CL)을 구동하는 컬럼 라인 구동 회로(120)의 전압 출력 수를 줄일 수 있고, 그만큼 컬럼 라인 구동 회로(120)의 심플하고 작게 설계할 수 있다.
- [0057] 한편, 컨트롤러(140)는, 컬럼 라인 구동 회로(120) 및 로우 라인 구동 회로(130)로 각종 제어신호를 공급하여, 컬럼 라인 구동 회로(120) 및 로우 라인 구동 회로(130)를 제어한다.
- [0058] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 컬럼 라인 구동 회로(120)에서 사용하는 신호 형식에 맞게 전환하여 전환된 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0059] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.
- [0060] 컬럼 라인 구동 회로(120)는, 다수의 제1 컬럼 라인(CL) 및 다수의 제2 컬럼 라인(CL2)으로 제1 컬럼 전압(CV1) 및 제2 컬럼 전압(CV2)을 공급함으로써, 다수의 제1 컬럼 라인(CL) 및 다수의 제2 컬럼 라인(CL2)을 구동한다. 여기서, 컬럼 라인 구동 회로(120)는 '데이터 드라이버' 또는 '소스 드라이버'라고도 한다.
- [0061] 이러한 컬럼 라인 구동 회로(120)는, 적어도 하나의 컬럼 라인 구동 집적회로를 포함하여 다수의 제1 컬럼 라인(CL) 및 다수의 제2 컬럼 라인(CL2)을 구동할 수 있다.
- [0062] 컬럼 라인 구동 집적회로는 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)라고도 한다.
- [0063] 로우 라인 구동 회로(130)는, 다수의 로우 라인(RL)으로 로우 신호를 순차적으로 공급함으로써, 다수의 로우 라인(RL)을 순차적으로 구동한다. 여기서, 로우 라인 구동 회로(130)는 '스캔 드라이버' 또는 '게이트 드라이버'라고도 한다.
- [0064] 이러한 로우 라인 구동 회로(130)는, 적어도 하나의 로우 라인 구동 집적회로를 포함할 수 있다.
- [0065] 다수의 로우 라인(RL)은 게이트 라인이라고도 하고, 로우 신호는 스캔 신호라고도 한다. 그리고, 로우 라인 구동 집적회로를 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)라고도 한다.
- [0066] 로우 라인 구동 회로(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 로우 신호(스캔 신호)를 다수의 로우 라인(RL)으로 순차적으로 공급한다.
- [0067] 컬럼 라인 구동 회로(120)는, 로우 라인 구동 회로(130)에 의해 특정 로우 라인이 열리면, 컨트롤러(140)로부터

수신한 데이터를 아날로그 전압으로 변환하여 다수의 제1 컬럼 라인(CL1) 및 다수의 컬럼 라인(CL2)으로 공급한다.

- [0068] 컬럼 라인 구동 회로(120)는, 도 1에서는 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0069] 로우 라인 구동 회로(130)는, 도 1에서는 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0070] 도 4는 본 실시예들에 따른 유기발광표시패널(110)에서, 도 3과 같은 서브픽셀 구조를 갖는 8개의 서브픽셀(SPi-1, SPi, SPi+1, $\dots$, SPi+6)을 나타낸 도면이다.
- [0071] 도 4를 참조하면, 8개의 서브픽셀(SPi-1, SPi, SPi+1, $\dots$, SPi+6)이 존재하는 영역에는, 9개의 컬럼 라인(CL1A, CL2B, CL1C, CL2D, CL1E, CL2F, CL1G, CL2H, CL1I)이 존재한다.
- [0072] 도 4를 참조하면, 9개의 컬럼 라인(CL1A, CL2B, CL1C, CL2D, CL1E, CL2F, CL1G, CL2H, CL1I)은 5개의 제1 컬럼 라인(CL1A, CL1C, CL1E, CL1G, CL1I)과 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H)을 포함한다.
- [0073] 제1 컬럼 전압(CV1A, CV1C, CV1E, CV1G, CV1I)을 전달하는 5개의 제1 컬럼 라인(CL1A, CL1C, CL1E, CL1G, CL1I) 각각은 인접한 2개의 서브픽셀의 제1 트랜지스터(T1)에 공통으로 연결된다.
- [0074] 그리고, 제2 컬럼 전압(CV2B, CV2D, CV2F, CV2H)을 전달하는 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H) 각각은 인접한 2개의 서브픽셀의 제2 트랜지스터(T2)에 공통으로 연결된다.
- [0075] 예를 들어, 제1 컬럼 라인 CL1C는, i 번째 서브픽셀 컬럼(SPC #i)에 위치한 서브픽셀(SPi)의 제1 트랜지스터(T1)의 드레인 노드 또는 소스 노드와, i+1 번째 서브픽셀 컬럼(SPC #i+1)에 위치한 서브픽셀(SPi+1)의 제1 트랜지스터(T1)의 드레인 노드 또는 소스 노드에 공통으로 연결될 수 있다. 여기서, 제1 컬럼 라인 CL1C는, i 번째 서브픽셀 컬럼(SPC #i)과 i+1 번째 서브픽셀 컬럼(SPC #i+1) 사이에 위치한다.
- [0076] 제2 컬럼 라인 CL2는, i+1 번째 서브픽셀 컬럼(SPC #i+1)에 위치한 서브픽셀(SPi+1)의 제2 트랜지스터(T2)의 드레인 노드 또는 소스 노드와, i+2 번째 서브픽셀 컬럼(SPC #i+2)에 위치한 서브픽셀(SPi+2)의 제2 트랜지스터(T2)의 드레인 노드 또는 소스 노드와 공통으로 연결될 수 있다. 여기서, 제2 컬럼 라인 CL2는 i+1 번째 서브픽셀 컬럼(SPC #i+1)과 i+2 번째 서브픽셀 컬럼(SPC #i+2) 사이에 위치한다.
- [0077] 전술한 바에 따르면, 컬럼 라인 구동 회로(120)에서 출력된 제1 컬럼 전압(예: CV1C)은, 1개의 제1 컬럼 라인(예: CV1C)을 통해, 2개의 서브픽셀(예: SPi, SPi+1)의 제1 트랜지스터(T1)를 통해, 2개의 서브픽셀(예: SPi, SPi+1)의 구동 트랜지스터(DRT)의 제1노드(N1)로 함께 전달될 수 있다.
- [0078] 또한, 컬럼 라인 구동 회로(120)에서 출력된 제2 컬럼 전압(예: CV2B)은, 1개의 제2 컬럼 라인(예: CL2B)을 통해, 2개의 서브픽셀(예: SPi-1, SPi+1)의 제2 트랜지스터(T2)를 통해, 2개의 서브픽셀(예: SPi-1, SPi+1)의 구동 트랜지스터(DRT)의 제2노드(N2)로 함께 전달될 수 있다.
- [0079] 따라서, 각 서브픽셀의 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2)에 제1 컬럼 전압(CV1)과 제2 컬럼 전압(CV2)을 인가해주기 위한 컬럼 방향의 신호 라인 개수를 줄일 수 있다.
- [0080] 도 5는 본 실시예들에 따른 유기발광표시패널(110)에서 8개의 서브픽셀(SPi-1, SPi, SPi+1, $\dots$, SPi+6)과 컬럼 라인 구동 회로 구성을 나타낸 도면이다.
- [0081] 전술한 컬럼 라인 구조에 따르면, 스토리지 캐패시터(Cst)의 양단에 인가되는 제1 컬럼 전압(CV1)과 제2 컬럼 전압(CV2)에 의해 해당 서브픽셀에서 원하는 휘도가 표현된다.
- [0082] 따라서, 컨트롤러(140)는 해당 서브픽셀에 대응되는 영상 데이터를 제1 컬럼 데이터와 제2 컬럼 데이터로 나누어 컬럼 라인 구동 회로(120)로 제공하고, 컬럼 라인 구동 회로(120)는 제1 컬럼 데이터를 제1 컬럼 전압(CV1)으로 변환하고 제2 컬럼 데이터를 제2 컬럼 전압(CV2)으로 변환하여 해당 제1 컬럼 라인(CL1)과 제2 컬럼 라인(CL2)로 출력한다.
- [0083] 따라서, 도 5에 도시된 바와 같이, 5개의 제1 컬럼 라인(CL1A, CL1C, CL1E, CL1G, CL1I)과 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H) 각각은 디지털 아날로그 컨버터(DAC)와 전기적으로 연결될 수 있다.

- [0084] 이에 따라, 본 실시예들에 따른 서브픽셀 구조 하에서 제1 컬럼 전압(CV1) 및 제2 컬럼 전압(CV2)을 영상 신호로 활용할 수 있다.
- [0085] 한편, 도 5를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 5개의 제1 컬럼 라인(CL1A, CL1C, CL1E, CL1G, CL1I)과 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H) 각각에 대하여 디지털 아날로그 컨버터(DAC)와의 연결을 스위칭 하는 컬럼 전압 스위치(SCV)를 포함할 수 있다.
- [0086] 이러한 컬럼 전압 스위치(SCV)를 이용하여, 영상 구동 또는 센싱 구동 등의 구동 조건에 따라 5개의 제1 컬럼 라인(CL1A, CL1C, CL1E, CL1G, CL1I)과 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H) 각각으로의 컬럼 전압 공급 여부를 제어할 수 있다.
- [0087] 전술한 컬럼 전압 스위치(SCV)는, 일 예로, 컬럼 라인 구동 회로(120)의 내부에 포함될 수 있다.
- [0088] 한편, 도 5에 도시된 바와 같이, 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H)은 하나 이상의 아날로그 디지털 컨버터(ADC)와 전기적으로 연결될 수 있다.
- [0089] 여기서, 아날로그 디지털 컨버터(ADC)는 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H) 중 적어도 하나의 전압(아날로그 전압)을 디지털 값으로 변환할 수 있다.
- [0090] 이러한 아날로그 디지털 컨버터(ADC)는, 서브픽셀 내 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도) 또는 유기발광다이오드(OLED)의 특성치(예: 문턱전압)를 센싱(파악)하기 위한 센싱 구성일 수 있다.
- [0091] 따라서, 1개의 제1 컬럼 라인(예: CL1C)과 공통으로 연결된 2개의 서브픽셀(예: SPi, SPi+1) 내 회로 소자(구동 트랜지스터, 유기발광다이오드)의 특성치를 2개의 컬럼 라인(예: CL2B, CL2D)을 통해 서로 구별하여 동시에 센싱할 수 있다. 이로 인해, 유기발광표시패널(110)에 배치된 모든 구동 트랜지스터(또는 유기발광다이오드)의 특성치를 센싱하는 시간이 짧아질 수 있다.
- [0092] 한편, 도 5를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H) 각각과 초기화 전압 공급 노드(Npre) 간의 연결을 스위칭 하는 초기화 전압 스위치(SPRE)를 포함할 수 있다.
- [0093] 예를 들어, 제2 컬럼 라인 CL2D와 연결된 초기화 전압 스위치(SPRE)가 턴-온 되면, 초기화 전압(Vpre)이 제2 컬럼 라인 CL2D로 공급된다.
- [0094] 이때, 제2 컬럼 라인 CL2D과 동시에 연결된 서브픽셀(SP_i+1, SP_i+2) 각각의 제2 트랜지스터(T2)가 턴-온 되어 있으면, 제2 컬럼 라인 CL2D과 동시에 연결된 서브픽셀(SP_i+1, SP_i+2) 각각의 구동 트랜지스터(DRT)의 제2노드(N2)로 초기화 전압(Vpre)이 함께 인가된다.
- [0095] 여기서, 초기화 전압(Vpre)은, 센싱 구동 시, 초기화 단계(센싱 초기화 단계 또는 프로그램 단계라고도 함)에서, 구동 트랜지스터(DRT)의 제2노드(N2)에 인가되는 센싱 구동용 초기화 전압일 수도 있다.
- [0096] 또한, 도 5를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 4개의 제2 컬럼 라인(CL2B, CL2D, CL2F, CL2H) 각각과 아날로그 디지털 컨버터(ADC) 간의 연결을 스위칭 하는 샘플링 스위치(SAM)를 더 포함할 수 있다.
- [0097] 이러한 샘플링 스위치(SAM)는, 센싱 구동 시, 샘플링 단계(센싱 단계라고도 함)에서, 아날로그 디지털 컨버터(ADC)가 해당 제2 컬럼 라인의 전압을 센싱할 수 있게 해주는 스위치이다.
- [0098] 여기서, 아날로그 디지털 컨버터(ADC)가 센싱한 전압은 제2 컬럼 라인의 전압으로서, 제2 컬럼 라인과 연결된 서브픽셀 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압일 수 있으며, 제2 컬럼 라인 상의 라인 캐패시터에 충전된 전압일 수 있다.
- [0099] 아날로그 디지털 컨버터(ADC)가 센싱한 전압은 제2 컬럼 라인과 연결된 서브픽셀 내 회로 소자(구동 트랜지스터 또는 유기발광다이오드)의 특성치를 반영하는 전압일 수 있다.
- [0100] 전술한 초기화 전압 스위치(SPRE)를 이용하면, 센싱 구동 단계에 따라 구동 트랜지스터(DRT)의 제2노드(N2)의 전압 상태를 효과적으로 제어할 수 있다.
- [0101] 또한, 샘플링 스위치(SAM)를 이용하여, 센싱 구동에 따라 필요한 시점에 아날로그 디지털 컨버터(ADC)가 전압 센싱을 할 수 있게 해준다.
- [0102] 이와 같이, 센싱 구동에 필요한 초기화 전압 스위치(SPRE) 및 샘플링 스위치(SAM)는, 일 예로, 컬럼 라인 구동

회로(120)의 내부에 포함될 수 있다.

- [0103] 아래에서는, 전술한 서브픽셀 구조 및 컬럼 라인 배치 구조를 갖는 유기발광표시장치(100)의 영상 구동 및 센싱 구동과 이를 컬럼 라인 구동 회로(120)에 대하여 설명한다.
- [0104] 도 6 내지 도 8은 본 실시예들에 따른 유기발광표시장치(100)의 영상 구동 원리를 설명하기 위한 도면이다.
- [0105] 먼저, 컬럼 라인 구동 회로(120)는, 제1 컬럼 라인(CL1)으로 제1 컬럼 전압(CV1)을 출력하고 제2 컬럼 라인(CL2)으로 제2 컬럼 전압(CV2)을 출력한다.
- [0106] 이때, 제1 컬럼 전압(CV1)과 제2 컬럼 전압(CV2)의 차이(ΔV)는, 제1 컬럼 라인(CL1)과 연결된 제1 트랜지스터(T1)와 제2 컬럼 라인(CL2)과 연결된 제2 트랜지스터(T2)를 포함하는 서브픽셀에서 표현하고자 하는 휘도에 해당하는 데이터 전압과 대응된다.
- [0107] 기존에는 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 제1노드(N1)에 인가되는 영상 데이터 전압으로 영상 표현을 하였으나, 본 실시예들에 따른 유기발광표시장치(100)에서는, 구동 트랜지스터(DRT)의 제1노드(N1)에 인가되는 제1 컬럼 전압(CV1)과 구동 트랜지스터(DRT)의 제2노드(N2)에 인가되는 제2 컬럼 전압(CV2) 간의 차이(ΔV)를 이용하여 영상 표현을 한다는 점에서 차이점이 있다.
- [0108] 이러한 차이점으로 인해, 기존에는 각 서브픽셀의 구동 트랜지스터(DRT)의 제1노드(N1)로 영상 데이터 전압을 전달해 주기 위한 컬럼 방향의 데이터 라인이 서브픽셀 열마다 하나씩 필요하였다.
- [0109] 하지만, 본 실시예들에 따르면, 1개의 제1 컬럼 라인(CL1)을 이용하여 양쪽에 인접한 2개의 서브픽셀의 구동 트랜지스터(DRT)의 제1노드(N1)로 제1 컬럼 전압(CV1)을 전달하고, 1개의 제2 컬럼 라인(CL2)을 이용하여 양쪽에 인접한 2개의 서브픽셀의 구동 트랜지스터(DRT)의 제2노드(N2)로 제2 컬럼 전압(CV2)을 전달하여, 원하는 영상 표현을 위한 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이의 전위차(ΔV)만을 만들어주면 된다. 따라서, 기존 대비 동일한 영상 표현을 가능하게 하면서도 컬럼 방향의 신호 라인 개수를 줄일 수 있다.
- [0110] 이상의 설명을 예로 들어 설명하기 위하여, 도 6에 도시된 바와 같이, $i-1$ 번째 서브픽셀(SP_{i-1}), i 번째 서브픽셀(SP_i), $i+1$ 번째 서브픽셀(SP_{i+1}), $i+2$ 번째 서브픽셀(SP_{i+2})을 예로 든다.
- [0111] 여기서, $i-1$ 번째 서브픽셀(SP_{i-1})은 $i-1$ 번째 서브픽셀 열($SPC \#i-1$)에 위치한 임의의 서브픽셀을 의미한다. i 번째 서브픽셀(SP_i)은 i 번째 서브픽셀 열($SPC \#i$)에 위치한 임의의 서브픽셀을 의미한다. $i+1$ 번째 서브픽셀(SP_{i+1})은 $i+1$ 번째 서브픽셀 열($SPC \#i+1$)에 위치한 임의의 서브픽셀을 의미한다. $i+2$ 번째 서브픽셀(SP_{i+2})은 $i+2$ 번째 서브픽셀 열($SPC \#i+2$)에 위치한 임의의 서브픽셀을 의미한다.
- [0112] 도 6을 참조하면, $i-1$ 번째 서브픽셀(SP_{i-1}), i 번째 서브픽셀(SP_i), $i+1$ 번째 서브픽셀(SP_{i+1}), $i+2$ 번째 서브픽셀(SP_{i+2}) 각각은 원하는 영상 표현을 위해 2V, 3V, 1V, 3V의 영상 데이터 전압이 필요하다고 가정한다.
- [0113] 여기서, 2V, 3V, 1V, 3V의 영상 데이터 전압은, 기존 서브픽셀 구조와 기존 데이터 라인을 이용하는 경우, 구동 트랜지스터(DRT)의 제1노드(N1)에 인가되는 영상 데이터 전압을 의미할 수 있다.
- [0114] 도 7을 참조하면, $i-1$ 번째 서브픽셀(SP_{i-1}), i 번째 서브픽셀(SP_i), $i+1$ 번째 서브픽셀(SP_{i+1}), $i+2$ 번째 서브픽셀(SP_{i+2}) 각각의 원하는 영상 표현(휘도 표현)을 위해, 컬럼 라인 구동 회로(120)는, 제1 컬럼 라인 CL1A로 3V의 제1 컬럼 전압(CV1A)를 출력하고, 제2 컬럼 라인 CL2B로 1V의 제2 컬럼 전압(CV2B)를 출력하고, 제1 컬럼 라인 CL1C로 4V의 제1 컬럼 전압(CV1C)를 출력하고, 제2 컬럼 라인 CL2D로 3V의 제2 컬럼 전압(CV2D)를 출력하고, 제1 컬럼 라인 CL1E로 6V의 제1 컬럼 전압(CV1E)를 출력할 수 있다.
- [0115] 이에 따라, $i-1$ 번째 서브픽셀(SP_{i-1})의 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2)의 전위차(즉, 스토리지 캐패시터(C_{st})의 양단 전위차)는, $i-1$ 번째 서브픽셀(SP_{i-1})에서 표현하고자 하는 영상 표현에 대응되는 2V가 된다.
- [0116] i 번째 서브픽셀(SP_i)의 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2)의 전위차(즉, 스토리지 캐패시터(C_{st})의 양단 전위차)는, i 번째 서브픽셀(SP_i)에서 표현하고자 하는 영상 표현에 대응되는 3V가 된다.
- [0117] $i+1$ 번째 서브픽셀(SP_{i+1})의 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2)의 전위차(즉, 스토리지 캐패시터(C_{st})의 양단 전위차)는, $i+1$ 번째 서브픽셀(SP_{i+1})에서 표현하고자 하는 영상 표현에 대응되는 1V가 된다.
- [0118] $i+2$ 번째 서브픽셀(SP_{i+2})의 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2)의 전위차(즉, 스토리지 캐패시터(C_{st})의 양단 전위차)는, $i+2$ 번째 서브픽셀(SP_{i+2})에서 표현하고자 하는 영상 표현에 대응되는 3V가 된다.

- [0119] 도 8을 참조하면, 컨트롤러(140)는, $i-1$ 번째 서브픽셀(SP_{i-1}), i 번째 서브픽셀(SP_i), $i+1$ 번째 서브픽셀(SP_{i+1}), $i+2$ 번째 서브픽셀(SP_{i+2}) 각각에 대하여, 구동 트랜지스터(DRT)의 문턱전압과 이동도, 패널 휘도 등을 센싱하여 보상한 결과를 반영하여, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 걸려야 하는 전위차를 테이블(810)로 생성한다.
- [0120] 이렇게 생성된 테이블(810)을 토대로, $i-1$ 번째 서브픽셀(SP_{i-1}), i 번째 서브픽셀(SP_i), $i+1$ 번째 서브픽셀(SP_{i+1}), $i+2$ 번째 서브픽셀(SP_{i+2})에 관련된 컬럼 라인들(CL1A, CL2B, CL1C, CL2D, CL1E)에 공급되어야 하는 전압을 계산하여, 전압 테이블(820)을 생성한다.
- [0121] 이때, 특정 컬럼 라인(예: CL1C)에 공급되어야 하는 전압을 1V로 계산하여 나머지 컬럼 라인들(예: CL1A, CL2B, CL2D, CL1E)에 공급되어야 하는 전압을 계산할 수 있다.
- [0122] 이렇게 생성된 전압 테이블(820)에서 최소 전압을 확인하여 확인된 최소 전압(-2V)이 원하는 전압(예: 1V)가 되도록 하는 오프셋(Offset) 처리를 하여, 최종적인 컬럼 전압 테이블(830)을 생성할 수 있다.
- [0123] 일 예로, +3V의 오프셋 적용을 하는 경우, 전압 테이블(820)에서의 0V, -2V, 1V, 0V, 3V가 3V, 1V, 4V, 3V, 6V로 변경된 최종적인 컬럼 전압 테이블(830)이 생성된다.
- [0124] 이러한 컬럼 전압 테이블(830)에서, $i-1$ 번째 서브픽셀(SP_{i-1}), i 번째 서브픽셀(SP_i), $i+1$ 번째 서브픽셀(SP_{i+1}), $i+2$ 번째 서브픽셀(SP_{i+2})에 관련된 컬럼 라인들(CL1A, CL2B, CL1C, CL2D, CL1E)로 공급되어야 하는 컬럼 전압들(3V, 1V, 4V, 3V, 6V)에 대응되는 컬럼 데이터들을 컬럼 라인 구동 회로(120)로 제공한다.
- [0125] 한편, 도 7 및 도 8을 참조하면, 컬럼 라인 공유로 인해, 컬럼 전압이 점점 증가하는 경향을 보일 수 있다. 이에 따라, 보다 높은 구동전압(EVDD)을 요구하게 된다. 이는, 스토리지 캐패시터(Cst)에 마이너스(-) 전압이 인가되어도 블랙 영상인 점을 활용하여 블랙 데이터에 특정 전압(예: 0.2V)를 인가하는 것으로 개선될 수 있다.
- [0126] 도 9는 본 실시예들에 따른 컬럼 라인 구동 회로(120)를 나타낸 도면이다.
- [0127] 본 실시예들에 따른 컬럼 라인 구동 회로(120)는, M개의 제1 컬럼 라인에 대응되는 M개의 채널과, N개의 제2 컬럼 라인에 대응되는 N개의 채널을 포함하는 K($K=M+N$, M, N은 1 이상의 자연수, K는 2 이상의 자연수)개의 채널을 갖는다.
- [0128] 도 9에 도시된 바와 같이, $K=5$, $M=3$, $N=2$ 인 경우, 컬럼 라인 구동 회로(120)는, 3개의 제1 컬럼 라인(CL1A, CL1C, CL1E)에 대응되는 3개의 채널(CH A, CH C, CH E)과, 2개의 제2 컬럼 라인(CL2B, CL2D)에 대응되는 2개의 채널(CH B, CH D)을 포함하는 5개의 채널(CH A, CH B, CH C, CH D, CH E)을 갖는다.
- [0129] 도 9를 참조하면, 컬럼 라인 구동 회로(120)는, 5($K=5$)개의 제1 래치(L1) 및 5($K=5$)개의 제2 래치(L2)와, 5($K=5$)개의 디지털 아날로그 컨버터(DAC)와, 5($K=5$)개의 출력 버퍼(AMP) 등을 포함한다.
- [0130] 5($K=5$)개의 제1 래치(L1) 및 5($K=5$)개의 제2 래치(L2)와, 5($K=5$)개의 디지털 아날로그 컨버터(DAC)와, 5($K=5$)개의 출력 버퍼(AMP)는, 5($K=5$)개의 채널에 대응된다.
- [0131] 5($K=5$)개의 제1 래치(L1) 및 5($K=5$)개의 제2 래치(L2)는, 컬럼 데이터들을 저장하는 것으로서, 도 8의 예시에 따르면, 컬럼 전압들(3V, 1V, 4V, 3V, 6V)에 대응되는 컬럼 데이터들을 저장한다.
- [0132] 도 9를 참조하면, 컬럼 라인 구동 회로(120)는, 5개의 디지털 아날로그 컨버터(DAC)에 대응되어 연결된 5개의 출력 버퍼(AMP)와 5($K=5$)개의 컬럼 라인(CL1A, CL2B, CL1C, CL2D, CL1E) 간의 연결을 스위칭 하는 5($M+N=3+2$)개의 컬럼 전압 스위치(SCV)를 포함할 수 있다.
- [0133] 또한, 컬럼 라인 구동 회로(120)는, 샘플 앤 홀더 회로(S/H)와, 적어도 하나의 아날로그 디지털 컨버터(ADC)를 포함할 수 있고, 5개의 컬럼 라인(CL1A, CL2B, CL1C, CL2D, CL1E)에 포함된 3($M=3$)개의 제1 컬럼 라인(CL1A, CL1C, CL1E)과 2($N=2$)개의 제2 컬럼 라인(CL2B, CL2D) 중 2개의 제2 컬럼 라인(CL2B, CL2D)과 아날로그 디지털 컨버터(ADC) 간의 연결을 스위칭 하는 N개의 샘플링 스위치(SAM)를 더 포함할 수 있다.
- [0134] 또한, 컬럼 라인 구동 회로(120)는, 2개의 제2 컬럼 라인(CL2B, CL2D)과 초기화 전압 공급노드(Npre) 간의 연결을 스위칭 하는 적어도 하나의 초기화 스위치(SPRE)를 포함할 수 있다.
- [0135] 도 9를 참조하면, 3개의 제1 컬럼 라인(CL1A, CL1C, CL1E)과 2개의 제2 컬럼 라인(CL2B, CL2D)은 서로 교번하여 위치한다. 즉, 제1 컬럼 라인 CL1A, 제2 컬럼 라인 CL2B, 제1 컬럼 라인 CL1C, 제2 컬럼 라인 CL2D, 제1 컬럼 라인 CL1E의 순서로 위치한다.

- [0136] 전술한 컬럼 라인 구동 회로(120)를 이용하면, 본 실시예들과 같이 컬럼 방향의 신호 라인 개수를 줄일 수 있는 독특한 서브픽셀 구조를 갖는 서브픽셀에 대한 데이터 구동을 제공할 수 있다.
- [0137] 도 10은 본 실시예들에 따른 유기발광표시장치(100)의 영상 구동 방법에 대한 흐름도이고, 도 11 내지 도 13은 본 실시예들에 따른 유기발광표시장치(100)의 영상 구동 절차를 나타낸 도면이다.
- [0138] 도 10을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 영상 구동 방법은, 프로그램 단계 또는 발광 초기화 단계라고도 하는 제1 단계(S1010), 센싱 단계 또는 플로팅 단계라고도 하는 제2 단계(S1020), 발광 단계에 해당하는 제3 단계(S1030)로 진행된다.
- [0139] 아래에서는, 영상 구동을 위한 3가지 단계(S1010, S1020, S1030)를 도 11 내지 도 13을 참조하여 설명한다.
- [0140] 단, i 번째 서브픽셀(SP_i)에 대한 영상 구동 관점에서 예시적으로 설명한다.
- [0141] 그리고, 4개의 서브픽셀(SP_{i-1} , SP_i , SP_{i+1} , SP_{i+2})에 2개의 로우 라인(RL_1 , RL_2)가 배치된 것으로 가정한다. 이에 따르면, 스캔 신호(SCAN)는 로우 라인 RL_1 을 통해 제1 트랜지스터(T_1)의 게이트 노드에 인가되고, 센싱 신호(SENSE)는 로우 라인 RL_2 를 통해 제2 트랜지스터(T_2)의 게이트 노드에 인가된다.
- [0142] 도 11을 참조하면, 제1 단계(S1010)에서는, 2개의 로우 라인(RL_1 , RL_2)을 통해 제1 트랜지스터(T_1)와 제2 트랜지스터(T_3)를 턴-온 시킬 수 있는 스캔 신호(SCAN) 및 센싱 신호(SENSE)가 인가될 때, 컬럼 라인 구동 회로(120)는, 제1 컬럼 라인(CL_1C)을 통해 i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제1노드(N_1)에 제1 컬럼 전압(CV_1C)을 인가하고, 제2 컬럼 라인(CL_2B)을 통해 i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제2노드(N_2)에 제2 컬럼 전압(CV_2B)을 인가한다.
- [0143] 이때, 제1 컬럼 라인(CL_1C)과 디지털 아날로그 컨버터(DAC) 사이와, 제2 컬럼 라인(CL_2B)과 디지털 아날로그 컨버터(DAC) 사이의 컬럼 전압 스위치(SCV)는 턴-온 되어 있다.
- [0144] 도 12를 참조하면, 제2 단계(S1020)에서, i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제1노드(N_1)와 제2노드(N_2)를 플로팅 시킨다.
- [0145] 이에 따라, 구동 트랜지스터(DRT)의 제1노드(N_1)와 제2노드(N_2)의 전위차(CV_1C-CV_2B)를 유지하면서, 구동 트랜지스터(DRT)의 제1노드(N_1)는 CV_1C 에서 전압 상승이 이루어지고, 구동 트랜지스터(DRT)의 제2노드(N_2)는 CV_2B 에서 전압 상승이 이루어진다.
- [0146] 이때, 제1 컬럼 라인(CL_1C)과 디지털 아날로그 컨버터(DAC) 사이와, 제2 컬럼 라인(CL_2B)과 디지털 아날로그 컨버터(DAC) 사이의 컬럼 전압 스위치(SCV)는 턴-오프 되어 있다.
- [0147] 도 12를 참조하면, 제2 단계(S1020)에서, i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제1노드(N_1)와 제2노드(N_2)의 전위차(ΔV_i)를 유지하면서, i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제1노드(N_1)와 제2노드(N_2)의 전압이 상승하다가, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극)과 연결된 구동 트랜지스터(DRT)의 제2노드(N_2)의 전압이 유기발광다이오드(OLED)로 전류를 공급할 수 있는 전압만큼 상승하게 되면, 유기발광다이오드(OLED)로 전류가 흐르기 시작한다.
- [0148] 이에 따라, 도 13에 도시된 바와 같이, i 번째 서브픽셀(SP_i) 내 유기발광다이오드(OLED)가 발광하는 제3 단계(S1030)가 진행된다.
- [0149] 한편, 도 11을 참조하면, 제1 단계(S1010)에서, 제1 컬럼 라인(CL_1C)을 통해 i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제1노드(N_1)에 제1 컬럼 전압(CV_1C)을 인가할 때, 동일한 제1 컬럼 라인(CL_1C)을 통해 $i+1$ 번째 서브픽셀(SP_{i+1}) 내 구동 트랜지스터(DRT)의 제1노드(N_1)에 동일한 제1 컬럼 전압(CV_1C)을 동시에 인가한다.
- [0150] 또한, 제1 단계(S1010)에서, 제2 컬럼 라인(CL_2B)을 통해 i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제2노드(N_2)에 제2 컬럼 전압(CV_2B)을 인가할 때, 동일한 제2 컬럼 라인(CL_2)을 통해 $i-1$ 번째 서브픽셀(SP_{i-1}) 내 구동 트랜지스터(DRT)의 제2노드(N_2)에 동일한 제2 컬럼 전압(CV_2B)을 동시에 인가한다.
- [0151] 이에 따라, 제2 단계(S1020) 및 제3 단계(S1030)는, $i-1$ 번째 서브픽셀(SP_{i-1}), i 번째 서브픽셀(SP_i) 및 $i+1$ 번째 서브픽셀(SP_{i+1})에서 함께 진행된다.
- [0152] 전술한 영상 구동 방식에 따르면, 원하는 영상 표현을 가능하게 하면서도 컬럼 방향의 신호 라인 개수를 줄일 수 있다.

- [0153] 도 14는 본 실시예들에 따른 유기발광표시장치(100)의 센싱 방법에 대한 흐름도이다.
- [0154] 도 14를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 센싱 방법은, 센싱 초기화 단계 또는 프로그램 단계라고도 하는 제1 단계(S1410), 파악하고자 하는 정보(문턱전압, 이동도 등)를 감지해 간다는 의미에서 센싱 단계 또는 이를 위해 특정 노드의 전압이 플로팅 된다는 의미에서 플로팅 단계라고도 하는 제2 단계(S1420), 샘플링 단계라고 하고 실제로 전압 센싱이 이루어지는 제3 단계(S1430), 센싱 전압을 토대로 파악하고자 하는 정보(문턱전압, 이동도 등)를 파악하는 제4 단계(S1440) 등을 진행된다.
- [0155] 아래에서는, i 번째 서브픽셀(SP_i)에 대한 센싱 관점에서 설명한다.
- [0156] 제1 단계(S1410)에서, 제1 컬럼 라인($CL1C$)을 통해, i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제1노드($N1$)와 $i+1$ 번째 서브픽셀(SP_{i+1}) 내 구동 트랜지스터(DRT)의 제1노드($N1$)에 센싱용 제1 컬럼 전압($CV1C$)을 동시에 인가한다.
- [0157] 이를 위해, 제1 컬럼 라인($CL1C$)과 연결된 컬럼 전압 스위치(SCV)는 턴-온 되어 있다.
- [0158] 또한, 제1 단계(S1410)에서는, 제2 컬럼 라인($CL2B$)을 통해 i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제2노드($N2$)에 초기화 전압(V_{pre})을 인가하고, 다른 제2 컬럼 라인($CL2D$)을 통해 $i+1$ 번째 서브픽셀(SP_{i+1}) 내 구동 트랜지스터(DRT)의 제2노드($N2$)에 초기화 전압(V_{pre})을 인가한다.
- [0159] 이를 위해, 제2 컬럼 라인들($CL2B$, $CL2D$)과 연결된 초기화 스위치(SPRE)는 턴-온 되어 있다.
- [0160] 제2 단계(S1420)에서, i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제2노드($N2$)와 $i+1$ 번째 서브픽셀(SP_{i+1}) 내 구동 트랜지스터(DRT)의 제2노드($N2$)를 동시에 플로팅 시킨다.
- [0161] 이를 위해, 제2 컬럼 라인들($CL2B$, $CL2D$)과 연결된 초기화 스위치(SPRE)는 턴-오프 된다.
- [0162] 이에 따라, i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제2노드($N2$)와 $i+1$ 번째 서브픽셀(SP_{i+1}) 내 구동 트랜지스터(DRT)의 제2노드($N2$)는 전압 상승이 이루어진다.
- [0163] 제3 단계(S1430)에서, i 번째 서브픽셀(SP_i) 내 구동 트랜지스터(DRT)의 제2노드($N2$)의 전압을 제2 컬럼 라인($CL2B$)을 통해 센싱하고, $i+1$ 번째 서브픽셀(SP_{i+1}) 내 구동 트랜지스터(DRT)의 제2노드($N2$)의 전압을 다른 제2 컬럼 라인($CL2D$)을 통해 센싱한다.
- [0164] 이를 위해, 제2 컬럼 라인들($CL2B$, $CL2D$)과 연결된 샘플링 스위치(SAM)는 턴-온 되어, 제2 컬럼 라인들($CL2B$, $CL2D$)과 아날로그 디지털 컨버터(ADC)가 전기적으로 연결된다.
- [0165] 전술한 바에 따르면, 1차례의 센싱 구동을 통해, 인접한 2개 서브픽셀(SP_i , SP_{i+1})을 동시에 센싱할 수 있다. 이에 따라, 유기발광표시패널(110)에 배치된 모든 서브픽셀을 센싱 구동하는데 걸리는 총 시간을 많이 단축시킬 수 있다.
- [0166] 아래에서는, 센싱 방법을 통해 파악하고자 하는 정보가 구동 트랜지스터(DRT)의 문턱전압인 경우와 구동 트랜지스터(DRT)의 이동도인 경우로 나누어, 센싱 방법을 더욱 상세하게 설명한다.
- [0167] 도 15는 본 실시예들에 따른 유기발광표시장치(100)의 문턱전압 센싱 타이밍도이다. 그리고, 도 16 내지 도 18은 1번째 문턱전압 센싱 구간에서 문턱전압 센싱 절차를 나타낸 도면이고, 도 19 내지 도 21은 2번째 문턱전압 센싱 구간에서 문턱전압 센싱 절차를 나타낸 도면이다.
- [0168] 여기서, 1번째 문턱전압 센싱 구간은 4개의 서브픽셀(SP_{i-1} , SP_i , SP_{i+1} , SP_{i+2}) 중에서, 2개의 서브픽셀 SP_{i-1} 와 SP_{i+2} 각각의 구동 트랜지스터(DRT)의 문턱전압을 센싱하는 구간이다. 그리고, 2번째 문턱전압 센싱 구간은 4개의 서브픽셀(SP_{i-1} , SP_i , SP_{i+1} , SP_{i+2}) 중에서, 나머지 2개의 서브픽셀 SP_i 와 SP_{i+1} 각각의 구동 트랜지스터(DRT)의 문턱전압을 센싱하는 구간이다.
- [0169] 도 15 및 도 16를 참조하면, 1번째 문턱전압 센싱 구간에서의 제1 단계(S1410)에서, 제1 컬럼 라인($CL1A$, $CL1E$)과 연결된 컬럼 전압 스위치(SCV)는 턴-온 되어 있다. 제1 트랜지스터($T1$) 및 제2 트랜지스터($T2$) 각각의 게이트 노드에는 턴-온 전압 레벨의 스캔 신호(SCAN) 및 센싱 신호(SENSE)가 인가된다.
- [0170] 이러한 제1 단계(S1410)에서, 제1 컬럼 라인($CL1A$)을 통해, $i-1$ 번째 서브픽셀(SP_{i-1}) 내 구동 트랜지스터(DRT)의 제1노드($N1$)에 센싱용 제1 컬럼 전압($CV1A_SEN$)을 인가한다. 다른 제1 컬럼 라인($CL1E$)을 통해, $i+2$ 번째 서브픽셀(SP_{i+2}) 내 구동 트랜지스터(DRT)의 제1노드($N1$)에 센싱용 제1 컬럼 전압($CV1E_SEN$)을 인가한다.

- [0171] 또한, 제1 단계(S1410)에서는, 제2 컬럼 라인(CL2B)을 통해 $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(Vpre)을 인가하고, 다른 제2 컬럼 라인(CL2D)을 통해 $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(Vpre)을 인가한다.
- [0172] 도 15 및 도 17을 참조하면, 1번째 문턱전압 센싱 구간에서의 제2 단계(S1420)에서, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 초기화 스위치(SPRE)는 턴-오프 된다.
- [0173] 이에 따라, 제2 단계(S1420)에서, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제2노드(N2)와 $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제2노드(N2)는 동시에 플로팅 된다.
- [0174] 이에 따라, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제2노드(N2)와 $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제2노드(N2)는 전압 상승이 이루어진다.
- [0175] 도 15 및 도 18을 참조하면, 1번째 문턱전압 센싱 구간에서의 제3 단계(S1430)에서, 제2 트랜지스터(T2)의 게이트 노드에는 턴-오프 전압 레벨의 센싱 신호(SENSE)가 인가되어, 제2 트랜지스터(T2)가 턴-오프 된다. 그리고, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 샘플링 스위치(SAM)는 턴-온 되어, 제2 컬럼 라인들(CL2B, CL2D)과 아날로그 디지털 컨버터(ADC)가 전기적으로 연결된다.
- [0176] 이에 따라, 아날로그 디지털 컨버터(ADC)는, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 제2 컬럼 라인(CL2B)을 통해 센싱하고, $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 다른 제2 컬럼 라인(CL2D)을 통해 센싱한다.
- [0177] 이때, 제2 컬럼 라인(CL2B)을 통해 센싱된 전압은, 센싱용 제1 컬럼 전압(CV1A_SEN)과 $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 문턱전압(Vth)의 차이(CV1A_SEN - Vth)에 해당한다.
- [0178] 다른 제2 컬럼 라인(CL2D)을 통해 센싱된 전압은, 센싱용 제1 컬럼 전압(CV1E_SEN)과 $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 문턱전압(Vth)의 차이(CV1E_SEN - Vth)에 해당한다.
- [0179] 이러한 제3 단계(S1430) 이후, 제4 단계(S1440)에서, 컨트롤러(140)는 아날로그 디지털 컨버터(ADC)로부터 센싱 전압에 대한 디지털 값을 수신하여, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 문턱전압을 파악하고, $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 문턱전압을 파악할 수 있다.
- [0180] 이후, 컨트롤러(140)는 파악된 문턱전압을 이용하여 문턱전압 편차를 보상하기 위한 보상값을 연산하여, $i-1$ 번째 서브픽셀(SPi-1)과 $i+2$ 번째 서브픽셀(SPi+2)에 해당하는 다음 제1, 제2 컬럼 데이터 생성 시, 데이터 변경에 이용할 수 있다.
- [0181] 아래에서는, 1번째 문턱전압 센싱 구간 이후에 진행된 2번째 문턱전압 센싱 구간에 대하여 설명한다.
- [0182] 도 15 및 도 19를 참조하면, 2번째 문턱전압 센싱 구간에서의 제1 단계(S1410)에서, 제1 컬럼 라인(CL1C)과 연결된 컬럼 전압 스위치(SCV)는 턴-온 되어 있다. 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 각각의 게이트 노드에는 턴-온 전압 레벨의 스캔 신호(SCAN) 및 센싱 신호(SENSE)가 인가된다.
- [0183] 이러한 제1 단계(S1410)에서, 제1 컬럼 라인(CL1C)을 통해, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제1노드(N1)와 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제1노드(N1)에 센싱용 제1 컬럼 전압(CV1C_SEN)을 동시에 인가한다.
- [0184] 또한, 제1 단계(S1410)에서는, 제2 컬럼 라인(CL2B)을 통해 i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(Vpre)을 인가하고, 다른 제2 컬럼 라인(CL2D)을 통해 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(Vpre)을 인가한다.
- [0185] 도 15 및 도 20을 참조하면, 2번째 문턱전압 센싱 구간에서의 제2 단계(S1420)에서, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 초기화 스위치(SPRE)는 턴-오프 된다.
- [0186] 이에 따라, 제2 단계(S1420)에서, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제2노드(N2)와 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제2노드(N2)는 동시에 플로팅 된다.
- [0187] 이에 따라, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제2노드(N2)와 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제2노드(N2)는 전압 상승이 이루어진다.
- [0188] 도 15 및 도 21을 참조하면, 2번째 문턱전압 센싱 구간에서의 제3 단계(S1430)에서, 제2 트랜지스터(T2)의 게이트

트 노드에는 턴-오프 전압 레벨의 센싱 신호(SENSE)가 인가되어, 제2 트랜지스터(T2)가 턴-오프 된다. 그리고, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 샘플링 스위치(SAM)는 턴-온 되어, 제2 컬럼 라인들(CL2B, CL2D)과 아날로그 디지털 컨버터(ADC)가 전기적으로 연결된다.

- [0189] 이에 따라, 아날로그 디지털 컨버터(ADC)는, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 제2 컬럼 라인(CL2B)을 통해 센싱하고, $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 다른 제2 컬럼 라인(CL2D)을 통해 센싱한다.
- [0190] 이때, 제2 컬럼 라인(CL2B)을 통해 센싱된 전압은, 센싱용 제1 컬럼 전압(CVIC_SEN)과 i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 문턱전압(V_{th})의 차이($CVIC_SEN - V_{th}$)에 해당한다.
- [0191] 다른 제2 컬럼 라인(CL2D)을 통해 센싱된 전압은, 센싱용 제1 컬럼 전압(CVIC_SEN)과 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 문턱전압(V_{th})의 차이($CVIC_SEN - V_{th}$)에 해당한다.
- [0192] 이러한 제3 단계(S1430) 이후, 제4 단계(S1440)에서, 컨트롤러(140)는 아날로그 디지털 컨버터(ADC)로부터 센싱 전압에 대한 디지털 값을 수신하여, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 문턱전압을 파악하고, $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 문턱전압을 파악할 수 있다.
- [0193] 이후, 컨트롤러(140)는 파악된 문턱전압을 이용하여 문턱전압 편차를 보상하기 위한 보상값을 연산하여, i 번째 서브픽셀(SPi)과 $i+1$ 번째 서브픽셀(SPi+1)에 해당하는 다음 제1, 제2 컬럼 데이터 생성 시, 데이터 변경에 이용할 수 있다.
- [0194] 전술한 문턱전압 센싱 방법에 따르면, 본 실시예들에 따른 독특한 서브픽셀 구조와 이를 이용한 컬럼 라인들의 구동 방식에 따라, 1차레의 문턱전압 센싱 구동을 통해, 인접한 2개 서브픽셀에 대한 구동 트랜지스터(DRT)의 문턱전압을 동시에 센싱할 수 있다. 이에 따라, 유기발광표시패널(110)에 배치된 모든 서브픽셀에 대하여 문턱전압을 센싱하는데 걸리는 총 시간을 많이 단축시킬 수 있다.
- [0195] 도 22는 본 실시예들에 따른 유기발광표시장치(100)의 이동도 센싱 타이밍도이다. 그리고, 도 23 내지 도 25는 1번째 이동도 센싱 구간에서 이동도 센싱 절차를 나타낸 도면이며, 도 26 내지 도 28은 2번째 이동도 센싱 구간에서 이동도 센싱 절차를 나타낸 도면이다.
- [0196] 여기서, 1번째 이동도 센싱 구간은 4개의 서브픽셀(SPi-1, SPi, SPi+1, SPi+2) 중에서, 2개의 서브픽셀 SPi-1와 SPi+2 각각의 구동 트랜지스터(DRT)의 이동도를 센싱하는 구간이다. 그리고, 2번째 이동도 센싱 구간은 4개의 서브픽셀(SPi-1, SPi, SPi+1, SPi+2) 중에서, 나머지 2개의 서브픽셀 SPi와 SPi+1 각각의 구동 트랜지스터(DRT)의 이동도를 센싱하는 구간이다.
- [0197] 도 22 및 도 23을 참조하면, 1번째 이동도 센싱 구간에서의 제1 단계(S1410)에서, 제1 컬럼 라인(CL1A, CL1E)과 연결된 컬럼 전압 스위치(SCV)는 턴-온 되어 있다. 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 각각의 게이트 노드에는 턴-온 전압 레벨의 스캔 신호(SCAN) 및 센싱 신호(SENSE)가 인가된다.
- [0198] 이러한 제1 단계(S1410)에서, 제1 컬럼 라인(CL1A)을 통해, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제1노드(N1)에 센싱용 제1 컬럼 전압(CV1A_SEN)을 인가한다. 다른 제1 컬럼 라인(CL1E)을 통해, $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제1노드(N1)에 센싱용 제1 컬럼 전압(CV1E_SEN)을 인가한다.
- [0199] 또한, 제1 단계(S1410)에서는, 제2 컬럼 라인(CL2B)을 통해 $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(V_{pre})을 인가하고, 다른 제2 컬럼 라인(CL2D)을 통해 $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(V_{pre})을 인가한다.
- [0200] 도 22 및 도 24를 참조하면, 1번째 이동도 센싱 구간에서의 제2 단계(S1420)에서, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 초기화 스위치(SPRE)는 턴-오프 된다. 그리고, 제1 컬럼 라인(CL1A, CL1E)과 연결된 컬럼 전압 스위치(SCV)는 턴-오프 되고, 제1 트랜지스터(T1)의 게이트 노드에는 턴-오프 전압 레벨의 스캔 신호(SCAN)가 인가된다.
- [0201] 이에 따라, 제2 단계(S1420)에서, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)와, $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)는 모두 플로팅 된다.
- [0202] 이에 따라, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)와 $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)는 전위차를 유지하면서 전압 상승이 이루어

어진다.

- [0203] 이러한 전압 상승이 일정 시간 동안 이루어진 이후, 1번째 이동도 센싱 구간에서의 제3 단계(S1430)가 진행될 수 있다.
- [0204] 도 22 및 도 25를 참조하면, 1번째 이동도 센싱 구간에서의 제3 단계(S1430)에서, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 샘플링 스위치(SAM)는 턴-온 되어, 제2 컬럼 라인들(CL2B, CL2D)과 아날로그 디지털 컨버터(ADC)가 전기적으로 연결된다.
- [0205] 이에 따라, 아날로그 디지털 컨버터(ADC)는, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 제2 컬럼 라인(CL2B)을 통해 센싱하고, $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 다른 제2 컬럼 라인(CL2D)을 통해 센싱한다.
- [0206] 이때, 제2 컬럼 라인(CL2B)을 통해 센싱된 전압은, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 전류능력(IDS, 즉, 이동도)이 클수록 높아진다.
- [0207] 다른 제2 컬럼 라인(CL2D)을 통해 센싱된 전압은, $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 전류능력(IDS, 즉, 이동도)이 클수록 높아진다.
- [0208] 이러한 제3 단계(S1430) 이후, 제4 단계(S1440)에서, 컨트롤러(140)는 아날로그 디지털 컨버터(ADC)로부터 센싱 전압에 대한 디지털 값을 수신하여, $i-1$ 번째 서브픽셀(SPi-1) 내 구동 트랜지스터(DRT)의 이동도를 파악하고, $i+2$ 번째 서브픽셀(SPi+2) 내 구동 트랜지스터(DRT)의 이동도를 파악할 수 있다.
- [0209] 이후, 컨트롤러(140)는 파악된 이동도를 이용하여 이동도 편차를 보상하기 위한 보상값(게인 등)을 연산하여, $i-1$ 번째 서브픽셀(SPi-1)과 $i+2$ 번째 서브픽셀(SPi+2)에 해당하는 다음 제1, 제2 컬럼 데이터 생성 시, 데이터 변경에 이용할 수 있다.
- [0210] 아래에서는, 1번째 이동도 센싱 구간 이후에 진행된 2번째 이동도 센싱 구간에 대하여 설명한다.
- [0211] 도 22 및 도 26을 참조하면, 2번째 이동도 센싱 구간에서의 제1 단계(S1410)에서, 제1 컬럼 라인(CL1C)과 연결된 컬럼 전압 스위치(SCV)는 턴-온 되어 있다. 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 각각의 게이트 노드에는 턴-온 전압 레벨의 스캔 신호(SCAN) 및 센싱 신호(SENSE)가 인가된다.
- [0212] 이러한 제1 단계(S1410)에서, 제1 컬럼 라인(CL1C)을 통해, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제1노드(N1)와 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제1노드(N1)에 센싱용 제1 컬럼 전압(CV1C_SEN)을 동시에 인가한다.
- [0213] 또한, 제1 단계(S1410)에서는, 제2 컬럼 라인(CL2B)을 통해 i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(Vpre)을 인가하고, 다른 제2 컬럼 라인(CL2D)을 통해 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제2노드(N2)에 초기화 전압(Vpre)을 인가한다.
- [0214] 도 22 및 도 27을 참조하면, 2번째 이동도 센싱 구간에서의 제2 단계(S1420)에서, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 초기화 스위치(SPRE)는 턴-오프 된다. 그리고, 제1 컬럼 라인(CL1C)과 연결된 컬럼 전압 스위치(SCV)는 턴-오프 되고, 제1 트랜지스터(T1)의 게이트 노드에는 턴-오프 전압 레벨의 스캔 신호(SCAN)가 인가된다.
- [0215] 이에 따라, 제2 단계(S1420)에서, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)와 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)는 모두 플로팅 된다.
- [0216] 이에 따라, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)와 $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)는 전압 상승이 이루어진다.
- [0217] 이러한 전압 상승이 일정 시간 동안 이루어진 이후, 2번째 이동도 센싱 구간에서의 제3 단계(S1430)가 진행될 수 있다.
- [0218] 도 22 및 도 28을 참조하면, 2번째 이동도 센싱 구간에서의 제3 단계(S1430)에서, 제2 컬럼 라인들(CL2B, CL2D)과 연결된 샘플링 스위치(SAM)는 턴-온 되어, 제2 컬럼 라인들(CL2B, CL2D)과 아날로그 디지털 컨버터(ADC)가 전기적으로 연결된다.
- [0219] 이에 따라, 아날로그 디지털 컨버터(ADC)는, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 제2 컬럼 라인(CL2B)을 통해 센싱하고, $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 제2노드

(N2)의 전압을 다른 제2 컬럼 라인(CL2D)을 통해 센싱한다.

- [0220] 이때, 제2 컬럼 라인(CL2B)을 통해 센싱된 전압은, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 전류 능력(IDS, 즉, 이동도)이 클수록 높아진다.
- [0221] 다른 제2 컬럼 라인(CL2D)을 통해 센싱된 전압은, $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 전류 능력(IDS, 즉, 이동도)이 클수록 높아진다.
- [0222] 이러한 제3 단계(S1430) 이후, 제4 단계(S1440)에서, 컨트롤러(140)는 아날로그 디지털 컨버터(ADC)로부터 센싱 전압에 대한 디지털 값을 수신하여, i 번째 서브픽셀(SPi) 내 구동 트랜지스터(DRT)의 이동도를 파악하고, $i+1$ 번째 서브픽셀(SPi+1) 내 구동 트랜지스터(DRT)의 이동도를 파악할 수 있다.
- [0223] 이후, 컨트롤러(140)는 파악된 이동도를 이용하여 이동도 편차를 보상하기 위한 보상값(게인 등)을 연산하여, i 번째 서브픽셀(SPi)과 $i+1$ 번째 서브픽셀(SPi+1)에 해당하는 다음 제1, 제2 컬럼 데이터 생성 시, 데이터 변경에 이용할 수 있다.
- [0224] 전술한 이동도 센싱 방법에 따르면, 본 실시예들에 따른 독특한 서브픽셀 구조와 이를 이용한 컬럼 라인들의 구동 방식에 따라, 1차레의 이동도 센싱 구동을 통해, 인접한 2개 서브픽셀에 대한 구동 트랜지스터(DRT)의 이동도를 동시에 센싱할 수 있다. 이에 따라, 유기발광표시패널(110)에 배치된 모든 서브픽셀에 대하여 이동도를 센싱하는데 걸리는 총 시간을 많이 단축시킬 수 있다.
- [0225] 도 29는 본 실시예들에 따른 유기발광표시장치에서 제1 트랜지스터 및 제2 트랜지스터의 기능상의 중복성을 나타낸 도면이다.
- [0226] 도 29를 참조하면, i 번째 서브픽셀(SPi)의 제1 트랜지스터(T1)과 $i+1$ 번째 서브픽셀(SPi+1)의 제1 트랜지스터(T1)는 제1 컬럼 라인(CL1C)과 동시에 연결되어, 제1 컬럼 라인(CL1C)으로부터 제1 컬럼 전압(CV1C)을 동시에 인가받는다.
- [0227] 따라서, 제1 컬럼 라인(CL1C)을 기준으로 인접해 있는 2개의 서브픽셀(SPi와 SPi+1) 각각의 제1 트랜지스터(T1)는, 제1 컬럼 라인(CL1C)으로부터 제1 컬럼 전압(CV1C)을 해당 구동 트랜지스터(DRT)의 제1노드(N1)로 전달해 준다는 점에서, 동일한 기능을 가지고 있다.
- [0228] 즉, 제1 컬럼 라인(CL1C)을 기준으로 인접해 있는 2개의 서브픽셀(SPi와 SPi+1) 각각의 제1 트랜지스터(T1)는 기능상 중복된 트랜지스터로 볼 수 있다.
- [0229] 이와 마찬가지로, 제2 컬럼 라인(CV2B)을 기준으로 인접해 있는 2개의 서브픽셀(SPi-1과 SPi) 각각의 제2 트랜지스터(T2)도 기능상 중복된 트랜지스터로 볼 수 있다.
- [0230] 이에, 본 실시예들은, 트랜지스터 중복 설계를 하지 않고, 제1 컬럼 라인(CL1C)을 기준으로 인접해 있는 2개의 서브픽셀(SPi와 SPi+1)은 하나의 공통 제1 트랜지스터(T1)를 통해 제1 컬럼 전압(CV1C)을 공급받고, 제2 컬럼 라인(CV2B)을 기준으로 인접해 있는 2개의 서브픽셀(SPi-1과 SPi)은 하나의 공통 제2 트랜지스터(T2)를 통해 제2 컬럼 전압(CV2B)을 공급받을 수 있는 구조를 제공할 수 있다.
- [0231] 이러한 트랜지스터 저감 구조에 대하여, 도 30 및 도 31을 참조하여 설명한다.
- [0232] 도 30 및 도 31은 본 실시예들에 따른 유기발광표시장치(100)에서 트랜지스터 개수 저감 구조를 나타낸 도면이다.
- [0233] 도 30을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서 유기발광표시패널(110)에는, 컬럼(Column) 방향으로 다수의 제1 컬럼 라인(CL1A, CL1C, CL1E) 및 다수의 제2 컬럼 라인(CL2B, CL2D)을 포함하는 다수의 컬럼 라인(CL1A, CL2B, CL1C, CL2D, CL1E)이 배치되고, 로우(Row) 방향으로 다수의 로우 라인이 배치된다.
- [0234] 또한, 다수의 서브픽셀(SPi-1, SPi, SPi+1, SPi+2) 각각은, 유기발광다이오드(OLED), 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT) 및 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst) 등을 포함할 수 있다.
- [0235] 다수의 제1 컬럼 라인(CL1A, CL1C, CL1E) 및 다수의 제2 컬럼 라인(CL2B, CL2D)은 교번하여 위치한다.
- [0236] 즉, 제1 컬럼 라인 CL1A, 제2 컬럼 라인 CL2B, 제1 컬럼 라인 CL1C, 제2 컬럼 라인 CL2D, 제1 컬럼 라인 CL1E의 순서로 배치된다.

- [0237] 도 30을 참조하면, 어느 한 서브픽셀 로우(Sub Pixel Row)에서, 연속되는 i 번째 서브픽셀 컬럼(SPC # i), $i+1$ 번째 서브픽셀 컬럼(SPC # $i+1$) 및 $i+2$ 번째 서브픽셀 컬럼(SPC # $i+2$)에 있어서, i 번째 서브픽셀 컬럼(SPC # i)에 위치한 서브픽셀(SPi)의 구동 트랜지스터(DRT)의 제1노드(N1)와 $i+1$ 번째 서브픽셀 컬럼(SPC # $i+1$)에 위치한 서브픽셀(SPi+1)의 구동 트랜지스터(DRT)의 제1노드(N1)는 제1 연결지점(CP1)에서 전기적으로 연결된다.
- [0238] 그리고, 제1 연결지점(CP1)과 제1 컬럼 라인(CL1C) 사이에 제1 트랜지스터(T1)가 전기적으로 연결된다.
- [0239] 즉, i 번째 서브픽셀 컬럼(SPC # i)에 위치한 서브픽셀(SPi)의 구동 트랜지스터(DRT)의 제1노드(N1)와 $i+1$ 번째 서브픽셀 컬럼(SPC # $i+1$)에 위치한 서브픽셀(SPi+1)의 구동 트랜지스터(DRT)의 제1노드(N1)는, 제1 트랜지스터(T1)에 공통으로 연결된다.
- [0240] 도 30을 참조하면, $i+1$ 번째 서브픽셀 컬럼(SPC # $i+1$)에 위치한 서브픽셀(SPi+1)의 구동 트랜지스터(DRT)의 제2노드(N2)와 $i+2$ 번째 서브픽셀 컬럼(SPC # $i+2$)에 위치한 서브픽셀(SPi+2)의 구동 트랜지스터(DRT)의 제2노드(N2)는 제2 연결지점(CP2)에서 전기적으로 연결된다.
- [0241] 그리고, 제2 연결지점(CP2)과 제2 컬럼 라인(CL2B) 사이에 제2 트랜지스터(T2)가 전기적으로 연결된다.
- [0242] 즉, $i+1$ 번째 서브픽셀 컬럼(SPC # $i+1$)에 위치한 서브픽셀(SPi+1)의 구동 트랜지스터(DRT)의 제2노드(N2)와 $i+2$ 번째 서브픽셀 컬럼(SPC # $i+2$)에 위치한 서브픽셀(SPi+2)의 구동 트랜지스터(DRT)의 제2노드(N2)는, 제2 트랜지스터(T2)에 전기적으로 연결된다.
- [0243] 전술한 구조에 따르면, 제1 컬럼 라인(CL1C)을 기준으로 인접해 있는 2개의 서브픽셀(SPi, SPi+1)은 하나의 공통 제1 트랜지스터(T1)를 통해 제1 컬럼 전압(CV1C)을 공급받을 수 있다. 또한, 제2 컬럼 라인(CV2B)을 기준으로 인접해 있는 2개의 서브픽셀(SPi-1, SPi)은 하나의 공통 제2 트랜지스터(T2)를 통해 제2 컬럼 전압(CB2B)을 공급받을 수 있다.
- [0244] 따라서, 4개의 서브픽셀(SPi-1, SPi, SPi+1, SPi+2)이 있는 영역에서 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 개수가 절반으로 줄어들 수 있고, 유기발광표시패널(110)의 전 영역으로 봤을 때는 트랜지스터 개수 저감 효과가 매우 크다는 것을 알 수 있다. 이에 따라, 유기발광표시패널(110)의 개구율이 매우 높아질 수 있다.
- [0245] 도 31을 참조하면, 다수의 제1 컬럼 라인(CL1A, CL1C, CL1E) 및 다수의 제2 컬럼 라인(CL2B, CL2D) 각각은 디지털 아날로그 컨버터(DAC)와 전기적으로 연결될 수 있다.
- [0246] 또한, 다수의 제2 컬럼 라인(CL2B, CL2D) 각각은 아날로그 디지털 컨버터(ADC)와 전기적으로 연결될 수 있다.
- [0247] 도 30 및 도 31에 도시된 트랜지스터 저감 구조를 유기발광표시패널(110)에 대한 구동 방식은 이상에서 설명한 바와 동일하다.
- [0248] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 신호 라인 개수를 줄일 수 있는 신 개념의 서브픽셀 구조로 설계된 유기발광표시패널(110)과, 이러한 신 개념의 서브픽셀 구조를 갖는 서브픽셀을 구동하기 위한 라인 구동 회로(120)와, 이들을 포함하는 유기발광표시장치(100)와, 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0249] 여기서, 신 개념의 서브픽셀 구조는, 유기발광다이오드, 트랜지스터들(DRT, T1, T2) 및 스토리지 캐패시터(Cs_t)의 연결 구조 등은 동일하더라도, 서브픽셀 내 회로 소자와 연결되는 신호 라인들의 연결 구조가 새롭다는 것을 의한다.
- [0250] 가령, 기존에는 영상 신호에 해당하는 데이터 전압이 하나의 데이터 라인을 통해 해당 서브픽셀로 공급되었지만, 본 실시예들에 따르면, 영상 신호에 해당하는 2개의 컬럼 전압(제1, 제2 컬럼 전압)이 2개의 컬럼 라인(제1, 제2 컬럼 라인)을 통해 해당 서브픽셀로 공급된다.
- [0251] 또한, 2개의 컬럼 라인(제1, 제2 컬럼 라인)은 교번하면서 배치되고, 인접한 2개의 서브픽셀이 공유하는 형태로 설계된다.
- [0252] 또한, 본 실시예들에 의하면, 신호 라인 개수를 줄이고 센싱 시간을 단축시켜줄 수 있는 유기발광표시패널(110), 유기발광표시장치(100), 라인 구동 회로(120), 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0253] 본 실시예들에 의하면, 높은 개구율을 갖는 유기발광표시패널(110), 유기발광표시장치(100), 라인 구동 회로(120), 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0254] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이

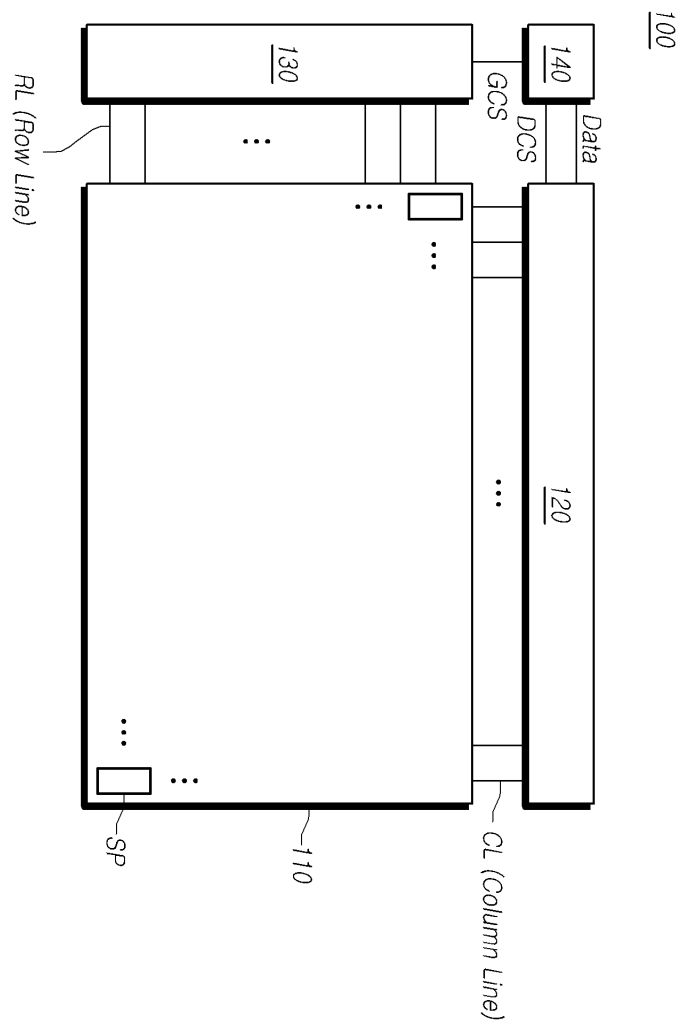
속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

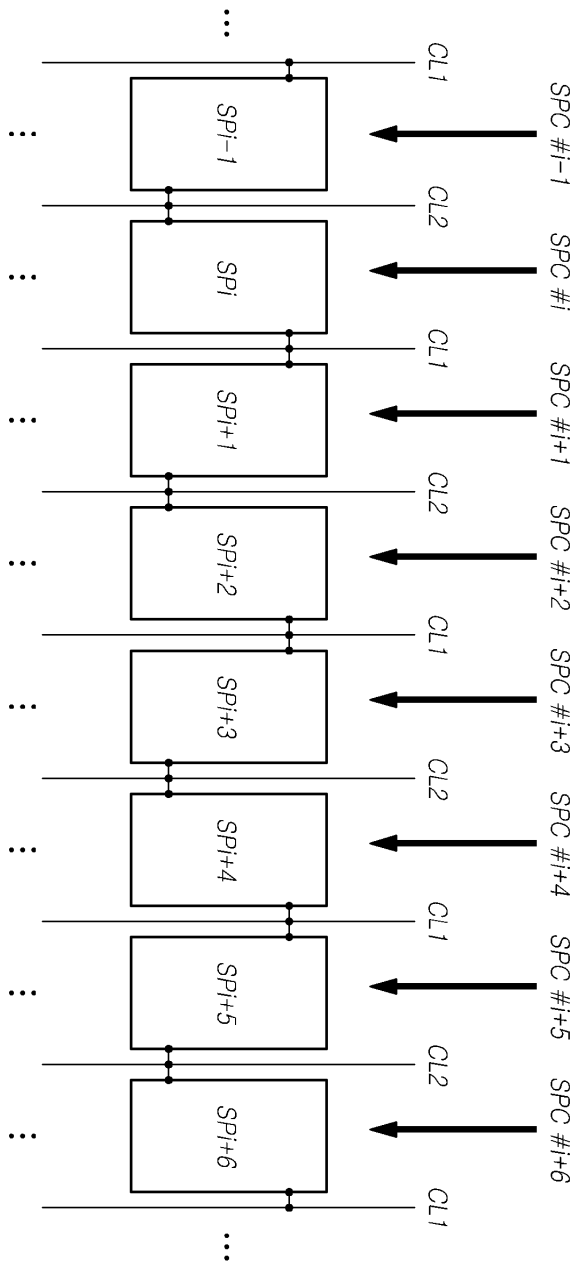
- 100: 유기발광표시장치
- 110: 유기발광표시패널
- 120: 컬럼 라인 구동 회로
- 130: 로우 라인 구동 회로
- 140: 컨트롤러

도면

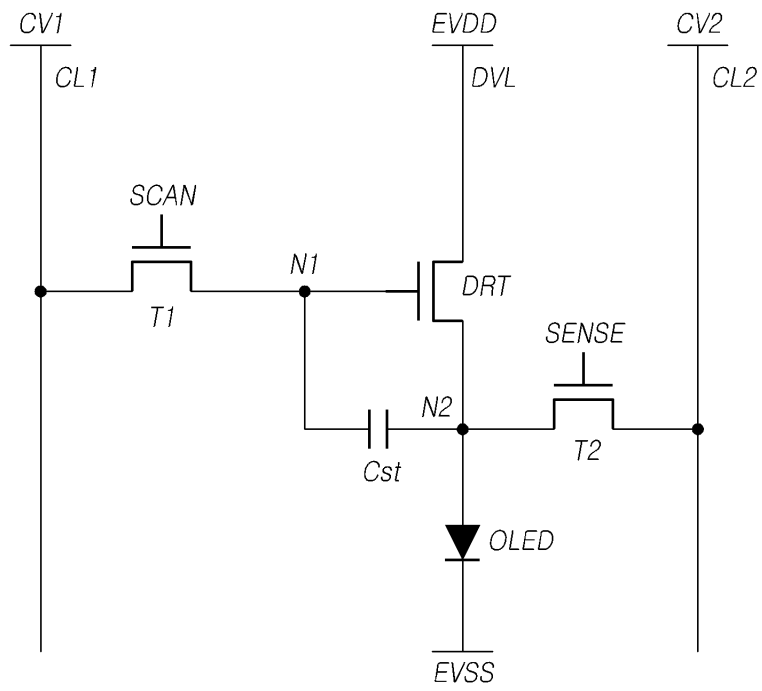
도면1



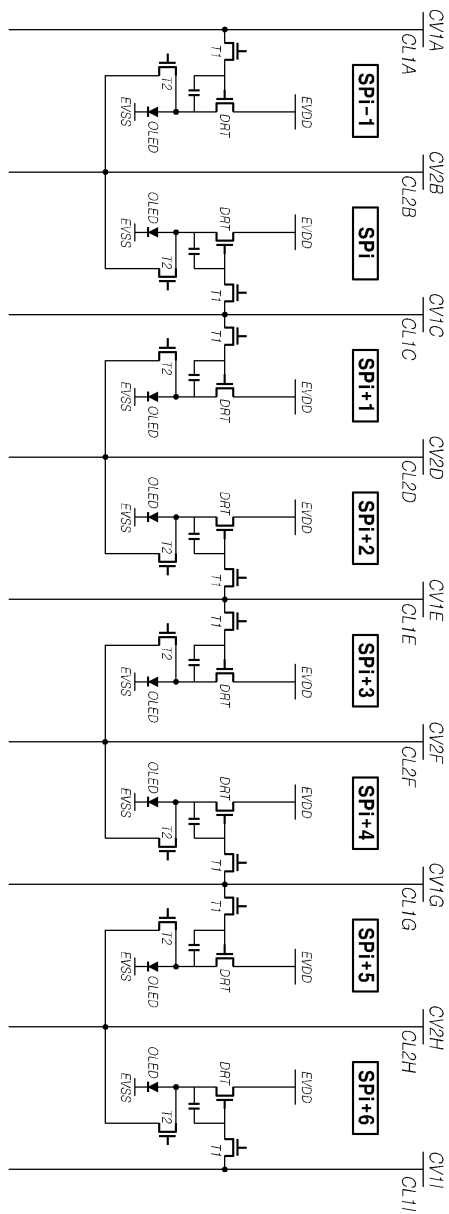
도면2



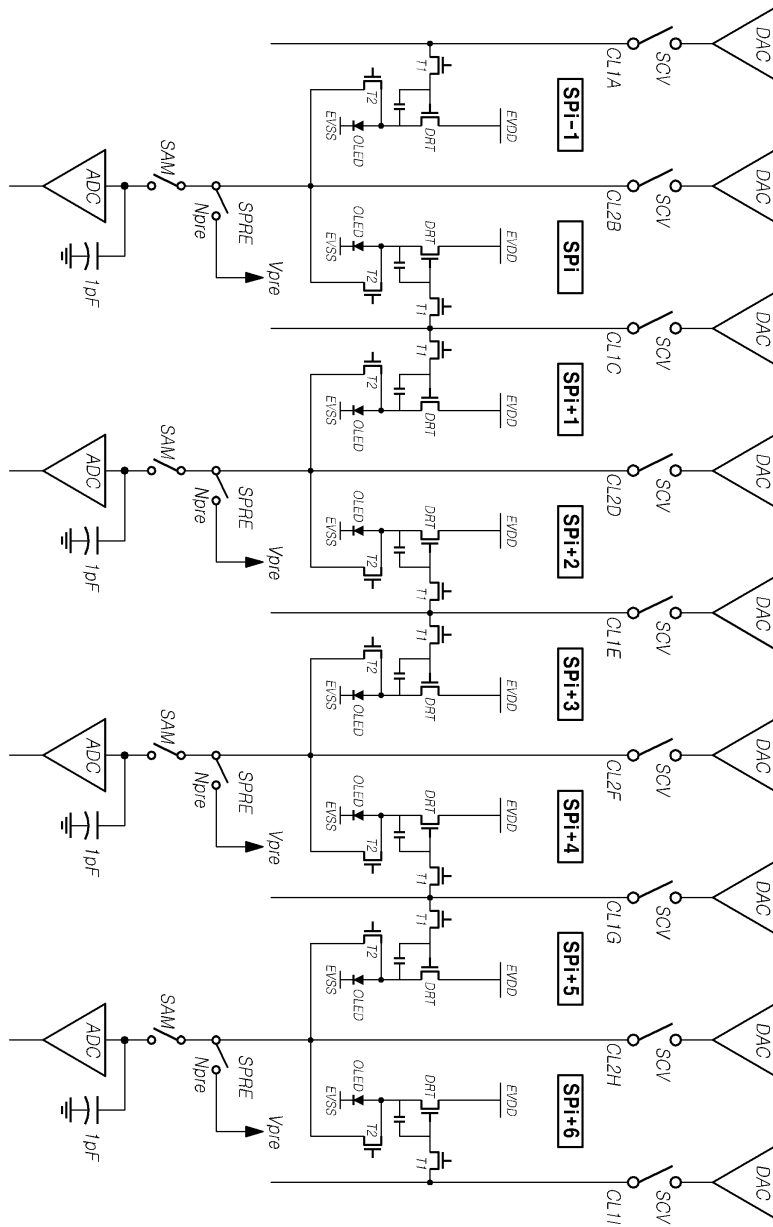
도면3



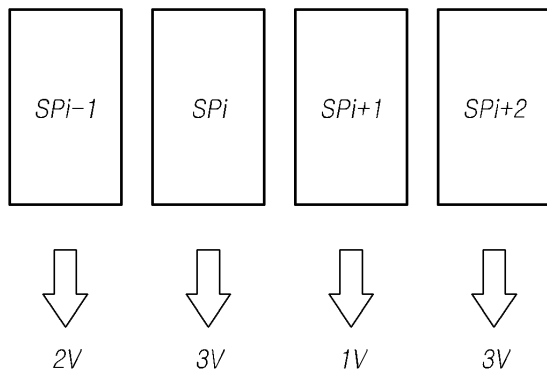
도면4



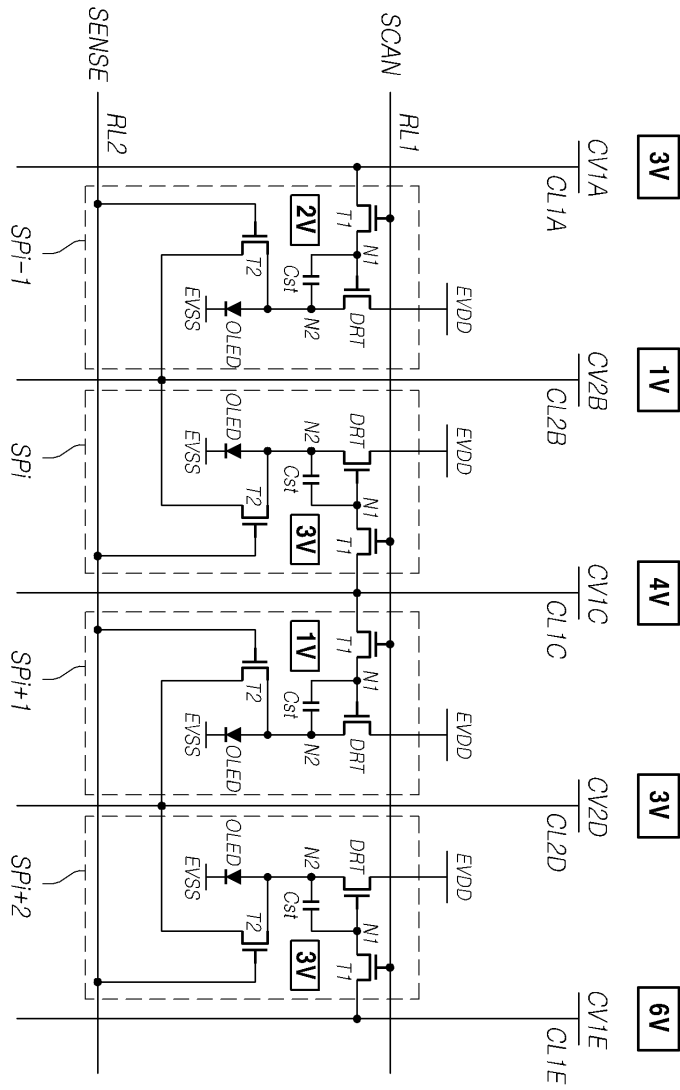
도면5



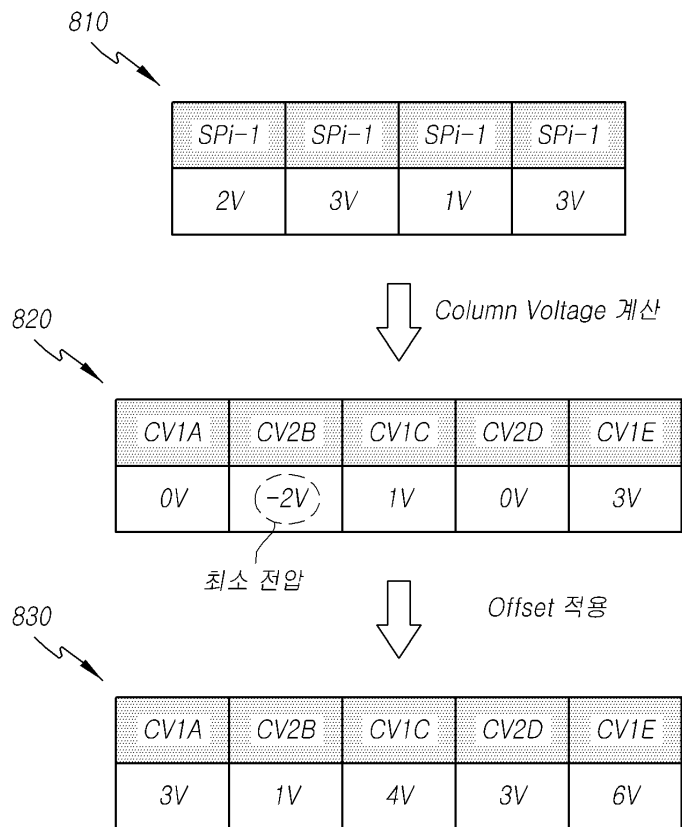
도면6



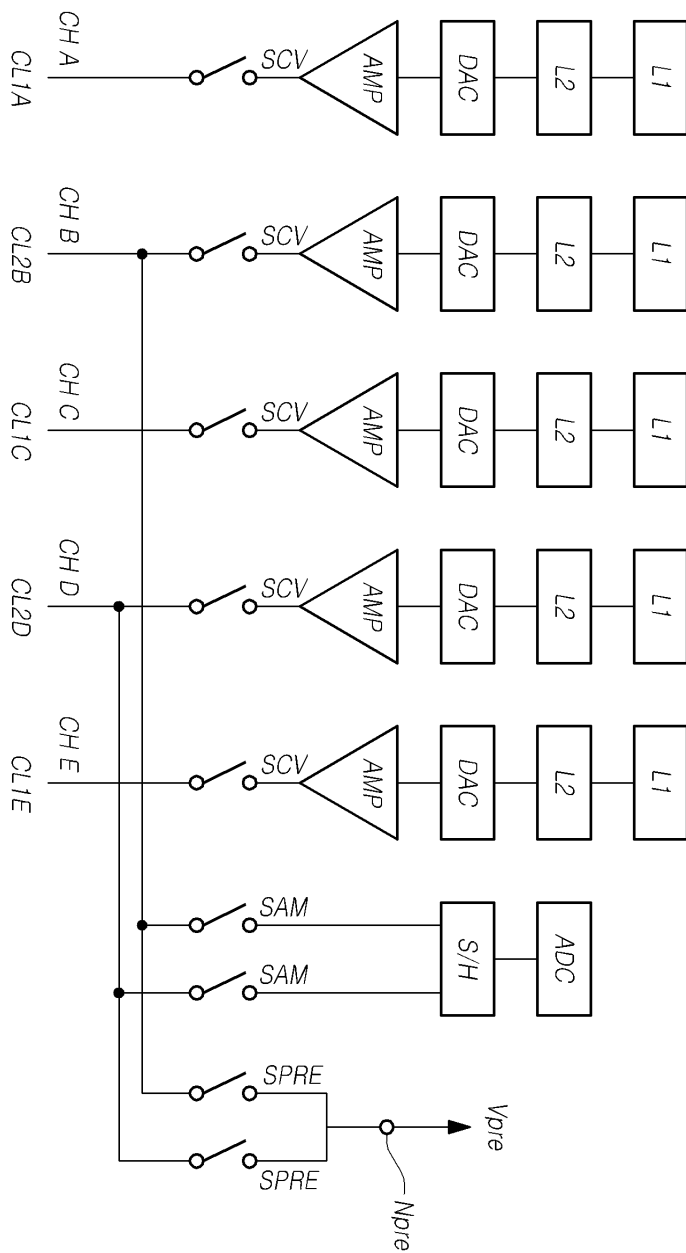
도면7



도면8

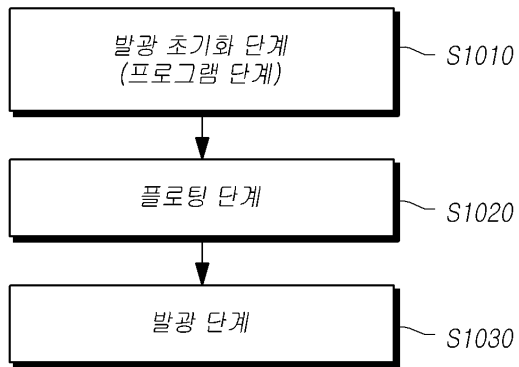


도면9



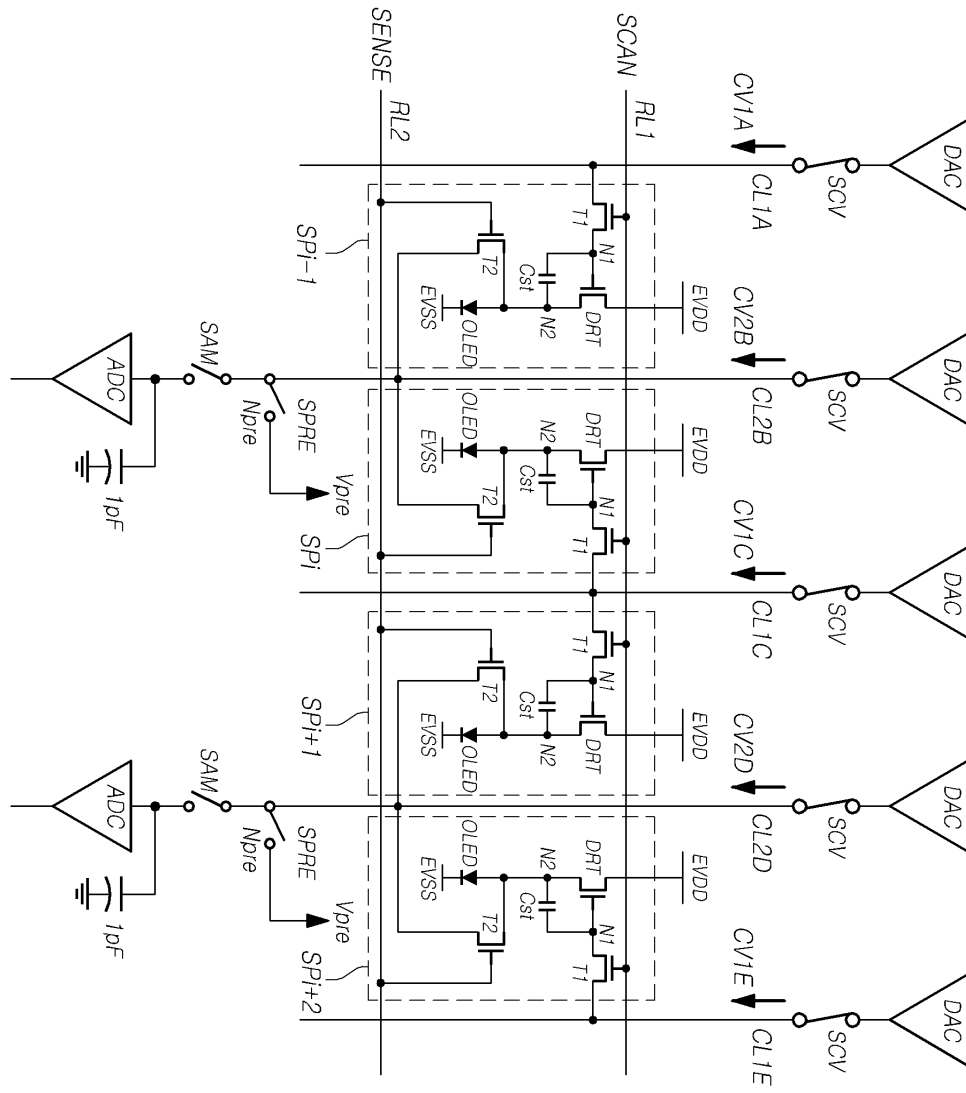
Column Driving Circuit (120) ($M=3, N=2, K=5$)

도면10



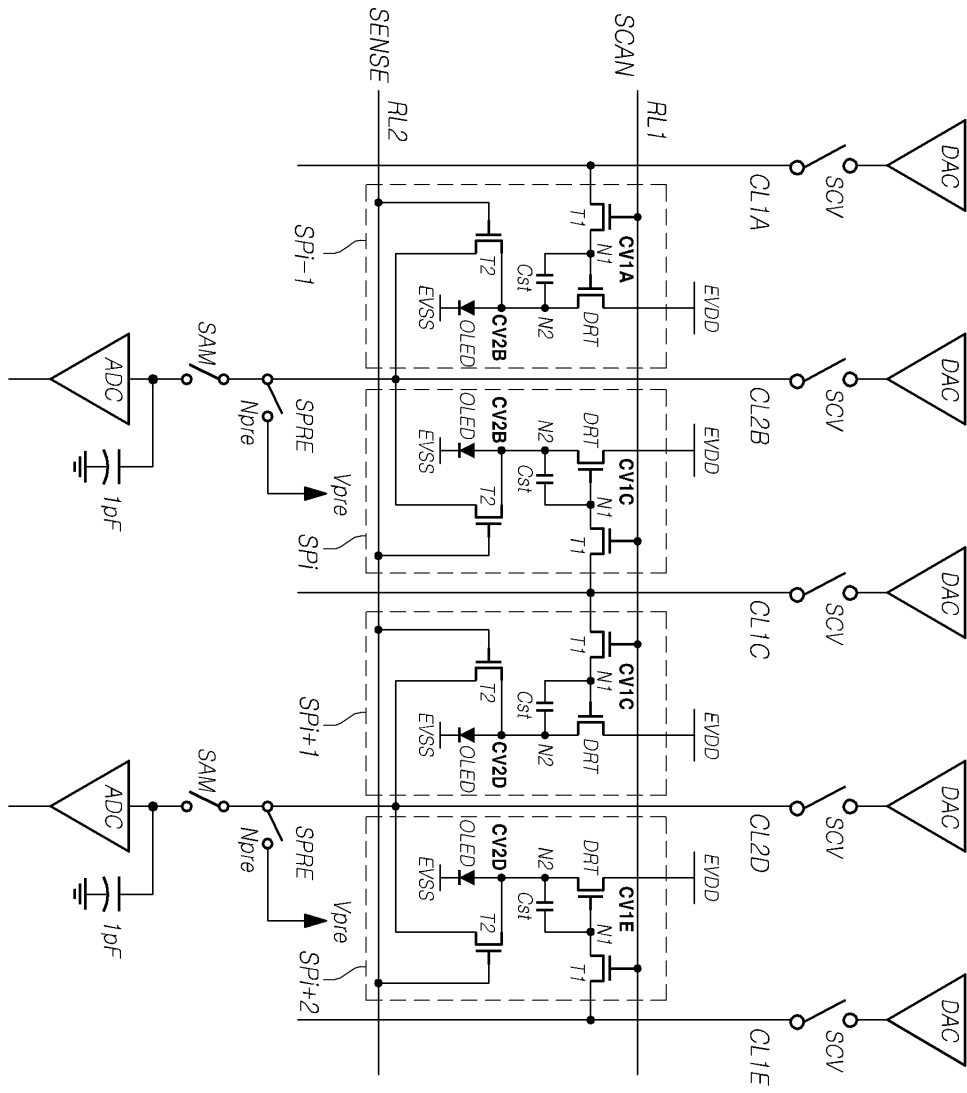
S1010

도면11



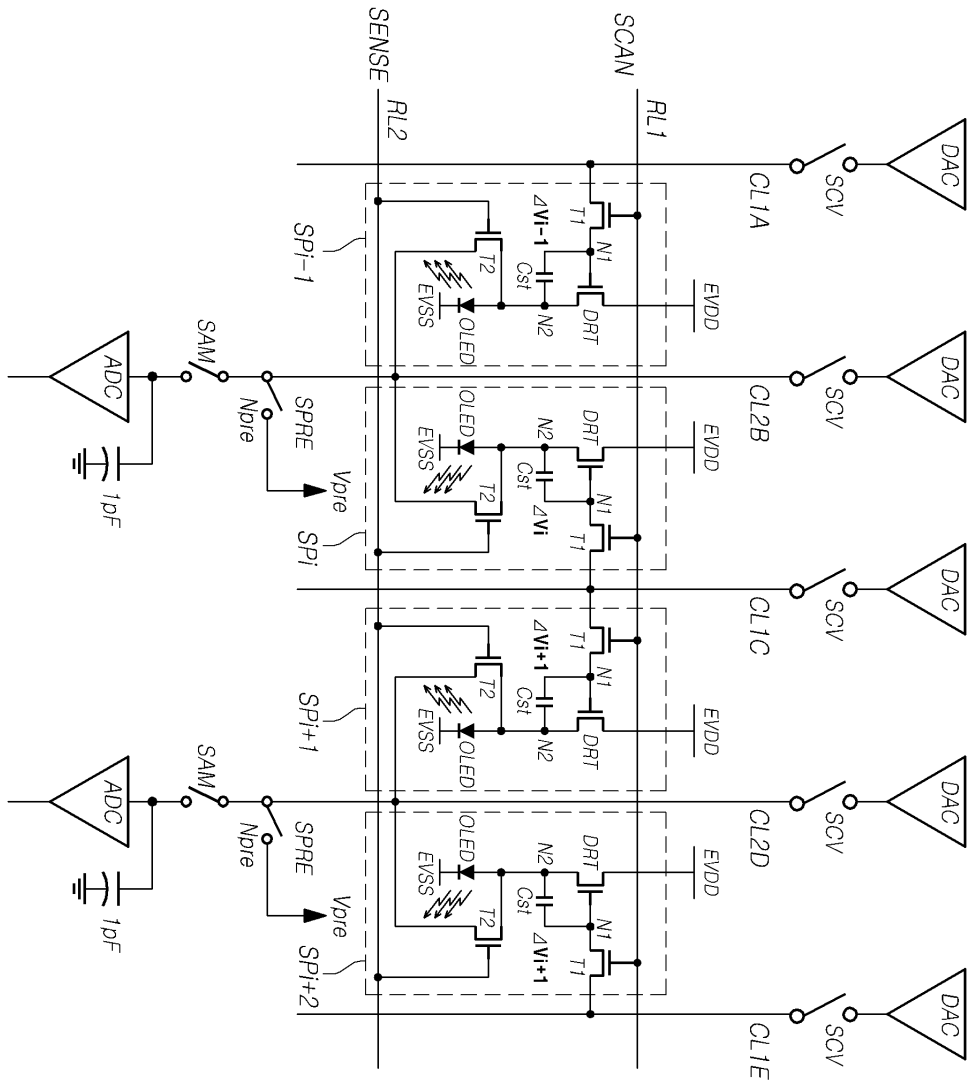
도면12

S1020

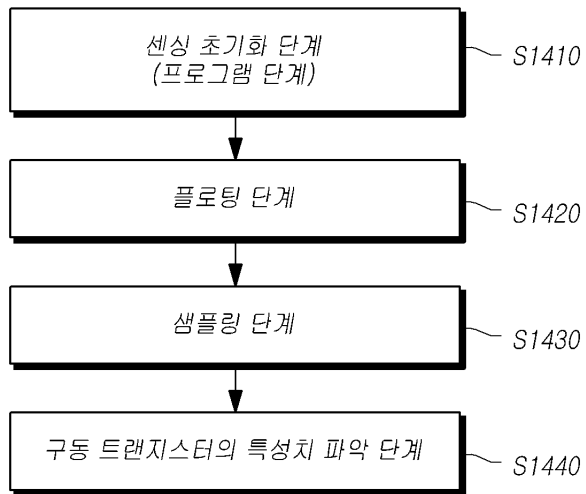


도면13

S1030

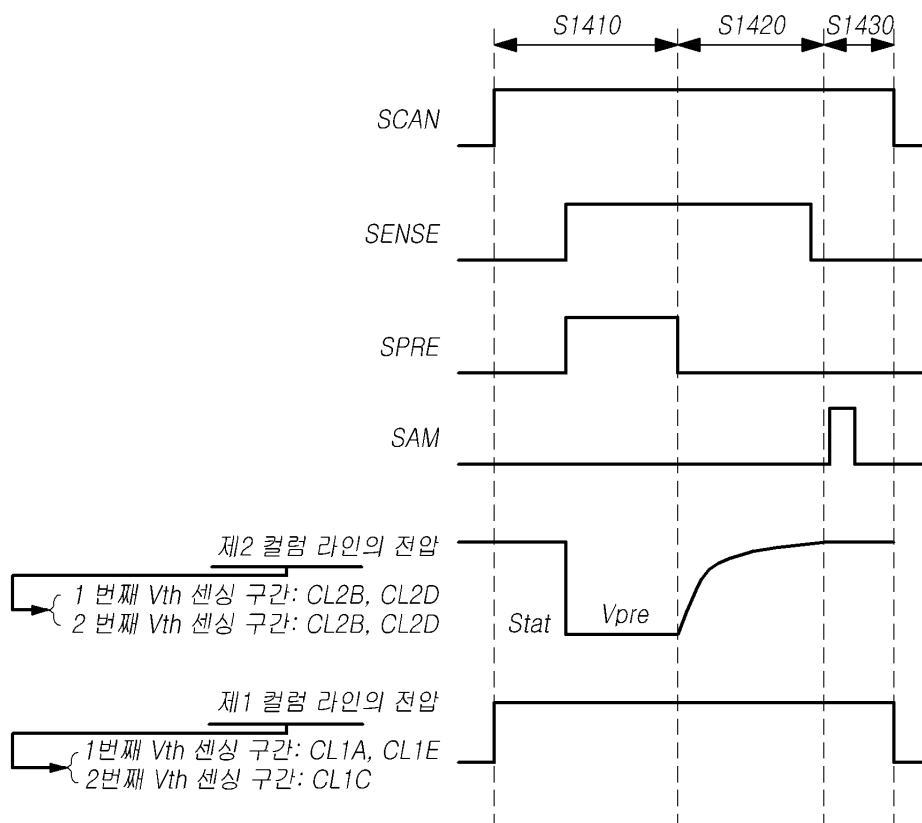


도면14

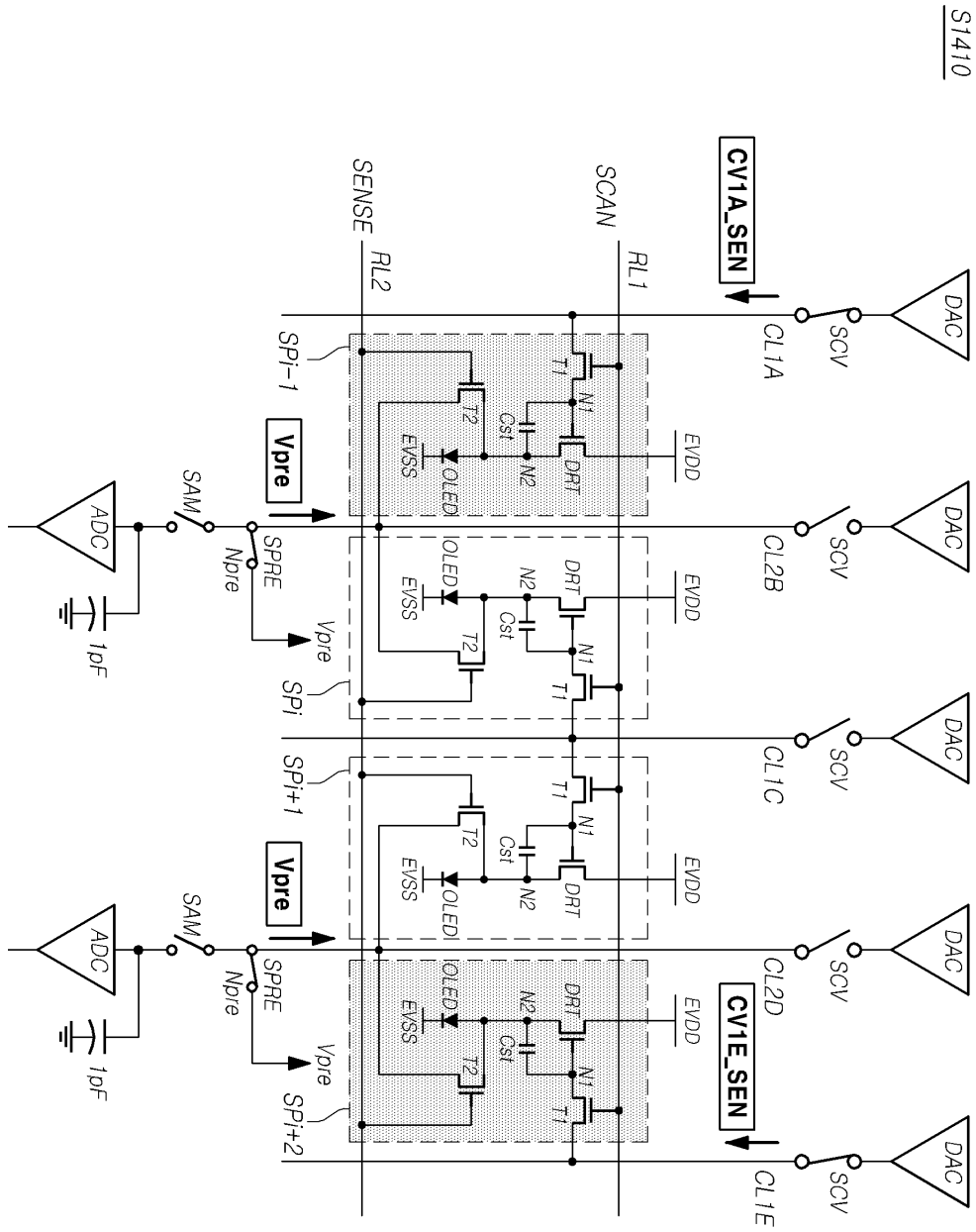


도면15

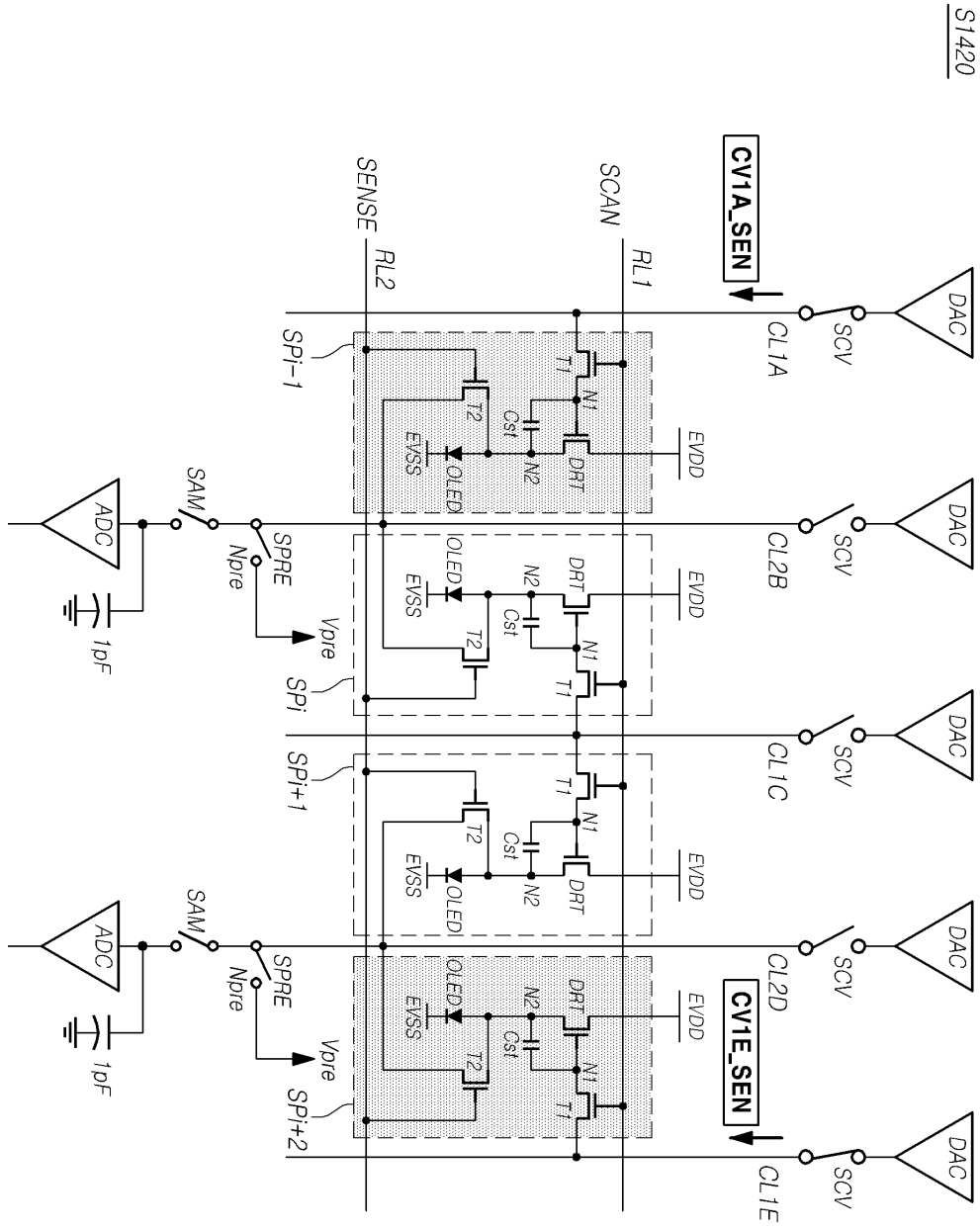
Vth Sensing Timing



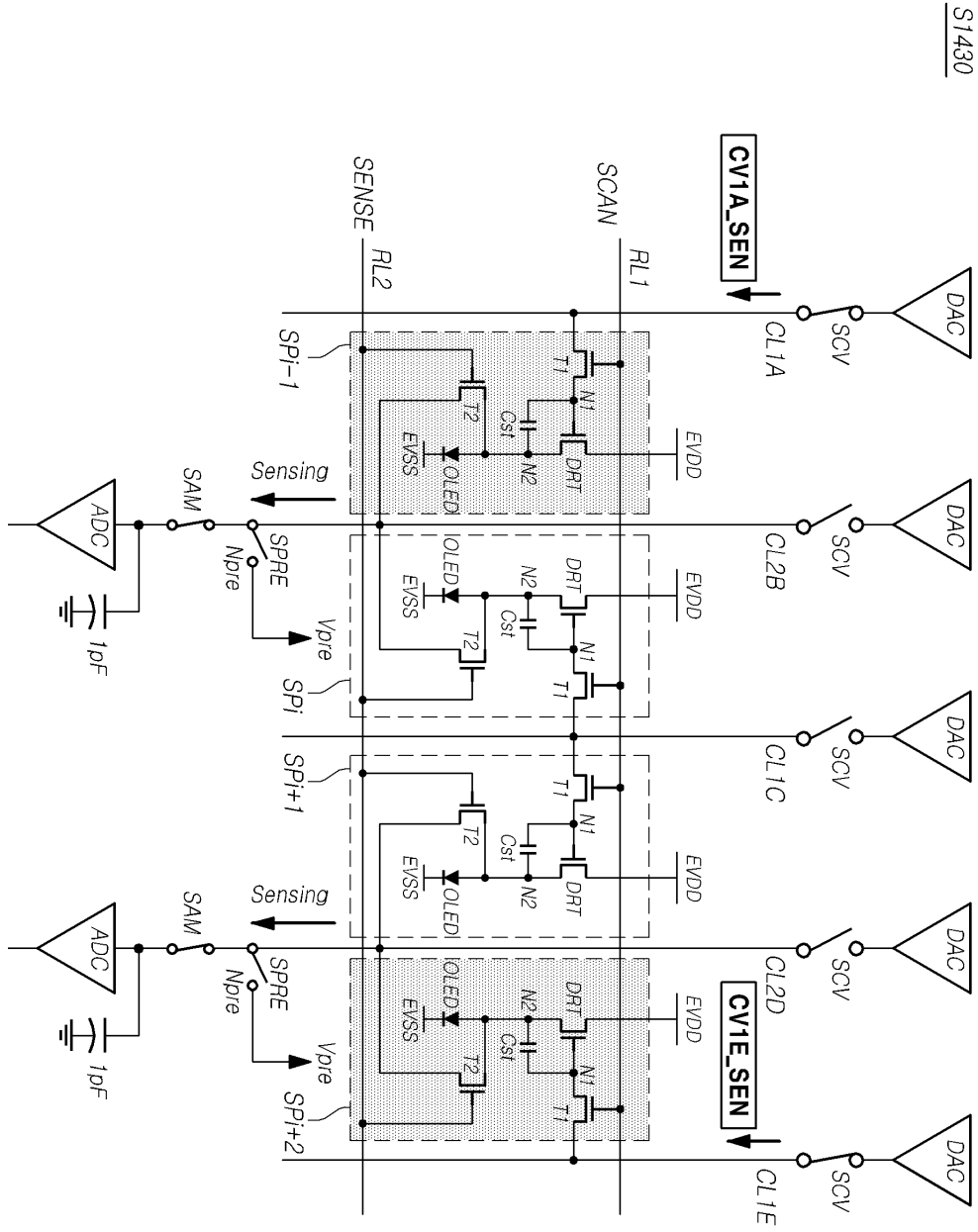
도면16



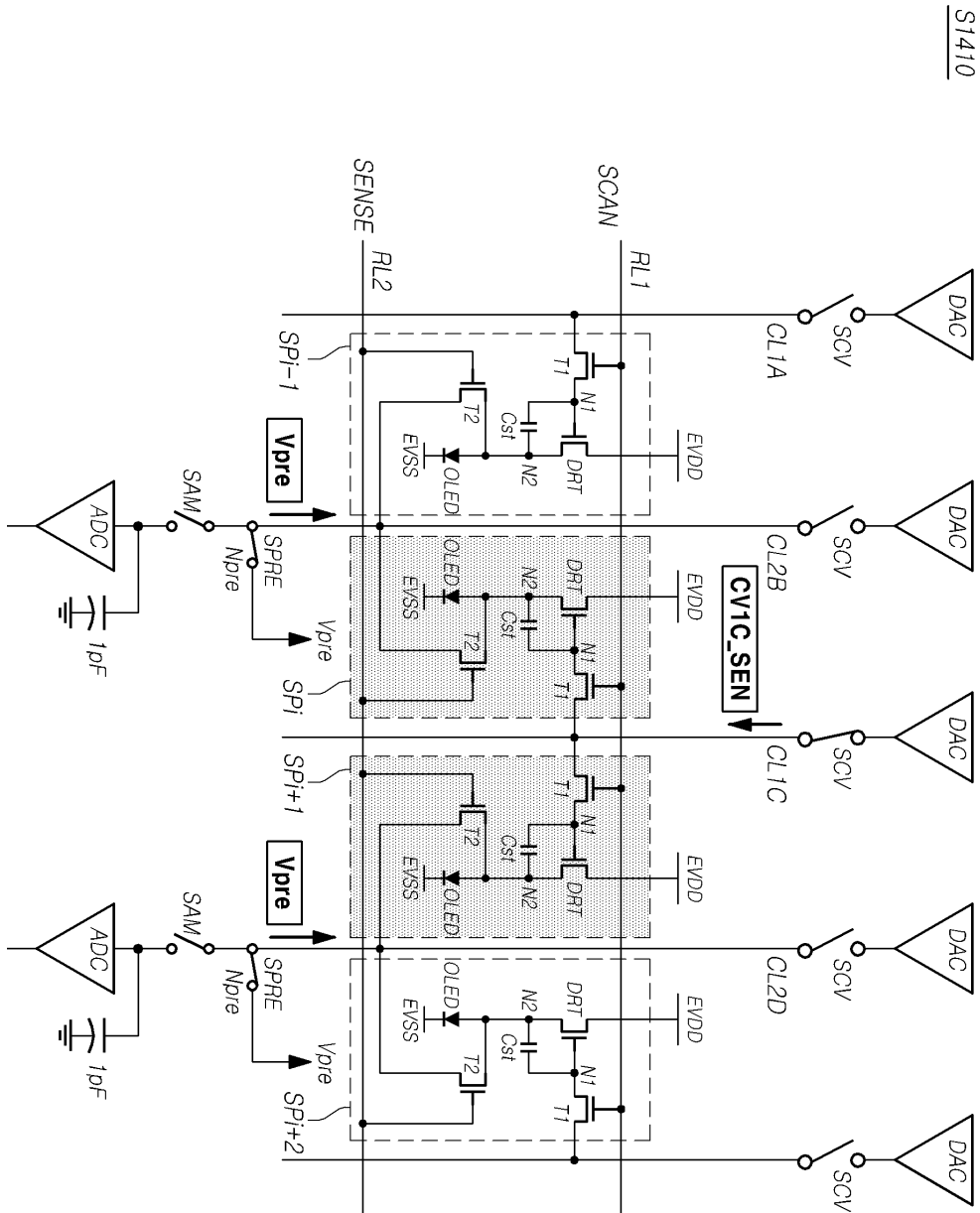
도면17



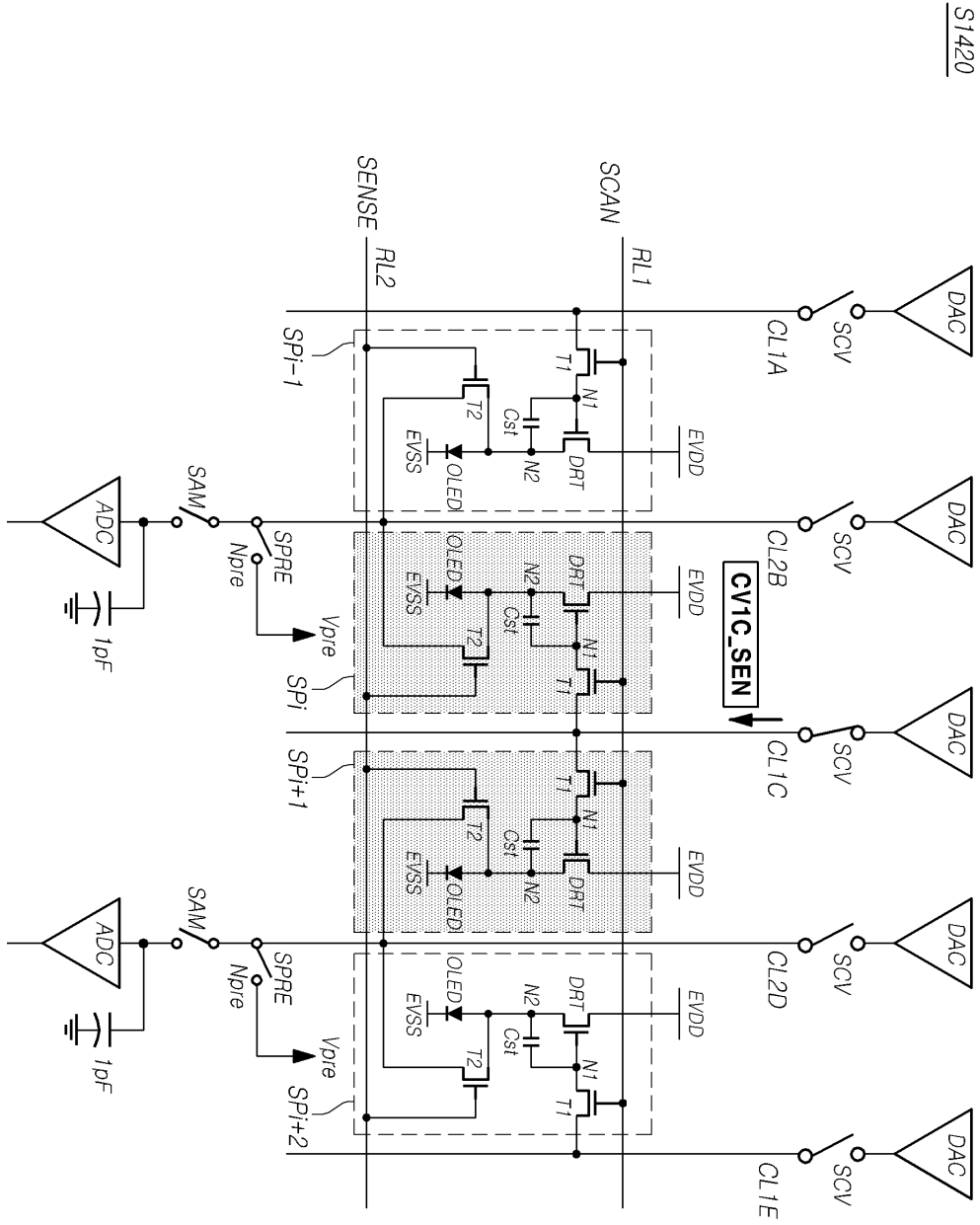
도면18



도면19

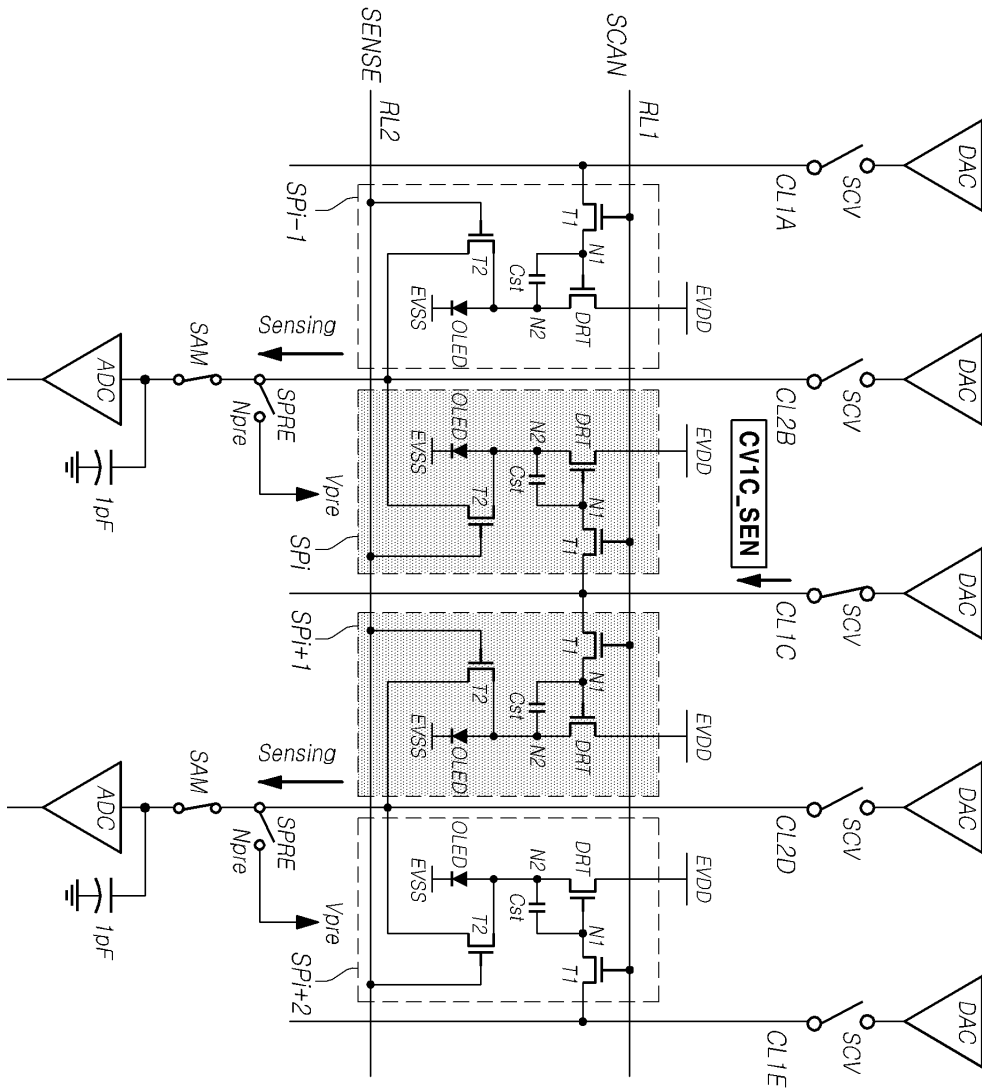


도면20



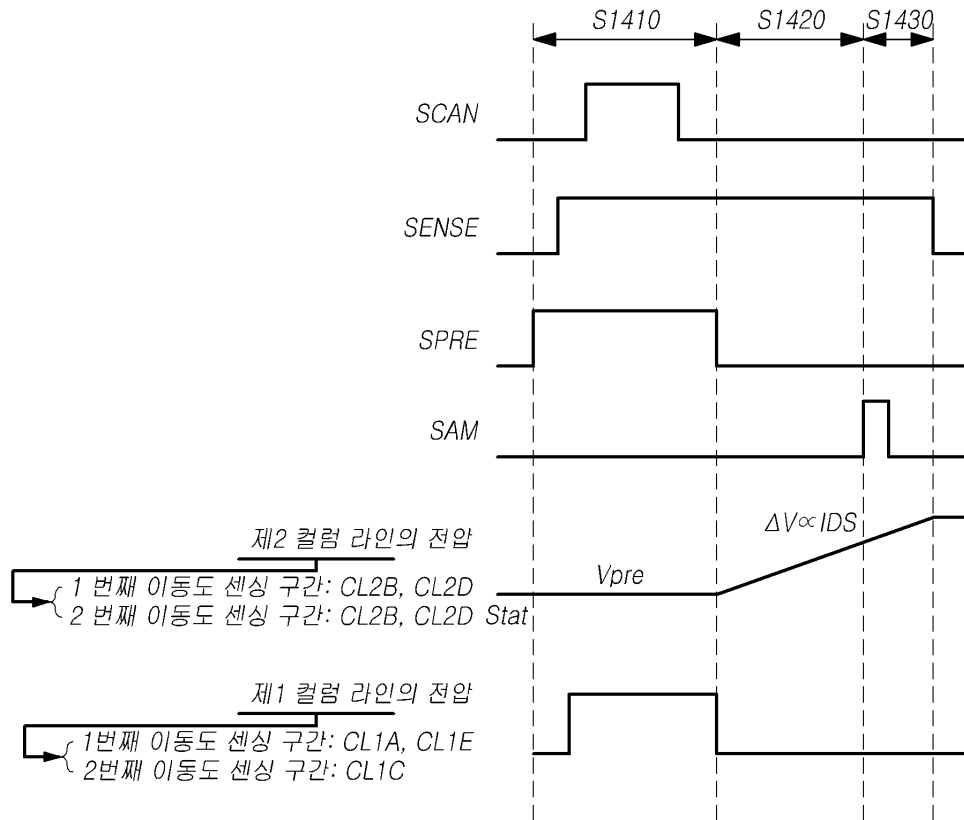
S1430

도면21

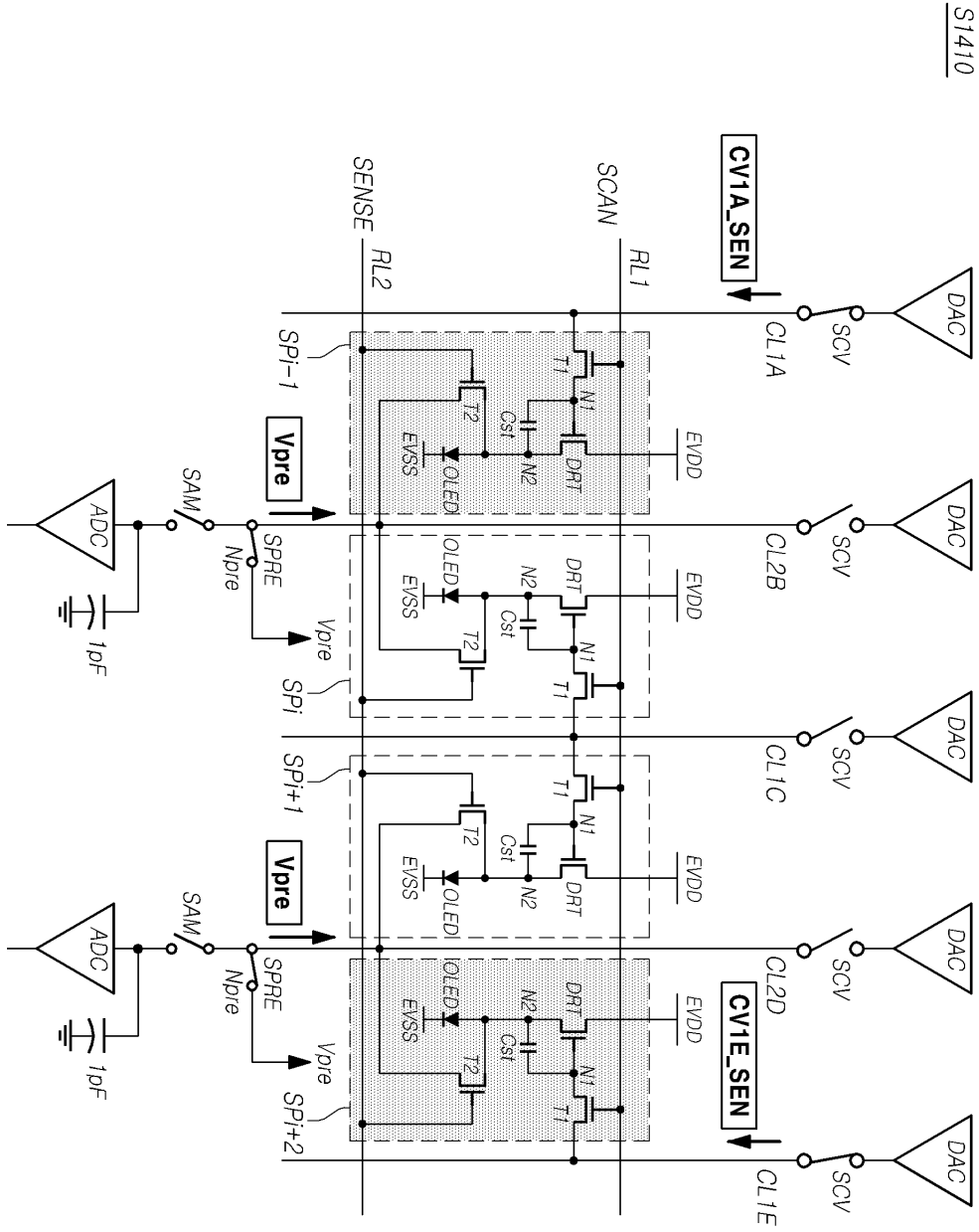


도면22

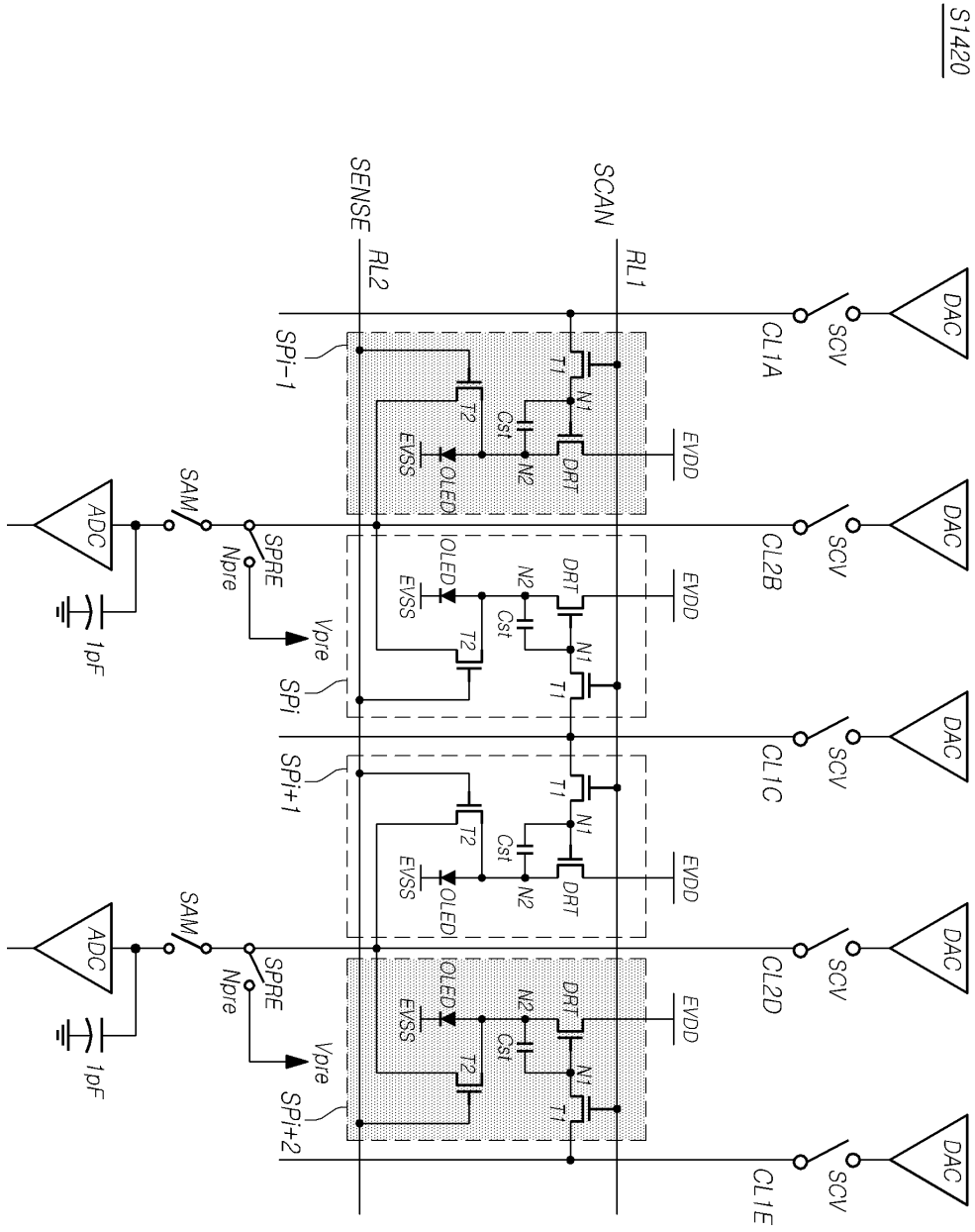
Mobility Sensing Timing



도면23

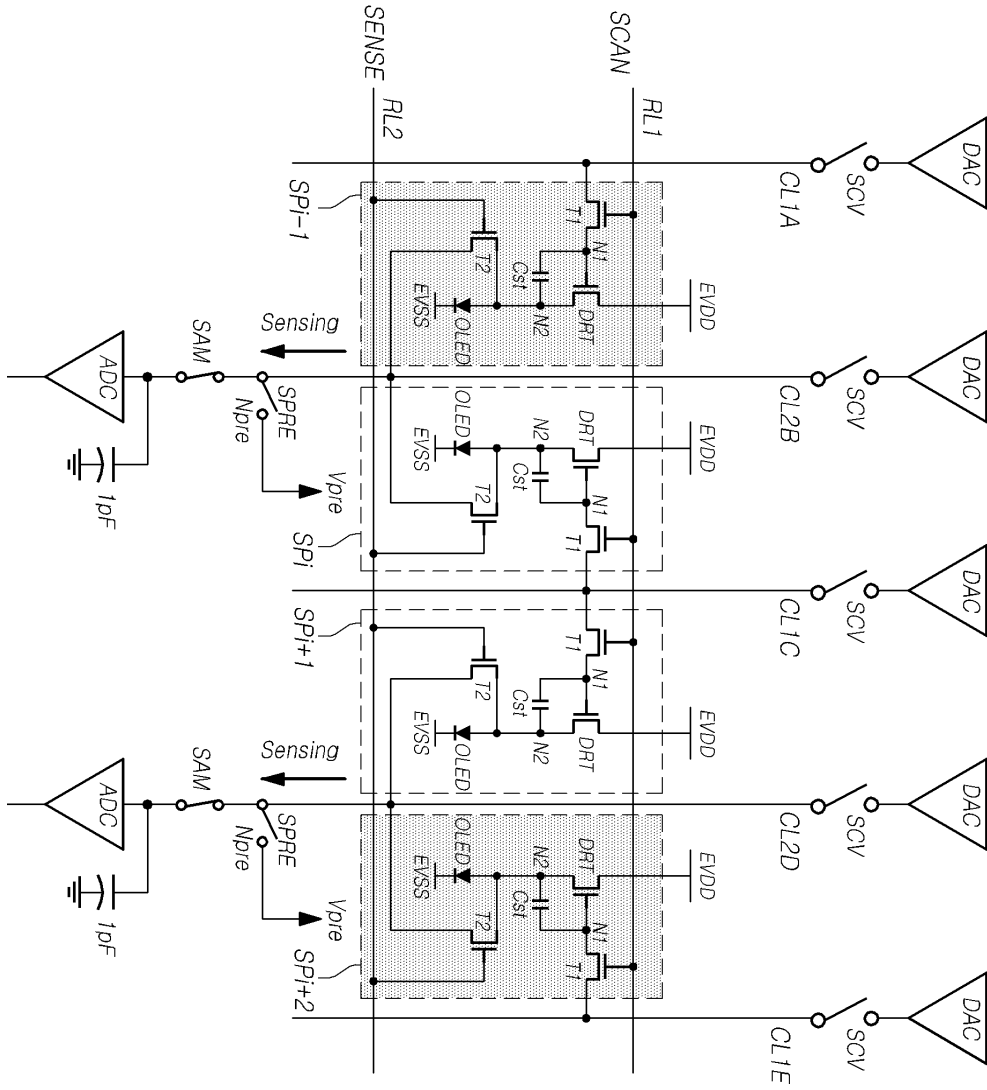


도면24

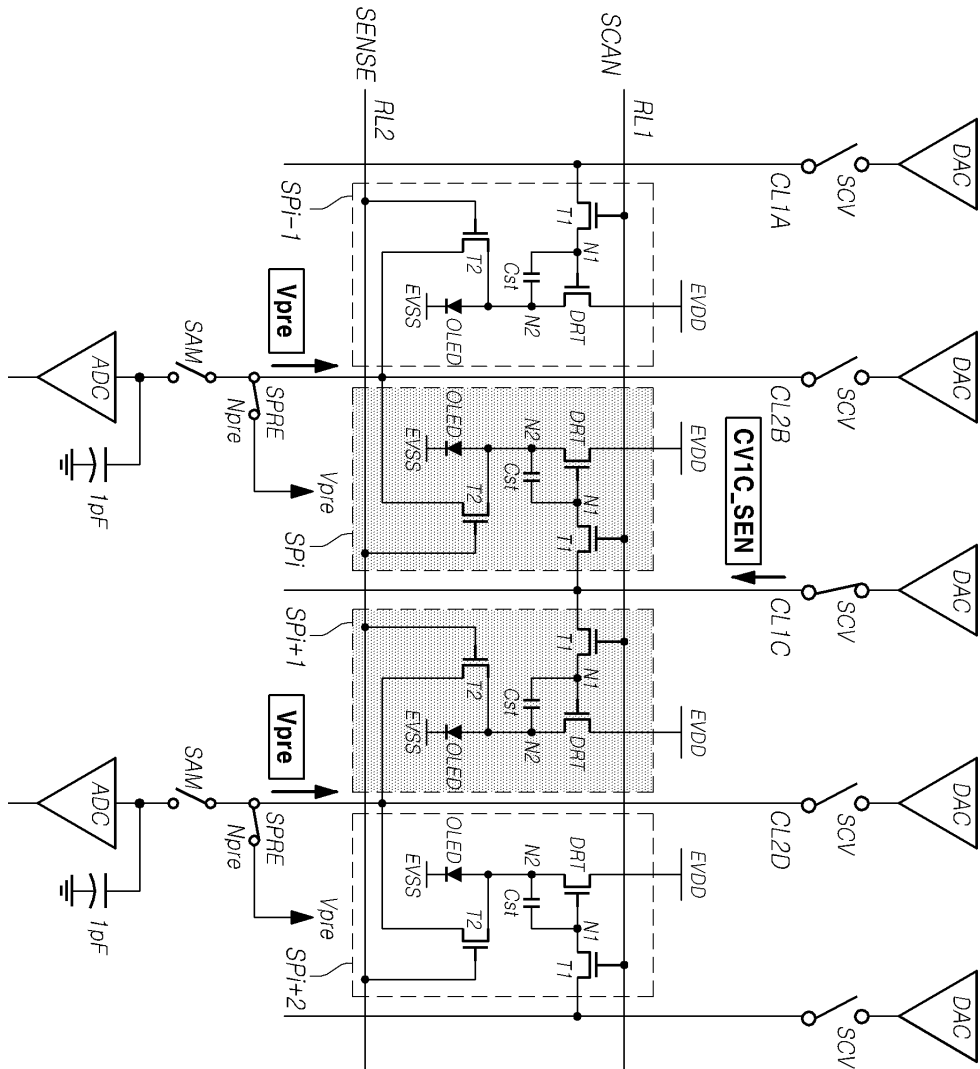


도면25

S1430



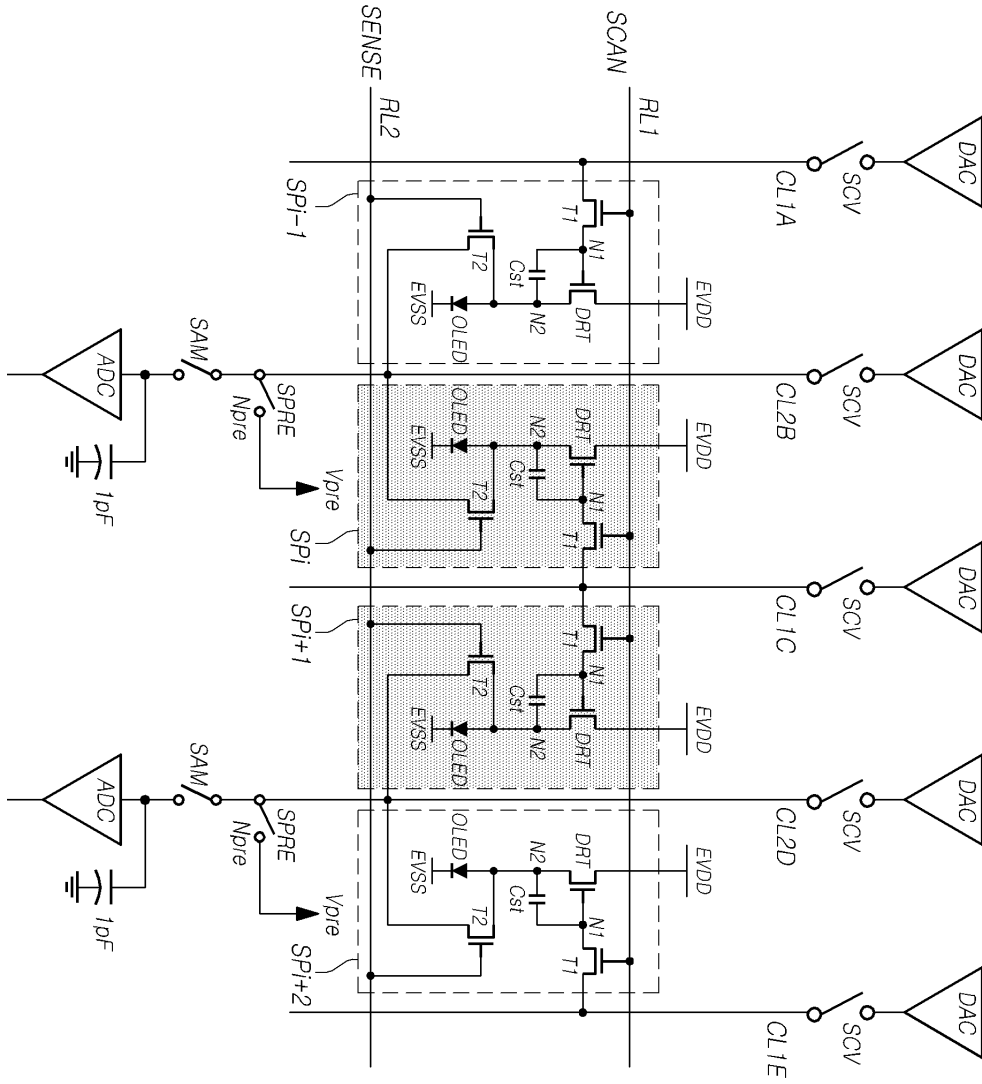
S1410



도면26

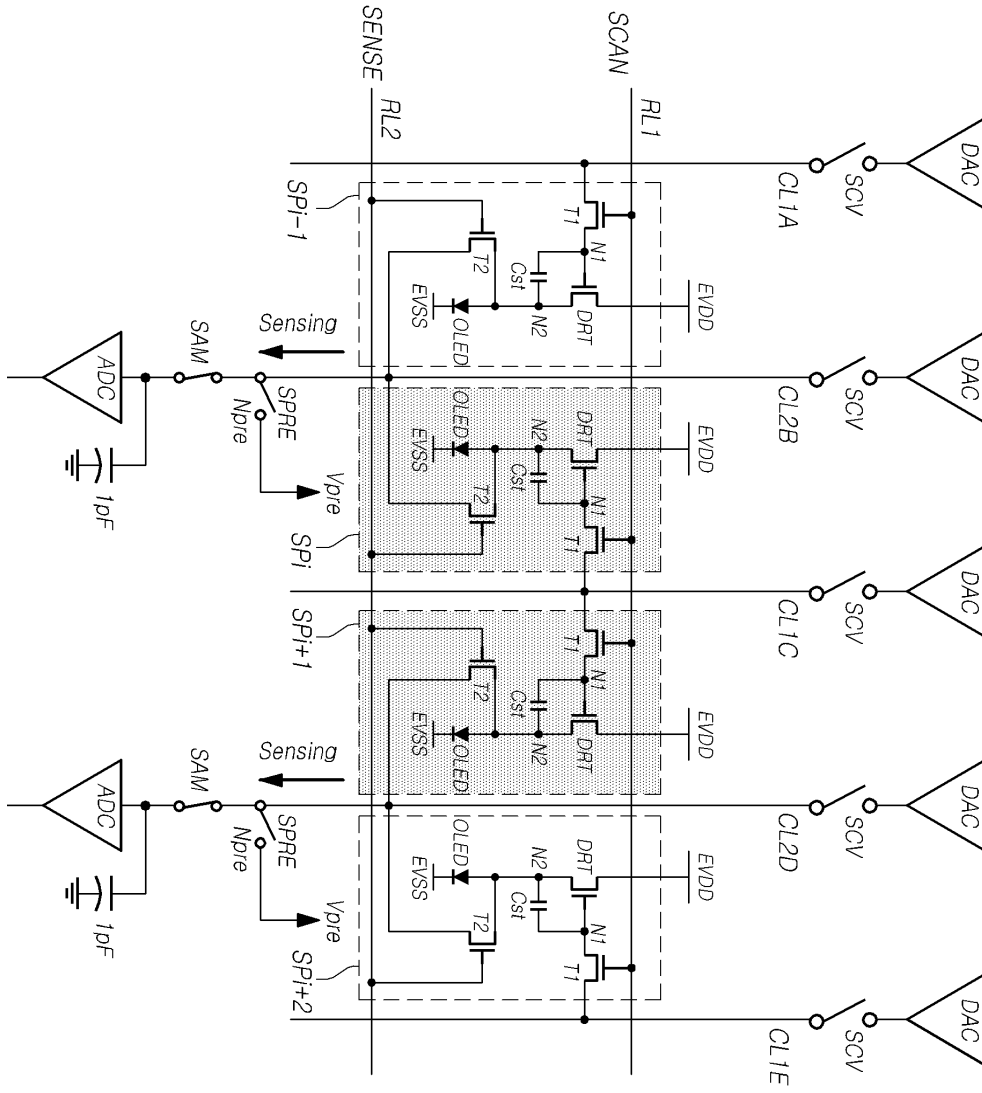
S1420

도면27

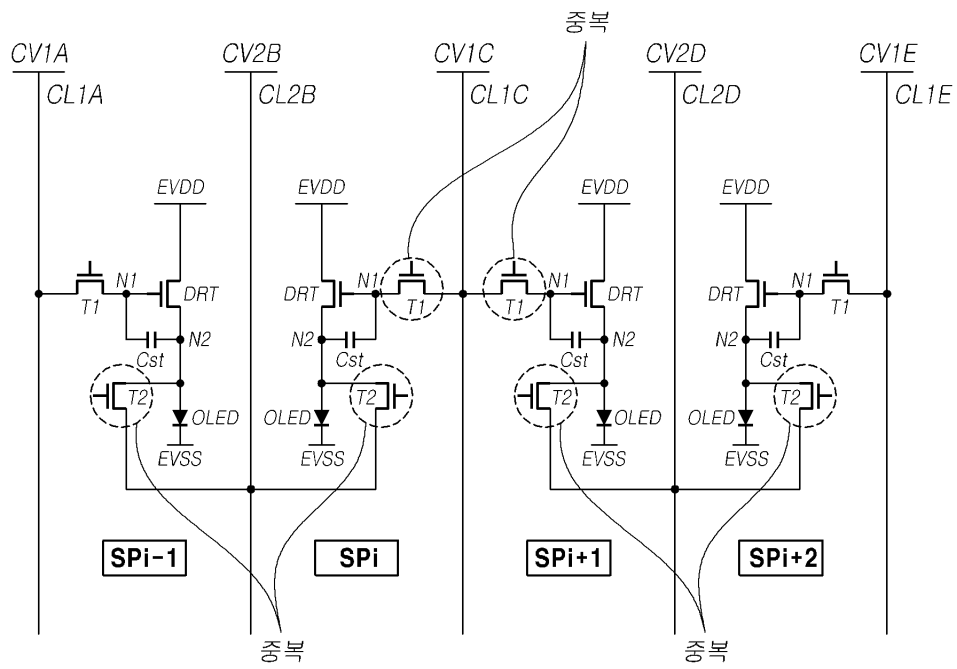


도면28

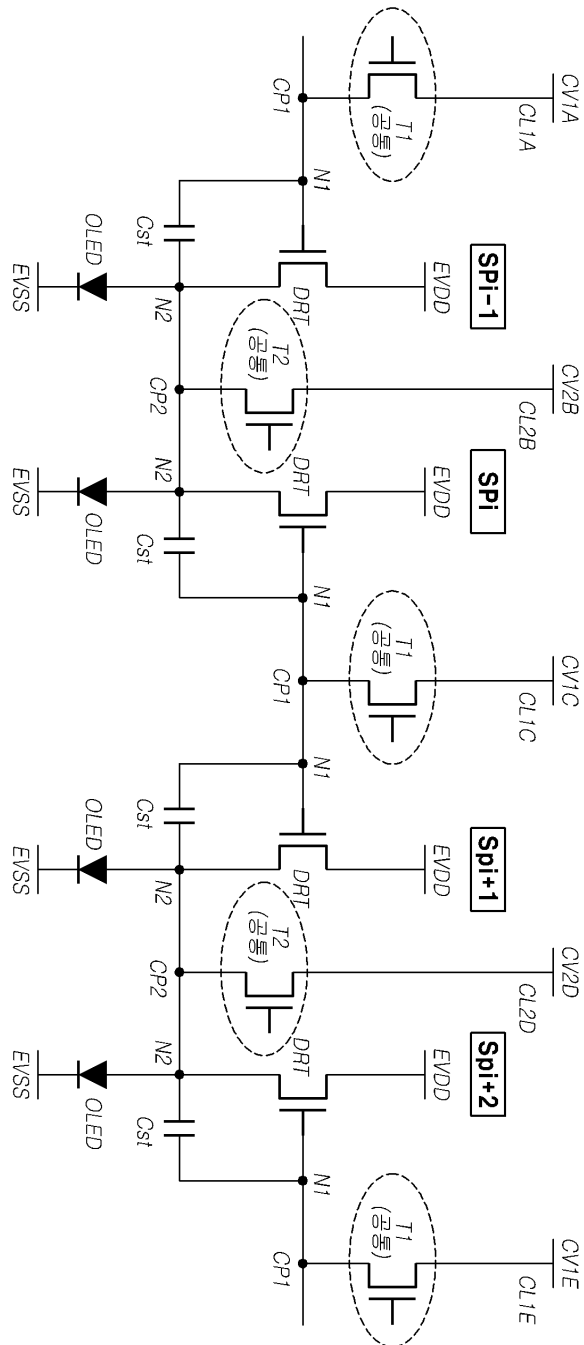
S1430



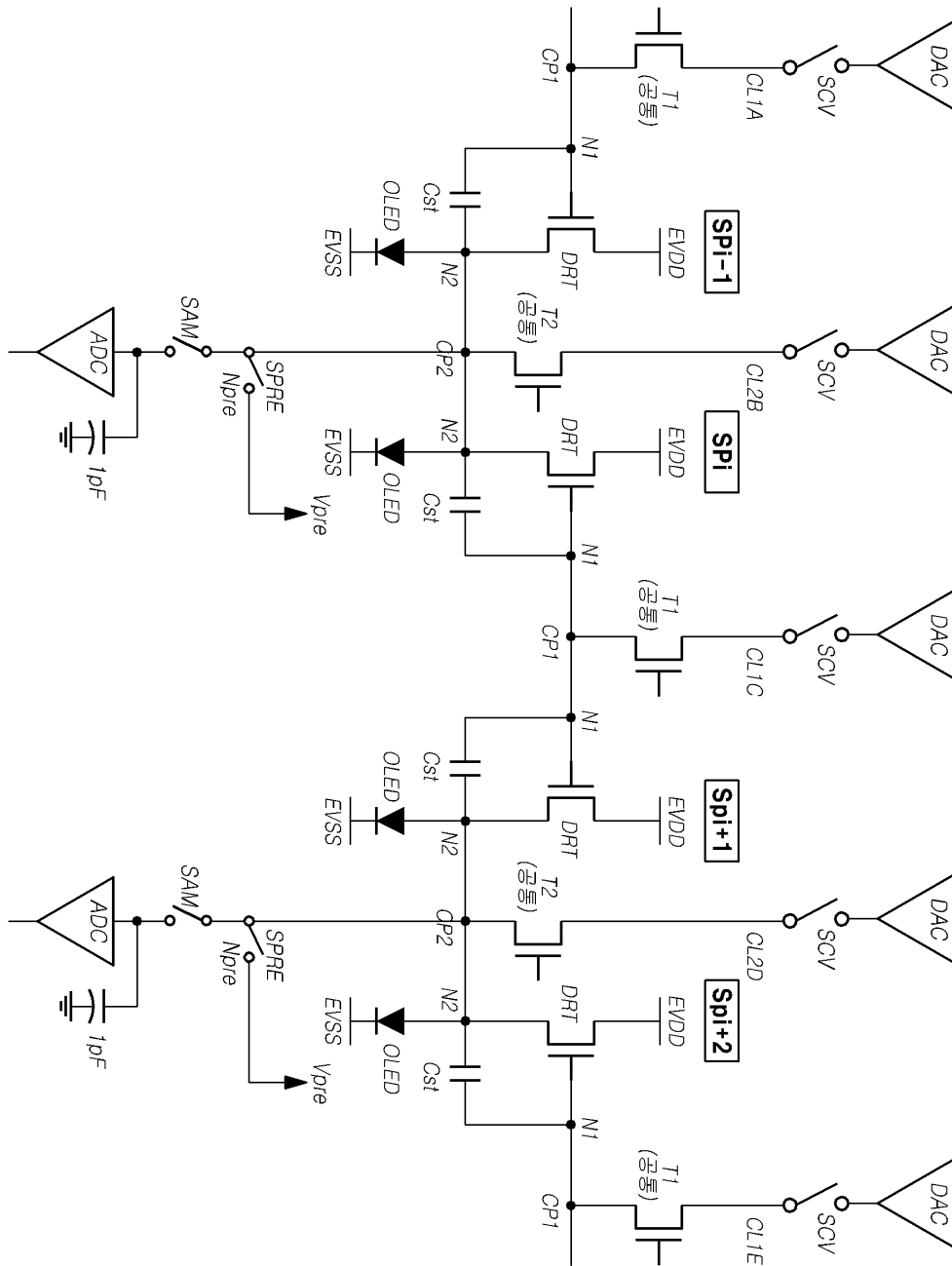
도면29



도면30



도면31



专利名称(译)	有机发光显示面板，有机发光显示器，线驱动电路，图像驱动方法和感测方法		
公开(公告)号	KR1020170064167A	公开(公告)日	2017-06-09
申请号	KR1020150169514	申请日	2015-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SE YOUNG 김세영		
发明人	김세영		
IPC分类号	G09G3/3275 G09G3/3233 G09G3/32		
CPC分类号	G09G3/3275 G09G3/3233 G09G2300/0465 G09G2300/0842		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明的实施方式涉及一种有机发光显示面板，有机发光显示器，线驱动电路，图像驱动方法和感测方法，更具体地，本发明提供了一种通过一条数据线将图像信号提供给对应的子像素的方法。子像素结构的新概念，其驱动方法和两条列线被交替提供，以通过通过两条列线将两个列电压提供给一个子像素来提供所需的图像表示。新的信号线连接结构设计为由两个相邻的子像素共享，因此，每条列线可以减少列方向上的信号线数量，同时实现有效的图像驱动和感测驱动。发光显示装置，线驱动电路，图像驱动方法和感测方法。

