



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0064142
(43) 공개일자 2017년06월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0465 (2013.01)

(21) 출원번호 10-2015-0169409
(22) 출원일자 2015년11월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
김세영
경기도 파주시 월롱면 엘씨디로 201 LG.PHILIPS
LCD 정다운마을 103-1220

(74) 대리인
김은구, 송해모

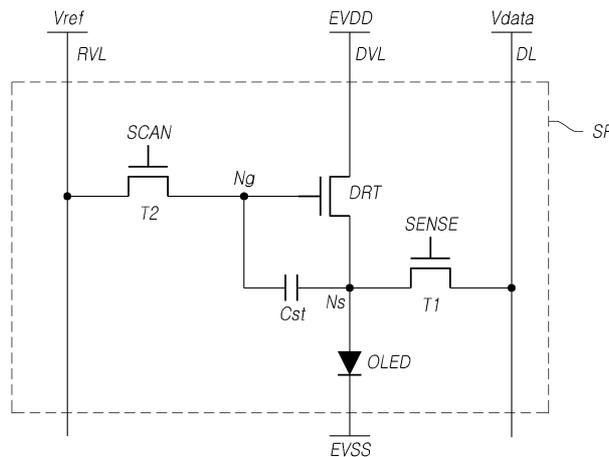
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법

(57) 요약

본 실시예들은, 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법에 관한 것으로서, 더욱 상세하게는, 구동 트랜지스터의 소스 노드는 데이터 라인을 통해 데이터 전압을 인가 받고, 구동 트랜지스터의 게이트 노드는 기준 전압 라인을 통해 기준 전압을 인가 받는 서브픽셀 구조와 이를 위한 신호 라인 구조를 갖고, 이를 통해, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있는 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법에 관한 것이다.

대표도 - 도2



(52) CPC특허분류
G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 기준 전압 라인이 제1 방향으로 배치되고, 다수의 게이트 라인이 제2 방향으로 배치되며, 상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열되는 유기발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 드라이버; 및

상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 상기 구동 트랜지스터의 소스 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 상기 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 각 서브픽셀의 구동 트랜지스터의 소스 노드는 데이터 라인을 통해 데이터 전압을 인가받고,

상기 각 서브픽셀의 구동 트랜지스터의 게이트 노드는 기준 전압 라인을 통해 기준 전압을 인가받는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 유기발광표시패널에는,

기준 전압 라인에서 공급된 기준 전압을 상기 각 서브픽셀의 구동 트랜지스터의 게이트 노드에 전달하기 위한 제2 트랜지스터가 배치되는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 기준 전압 라인은 4개의 서브픽셀 열마다 1개씩 배치되고,

상기 4개의 서브픽셀 각각은 상기 제2 트랜지스터를 포함하며,

상기 4개의 서브픽셀 각각에 포함된 상기 제2 트랜지스터는 1개의 기준 전압 라인에 공통으로 연결되는 유기발광표시장치.

청구항 4

제2항에 있어서,

상기 기준 전압 라인은 4개의 서브픽셀 열마다 1개씩 배치되고,

상기 기준 전압 라인은, 기준 전압이 유입되는 제1 부분과, 기준 전압을 4개의 서브픽셀로 공급하는 제2 부분을 포함하며,

상기 4개의 서브픽셀 각각의 구동 트랜지스터의 게이트 노드는, 1개의 기준 전압 라인의 제2부분과 공통으로 연결되고,

상기 1개의 기준 전압 라인의 제1부분과 상기 1개의 기준 전압 라인의 제2부분 사이에 제2 트랜지스터가 연결된 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 데이터 라인과 전기적으로 연결되어 상기 데이터 라인의 전압을 센싱하여 디지털 값으로 변환하는 아날로그 디지털 컨버터를 더 포함하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 데이터 라인과 상기 아날로그 디지털 컨버터 사이에 전기적으로 연결된 샘플링 스위치;

상기 데이터 라인과 초기화 전압 공급 노드 사이에 전기적으로 연결된 초기화 스위치; 및

상기 데이터 라인과 데이터 전압 공급 노드 사이에 전기적으로 연결된 데이터 스위치를 포함하는 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 데이터 드라이버에 포함된 각 소스 드라이버 집적회로는,

다수의 데이터 라인 각각에 연결된 상기 샘플링 스위치와 상기 아날로그 디지털 컨버터를 포함하는 유기발광표시장치.

청구항 8

다수의 데이터 라인 및 다수의 기준 전압 라인이 제1 방향으로 배치되고, 다수의 게이트 라인이 제2 방향으로 배치되며, 유기발광다이오드, 상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터 및 상기 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하는 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널과, 상기 다수의 데이터 라인을 구동하는 데이터 드라이버와, 상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치의 영상구동방법에 있어서,

기준 전압 라인에 의해 공급되는 기준 전압을 상기 구동 트랜지스터의 게이트 노드에 인가하고, 데이터 라인에 의해 공급되는 데이터 전압을 상기 구동 트랜지스터의 소스 노드에 인가하는 제1 단계;

상기 구동 트랜지스터의 게이트 노드와 소스 노드를 플로팅 시키는 제2 단계; 및

상기 유기발광다이오드가 발광하는 제3 단계를 포함하는 유기발광표시장치의 영상 구동 방법.

청구항 9

다수의 데이터 라인 및 다수의 기준 전압 라인이 제1 방향으로 배치되고, 다수의 게이트 라인이 제2 방향으로 배치되며, 유기발광다이오드, 상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터 및 상기 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하는 서브픽셀이 매트릭스 타입으로 배치되는 유기발광표시패널과, 상기 다수의 데이터 라인을 구동하는 데이터 드라이버와, 상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치의 센싱 방법에 있어서,

기준 전압 라인에 의해 공급되는 기준 전압을 상기 구동 트랜지스터의 게이트 노드에 인가하고, 데이터 라인에 의해 공급되는 초기화 전압을 상기 구동 트랜지스터의 소스 노드에 인가하는 초기화 단계;

상기 구동 트랜지스터의 소스 노드를 플로팅 시켜, 상기 구동 트랜지스터의 소스 노드의 전압을 상승시키는 트래킹 단계; 및

아날로그 디지털 컨버터와 상기 데이터 라인을 전기적으로 연결해주고, 상기 아날로그 디지털 컨버터가 상기 데이터 라인의 전압을 센싱하는 샘플링 단계를 포함하는 유기발광표시장치의 센싱 방법.

청구항 10

제1 방향으로 배치된 다수의 데이터 라인;

상기 제1 방향으로 배치된 다수의 기준 전압 라인;

제2 방향으로 배치된 다수의 게이트 라인; 및

상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 상기 구동 트랜지스터의 소스 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 상기 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 각 서브픽셀의 구동 트랜지스터의 소스 노드는 데이터 라인과 전기적으로 연결 가능하고,

상기 각 서브픽셀의 구동 트랜지스터의 게이트 노드는 기준 전압 라인과 전기적으로 연결 가능한 유기발광표시패널.

청구항 11

제10항에 있어서,

기준 전압 라인에서 공급된 기준 전압을 상기 각 서브픽셀의 구동 트랜지스터의 게이트 노드에 전달하기 위한 제2 트랜지스터가 배치되는 유기발광표시패널.

청구항 12

제11항에 있어서,

상기 제2 트랜지스터는 1개의 서브픽셀 마다 1개씩 존재하는 유기발광표시패널.

청구항 13

제11항에 있어서,

상기 제2 트랜지스터는 2개 이상의 서브픽셀마다 1개씩 존재하거나 1개의 기준 전압 라인마다 1개씩 존재하는 유기발광표시패널.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법에 관한 것이다.

배경 기술

[0003] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light-Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0004] 이러한 유기발광표시장치의 유기발광표시패널에는, 유기발광다이오드와, 이를 구동하기 위한 구동 트랜지스터와, 구동 트랜지스터의 게이트 노드와 소스 노드(드레인 노드) 각각의 전압을 제어하기 위한 둘 이상의 트랜지스터를 포함하는 서브픽셀이 매트릭스 형태로 배열된다.

[0005] 한편, 각 서브픽셀 내 구동 트랜지스터 및 유기발광다이오드는 고유한 특성치(예: 문턱전압, 이동도)를 가지고 있으며, 그 특성치는 구동 시간에 따라 변할 수 있다.

[0006] 이러한 경우, 각 서브픽셀 간 구동 트랜지스터 또는 유기발광다이오드 간의 특성치 편차가 발생하여 화상 불균 일을 초래하여 화질을 떨어뜨릴 수 있다.

[0007] 이에, 각 서브픽셀 내 구동 트랜지스터 및 유기발광다이오드의 특성치를 센싱하여 특성치 편차를 보상해주기 위

한 기술이 개발되고 있다.

[0008] 하지만, 이러한 종래 기술은 각 서브픽셀 내 구동 트랜지스터 및 유기발광다이오드의 특성치를 센싱하는데 너무 긴 시간이 걸리는 문제점이 있다.

[0009] 특히, 신호 라인 개수를 줄이기 위하여, 특성치 센싱을 위한 센싱 라인 역할을 하는 신호 라인을 여러 개의 서브픽셀이 공유하는 구조로 만드는 경우, 여러 개의 서브픽셀에 대한 센싱 구동을 동시에 진행할 수 없게 되어 각 서브픽셀 내 구동 트랜지스터의 특성치(예: 문턱전압, 이동도) 또는 유기발광다이오드 등의 특성치(예: 문턱전압)을 센싱하는데 더욱 긴 시간이 걸릴 수 있다.

발명의 내용

해결하려는 과제

[0011] 본 실시예들의 목적은, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있는 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법을 제공하는 데 있다.

[0012] 본 실시예들의 다른 목적은, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있는 서브픽셀 구조와 신호 라인 구조를 갖는 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법을 제공하는 데 있다.

[0013] 본 실시예들의 또 다른 목적은, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있으면서도 개구율을 높여줄 수 있는 서브픽셀 구조와 신호 라인 구조를 갖는 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법을 제공하는 데 있다.

과제의 해결 수단

[0015] 일 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 기준 전압 라인이 제1 방향으로 배치되고, 다수의 게이트 라인이 제2 방향으로 배치되며, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열되는 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치를 제공할 수 있다.

[0016] 이러한 유기발광표시장치에서 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 구동 트랜지스터의 소스 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함한다.

[0017] 이러한 유기발광표시장치에서 각 서브픽셀의 구동 트랜지스터의 소스 노드는 데이터 라인을 통해 데이터 전압을 인가받고, 각 서브픽셀의 구동 트랜지스터의 게이트 노드는 기준 전압 라인을 통해 기준 전압을 인가받는다.

[0018] 다른 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 기준 전압 라인이 제1 방향으로 배치되고, 다수의 게이트 라인이 제2 방향으로 배치되며, 유기발광다이오드, 유기발광다이오드를 구동하기 위한 구동 트랜지스터 및 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하는 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치의 영상구동방법을 제공할 수 있다.

[0019] 이러한 영상구동방법은, 기준 전압 라인에 의해 공급되는 기준 전압을 구동 트랜지스터의 게이트 노드에 인가하고, 데이터 라인에 의해 공급되는 데이터 전압을 구동 트랜지스터의 소스 노드에 인가하는 제1 단계와, 구동 트랜지스터의 게이트 노드와 소스 노드를 플로팅 시키는 제2 단계와, 유기발광다이오드가 발광하는 제3 단계를 포함할 수 있다.

[0020] 또 다른 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 기준 전압 라인이 제1 방향으로 배치되고, 다수의 게이트 라인이 제2 방향으로 배치되며, 유기발광다이오드, 유기발광다이오드를 구동하기 위한 구동 트랜지스터 및 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하는 서브픽셀이 매트릭스 타입으로 배치되는 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치의 센싱 방법을 제공할 수 있다.

다.

- [0021] 이러한 센싱 방법은, 기준 전압 라인에 의해 공급되는 기준 전압을 구동 트랜지스터의 게이트 노드에 인가하고, 데이터 라인에 의해 공급되는 초기화 전압을 구동 트랜지스터의 소스 노드에 인가하는 초기화 단계와, 구동 트랜지스터의 소스 노드를 플로팅 시켜, 구동 트랜지스터의 소스 노드의 전압을 상승시키는 트래킹 단계와, 아날로그 디지털 컨버터와 데이터 라인을 전기적으로 연결해주고, 아날로그 디지털 컨버터가 데이터 라인의 전압을 센싱하는 샘플링 단계를 포함할 수 있다.
- [0022] 또 다른 측면에서, 본 실시예들은, 제1 방향으로 배치된 다수의 데이터 라인과, 제1 방향으로 배치된 다수의 기준 전압 라인과, 제2 방향으로 배치된 다수의 게이트 라인과, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.
- [0023] 이러한 유기발광표시패널에서 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 구동 트랜지스터의 소스 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 구동 트랜지스터의 게이트 노드와 소스 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함할 수 있다.
- [0024] 이러한 유기발광표시패널에서 각 서브픽셀의 구동 트랜지스터의 소스 노드는 데이터 라인과 전기적으로 연결 가능하고, 각 서브픽셀의 구동 트랜지스터의 게이트 노드는 기준 전압 라인과 전기적으로 연결 가능할 수 있다.

발명의 효과

- [0026] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있는 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0027] 또한, 본 실시예들에 의하면, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있는 서브픽셀 구조와 신호 라인 구조를 갖는 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0028] 또한, 본 실시예들에 의하면, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있으면서도 개구율을 높여줄 수 있는 서브픽셀 구조와 신호 라인 구조를 갖는 유기발광표시패널, 유기발광표시장치, 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.
- 도 2는 본 실시예들에 따른 유기발광표시패널에서, 각 서브픽셀의 3T1C 구조를 나타낸 도면이다.
- 도 3은 본 실시예들에 따른 유기발광표시패널에서, 각 서브픽셀의 2T1C 구조를 나타낸 도면이다.
- 도 4는 본 실시예들에 따른 유기발광표시패널에서, 4개의 서브픽셀을 기준으로 컬럼 방향의 신호 라인들에 대한 배치 예시도이다.
- 도 5는 본 실시예들에 따른 유기발광표시패널에서, 3T1C 구조를 갖는 4개의 서브픽셀을 나타낸 도면이다.
- 도 6은 본 실시예들에 따른 유기발광표시패널에서, 2T1C 구조를 갖는 4개의 서브픽셀을 나타낸 도면이다.
- 도 7 내지 도 9는 본 실시예들에 따른 유기발광표시장치의 영상 구동 방식을 설명하기 위한 도면이다.
- 도 10은 본 실시예들에 따른 유기발광표시장치의 보상 회로를 나타낸 도면이다.
- 도 11은 본 실시예들에 따른 유기발광표시장치의 영상 구동 방법에 대한 흐름도이다.
- 도 12는 본 실시예들에 따른 유기발광표시장치의 센싱 방법에 대한 흐름도이다.
- 도 13은 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 문턱전압 센싱 타이밍도이다.
- 도 14는 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 이동도 센싱 타이밍도이다.
- 도 15는 본 실시예들에 따른 유기발광표시장치의 센싱 시간 절감 효과를 설명하기 위한 도면이다.

도 16은 본 실시예들에 따른 유기발광표시장치의 소스 드라이버 집적회로를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0032] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "재제"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0033] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이다.
- [0034] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL: Data Line) 및 다수의 기준 전압 라인(RVL: Reference Voltage Line)이 제1 방향(예: 열 방향)으로 배치되고, 다수의 게이트 라인(GL: Gate Line)이 제2 방향(예: 행 방향)으로 배치되며, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP: Sub Pixel)이 매트릭스 타입으로 배열된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.
- [0035] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0036] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0037] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.
- [0038] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0039] 이러한 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0040] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0041] 이러한 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0042] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0043] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터(Data)를 아날로그 형태의 데이터 전압(Vdata)으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0044] 데이터 드라이버(120)는, 도 1에서는 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0045] 게이트 드라이버(130)는, 도 1에서는 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치

할 수도 있다.

- [0046] 진술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0047] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0048] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0049] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0050] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0051] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0052] 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0053] 각 소스 드라이버 집적회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는, 유기발광표시패널(110)에 연결된 필름 상에 실장 되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0054] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0055] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0056] 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0057] 각 게이트 드라이버 집적회로(GDIC)는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 드라이버 집적회로(GDIC)는 유기발광표시패널(110)과 연결된 필름 상에 실장 되는 칩 온 필름(COF) 방식으로 구현될 수도 있다.
- [0058] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0059] 본 실시예들에 따른 유기발광표시장치(100)는 적어도 하나의 소스 드라이버 집적회로(SDIC)에 대한 회로적인 연결을 위해 필요한 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)과 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(C-PCB: Control Printed Circuit Board)을 포함할 수 있다.

- [0060] 적어도 하나의 소스 인쇄회로기판(S-PCB)에는, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 되거나, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 된 필름이 연결될 수 있다.
- [0061] 컨트롤 인쇄회로기판(C-PCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는 컨트롤러(140)와, 유기발광표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러 등이 실장 될 수 있다.
- [0062] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다.
- [0063] 여기서, 연결 부재는 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.
- [0064] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0065] 유기발광표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0066] 일 예로, 각 서브픽셀(SP)은 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0067] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있는데, 본 명세서에서, 각 서브픽셀은, 3개의 트랜지스터와 1개의 캐패시터를 포함하는 3T(Transistor)1C(Capacitor) 구조를 갖는 경우와, 2개의 트랜지스터와 1개의 캐패시터를 포함하는 2T1C 구조를 갖는 경우를 예로 든다.
- [0068] 도 2는 본 실시예들에 따른 유기발광표시패널(110)에서, 각 서브픽셀(SP)의 3T1C 구조를 나타낸 도면이고, 도 3은 본 실시예들에 따른 유기발광표시패널(110)에서, 각 서브픽셀(SP)의 2T1C 구조를 나타낸 도면이다.
- [0069] 도 2 및 도 3을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에서, 3T1C 구조를 갖거나 2T1C 구조를 갖는 각 서브픽셀(SP)은, 유기발광다이오드(OLED: Organic Light-Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(DRT: Driving Transistor)와, 게이트 신호인 센싱 신호(SENSE)에 의해 제어되며 구동 트랜지스터(DRT)의 소스 노드(Ns)와 데이터 라인(DL) 사이에 전기적으로 연결된 제1 트랜지스터(T1)와, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst)를 공통적으로 포함할 수 있다.
- [0070] 한편, 도 2와 같이 3T1C 구조의 서브픽셀(SP) 또는 2T1C 구조의 서브픽셀(SP)이 매트릭스 타입으로 배열된 유기발광표시패널(110)에는, 게이트 신호인 센싱 신호(SENSE)에 의해 제어되며, 기준 전압 라인(RVL)에서 공급된 기준 전압(Vref)을 각 서브픽셀(SP)의 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 전달하기 위한 제2 트랜지스터(T2)가 배치될 수 있다.
- [0071] 이러한 제2 트랜지스터(T2)를 통해, 구동 트랜지스터(DRT)의 게이트 노드(Ng)의 전압 상태를 제어할 수 있게 되어, 서브픽셀 구동을 효율적으로 제어할 수 있고, 다양한 서브픽셀 구동이 가능해질 수 있다.
- [0072] 위에서 언급한 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0073] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동해준다.
- [0074] 구동 트랜지스터(DRT)에서, 소스 노드는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결되고 제1 트랜지스터(T1)의 소스 노드(또는 드레인 노드)와 전기적으로 연결될 수 있고, 드레인 노드는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 게이트 노드는 제2 트랜지스터(T2)의 소스 노드(또는 드레인 노드)와 전기적으로 연결될 수 있다.
- [0075] 도 2 및 도 3에 도시된 바와 같이, 3T1C 구조를 갖는 서브픽셀(SP)과, 2T1C 구조를 갖는 서브픽셀(SP)에서, 구동 트랜지스터(DRT)의 소스 노드(Ns)는 데이터 라인(DL)을 통해 데이터 전압(Vdata)을 인가받고, 구동 트랜지스터(DRT)의 게이트 노드(Ng)는 기준 전압 라인(RVL)을 통해 기준 전압(Vref)을 인가 받는다.
- [0076] 전술한 바와 같이, 본 실시예들에 따른 유기발광표시패널(110)에서의 각 서브픽셀(SP)에서, 유기발광다이오드

(OLED)를 구동하는 구동 트랜지스터(DRT)는, 데이터 전압(Vdata)을 게이트 노드(Ng)가 아닌 소스 노드(Ns)로 인가 받고, 기준 전압(Vref)을 소스 노드(Ns)가 아닌 게이트 노드(Ng)로 인가 받는다는 점에서 일반적인 서브픽셀 구조와 차이가 있다.

- [0077] 이러한 독특한 서브픽셀 구조로 인해, 후술하겠지만, 공통 전압에 해당하는 기준 전압(Vref)을 전달하는 기준 전압 라인(RVL)이 1개의 서브픽셀 열이 아닌 다수의 서브픽셀 열마다 배치된 구조에서 센싱 시간을 상당히 줄일 수 있는 이점이 있다.
- [0078] 한편, 제2 트랜지스터(T2)는 1개의 서브픽셀(SP)마다 1개씩 존재할 수 있다. 이 경우, 각 서브픽셀(SP)은 도 2에 도시된 바와 같이, 3T1C 구조를 갖게 된다.
- [0079] 도 2를 참조하면, 1개의 서브픽셀(SP)마다 1개씩 존재하는 제2 트랜지스터(T2)는, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 기준 전압 라인(RVL) 사이에 전기적으로 연결된다.
- [0080] 제2 트랜지스터(T2)가 턴-온 되면, 기준 전압 라인(RVL)에서 공급된 기준 전압(Vref)이 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가된다.
- [0081] 진술한 바와 같이, 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 기준 전압(Vref)을 전달하기 위한 제2 트랜지스터(T2)를 서브픽셀(SP)마다 배치함으로써, 구동 트랜지스터(DRT)의 게이트 노드(Ng)의 전압을 서브픽셀 별로 제어할 수 있고, 이를 통해 서브픽셀 별로 구동을 효율적으로 제어할 수 있다.
- [0082] 한편, 도 3을 참조하면, 제2 트랜지스터(T2)는 2개 이상의 서브픽셀(SP)마다 1개씩 존재하거나 1개의 기준 전압 라인(RVL)마다 1개씩 존재할 수 있다. 이 경우, 각 서브픽셀(SP)은 도 3에 도시된 바와 같이, 2T1C 구조를 갖는다고 할 수 있다.
- [0083] 이와 같이, 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 기준 전압(Vref)을 전달하기 위한 제2 트랜지스터(T2)를 서브픽셀(SP)마다 배치하지 않고, 2개 이상의 서브픽셀(SP)마다 1개씩 배치하거나 1개의 기준 전압 라인(RVL)마다 1개씩 배치함으로써, 유기발광표시패널(110)에서의 트랜지스터 개수를 크게 줄일 수 있어, 유기발광표시패널(110)의 개구율을 높여줄 수 있다.
- [0084] 한편, 도 2 및 도 3에서, 구동 트랜지스터(DRT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 각각은, n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.
- [0085] 한편, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는, 다른 게이트 라인을 통해, 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드로 각각 인가될 수도 있다.
- [0086] 경우에 따라서는, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 신호일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는, 동일한 게이트 라인을 통해, 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드로 공통 인가될 수도 있다.
- [0087] 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.
- [0088] 도 4는 본 실시예들에 따른 유기발광표시패널(110)에서, 4개의 서브픽셀(SP)을 기준으로 컬럼 방향의 신호 라인들(DL1, DL2, DL3, DL4, RVL)에 대한 배치 예시도이다.
- [0089] 기준 전압 라인(RVL)은 공통 전압에 해당하는 기준 전압(Vref)의 전달을 위한 컬럼 방향의 신호 라인으로서, 1개의 서브픽셀 열마다 1개씩 배치될 수도 있지만, 구동 효율을 위해 2개 이상의 서브픽셀 열마다 1개씩 배치될 수 있다.
- [0090] 만약, 기준 전압 라인(RVL)이 2개 이상의 서브픽셀 열마다 1개씩 배치되는 경우, 일 예로, 도 4에 도시된 바와 같이, 4개의 서브픽셀 열마다 1개씩 배치될 수도 있다.
- [0091] 도 4에서 4개의 서브픽셀(SP1, SP2, SP3, SP4)은, 4개의 서브픽셀 열 중에서 어느 하나의 서브픽셀 행에 속한 4개의 서브픽셀이다.
- [0092] 여기서, 4개의 서브픽셀(SP1, SP2, SP3, SP4)은, 일 예로, 적색 빛을 발광하는 서브픽셀, 흰색 빛을 발광하는 서브픽셀, 청색 빛을 발광하는 서브픽셀 및 녹색 빛을 발광하는 서브픽셀일 수 있다.

- [0093] 도 4를 참조하면, 4개의 서브픽셀(SP1, SP2, SP3, SP4)은 4개의 데이터 라인(DL1, DL2, DL3, DL4)과 대응되어 전기적으로 연결된다.
- [0094] 이 경우, 서브픽셀 SP1에서, 제1 트랜지스터(T1)는 데이터 라인 DL1에서 공급된 데이터 전압을 구동 트랜지스터(DRT)의 소스 노드(Ns)로 전달해준다. 서브픽셀 SP2에서, 제1 트랜지스터(T1)는 데이터 라인 DL2에서 공급된 데이터 전압을 구동 트랜지스터(DRT)의 소스 노드(Ns)로 전달해준다. 서브픽셀 SP3에서, 제1 트랜지스터(T1)는 데이터 라인 DL3에서 공급된 데이터 전압을 구동 트랜지스터(DRT)의 소스 노드(Ns)로 전달해준다. 그리고, 서브픽셀 SP4에서, 제1 트랜지스터(T1)는 데이터 라인 DL4에서 공급된 데이터 전압을 구동 트랜지스터(DRT)의 소스 노드(Ns)로 전달해준다.
- [0095] 도 4를 참조하면, 4개의 서브픽셀(SP1, SP2, SP3, SP4)은 1개의 기준 전압 라인(RVL)과 공통으로 연결될 수 있다. 즉, 1개의 기준 전압 라인(RVL)은 4개의 서브픽셀(SP1, SP2, SP3, SP4)에 공유된다.
- [0096] 이 경우, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각의 구동 트랜지스터(DRT)의 게이트 노드(Ng)는, 1개의 기준 전압 라인(RVL)을 통해 기준 전압(Vref)을 공통으로 인가받을 수 있다.
- [0097] 이러한 기준 전압(Vref)의 인가와 관련하여, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 기준 전압 라인(RVL) 간의 연결 여부를 제어해주는 제2 트랜지스터(T2)가 관여한다.
- [0098] 기준 전압 라인(RVL)이 도 4에 도시된 바와 같이 4개의 서브픽셀 열 마다 1개씩 배치될 때, 4개의 서브픽셀(SP1, SP2, SP3, SP4)이 도 2의 3T1C 구조를 갖는 경우와 도 3의 2T1C 구조를 갖는 경우 각각에 대하여, 구동 트랜지스터(DRT)의 게이트 노드(Ng)로 기준 전압(Vref)을 인가하기 위한 제2 트랜지스터(T2) 및 기준 전압 라인(RVL)의 구조를 도 5와 도 6을 참조하여 더욱 상세하게 설명한다.
- [0099] 도 5는 본 실시예들에 따른 유기발광표시패널(110)에서, 3T1C 구조를 갖는 4개의 서브픽셀(SP1, SP2, SP3, SP4)을 나타낸 도면이다.
- [0100] 도 5를 참조하면, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각은 도 2에 도시된 바와 같이, 3개의 트랜지스터(DRT, T1, T2)와 1개의 캐패시터(Cst)를 포함하는 3T1C 구조를 갖는다.
- [0101] 이에 따라, 기준 전압 라인(RVL)은 4개의 서브픽셀 열마다 1개씩 배치될 때, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각은, 구동 트랜지스터(DRT) 및 제1 트랜지스터(T1)뿐만 아니라, 제2 트랜지스터(T2)도 포함할 수 있다.
- [0102] 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각에 포함된 제2 트랜지스터(T2)는, 1개의 기준 전압 라인(RVL)에 공통으로 연결될 수 있다.
- [0103] 서브픽셀 SP1의 제2 트랜지스터(T2)는 서브픽셀 SP1의 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 기준 전압 라인(RVL) 사이에 연결되고, 서브픽셀 SP2의 제2 트랜지스터(T2)는 서브픽셀 SP2의 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 기준 전압 라인(RVL) 사이에 연결되고, 서브픽셀 SP3의 제2 트랜지스터(T2)는 서브픽셀 SP3의 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 기준 전압 라인(RVL) 사이에 연결되고, 서브픽셀 SP4의 제2 트랜지스터(T2)는 서브픽셀 SP4의 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 기준 전압 라인(RVL) 사이에 연결된다.
- [0104] 한편, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 중에서, 제1 서브픽셀(SP1)의 제2 트랜지스터(T2)의 드레인 노드(또는 소스 노드)와 제2 서브픽셀(SP2)의 제2 트랜지스터(T2)의 드레인 노드(또는 소스 노드)는 전기적으로 서로 연결되어 기준 전압 라인(RVL)에 함께 연결될 수 있다.
- [0105] 또한, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 중에서, 제3 서브픽셀(SP3)의 제2 트랜지스터(T2)의 드레인 노드(또는 소스 노드)와 제4 서브픽셀(SP4)의 제2 트랜지스터(T2)의 드레인 노드(또는 소스 노드)는 전기적으로 서로 연결되어 기준 전압 라인(RVL)에 함께 연결될 수 있다.
- [0106] 도 5와 같이 구조에 따르면, 기준 전압 라인(RVL)을 통해 기준 전압(Vref)이 공급되더라도, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각의 제2 트랜지스터(T2)의 온-오프를 개별적으로 제어함으로써, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각의 구동을 개별적으로 제어할 수 있다.
- [0107] 도 6은 본 실시예들에 따른 유기발광표시패널(110)에서, 2T1C 구조를 갖는 4개의 서브픽셀(SP1, SP2, SP3, SP4)을 나타낸 도면이다.
- [0108] 도 6을 참조하면, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각은 도 3에 도시된 바와 같이, 2개의 트랜지스터(DRT, T1)와 1개의 캐패시터(Cst)를 포함하는 2T1C 구조를 갖는다.

- [0109] 이에 따라, 기준 전압 라인(RVL)은 4개의 서브픽셀 열마다 1개씩 배치될 때, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각은 구동 트랜지스터(DRT) 및 제1 트랜지스터(T1)를 포함할 뿐, 제2 트랜지스터(T2)를 개별적으로 포함하지는 않는다.
- [0110] 이 경우, 기준 전압 라인(RVL)은, 4개의 서브픽셀 열마다 1개씩 배치되되, 기준 전압(Vref)이 유입되는 제1부분(RVL_I)과, 기준 전압(Vref)을 4개의 서브픽셀(SP1, SP2, SP3, SP4)로 공급하는 제2부분(RVL_O)을 포함한다.
- [0111] 4개의 서브픽셀(SP) 각각의 구동 트랜지스터(DRT)의 게이트 노드(Ng)는, 1개의 기준 전압 라인(RVL)의 제2부분(RVL_O)과 공통으로 연결된다.
- [0112] 그리고, 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 기준 전압(Vref)을 인기해주기 위하여 공통으로 사용되는 제2 트랜지스터(T2)는, 1개의 기준 전압 라인(RVL)의 제1부분(RVL_I)과 1개의 기준 전압 라인(RVL)의 제2부분(RVL_O) 사이에 전기적으로 연결될 수 있다.
- [0113] 이러한 제2 트랜지스터(T2)는 1개의 기준 전압 라인(RVL)마다 1개씩 존재할 수도 있고, 1개의 기준 전압 라인(RVL)에서 서브픽셀 행마다 1개씩 존재할 수도 있다.
- [0114] 전술한 바와 같이, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 각각의 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 기준 전압(Vref)을 전달하기 위하여, 4개의 서브픽셀(SP1, SP2, SP3, SP4)에 대하여 공통으로 사용되는 1개의 제2 트랜지스터(T2)를 1개의 기준 전압 라인(RVL) 상에 배치함으로써, 유기발광표시패널(110)에서의 모든 서브픽셀이 제2 트랜지스터(T2)를 포함할 필요가 없기 때문에, 제2 트랜지스터(T2)의 개수를 매우 많이 줄일 수 있다. 따라서, 유기발광표시패널(110)의 개구율을 상당히 높여줄 수 있다.
- [0115] 한편, 공통으로 사용되는 1개의 제2 트랜지스터(T2)를 4개의 서브픽셀(SP1, SP2, SP3, SP4) 중 하나에 포함되는 트랜지스터로도 볼 수 있다.
- [0116] 이 경우, 4개의 서브픽셀(SP1, SP2, SP3, SP4) 중 제2 트랜지스터(T2)를 포함한다고 보는 1개의 서브픽셀은 3T1C 구조를 갖고, 나머지 3개의 서브픽셀은 2T1C 구조를 갖는다고 볼 수도 있다.
- [0117] 도 7 내지 도 9는 본 실시예들에 따른 유기발광표시장치(100)의 영상 구동 방식을 설명하기 위한 도면이다.
- [0118] 도 7을 참조하면, 구동 트랜지스터(DRT)의 소스 노드(Ns)로 영상 패턴에 따라 가변 되는 전압(Variable Voltage)인 데이터 전압(Vdata)을 인가하고, 구동 트랜지스터(DRT)의 게이트 노드(Ng)로 일정한 전압(Constant Voltage)인 기준 전압(Vref)을 인가하여, 스토리지 캐패시터(Cst)의 양단의 전위차(Vref - Vdata)를 이용하여 영상 표현이 될 수 있다.
- [0119] 이는, 일반적인 유기발광표시장치에서, 구동 트랜지스터(DRT)의 게이트 노드(Ng)로 영상 패턴에 따라 가변 되는 전압(Variable Voltage)인 데이터 전압(Vdata)을 인가하고, 구동 트랜지스터(DRT)의 소스 노드(Ns)로 일정한 전압(Constant Voltage)인 기준 전압(Vref)을 인가하여 영상 표현을 하는 것과 차이점이 있다.
- [0120] 이러한 영상 구동 방식에 따라, 4개의 서브픽셀(SP1, SP2, SP3, SP4)를 구동하는 경우에 대하여, 도 8 및 도 9를 참조하여 예를 들어 설명한다.
- [0121] 본 실시예들에 따르면, 4개의 서브픽셀(SP1, SP2, SP3, SP4)의 구동 트랜지스터(DRT)의 게이트 노드(Ng)로 4개의 데이터 전압(Vdata1, Vdata2, Vdata3, Vdata4)으로서 8V, 4V, 3V, 9V를 인가해주고, 4개의 서브픽셀(SP1, SP2, SP3, SP4)의 구동 트랜지스터(DRT)의 소스 노드(NS)로 공통의 기준 전압(Vref)을 6V로 인가해주면, 4개의 서브픽셀(SP1, SP2, SP3, SP4)의 스토리지 캐패시터(Cst)의 양단 전위차(Vref-Vdata1, Vref-Vdata2, Vref-Vdata3, Vref-Vdata4)가 -2V, 2V, 3V, -3V로 만들어져서, 원하는 영상 표현이 가능해질 수 있다.
- [0122] 한편, 본 실시예들에 따른 유기발광표시장치(100)의 경우, 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.
- [0123] 이에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자가 갖는 고유한 특성치(예: 문턱전압, 이동도 등)가 변할 수 있다.
- [0124] 이러한 회로 소자 간의 특성치 변화의 정도는 각 회로 소자의 열화 정도의 차이에 따라 서로 다를 수 있다.
- [0125] 이 경우, 회로 소자 간의 특성치 편차가 발생할 수 있으며, 서브픽셀 간의 휘도 편차를 발생시킬 수 있다.
- [0126] 이에 따라 서브픽셀의 휘도 표현력에 대한 정확도를 떨어뜨리거나 화면 이상 현상을 발생시키는 등의 문제를 받

생시킬 수 있다.

- [0127] 본 실시예들에 따른 유기발광표시장치(100)는 회로 소자(구동 트랜지스터, 유기발광다이오드)의 특성치 또는 특성치 변화를 센싱하기 위한 센싱 기능과, 센싱 결과를 이용하여 회로 소자(구동 트랜지스터, 유기발광다이오드) 간의 특성치 편차를 보상해주기 위한 보상 기능을 제공할 수 있다.
- [0128] 본 실시예들에 따른 유기발광표시장치(100)는, 센싱 및 보상 기능을 제공하기 위하여, 도 10과 같은 보상 회로를 포함할 수 있다.
- [0129] 도 10은 본 실시예들에 따른 유기발광표시장치(100)의 보상 회로를 나타낸 도면이다.
- [0130] 도 10을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 보상 회로는, 각 데이터 라인(DL)과 전기적으로 연결되어 각 데이터 라인(DL)의 전압(아날로그 전압)을 센싱하여 센싱된 전압을 디지털 값에 해당하는 센싱 값으로 변환하고, 변환된 센싱값을 포함하는 센싱 데이터를 출력하는 아날로그 디지털 컨버터(ADC)와, 센싱 데이터를 수신하거나 메모리(미도시)에 저장된 센싱 데이터를 읽어와서, 센싱 데이터를 이용하여 해당 서브픽셀(SP) 내 회로 소자의 특성치(예: 구동 트랜지스터의 문턱전압 또는 이동도, 유기발광다이오드의 문턱전압)에 대한 보상을 해주는 보상부(1000)를 포함할 수 있다.
- [0131] 전술한 바와 같은 보상 회로를 이용하여 각 서브픽셀 내 구동 트랜지스터(DRT) 또는 유기발광다이오드(OLED)의 특성치를 센싱하여 보상해줄 수 있다. 이에 따라 특성치 편차에 따른 화질 저하를 방지할 수 있다.
- [0132] 한편, 본 실시예들에 따른 유기발광표시장치(100)에서 각 데이터 라인(DL)은 영상 구동을 위한 데이터 전압(Vdata)을 전달하는 "데이터 신호 라인"의 역할을 할 뿐만 아니라, 센싱 구동을 위해 구동 트랜지스터(DRT)의 소스 노드(Ns)로 센싱 구동을 위한 초기화 전압(Vpres)를 인가해 주기 위한 "센싱 구동 라인"의 역할과, 구동 트랜지스터(DRT)의 소스 노드(Ns)의 전압을 아날로그 디지털 컨버터(ADC)로 전달하기 위한 "센싱 라인"의 역할도 수행할 수 있다.
- [0133] 따라서, 도 10에 도시된 바와 같이, 보상 회로는, 데이터 라인(DL)이 센싱 구동 라인으로 동작할지 말지를 제어하기 위한 초기화 스위치(SPRES)와, 데이터 라인(DL)이 데이터 신호 라인으로 동작할지 말지를 제어하기 위한 데이터 스위치(PRES_SEL)와, 데이터 라인(DL)이 센싱 라인으로 동작할지 말지를 제어하기 위한 샘플링 스위치(SAM)를 포함할 수 있다.
- [0134] 샘플링 스위치(SAM)는 데이터 라인(DL)과 아날로그 디지털 컨버터(ADC) 사이에 전기적으로 연결된다.
- [0135] 이러한 샘플링 스위치(SAM)는, 정해진 특정 시간 또는 타이밍이 되면, 턴-온 되어, 데이터 라인(DL)과 아날로그 디지털 컨버터(ADC)를 연결해줄 수 있다.
- [0136] 여기서, 특정 시간은, 센싱 구동에 따라 데이터 라인(DL)의 전압이 구동 트랜지스터(DRT) 또는 유기발광다이오드(OLED)의 특성치를 반영하는 전압 상태가 될 것으로 예상되어 미리 정해진 시간일 수 있다.
- [0137] 그리고, 특정 타이밍은, 센싱 구동에 따라 데이터 라인(DL)의 전압이 구동 트랜지스터(DRT) 또는 유기발광다이오드(OLED)의 특성치를 반영하는 전압 상태가 된 것으로 모니터링 된 타이밍일 수 있다.
- [0138] 초기화 스위치(SPRES)는 데이터 라인(DL)과 초기화 전압 공급 노드(Npres) 사이에 전기적으로 연결된다.
- [0139] 이러한 초기화 스위치(SPRES)는 센싱 구동 구간 중 초기화 단계에서 턴-온 되어, 초기화 전압(Vpres)가 초기화 전압 공급 노드(Npres)에서 데이터 라인(DL)으로 공급되고, 턴-온 된 제1 트랜지스터(T1)를 통해 구동 트랜지스터(DRT)의 소스 노드(Ns)로 인가된다.
- [0140] 데이터 스위치(PRES_SEL)는 데이터 라인(DL)과 데이터 전압 공급 노드(Ndata) 사이에 전기적으로 연결된다.
- [0141] 데이터 스위치(PRES_SEL)는 영상 구동 구간에서 턴-온 되어, 영상 신호에 해당하는 데이터 전압(Vdata)이 데이터 전압 공급 노드(Ndata)에서 데이터 라인(DL)으로 공급된다.
- [0142] 전술한 3가지의 스위치 구성(PRES_SEL, SPRES, SAM)의 온-오프를 제어함으로써, 데이터 라인(DL)은, 상황에 따라, 데이터 신호 라인, 센싱 구동 라인 및 센싱 라인 중 하나로 동작할 수 있다.
- [0143] 도 11은 본 실시예들에 따른 유기발광표시장치(100)의 영상 구동 방법에 대한 흐름도이다.
- [0144] 도 11을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 영상 구동 방법은, 기준 전압 라인(RVL)에 의해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가하고, 데이터 라인(DL)에 의해

공급되는 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가하는 제1 단계(S1110)와, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns)를 플로팅 시키는 제2 단계(S1120)와, 유기발광다이오드(OLED)가 발광하는 제3 단계(S1130) 등을 포함한다.

- [0145] 전술한 영상 구동 방법에 따르면, 구동 트랜지스터(DRT)의 소스 노드(Ns)로 영상 패턴에 따라 가변 되는 전압(Variable Voltage)인 데이터 전압(Vdata)을 인가하고, 구동 트랜지스터(DRT)의 게이트 노드(Ng)로 일정한 전압(Constant Voltage)인 기준 전압(Vref)을 인가하여, 스토리지 캐패시터(Cst)의 양단의 전위차(Vref - Vdata)를 이용하여 영상 표현을 할 수 있다.
- [0146] 한편, 제1 단계(S1110)에서는, 턴-온 레벨의 센싱 신호(SENSE)를 데이터 라인(DL)과 구동 트랜지스터(DRT)의 소스 노드(Ns) 사이에 연결된 제1 트랜지스터(T1)의 게이트 노드에 인가하여 제1 트랜지스터(T1)를 턴-온 시키고, 데이터 라인(DL)과 데이터 전압 공급 노드(Ndata) 사이에 전기적으로 연결된 데이터 스위치(PRE_SEL)를 턴-온 시켜서, 데이터 라인(DL)에 의해 공급되는 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가할 수 있다.
- [0147] 또한, 제1 단계(S1110)에서는, 기준 전압 라인(RVL)과 구동 트랜지스터(DRT)의 게이트 노드(Ng) 사이에 연결된 제2 트랜지스터(T2)의 게이트 노드에 턴-온 레벨의 스캔 신호(SCAN)를 인가하여 제2 트랜지스터(T2)를 턴-온 시켜서, 기준 전압 라인(RVL)에 의해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가할 수 있다.
- [0148] 제2 단계(S1120)에서는, 제1 트랜지스터(T1) 또는 데이터 스위치(PRE_SEL)를 턴-오프 시켜 구동 트랜지스터(DRT)의 소스 노드(Ns)를 플로팅 시키고, 제2 트랜지스터(T2)를 턴-오프 시켜 구동 트랜지스터(DRT)의 게이트 노드(Ng)를 플로팅 시킬 수 있다.
- [0149] 제2 단계(S1120)에서는, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns)가 플로팅 됨에 따라, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns) 간의 전위차(Vref-Vdata)는 유지되면서, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns)의 전압이 동반 상승한다.
- [0150] 구동 트랜지스터(DRT)의 소스 노드(Ns)의 전압이 상승하다가, 구동 트랜지스터(DRT)의 소스 노드(Ns)의 상승된 전압이 유기발광다이오드(OLED)로 전류를 공급할 수 있는 전압 상태(기저전압(EVSS)에 유기발광다이오드(OLED)의 문턱전압을 더한 전압보다 높은 상태)가 되면, 제3 단계(S1130)가 진행된다. 즉, 유기발광다이오드(OLED)로 전류가 공급되어 유기발광다이오드(OLED)가 발광한다.
- [0151] 여기서, 제1 단계(S1110)에서, 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가되는 데이터 전압(Vdata)은 유기발광다이오드(OLED)의 문턱전압보다 낮은 전압으로 사용되어야 한다.
- [0152] 그래야만, 제1 단계(S1110)에서 유기발광다이오드(OLED)가 발광하지 않고, 제2 단계(S1120)를 거치면서, 즉, 구동 트랜지스터(OLED)의 소스 노드(Ns)의 전압이 상승하면 유기발광다이오드(OLED)가 발광하여, 영상 표현력이 향상될 수 있다.
- [0153] 전술한 제3 단계(S1130)에서, 유기발광다이오드(OLED)의 발광에 따라 서브픽셀(SP)에서 표현되는 휘도는, 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가된 기준 전압(Vref)과 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가된 데이터 전압(Vdata)의 차이(Vref-Vdata)와 대응되는 휘도일 수 있다.
- [0154] 도 12는 본 실시예들에 따른 유기발광표시장치(100)의 센싱 방법에 대한 흐름도이다.
- [0155] 도 12를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 센싱 방법은, 초기화 단계(S1210), 트래킹 단계(S1220) 및 샘플링 단계(S1230) 등을 포함할 수 있다.
- [0156] 초기화 단계(S1210)에서는, 기준 전압 라인(RVL)에 의해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가하고, 데이터 라인(DL)에 의해 공급되는 초기화 전압(Vpres)을 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가한다.
- [0157] 트래킹 단계(S1220)에서는, 구동 트랜지스터(DRT)의 소스 노드(Ns)를 플로팅 시켜, 구동 트랜지스터(DRT)의 소스 노드(Ns)의 전압을 상승시킨다.
- [0158] 이러한 트래킹 단계(S1220)에서 구동 트랜지스터(DRT)의 소스 노드(Ns)의 전압이 상승하면서, 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도) 또는 유기발광다이오드(OLED)의 특성치(예: 문턱전압)를 반영하는 전압 상태를 추적(Tracking)한다.

- [0159] 이러한 트래킹 단계(S1220)에서 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도) 또는 유기발광다이오드(OLED)의 특성치(예: 문턱전압)를 반영하는 전압 상태가 되면, 샘플링 단계(S1230)가 진행된다.
- [0160] 샘플링 단계(S1230)에서는, 아날로그 디지털 컨버터(ADC)와 데이터 라인(DL)을 전기적으로 연결해준다. 이에 따라, 아날로그 디지털 컨버터(ADC)는 데이터 라인(DL)의 전압을 센싱한다.
- [0161] 전술한 센싱 방법에 따르면, 구동 트랜지스터(DRT)의 소스 노드(Ns)로 초기화 전압(Vpres)을 인가하고, 구동 트랜지스터(DRT)의 게이트 노드(Ng)로 센싱용 기준 전압(Vref)을 인가하여 센싱 구동 초기화 상태로 만들어 놓고, 구동 트랜지스터(DRT)의 소스 노드(Ns)가 데이터 라인(DL)과 함께 원하는 전압 상태로 되도록 하여, 각 서브픽셀(SP)마다 존재하는 데이터 라인(DL)을 통해 전압을 센싱함으로써, 각 서브픽셀(SP)에 대한 샘플링 처리를 동시에 진행할 수 있는 이점이 있다. 이로 인해, 유기발광표시패널(110)의 전체 센싱 시간을 매우 많이 단축시킬 수 있다.
- [0162] 한편, 초기화 단계(S1210)에서는, 턴-온 레벨의 센싱 신호(SENSE)를 통해 데이터 라인(DL)과 구동 트랜지스터(DRT)의 소스 노드(Ns) 사이에 연결된 제1 트랜지스터(T1)를 턴-온 시키고, 데이터 라인(DL)과 초기화 전압 공급 노드(Npres) 사이에 전기적으로 연결된 초기화 스위치(SPRES)를 턴-온 시켜, 데이터 라인(DL)에 의해 공급되는 초기화 전압(Vpres)을 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가한다.
- [0163] 또한, 초기화 단계(S1210)에서는, 기준 전압 라인(RVL)과 구동 트랜지스터(DRT)의 게이트 노드(Ng) 사이에 연결된 제2 트랜지스터(T2)를 턴-온 시켜, 기준 전압 라인(RVL)에 의해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가한다.
- [0164] 트래킹 단계(S1220)에서는, 초기화 스위치(SPRES)를 턴-오프 시켜서, 구동 트랜지스터(DRT)의 소스 노드(Ns)를 플로팅 시키고, 구동 트랜지스터(DRT)의 소스 노드(Ns)와 데이터 라인(DL)의 전압은 초기화 전압(Vpres)에서 상승한다.
- [0165] 샘플링 단계(S1230)에서는, 아날로그 디지털 컨버터(ADC)와 데이터 라인(DL) 사이에 전기적으로 연결된 샘플링 스위치(SAM)를 턴-온 시켜서, 아날로그 디지털 컨버터(ADC)와 데이터 라인(DL)을 전기적으로 연결해준다.
- [0166] 이에 따라, 아날로그 디지털 컨버터(ADC)는 데이터 라인(DL)의 전압을 센싱한다.
- [0167] 샘플링 단계(S1230)에서 샘플링 시점, 즉, 샘플링 스위치(SAM)의 턴-온 시점은, 센싱 구동 종류에 따라 달라질 수 있다.
- [0168] 예를 들어, 구동 트랜지스터(DRT)의 문턱전압을 센싱하기 위한 센싱 구동의 경우, 구동 트랜지스터(DRT)의 소스 노드(Ns)의 전압이 상승하다가 포화되는 시점 이후가 샘플링 시점이 될 수 있다.
- [0169] 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 센싱 구동의 경우, 플로팅 시점부터 구동 트랜지스터(DRT)의 소스 노드(Ns)의 전압 상승 정도(전압 변화량)를 얻을 수 있는 시간 정도만 경과하면 되기 때문에, 플로팅 시점에서 일정 시간 이후를 샘플링 시점으로 설정할 수 있다.
- [0170] 도 12를 참조하면, 샘플링 단계(S1230) 이후, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압을 토대로 구동 트랜지스터(DRT)의 문턱전압 또는 이동도를 보상하는 특성치 보상 단계(S1240)가 진행될 수 있다.
- [0171] 특성치 보상 단계(S1240)는, 센싱된 전압을 토대로 구동 트랜지스터(DRT)의 문턱전압 또는 이동도를 파악하여 문턱전압 편차 또는 이동도 편차를 알아내서 이를 제거하기 위하여 보상값을 산출한다.
- [0172] 보상부(1000)는 산출된 보상값을 토대로 해당 서브픽셀(SP)로 공급될 영상 데이터를 변경한다.
- [0173] 소스 드라이버 집적회로(SDIC)는 변경된 영상 데이터를 데이터 전압으로 변환하여 출력하면, 해당 서브픽셀에 대하여 구동 트랜지스터(DRT)의 문턱전압 또는 이동도에 대한 보상이 실제로 이루어지게 된다.
- [0174] 도 13은 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 타이밍도이다.
- [0175] 도 13을 참조하면, 문턱전압 센싱 구동 구간의 초기화 단계(S1210)에서는, 턴-온 레벨의 센싱 신호(SENSE)를 통해 데이터 라인(DL)과 구동 트랜지스터(DRT)의 소스 노드(Ns) 사이에 연결된 제1 트랜지스터(T1)를 턴-온 시키고, 데이터 라인(DL)과 초기화 전압 공급 노드(Npres) 사이에 전기적으로 연결된 초기화 스위치(SPRES)를 턴-온 시켜, 데이터 라인(DL)에 의해 공급되는 초기화 전압(Vpres)을 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가한다.

- [0176] 또한, 초기화 단계(S1210)에서는, 턴-온 레벨의 스캔 신호(SCAN)를 통해 기준 전압 라인(RVL)과 구동 트랜지스터(DRT)의 게이트 노드(Ng) 사이에 연결된 제2 트랜지스터(T2)를 턴-온 시켜, 기준 전압 라인(RVL)에 의해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가한다.
- [0177] 도 13을 참조하면, 트래킹 단계(S1220)에서는, 초기화 스위치(SPRE)를 턴-오프 시켜서 구동 트랜지스터(DRT)의 소스 노드(Ns)를 플로팅 시킨다.
- [0178] 이에 따라, 구동 트랜지스터(DRT)의 소스 노드(Ns)의 전압이 초기화 전압(Vpres)에서 상승한다. 이때, 데이터 라인(DL)의 전압도 함께 상승한다.
- [0179] 구동 트랜지스터(DRT)의 소스 노드(Ns)와 데이터 라인(DL)은 시간이 지날수록 전압 상승폭이 줄어들어 포화하게 된다.
- [0180] 구동 트랜지스터(DRT)의 소스 노드(Ns)와 데이터 라인(DL)의 전압이 포화되면 샘플링 단계(S1230)가 진행될 수 있다.
- [0181] 도 13을 참조하면, 구동 트랜지스터(DRT)의 소스 노드(Ns)와 데이터 라인(DL)의 전압이 포화된 시점 이후로 설정된 샘플링 시점에 샘플링 스위치(SAM)가 턴-온 되면, 아날로그 디지털 컨버터(ADC)와 데이터 라인(DL)이 전기적으로 연결된다.
- [0182] 이에 따라, 아날로그 디지털 컨버터(ADC)는 데이터 라인(DL)의 전압을 센싱한다.
- [0183] 이때, 트랜지스터(DRT)의 문턱전압(Vth)이 포지티브 문턱전압인 경우, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가된 기준 전압(Vref)보다 구동 트랜지스터(DRT)의 문턱전압(Vth)만큼 낮은 전압(Vref-Vth)이다.
- [0184] 물론, 구동 트랜지스터(DRT)의 문턱전압(Vth)이 네거티브 문턱전압인 경우, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가된 기준 전압(Vref)보다 구동 트랜지스터(DRT)의 문턱전압(Vth)만큼 높은 전압(Vref+Vth)일 수 있다.
- [0185] 도 14는 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터(DRT)에 대한 이동도 센싱 타이밍도이다.
- [0186] 도 14를 참조하면, 이동도 센싱 구동 구간의 초기화 단계(S1210)에서는, 턴-온 레벨의 센싱 신호(SENSE)를 통해 데이터 라인(DL)과 구동 트랜지스터(DRT)의 소스 노드(Ns) 사이에 연결된 제1 트랜지스터(T1)를 턴-온 시키고, 데이터 라인(DL)과 초기화 전압 공급 노드(Npres) 사이에 전기적으로 연결된 초기화 스위치(SPRE)를 턴-온 시켜, 데이터 라인(DL)에 의해 공급되는 초기화 전압(Vpres)을 구동 트랜지스터(DRT)의 소스 노드(Ns)에 인가한다.
- [0187] 또한, 초기화 단계(S1210)에서는, 턴-온 레벨의 스캔 신호(SCAN)를 통해 기준 전압 라인(RVL)과 구동 트랜지스터(DRT)의 게이트 노드(Ng) 사이에 연결된 제2 트랜지스터(T2)를 턴-온 시켜, 기준 전압 라인(RVL)에 의해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 게이트 노드(Ng)에 인가한다.
- [0188] 도 14를 참조하면, 트래킹 단계(S1220)에서는, 초기화 스위치(SPRE)를 턴-오프 시켜서 구동 트랜지스터(DRT)의 소스 노드(Ns)를 플로팅 시키고, 제2 트랜지스터(T2)의 스캔 신호(SCAN)가 턴-오프 전압 레벨로 바뀌어 구동 트랜지스터(DRT)의 게이트 노드(Ng)를 플로팅 시킨다.
- [0189] 이에 따라, 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns)의 전압이 초기화 전압(Vpres)에서 상승한다. 이때, 데이터 라인(DL)의 전압도 함께 상승한다.
- [0190] 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns)의 전압 상승이 일정 시간(Δt) 이루어진 이후, 샘플링 단계(S1230)가 진행될 수 있다.
- [0191] 도 14를 참조하면,
- [0192] 구동 트랜지스터(DRT)의 게이트 노드(Ng)와 소스 노드(Ns)의 전압 상승이 일정 시간(Δt) 이루어진 이후, 샘플링 스위치(SAM)가 턴-온 된다.
- [0193] 이에 따라, 아날로그 디지털 컨버터(ADC)는, 데이터 라인(DL)과 전기적으로 연결되어 데이터 라인(DL)의 전압을 센싱한다.
- [0194] 보상부(1000)는 아날로그 디지털 컨버터(ADC)의 센싱된 전압(Vsen)과 전압 상승 전의 전압(Vpres)의 차이를 전

압 상승폭(Δt)으로 계산하고, 계산된 전압 상승폭(Δt)을 전압 상승 구간의 시간(Δt)으로 나누어서, 전압 상승 속도(그래프 기울기)를 계산할 수 있다.

- [0195] 보상부(1000)는 계산된 전압 상승 속도로부터 구동 트랜지스터(DRT)의 이동도(전류 능력)를 알아낼 수 있다.
- [0196] 여기서, 시간(Δt)가 고정되어 있기 때문에 전압 변화량과 전압 상승 속도는 비례한다. 그리고, 전압 상승 속도는 구동 트랜지스터(DRT)의 이동도(전류 능력)와 비례한다.
- [0197] 도 15는 본 실시예들에 따른 유기발광표시장치(100)의 센싱 시간 절감 효과를 설명하기 위한 도면이다.
- [0198] 도 15를 참조하면, 전술한 바와 같이, 기준 전압 라인(RVL)이 4개의 서브픽셀(SP1, SP2, SP3, SP4)에 의해 공유되더라도, 4개의 서브픽셀(SP1, SP2, SP3, SP4)에 대응되는 4개의 데이터 라인(DL1, DL2, DL3, DL4) 각각에 아날로그 디지털 컨버터(ADC)가 전기적으로 연결될 수 있다.
- [0199] 따라서, 4개의 서브픽셀(SP1, SP2, SP3, SP4)를 동시에 센싱 구동하고, 4개의 샘플링 스위치(SAM1, SAM2, SAM3, SAM4)를 동시에 턴-온 시켜서, 동시에 데이터 라인(DL)의 전압을 센싱할 수 있다. 이로 인해, 유기발광표시패널(110)의 전체 센싱 시간을 매우 많이 단축시킬 수 있다.
- [0200] 도 16은 본 실시예들에 따른 유기발광표시장치(100)의 소스 드라이버 집적회로(SDIC)를 나타낸 도면이다.
- [0201] 도 16을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 소스 드라이버 집적회로(SDIC)는, 데이터 구동을 위한 기본적인 구성으로서, 쉬프트 레지스터(1610), 제1 래치(1620), 제2 래치(1630), 디지털 아날로그 컨버터(DAC, 1640), 여러 개의 데이터 라인(DL)과 대응되는 여러 개의 채널로 데이터 전압(Vdata)을 출력하기 위한 출력 버퍼를 포함하는 다 채널 출력 회로(1650) 등을 포함한다.
- [0202] 이외에, 본 실시예들에 따른 유기발광표시장치(100)의 소스 드라이버 집적회로(SDIC)는, 기준 전압 라인(RVL)으로 기준 전압(Vref)을 출력할 수도 있다.
- [0203] 또한, 전술한 3가지의 스위치 구성(PRE_SEL, SPRE, SAM)의 온-오프를 제어함으로써, 데이터 라인(DL)이, 상황에 따라, 데이터 신호 라인, 센싱 구동 라인 및 센싱 라인 중 하나로 동작할 수 있도록 하는 3가지의 스위치 구성으로서, 데이터 스위치(PRE_SEL), 초기화 스위치(SPRE) 및 샘플링 스위치(SAM) 등을 포함할 수 있다.
- [0204] 또한, 본 실시예들에 따른 유기발광표시장치(100)의 데이터 드라이버(120)에 포함된 각 소스 드라이버 집적회로(SDIC)는, 샘플링 스위치(SAM)를 통해 다수의 데이터 라인(DL)과 연결될 수 있는 아날로그 디지털 컨버터(ADC)를 포함할 수 있다.
- [0205] 여기서, 다수의 데이터 라인(DL) 각각에 대응되어 연결되는 샘플링 스위치(SAM)를 포함하는 샘플링 회로(1660)는, 다수의 샘플링 스위치(SAM) 이외에, 샘플링 스위치(SAM)과 아날로그 디지털 컨버터(ADC) 사이에 샘플 앤 홀더(Sample and Hold) 회로를 더 포함할 수 있다.
- [0206] 전술한 소스 드라이버 집적회로(SDIC)를 이용하면, 이상에서 설명한 본 실시예들에 따른 서브픽셀 구조 및 신호 라인 구조를 갖는 서브픽셀에 대하여 영상 구동 및 센싱 구동을 제공할 수 있다.
- [0207] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있는 유기발광표시패널(110), 유기발광표시장치(100), 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0208] 또한, 본 실시예들에 의하면, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있는 서브픽셀 구조와 신호 라인 구조를 갖는 유기발광표시패널(110), 유기발광표시장치(100), 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0209] 또한, 본 실시예들에 의하면, 서브픽셀에 대한 센싱 시간을 크게 단축시켜줄 수 있으면서도 개구율을 높여줄 수 있는 서브픽셀 구조와 신호 라인 구조를 갖는 유기발광표시패널(110), 유기발광표시장치(100), 그 영상 구동 방법 및 센싱 방법을 제공할 수 있다.
- [0210] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

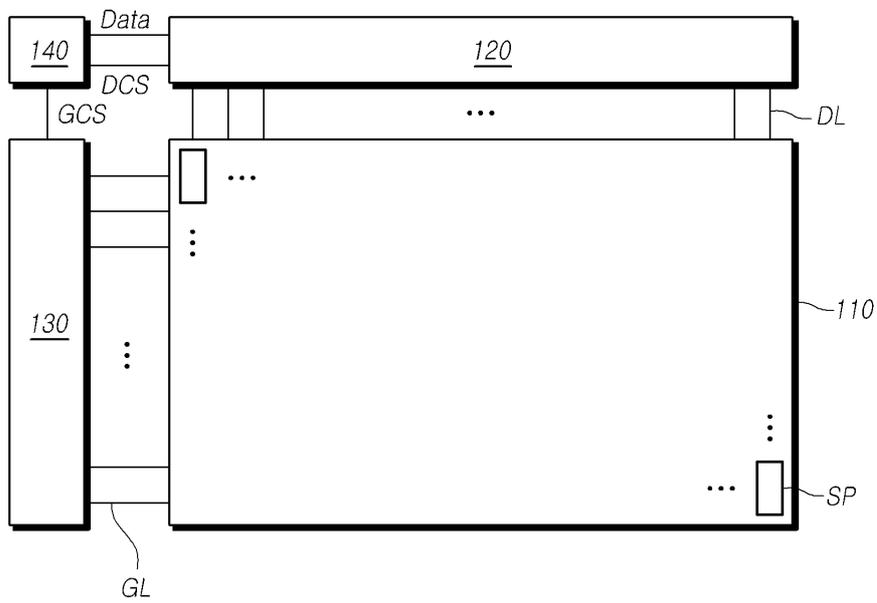
부호의 설명

- [0212] 100: 유기발광표시장치
- 110: 유기발광표시패널
- 120: 데이터 드라이버
- 130: 게이트 드라이버
- 140: 컨트롤러

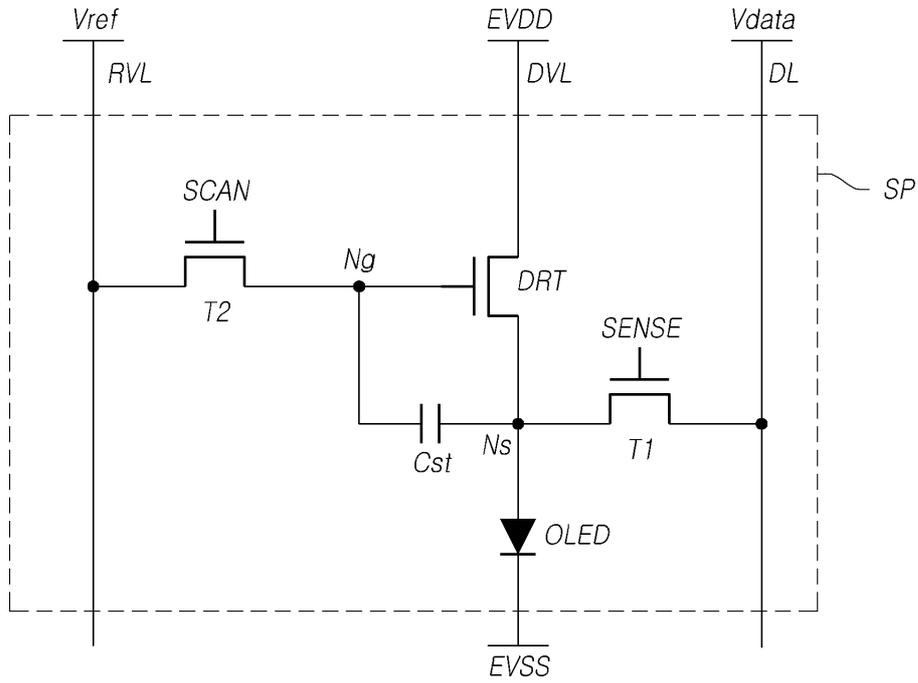
도면

도면1

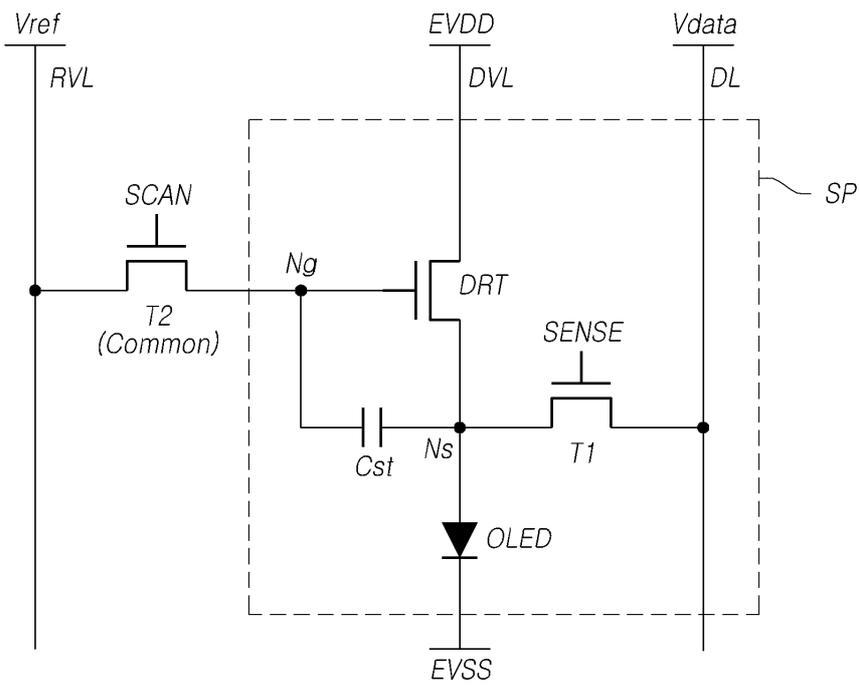
100



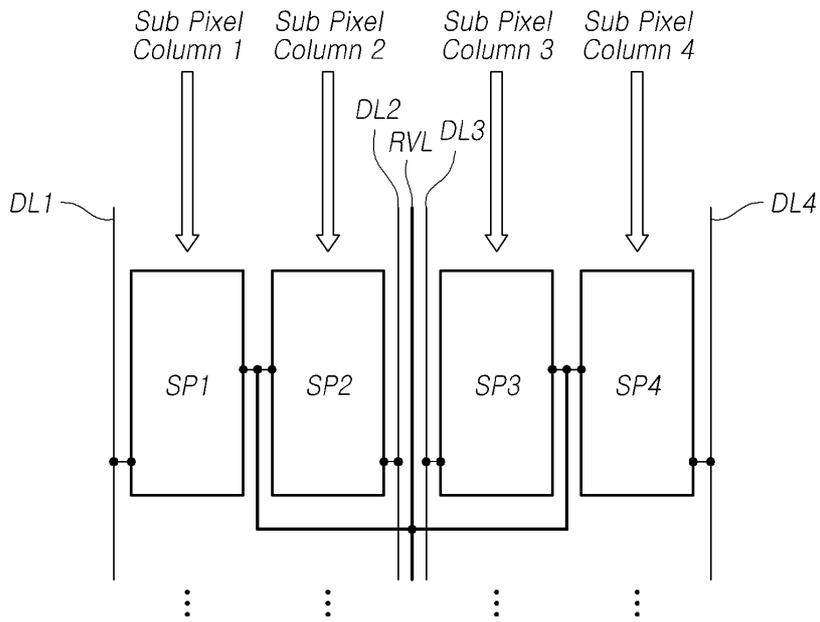
도면2



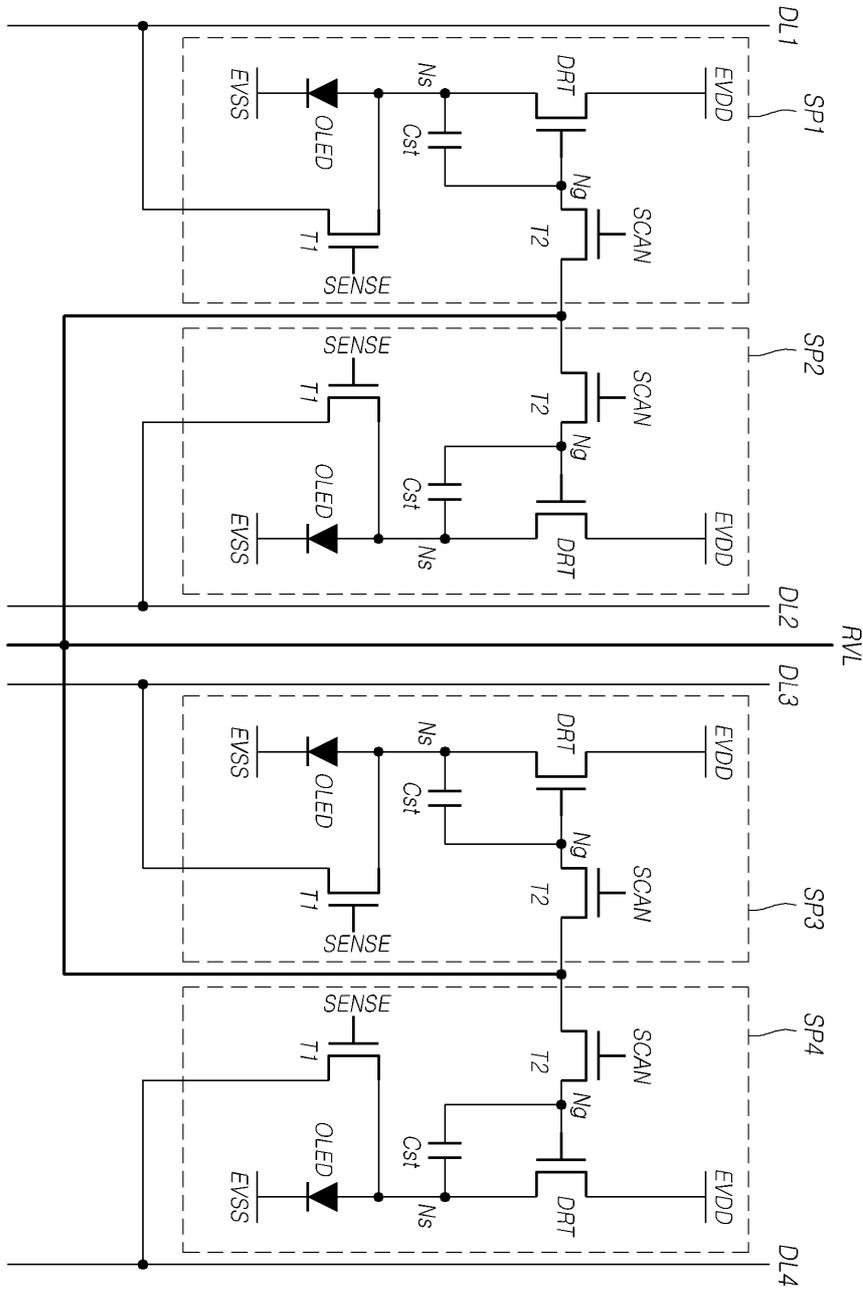
도면3



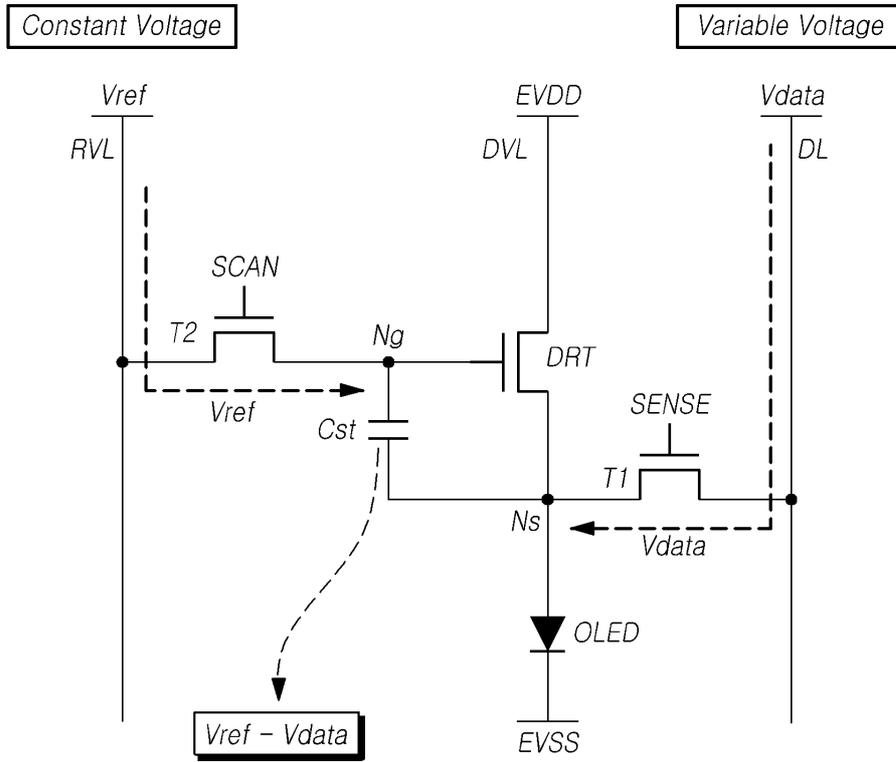
도면4



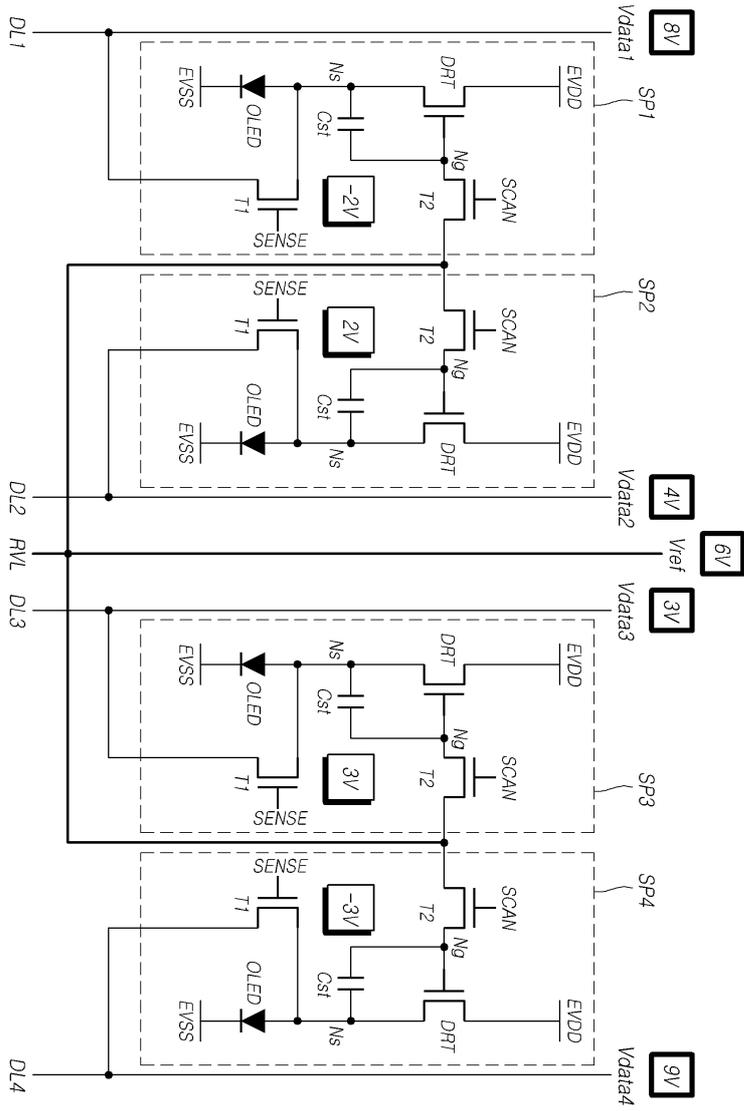
도면5



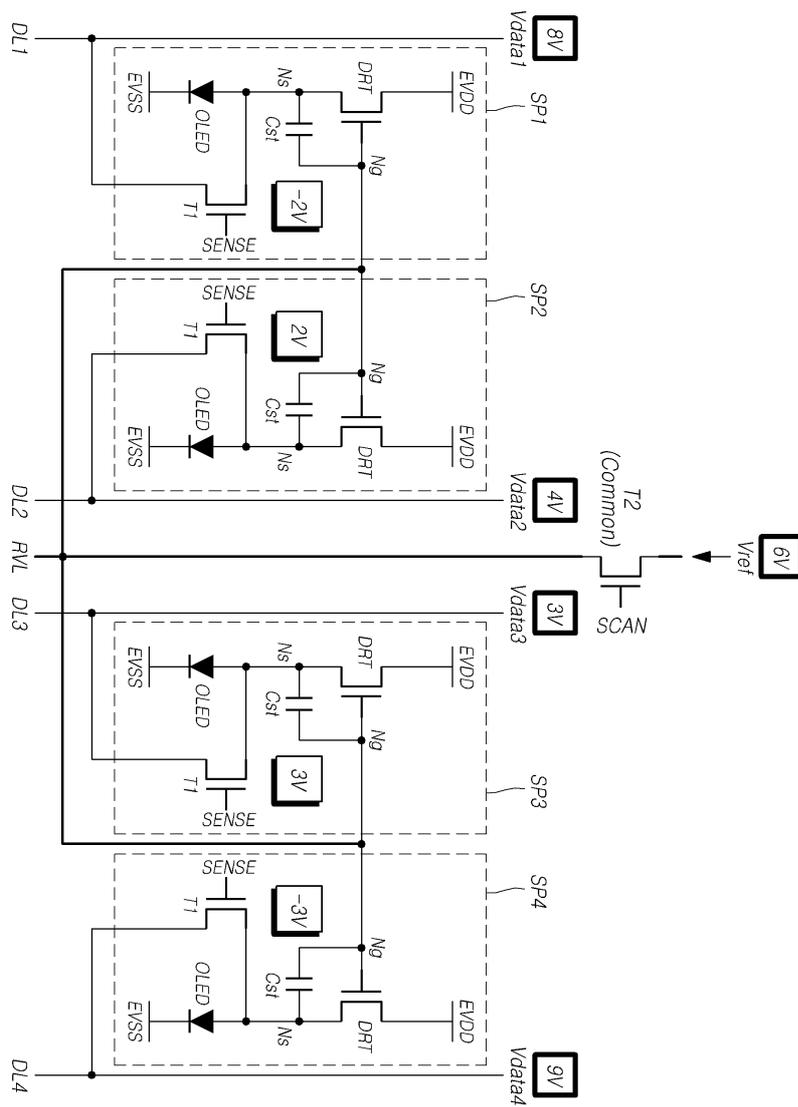
도면7



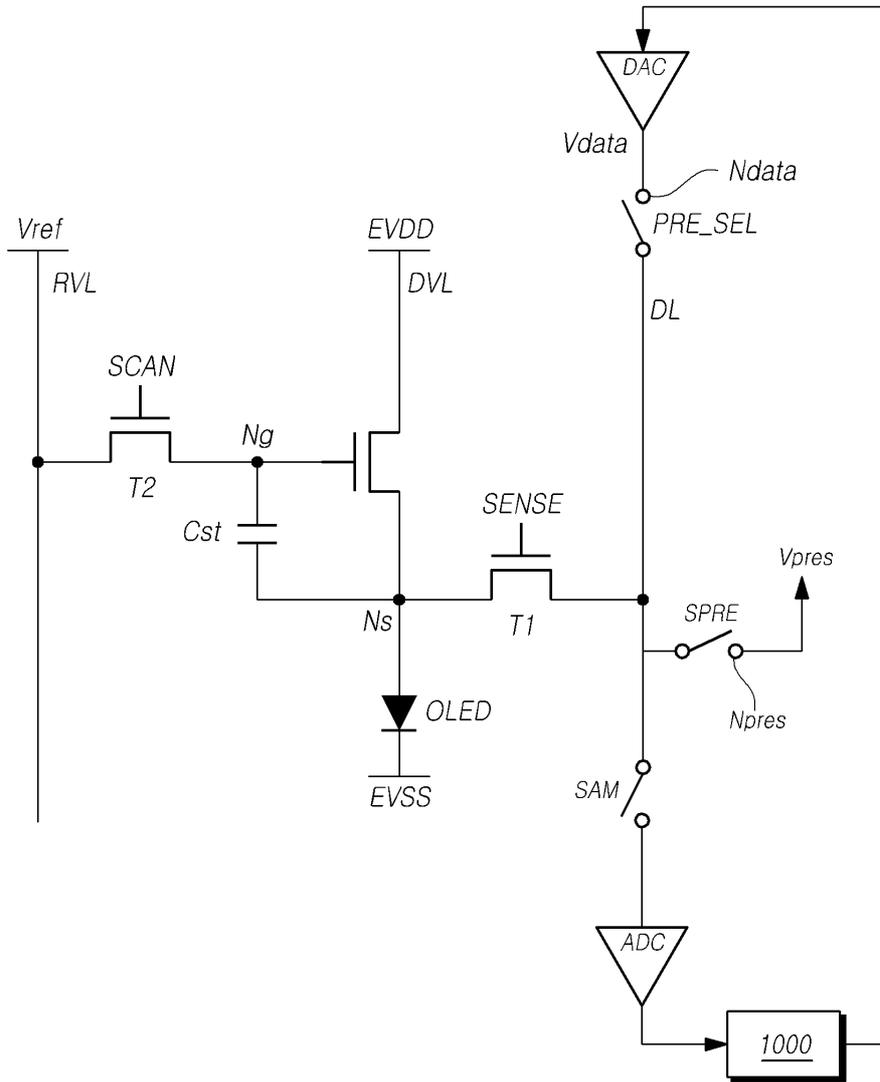
도면8



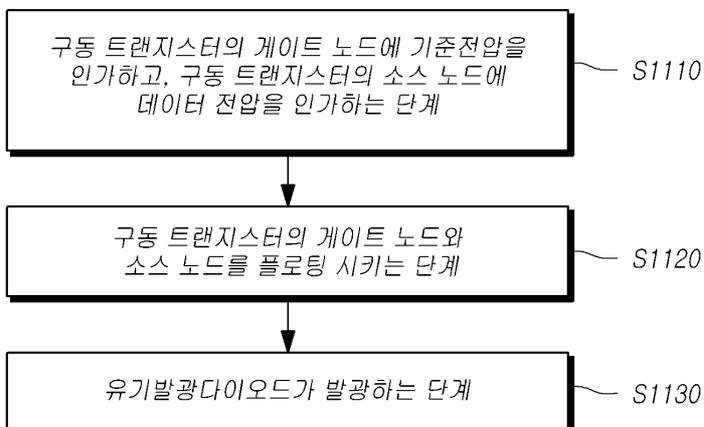
도면9



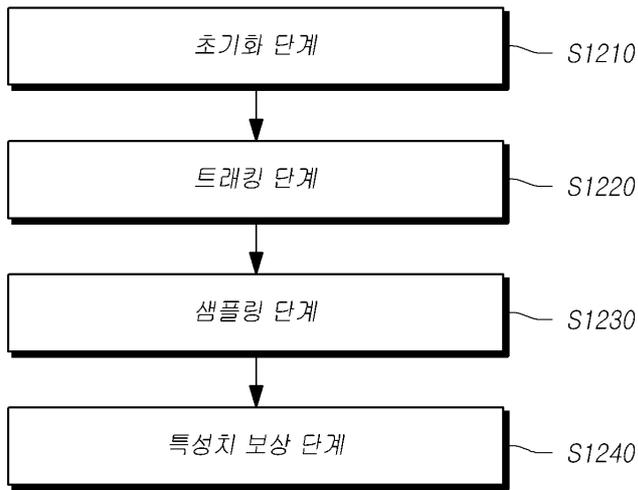
도면10



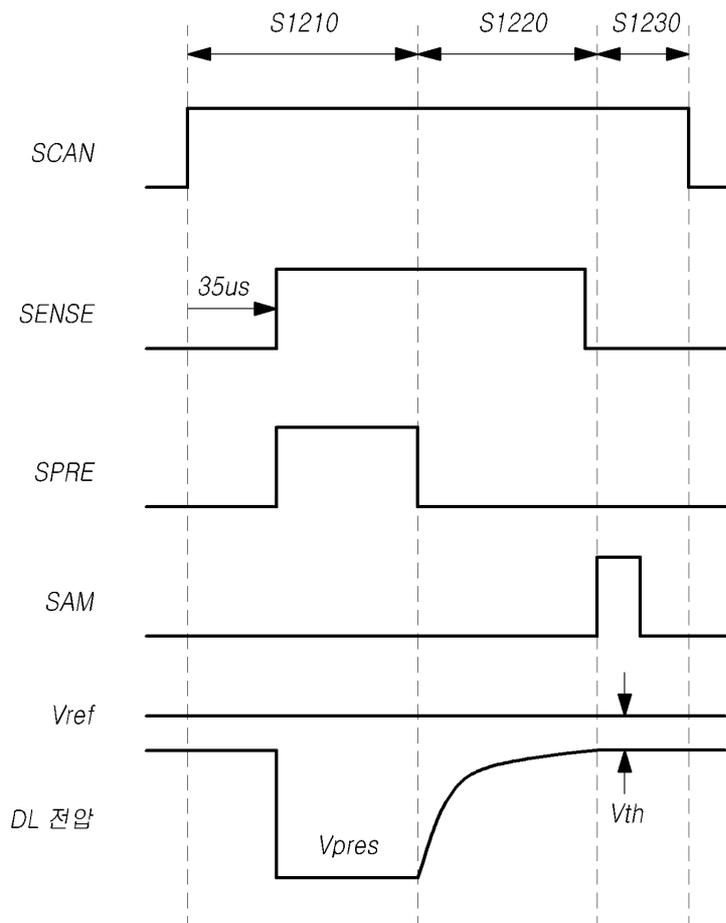
도면11



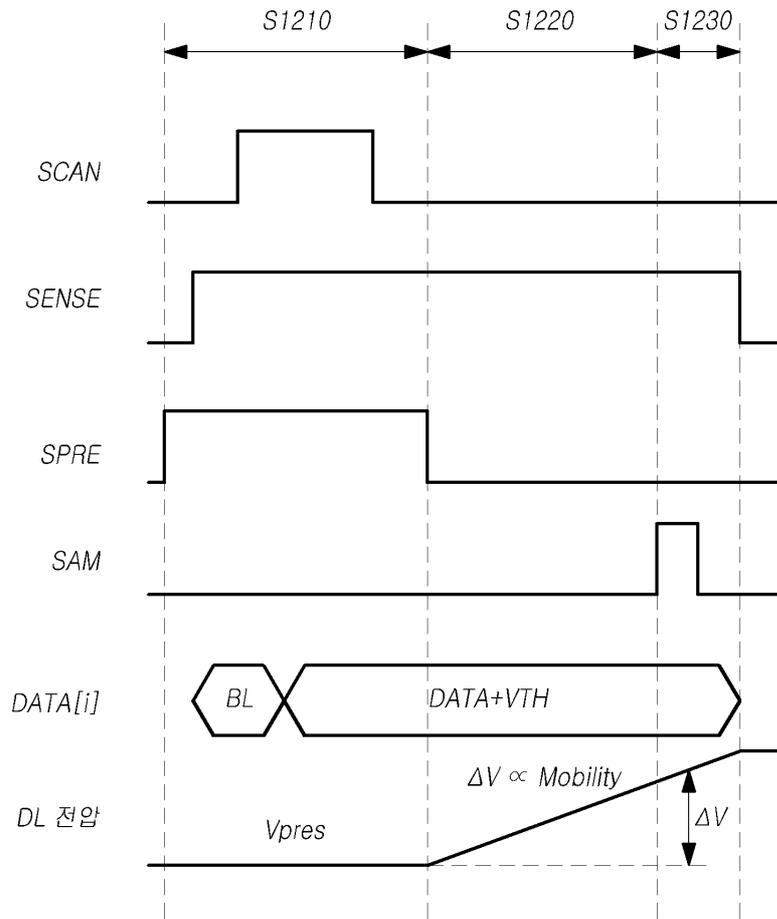
도면12



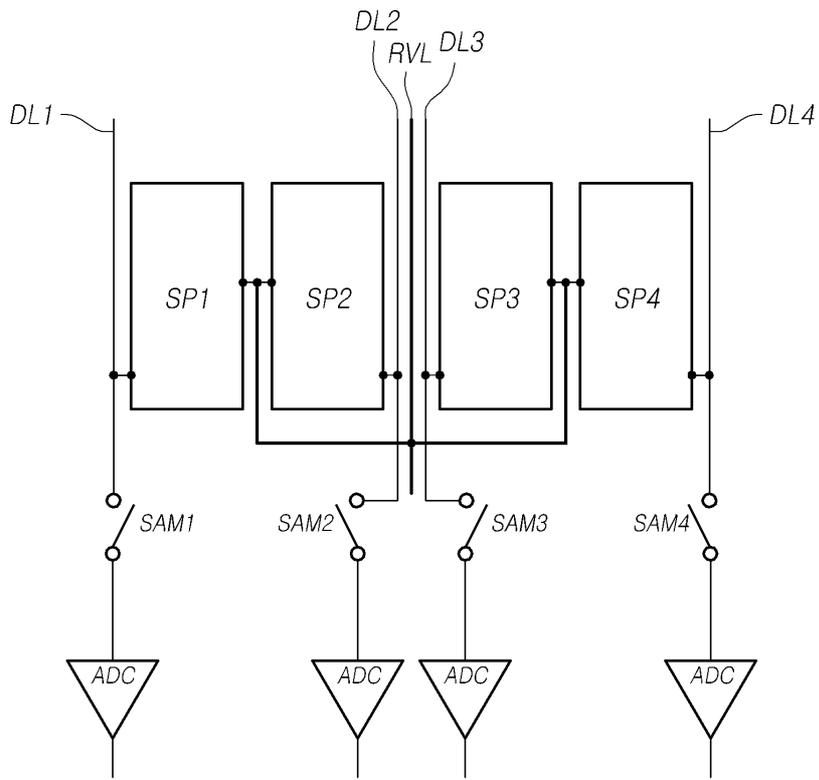
도면13



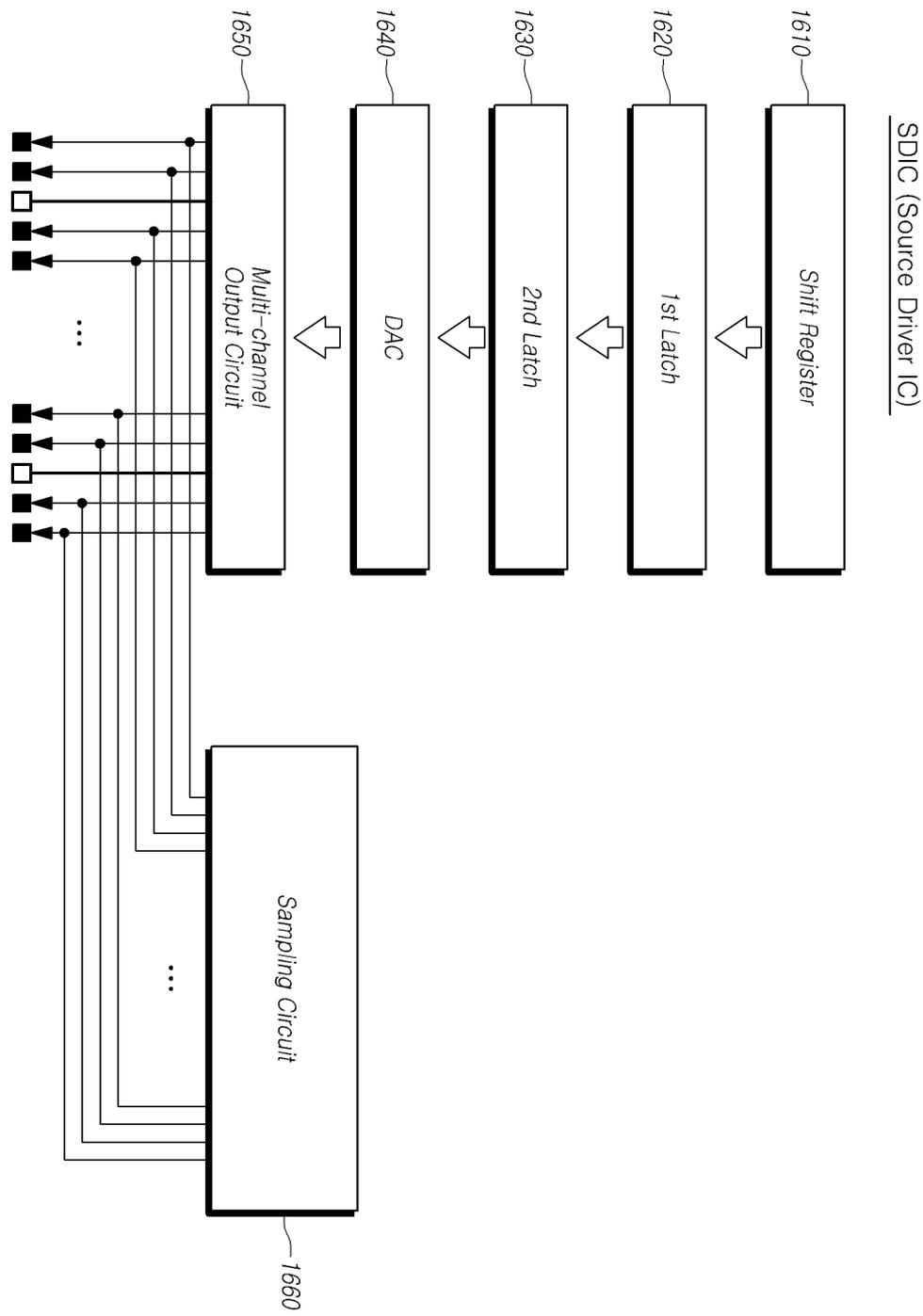
도면14



도면15



도면16



专利名称(译)	标题：有机发光显示面板，有机发光显示器，图像驱动方法及其感测方法		
公开(公告)号	KR1020170064142A	公开(公告)日	2017-06-09
申请号	KR1020150169409	申请日	2015-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SE YOUNG 김세영		
发明人	김세영		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0465		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

由于涉及这些实施例的发明是有机发光显示面板，有机发光显示装置，以及图像驱动方法和方法的感测。更具体地，它是关于有机发光显示面板，其具有子像素结构，驱动晶体管的源节点通过数据线施加关于数据电压，并且驱动晶体管的栅极节点被应用于其中。通过参考电压线的参考电压及其信号线结构，通过这一点可以缩短关于子像素的感测时间。有机发光显示装置，以及图像驱动方法和方法感测。

