



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0096787
(43) 공개일자 2016년08월17일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3262 (2013.01)

(21) 출원번호 10-2015-0018151
(22) 출원일자 2015년02월05일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
전무경
울산광역시 중구 우정2길 45, 106동 2103호 (우정동, 우정아이파크아파트)

송희립
서울특별시 성동구 장터길 39-2, 3층 (금호동3가)

(74) 대리인
팬코리아특허법인

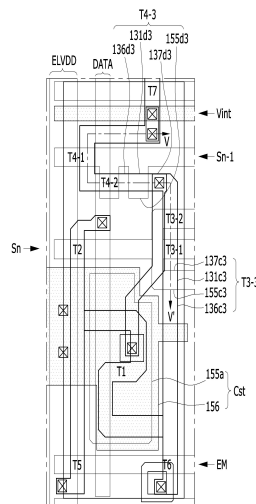
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선 및 전단 스캔선, 상기 스캔선과 교차하며 데이터 전압 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 전단 스캔선 및 상기 구동 전압선과 연결되며, 구동 트랜지스터의 구동 게이트 전극과 연결되는 초기화 드레인 전극을 포함하는 초기화 트랜지스터, 상기 스캔선과 연결되어 있으며, 상기 초기화 드레인 전극과 연결되는 보상 드레인 전극을 포함하는 보상 트랜지스터, 그리고 상기 구동 트랜지스터와 전기적으로 연결되어 있는 유기 발광 다이오드를 포함하며, 상기 초기화 트랜지스터 또는 상기 보상 트랜지스터는, 복수의 게이트 전극을 갖을 수 있다.

대표도 - 도4



명세서

청구범위

청구항 1

기관,

상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선 및 전단 스캔선,

상기 스캔선과 교차하며 데이터 전압 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선,

상기 전단 스캔선 및 상기 구동 전압선과 연결되며, 구동 트랜지스터의 구동 게이트 전극과 연결되는 초기화 드레인 전극을 포함하는 초기화 트랜지스터,

상기 스캔선과 연결되어 있으며, 상기 초기화 드레인 전극과 연결되는 보상 드레인 전극을 포함하는 보상 트랜지스터, 그리고

상기 구동 트랜지스터와 전기적으로 연결되어 있는 유기 발광 다이오드

를 포함하며,

상기 초기화 트랜지스터 및 상기 보상 트랜지스터 중 적어도 하나는 복수의 게이트 전극을 갖는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 초기화 트랜지스터는,

제1 초기화 채널, 제1 초기화 게이트 전극, 제1 초기화 소스 전극 및 제1 초기화 드레인 전극을 포함하는 제1 초기화 트랜지스터, 그리고

제2 초기화 채널, 제2 초기화 게이트 전극, 제2 초기화 소스 전극 및 제2 초기화 드레인 전극을 포함하는 제2 초기화 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 초기화 트랜지스터는,

제3 초기화 채널, 제3 초기화 게이트 전극, 제3 초기화 소스 전극 및 제3 초기화 드레인 전극을 포함하는 제3 초기화 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 초기화 트랜지스터는,

제4 초기화 채널, 제4 초기화 게이트 전극, 제4 초기화 소스 전극 및 제4 초기화 드레인 전극을 포함하는 제4 초기화 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 초기화 트랜지스터는,

제5 초기화 채널, 제5 초기화 게이트 전극, 제5 초기화 소스 전극 및 제5 초기화 드레인 전극을 포함하는 제5 초기화 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

청구항 6

제2항 내지 제5항 중 어느 한 항에 있어서,

상기 보상 트랜지스터는,

제1 보상 채널, 제1 보상 게이트 전극, 제1 보상 소스 전극 및 제1 보상 드레인 전극을 포함하는 제1 보상 트랜지스터, 그리고

제2 보상 채널, 제2 보상 게이트 전극, 제2 보상 소스 전극 및 제2 보상 드레인 전극을 포함하는 제2 보상 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 보상 트랜지스터는,

제3 보상 채널, 제3 보상 게이트 전극, 제3 보상 소스 전극 및 제3 보상 드레인 전극을 포함하는 제3 보상 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

청구항 8

제1항에서,

상기 유기 발광 표시 장치는 복수의 화소를 포함하고,

상기 복수의 화소는,

두개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제1 화소,

세개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제2 화소, 그리고

세개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제3 화소

를 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 복수의 화소는,

네개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제4 화소

를 더 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

다섯개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제5 화소

를 더 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 복수의 화소는,

상기 제1 화소 내지 상기 제5 화소가 기관 위치 별로 초기화 전압의 전압 강하를 고려해서 배치되는 유기 발광 표시 장치.

청구항 12

제8항에서,

상기 초기화 트랜지스터를 통해, 상기 구동 트랜지스터를 초기화하는 초기화 전압을 전달하는 초기화 전압선을 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 복수의 화소는,

상기 초기화 트랜지스터 및 상기 보상 트랜지스터의 게이트 전극의 수 또는 패널의 위치에 따라 상기 초기화 전압선의 폭을 다르게 형성하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 초기화 전압선은,

상기 게이트 전극의 수가 많을수록 넓게 형성되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 트랜지스터 및 스토리지 커패시터(Storage capacitor)가 형성되어 있다. 복수개의 트랜지스터는 기본적으로 스위칭 트랜지스터 및 구동 트랜지스터를 포함한다.

[0004] 보상 트랜지스터 및 초기화 트랜지스터는 스토리지 커패시터의 누설 전류 경로(Leakage Current path)의 위치에 배치되어 데이터 전압(Vds)이 높게 인가되기 때문에, 보상 트랜지스터 및 초기화 트랜지스터의 누설 전류를 감소시켜 플리커를 개선시킬 필요가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 보상 트랜지스터 및 초기화 트랜지스터의 누설 전류를 감소시켜 플리커를 개선할 수 있는 유기 발광 표시 장치에 관한 것이다.

과제의 해결 수단

[0006] 본 발명의 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선 및 전단 스캔선, 상기 스캔선과 교차하며 데이터 전압 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 전단 스캔선 및 상기 구동 전압선과 연결되며, 구동 트랜지스터의 구동 게이트 전극과 연결되는 초기화 드레인 전극을 포함하는 초기화 트랜지스터, 상기 스캔선과 연결되어 있으며, 상기 초기화 드레인 전극과 연결되는 보상 드레인 전극을 포함하는 보상 트랜지스터, 그리고 상기 구동 트랜지스터와 전기적으로 연결되어 있는 유기 발광 다이오드를 포함하며, 상기 초기화 트랜지스터 및 상기 보상 트랜지스터 중 적어도 하나는 복수의 게이트 전극을 갖는다.

[0007] 상기 초기화 트랜지스터는, 제1 초기화 채널, 제1 초기화 게이트 전극, 제1 초기화 소스 전극 및 제1 초기화 드레인 전극을 포함하는 제1 초기화 트랜지스터, 그리고 제2 초기화 채널, 제2 초기화 게이트 전극, 제2 초기화 소스 전극 및 제2 초기화 드레인 전극을 포함하는 제2 초기화 트랜지스터를 포함할 수 있다.

[0008] 상기 초기화 트랜지스터는, 제3 초기화 채널, 제3 초기화 게이트 전극, 제3 초기화 소스 전극 및 제3 초기화 드레인 전극을 포함하는 제3 초기화 트랜지스터를 더 포함할 수 있다.

[0009] 상기 초기화 트랜지스터는, 제4 초기화 채널, 제4 초기화 게이트 전극, 제4 초기화 소스 전극 및 제4 초기화 드레인 전극을 포함하는 제4 초기화 트랜지스터를 더 포함 할 수 있다.

[0010] 상기 초기화 트랜지스터는, 제5 초기화 채널, 제5 초기화 게이트 전극, 제5 초기화 소스 전극 및 제5 초기화 드레인 전극을 포함하는 제5 초기화 트랜지스터를 더 포함 할 수 있다.

[0011] 상기 보상 트랜지스터는, 제1 보상 채널, 제1 보상 게이트 전극, 제1 보상 소스 전극 및 제1 보상 드레인 전극을 포함하는 제1 보상 트랜지스터, 그리고 제2 보상 채널, 제2 보상 게이트 전극, 제2 보상 소스 전극 및 제2 보상 드레인 전극을 포함하는 제2 보상 트랜지스터를 포함할 수 있다.

[0012] 상기 보상 트랜지스터는, 제3 보상 채널, 제3 보상 게이트 전극, 제3 보상 소스 전극 및 제3 보상 드레인 전극을 포함하는 제3 보상 트랜지스터를 더 포함할 수 있다.

[0013] 상기 유기 발광 표시 장치는 복수의 화소를 포함하고, 상기 복수의 화소는, 두개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제1 화소, 세개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제2 화소, 그리고 세개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제3 화소를 포함할 수 있다.

[0014] 상기 복수의 화소는, 네개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제4 화소를 더 포함할 수 있다.

[0015] 다섯개의 초기화 게이트 전극을 갖는 초기화 트랜지스터와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터를 포함하는 제5 화소를 더 포함할 수 있다.

[0016] 상기 복수의 화소는, 상기 제1 화소 내지 상기 제5 화소가 기관 위치 별로 초기화 전압의 전압 강하를 고려해서 배치될 수 있다.

[0017] 상기 초기화 트랜지스터를 통해, 상기 구동 트랜지스터를 초기화하는 초기화 전압을 전달하는 초기화 전압선을 포함할 수 있다.

[0018] 상기 복수의 화소는, 상기 초기화 트랜지스터 및 상기 보상 트랜지스터의 게이트 전극의 수 또는 패널의 위치에 따라 상기 초기화 전압선의 폭을 다르게 형성할 수 있다.

[0019] 상기 초기화 전압선은, 상기 게이트 전극의 수가 많을수록 넓게 형성될 수 있다.

발명의 효과

[0020] 본 발명에 따르면, 보상 트랜지스터 및 초기화 트랜지스터가 복수개의 게이트 전극을 갖도록 형성함으로써, 보상 트랜지스터 및 초기화 트랜지스터의 누설 전류를 최소화해 플리커를 개선할 수 있다.

[0021] 또한, 초기화 전압 강하를 측정하여 게이트 전극의 개수가 상이한 보상 트랜지스터 및 초기화 트랜지스터를 패 널 위치별로 차등 배치하고, 초기화 배선의 폭을 다르게 배치함으로써, 초기화 전압 저하에 따른 얼룩 발현 가능성을 최소화할 수 있는 환경을 제공한다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.

도 3는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.

도 4는 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.

도 5는 도 4의 유기 발광 표시 장치를 V-V'선을 따라 자른 단면도이다.

도 6은 도 4에 따른 유기 발광 표시장치의 하나의 화소의 등가 회로도이다.

도 7은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.

도 8은 도 7의 유기 발광 표시 장치를 VIII-VIII'선을 따라 자른 단면도이다.

도 9는 본 발명의 제4 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.

도 10 도 9의 유기 발광 표시 장치를 X-X'선을 따라 자른 단면도이다.

도 11은 본 발명의 한 실시예에 따른 유기 발광 표시 장치에서 게이트 전극의 수에 따른 초기화 전압선 두께를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0024] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0025] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0026] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0027] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0028] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.

[0029] 그러면 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대하여 도 1 내지 도 10 참고로 상세하게 설명한다.

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- [0031] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(1)는 복수개의 신호선(151, 152, 153, 158, 171, 172, 192), 복수개의 신호선에 연결되어 있는 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.
- [0032] 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 구동 트랜지스터(driving transistor)(T1), 스위칭 트랜지스터(switching transistor)(T2), 보상 트랜지스터(compensation transistor)(T3), 초기화 트랜지스터(initialization transistor)(T4), 동작 제어 트랜지스터(operation control transistor)(T5), 발광 제어 트랜지스터(light emission control transistor)(T6) 및 바이패스 트랜지스터(bypass transistor)(T7)를 포함한다.
- [0033] 신호선(151, 152, 153, 158, 171, 172, 192)은 스캔 신호(Sn)를 전달하는 스캔선(151), 초기화 트랜지스터(T4)에 전단 스캔 신호(Sn-1)를 전달하는 전단 스캔선(152), 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)에 발광 제어 신호(EM)를 전달하는 발광 제어선(153), 바이패스 트랜지스터(T7)에 바이패스 신호(BP)를 전달하는 바이패스 제어선(158), 스캔선(151)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172), 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(192)을 포함한다.
- [0034] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.
- [0035] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(151)과 연결되어 있고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 트랜지스터(T2)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0036] 보상 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(151)에 연결되어 있고, 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 트랜지스터(T3)의 드레인 전극(D3)은 초기화 트랜지스터(T4)의 드레인 전극(D4), 스토리지 커패시터(Cst)의 일단(Cst1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 보상 트랜지스터(T3)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킨다.
- [0037] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 전단 스캔선(152)과 연결되어 있고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(192)과 연결되어 있으며, 초기화 트랜지스터(T4)의 드레인 전극(D4)은 보상 트랜지스터(T3)의 드레인 전극(D3)을 거쳐 스토리지 커패시터(Cst)의 일단(Cst1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 초기화 트랜지스터(T4)는 전단 스캔선(152)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압을 초기화시키는 초기화 동작을 수행한다.
- [0038] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(153)과 연결되어 있으며, 동작 제어 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)과 연결되어 있고, 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(S2)에 연결되어 있다.
- [0039] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(153)과 연결되어 있으며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어선(153)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 턴 온되고 이를 통해 구동 전압(ELVDD)이 다이오드 연결된 구동 트랜지스터(T1)를 통해 보상되어 유기 발광 다이오드(OLED)에 전달된다.

- [0040] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(158)과 연결되어 있고, 바이패스 트랜지스터(T7)의 소스 전극(S7)은 발광 제어 트랜지스터(T6)의 드레인 전극(D6) 및 유기 발광 다이오드(OLED)의 애노드에 함께 연결되어 있고, 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(192) 및 초기화 박막 트랜지스터(T4)의 소스 전극(S4)에 함께 연결되어 있다. 여기서, 바이패스 제어선(158)은 전단 스캔선(152)에 연결되어 있으므로, 바이패스 신호(BP)는 전단 스캔 신호(Sn-1)와 동일하다.
- [0041] 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결되어 있다.
- [0042] 한편, 본 발명의 일 실시예에서는 바이패스 트랜지스터(T7)를 포함하는 7 트랜지스터 1 커패시터 구조를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니며 트랜지스터의 수와 커패시터의 수는 다양하게 변형 가능하다.
- [0043] 이하에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 도 2를 참고하여 상세히 설명한다.
- [0044] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.
- [0045] 도 2에 도시한 바와 같이, 우선, 초기화 기간 동안 전단 스캔선(152)을 통해 로우 레벨(low level)의 전단 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 전단 스캔 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(192)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.
- [0046] 이 후, 데이터 프로그래밍 기간 중 스캔선(151)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴 온된다. 이 때, 구동 트랜지스터(T1)는 턴 온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0047] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된다. 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.
- [0048] 이 후, 발광 기간 동안 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(EM)에 의해 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴 온된다.
- [0049] 그러면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 커패시터(Cst)에 의해 구동 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(Dm+Vth)-ELVDD'으로 유지되고, 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 '(Dm-ELVDD)²'에 비례한다. 따라서 구동 전류(Id)는 구동 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.
- [0050] 이 때, 바이패스 트랜지스터(T7)는 바이패스 제어선(158)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 됨으로써, 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠져나가게 한다.
- [0051] 블랙 영상을 표시하는 구동 트랜지스터(T1)의 최소 전류가 구동 전류로 흐를 경우에도 유기 발광 다이오드(OLED)가 발광하게 된다면 제대로 블랙 영상이 표시되지 않는다. 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 바이패스 트랜지스터(T7)는 구동 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(Ibp)로서 유기 발광 다이오드 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다. 여기서 구동 트랜지스터(T1)의 최소 전류란 구동 트랜지스터(T1)의 게이트-소스 전압(Vgs)이 문턱 전압(Vth)보다 작아서 구동 트랜지스터(T1)가 오프되는 조건에서의 전류를 의미한다. 이렇게 구동 트랜지스터(T1)를 오프시키는 조건에서의 최소 구동 전류(예를 들어 10pA 이하의 전류)가 유기 발광 다이오드(OLED)에 전달되어 블랙 휘도의 영상으로 표현된다. 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우 바이패스 전류(Ibp)의 우회 전달의 영향이 큰 반면, 일반 영상 또는 화이트 영상과 같은 영상을 표시하는 큰 구동 전류가 흐를 경우에는 바이패스 전류(Ibp)의 영향이 거의

없다고 할 수 있다. 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(Id)로부터 바이패스 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(Ibp)의 전류량만큼 감소된 유기 발광 다이오드(OLED)의 발광 전류(Ioled)는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 바이패스 트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다. 도 2에서는 바이패스 신호(BP)는 전단 스캔 신호(Sn-1)와 동일하나, 반드시 이에 한정되는 것은 아니다.

[0052] 이하에서, 이러한 구조가 적용된 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 상세 구조에 대하여 도 3 내지 도 10을 참고하여 상세하게 설명한다.

[0053] 도 3는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.

[0054] 우선, 도 1 및 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 바이패스 신호(BP)를 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 바이패스 제어선(158)을 포함한다. 그리고, 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 바이패스 제어선(158)과 교차하고 있으며 화소(1)에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다. 초기화 전압(Vint)은 초기화 전압선(192)에서 초기화 트랜지스터(T4)를 경유하여 보상 트랜지스터(T3)로 전달된다.

[0055] 또한, 화소(1)에는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 스토리지 커패시터(Cst), 그리고 유기 발광 다이오드(OLED)가 형성되어 있다. 유기 발광 다이오드(OLED)는 화소 전극(미도시), 유기 발광층(미도시) 및 공통 전극(미도시)으로 이루어진다. 이 때, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치는 보상 트랜지스터(T3)와 초기화 트랜지스터(T4)는 누설 전류를 차단하기 위해 듀얼 게이트(dual gate) 구조의 트랜지스터로 구성되어 있다.

[0056] 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)의 각각의 채널(channel)은 연결되어 있는 하나의 반도체의 내부에 형성되어 있으며, 반도체는 다양한 형상으로 굴곡되어 형성될 수 있다. 이러한 반도체는 다결정 반도체 물질 또는 산화물 반도체 물질로 이루어질 수 있다. 산화물 반도체 물질은 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 인듐-갈륨-아연 산화물(InGaZnO4), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 반도체가 산화물 반도체 물질로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체 물질을 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0057] 반도체는 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널(channel)과, 채널의 양 옆에 형성되어 있으며 채널에 도핑된 도핑 불순물보다 도핑량이 많은 소스 도핑부 및 드레인 도핑부를 포함한다. 본 실시예에서 소스 도핑부 및 드레인 도핑부는 각각 소스 전극 및 드레인 전극에 해당한다. 반도체에 형성되어 있는 소스 전극 및 드레인 전극은 해당 영역만 도핑하여 형성할 수 있다. 또한, 반도체에서 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 사이 영역도 도핑되어 소스 전극과 드레인 전극이 전기적으로 연결될 수 있다.

[0058] 도 3에 도시한 바와 같이, 채널(131)은 구동 트랜지스터(T1)에 형성되는 구동 채널(131a), 스위칭 트랜지스터(T2)에 형성되는 스위칭 채널(131b), 보상 트랜지스터(T3)에 형성되는 보상 채널(131c), 초기화 트랜지스터(T4)에 형성되는 초기화 채널(131d), 동작 제어 트랜지스터(T5)에 형성되는 동작 제어 채널(131e), 발광 제어 트랜지스터(T6)에 형성되는 발광 제어 채널(131f) 및 바이패스 트랜지스터(T7)에 형성되는 바이패스 채널(131g)을 포함한다.

- [0059] 구동 트랜지스터(T1)는 구동 채널(131a), 구동 게이트 전극(155a), 구동 소스 전극(136a) 및 구동 드레인 전극(137a)을 포함한다. 구동 채널(131a)은 굴곡되어 있으며, 사행 형상 또는 지그재그 형상을 가질 수 있다. 이와 같이, 굴곡된 형상의 구동 채널(131a)을 형성함으로써, 좁은 공간 내에 길게 구동 채널(131a)을 형성할 수 있다. 따라서, 길게 형성된 구동 채널(131a)에 의해 구동 게이트 전극(155a)에 인가되는 게이트 전압(Vg)의 구동 범위(driving range)는 넓어지게 된다. 게이트 전압(Vg)의 구동 범위가 넓으므로 게이트 전압(Vg)의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 이러한 구동 채널(131a)의 형상을 다양하게 변형하여 '역S', 'S', 'M', 'W' 등의 다양한 실시예가 가능하다.
- [0060] 구동 게이트 전극(155a)은 구동 채널(131a)과 중첩하고 있으며, 구동 소스 전극(136a) 및 구동 드레인 전극(137a)은 구동 채널(131a)의 양 옆에 인접하여 각각 형성되어 있다. 구동 게이트 전극(155a)은 접촉 구멍(미도시)을 통해 제1 데이터 연결 부재(174)와 연결되어 있다.
- [0061] 한편, 스위칭 트랜지스터(T2)는 스위칭 채널(131b), 스위칭 게이트 전극(155b), 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)을 포함한다. 스캔선(151)에서 아래쪽으로 확장된 일부인 스위칭 게이트 전극(155b)은 스위칭 채널(131b)과 중첩하고 있으며, 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)은 스위칭 채널(131b)의 양 옆에 인접하여 각각 형성되어 있다. 스위칭 소스 전극(136b)은 접촉 구멍을 통해 데이터선(171)과 연결되어 있다.
- [0062] 보상 트랜지스터(T3)는 누설 전류 방지를 위해 2개가 형성되어 있으며 서로 인접하고 있는 제1 보상 트랜지스터(T3-1) 및 제2 보상 트랜지스터(T3-2)를 포함한다. 제1 보상 트랜지스터(T3-1)는 스캔선(151)을 중심으로 위치하고 있으며, 제2 보상 트랜지스터(T3-2)는 스캔선(151)의 돌출부를 중심으로 위치하고 있다. 제1 보상 트랜지스터(T3-1)는 제1 보상 채널(131c1), 제1 보상 게이트 전극(155c1), 제1 보상 소스 전극(136c1) 및 제1 보상 드레인 전극(137c1)을 포함하고, 제2 보상 트랜지스터(T3-2)는 제2 보상 채널(131c2), 제2 보상 게이트 전극(155c2), 제2 보상 소스 전극(136c2) 및 제2 보상 드레인 전극(137c2)을 포함한다.
- [0063] 스캔선(151)의 일부인 제1 보상 게이트 전극(155c1)은 제1 보상 채널(131c1)과 중첩하고 있으며, 제1 보상 소스 전극(136c1) 및 제1 보상 드레인 전극(137c1)은 제1 보상 채널(131c1)의 양 옆에 인접하여 각각 형성되어 있다. 제1 보상 소스 전극(136c1)은 발광 제어 소스 전극(136f)과 연결되어 있으며, 제1 보상 드레인 전극(137c1)은 제2 보상 소스 전극(136c2)과 연결되어 있다.
- [0064] 스캔선(151)에서 위쪽으로 돌출된 돌출부인 제2 보상 게이트 전극(155c2)은 제2 보상 채널(131c2)과 중첩하고 있으며, 제2 보상 소스 전극(136c2) 및 제2 보상 드레인 전극(137c2)은 제2 보상 채널(131c2)의 양 옆에 인접하여 각각 형성되어 있다. 제2 보상 드레인 전극(137c2)은 접촉 구멍을 통해 제1 데이터 연결 부재(174)와 연결되어 있다.
- [0065] 초기화 트랜지스터(T4)는 누설 전류 방지를 위해 복수개가 형성되어 있으며 서로 인접하고 있는 제1 초기화 트랜지스터(T4-1) 및 제2 초기화 트랜지스터(T4-2)를 포함한다. 제1 초기화 트랜지스터(T4-1)는 전단 스캔선(152)을 중심으로 위치하고 있으며, 제2 초기화 트랜지스터(T4-2)는 전단 스캔선(152)의 돌출부를 중심으로 위치하고 있다. 제1 초기화 트랜지스터(T4-1)는 제1 초기화 채널(131d1), 제1 초기화 게이트 전극(155d1), 제1 초기화 소스 전극(136d1) 및 제1 초기화 드레인 전극(137d1)을 포함하고, 제2 초기화 트랜지스터(T4-2)는 제2 초기화 채널(131d2), 제2 초기화 게이트 전극(155d2), 제2 초기화 소스 전극(136d2) 및 제2 초기화 드레인 전극(137d2)을 포함한다.
- [0066] 전단 스캔선(152)의 일부인 제1 초기화 게이트 전극(155d1)은 제1 초기화 채널(131d1)과 중첩하고 있으며, 제1 초기화 채널(131d1)의 양 옆에 인접하여 각각 형성되어 있다. 제1 초기화 소스 전극(136d1)은 접촉 구멍을 통해 제2 데이터 연결 부재(175)와 연결되어 있으며, 제1 초기화 드레인 전극(137d1)은 제2 초기화 소스 전극(136d2)과 연결되어 있다.
- [0067] 전단 스캔선(152)에서 아래쪽으로 돌출된 돌출부인 제2 초기화 게이트 전극(155d2)은 제2 초기화 채널(131d2)과 중첩하고 있으며, 제2 초기화 소스 전극(136d2) 및 제2 초기화 드레인 전극(137d2)은 제2 초기화 채널(131c2)의 양 옆에 인접하여 각각 형성되어 있다. 제2 초기화 드레인 전극(137d2)은 접촉 구멍을 통해 제1 데이터 연결 부재(174)와 연결되어 있다.
- [0068] 이와 같이, 보상 트랜지스터(T3)는 제1 보상 트랜지스터(T3-1) 및 제2 보상 트랜지스터(T3-2)로 2개를 형성하고, 초기화 트랜지스터(T4)는 제1 초기화 트랜지스터(T4-1) 및 제2 초기화 트랜지스터(T4-2)로 2개를 형

성함으로써, 전류가 발생하는 것을 효과적으로 방지할 수 있다.

- [0069] 동작 제어 트랜지스터(T5)는 동작 제어 채널(131e), 동작 제어 게이트 전극(155e), 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)을 포함한다. 발광 제어선(153)의 일부인 동작 제어 게이트 전극(155e)은 동작 제어 채널(131e)과 중첩하고 있으며, 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)은 동작 제어 채널(131e)의 양 옆에 인접하여 각각 형성되어 있다. 동작 제어 소스 전극(136e)은 접촉 구멍을 통해 구동 전압선(172)의 일부와 연결되어 있다.
- [0070] 발광 제어 트랜지스터(T6)는 발광 제어 채널(131f), 발광 제어 게이트 전극(155f), 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)을 포함한다. 발광 제어선(153)의 일부인 발광 제어 게이트 전극(155f)은 발광 제어 채널(131f)과 중첩하고 있으며, 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)은 발광 제어 채널(131f)의 양 옆에 인접하여 각각 형성되어 있다.
- [0071] 바이패스 박막 트랜지스터(T7)는 바이패스 채널(131g), 바이패스 게이트 전극(155g), 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)을 포함한다. 바이패스 제어선(158)의 일부인 바이패스 게이트 전극(155g)은 바이패스 채널(131g)과 중첩하고 있으며, 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)은 바이패스 채널(131g)의 양 옆에 인접하여 각각 형성되어 있다.
- [0072] 구동 트랜지스터(T1)의 구동 채널(131a)의 일단은 스위칭 드레인 전극(137b) 및 동작 제어 드레인 전극(137e)과 연결되어 있으며, 구동 채널(131a)의 타단은 보상 소스 전극(136c) 및 발광 제어 소스 전극(136f)과 연결되어 있다.
- [0073] 스토리지 커패시터(Cst)는 제2 절연막(142)을 사이에 두고 배치되는 제1 스토리지 전극(155a)과 제2 스토리지 전극(156)을 포함한다. 제1 스토리지 전극(155a)은 구동 게이트 전극(155a)에 해당하고, 제2 스토리지 전극(156)은 스토리지선에서 확장된 부분으로서, 구동 게이트 전극(155a)보다 넓은 면적을 차지하며 구동 게이트 전극(155a)을 전부 덮고 있다. 여기서, 제2 절연막(142)은 유전체가 되며, 스토리지 커패시터(Cst)에서 축전된 전하와 양 전극(155a, 156) 사이의 전압에 의해 스토리지 커패시턴스(Storage Capacitance)가 결정된다. 이와 같이, 구동 게이트 전극(155a)을 제1 스토리지 전극(155a)으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 채널(131a)에 의해 좁아진 공간에서 스토리지 커패시터를 형성할 수 있는 공간을 확보할 수 있다.
- [0074] 도 4는 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.
- [0075] 도 4를 참조하면, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치는 제3 보상 트랜지스터(T3-3) 및 제3 초기화 트랜지스터(T4-3)를 더 포함한다.
- [0076] 우선, 보상 트랜지스터(T3)는 누설 전류 방지를 위해 세 개가 형성되어 있으며 서로 인접하고 있는 제1 보상 트랜지스터(T3-1), 제2 보상 트랜지스터(T3-2) 및 제3 보상 트랜지스터(T3-3)를 포함한다. 제1 보상 트랜지스터(T3-1) 및 제2 보상 트랜지스터(T3-2)는 도 3에서 설명한 바 있으므로 자세한 설명은 생략한다.
- [0077] 제1 보상 트랜지스터(T3-1)는 스캔선(151)을 중심으로 위치하고 있으며, 제2 보상 트랜지스터(T3-2)는 스캔선(151)의 상단 돌출부를 중심으로 위치하고 있으며, 제3 보상 트랜지스터(T3-3)는 스캔선(151)의 하부 돌출부를 중심으로 위치하고 있다.
- [0078] 제3 보상 트랜지스터(T3-3)는 제3 보상 채널(131c3), 제3 보상 게이트 전극(155c3), 제3 보상 소스 전극(136c3) 및 제3 보상 드레인 전극(137c3)을 포함한다.
- [0079] 스캔선(151)에서 아래쪽으로 돌출된 돌출부인 제3 보상 게이트 전극(155c3)은 제3 보상 채널(131c3)과 중첩하고 있으며, 제3 보상 소스 전극(136c3) 및 제3 보상 드레인 전극(137c3)은 제3 보상 채널(131c3)의 양 옆에 인접하여 각각 형성되어 있다. 그리고, 제3 보상 드레인 전극(137c3)은 스캔선(151)의 일부인 제1 보상 게이트 전극(155c1)과 연결되어 있다.
- [0080] 또한, 초기화 트랜지스터(T4)는 누설 전류 방지를 위해 세 개가 형성되어 있으며, 서로 인접하고 있는 제1 초기화 트랜지스터(T4-1), 제2 초기화 트랜지스터(T4-2) 및 제3 초기화 트랜지스터(T4-3)를 포함한다. 여기서, 제1 초기화 트랜지스터(T4-1) 및 제2 초기화 트랜지스터(T4-2)는 도 3에서 설명한 바 있으므로 자세한 설명은 생략한다.
- [0081] 제3 초기화 트랜지스터(T4-3)는 제2 초기화 트랜지스터(T4-2)와 같이 전단 스캔선(152)의 돌출부를 중심으로 위

치하고 있다.

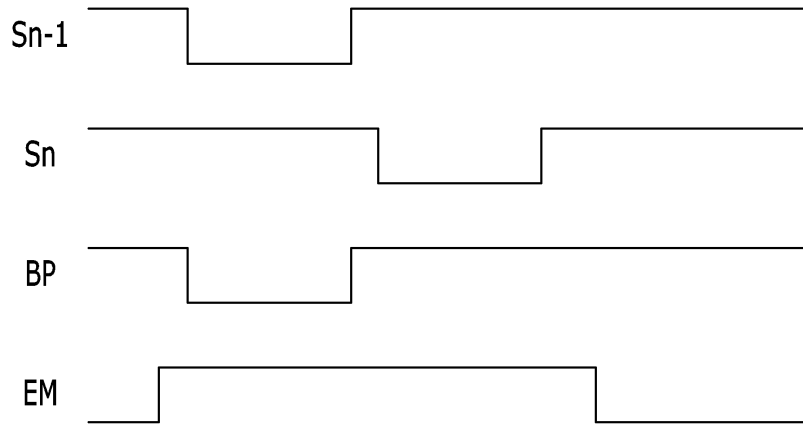
- [0082] 제3 초기화 트랜지스터(T4-3)는 제3 초기화 채널(131d3), 제3 초기화 게이트 전극(155d3), 제3 초기화 소스 전극(136d3) 및 제3 초기화 드레인 전극(137d3)을 포함한다.
- [0083] 이하, 도 5 및 도 6을 참고하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 단면상 구조에 대해 적층 순서에 따라 구체적으로 설명한다.
- [0084] 우선, 도 5는 도 4의 유기 발광 표시 장치를 V-V'선을 따라 자른 단면도이고, 도 6은 도 4에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- [0085] 도 5 및 도 6에 도시된 바와 같이, 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 보상 트랜지스터(T3)와 초기화 트랜지스터(T4)는 누설 전류를 차단하기 위해 복수개의 게이트 구조의 트랜지스터로 구성되어 있다.
- [0086] 기판(110) 위에는 버퍼층(120)이 형성되어 있다. 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있고, 버퍼층(120)은 다결정 반도체를 형성하기 위한 결정화 공정 시 기판(110)으로부터 불순물을 차단하여 다결정 반도체의 특성을 향상시키고, 기판(110)이 받는 스트레스를 줄이는 역할을 할 수 있다.
- [0087] 버퍼층(120) 위에는 구동 채널(131a), 스위칭 채널(131b), 보상 채널(131c), 초기화 채널(131d), 동작 제어 채널(131e), 발광 제어 채널(131f) 및 바이패스 채널(131g)을 포함하는 반도체가 형성되어 있다. 반도체 중 구동 채널(131a)의 양 옆에는 구동 소스 전극(136a) 및 구동 드레인 전극(137a)이 형성되어 있고, 스위칭 채널(131b)의 양 옆에는 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)이 형성되어 있다. 그리고, 제1 보상 채널(131c1)의 양 옆에는 제1 보상 소스 전극(136c1) 및 제1 보상 드레인 전극(137c1)이 형성되어 있고, 제2 보상 채널(131c2)의 양 옆에는 제2 보상 소스 전극(136c2) 및 제2 보상 드레인 전극(137c2)이 형성되어 있고, 제1 초기화 채널(131d1)의 양 옆에는 제1 초기화 소스 전극(136d1) 및 제1 초기화 드레인 전극(137d1)이 형성되어 있고, 제2 초기화 채널(131d2)의 양 옆에는 제2 초기화 소스 전극(136d2) 및 제2 초기화 드레인 전극(137d2)이 형성되어 있다. 그리고, 동작 제어 채널(131e)의 양 옆에는 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)이 형성되어 있고, 발광 제어 채널(131f)의 양 옆에는 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)이 형성되어 있다. 그리고, 바이패스 채널(131g)의 양 옆에는 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)이 형성되어 있다.
- [0088] 또한, 제3 보상 채널(131c3)의 양 옆에는 제3 보상 소스 전극(136c3) 및 제3 보상 드레인 전극(137c3)이 형성되어 있고, 제3 초기화 채널(131d3)의 양 옆에는 제3 초기화 소스 전극(136d3) 및 제1 초기화 드레인 전극(137d3)이 형성되어 있다.
- [0089] 반도체 위에는 이를 덮는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141) 위에는 제1 초기화 게이트 전극(155d1), 제2 초기화 게이트 전극(155d2) 및 제3 초기화 게이트 전극(155d3)을 포함하는 전단 스캔선(152), 제1 보상 게이트 전극(155c1), 제2 보상 게이트 전극(155c2) 및 제3 보상 게이트 전극(155c3)을 포함하는 스캔선(151)을 포함하는 제1 게이트 배선이 형성되어 있다.
- [0090] 제1 게이트 배선 및 제1 게이트 절연막(141) 위에는 이를 덮는 제2 게이트 절연막(142)이 형성되어 있다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위로 형성될 수 있다.
- [0091] 제2 게이트 절연막(142) 위에는 스캔선(151)과 평행하게 배치되어 있는 스토리지선, 스토리지선에서 확장된 부분인 제2 스토리지 전극(156)을 포함하는 제2 게이트 배선(미도시)이 형성될 수 있다.
- [0092] 제2 게이트 절연막(142) 위에는 층간 절연막(160)이 형성되어 있다. 층간 절연막(160)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위로 형성될 수 있다.
- [0093] 층간 절연막(160)에는 접촉 구멍이 형성되어 있다. 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(174) 및 제2 데이터 연결 부재(175)를 포함하는 데이터 배선(171, 172, 174, 175)이 형성되어 있다.
- [0094] 그리고, 데이터 배선(171, 172, 174, 175) 및 층간 절연막(160) 위에는 이를 덮는 보호막(180)이 형성되어 있다. 보호막(180)은 유기막으로 형성될 수 있다.
- [0095] 이와 같이, 보상 트랜지스터(T3)는 제1 보상 트랜지스터(T3-1), 제2 보상 트랜지스터(T3-2) 및 제1 보상 트랜지

스터(T3-1)로 3개를 형성하고, 초기화 트랜지스터(T4)는 제1 초기화 트랜지스터(T4-1), 제2 초기화 트랜지스터(T4-2) 및 제1 초기화 트랜지스터(T4-3)로 3개를 형성함으로써, 누설 전류가 발생하는 것을 최소화하여 저주파 구동이 가능한 환경을 제공한다.

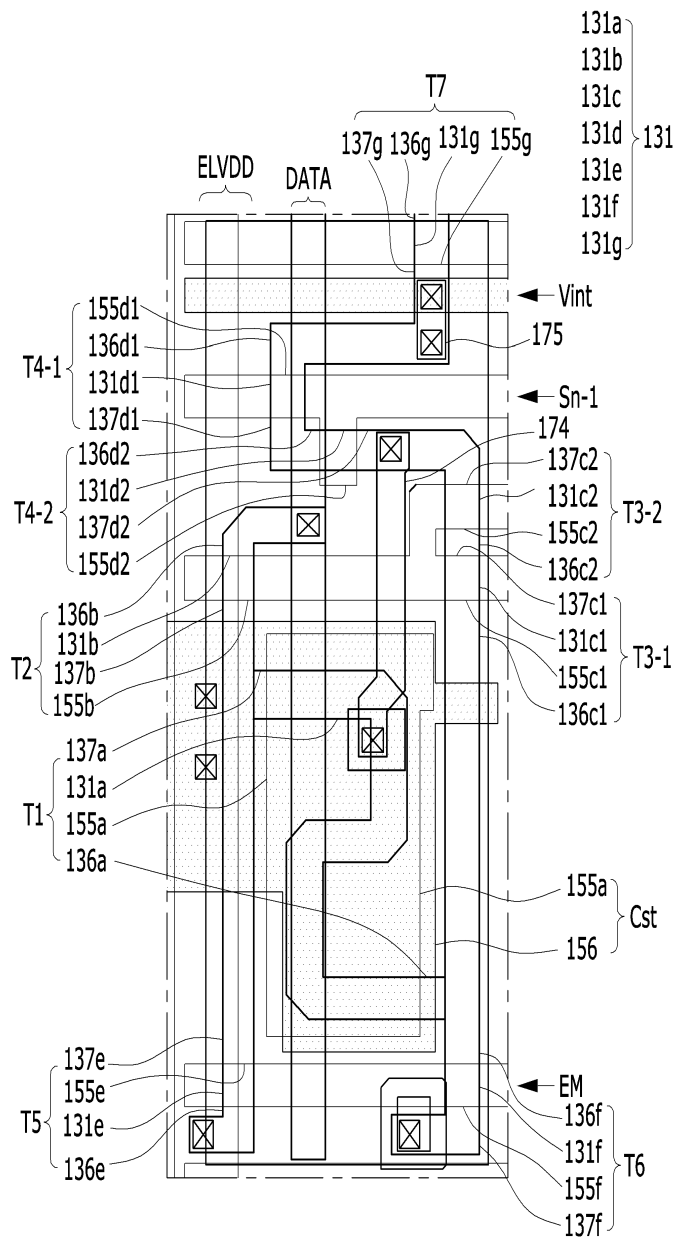
- [0096] 도 7은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다. 도 8은 도 7의 유기 발광 표시 장치를 VIII-VIII'선을 따라 자른 단면도이다.
- [0097] 도 7 및 도 8을 참조하면, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치는 제4 초기화 트랜지스터(T4-4)를 더 포함한다.
- [0098] 초기화 트랜지스터(T4)는 누설 전류를 최소화하기 위해서 복수 개가 형성되어 있으며, 서로 인접하고 있는 제1 초기화 트랜지스터(T4-1), 제2 초기화 트랜지스터(T4-2), 제3 초기화 트랜지스터(T4-3) 및 제4 초기화 트랜지스터(T4-4)를 포함한다
- [0099] 제4 초기화 트랜지스터(T4-4)는 전단 스캔선(152)의 상부 돌출부를 중심으로 위치하고 있다. 제4 초기화 트랜지스터(T4-4)는 제1 보상 트랜지스터(T3-1), 제2 보상 트랜지스터(T3-2) 및 제3 보상 트랜지스터(T3-3), 제1 초기화 트랜지스터(T4-1), 제2 초기화 트랜지스터(T4-2) 및 제3 초기화 트랜지스터(T4-3)와 같은 층에 형성되어 있다.
- [0100] 제4 초기화 트랜지스터(T4-4)는 제4 초기화 채널(131d4), 제4 초기화 게이트 전극(155d4), 제4 초기화 소스 전극(136d4) 및 제4 초기화 드레인 전극(137d4)을 포함한다.
- [0101] 제4 초기화 채널(131d4)은 버퍼층(120) 위에 형성되어 있고, 제4 초기화 채널(131d4)의 양 옆에는 제4 초기화 소스 전극(136d4) 및 제4 초기화 드레인 전극(137d4)이 형성되어 있다.
- [0102] 제4 초기화 채널(131d4), 제4 초기화 소스 전극(136d4) 및 제4 초기화 드레인 전극(137d4) 위에는 이를 덮는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141) 위에는 제4 초기화 게이트 전극(155d4)를 포함하는 제1 게이트 배선이 형성되어 있다.
- [0103] 도 9는 본 발명의 제4 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다. 도 10 도 9의 유기 발광 표시 장치를 X-X'선을 따라 자른 단면도이다.
- [0104] 도 9 및 도 10을 참조하면, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치는 제4 초기화 트랜지스터(T4-4)를 더 포함한다.
- [0105] 초기화 트랜지스터(T4)는 누설 전류를 최소화하기 위해서 복수 개가 형성되어 있으며, 서로 인접하고 있는 제1 초기화 트랜지스터(T4-1), 제2 초기화 트랜지스터(T4-2), 제3 초기화 트랜지스터(T4-3), 제4 초기화 트랜지스터(T4-4) 및 제5 초기화 트랜지스터(T4-5)를 포함한다
- [0106] 제5 초기화 트랜지스터(T4-5)는 제1 보상 트랜지스터(T3-1), 제2 보상 트랜지스터(T3-2) 및 제3 보상 트랜지스터(T3-3), 제1 초기화 트랜지스터(T4-1), 제2 초기화 트랜지스터(T4-2), 제3 초기화 트랜지스터(T4-3) 및 제4 초기화 트랜지스터(T4-4)와 같은 층에 형성되어 있다.
- [0107] 제5 초기화 트랜지스터(T4-5)는 제4 초기화 트랜지스터(T4-4)와 같이 전단 스캔선(152)의 상부 돌출부를 중심으로 위치하고 있다. 제5 초기화 트랜지스터(T4-5)는 제5 초기화 채널(131d5), 제5 초기화 게이트 전극(155d5), 제5 초기화 소스 전극(136d5) 및 제5 초기화 드레인 전극(137d5)을 포함한다.
- [0108] 제5 초기화 채널(131d5)은 버퍼층(120) 위에 형성되어 있고, 제 초기화 채널(131d5)의 양 옆에는 제5 초기화 소스 전극(136d5) 및 제5 초기화 드레인 전극(137d5)이 형성되어 있다.
- [0109] 제5 초기화 채널(131d5), 제5 초기화 소스 전극(136d5) 및 제5 초기화 드레인 전극(137d5) 위에는 이를 덮는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141) 위에는 제5 초기화 게이트 전극(155d5)를 포함하는 제1 게이트 배선이 형성되어 있다.
- [0110] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 멀티 시리얼 게이트 트랜지스터를 패널 위치 별로 상이하게 적용함으로써, 트랜지스터의 누설 전류를 최소화하고 저주파 구동을 통해 소비전력 감소시킬 수 있다.
- [0111] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 초기화 배선의 IR Drop을 고려하여 차등적으로 보상 트랜지스터(T3)와 초기화 트랜지스터(T4)의 시리얼 게이트(Serial Gate)의 수를 변화시켜서 화소 회로를 구성할 수 있다.

- [0112] 예를 들어, 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 복수의 화소는 두개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제1 화소, 세개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제2 화소, 그리고 세개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제3 화소를 포함한다.
- [0113] 또한, 복수의 화소는 네개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제4 화소이나 다섯개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제5 화소를 더 포함할 수 있다.
- [0114] 그리고, 상기 복수의 화소는 상기 제1 화소 내지 상기 제5 화소가 기판 위치 별로 초기화 전압의 전압 강하를 고려해서 배치될 수 있다.
- [0115] 도 11은 본 발명의 한 실시예에 따른 유기 발광 표시 장치에서 게이트 전극의 수에 따른 초기화 전압선 두께를 도시한 도면이다.
- [0116] 도 11을 참조하면, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 두개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제1 화소(310), 세개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 두개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제2 화소(320) 및 네개의 초기화 게이트 전극을 갖는 초기화 트랜지스터(T4)와 세개의 보상 게이트 전극을 갖는 보상 트랜지스터(T3)를 포함하는 제4 화소(330)을 포함한다.
- [0117] 그리고, 각각의 화소들(310, 320, 330)은 기판(110) 위치 별로 초기화 전압의 전압 강하를 고려해서 배치되며, 초기화 전압선(192)과 연결된다. 그리고, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 각각의 화소들(310, 320, 330)에 형성된 게이트 전극의 수에 따라 초기화 전압선(192)의 폭(a1, a2)을 다르게 배치할 수 있다.
- [0118] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 게이트 전극의 수가 많을 수록 초기화 전압선(192)의 폭을 넓게 형성한다. 예를 들어, 제 4 화소(330)가 제1 화소(310)보다 게이트 전극의 수가 많으므로, 제4 화소(330) 쪽의 초기화 전압선(192)의 폭(a2)은 제1 화소(310) 쪽의 초기화 전압선(192)의 폭(a1) 보다 넓게 형성된다.
- [0119] 이와 같이, 발명의 한 실시예에 따른 유기 발광 표시 장치는 플리커 및 누설 전류에 취약 부분에 시리얼 게이트 수를 증가 시켜서 누설 전류 보완 소자를 배치할 수 있다. 시리얼 게이트 추가는 트랜지스터의 온 전류(Ion)을 감소 시켜 초기화 전압(Vinit) 충전 능력을 저하시켜 얼룩을 증가시킬 수 있으므로, 패널의 좌우 테스트 패턴으로 초기화 배선의 IR Drop을 예측하고, 이에 맞춰서 시리얼 게이트의 수를 최적화 시킬 수 있다.
- [0120] 또한, 발명의 한 실시예에 따른 유기 발광 표시 장치는 시리얼 게이트의 수의 변화와 함께 초기화 배선의 두께를 차등적으로 배치할 수 있다. 따라서, 발명의 한 실시예에 따른 유기 발광 표시 장치는 초기화 트랜지스터 및 상기 보상 트랜지스터의 게이트 전극의 수 또는 패널의 위치에 따라 초기화 전압선의 폭을 다르게 형성함으로써, 초기화 배선의 IR Drop을 최소화하고 누설 전류 기인 플리커를 방지하며, 초기화 전압 부족에 따른 얼룩 발생 가능성을 최소화할 수 있다.
- [0121] 이와 같이, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 보상 트랜지스터 및 초기화 트랜지스터가 복수개의 게이트 전극을 갖도록 형성함으로써, 보상 트랜지스터 및 초기화 트랜지스터의 누설 전류를 최소화해 플리커를 개선할 수 있다.
- [0122] 또한, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 초기화 전압 강하를 측정하여, 측정된 전압 강하량을 보상하기 위해 게이트 전극의 개수가 상이한 보상 트랜지스터 및 초기화 트랜지스터를 패널 위치별로 차등 배치한다. 또한, 초기화 배선의 폭을 다르게 배치함으로써, 초기화 전압 강하에 따른 얼룩 발생 가능성을 최소화할 수 있는 환경을 제공한다.
- [0123] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

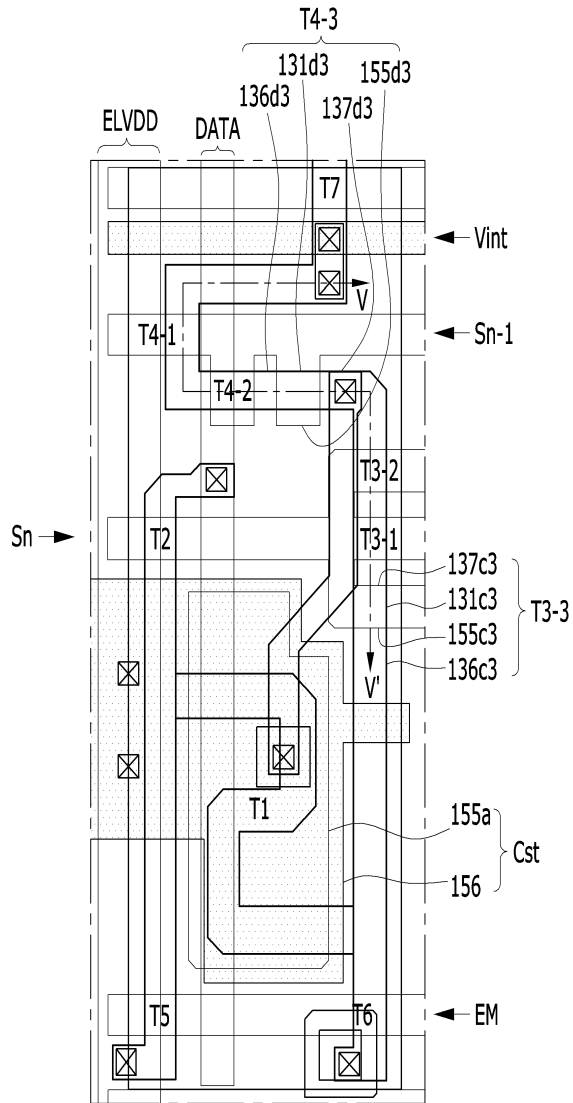
도면2



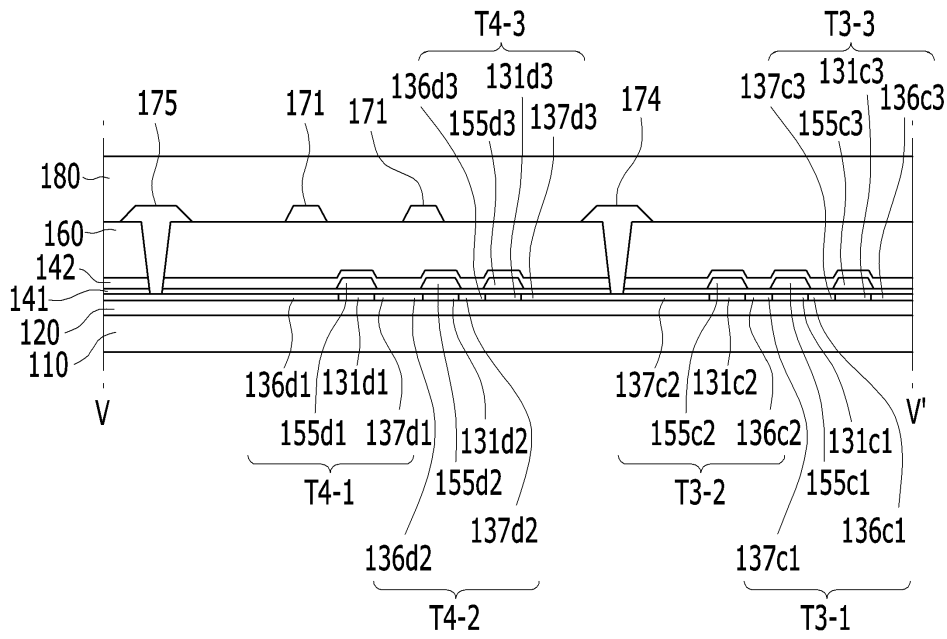
도면3



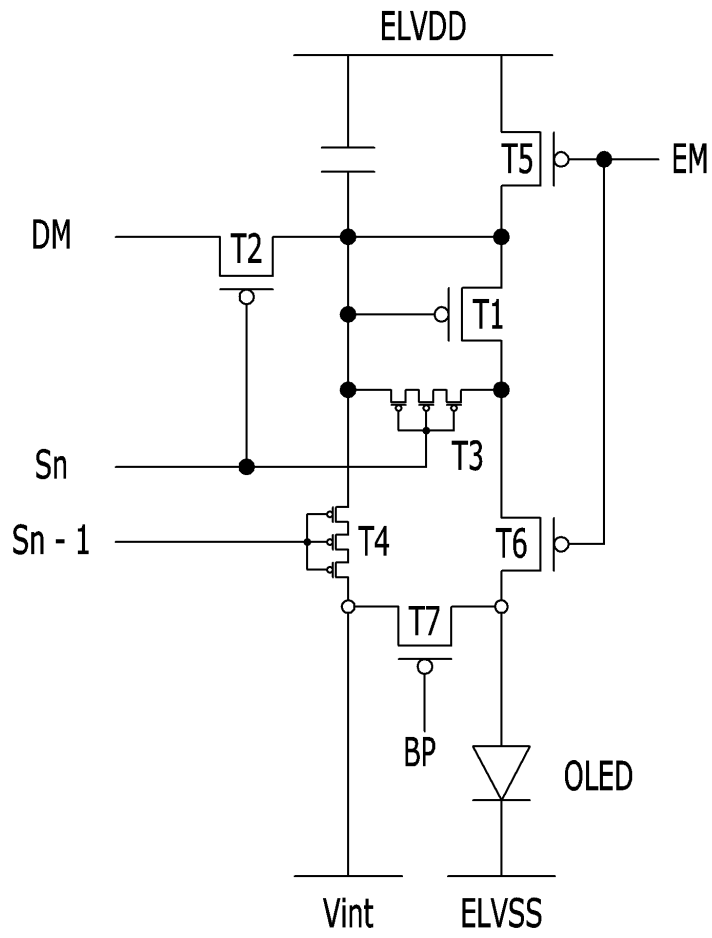
도면4



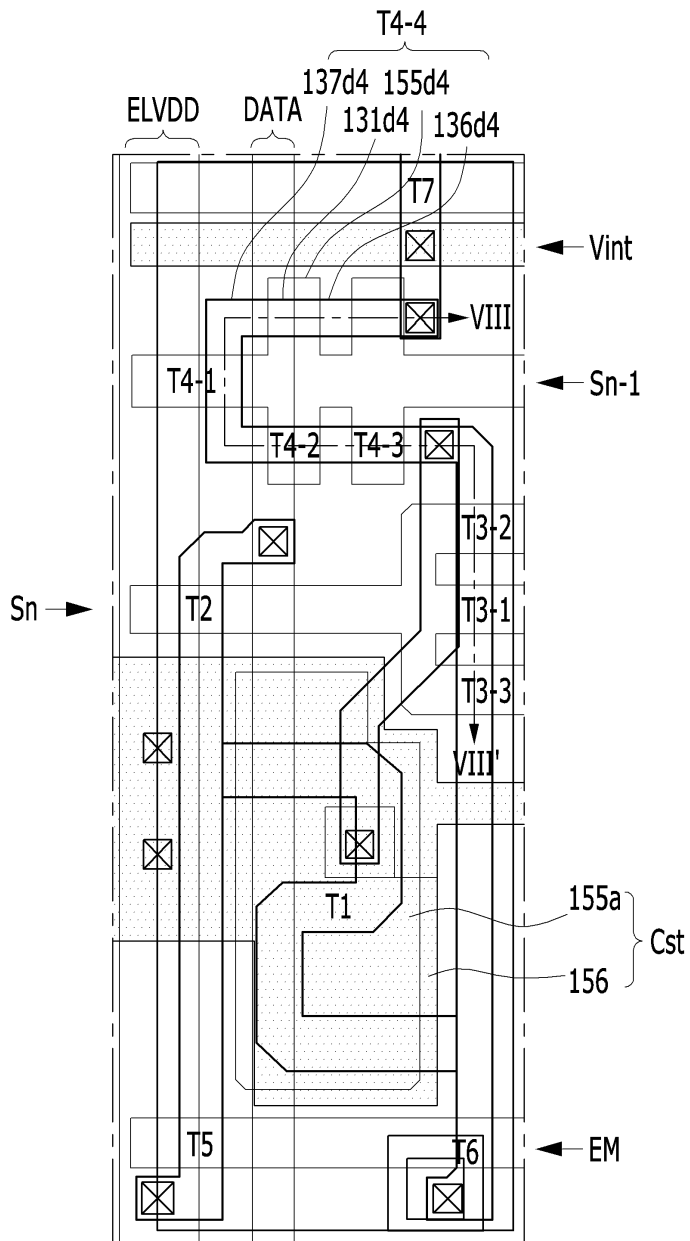
도면5



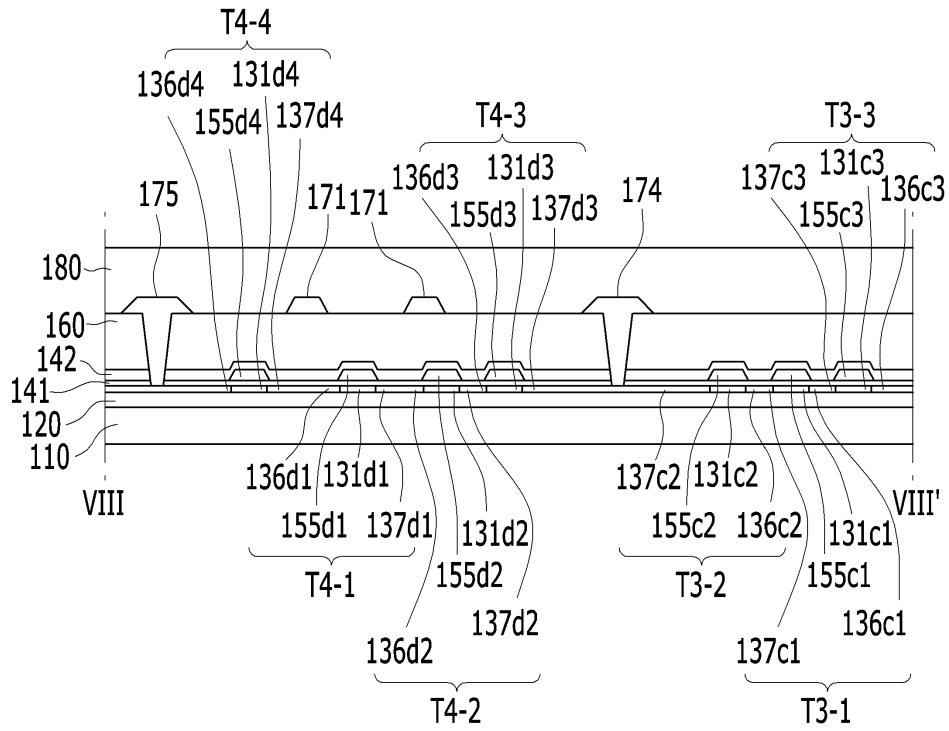
도면6



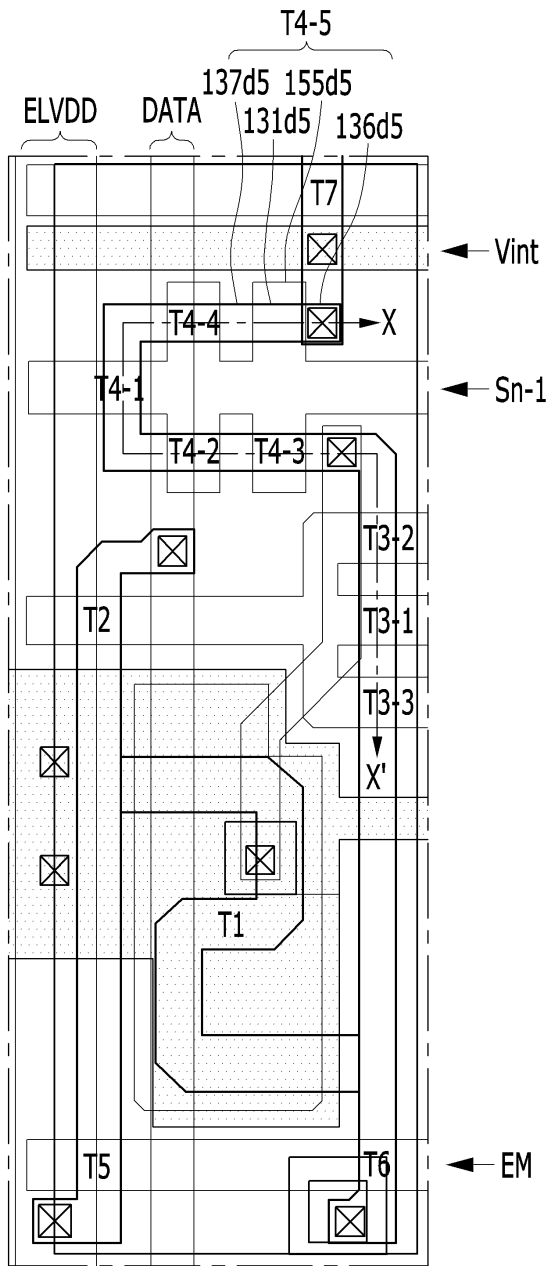
도면7



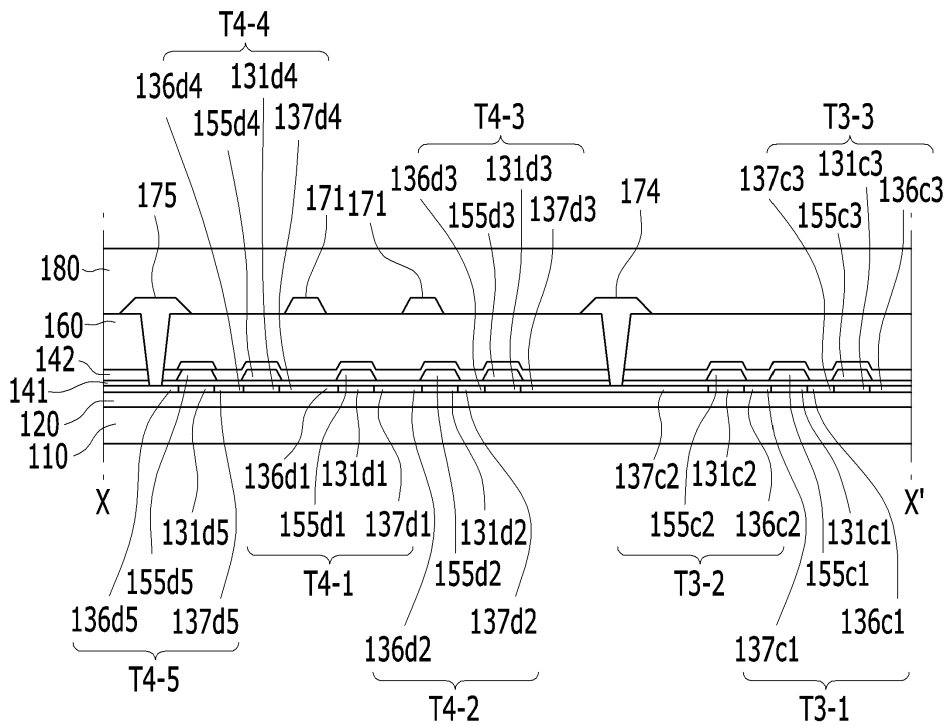
도면8



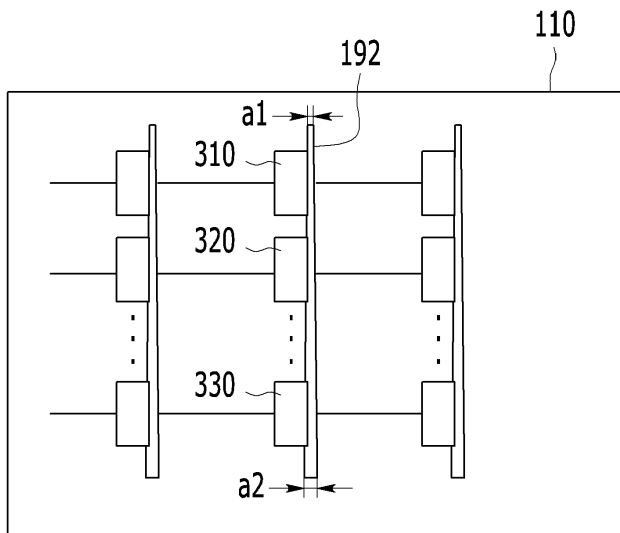
도면9



도면10



도면11



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160096787A	公开(公告)日	2016-08-17
申请号	KR1020150018151	申请日	2015-02-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON MU KYUNG 전무경 SONG HEE RIM 송희림		
发明人	전무경 송희림		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3262 G09G3/3208 G09G3/3225 G09G3/3233 G09G2300/0426 G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G2320/0247		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示装置可以具有初始化晶体管或补偿晶体管，是多个栅电极，补偿晶体管包括初始化晶体管，补偿漏电极和电连接的有机发光二极管包括驱动晶体管，包括基板，在基板上形成时传送扫描信号的扫描线，以及剪切扫描线，以及连接到相应数据线的数据电压和驱动电压的初始化漏电极驱动电压线，剪切扫描线和驱动电压线在与扫描线交叉的同时连接到驱动晶体管的驱动栅电极。补偿漏电极连接到扫描线并连接到初始化漏电极。

