

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2016-0042364 (43) 공개일자 2016년04월19일
(51) 국제특허분류(Int. Cl.) H01L 27/32 (2006.01) H01L 51/56 (2006.01) (21) 출원번호 10-2014-0136206 (22) 출원일자 2014년10월08일 심사청구일자 없음		(71) 출원인 삼성디스플레이 주식회사 경기 용인시 기흥구 삼성로1(농서동) (72) 발명자 김광해 서울 서초구 논현로 151, A동 203호 (양재동, 이스타빌) 최재범 경기 수원시 영통구 영통로 460, 314동 202호 (영통동, 동신아파트) (74) 대리인 팬코리아특허법인

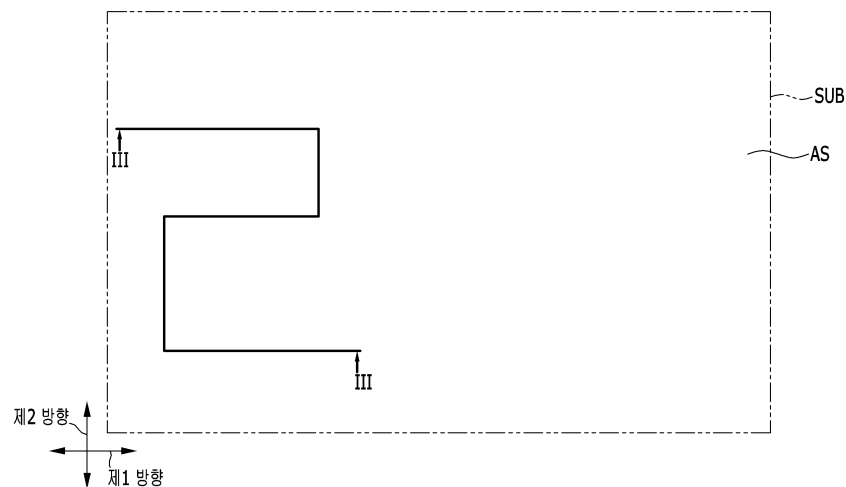
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

유기 발광 표시 장치는 기관, 상기 기관 상에 위치하는 제1 액티브 영역을 포함하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되며, 상기 제1 액티브 영역과 이격된 제2 액티브 영역을 포함하는 제2 박막 트랜지스터, 및 상기 기관 상에 위치하며, 각각이 서로 이격되어 제1 방향으로 연장된 복수의 폴리 실리콘 라인들 및 각각이 이웃하는 상기 폴리 실리콘 라인 사이에 위치하여 상기 제1 방향으로 연장된 복수의 비정질 실리콘 라인들을 포함하는 실리콘층을 포함한다.

대표도 - 도2



명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하는 제1 액티브 영역을 포함하는 제1 박막 트랜지스터;

상기 제1 박막 트랜지스터와 연결되며, 상기 제1 액티브 영역과 이격된 제2 액티브 영역을 포함하는 제2 박막 트랜지스터; 및

상기 기관 상에 위치하며, 각각이 서로 이격되어 제1 방향으로 연장된 복수의 폴리 실리콘 라인들 및 각각이 이웃하는 상기 폴리 실리콘 라인 사이에 위치하여 상기 제1 방향으로 연장된 복수의 비정질 실리콘 라인들을 포함하는 실리콘층

을 포함하며,

상기 제1 액티브 영역 및 상기 제2 액티브 영역 각각은 상기 복수의 폴리 실리콘 라인들 중 서로 다른 폴리 실리콘 라인 각각에 형성된 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 복수의 폴리 실리콘 라인들 및 상기 복수의 비정질 실리콘 라인들은 하나의 상기 실리콘층을 형성하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 복수의 폴리 실리콘 라인들 및 상기 복수의 비정질 실리콘 라인들은 일체로 형성되는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 비정질 실리콘 라인은 이웃하는 상기 폴리 실리콘 라인을 연결하는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 복수의 폴리 실리콘 라인들은,

상기 제1 액티브 영역이 형성된 제1 폴리 실리콘 라인; 및

상기 비정질 실리콘 라인을 사이에 두고 상기 제1 폴리 실리콘 라인과 이격되어 상기 제2 액티브 영역이 형성된 제2 폴리 실리콘 라인

을 포함하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 제1 액티브 영역은,

서로 이격되어 불순물이 도핑된 제1 소스 영역과 제1 드레인 영역; 및

상기 제1 소스 영역과 상기 제1 드레인 영역 사이에 위치하는 제1 채널 영역을 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 제2 액티브 영역은,

서로 이격되어 불순물이 도핑된 제2 소스 영역과 제2 드레인 영역; 및

상기 제2 소스 영역과 상기 제2 드레인 영역 사이에 위치하는 제2 채널 영역

을 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 박막 트랜지스터는 상기 제1 채널 영역 상에 위치하는 제1 게이트 전극을 더 포함하며,

상기 제2 박막 트랜지스터는 상기 제2 채널 영역 상에 위치하며, 상기 제1 드레인 영역과 연결된 제2 게이트 전극을 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 제1 게이트 전극과 상기 제2 게이트 전극 각각은 상기 제1 방향과 교차하는 제2 방향으로 연장된 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제1 폴리 실리콘 라인과 이웃하는 상기 비정질 실리콘 라인 상에 위치하여 상기 제1 방향으로 연장되어 있으며, 상기 제1 게이트 전극과 연결된 스캔 라인을 더 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 실리콘층 상에 위치하며, 상기 제2 방향으로 연장되어 상기 제1 소스 영역과 연결된 데이터 라인을 더 포함하는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 실리콘층 상에 위치하며, 상기 제2 방향으로 연장되어 상기 제2 소스 영역과 연결된 구동 전원 라인을 더 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 제2 게이트 전극과 연결된 제1 커패시터 전극 및 절연층을 사이에 두고 상기 제1 커패시터 전극 상에 위치하여 상기 구동 전원 라인과 연결된 제2 커패시터 전극을 포함하는 커패시터를 더 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 제1 커패시터 전극은 상기 제2 게이트 전극과 동일한 재료로 형성되며,

상기 제2 커패시터 전극은 상기 구동 전원 라인과 동일한 재료로 형성되는 유기 발광 표시 장치.

청구항 15

제1항에서,

상기 복수의 폴리 실리콘 라인들은 레이저에 의해 비정질 실리콘으로부터 폴리 실리콘으로 형성된 유기 발광 표시 장치.

청구항 16

제1항에서,

상기 제2 박막 트랜지스터와 연결된 유기 발광 소자를 더 포함하는 유기 발광 표시 장치.

청구항 17

제16항에서,

상기 유기 발광 소자는,

상기 제2 박막 트랜지스터와 연결된 제1 전극;

상기 제1 전극 상에 위치하는 유기 발광층; 및

상기 유기 발광층 상에 위치하는 제2 전극

을 포함하는 유기 발광 표시 장치.

청구항 18

기관 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층에 레이저를 조사하여, 각각이 서로 이격되어 제1 방향으로 연장된 복수의 폴리 실리콘 라인들 및 각각이 이웃하는 상기 폴리 실리콘 라인 사이에 위치하여 상기 제1 방향으로 연장된 복수의 비정질 실리콘 라인들을 포함하는 실리콘층을 형성하는 단계;

상기 복수의 폴리 실리콘 라인들 중 서로 다른 폴리 실리콘 라인 각각에 제1 액티브 영역 및 제2 액티브 영역 각각을 형성하는 단계; 및

상기 제1 액티브 영역을 포함하는 제1 박막 트랜지스터 및 상기 제2 액티브 영역을 포함하는 제2 박막 트랜지스터를 형성하는 단계

를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제18항에서,

상기 실리콘층을 형성하는 단계는 상기 비정질 실리콘층의 패터닝을 수행하지 않는 유기 발광 표시 장치의 제조 방법.

청구항 20

제18항에서,

상기 실리콘층을 형성하는 단계는 상기 복수의 폴리 실리콘 라인들 및 상기 복수의 비정질 실리콘 라인들이 일체로 형성되도록 수행하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 평판 표시 장치의 대표적인 예로서, 유기 발광 표시 장치(organic light emitting display), 액정 표시 장치(liquid crystal display) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 복수의 박막 트랜지스터를 포함한다. 복수의 박막 트랜지스터 각각은 폴리 실리콘 등으로 형성된 액티브층을 포함한다.

[0004] 복수의 박막 트랜지스터 각각에 포함된 액티브층 각각은 서로 간의 의도치 않은 전류가 흐르는 것을 방지하기 위해 서로 이격되도록 패터닝되어 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 실시예는, 복수의 박막 트랜지스터 각각에 포함된 액티브층이 패터닝되지 않은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공하고자 한다.

[0006] 또한, 액티브층이 패터닝되지 않더라도, 이웃하는 박막 트랜지스터 각각에 포함된 이웃하는 액티브층 간에 전류가 흐르는 것이 방지된 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공하고자 한다.

[0007] 또한, 액티브층을 패터닝하지 않음으로써, 제조 시간 및 제조 비용이 절감된 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0008] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 기판, 상기 기판 상에 위치하는 제1 액티브 영역을 포함하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되며, 상기 제1 액티브 영역과 이격된 제2 액티브 영역을 포함하는 제2 박막 트랜지스터, 및 상기 기판 상에 위치하며, 각각이 서로 이격되어 제1 방향으로 연장된 복수의 폴리 실리콘 라인들 및 각각이 이웃하는 상기 폴리 실리콘 라인 사이에 위치하여 상기 제1 방향으로 연장된 복수의 비정질 실리콘 라인들을 포함하는 실리콘층을 포함하며, 상기 제1 액티브 영역 및 상기 제2 액티브 영역 각각은 상기 복수의 폴리 실리콘 라인들 중 서로 다른 폴리 실리콘 라인 각각에 형성된 유기 발광 표시 장치를 제공한다.

[0009] 상기 복수의 폴리 실리콘 라인들 및 상기 복수의 비정질 실리콘 라인들은 하나의 상기 실리콘층을 형성할 수 있다.

[0010] 상기 복수의 폴리 실리콘 라인들 및 상기 복수의 비정질 실리콘 라인들은 일체로 형성될 수 있다.

[0011] 상기 비정질 실리콘 라인은 이웃하는 상기 폴리 실리콘 라인을 연결할 수 있다.

[0012] 상기 복수의 폴리 실리콘 라인들은, 상기 제1 액티브 영역이 형성된 제1 폴리 실리콘 라인, 및 상기 비정질 실리콘 라인을 사이에 두고 상기 제1 폴리 실리콘 라인과 이격되어 상기 제2 액티브 영역이 형성된 제2 폴리 실리콘 라인을 포함할 수 있다.

[0013] 상기 제1 액티브 영역은, 서로 이격되어 불순물이 도핑된 제1 소스 영역과 제1 드레인 영역, 및 상기 제1 소스 영역과 상기 제1 드레인 영역 사이에 위치하는 제1 채널 영역을 포함하는 유기 발광 표시 장치를 제공한다.

[0014] 상기 제2 액티브 영역은, 서로 이격되어 불순물이 도핑된 제2 소스 영역과 제2 드레인 영역, 및 상기 제2 소스 영역과 상기 제2 드레인 영역 사이에 위치하는 제2 채널 영역을 포함할 수 있다.

[0015] 상기 제1 박막 트랜지스터는 상기 제1 채널 영역 상에 위치하는 제1 게이트 전극을 더 포함하며, 상기 제2 박막 트랜지스터는 상기 제2 채널 영역 상에 위치하며, 상기 제1 드레인 영역과 연결된 제2 게이트 전극을 더 포함할 수 있다.

[0016] 상기 제1 게이트 전극과 상기 제2 게이트 전극 각각은 상기 제1 방향과 교차하는 제2 방향으로 연장될 수 있다.

[0017] 상기 제1 폴리 실리콘 라인과 이웃하는 상기 비정질 실리콘 라인 상에 위치하여 상기 제1 방향으로 연장되어 있

으며, 상기 제1 게이트 전극과 연결된 스캔 라인을 더 포함할 수 있다.

- [0018] 상기 실리콘층 상에 위치하며, 상기 제2 방향으로 연장되어 상기 제1 소스 영역과 연결된 데이터 라인을 더 포함할 수 있다.
- [0019] 상기 실리콘층 상에 위치하며, 상기 제2 방향으로 연장되어 상기 제2 소스 영역과 연결된 구동 전원 라인을 더 포함할 수 있다.
- [0020] 상기 제2 게이트 전극과 연결된 제1 커패시터 전극 및 절연층을 사이에 두고 상기 제1 커패시터 전극 상에 위치하여 상기 구동 전원 라인과 연결된 제2 커패시터 전극을 포함하는 커패시터를 더 포함할 수 있다.
- [0021] 상기 제1 커패시터 전극은 상기 제2 게이트 전극과 동일한 재료로 형성되며, 상기 제2 커패시터 전극은 상기 구동 전원 라인과 동일한 재료로 형성될 수 있다.
- [0022] 상기 복수의 폴리 실리콘 라인들은 레이저에 의해 비정질 실리콘으로부터 폴리 실리콘으로 형성될 수 있다.
- [0023] 상기 제2 박막 트랜지스터와 연결된 유기 발광 소자를 더 포함할 수 있다.
- [0024] 상기 유기 발광 소자는, 상기 제2 박막 트랜지스터와 연결된 제1 전극, 상기 제1 전극 상에 위치하는 유기 발광층, 및 상기 유기 발광층 상에 위치하는 제2 전극을 포함할 수 있다.
- [0025] 또한, 본 발명의 일 측면은 기판 상에 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층에 레이저를 조사하여, 각각이 서로 이격되어 제1 방향으로 연장된 복수의 폴리 실리콘 라인들 및 각각이 이웃하는 상기 폴리 실리콘 라인 사이에 위치하여 상기 제1 방향으로 연장된 복수의 비정질 실리콘 라인들을 포함하는 실리콘층을 형성하는 단계, 상기 복수의 폴리 실리콘 라인들 중 서로 다른 폴리 실리콘 라인 각각에 제1 액티브 영역 및 제2 액티브 영역 각각을 형성하는 단계, 및 상기 제1 액티브 영역을 포함하는 제1 박막 트랜지스터 및 상기 제2 액티브 영역을 포함하는 제2 박막 트랜지스터를 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0026] 상기 실리콘층을 형성하는 단계는 상기 비정질 실리콘층의 패터닝을 수행하지 않을 수 있다.
- [0027] 상기 실리콘층을 형성하는 단계는 상기 복수의 폴리 실리콘 라인들 및 상기 복수의 비정질 실리콘 라인들이 일체로 형성되도록 수행할 수 있다.

발명의 효과

- [0028] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 복수의 박막 트랜지스터 각각에 포함된 액티브층이 패터닝되지 않은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법이 제공된다.
- [0029] 또한, 액티브층이 패터닝되지 않더라도, 이웃하는 박막 트랜지스터 각각에 포함된 이웃하는 액티브층 간에 전류가 흐르는 것이 방지된 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법이 제공된다.
- [0030] 또한, 액티브층을 패터닝하지 않음으로써, 제조 시간 및 제조 비용이 절감된 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법이 제공된다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 순서도이다.
- 도 2 내지 도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0033] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0034] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 일 실시예에서 설명하고, 그 외의 실시예에서는 일 실시예와 다른 구성에 대해서만 설명하기로 한다.

- [0035] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0036] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0037] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0038] 이하, 도 1 내지 도 11을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 순서도이다. 도 2 내지 도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 도면들이다. 도 2 내지 도 11은 설명의 편의를 위해 유기 발광 표시 장치로 형성되는 일 부분을 나타낸 도면들이며, 일례로 일 부분은 이미지를 표시하는 최소 단위인 화소(pixel)를 형성할 수 있다.
- [0040] 우선, 도 1 내지 도 3에 도시된 바와 같이, 기판(SUB) 상에 비정질 실리콘층(AS)을 형성한다(S100). 도 3은 도 2의 III-III을 따른 단면도이다.
- [0041] 구체적으로, 유리 재료, 유기 재료, 세라믹 재료 등으로 형성되는 기판(SUB) 상에 스퍼터링(sputtering), 스핀 코팅 등의 공정을 이용해 비정질 실리콘층(AS)을 형성한다. 비정질 실리콘층(AS)은 하나의 판 형태로 형성되며, 비정질 실리콘으로 형성되어 있다. 비정질 실리콘층(AS)을 형성하기 전에 기판(SUB) 상에 버퍼층(BU)을 형성할 수 있으며, 버퍼층(BU)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등으로 형성될 수 있다.
- [0042] 다음, 도 4 및 도 5에 도시된 바와 같이, 비정질 실리콘층에 레이저를 조사하여, 복수의 폴리 실리콘 라인(PSL) 및 복수의 비정질 실리콘 라인(ASL)을 포함하는 실리콘층(SLA)을 형성한다(S200). 도 5는 도 4의 V-V를 따른 단면도이다.
- [0043] 구체적으로, 비정질 실리콘층에 레이저를 조사하여, 레이저가 조사된 부분에 위치하는 비정질 실리콘을 결정화함으로써, 각각이 서로 이격되어 제1 방향으로 연장된 복수의 폴리 실리콘 라인들(PSL)을 형성한다. 레이저 빔의 폭에 대응하여 복수의 폴리 실리콘 라인들(PSL) 각각의 폭이 정의될 수 있으며, 일례로, 레이저 빔의 폭은 0.1mm 내지 1.5mm일 수 있다. 즉, 복수의 폴리 실리콘 라인들(PSL)은 레이저에 의해 비정질 실리콘으로부터 폴리 실리콘으로 형성된다.
- [0044] 복수의 폴리 실리콘 라인들(PSL)이 형성되면서, 서로 이격되어 이웃하는 폴리 실리콘 라인(PSL) 사이에는 비정질 실리콘 라인(ASL)이 형성된다. 즉, 복수의 폴리 실리콘 라인들(PSL)이 형성되면서, 복수의 비정질 실리콘 라인들(ASL)이 동시에 형성된다. 복수의 비정질 실리콘 라인들(ASL) 각각은 이웃하는 폴리 실리콘 라인(PSL) 사이에 위치하여 제1 방향으로 연장되어 있다.
- [0045] 이로 인해, 비정질 실리콘층으로부터 복수의 폴리 실리콘 라인들(PSL) 및 복수의 비정질 실리콘 라인들(ASL)을 포함하는 실리콘층(SLA)이 형성된다. 실리콘층(SLA)은 비정질 실리콘층의 패터닝을 수행하지 않고 형성된다. 즉, 복수의 폴리 실리콘 라인들(PSL) 및 복수의 비정질 실리콘 라인들(ASL)이 일체로 형성되어 하나의 실리콘층(SLA)을 형성한다. 비정질 실리콘 라인(ASL)은 이웃하는 폴리 실리콘 라인(PSL)을 연결한다.
- [0046] 그리고, 복수의 폴리 실리콘 라인들(PSL) 중 비정질 실리콘 라인(ASL)을 사이에 두고 서로 이격된 제1 폴리 실리콘 라인(PSL1) 및 제2 폴리 실리콘 라인(PSL2) 각각의 상에 실리콘 질화물 또는 실리콘 산화물을 포함하는 게이트 절연층(GIL)을 형성하고, 게이트 절연층(GIL) 상에 제1 박막 트랜지스터의 제1 게이트 전극(GE1) 및 제2 박막 트랜지스터의 제2 게이트 전극(GE2)을 형성한다. 제1 게이트 전극(GE1) 및 제2 게이트 전극(GE2)은 제1 방향과 교차하는 제2 방향으로 연장되며, 이에 한정되지 않고 다양한 방향으로 연장될 수 있다.
- [0047] 그리고, 제1 게이트 전극(GE1) 및 제2 게이트 전극(GE2)을 형성하는 동일한 공정을 이용해 스캔 라인(SL)을 형성한다.

- [0048] 스캔 라인(SL)은 제1 폴리 실리콘 라인(PSL1)과 이웃하는 비정질 실리콘 라인(ASL) 상에 위치하며, 제1 게이트 전극(GE1)과 연결되어 있다. 제1 게이트 전극(GE1)은 스캔 라인(SL)과 일체로 형성되거나 또는 브릿지(bridge)에 의해 스캔 라인(SL)과 연결될 수 있다. 스캔 라인(SL)은 제1 방향으로 연장되어 있으나, 이에 한정되지 않고, 제1 방향과 교차하는 제2 방향으로 연장될 수 있다.
- [0049] 그리고, 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 스캔 라인(SL)을 형성하는 동일한 공정을 이용해 제1 커패시터 전극(CE1)을 형성한다.
- [0050] 제1 커패시터 전극(CE1)은 폴리 실리콘 라인(PSL) 상에 위치하거나, 비정질 실리콘 라인(ASL) 상에 위치할 수 있으며, 제2 게이트 전극(GE2)과 연결되어 있다. 제1 커패시터 전극(CE1)은 제2 게이트 전극(GE2)과 일체로 형성되거나 또는 브릿지에 의해 제2 게이트 전극(GE2)과 연결될 수 있다.
- [0051] 상술한, 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 스캔 라인(SL), 제1 커패시터 전극(CE1)은 하나의 게이트 금속층으로부터 포토리소그래피 공정 등의 멤스(MEMS, micro electro mechanical systems) 기술을 통해 형성될 수 있다. 여기서, 게이트 금속층은 단층이거나 또는 복층으로 형성될 수 있다. 즉, 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 스캔 라인(SL), 제1 커패시터 전극(CE1)은 동일한 재료로 형성된다.
- [0052] 다음, 도 6 및 도 7에 도시된 바와 같이, 서로 다른 폴리 실리콘 라인(PSL) 각각에 제1 액티브 영역(AA1) 및 제2 액티브 영역(AA2) 각각을 형성한다(S300). 도 7은 도 6의 VII-VII을 따른 단면도이다.
- [0053] 구체적으로, 서로 다른 폴리 실리콘 라인(PSL)인 서로 이격된 제1 폴리 실리콘 라인(PSL1) 및 제2 폴리 실리콘 라인(PSL2) 각각에 제1 액티브 영역(AA1) 및 제2 액티브 영역(AA2) 각각을 형성한다. 제1 액티브 영역(AA1) 및 제2 액티브 영역(AA2) 각각은 제1 폴리 실리콘 라인(PSL1) 및 제2 폴리 실리콘 라인(PSL2) 각각에 불순물을 도핑하여 형성할 수 있으며, 마스크를 이용해 제1 폴리 실리콘 라인(PSL1) 및 제2 폴리 실리콘 라인(PSL2) 각각에 불순물을 도핑하여 제1 액티브 영역(AA1) 및 제2 액티브 영역(AA2) 각각을 형성할 수 있다.
- [0054] 한편, 본 발명의 다른 실시예에서는 마스크를 이용하지 않고 기판(SUB) 전체에 걸쳐서 불순물을 도핑할 수 있으며, 이 경우, 실리콘층(SLA) 전체에 불순물이 도핑될 수 있다.
- [0055] 제1 액티브 영역(AA1)은 서로 이격되어 불순물이 도핑된 제1 소스 영역(SA1)과 제1 드레인 영역(DA1), 및 제1 소스 영역(SA1)과 제1 드레인 영역(DA1) 사이에 위치하는 제1 채널 영역(CA1)을 포함한다. 제1 채널 영역(CA1)은 상술한 불순물 도핑 공정 시 제1 채널 영역(CA1) 상에 위치하는 제1 게이트 전극(GE1)이 마스크로서 기능하여 불순물이 비도핑되어 있다.
- [0056] 제2 액티브 영역(AA2)은 서로 이격되어 불순물이 도핑된 제2 소스 영역(SA2)과 제2 드레인 영역(DA2), 및 제2 소스 영역(SA2)과 제2 드레인 영역(DA2) 사이에 위치하는 제2 채널 영역(CA2)을 포함한다. 제2 채널 영역(CA2)은 상술한 불순물 도핑 공정 시 제2 채널 영역(CA2) 상에 위치하는 제2 게이트 전극(GE2)이 마스크로서 기능하여 불순물이 비도핑되어 있다.
- [0057] 다음, 도 8 및 도 9에 도시된 바와 같이, 제1 박막 트랜지스터(TFT1) 및 제2 박막 트랜지스터(TFT2)를 형성한다(S400). 도 9는 도 8의 IX-IX을 따른 단면도이다.
- [0058] 구체적으로, 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 스캔 라인(SL), 제1 커패시터 전극(CE1) 상에 유기 재료 또는 무기 재료를 포함하는 제1 절연층(IL1)을 형성하고, 제1 절연층(IL1)에 콘택홀(contact hole)을 형성한 후, 제1 절연층(IL1) 상에 데이터 라인(DL), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제2 커패시터 전극(CE2) 및 구동 전원 라인(VDDL)을 형성한다.
- [0059] 데이터 라인(DL)은 실리콘층(SLA) 상에 위치하며, 제2 방향으로 연장되어 제1 소스 전극(SE1)을 통해 제1 소스 영역(SA1)과 연결되어 있다.
- [0060] 제1 소스 전극(SE1)은 데이터 라인(DL)과 일체로 형성되어 있으며, 제1 절연층(IL1)의 콘택홀을 통해 제1 소스 영역(SA1)과 연결된다.
- [0061] 제1 드레인 전극(DE1)은 제1 드레인 영역(DA1)과 연결되어 있으며, 제2 게이트 전극(GE2)과 연결된다.
- [0062] 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제1 게이트 전극(GE1), 제1 액티브 영역(AA1)은 제1 박막 트랜지스터(TFT1)를 구성한다.
- [0063] 제2 소스 전극(SE2)은 제2 커패시터 전극(CE2)을 통해 구동 전원 라인(VDDL)과 일체로 형성되며, 제1 절연층

(IL1)의 컨택홀을 통해 제2 소스 영역(SA2)과 연결된다.

- [0064] 제2 드레인 전극(DE2)은 제1 절연층(IL1)의 컨택홀을 통해 제2 드레인 영역(DA2)과 연결된다.
- [0065] 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제2 게이트 전극(GE2), 제2 액티브 영역(AA2)은 제2 박막 트랜지스터(TFT2)를 구성한다.
- [0066] 제2 커패시터 전극(CE2)은 제1 절연층(IL1)을 사이에 두고 제1 커패시터 전극(CE1) 상에 위치하며, 구동 전원 라인(VDDL) 및 제2 드레인 전극(DE2)과 일체로 연결되어 있다.
- [0067] 제2 커패시터 전극(CE2)은 제1 커패시터 전극(CE1)과 함께 커패시터(CP)를 형성한다.
- [0068] 구동 전원 라인(VDDL)은 실리콘층(SLA) 상에 위치하며, 제2 방향으로 연장되어 제2 커패시터 전극(CE2) 및 제2 소스 전극(SE2)을 통해 제2 소스 영역(SA2)과 연결되어 있다.
- [0069] 데이터 라인(DL), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제2 커패시터 전극(CE2) 및 구동 전원 라인(VDDL)은 하나의 데이터 금속층으로부터 하나의 동일한 공정을 이용해 포토리소그래피 공정 등의 멤스(MEMS, micro electro mechanical systems) 기술을 통해 형성될 수 있다. 여기서, 데이터 금속층은 단층이거나 또는 복층으로 형성될 수 있다. 즉, 데이터 라인(DL), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제2 커패시터 전극(CE2) 및 구동 전원 라인(VDDL)은 동일한 재료로 형성된다.
- [0070] 다음, 도 10 및 도 11에 도시된 바와 같이, 유기 발광 소자(OLED)를 형성한다. 도 11은 도 10의 X I-X I을 따른 단면도이다.
- [0071] 구체적으로, 데이터 라인(DL), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제2 커패시터 전극(CE2) 및 구동 전원 라인(VDDL) 상에 유기 재료 또는 무기 재료를 포함하는 제2 절연층(IL2)을 형성하고, 제2 절연층(IL2)에 제2 드레인 전극(DE2)을 노출하는 컨택홀을 형성한 후, 이 컨택홀을 통해 제2 드레인 전극(DE2)과 연결되는 제1 전극(E1)을 제2 절연층(IL2) 상에 형성한다.
- [0072] 그리고, 제1 전극(E1)의 양 단부를 덮도록 화소 정의층(PDL)을 형성하고, 화소 정의층(PDL)에 의해 노출된 제1 전극(E1) 상에 유기 발광층(OL)을 형성하고, 유기 발광층(OL) 상에 제2 전극(E2)을 형성하여 유기 발광 소자(OLED)를 형성한다. 여기서, 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 또는 광 반투과성 전극 등으로 형성될 수 있다. 이로 인해, 제1 전극(E1)이 제2 박막 트랜지스터(TFT2)의 제2 드레인 전극(DE2)과 연결됨으로써, 유기 발광 소자(OLED)가 제2 박막 트랜지스터(TFT2)와 연결된다.
- [0073] 그리고, 유기 발광 소자(OLED) 상에 봉지층(TFE)을 형성하여 유기 발광 표시 장치를 제조할 수 있다. 봉지층(TFE)은 박막 봉지층으로서 형성될 수 있으며, 이에 한정되지 않고, 봉지층(TFE) 상에 봉지 기판이 위치하거나, 또는 봉지층(TFE)이 생략되고 유기 발광 소자(OLED) 상에 봉지 기판이 위치할 수 있다.
- [0074] 이상과 같은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 의해 후술할 본 발명의 다른 실시예에 따른 유기 발광 표시 장치가 제조된다.
- [0075] 이하, 도 10 및 도 11을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0076] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 부분을 나타낸 평면도이며, 도 11은 도 10의 X I-X I을 따른 단면도이다.
- [0077] 도 10 및 도 11에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 기판(SUB), 실리콘층(SLA), 스캔 라인(SL), 제1 박막 트랜지스터(TFT1), 제2 박막 트랜지스터(TFT2), 커패시터(CP), 데이터 라인(DL), 구동 전원 라인(VDDL), 유기 발광 소자(OLED), 봉지층(TFE)을 포함한다.
- [0078] 기판(SUB)은 유리 재료, 유기 재료, 세라믹 재료 등으로 형성된다. 기판(SUB) 상에는 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등으로 형성된 버퍼층(BU)을 사이에 두고 실리콘층(SLA)이 위치하고 있다.
- [0079] 실리콘층(SLA)은 각각이 서로 이격되어 제1 방향으로 연장된 복수의 폴리 실리콘 라인들(PSL) 및 각각이 이웃하는 폴리 실리콘 라인(PSL) 사이에 위치하여 제1 방향으로 연장된 복수의 비정질 실리콘 라인들(ASL)을 포함한다. 복수의 폴리 실리콘 라인들(PSL) 및 복수의 비정질 실리콘 라인들(ASL)은 하나의 실리콘층(SLA)을 형성한다. 비정질 실리콘 라인(ASL)은 이웃하는 폴리 실리콘 라인(PSL)을 연결하며, 이로 인해 복수의 폴리 실리콘 라인들(PSL) 및 복수의 비정질 실리콘 라인들(ASL)은 일체로 형성된다.

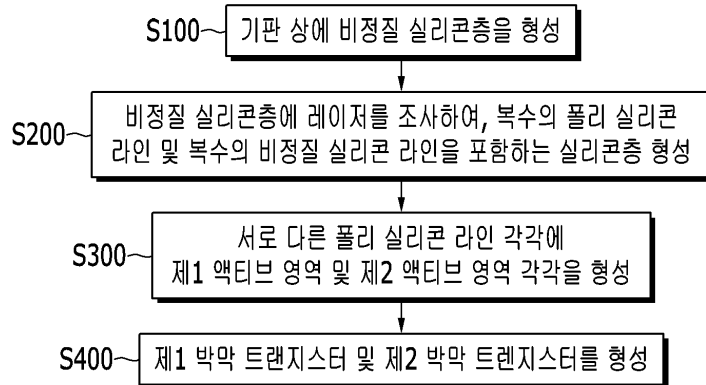
- [0080] 복수의 폴리 실리콘 라인들(PSL)은 제1 액티브 영역(AA1)이 형성된 제1 폴리 실리콘 라인(PSL1) 및 비정질 실리콘 라인(ASL)을 사이에 두고 제1 폴리 실리콘 라인(PSL1)과 이격되어 제2 액티브 영역(AA2)이 형성된 제2 폴리 실리콘 라인(PSL2)을 포함한다.
- [0081] 제1 액티브 영역(AA1)은 서로 이격되어 불순물이 도핑된 제1 소스 영역(SA1)과 제1 드레인 영역(DA1) 및 제1 소스 영역(SA1)과 제1 드레인 영역(DA1) 사이에 위치하는 제1 채널 영역(CA1)을 포함한다.
- [0082] 상기 제2 액티브 영역은 서로 이격되어 불순물이 도핑된 제2 소스 영역(SA2)과 제2 드레인 영역(DA2), 및 제2 소스 영역(SA2)과 제2 드레인 영역(DA2) 사이에 위치하는 제2 채널 영역(CA2)을 포함한다.
- [0083] 스캔 라인(SL)은 제1 폴리 실리콘 라인(PSL1)과 이웃한 비정질 실리콘 라인(ASL) 상에 위치하여 제1 방향으로 연장되어 있으며, 제1 게이트 전극(GE1)과 연결되어 있다.
- [0084] 제1 박막 트랜지스터(TFT1)는 제1 게이트 전극(GE1), 제1 액티브 영역(AA1), 제1 소스 전극(SE1), 제1 드레인 전극(DE1)을 포함한다. 제1 게이트 전극(GE1)은 제1 채널 영역(CA1) 상에 위치하고 있다.
- [0085] 제2 박막 트랜지스터(TFT2)는 제2 게이트 전극(GE2), 제2 액티브 영역(AA2), 제2 소스 전극(SE2), 제2 드레인 전극(DE2)을 포함한다. 제2 게이트 전극(GE2)은 제2 채널 영역(CA2) 상에 위치하고 있다.
- [0086] 커패시터(CP)는 제2 게이트 전극(GE2)과 연결된 제1 커패시터 전극(CE1) 및 제1 절연층(IL1)을 사이에 두고 제1 커패시터 전극(CE1) 상에 위치하여 구동 전원 라인(VDDL)과 연결된 제2 커패시터 전극(CE2)을 포함한다.
- [0087] 데이터 라인(DL)은 실리콘층(SLA) 상에 위치하는 제1 절연층(IL1) 상에 위치하며, 제2 방향으로 연장되어 제1 소스 전극(SE1)을 통해 제1 소스 영역(SA1)과 연결되어 있다.
- [0088] 구동 전원 라인(VDDL)은 실리콘층(SLA) 상에 위치하는 제1 절연층(IL1) 상에 위치하며, 제2 방향으로 연장되어 제2 커패시터 전극(CE2) 및 제2 소스 전극(SE2)을 통해 제2 소스 영역(SA2)과 연결되어 있다.
- [0089] 유기 발광 소자(OLED)는 제2 박막 트랜지스터(TFT2)와 연결되며, 순차적으로 적층된 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다.
- [0090] 봉지층(TFE)은 유기 발광 소자(OLED) 상에 위치하며, 하나 이상의 유기층 및 하나 이상의 무기층이 교호적으로 적층된 적층 구조 또는 유기층 또는 무기층의 단층 구조로 이루어질 수 있다.
- [0091] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제1 박막 트랜지스터(TFT1)의 제1 액티브 영역(AA1) 및 제2 박막 트랜지스터(TFT2)의 제2 액티브 영역(AA2) 각각이 제1 폴리 실리콘 라인(PSL1) 및 제2 폴리 실리콘 라인(PSL2) 각각에 형성됨으로써, 복수의 박막 트랜지스터 각각에 포함된 액티브 영역을 패터닝할 필요가 없다.
- [0092] 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제1 박막 트랜지스터(TFT1)의 제1 액티브 영역(AA1) 및 제2 박막 트랜지스터(TFT2)의 제2 액티브 영역(AA2) 각각이 제1 폴리 실리콘 라인(PSL1) 및 제2 폴리 실리콘 라인(PSL2) 각각에 형성되고, 제1 폴리 실리콘 라인(PSL1)과 제2 폴리 실리콘 라인(PSL2) 사이에 폴리 실리콘 대비 저항이 높은 비정질 실리콘 라인(ASL)이 위치함으로써, 제1 박막 트랜지스터(TFT1)와 제2 박막 트랜지스터(TFT2) 각각에 포함된 이웃하는 제1 액티브 영역(AA1)과 제2 액티브 영역(AA2) 간에 의도치 않은 전류가 흐르는 것이 방지된다.
- [0093] 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 스캔 라인(SL)이 폴리 실리콘 대비 저항이 높은 비정질 실리콘 라인(ASL) 상에 위치함으로써, 스캔 라인(SL)과 비정질 실리콘 라인(ASL) 사이에 의도치 않은 커패시턴스(capacitance)가 형성되는 것이 방지되기 때문에, 스캔 라인(SL)을 흐르는 전류가 커패시턴스에 의해 지연되는 것이 억제된다.
- [0094] 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 제조하는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 제1 액티브 영역(AA1) 및 제2 액티브 영역(AA2) 각각이 패터닝되지 않은 실리콘층(SLA)의 제1 폴리 실리콘 라인(PSL1) 및 제2 폴리 실리콘 라인(PSL2) 각각에 형성되어 실리콘층(SLA)을 패터닝하지 않음으로써, 유기 발광 표시 장치를 제조하는 제조 시간 및 제조 비용이 절감된다.
- [0095] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

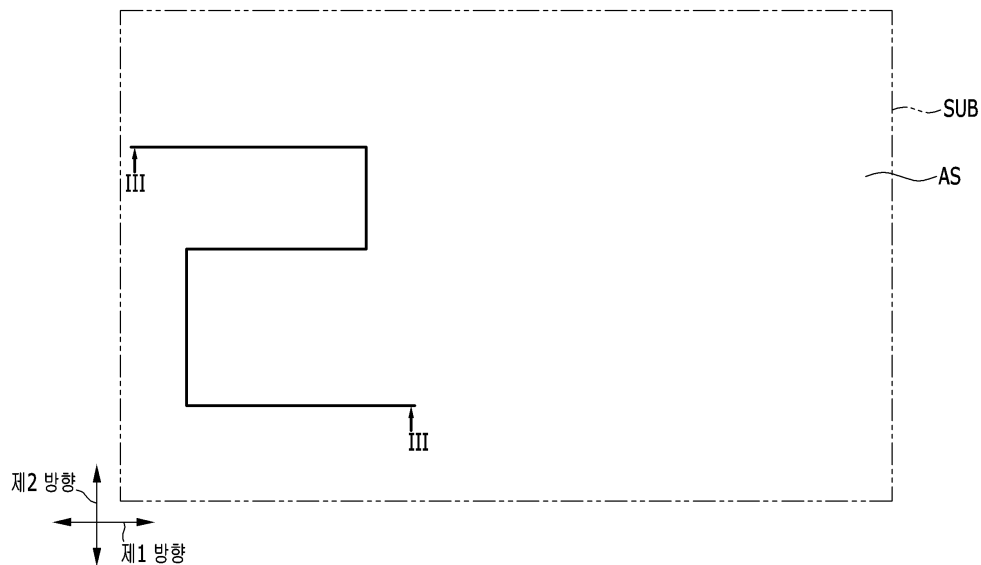
[0096] 제1 박막 트랜지스터(TFT1), 제2 박막 트랜지스터(TFT2), 실리콘층(SLA), 폴리 실리콘 라인(PSL), 비정질 실리콘 라인(ASL)

도면

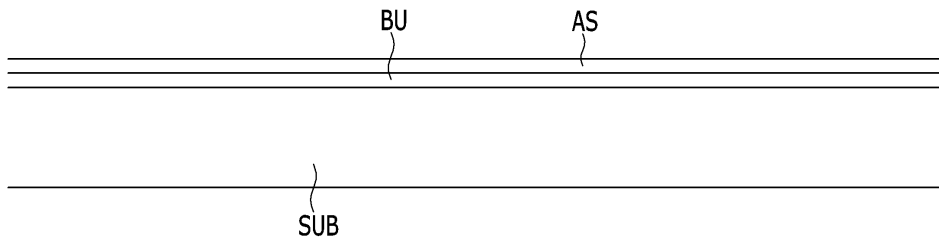
도면1



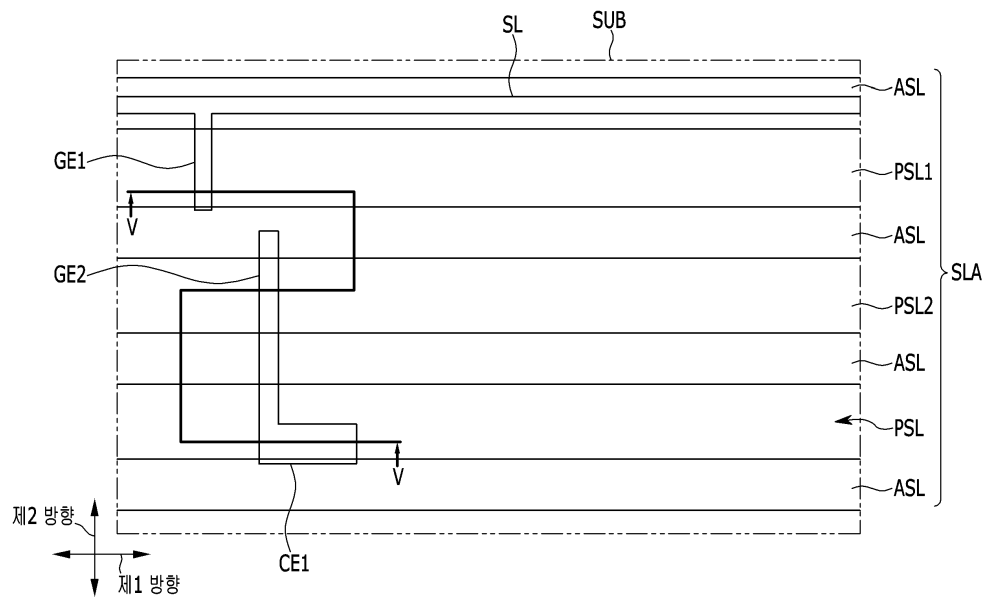
도면2



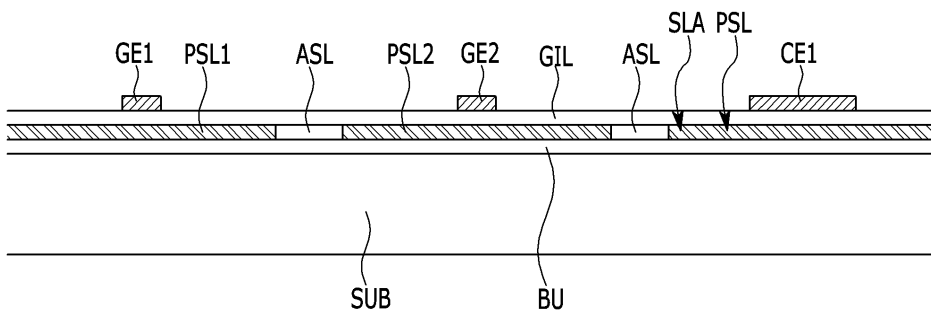
도면3



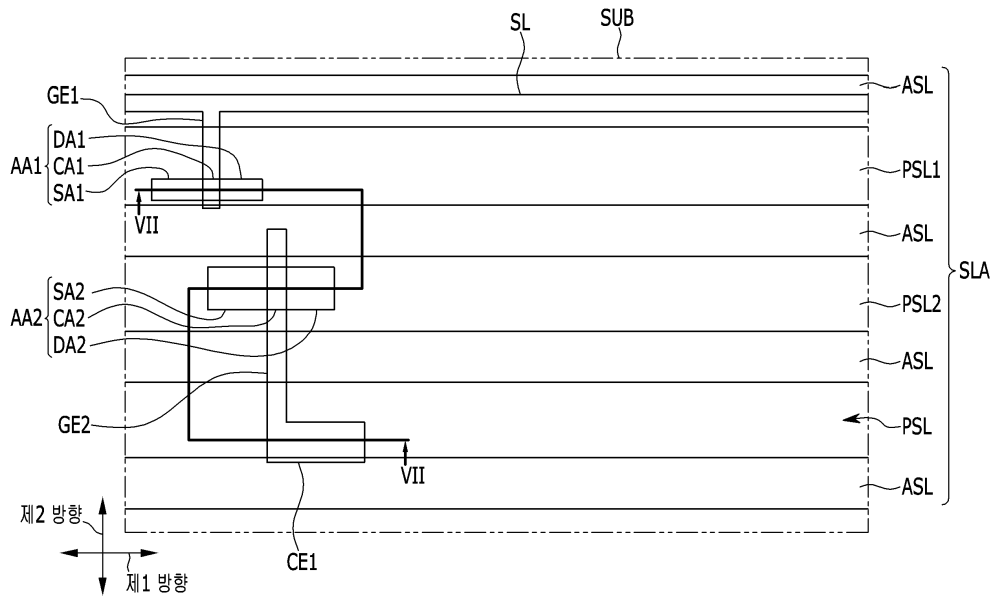
도면4



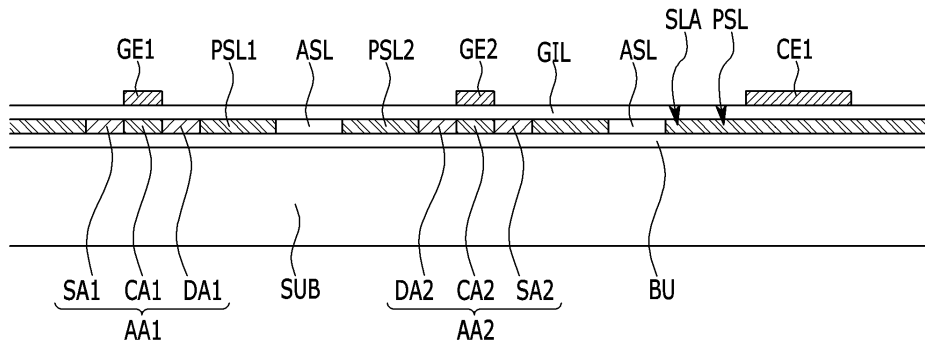
도면5



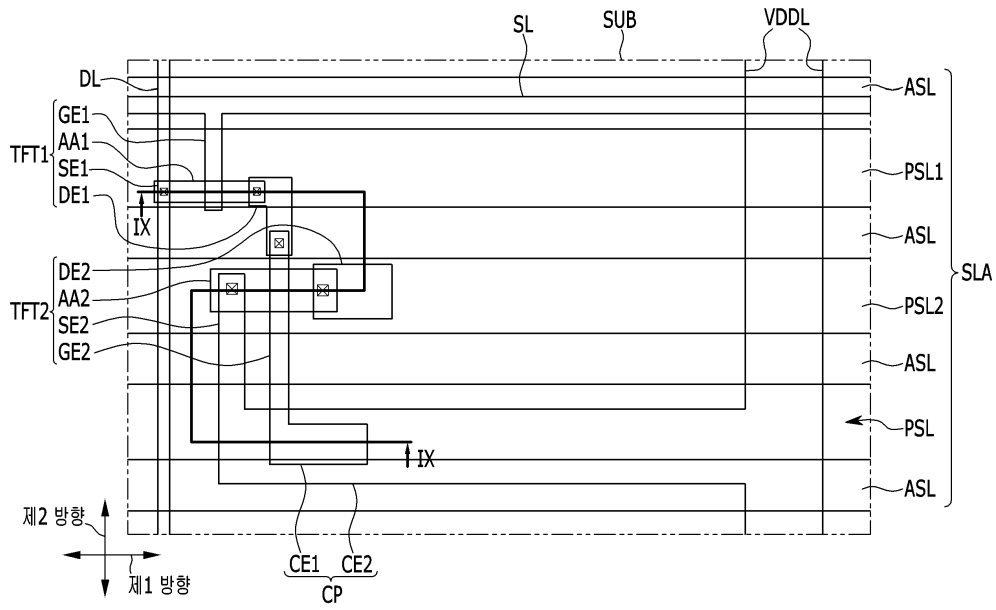
도면6



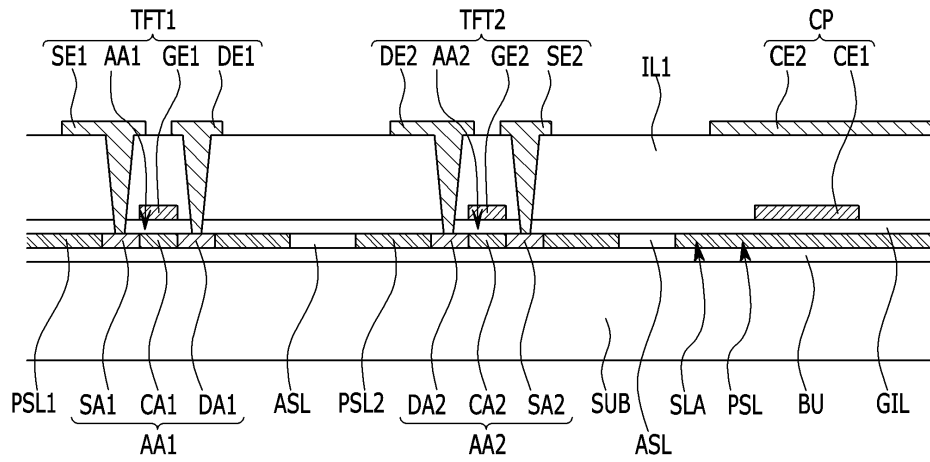
도면7



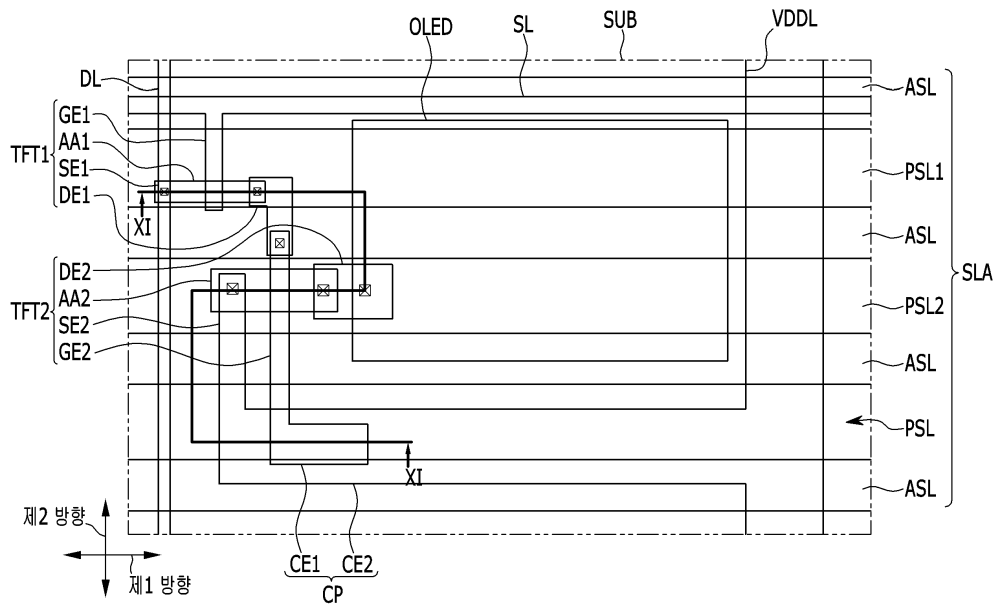
도면8



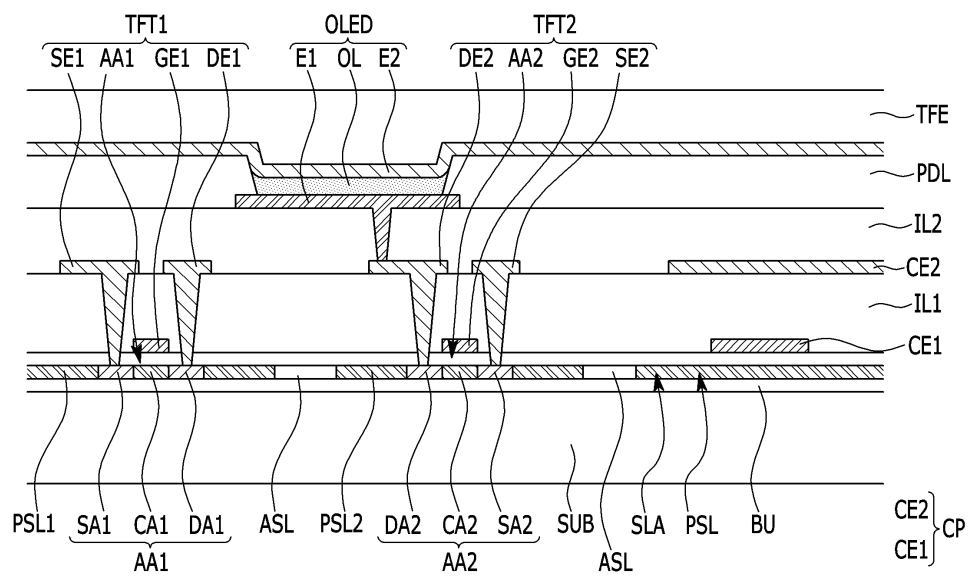
도면9



도면10



도면11



专利名称(译)	标题：OLED显示装置和制造OLED显示装置的方法		
公开(公告)号	KR1020160042364A	公开(公告)日	2016-04-19
申请号	KR1020140136206	申请日	2014-10-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JIN GUANG HAI 김광해 CHOI JAE BEOM 최재범		
发明人	김광해 최재범		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3262 H01L27/1222 H01L27/124 H01L27/3276 H01L2227/323		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括硅层，该硅层位于第二薄膜晶体管和基板的表面上，并且每个硅层彼此分开，并且每个硅层位于延伸到第一方向的多条多晶硅线和多晶硅线之间。相邻并且包括延伸到包括基板的第一方向的多条非晶硅线，包括位于基板表面上的第一有源区的薄膜晶体管，以及薄膜晶体管，以及连接并位于其上的第二有源区第一个活动域。

