

(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

(56) 선행기술조사문헌

KR1020170128742 A*

KR1020160001500 A

KR1020170078175 A

KR1020130078231 A

KR1020100024033 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 배치된 박막 트랜지스터층;
 상기 박막 트랜지스터층 상에 배치된 평탄화막;
 상기 평탄화막 상에 배치된 제1 전극;
 상기 제1 전극의 일부를 덮는 बैं크;
 상기 제1 전극 및 상기 बैं크를 커버하는 유기발광층;
 상기 유기발광층을 커버하는 제2 전극;
 상기 제2 전극을 커버하며 적어도 하나의 무기막과 적어도 하나의 유기막을 포함하는 봉지막; 및
 상기 बैं크, 상기 평탄화막, 및 상기 박막 트랜지스터층을 관통하는 홀을 구비하고,
 상기 무기막 전체를 커버하고 있는 상기 유기막은 상기 홀에 채워진 것을 특징으로 하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,
 상기 박막 트랜지스터층은,
 버퍼막 상에 배치된 반도체층;
 상기 반도체층 상에 배치된 게이트 절연막;
 상기 게이트 절연막 상에 배치된 게이트 전극;
 상기 게이트 전극 상에 배치된 제1 층간 절연막;
 상기 제1 층간 절연막 상에 배치된 제2 층간 절연막; 및
 상기 제2 층간 절연막 상에 배치된 소스 및 드레인 전극들을 포함하고,
 상기 홀은 상기 제2 층간 절연막, 상기 제1 층간 절연막, 및 상기 게이트 절연막을 관통하는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,
 상기 제1 층간 절연막은 상기 게이트 절연막과 동일한 물질로 이루어지고, 상기 제2 층간 절연막과 상이한 물질로 이루어진 것을 특징으로 하는 유기발광 표시장치.

청구항 4

제 2 항에 있어서,
 상기 제2 층간 절연막에서 상기 홀의 폭은 상기 제1 층간 절연막에서 상기 홀의 폭과 상기 평탄화막에서 상기 홀의 폭보다 좁은 것을 특징으로 하는 유기발광 표시장치.

청구항 5

제 2 항에 있어서,
 상기 홀에서 상기 제2 층간 절연막의 하부면 일부가 드러난 것을 특징으로 하는 유기발광 표시장치.

청구항 6

제 2 항에 있어서,
상기 홀의 바닥면에 순차 적층된 더미 유기층과 더미 전극을 더 구비하는 유기발광 표시장치.

청구항 7

제 6 항에 있어서,
상기 더미 유기층은 상기 유기발광층과 동일한 물질로 이루어지고, 상기 더미 전극은 상기 제2 전극과 동일한 물질로 이루어진 것을 특징으로 하는 유기발광 표시장치.

청구항 8

제 6 항에 있어서,
상기 무기막은 상기 더미 전극 상에 배치된 것을 특징으로 하는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,
상기 무기막은 상기 홀 내에서 끊어지지 않고 이어진 것을 특징으로 하는 유기발광 표시장치.

청구항 10

제 2 항에 있어서,
상기 기관과 상기 박막 트랜지스터층 사이에 배치된 버퍼막을 더 구비하고,
상기 홀은 상기 버퍼막의 일부가 파인 것을 특징으로 하는 유기발광 표시장치.

청구항 11

제 10 항에 있어서,
상기 버퍼막은,
상기 기관 상에 배치되며, 제1 내지 제4 버퍼막들이 순차 적층된 멀티 버퍼막; 및
상기 멀티 버퍼막 상에 배치된 액티브 버퍼막을 포함하고,
상기 홀은 상기 액티브 버퍼막을 관통하는 것을 특징으로 하는 유기발광 표시장치.

청구항 12

제 11 항에 있어서,
상기 액티브 버퍼막은 상기 제1 버퍼막, 상기 제3 버퍼막, 상기 게이트 절연막, 및 상기 제1 층간 절연막과 동일한 물질로 이루어지고, 상기 제2 버퍼막, 상기 제4 버퍼막, 및 상기 제2 층간 절연막과 상이한 물질로 이루어진 것을 특징으로 하는 유기발광 표시장치.

청구항 13

제 10 항에 있어서,
상기 기관의 비표시영역에서 상기 제2 버퍼막 상에 배치된 패드들과 링크 라인들을 더 구비하고,
상기 패드들 사이와 상기 링크 라인들 사이에는 상기 제1 및 제2 버퍼막들이 존재하지 않는 것을 특징으로 하는 유기발광 표시장치.

청구항 14

기관 상에 버퍼막을 형성하는 단계;

상기 버퍼막 상에 박막 트랜지스터층을 형성하는 단계;

상기 박막 트랜지스터층 상에 홀을 포함하는 평탄화막을 형성하고, 상기 평탄화막 상에 제1 전극을 형성하는 단계;

상기 제1 전극의 일부를 덮고 상기 홀을 덮지 않는 बैं크를 형성하는 단계;

상기 홀에 의해 노출된 박막 트랜지스터층과 상기 버퍼막의 일부를 식각하는 단계;

상기 제1 전극 및 상기 बैं크 상에 유기발광층과 제2 전극을 형성하는 단계; 및

상기 제2 전극을 커버하도록 상기 제2 전극 상에 적어도 하나의 무기막과 적어도 하나의 유기막을 포함하는 봉지막을 형성하는 단계를 포함하고,

상기 무기막 전체를 커버하고 있는 상기 적어도 하나의 유기막은 상기 홀에 채워진 것을 특징으로 하는 유기발광 표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 명세서는 유기발광 표시장치와 그의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광 표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003] 표시장치들 중에서 유기발광 표시장치는 자체발광형으로서, 액정표시장치(LCD)에 비해 시야각, 대조비 등이 우수하며, 별도의 백라이트가 필요하지 않아 경량 박형이 가능하며, 소비전력이 유리한 장점이 있다. 또한, 유기발광 표시장치는 직류저전압 구동이 가능하고, 응답속도가 빠르며, 특히 제조비용이 저렴한 장점이 있다.

[0004] 유기발광 표시장치는 유기발광소자를 각각 포함하는 화소들을 포함한다. 유기발광소자는 애노드 전극, 유기발광층(organic light emitting layer), 및 캐소드 전극을 포함한다. 이 경우, 애노드 전극에 고전위 전압이 인가되고 캐소드 전극에 저전위 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0005] 한편, 최근에 시장의 요구에 따라 유기발광 표시장치는 유연성을 가질 뿐만 아니라 접히거나 구부릴 수 있는 플렉서블(flexible) 표시장치로 구현되고 있다. 이 경우, 유기발광 표시장치가 접히거나 구부러질 때 발생하는 응력(stress)에 의해 유기발광층이 애노드 전극으로부터 박리될 수 있다. 유기발광층이 애노드 전극으로부터 박리되는 경우, 제대로 발광하지 않을 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 명세서의 실시예들에 따른 해결 과제는 유기발광층이 애노드 전극으로부터 박리되는 것을 개선할 수 있는 유기발광 표시장치와 그의 제조방법을 제공하기 위한 것이다.

[0007] 본 명세서의 실시예들에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 명세서의 일 실시예에 따른 유기발광 표시장치는 기판 상에 배치된 버퍼막, 버퍼막 상에 배치된 박막 트랜지스터층, 박막 트랜지스터층 상에 배치된 평탄화막, 평탄화막 상에 배치된 제1 전극, 제1 전극의 일부를 덮는 बैं크, 제1 전극 상에 배치된 유기발광층, 유기발광층 상에 배치된 제2 전극, 제2 전극 상에 배치되며 적어도 하나의 무기막과 적어도 하나의 유기막을 포함하는 봉지막, 및 बैं크, 평탄화막, 및 박막 트랜지스터층을 관통하고,

버퍼막의 일부가 파인 홀을 구비하고, 유기막은 홀에 채워진다.

[0009] 본 명세서의 일 실시예에 따른 유기발광 표시장치의 제조방법은 기판 상에 버퍼막을 형성하는 단계, 버퍼막 상에 박막 트랜지스터층을 형성하는 단계, 박막 트랜지스터층 상에 홀을 포함하는 평탄화막을 형성하고 평탄화막 상에 제1 전극을 형성하는 단계, 제1 전극의 일부를 덮고 홀을 덮지 않는 बैं크를 형성하는 단계, 홀에 의해 노출된 박막 트랜지스터층과 버퍼막의 일부를 식각하는 단계, 제1 전극 상에 유기발광층과 제2 전극을 형성하는 단계, 및 제2 전극 상에 적어도 하나의 무기막과 적어도 하나의 유기막을 포함하는 봉지막을 형성하는 단계를 포함하고, 적어도 하나의 유기막은 홀에 채워진다.

발명의 효과

[0010] 본 명세서의 실시예들은 बैं크에서부터 제2 층간 절연막까지 정테이퍼 형태로 형성되고 제2 층간 절연막에서부터 액티브 버퍼막까지 역테이퍼 형태로 형성되는 홀을 마련하고, 제1 전극, 유기발광층, 제2 전극을 덮는 봉지막의 유기막을 홀에 채운다. 그 결과, 본 명세서의 실시예들은 봉지막의 유기막이 유기발광층 및 제2 전극을 고정하는 역할을 하므로, 유기발광 표시장치가 접하거나 구부러질 때 발생하는 응력에 의해 유기발광층이 박리되는 것을 개선할 수 있다.

[0011] 본 명세서의 실시예들은 기판의 벤딩부의 무기막 제거 공정을 이용하여 표시영역의 서브화소에 홀을 형성한다. 그 결과, 본 명세서의 실시예들은 홀을 형성하기 위해 추가되는 공정이 없으므로, 제조 비용 추가 없이 홀을 형성할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 명세서의 일 실시예에 따른 유기발광 표시장치를 포함하는 휴대용 전자 장치를 보여주는 사시도이다.
- 도 2는 본 명세서의 일 실시예에 따른 유기발광 표시장치를 보여주는 분해 사시도이다.
- 도 3은 도 2의 표시 모듈을 상세히 보여주는 평면도이다.
- 도 4는 도 3의 표시 영역의 화소들을 개략적으로 보여주는 평면도이다.
- 도 5는 도 4의 제1 서브 화소를 상세히 보여주는 평면도이다.
- 도 6은 도 3의 패드부를 개략적으로 보여주는 평면도이다.
- 도 7은 도 5의 I-I'의 일 예를 보여주는 단면도이다.
- 도 8은 도 6의 II-II'의 일 예를 보여주는 단면도이다.
- 도 9는 본 명세서의 일 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다.
- 도 10a 내지 도 10f는 도 9의 유기발광 표시장치의 제조방법을 설명하기 위한 I-I'의 단면도들이다.
- 도 11a 내지 도 11e는 도 9의 유기발광 표시장치의 제조방법을 설명하기 위한 II-II'의 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0013] 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0015] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐

릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

- [0016] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0017] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0018] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다.
- [0019] 도 1은 본 명세서의 일 실시예에 따른 유기발광 표시장치를 포함하는 휴대용 전자 장치를 보여주는 사시도이다.
- [0020] 도 1을 참조하면, 본 명세서의 일 실시예에 따른 휴대용 전자 장치(PED)는 스마트폰(smart phone)인 것을 예시하였으나, 이에 한정되지 않는다. 즉, 본 명세서의 일 실시예에 따른 휴대용 전자 장치는 태블릿(tablet) 또는 노트북 컴퓨터(notebook computer)일 수 있다. 또한, 본 명세서의 일 실시예에 따른 유기발광 표시장치는 휴대용 전자 장치(PED)뿐만 아니라 모니터(monitor), TV 등과 같은 다양한 전자 장치에 적용될 수 있다.
- [0021] 휴대용 전자 장치(PED)는 외관을 이루는 케이스(CS), 표시 장치(CDIS), 음향출력 모듈(SOM), 이미지 센서(CAM), 조도 센서(IS), 스피커(SPK), 마이크(MIC), 이어폰 포트(EP), 및 충전 포트(CP)를 포함한다.
- [0022] 케이스(CS)는 휴대용 전자 장치(PED)의 전면(前面), 측면(側面), 및 배면(背面)을 커버하도록 형성될 수 있다. 케이스(CS)는 플라스틱으로 형성될 수 있다. 케이스(CS)의 전면(前面)에는 표시 장치(CDIS), 음향 출력 모듈(SOM), 카메라(CAM), 및 조도 센서(IS)가 배치될 수 있다. 케이스(CS)의 일 측면에는 마이크(MIC), 이어폰 포트(EP), 및 충전 포트(CP)가 배치될 수 있다.
- [0023] 표시 장치(CDIS)는 휴대용 전자 장치(PED)의 전면(前面)의 대부분을 차지한다. 표시 장치(CDIS)에 대한 자세한 설명은 도 2 및 도 3을 결부하여 후술한다.
- [0024] 음향출력 모듈(SOM)은 상대방과 통화 시 상대방의 음성을 출력하는 수신 장치이다. 이미지 센서(CAM)는 휴대용 전자 장치(PED)의 전면(前面)에 보이는 이미지를 촬영하기 위한 장치로, 휴대용 전자 장치(PED)의 배면(背面)에는 다른 이미지 센서가 추가로 배치될 수 있다. 조도 센서(IS)는 입사되는 빛의 양을 감지하여 표시 장치(CDIS)의 휘도를 조정하기 위한 장치이다. 마이크(MIC)는 상대방과 통화시 사용자의 음성의 음파를 전기신호로 변환하여 전송하기 위한 송신 장치이다. 스피커(SPK)는 휴대용 전자 장치(PED)에서 수행되는 기능 또는 어플리케이션 과 관련된 음향 신호를 출력한다. 이어폰 포트(EP)는 이어폰을 꽂는 경우, 스피커(SPK)를 대신하여 이어폰으로 음향 신호를 출력하는 포트이다. 충전 포트(CP)는 휴대용 전자 장치(PED)의 배터리를 충전하기 위한 충전기가 연결되는 포트이다.
- [0025] 도 2는 본 명세서의 일 실시예에 따른 유기발광 표시장치를 보여주는 분해 사시도이다.
- [0026] 도 2를 참조하면, 본 명세서의 일 실시예에 따른 표시장치는 커버 기관(10), 접착 필름(20), 편광 필름(30), 표시 모듈(40) 방열 필름(50), 연성 필름(60), 및 통합 구동회로(70)를 포함할 수 있다.
- [0027] 커버 기관(10)은 플라스틱 또는 유리로 형성될 수 있다. 커버 기관(10)은 평탄부와 곡률부를 포함할 수 있다. 평탄부는 커버 기관(10)의 중앙 영역에서 평평하게 형성될 수 있다. 곡률부는 커버 기관(10)의 적어도 일 측 가장자리에서 제1 곡률로 형성될 수 있다. 도 1 내지 도 2에서는 곡률부가 커버 기관(10)의 양 측 가장자리에 형성된 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 곡률부는 커버 기관(10)의 일 측 가장자리에만 형성되거나, 세 측 가장자리 또는 네 측 가장자리에 형성될 수도 있다. 또한, 도 2에서는 커버 기관(10)이 곡률부를 포함하는 것으로 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 커버 기관(10)은 평탄부만을 포함할 수도 있다.
- [0028] 표시 모듈(40)은 데코층(11)을 포함할 수 있다. 데코층(11)은 표시 모듈(40)이 영상을 표시하지 않는 경우에도 사용자에게 보여줄 수 있는 패턴이 형성된 층일 수 있다. 데코층(11)은 문자 패턴(11a)과 색상층(11b)을 포함할 수 있다. 문자 패턴(11a)은 도 2의 "LG"와 같이 회사의 로고일 수 있다. 색상층(11b)은 표시 모듈(40)의 베젤 영역에 대응되는 영역에 형성될 수 있다. 색상층(11b)이 블랙으로 형성되는 경우, 표시 모듈(40)이 영상을 표시하지 않는다면, 표시 모듈(40)의 표시영역과 동일한 색으로 표현될 수 있으므로, 표시 모듈(40)의 화면은 사용자에게 넓어 보일 수 있다.
- [0029] 커버 기관(10)의 배면에는 접착 필름(20)이 배치된다. 접착 필름(20)은 커버 기관(10)과 편광 필름(30)을 접착하는 역할을 한다. 접착 필름(20)은 투명한 접착 레진(optically cleared resin, OCR) 또는 투명한 접착 필름

(optically cleared adhesive film, OCA film)일 수 있다.

- [0030] 커버 기관(10)의 배면에는 편광 필름(30)이 배치된다. 편광 필름(30)은 외부광 반사로 인한 시인성 저하를 방지할 수 있다.
- [0031] 편광 필름(30)의 배면에는 표시 모듈(40)이 배치될 수 있다. 표시 모듈(40)은 소정의 영상을 표시하는 표시장치이다. 예를 들어, 표시 모듈(40)은 유기발광 표시장치(Organic Light Emitting Display)일 수 있으나, 본 명세서의 실시예들은 이에 한정되지는 않는다.
- [0032] 표시 모듈(40)은 커버 기관(10)의 평탄부와 곡률부 상에 배치될 수 있다. 표시 모듈(40)이 커버 기관(10)의 곡률부에도 배치되므로, 사용자는 커버 기관(10)의 곡률부를 통해서도 영상을 볼 수 있다.
- [0033] 표시 모듈(40)은 적어도 일 측의 일부가 연장된 벤딩부(45)를 포함할 수 있다. 예를 들어, 도 2와 같이 벤딩부(45)는 표시 모듈(40)의 하 측의 일부가 연장되어 형성될 수 있다. 벤딩부(45)에는 연성 필름(60)이 부착될 수 있으며, 베젤 영역을 최소화하기 위해 벤딩부(45)와 연성 필름(60)은 방열 필름의 배면으로 구부러져 고정될 수 있다. 연성 필름(60)은 통합 구동회로(70)가 실장되는 칩 온 필름(chip on film)으로 형성될 수 있다.
- [0034] 표시 모듈(40)의 배면에는 방열 필름(50)이 배치될 수 있다. 방열 필름(50)은 표시 모듈(40)로부터 발생하는 열을 효과적으로 방출할 수 있도록 열 전도율이 높은 물질을 포함할 수 있다. 또한, 방열 필름(50)은 표시 모듈(40)을 외부의 충격으로부터 보호하기 위한 완충 기능을 수행할 수 있다.
- [0035] 통합 구동회로(70)는 집적회로(integrated circuit, IC)와 같이 칩 형태로 형성되어 연성 필름(60) 상에 COF(chip on film) 방식으로 부착될 수 있다. 통합 구동회로(70)는 데이터 구동회로, 타이밍 제어회로, 전원 공급회로, 및 감마전압 회로가 통합된 구동회로일 수 있다.
- [0036] 데이터 구동회로는 감마전압 회로의 감마전압들을 이용하여 데이터 전압들을 생성하고 표시 모듈(40)의 데이터 라인들에 데이터 전압들을 공급하기 위한 회로이고, 타이밍 제어회로는 데이터 구동회로와 표시 모듈(40)에 형성된 스캔 구동회로의 동작 타이밍들을 제어하기 위한 회로이다. 또한, 전원 공급회로는 데이터 구동회로, 타이밍 제어회로, 감마전압 회로, 및 스캔 구동회로에 필요한 구동 전압들을 생성하여 공급하기 위한 회로이다. 또한, 감마전압 회로는 데이터 구동회로에 감마전압들을 공급하기 위한 회로이다.
- [0037] 도 3은 도 2의 표시 모듈을 상세히 보여주는 평면도이다.
- [0038] 도 3을 참조하면, 본 명세서의 일 실시예에 따른 표시 모듈(40)은 기관(41), 기관(41)의 비표시영역에 형성된 스캔 구동회로(42), 기관(41)의 적어도 일 측에서 연장되어 형성된 벤딩부(45), 및 벤딩부(45)에 형성된 패드부(43)를 포함한다.
- [0039] 기관(41)은 지지 기관(41a)과 플렉서블 기관(41b)을 포함할 수 있다.
- [0040] 지지 기관(41a)은 플렉서블 기관(41b)을 지지하기 위한 기관으로, 플라스틱으로 형성될 수 있다. 예를 들어, 지지 기관(41a)은 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET)로 형성될 수 있다. 지지 기관(41a)은 벤딩부(45)에는 형성되지 않을 수 있다.
- [0041] 플렉서블 기관(41b)은 지지 기관(41) 상에 배치될 수 있으며, 유연성을 갖는 플라스틱 필름으로 형성될 수 있다. 예를 들어, 플렉서블 기관(41b)은 폴리이미드(polyimide) 필름으로 형성될 수 있다.
- [0042] 플렉서블 기관(41b) 상에는 화소 어레이층이 형성되어 영상을 표시하는 표시영역(DA)과 표시영역(DA)을 제외한 비표시영역에 형성되는 스캔 구동회로(42)와 패드부(43)가 형성될 수 있다.
- [0043] 표시영역(DA)에는 스캔 라인들, 데이터 라인들, 및 복수의 화소들이 형성되어 화상을 표시하는 영역이다. 스캔 라인들은 제1 방향(X축 방향)으로 형성되고, 데이터 라인들은 제1 방향과 교차되는 제2 방향(Y축 방향)으로 형성될 수 있다. 복수의 화소들 각각은 스캔 라인들과 데이터 라인들의 교차 영역들에 형성될 수 있다. 복수의 화소들 각각은 도 5와 같이 화소 구동부(PDA), 발광부(EA), 및 홀(EH)을 포함할 수 있다. 표시영역(DA)에 대한 자세한 설명은 도 4 및 도 5를 결부하여 후술한다.
- [0044] 스캔 구동회로(42)는 통합 구동회로(70)로부터 스캔 제어신호를 입력받고, 스캔 제어신호에 따라 스캔 신호들을 생성하여 스캔 라인들에 순차적으로 공급한다. 이로 인해, 스캔 라인이 공급되는 스캔 라인에 접속되는 화소들에는 데이터 전압들이 공급될 수 있다.
- [0045] 스캔 구동회로(42)는 도 3과 같이 표시영역(DA)의 양 측 바깥쪽에 배치될 수 있으나, 본 명세서의 실시예들은

이에 한정되지 않는다. 즉, 즉, 본 명세서의 실시예들에서 스캔 구동회로(42)는 표시영역(DA)의 적어도 어느 일측 바깥쪽만에 배치될 수 있다.

[0046] 패드부(43)는 복수의 패드(PD)들이 형성되는 영역이다. 패드부(43)에는 이방성 도전 필름(anisotropy conductive film)을 이용하여 연성 필름(60)이 부착될 수 있다. 이로 인해, 패드부(43)에는 통합 구동회로(60)로부터 출력되는 데이터 전압들, 전원전압들, 스캔 제어신호 등이 공급될 수 있다. 패드(PD)들 각각은 링크 라인들을 통해 표시영역(DA)의 데이터 라인들에 연결되거나 스캔 구동회로(42)에 연결되거나 화소들에 전원전압들을 공급하기 위한 전원 라인들에 연결될 수 있다. 이로 인해, 표시영역(DA)의 데이터 라인들에는 통합 구동회로(60)의 데이터 전압들이 공급되고, 스캔 구동회로(42)에는 스캔 구동회로(42)의 스캔 제어신호가 공급되며, 전원 라인들에는 전원전압들이 공급될 수 있다. 패드부(43)에 대한 자세한 설명은 도 6 및 도 8을 결부하여 후술한다.

[0047] 도 4는 도 3의 표시 영역의 화소들을 개략적으로 보여주는 평면도이다.

[0048] 도 4에서는 설명의 편의를 위해 제k 스캔 라인(SLk), 제k+1 스캔 라인(SLk+1), 제j 데이터 라인(DLj), 제j+1 데이터 라인(DLj+1), 제j+2 데이터 라인(DLj+2), 및 제j+3 데이터 라인(DLj+3)의 교차 영역들에 형성된 제1 및 제2 화소들(P1, P2)의 서브 화소들만을 예시하였다.

[0049] 도 4를 참조하면, 제k 스캔 라인(SLk)과 제k+1 스캔 라인(SLk+1)은 제1 방향(X축 방향)으로 형성되고, 제j 데이터 라인(DLj), 제j+1 데이터 라인(DLj+1), 제j+2 데이터 라인(DLj+2), 및 제j+3 데이터 라인(DLj+3)은 제2 방향(Y축 방향)으로 형성될 수 있다. 초기화 전압 라인(VRL)은 스캔 라인들(SLk, SLk+1)과 나란하게 제1 방향(X축 방향)으로 형성될 수 있다. 고전위 전압 라인(VDDL)은 데이터 라인들(DLj, DLj+1, DLj+2, DLj+3)과 나란하게 제2 방향(Y축 방향)으로 형성될 수 있다.

[0050] 화소들(P1, P2) 각각은 복수의 서브 화소들을 포함할 수 있다. 예를 들어, 화소들(P1, P2) 각각은 도 4와 같이 적색 서브화소(RP), 청색 서브화소(BP), 제1 및 제2 녹색 서브화소들(GP1, GP2)을 포함할 수 있다. 하지만, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 화소들(P1, P2) 각각이 적어도 하나의 적색 서브화소, 적어도 하나의 녹색 서브화소, 적어도 하나의 청색 서브화소를 포함할 수 있다. 또는, 본 명세서의 실시예들에서 화소들(P1, P2) 각각은 적색, 녹색, 및 청색의 컬러 조합을 갖는 서브화소들 외에 노란색, 청록색(cyan), 및 자홍색(magenta)의 컬러 조합 등의 다른 컬러 조합을 갖는 서브화소들을 포함할 수 있다.

[0051] 적색 서브화소(RP), 청색 서브화소(BP), 제1 및 제2 녹색 서브화소들(GP1, GP2) 각각은 적어도 하나의 스캔 라인과 적어도 하나의 데이터 라인의 교차 영역에 형성될 수 있다. 또한, 적색 서브화소(RP), 청색 서브화소(BP), 제1 및 제2 녹색 서브화소들(GP1, GP2) 각각은 적어도 하나의 스캔 라인과 적어도 하나의 제1 전원전압 라인(VDDL)의 교차 영역, 적어도 하나의 초기화 전압 라인(VRL)과 적어도 하나의 데이터 라인의 교차 영역, 적어도 하나의 초기화 전압 라인(VRL)과 적어도 하나의 제1 전원라인(VDDL)의 교차 영역에 형성될 수도 있다.

[0052] 적색 서브화소(RP)는 적색 발광부(RE)를 포함하며, 청색 서브화소(BP)는 청색 발광부(BE)를 포함하고, 제1 녹색 서브화소(GP1)는 제1 녹색 발광부(GE1)를 포함하며, 제2 녹색 서브화소(GP2)는 제2 녹색 발광부(GE2)를 포함할 수 있다. 예를 들어, 도 4에서는 적색 발광부(RE), 청색 발광부(BE), 제1 및 제2 녹색 발광부들(GE1, GE2) 각각이 마름모 형태로 형성된 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 적색 발광부(RE), 청색 발광부(BE), 제1 및 제2 녹색 발광부들(GE1, GE2) 각각은 삼각형, 사각형, 오각형, 육각형, 칠각형, 팔각형 등 다각형, 원형, 또는 타원형으로 형성될 수 있다.

[0053] 또한, 도 4에서는 청색 발광부(BE)의 크기가 적색 발광부(RE)의 크기보다 크고, 적색 발광부(RE)의 크기가 제1 녹색 발광부(GE1)의 크기 및 제2 녹색 발광부(GE2)의 크기보다 각각 큰 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다.

[0054] 또한, 도 4에서는 서브 화소들(RP, BP, GP1, GP2)의 발광부들(RE, BE, GE1, GE2)의 배치가 직사각형 형태인 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 서브 화소들(RP, BP, GP1, GP2)의 발광부들(RE, BE, GE1, GE2)의 배치 펜타일(PenTile) 형태를 가질 수 있으나, 이에 한정되지 않는다.

[0055] 도 5는 도 4의 제k 스캔 라인과 제j 데이터 라인의 교차 영역에 형성된 적색 서브화소를 상세히 보여주는 평면도이다.

[0056] 도 5를 참조하면, 적색 서브화소(RP)는 화소 구동부(PD), 적색 발광부(RE), 및 적어도 하나의 홀(EH1, EH2)를

포함한다.

- [0057] 화소 구동부(PD)는 제k 스캔 라인(SLk), 제j 데이터 라인(DLj), 초기화 전압 라인(VRL), 및 제1 전원전압 라인(VDDL)에 중첩되게 형성될 수 있다. 화소 구동부(PD)는 복수의 트랜지스터들과 적어도 하나의 커패시터를 포함할 수 있다. 예를 들어, 화소 구동부(PD)는 게이트 전극에 공급된 데이터 전압에 따라 고전위 전압 라인(VDDL)으로부터 발광부(EA)의 발광 소자에 공급되는 전류량을 제어하기 위한 구동 트랜지스터, 제k 스캔 라인(SLk)의 스캔 신호가 입력되는 경우 제j 데이터 라인(DLj)의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하기 위한 제1 스캔 트랜지스터, 제k-1 스캔 라인(SLk-1)의 스캔 신호가 입력되는 경우 구동 트랜지스터(DT)의 게이트 전극을 초기화 전압 라인(VRL)의 기준전압으로 초기화하는 제2 스캔 트랜지스터 등을 포함할 수 있다.
- [0058] 적색 발광부(RE)는 제1 전극, 발광층, 및 제2 전극을 포함하는 발광 소자를 포함할 수 있다. 제1 전극은 애노드 전극이고, 제2 전극은 캐소드 전극일 수 있다. 구체적으로, 적색 발광부(RE)는 애노드 전극에 해당하는 제1 전극, 유기발광층, 및 캐소드 전극에 해당하는 제2 전극이 순차적으로 적층되어 제1 전극으로부터의 정공과 제2 전극으로부터의 전자가 발광층에서 서로 결합되어 발광하는 영역을 나타낸다. 이 경우, 발광층은 유기발광층일 수 있다.
- [0059] 한편, 도 7과 같이 화소 구동부(PD)는 박막 트랜지스터층(110)에 형성되고, 적색 발광부(RE)는 도 7과 같이 발광 소자층(120)에 형성될 수 있다. 이 경우, 적색 발광부(RE)는 상부 방향으로 발광하는 상부 발광(top emission) 방식으로 형성될 수 있으며, 이로 인해 적색 발광부(RE)는 화소 구동부(PD)에 중첩되게 형성될 수 있다. 또한, 적색 발광부(RE)는 화소 구동부(PD)뿐만 아니라 제k 스캔 라인(SLk), 제j 데이터 라인(Dj), 초기화 전압 라인(VRL), 및 제1 전원전압 라인(VDDL) 중 적어도 어느 하나에 중첩될 수도 있다.
- [0060] 적어도 하나의 홀(EH1, EH2)은 적색 발광부(RE)를 포함하는 발광 소자층(120) 상에 배치되는 봉지막이 채워지는 홀(hole)이다. 봉지막은 적어도 하나의 무기막과 적어도 하나의 유기막을 포함할 수 있으며, 이 경우 적어도 하나의 홀(EH1, EH2)에는 유기막이 채워질 수 있다. 이로 인해, 유기발광 표시장치가 접히거나 구부러지더라도, 적색 발광부(RE) 상에 배치되는 유기막이 적어도 하나의 홀(EH1, EH2)에 채워져 고정되기 때문에, 유기발광층이 애노드 전극으로부터 박리되는 것을 개선할 수 있다.
- [0061] 또한, 적어도 하나의 홀(EH1, EH2)의 깊이가 깊을수록 유기막에 의해 유기발광층을 고정하는 효과가 크기 때문에, 적어도 하나의 홀(EH1, EH2)은 도 7과 같이 박막 트랜지스터층(110)을 관통하도록 형성될 수 있다. 이를 위해서, 적어도 하나의 홀(EH1, EH2)은 화소 구동부(PD)와 적색 발광부(RE)와 중첩되지 않게 형성된다. 또한, 적어도 하나의 홀(EH1, EH2)은 스캔 라인들, 데이터 라인들, 초기화 전압 라인(VRL)들, 및 제1 전원전압 라인(VDDL)들과 중첩되지 않게 형성된다. 즉, 적어도 하나의 홀(EH1, EH2)이 박막 트랜지스터층(110)에 형성되는 어떠한 금속층과 반도체층, 및 발광소자층(120)에 형성되는 어떠한 금속층과도 중첩되지 않아야 박막 트랜지스터층(110)을 관통하도록 형성될 수 있다.
- [0062] 도 5에서는 적색 서브화소(RP)가 두 개의 홀들(EH1, EH2)을 포함하는 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다. 하지만, 홀의 면적이 넓을수록 유기막에 의해 유기발광층을 고정하는 효과가 커질 수 있는 반면에, 화소 구동부(PD)의 면적과 적색 발광부(RE)의 면적이 줄어들기 때문에, 홀의 면적은 이를 고려하여 적절하게 설계될 수 있다.
- [0063] 한편, 도 5에서는 설명의 편의를 위해 제1 화소(P1)의 적색 서브화소(RP)만을 예시하였으며, 제1 화소(P1)의 청색 서브화소(BP), 제1 녹색 서브화소(GP1), 및 제2 녹색 서브화소(GP2)는 도 5에서 설명한 적색 서브화소(RP)와 실질적으로 동일할 수 있다. 따라서, 제1 화소(P1)의 청색 서브화소(BP), 제1 녹색 서브화소(GP1), 및 제2 녹색 서브화소(GP2)에 대한 자세한 설명은 생략한다.
- [0064] 도 6은 도 3의 패드부를 개략적으로 보여주는 평면도이다.
- [0065] 도 6을 참조하면, 패드부(43)는 복수의 패드들(PD1~PDq)을 포함한다. 복수의 패드들(PD1~PDq)은 링크 라인들(LL1~LLq)에 각각 접속될 수 있다. 링크 라인들(LL1~LLq)은 표시영역(DA)의 데이터 라인들, 스캔 구동회로(42)에 접속된 스캔 제어라인, 초기화 전원 라인(VRL), 제1 전원전압 라인(VDDL), 또는 캐소드 전극에 해당하는 제2 전극에 접속되는 제2 전원전압 라인에 접속될 수 있다.
- [0066] 복수의 패드들(PD1~PDq) 상에는 연성 필름(60)이 부착된다. 연성 필름(60)은 복수의 도전성 리드들을 포함할 수 있으며, 복수의 패드들(PD1~PDq)은 이방성 도전 필름을 통해 연성 필름(60)의 도전성 리드들에 각각 접속될 수 있다.

- [0067] 도 7은 도 5의 I-I'의 일 예를 보여주는 단면도이다.
- [0068] 이하에서는, 도 7을 결부하여 표시영역(DA)의 화소 구동부(PD), 발광부(EA), 및 홀(EH1)의 단면을 상세히 설명한다.
- [0069] 기관(41)은 지지 기관(41a)과 플렉서블 기관(41b)을 포함할 수 있다. 지지 기관(41a)은 플렉서블 기관(41b)을 지지하기 위한 기관으로, 플라스틱으로 형성될 수 있다. 예를 들어, 지지 기관(41a)은 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET)로 형성될 수 있다. 플렉서블 기관(41b)은 지지 기관(41) 상에 배치될 수 있으며, 유연성을 갖는 플라스틱 필름으로 형성될 수 있다. 예를 들어, 플렉서블 기관(41b)은 폴리이미드(polyimide) 필름으로 형성될 수 있다.
- [0070] 기관(41) 상에는 버퍼막(100)이 형성될 수 있다. 버퍼막(100)은 투습에 취약한 기관(41)을 통해 침투하는 수분(H₂O) 또는 산소(O₂) 등으로부터 박막 트랜지스터들과 발광 소자들을 보호하는 역할을 한다. 버퍼막(100)은 멀티 버퍼막(201)과 액티브 버퍼막(202)을 포함할 수 있다.
- [0071] 멀티 버퍼막(201)은 교번하여 적층된 복수의 버퍼막들(201a, 201b, 201c, 201d)로 이루어질 수 있다. 예를 들어, 멀티 버퍼막(201)의 제1 및 제3 버퍼막들(201a, 201c)은 실리콘 산화막(SiO_x)으로 형성되고, 제2 및 제4 버퍼막들(201b, 201d)은 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0072] 액티브 버퍼막(202)은 멀티 버퍼막(201) 상에 배치될 수 있다. 액티브 버퍼막(202)은 실리콘 산화막(SiO_x)으로 형성될 수 있다.
- [0073] 버퍼막(100) 상에는 박막 트랜지스터층(110)이 형성될 수 있다. 박막 트랜지스터층(110)에는 박막 트랜지스터(210)들, 스캔 라인들, 데이터 라인들, 초기화 전압 라인들, 제1 전원전압 라인들 등이 형성될 수 있다.
- [0074] 박막 트랜지스터(210)들 각각은 액티브층(211), 게이트전극(212), 소스전극(213) 및 드레인전극(214)을 포함한다. 도 7에서는 박막 트랜지스터(210)가 게이트전극(212)이 액티브층(211)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되는 것은 아니다. 예를 들어, 본 명세서의 실시예들에서 박막 트랜지스터(210)는 게이트전극(212)이 액티브층(211)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트전극(212)이 액티브층(211)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.
- [0075] 버퍼막(100) 상에는 액티브층(211)이 형성된다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다. 실리콘계 반도체 물질로는 비정질실리콘(Amorphous Silicon) 또는 비정질 실리콘보다 우수한 이동도(Mobility)를 가져서 에너지 소비 전력이 낮고 신뢰성이 우수한 다결정실리콘(Polycrystalline Silicon)가 이용될 수 있다.
- [0076] 산화물계 반도체 물질로는 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물(InSnGaZnO)계 재료, 3원계 금속 산화물인 인듐 갈륨 아연 산화물(InGaZnO)계 재료, 인듐 주석 아연 산화물(InSnZnO)계 재료, 인듐 알루미늄 아연 산화물(InAlZnO)계 재료, 주석 갈륨 아연 산화물(SnGaZnO)계 재료, 알루미늄 갈륨 아연 산화물(AlGaZnO)계 재료, 주석 알루미늄 아연 산화물(SnAlZnO)계 재료, 2원계 금속 산화물인 인듐 아연 산화물(InZnO)계 재료, 주석 아연 산화물(SnZnO)계 재료, 알루미늄 아연 산화물(AlZnO)계 재료, 아연 마그네슘 산화물(ZnMgO)계 재료, 주석 마그네슘 산화물(SnMgO)계 재료, 인듐 마그네슘 산화물(InMgO)계 재료, 인듐 갈륨 산화물(InGaO)계 재료, 인듐 산화물(InO)계 재료, 주석 산화물(SnO)계 재료, 아연 산화물(ZnO)계 재료 등으로 구성할 수 있으며, 각각의 원소의 조성 비율은 한정되지 않는다.
- [0077] 액티브층(211)은 p형 또는 n형의 불순물을 포함하는 소스 영역(Source Region)과 드레인 영역(Drain Region), 및 소스 영역 및 드레인 영역 사이에 형성된 채널(Channel)을 포함할 수 있고, 채널과 인접한 소스 영역 및 드레인 영역 사이에는 저농도 도핑영역을 포함할 수 있다.
- [0078] 버퍼막(110)과 액티브층(211) 사이에는 액티브층(211)으로 입사되는 외부광을 차단하기 위한 차광층이 형성될 수 있다.
- [0079] 액티브층(211) 상에는 게이트 절연막(220)이 형성될 수 있다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0080] 게이트 절연막(220) 상에는 게이트전극(212), 스캔 라인들, 및 초기화 전압 라인(VRL)들이 형성될 수 있다. 게

이트전극(212), 스캔 라인들, 및 초기화 전압 라인(VRL)들은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

- [0081] 게이트전극(212), 스캔 라인들, 및 초기화 전압 라인들 상에는 층간 절연막(230)이 형성될 수 있다. 층간 절연막(230)은 제1 층간 절연막(231)과 제2 층간 절연막(232)을 포함할 수 있다. 제1 층간 절연막(231)은 실리콘 산화막(SiO_x)으로 형성되고, 제2 층간 절연막(232)은 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0082] 층간 절연막(230) 상에는 소스전극(213), 드레인전극(214), 데이터 라인들, 및 제1 고전위 전압 라인(VDDL)들이 형성될 수 있다. 소스전극(213)과 드레인 전극(214) 각각은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 소스전극(213), 드레인전극(214), 및 데이터 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0083] 소스전극(213), 드레인전극(214), 데이터 라인들, 및 제1 고전위 전압 라인(VDDL)들 상에는 박막 트랜지스터(220)를 절연하기 위한 보호막(240)이 형성될 수 있다. 보호막(240)은 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0084] 보호막(240) 상에는 박막 트랜지스터(210)로 인한 단차를 평탄하게 하기 위한 평탄화막(250)이 형성될 수 있다. 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0085] 박막 트랜지스터층(110) 상에는 발광 소자층(120)이 형성된다. 발광 소자층(120)은 발광 소자들과 बैं크(264)를 포함한다. 도 7에서는 발광 소자층(120)이 상부 발광(top emission) 방식으로 발광하는 것을 중심으로 설명하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 발광 소자층(120)은 하부 발광(bottom emission) 방식으로 발광할 수 있다.
- [0086] 발광 소자들과 बैं크(264)는 평탄화막(250) 상에 형성된다. 발광 소자는 제1 전극(261), 발광층(262), 및 제2 전극(263)을 포함할 수 있다. 제1 전극(261)은 애노드 전극이고, 제2 전극(263)은 캐소드 전극일 수 있다.
- [0087] 제1 전극(261)은 평탄화막(250) 상에 형성될 수 있다. 제1 전극(261)은 보호막(240)과 평탄화막(250)을 관통하는 콘택홀을 통해 박막 트랜지스터(210)의 소스전극(213)에 접속될 수 있다. 제1 전극(261)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0088] बैं크(264)는 평탄화막(250) 상에서 제1 전극(261)의 일부를 덮도록 형성될 수 있다. बैं크(264)는 서브 화소들의 발광부들을 정의하는 화소 정의막일 수 있다. 즉, 발광부는 제1 전극(261), 발광층(262), 및 제2 전극(263)이 순차적으로 적층되어 제1 전극(261)으로부터의 정공과 제2 전극(263)으로부터의 전자가 발광층(262)에서 서로 결합되어 발광하는 영역일 수 있다. बैं크(264)가 형성된 영역은 비발광 영역일 수 있다. बैं크(264)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0089] बैं크(264) 상에는 스페이서가 형성될 수 있다. 스페이서는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0090] 제1 전극(261)과 बैं크(264) 상에는 발광층(262)이 형성된다. 발광층(262)은 발광층(262)은 정공 수송층(Hole Transport Layer; HTL), 유기발광층, 및 전자 수송층(Electron Transport Layer; ETL)을 포함할 수 있다. 정공 수송층은 제1 전극(261)으로부터 주입된 정공을 유기발광층으로 원활하게 전달하는 역할을 한다. 유기발광층은 인광 또는 형광물질을 포함하는 유기물질로 형성될 수 있다. 전자 수송층은 제2 전극(263)으로부터 주입된 전자를 유기발광층으로 원활하게 전달하는 역할을 한다. 발광층(262)은 정공 수송층, 유기발광층, 전자 수송층 이외에, 정공 주입층(Hole Injection Layer; HIL), 정공 저지층(Hole Blocking Layer; HBL), 전자 주입층(Electron Injection Layer; EIL), 및 전자 저지층(Electron Blocking Layer; EBL)을 더 포함할 수 있다.
- [0091] 또한, 발광층(262)은 2 스택(stack) 이상의 탠덤 구조(tandem structure)로 형성될 수 있다. 이 경우, 스택들 각각이 정공 수송층, 유기발광층, 전자 수송층을 포함할 수 있다. 발광층(262)이 2 스택(stack) 이상의 탠덤 구

조로 형성되는 경우, 스택들 사이에는 전하 생성층이 형성될 수 있다. 전하 생성층은 하부 스택과 인접하게 위치하는 n형 전하 생성층과 n형 전하 생성층 상에 형성되어 상부 스택과 인접하게 위치하는 p형 전하 생성층을 포함할 수 있다. n형 전하 생성층은 하부 스택으로 전자(electron)를 주입해주고, p형 전하 생성층은 상부 스택으로 정공(hole)을 주입해준다. n형 전하 생성층은 전자수송능력이 있는 유기 호스트 물질에 Li, Na, K, 또는 Cs와 같은 알칼리 금속, 또는 Mg, Sr, Ba, 또는 Ra와 같은 알칼리 토금속이 도핑된 유기층일 수 있다. p형 전하 생성층은 정공수송능력이 있는 유기 호스트 물질에 도펀트가 도핑된 유기층일 수 있다.

[0092] 발광층(262)은 화소들에 공통적으로 형성되는 공통층일 수 있으며, 이 경우 백색 광을 발광하는 백색 발광층일 수 있다. 하지만, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 발광층(262)은 서브화소 별로 형성될 수 있으며, 이 경우 발광층(262)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층, 및 청색 광을 발광하는 청색 발광층으로 구분될 수 있다.

[0093] 제2 전극(263)은 발광층(262) 상에 형성된다. 제2 전극(263)은 발광층(262)을 덮도록 형성될 수 있다. 제2 전극(263)은 화소들에 공통적으로 형성되는 공통층일 수 있다.

[0094] 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(263)이 반투과 금속물질로 형성되는 경우, 미세 공진(micro cavity)에 의해 출광 효율이 높아질 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.

[0095] 발광 소자층(120) 상에는 봉지막(130)이 형성된다. 봉지막(130)은 발광층(262)과 제2 전극(263)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위해, 봉지막(130)은 적어도 하나의 무기막(271, 273)을 포함할 수 있다. 적어도 하나의 무기막(271, 273)은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, hafnium 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물 중 적어도 하나로 형성될 수 있다.

[0096] 그리고, 봉지막(130)은 이물들(particles)이 발광층(262)과 제2 전극(263)에 투입되는 것을 방지하는 이물 커버층(particle cover layer)으로 역할을 하기 위해 충분한 두께로 형성되는 적어도 하나의 유기막(272)을 포함할 수 있다. 유기막은 발광층(262)에서 발광된 광을 통과시키기 위해 투명한 물질로 형성될 수 있다. 유기막은 발광층(262)에서 발광된 광을 99% 이상 통과시킬 수 있는 유기물질 예를 들면, 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin)로 형성될 수 있으며, 이에 한정되는 것은 아니다.

[0097] 도 7에서는 제2 전극(263) 상에 제1 무기막(271)이 형성되고, 제1 무기막(271) 상에 유기막(272)이 형성되며, 유기막(272) 상에 제2 무기막(273)이 형성된 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다.

[0098] 봉지막(130) 상에는 필요에 따라 컬러필터층(140)이 형성될 수 있다. 컬러필터층(140)은 컬러필터(281)들과 블랙 매트릭스(282)를 포함한다. 컬러필터(281)들 각각은 서브화소들의 발광부들에 대응되게 배치될 수 있다. 블랙 매트릭스(282)는 어느 한 화소의 광이 인접한 화소의 컬러필터(281)로 진행함으로써 혼색이 발생하는 것을 방지하기 위해 컬러필터(281)들 사이에 배치될 수 있다. 블랙 매트릭스(282)는 뱅크(264)와 대응되게 배치될 수 있다. 컬러필터(281)들 상에는 컬러필터(281)들과 블랙 매트릭스(282)로 인한 단차를 평탄화하기 위해 오버코트층이 형성될 수 있다.

[0099] 컬러필터(281)들 상에는 배리어 필름이 배치될 수 있다. 배리어 필름은 발광 소자층(120)을 산소나 수분으로부터 보호하기 위한 층이다. 배리어 필름은 사용자의 터치를 센싱하기 위한 터치 센싱층을 포함할 수 있다.

[0100] 뱅크(264)가 형성된 비발광 영역에서 뱅크(264), 평탄화막(250), 보호막(240), 제2 층간 절연막(232), 제1 층간 절연막(231), 게이트 절연막(220), 및 액티브 버퍼막(202)을 관통하는 홀(EH1)이 형성될 수 있다. 홀(EH1)은 뱅크(264)에서부터 제2 층간 절연막(232)까지 폭이 점점 좁아지도록 형성될 수 있다. 즉, 뱅크(264)에서의 홀(EH1)의 폭(W1)은 제2 층간 절연막(232)에서의 홀(EH1)의 폭(W2)보다 넓게 형성될 수 있다. 또한, 제2 층간 절연막(232)에서의 홀(EH1)의 폭(W2)은 제1 층간 절연막(231)에서의 홀(EH1)의 폭, 게이트 절연막(220)에서의 홀(EH1)의 폭, 및 액티브 버퍼막(202)에서의 홀(EH1)의 폭(W3)에 비해 좁게 형성될 수 있다. 홀(EH1)에서 제2 층간 절연막(232)의 하부면이 드러나도록 형성될 수 있다. 즉, 홀(EH1)은 뱅크(264)에서부터 제2 층간 절연막(232)까지 정테이퍼 형태로 형성되나, 제2 층간 절연막(232)에서부터 액티브 버퍼막(202)까지 역테이퍼 형태로

형성될 수 있다.

- [0101] 홀(EH1)은 बैं크(264) 및 평탄화막(250)을 포토 마스크로 제거하고, 보호막(240) 및 제2 층간 절연막(232)을 건식 식각(dry etch)하며, 제1 층간 절연막(231), 게이트 절연막(220), 및 액티브 버퍼층(202)을 습식 식각(wet etch)함으로써 형성될 수 있다. 홀(EH1)의 제조 방법에 대한 자세한 설명은 도 9를 결부하여 후술한다.
- [0102] 홀(EH1)의 바닥면, 즉 홀(EH1)의 멀티 버퍼막(201) 상에는 더미 유기층(262')이 형성되고, 더미 유기층(262') 상에는 더미 전극(263')이 형성될 수 있다. 더미 유기층(262')은 유기발광층(262)과 동일한 물질로 형성되고, 더미 전극(263')은 제2 전극(263)과 동일한 물질로 형성될 수 있다.
- [0103] 구체적으로, 유기발광층(262)은 증발(evaporation) 증착법으로 형성되는 경우, 스텝 커버리지(step coverage) 특성이 좋지 않다. 스텝 커버리지는 소정의 증착 방법에 의해 증착된 막이 단차가 형성된 부분에서도 끊기지 않고 이어지도록 형성되는 것을 가리킨다. 스텝 커버리지(step coverage) 특성이 좋지 않은 경우, 역테이퍼 형태에서 끊어지게 된다. 이로 인해, 유기발광층(262)은 홀(EH1)에서 끊어지게 형성될 수 있다. 따라서, 유기발광층(262)과 동일한 물질을 갖는 더미 유기층(262')이 홀(EH1)의 멀티 버퍼막(201) 상에 형성될 수 있다.
- [0104] 또한, 제2 전극(263)은 스퍼터링법(sputtering)과 같은 물리적 기상 증착법(physics vapor deposition)으로 형성될 수 있다. 이 경우, 스텝 커버리지 특성이 증발 증착법에 비해 우수하나, 역테이퍼 형태에서는 끊어지게 된다. 이로 인해, 제2 전극(263)은 홀(EH1)에서 끊어지게 형성될 수 있다. 따라서, 제2 전극(263)과 동일한 물질을 갖는 더미 전극(263')이 홀(EH1)의 더미 유기층(262') 상에 형성될 수 있다.
- [0105] 한편, 유기발광층(262)과 제2 전극(263)이 홀(EH1)의 बैं크(264), 평탄화막(250), 보호막(240), 및 제2 층간 절연막(232) 상에도 형성될 수도 있다.
- [0106] 봉지막(130)의 무기막(271)은 원자층 증착법(ALD) 또는 개시제를 이용한 화학 기상 증착법(iCVD)으로 형성될 수 있다. 이 경우, 스텝 커버리지 특성이 우수하므로, 역테이퍼 형태에서도 끊어지지 않고 형성될 수 있다. 이로 인해, 무기막(271)은 홀(EH1)에서 끊어지지 않고 이어지도록 형성될 수 있다.
- [0107] 유기막(272)은 이물들(particles)이 발광층(262)과 제2 전극(263)에 투입되는 것을 방지하는 이물 커버층(particle cover layer)으로 역할을 하기 위해 충분한 두께로 형성되므로, 홀(EH1)에 채워지도록 형성될 수 있다. 홀(EH1)이 बैं크(264)에서부터 제2 층간 절연막(232)까지 정테이퍼 형태로 형성되고 제2 층간 절연막(232)에서부터 액티브 버퍼막(202)까지 역테이퍼 형태로 형성되므로, 홀(EH1)의 중간에서의 폭(W2)이 입구에서의 폭(W1)과 바닥에서의 폭(W3)보다 좁게 형성된다. 이로 인해, 유기막(272)이 유기발광층(262)과 제2 전극(263) 상에 형성되므로, 유기발광층(262)과 제2 전극(263)을 고정하는 역할을 한다고 볼 수 있다. 따라서, 유기발광 표시장치가 접히거나 구부러질 때 발생하는 응력(stress)에 의해 유기발광층(262)이 박리되는 것을 개선할 수 있다.
- [0108] 이상에서 살펴본 바와 같이, 본 명세서의 실시예들은 बैं크(264)에서부터 제2 층간 절연막(232)까지 정테이퍼 형태로 형성되고 제2 층간 절연막(232)에서부터 액티브 버퍼막(202)까지 역테이퍼 형태로 형성되는 홀(EH1)을 마련하고, 제1 전극(261), 유기발광층(262), 제2 전극(263)을 포함하는 발광 소자층(120)을 덮는 봉지막(130)의 유기막(262)을 홀(EH1)에 채운다. 그 결과, 본 명세서의 실시예들은 봉지막(130)의 유기막(262)이 유기발광층(262) 및 제2 전극(263)을 고정하는 역할을 하므로, 유기발광 표시장치가 접히거나 구부러질 때 발생하는 응력(stress)에 의해 유기발광층(262)이 박리되는 것을 개선할 수 있다.
- [0109] 도 8은 도 6의 II-II'의 일 예를 보여주는 단면도이다.
- [0110] 도 8에는 제1 링크 라인(LL1), 제2 링크 라인(LL2), 제2 패드(PD2), 및 제1 링크 라인(LL1)과 제2 링크 라인(LL2) 사이의 단면이 나타나 있다.
- [0111] 패드부(43)는 기관(41)의 벤딩부(45)에 형성되며, 기관(41)의 벤딩부(45)에는 구부러지는 경우 무기막에 크랙이 발생하는 것을 최소화하기 위해 최소한의 무기막들이 형성된다. 따라서, 기관(41)의 벤딩부(45)에 마련된 패드부(43)에는 멀티 버퍼막(201)의 제1 및 제2 버퍼막들(201a, 201b)만이 형성될 수 있다.
- [0112] 패드부(43)에서는 기관(41) 상에 제1 버퍼막(201a)이 형성되고, 제1 버퍼막(201a) 상에 제2 버퍼막(201b)이 형성될 수 있다. 제2 버퍼막(201b) 상에는 제1 제1 링크 라인(LL1), 제2 링크 라인(LL2), 및 제2 패드(PD2)가 형성될 수 있다.
- [0113] 또한, 기관(41)의 벤딩부(45)에는 구부러지는 경우 무기막에 크랙이 발생하는 것을 최소화하기 위해, 링크 라인

들 사이와 패드들 사이에는 제1 및 제2 버퍼막들(201a, 201b)이 형성되지 않을 수 있다. 예를 들어, 도 8과 같이 제1 링크 라인(LL1)과 제2 링크 라인(LL2) 사이에는 버퍼막들이 형성되지 않을 수 있다.

- [0114] 도 9는 본 명세서의 일 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다. 도 10a 내지 도 10f는 도 9의 유기발광 표시장치의 제조방법을 설명하기 위한 I-I'의 단면도들이다. 도 11a 내지 도 11e는 도 9의 유기발광 표시장치의 제조방법을 설명하기 위한 II-II'의 단면도들이다.
- [0115] 이하에서는 도 9, 도 10a 내지 도 10f, 및 도 11a 내지 도 11e를 결부하여 본 명세서의 일 실시예에 따른 유기발광 표시장치의 제조방법을 상세히 설명한다.
- [0116] 첫 번째로, 도 10a와 도 11a를 참조하면, 기판(41) 상에 멀티 버퍼막(201)과 액티브 버퍼막(202)을 포함하는 버퍼막(100)을 형성한다. (도 9의 S101)
- [0117] 구체적으로, 기판(41) 상에 교번하여 적층된 복수의 버퍼막들(201a, 201b, 201c, 201d)을 형성한다. 이때, 제1 및 제3 버퍼막들(201a, 201c)은 실리콘 산화막(SiO_x)으로 형성되고, 제2 및 제4 버퍼막들(201b, 201d)은 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0118] 액티브 버퍼막(202)은 멀티 버퍼막(201) 상에 배치될 수 있다. 액티브 버퍼막(202)은 실리콘 산화막(SiO_x)으로 형성될 수 있다.
- [0119] 두 번째로, 도 10a와 도 11a를 참조하면, 버퍼층(100) 상에 박막 트랜지스터층(110)을 형성한다. (도 9의 S102)
- [0120] 구체적으로, 버퍼막(100) 상에는 액티브층(211)이 형성된다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다. 실리콘계 반도체 물질로는 비정질실리콘(Amorphous Silicon) 또는 비정질실리콘보다 우수한 이동도(Mobility)를 가져서 에너지 소비 전력이 낮고 신뢰성이 우수한 다결정실리콘(Polycrystalline Silicon)가 이용될 수 있다.
- [0121] 산화물계 반도체 물질로는 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물(InSnGaZnO)계 재료, 3원계 금속 산화물인 인듐 갈륨 아연 산화물(InGaZnO)계 재료, 인듐 주석 아연 산화물(InSnZnO)계 재료, 인듐 알루미늄 아연 산화물(InAlZnO)계 재료, 주석 갈륨 아연 산화물(SnGaZnO)계 재료, 알루미늄 갈륨 아연 산화물(AlGaZnO)계 재료, 주석 알루미늄 아연 산화물(SnAlZnO)계 재료, 2원계 금속 산화물인 인듐 아연 산화물(InZnO)계 재료, 주석 아연 산화물(SnZnO)계 재료, 알루미늄 아연 산화물(AlZnO)계 재료, 아연 마그네슘 산화물(ZnMgO)계 재료, 주석 마그네슘 산화물(SnMgO)계 재료, 인듐 마그네슘 산화물(InMgO)계 재료, 인듐 갈륨 산화물 (InGaO)계 재료, 인듐 산화물(InO)계 재료, 주석 산화물(SnO)계 재료, 아연 산화물(ZnO)계 재료 등으로 구성할 수 있으며, 각각의 원소의 조성 비율은 한정되지 않는다.
- [0122] 액티브층(211)은 p형 또는 n형의 불순물을 포함하는 소스 영역(Source Region)과 드레인 영역(Drain Region), 및 소스 영역 및 드레인 영역 사이에 형성된 채널(Channel)을 포함할 수 있고, 채널과 인접한 소스 영역 및 드레인 영역 사이에는 저농도 도핑영역을 포함할 수 있다.
- [0123] 버퍼막(110)과 액티브층(211) 사이에는 액티브층(211)으로 입사되는 외부광을 차단하기 위한 차광층이 형성될 수 있다.
- [0124] 액티브층(211) 상에는 게이트 절연막(220)이 형성될 수 있다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0125] 게이트 절연막(220) 상에는 게이트전극(212), 스캔 라인들, 및 초기화 전압 라인(VRL)들이 형성될 수 있다. 게이트전극(212), 스캔 라인들, 및 초기화 전압 라인(VRL)들은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0126] 게이트전극(212), 스캔 라인들, 및 초기화 전압 라인들 상에는 층간 절연막(230)이 형성될 수 있다. 층간 절연막(230)은 제1 층간 절연막(231)과 제2 층간 절연막(232)을 포함할 수 있다. 제1 층간 절연막(231)은 실리콘 산화막(SiO_x)으로 형성되고, 제2 층간 절연막(232)은 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0127] 층간 절연막(230) 상에는 소스전극(213), 드레인전극(214), 데이터 라인들, 및 제1 고전위 전압 라인(VDDL)들이 형성될 수 있다. 소스전극(213)과 드레인 전극(214) 각각은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 소스전극(213), 드레인전극(214), 및 데이터 라인은 몰리브덴

(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

- [0128] 세 번째로, 도 10a를 참조하면, 박막 트랜지스터층(110) 상에 홀(EH1)을 포함하는 평탄화막(250)을 형성하고, 평탄화막(250) 상에 제1 전극(261)을 형성한다. (도 9의 S103)
- [0129] 구체적으로, 소스전극(213), 드레인전극(214), 데이터 라인들, 및 제1 고전위 전압 라인(VDDL)들 상에는 박막 트랜지스터(220)를 절연하기 위한 보호막(240)이 형성될 수 있다. 보호막(240)은 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0130] 보호막(240) 상에는 박막 트랜지스터(210)로 인한 단차를 평탄하게 하기 위한 평탄화막(250)이 형성될 수 있다. 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0131] 또한, 포토 마스크 공정을 통해 평탄화막(250)을 관통하고, 건식 식각 공정을 통해 보호막(240)을 관통함으로써 소스 전극(213)을 노출하는 콘택홀(CH)과 제2 층간 절연막(232)을 노출하는 홀(EH)이 형성될 수 있다.
- [0132] 제1 전극(261)은 평탄화막(250) 상에 형성될 수 있다. 제1 전극(261)은 보호막(240)과 평탄화막(250)을 관통하는 콘택홀(CH)을 통해 박막 트랜지스터(210)의 소스전극(213)에 접속될 수 있다. 제1 전극(261)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0133] 네 번째로, 도 10b를 참조하면, 제1 전극(261)의 일부를 덮고 홀(EH1)을 덮지 않는 बैं크를 형성한다. (도 9의 S104)
- [0134] 구체적으로, बैं크(264)는 평탄화막(250) 상에서 제1 전극(261)의 일부를 덮도록 형성될 수 있다. बैं크(264)는 서브 화소들의 발광부들을 정의하는 화소 정의막일 수 있다. 즉, 발광부는 제1 전극(261), 발광층(262), 및 제2 전극(263)이 순차적으로 적층되어 제1 전극(261)으로부터의 정공과 제2 전극(263)으로부터의 전자가 발광층(262)에서 서로 결합되어 발광하는 영역일 수 있다. बैं크(264)가 형성된 영역은 비발광 영역일 수 있다. बैं크(180)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0135] 또한, 포토 마스크 공정을 통해 홀(EH1)에 채워진 बैं크(264)를 제거함으로써 홀(EH1)이 बैं크(264)에 의해 덮이지 않도록 형성한다.
- [0136] बैं크(264) 상에는 스페이서가 형성될 수 있다. 스페이서는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0137] 다섯 번째로, 도 10c, 도 10d, 도 11b, 및 도 11c와 같이 홀(EH1)에 의해 노출된 박막 트랜지스터층(110)과 버퍼막(100)의 일부를 식각한다. (도 9의 S105)
- [0138] 구체적으로, 도 10c 및 도 11b와 같이 건식 식각 공정을 통해 홀(EH1)에 의해 노출된 제2 층간 절연막(232)을 식각한다.
- [0139] 그리고 나서, 도 10d 및 도 11c와 같이 제2 층간 절연막(232)의 제거로 인해 홀(EH1)에서 노출된 제1 층간 절연막(231), 게이트 절연막(220), 및 액티브 버퍼막(202)을 습식 식각 공정을 통해 동시에 식각한다. 제1 층간 절연막(231), 게이트 절연막(220), 및 액티브 버퍼막(202)은 모두 실리콘 산화막(SiO_x)으로 형성되며, 제2 층간 절연막(232)과 멀티 버퍼막(201)의 최상부막인 제4 버퍼막(201d)이 실리콘 질화막(SiN_x)으로 형성되므로, 실리콘 질화막(SiN_x)은 식각되지 않고 실리콘 산화막(SiO_x)은 식각되는 선택적 식각액을 이용하여 제1 층간 절연막(231), 게이트 절연막(220), 및 액티브 버퍼막(202)을 동시에 식각한다. 이로 인해, 제2 층간 절연막(232)은 식각되지 않으므로, 제2 층간 절연막(232)의 하부면은 드러날 수 있다.
- [0140] 이상에서 살펴본 바와 같이, 홀(EH1)은 बैं크(264) 및 평탄화막(250)을 포토 마스크로 제거하고, 보호막(240) 및 제2 층간 절연막(232)을 건식 식각(dry etch)하며, 제1 층간 절연막(231), 게이트 절연막(220), 및 액티브 버퍼층(202)을 습식 식각(wet etch)함으로써 형성될 수 있다. 따라서, 홀(EH1)은 बैं크(264)에서부터 제2 층간 절연

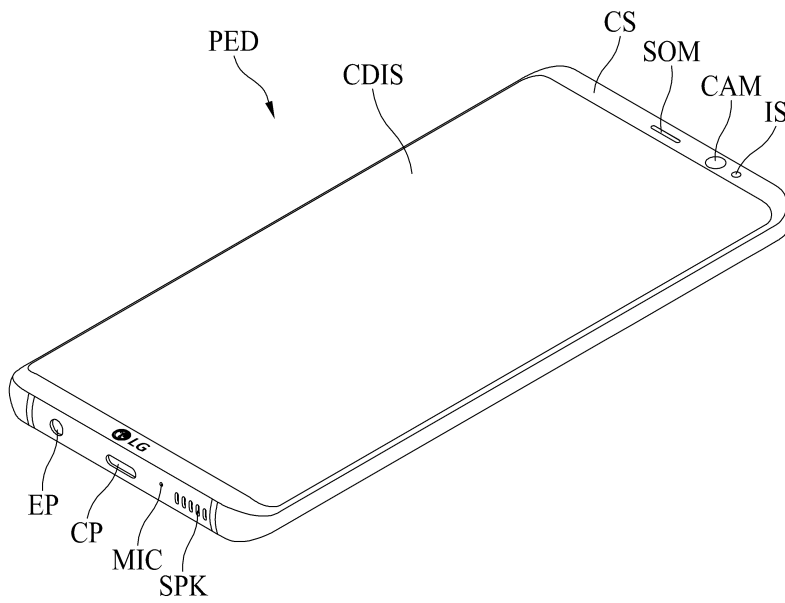
막(232)까지 정테이퍼 형태로 형성되나, 제2 층간 절연막(232)에서부터 액티브 버퍼층(202)까지 역테이퍼 형태로 형성될 수 있다.

- [0141] 그리고 나서, 도 11d와 같이 건식 식각 공정을 통해 제3 및 제4 버퍼막들(201c, 201d)을 식각한 후 링크 라인들과 패드들을 형성한다.
- [0142] 그리고 나서, 도 11e와 같이 건식 식각 공정을 통해 링크 라인들 사이와 패드들 사이에서 제1 및 제2 버퍼막들(201a, 201b)을 식각하고, 기판(41)의 플라스틱 필름(41b)의 일부를 식각할 수 있다.
- [0143] 여섯 번째로, 도 10e와 같이 제1 전극(261) 상에 유기발광층(262)과 제2 전극(263)을 형성한다. (도 9의 S106)
- [0144] 구체적으로, 제1 전극(261)과 बैं크(264) 상에는 발광층(262)이 형성된다. 발광층(262)은 정공 수송층(Hole Transport Layer; HTL), 유기발광층, 및 전자 수송층(Electron Transport Layer; ETL)을 포함할 수 있다. 정공 수송층은 제1 전극(261)으로부터 주입된 정공을 유기발광층으로 원활하게 전달하는 역할을 한다. 유기발광층은 인광 또는 형광물질을 포함하는 유기물질로 형성될 수 있다. 전자 수송층은 제2 전극(263)으로부터 주입된 전자를 유기발광층으로 원활하게 전달하는 역할을 한다. 발광층(262)은 정공 수송층, 유기발광층, 전자 수송층 이외에, 정공 주입층(Hole Injection Layer; HIL), 정공 저지층(Hole Blocking Layer; HBL), 전자 주입층(Electron Injection Layer; EIL), 및 전자 저지층(Electron Blocking Layer; EBL)을 더 포함할 수 있다.
- [0145] 또한, 발광층(262)은 2 스택(stack) 이상의 탠덤 구조(tandem structure)로 형성될 수 있다. 이 경우, 스택들 각각이 정공 수송층, 유기발광층, 전자 수송층을 포함할 수 있다. 발광층(262)이 2 스택(stack) 이상의 탠덤 구조로 형성되는 경우, 스택들 사이에는 전하 생성층이 형성될 수 있다. 전하 생성층은 하부 스택과 인접하게 위치하는 n형 전하 생성층과 n형 전하 생성층 상에 형성되어 상부 스택과 인접하게 위치하는 p형 전하 생성층을 포함할 수 있다. n형 전하 생성층은 하부 스택으로 전자(electron)를 주입해주고, p형 전하 생성층은 상부 스택으로 정공(hole)을 주입해준다. n형 전하 생성층은 전자수송능력이 있는 유기 호스트 물질에 Li, Na, K, 또는 Cs와 같은 알칼리 금속, 또는 Mg, Sr, Ba, 또는 Ra와 같은 알칼리 토금속이 도핑된 유기층일 수 있다. p형 전하 생성층은 정공수송능력이 있는 유기 호스트 물질에 도펀트가 도핑된 유기층일 수 있다.
- [0146] 발광층(262)은 화소들에 공통적으로 형성되는 공통층일 수 있으며, 이 경우 백색 광을 발광하는 백색 발광층일 수 있다. 하지만, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 본 명세서의 실시예들에서 발광층(262)은 서브화소 별로 형성될 수 있으며, 이 경우 발광층(262)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층, 및 청색 광을 발광하는 청색 발광층으로 구분될 수 있다.
- [0147] 한편, 유기발광층(262)은 증발(evaporation) 증착법으로 형성될 수 있으며, 이 경우, 스텝 커버리지 특성이 좋지 않다. 스텝 커버리지 특성이 좋지 않은 경우, 역테이퍼 형태에서 끊어지게 된다. 이로 인해, 유기발광층(262)은 홀(EH1)에서 끊어지게 형성될 수 있다. 따라서, 유기발광층(262)과 동일한 물질을 갖는 더미 유기층(262')이 홀(EH1)의 멀티 버퍼막(201) 상에 형성될 수 있다.
- [0148] 그리고 나서, 제2 전극(263)은 발광층(262) 상에 형성된다. 제2 전극(263)은 발광층(262)을 덮도록 형성될 수 있다. 제2 전극(263)은 화소들에 공통적으로 형성되는 공통층일 수 있다.
- [0149] 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(263)이 반투과 금속물질로 형성되는 경우, 미세 공진(micro cavity)에 의해 출광 효율이 높아질 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.
- [0150] 한편, 제2 전극(263)은 스퍼터링법(sputtering)과 같은 물리적 기상 증착법(physics vapor deposition)으로 형성될 수 있다. 이 경우, 스텝 커버리지 특성이 증발 증착법에 비해 우수하나, 역테이퍼 형태에서는 끊어지게 된다. 이로 인해, 제2 전극(263)은 홀(EH1)에서 끊어지게 형성될 수 있다. 따라서, 제2 전극(263)과 동일한 물질을 갖는 더미 전극(263')이 홀(EH1)의 더미 유기층(262') 상에 형성될 수 있다.
- [0151] 유기발광층(262)과 제2 전극(263)이 홀(EH1)의 बैं크(264), 평탄화막(250), 보호막(240), 및 제2 층간 절연막(232) 상에도 형성될 수도 있다.
- [0152] 일곱 번째로, 도 10f와 같이 제2 전극(263) 상에 적어도 하나의 무기막(271, 273)과 적어도 하나의 유기막(272)을 포함하는 봉지막(130)을 형성한다. (도 9의 S107)

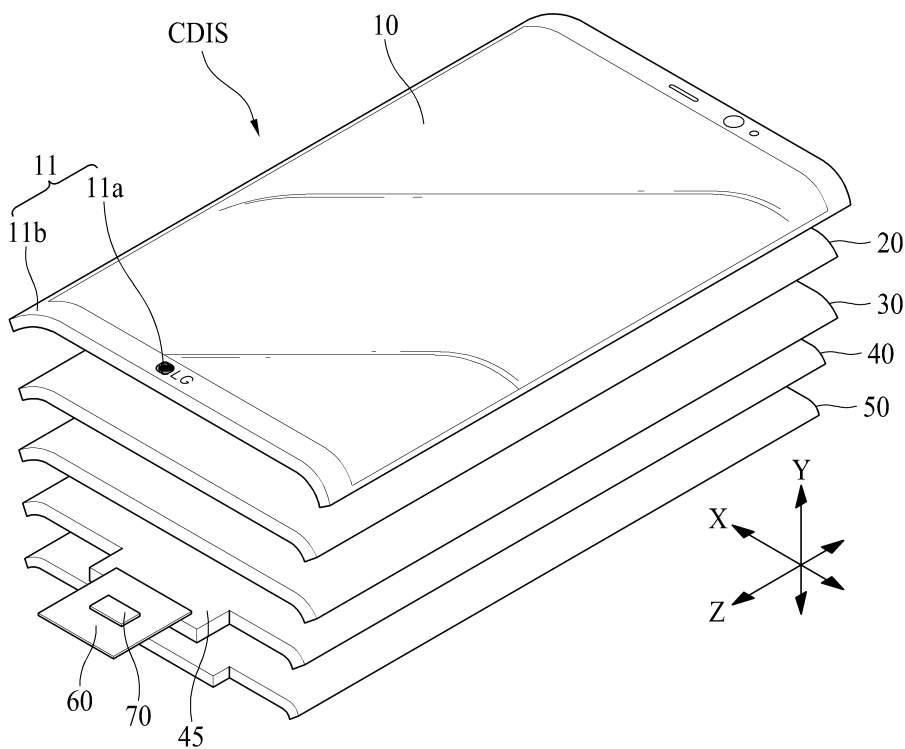
- | | |
|----------------|------------------|
| 30: 편광 필름 | 40: 표시 모듈 |
| 41: 기관 | 41a: 지지 기관 |
| 41b: 플렉서블 기관 | 42: 스캔 구동회로 |
| 43: 페드부 | 45: 벤딩부 |
| 50: 방열 기관 | 60: 연성 필름 |
| 70: 통합 구동회로 | 100: 버퍼막 |
| 110: 박막 트랜지스터층 | 120: 발광 소자층 |
| 130: 봉지막 | 140: 컬러필터층 |
| 201: 멀티 버퍼막 | 202: 액티브 버퍼막 |
| 210: 박막 트랜지스터 | 211: 액티브층 |
| 212: 게이트 전극 | 213: 소스전극 |
| 214: 드레인전극 | 220: 게이트 절연막 |
| 230: 층간 절연막 | 231: 제1 층간 절연막 |
| 232: 제2 층간 절연막 | 240: 보호막 |
| 250: 평탄화막 | 261: 제1 전극 |
| 262: 유기발광층 | 263: 제2 전극 |
| 271: 제1 무기막 | 272: 유기막 |
| 273: 제2 무기막 | 281: 컬러필터 |
| 282: 블랙 매트릭스 | EH1, EH2: 홀 |
| PD: 화소 구동부 | RP: 적색 서브 화소 |
| RE: 적색 발광부 | GP1: 제1 녹색 서브 화소 |
| GE1: 제1 녹색 발광부 | GP2: 제2 녹색 서브 화소 |
| GE2: 제2 녹색 발광부 | BP: 청색 서브 화소 |
| BE: 청색 발광부 | |

도면

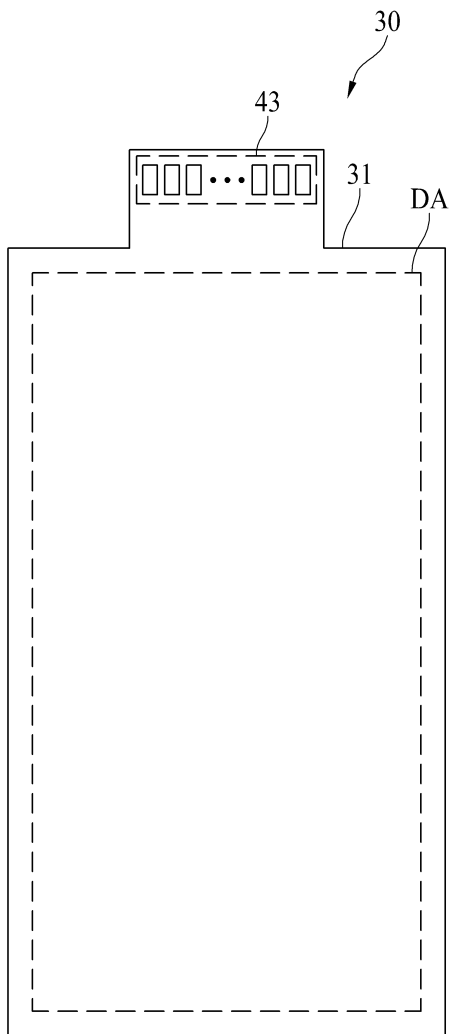
도면1



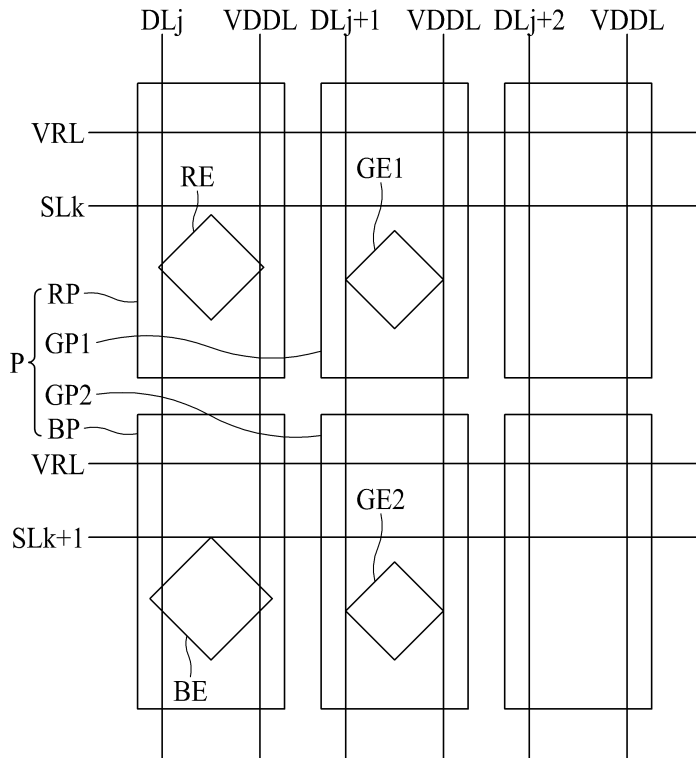
도면2



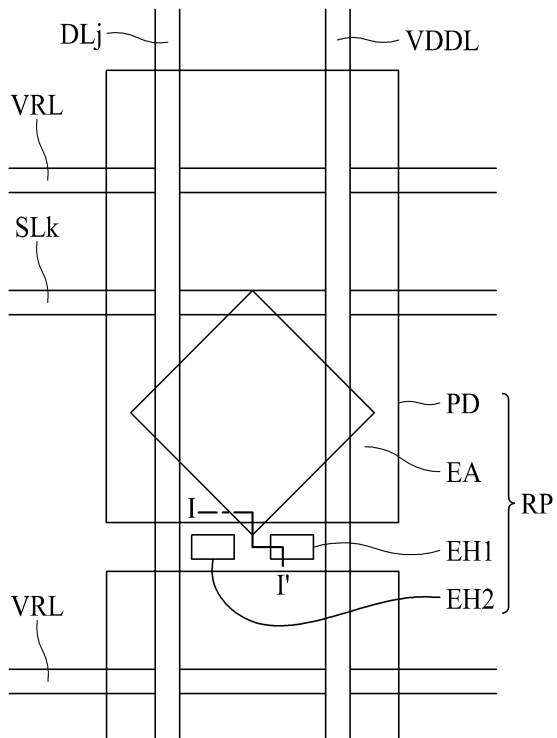
도면3



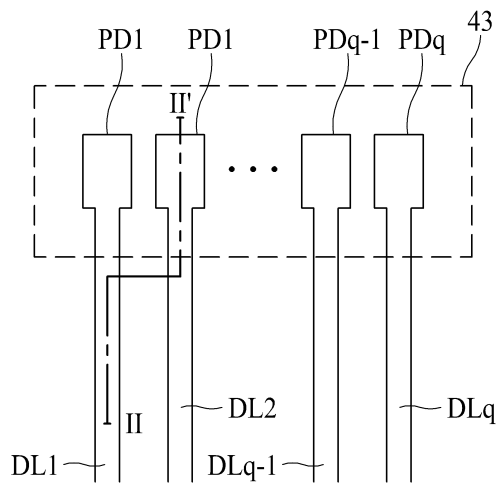
도면4



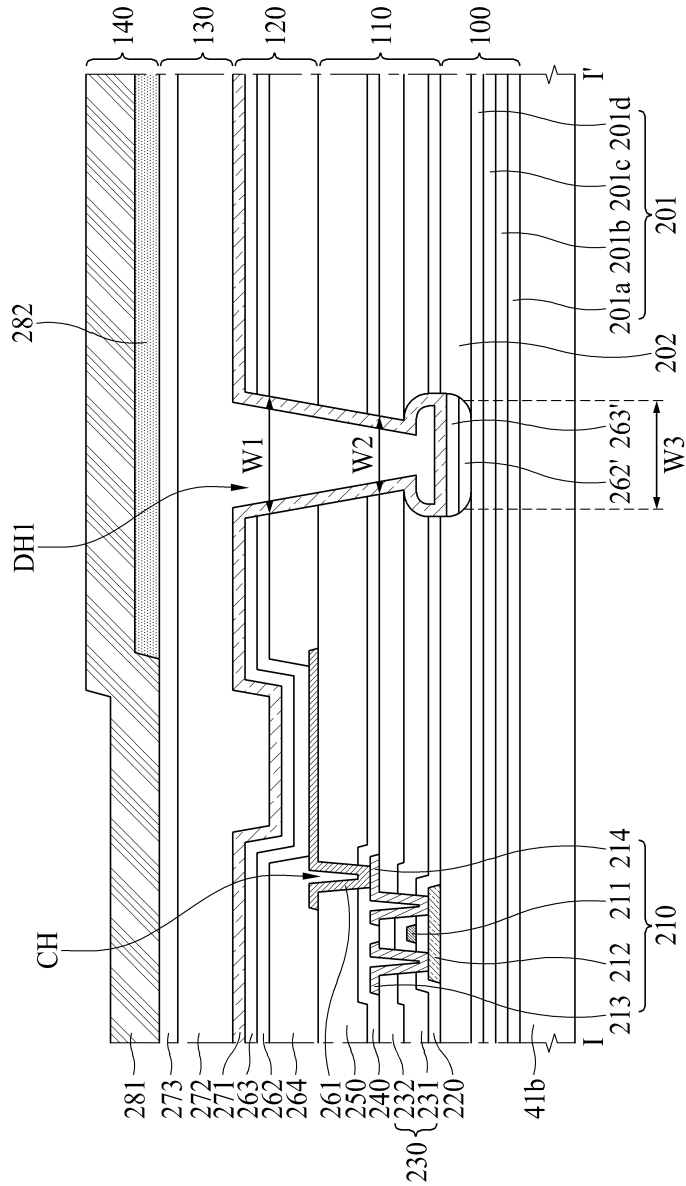
도면5



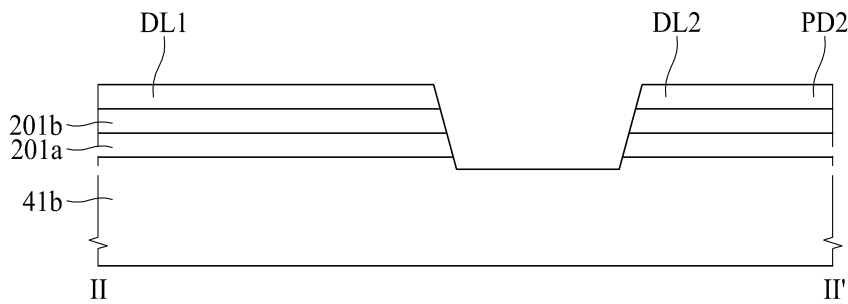
도면6



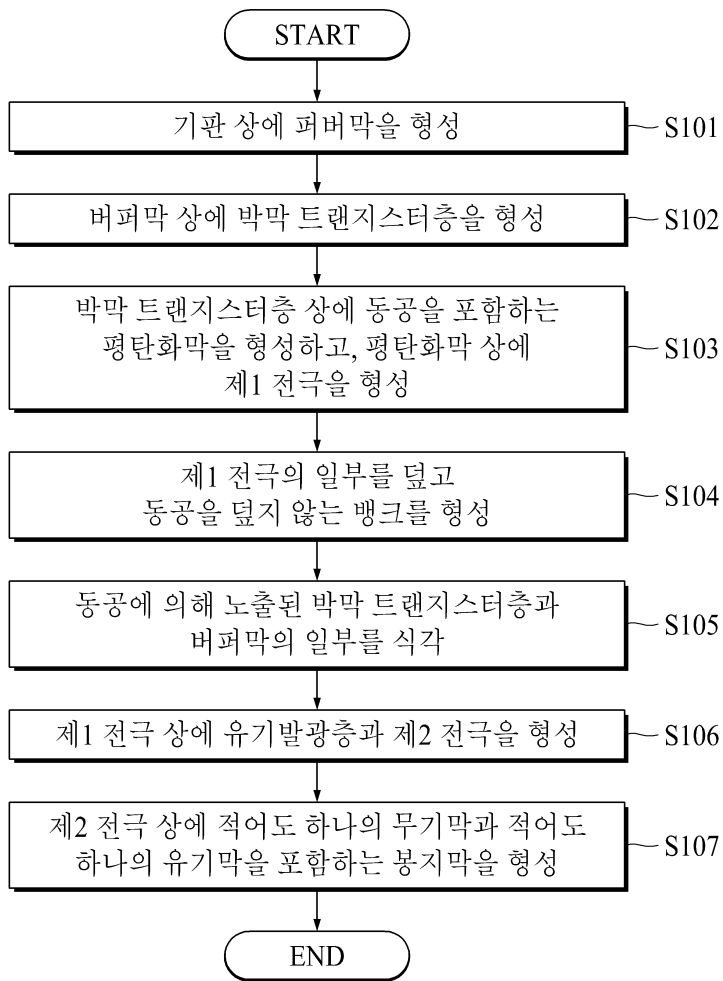
도면7



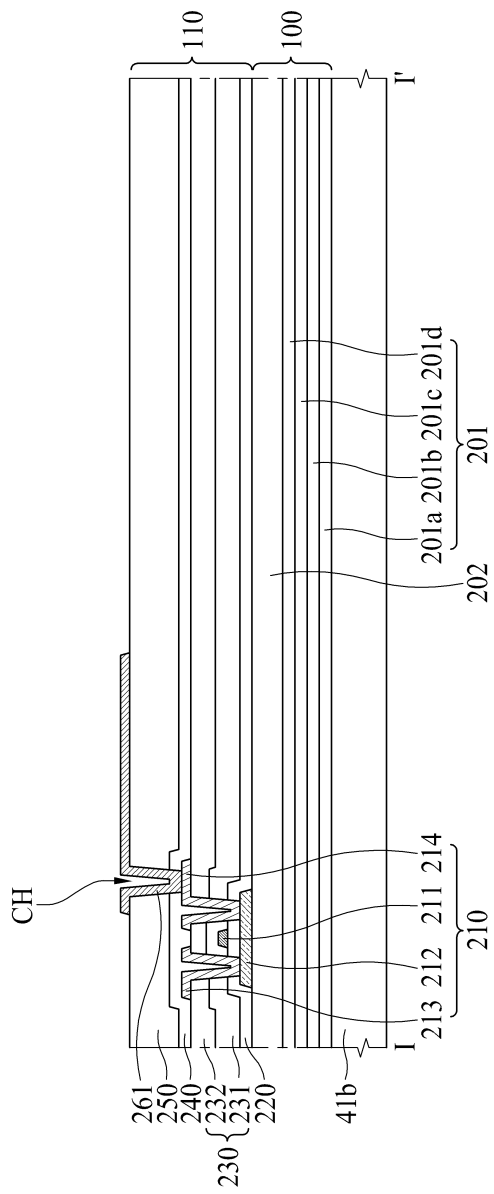
도면8



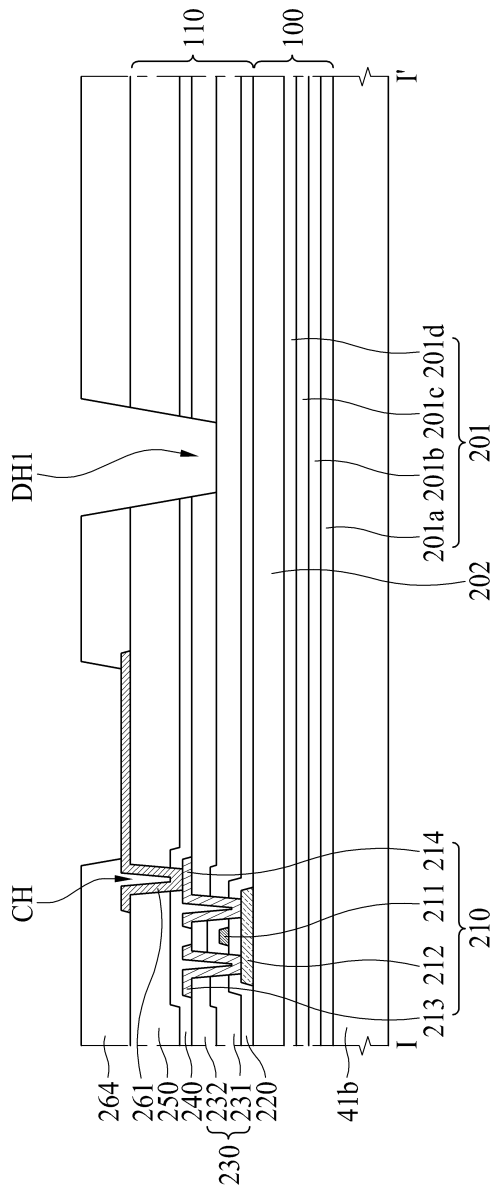
도면9



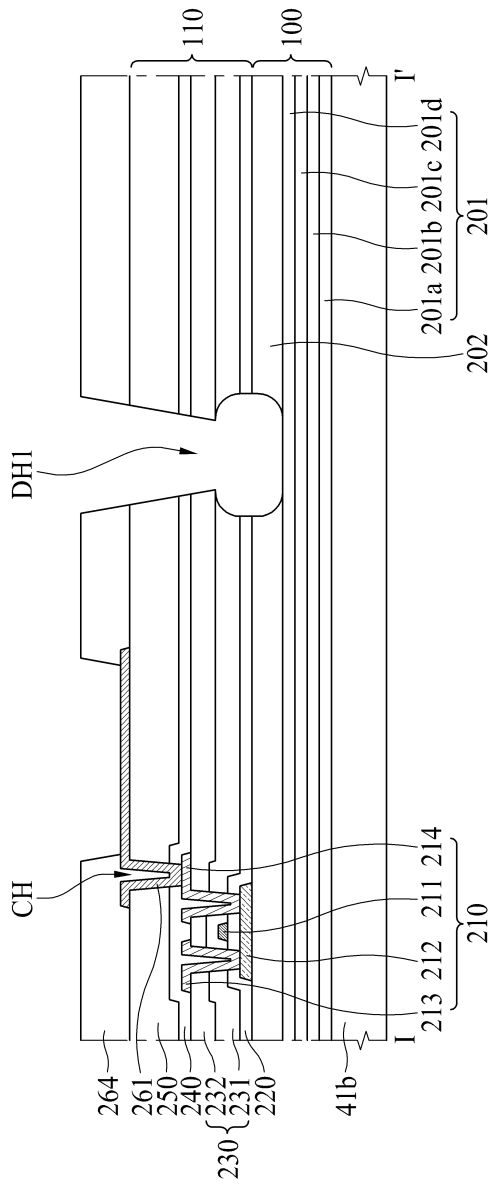
도면10a



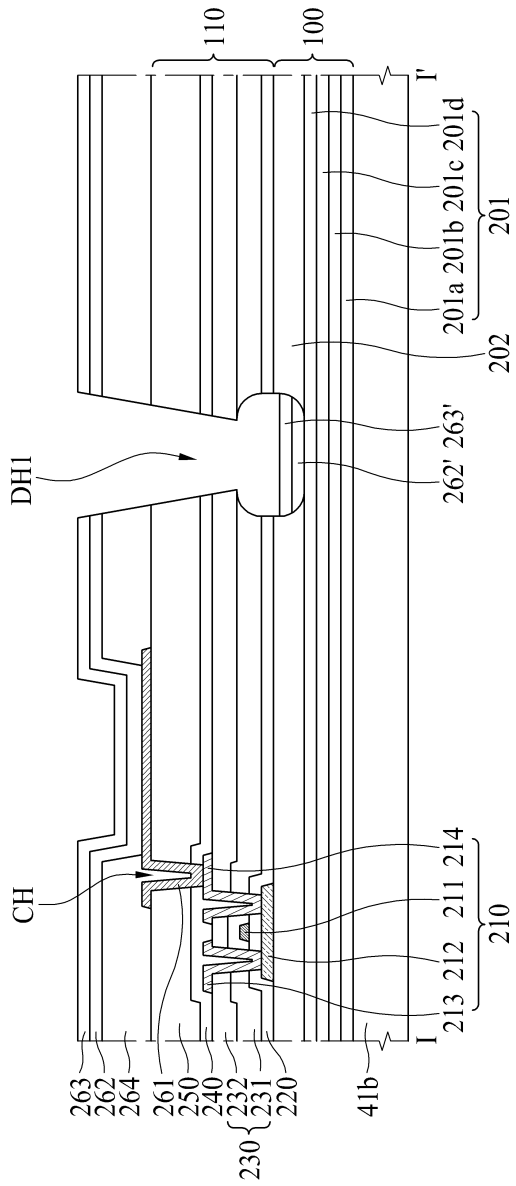
도면10c



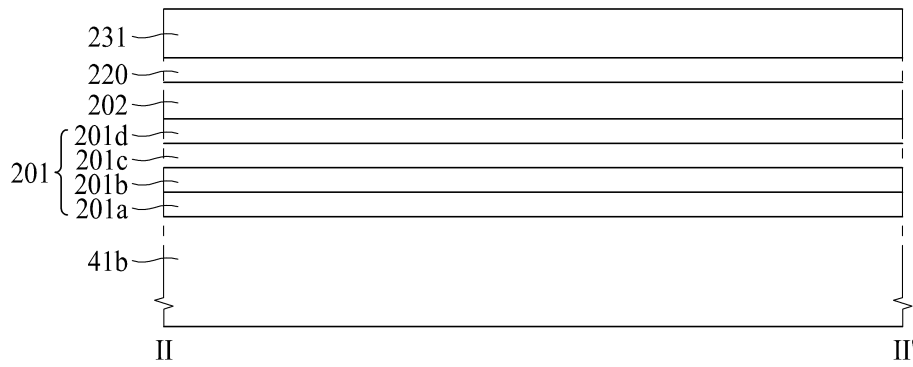
도면10d



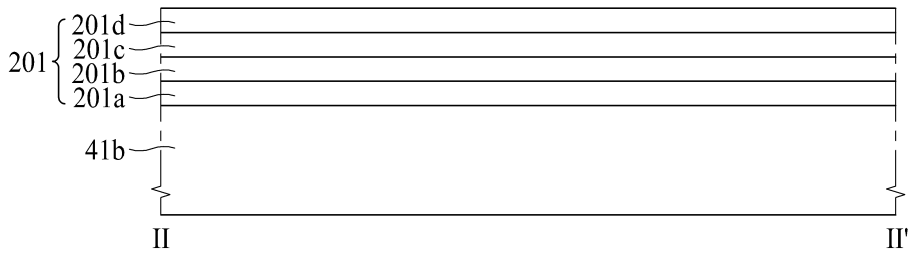
도면10e



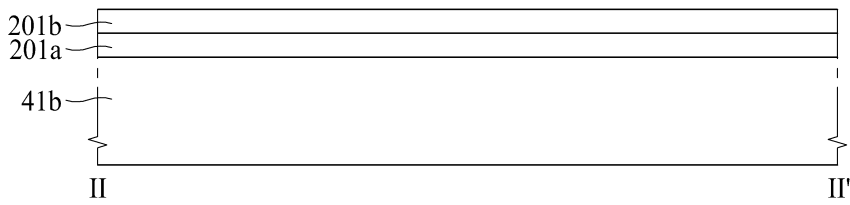
도면11b



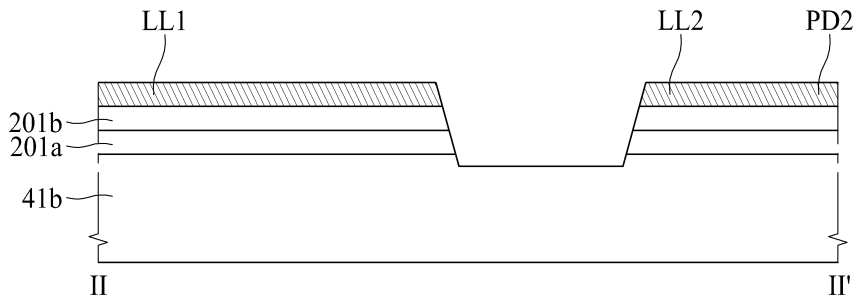
도면11c



도면11d



도면11e



专利名称(译)	有机发光显示装置和制造方法		
公开(公告)号	KR102014179B1	公开(公告)日	2019-08-26
申请号	KR1020170167883	申请日	2017-12-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김가경		
发明人	김가경		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5237 H01L27/3246 H01L27/3258 H01L27/3262 H01L51/5203 H01L51/56 H01L51/5253 H01L27/3276 H01L2227/323		
审查员(译)	Jeongmyeong周		
其他公开文献	KR1020190067968A		
外部链接	Espacenet		

摘要(译)

本公开的目的涉及能够改善有机发光层从阳极电极的剥离的有机发光显示装置和制造有机发光显示器的方法。根据示例性实施例的有机发光二极管显示器包括扫描线，数据线以及设置在扫描线与数据线的交叉区域中的子像素。子像素中的任何一个可以包括：发光部分，其包括第一电极；有机发光层；和第二电极；像素驱动器，其包括连接至发光部分的第一电极的薄膜晶体管；以及发光部分和像素。它包括一个不与驱动单元重叠的孔。

