



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0028604
(43) 공개일자 2014년03월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0095180
(22) 출원일자 2012년08월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
추교섭
경기도 수원시 팔달구 권광로 373, 105동 603호
(우만동, 월드메르디앙)
김기태
경기도 파주시 월롱면 엘씨디로 201, G동 1219호
(LG디스플레이 정다운마을)
(74) 대리인
박장원

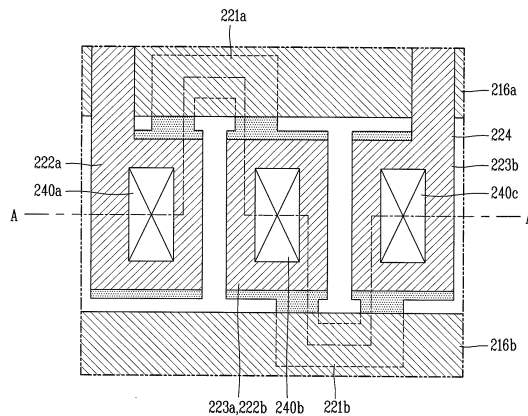
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기발광다이오드 표시소자 및 그 제조방법

(57) 요약

본 발명의 유기발광다이오드(Organic Light Emitting Diode; OLED) 표시소자 및 그 제조방법은 OLED 표시소자와 같이 화소 내에 2개 이상의 박막 트랜지스터를 형성하여야 하는 경우에 있어, 이동도가 크고 기생용량(parasitic capacitance)이 작은 산화물 반도체를 적용하여 제한된 면적 내에서 박막 트랜지스터가 차지하는 면적을 최소화 하는 코플라나(coplanar) 구조의 박막 트랜지스터 레이아웃(layout)을 최적화하기 위한 것으로, 기판 위에 산화물 반도체로 지그재그 형태를 가지는 액티브층을 형성하는 단계; 게이트절연막 사이에 두고 상기 액티브층의 채널영역 위에 형성하되, 게이트라인 내에 포함되어 상기 게이트라인을 구성하도록 게이트전극을 형성하는 단계; 상기 게이트전극이 형성된 기판 위에 형성되며, 상기 액티브층의 소오스/드레인영역을 노출시키는 복수의 콘택홀을 포함하는 보호막을 형성하는 단계; 및 상기 복수의 콘택홀을 통해 상기 노출된 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

복수의 게이트라인과 데이터라인이 교차하여 복수의 화소를 정의하며, 상기 화소 내에 2개 이상의 박막 트랜지스터가 구비되는 유기발광다이오드 표시소자에 있어,

기관 위에 산화물 반도체로 형성되며, 지그재그 형태를 가지는 액티브층;

게이트절연막을 사이에 두고 상기 액티브층의 채널영역 위에 형성되며, 상기 게이트라인 내에 포함되어 상기 게이트라인을 구성하는 게이트전극;

상기 게이트전극이 형성된 기관 위에 형성되며, 상기 액티브층의 소오스/드레인영역을 노출시키는 복수의 콘택홀을 포함하는 보호막; 및

상기 복수의 콘택홀을 통해 상기 노출된 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 포함하는 유기발광다이오드 표시소자.

청구항 2

제 1 항에 있어서, 상기 액티브층은 비정질 아연 산화물 반도체로 이루어진 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 3

제 1 항에 있어서, 2개의 박막 트랜지스터가 연결되어 구성되는 경우, 제 1 박막 트랜지스터의 제 1 드레인전극을 제 2 박막 트랜지스터의 제 2 소오스전극으로 이용하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 4

제 3 항에 있어서, 상기 복수의 콘택홀은 제 1, 제 2, 제 3 콘택홀을 포함하며, 상기 제 1, 제 2 콘택홀을 통해 상기 액티브층의 소오스/드레인영역과 제 1 소오스/드레인전극이 전기적으로 접속하는 한편, 상기 제 2, 제 3 콘택홀을 통해 상기 액티브층 소오스/드레인영역과 제 2 소오스/드레인전극이 전기적으로 접속하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 5

제 4 항에 있어서, 상기 액티브층은 상기 제 1, 제 2, 제 3 콘택홀이 형성되는 직사각형 형태의 제 1, 제 2, 제 3 영역 및 상기 제 1 영역과 제 2 영역 및 상기 제 2 영역과 제 3 영역을 각각 연결하는 "U"자 형태의 제 1, 제 2 연결부로 이루어지는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 6

제 5 항에 있어서, 상기 "U"자 형태의 제 1, 제 2 연결부는 상기 게이트전극과 오버랩 되어 채널영역을 구성하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 7

제 1 항에 있어서, 상기 소오스전극과 드레인전극 사이에는 게이트전극이 위치하지 않으며, 상기 소오스전극과 드레인전극 사이의 이격 거리는 포토마스크와 노광기의 최소 해상력에 의해 결정되는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 8

기관 위에 산화물 반도체로 지그재그 형태를 가지는 액티브층을 형성하는 단계;

게이트절연막을 사이에 두고 상기 액티브층의 채널영역 위에 형성되되, 게이트라인 내에 포함되어 상기 게이트라인을 구성하도록 게이트전극을 형성하는 단계;

상기 게이트전극이 형성된 기판 위에 형성되며, 상기 액티브층의 소오스/드레인영역을 노출시키는 복수의 콘택홀을 포함하는 보호막을 형성하는 단계; 및

상기 복수의 콘택홀을 통해 상기 노출된 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함하는 유기발광다이오드 표시소자의 제조방법.

청구항 9

제 8 항에 있어서, 2개의 박막 트랜지스터가 연결되어 구성되는 경우, 제 1 박막 트랜지스터의 제 1 드레인전극을 제 2 박막 트랜지스터의 제 2 소오스전극으로 이용하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 10

제 9 항에 있어서, 상기 복수의 콘택홀은 제 1, 제 2, 제 3 콘택홀을 포함하며, 상기 제 1, 제 2 콘택홀을 통해 상기 액티브층의 소오스/드레인영역과 제 1 소오스/드레인전극이 전기적으로 접속하는 한편, 상기 제 2, 제 3 콘택홀을 통해 상기 액티브층 소오스/드레인영역과 제 2 소오스/드레인전극이 전기적으로 접속하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 11

제 10 항에 있어서, 상기 액티브층은 상기 제 1, 제 2, 제 3 콘택홀이 형성되는 직사각형 형태의 제 1, 제 2, 제 3 영역 및 상기 제 1 영역과 제 2 영역 및 상기 제 2 영역과 제 3 영역을 각각 연결하는 "U"자 형태의 제 1, 제 2 연결부로 이루어지는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 12

제 11 항에 있어서, 상기 "U"자 형태의 제 1, 제 2 연결부는 상기 게이트전극과 오버랩 되어 채널영역을 구성하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기발광다이오드(Organic Light Emitting Diode; OLED) 표시소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 산화물 반도체를 박막 트랜지스터의 액티브층에 적용한 유기발광다이오드 표시소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시소자인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박형 평판표시소자(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다.

[0003] 이러한 평판표시소자 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시소자(Liquid Crystal Display Device; LCD)가 가장 주목받는 디스플레이 소자였지만, 상기 액정표시소자는 발광소자가 아니라 수광소자이며 밝기, 명암비(contrast ratio) 및 시야각 등에 단점이 있기 때문에 이러한 단점을 극복할 수 있는 새로운 디스플레이 소자에 대한 개발이 활발하게 전개되고 있다.

[0004] 새로운 디스플레이 소자 중 하나인 유기발광다이오드 표시소자는 자체발광형이기 때문에 상기 액정표시소자에 비해 시야각과 명암비 등이 우수하며 백라이트(backlight)가 필요하지 않기 때문에 경량 박형이 가능하고, 소비 전력 측면에서도 유리하다. 그리고, 직류 저전압 구동이 가능하고 응답속도가 빠르다는 장점이 있으며, 특히 제조비용 측면에서도 유리한 장점을 가지고 있다.

[0005] 상기의 유기발광다이오드 표시소자의 제조공정에는 액정표시소자나 플라즈마 표시패널(Plasma Display Panel; PDP)과는 달리 증착 및 봉지(encapsulation) 공정이 공정의 전부라고 할 수 있기 때문에 제조공정이 매우 단순하다. 또한, 각 화소마다 스위칭 소자인 박막 트랜지스터(Thin Film Transistor; TFT)를 가지는 액티브 매트릭스(active matrix)방식으로 유기발광다이오드 표시소자를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘

도를 나타내므로 저소비 전력, 고정세 및 대형화가 가능한 장점을 가진다.

- [0006] 이하, 상기 유기발광다이오드 표시소자의 기본적인 구조 및 동작 특성에 대해서 도면을 참조하여 상세히 설명한다.
- [0007] 도 1은 유기발광다이오드 표시소자의 발광원리를 설명하는 다이어그램이다.
- [0008] 일반적인 유기발광다이오드 표시소자는 상기 도 1과 같이, 유기발광다이오드를 구비한다. 상기 유기발광다이오드는 화소전극인 양극(anode)(18)과 공통전극인 음극(cathode)(28) 및 이들 사이에 형성된 유기 화합물층(30a, 30b, 30c, 30d, 30e)을 구비한다.
- [0009] 이때, 상기 유기 화합물층(30a, 30b, 30c, 30d, 30e)은 정공주입층(hole injection layer)(30a), 정공수송층(hole transport layer)(30b), 발광층(emission layer)(30c), 전자수송층(electron transport layer)(30d) 및 전자주입층(electron injection layer)(30e)을 포함한다.
- [0010] 상기 양극(18)과 음극(28)에 구동전압이 인가되면 상기 정공수송층(30b)을 통과한 정공과 상기 전자수송층(30d)을 통과한 전자가 발광층(30c)으로 이동되어 여기자를 형성하고, 그 결과 발광층(30c)이 가시광선을 발산하게 된다. 이렇게 발광층(30c)으로부터 발생하는 가시광선으로 화상 또는 영상을 표시하게 된다.
- [0011] 유기발광다이오드 표시소자는 전술한 구조의 유기발광다이오드를 가지는 화소를 매트릭스 형태로 배열하고 그 화소들을 데이터전압과 스캔전압으로 선택적으로 제어함으로써 화상을 표시한다.
- [0012] 이와 같은 유기발광다이오드 표시소자는 수동 매트릭스(passive matrix) 방식 또는 스위칭소자로써 TFT를 이용하는 능동 매트릭스(active matrix) 방식의 표시소자로 나뉘어진다. 이 중 상기 능동 매트릭스 방식은 능동소자인 TFT를 선택적으로 턴-온(turn on)시켜 화소를 선택하고 스토리지 커패시터(storage capacitor)에 유지되는 전압으로 화소의 발광을 유지한다.
- [0013] 도 2는 일반적인 유기발광다이오드 표시소자에 있어, 하나의 화소에 대한 등가 회로도로서, 능동 매트릭스 방식의 유기발광다이오드 표시소자에 있어, 일반적인 2T1C(2개의 트랜지스터와 1개의 커패시터를 포함)의 화소에 대한 등가 회로도를 예를 들어 나타내고 있다.
- [0014] 상기 도 2를 참조하면, 능동 매트릭스 방식의 유기발광다이오드 표시소자의 화소는 유기발광다이오드(OLED), 서로 교차하는 데이터라인(DL)과 게이트라인(GL), 구동 TFT(T1), 스위칭 TFT(T2) 및 스토리지 커패시터(Cst)를 구비한다. 상기 구동 TFT(T1)와 스위칭 TFT(T2)는 P-타입 MOS-FET(Metal Oxide Semiconductor Field Effect Transistor)로 구현된다.
- [0015] 이때, 상기 스위칭 TFT(T2)는 게이트라인(GL)으로부터의 스캔펄스(또는 게이트로우전압)에 응답하여 턴-온됨으로써 자신의 소오스전극과 드레인전극 사이의 전류패스를 도통시키고, 게이트라인(GL) 상의 전압이 자신의 문턱전압(Threshold Voltage; V_{th}) 이하인 게이트하이전압일 때 오프 상태를 유지하게 된다. 상기 스위칭 TFT(T2)의 온-타임기간 동안 데이터라인(DL)으로부터의 데이터전압은 스위칭 TFT(T2)의 소오스전극과 드레인전극을 경유하여 구동 TFT(T1)의 게이트전극과 스토리지 커패시터(Cst)에 인가된다. 이와 반대로, 스위칭 TFT(T2)의 오프-타임기간 동안 스위칭 TFT(T2)의 소오스전극과 드레인전극 사이의 전류패스가 개방되어 데이터전압이 구동 TFT(T1)와 스토리지 커패시터(Cst)에 인가되지 않는다.
- [0016] 이때, 상기 구동 TFT(T1)의 소오스전극은 구동전압라인(VL) 및 스토리지 커패시터(Cst)의 일측 전극에 접속되고, 드레인전극은 유기발광다이오드(OLED)의 양극에 접속된다. 그리고, 구동 TFT(T1)의 게이트전극은 스위칭 TFT(T2)의 드레인전극에 접속된다. 이 구동 TFT(T1)는 자신의 게이트전극에 인가되는 게이트전압, 즉 데이터전압에 따라 소오스전극과 드레인전극간의 전류 양을 조절하여 데이터전압에 대응하는 밝기로 유기발광다이오드(OLED)를 발광시킨다.
- [0017] 스토리지 커패시터(Cst)는 데이터전압과 고전위 구동전압(VDD) 사이의 전압을 저장하여 구동 TFT(T1)의 게이트전극에 인가되는 전압을 한 프레임기간동안 일정하게 유지시킨다.
- [0018] 이러한 유기발광다이오드 표시소자는 점차적으로 고해상도, 대화면, 고속구동의 제품이 요구되면서 박막 트랜지스터의 성능 향상이 요구되고 있으며, 이에 따라 액티브층으로 기존의 비정질 실리콘 이외의 다른 물질의 적용이 요구되고 있다.
- [0019] 또한, 상기 유기발광다이오드 표시소자는 화소 내에 2개 이상의 박막 트랜지스터를 배치하여야 하는데, 제한된 면적 내에서 박막 트랜지스터가 차지하는 면적이 클 경우 개구율뿐만 아니라 해상도 면에서 불리하기 때문에 박

막 트랜지스터 레이아웃을 최적화하는 노력이 필요하다.

발명의 내용

해결하려는 과제

- [0020] 본 발명은 상기한 문제를 해결하기 위한 것으로, 산화물 반도체를 박막 트랜지스터의 액티브층에 적용하도록 한 유기발광다이오드 표시소자 및 그 제조방법을 제공하는데 목적이 있다.
- [0021] 본 발명의 다른 목적은 코플라나(coplanar) 구조를 적용하여 산화물 박막 트랜지스터의 레이아웃(layout)을 최적화하도록 한 유기발광다이오드 표시소자 및 그 제조방법을 제공하는데 있다.
- [0022] 기타, 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

- [0023] 상기한 목적을 달성하기 위하여, 본 발명의 유기발광다이오드 표시소자는 복수의 게이트라인과 데이터라인이 교차하여 복수의 화소를 정의하며, 상기 화소 내에 2개 이상의 박막 트랜지스터가 구비되는 유기발광다이오드 표시소자에 있어, 기판 위에 산화물 반도체로 형성되며, 지그재그 형태를 가지는 액티브층; 게이트절연막을 사이에 두고 상기 액티브층의 채널영역 위에 형성되며, 상기 게이트라인 내에 포함되어 상기 게이트라인을 구성하는 게이트전극; 상기 게이트전극이 형성된 기판 위에 형성되며, 상기 액티브층의 소오스/드레인영역을 노출시키는 복수의 콘택홀을 포함하는 보호막; 및 상기 복수의 콘택홀을 통해 상기 노출된 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 포함한다.
- [0024] 이때, 상기 액티브층은 비정질 아연 산화물 반도체로 이루어진 것을 특징으로 한다.
- [0025] 2개의 박막 트랜지스터가 연결되어 구성되는 경우, 제 1 박막 트랜지스터의 제 1 드레인전극을 제 2 박막 트랜지스터의 제 2 소오스전극으로 이용하는 것을 특징으로 한다.
- [0026] 이때, 상기 복수의 콘택홀은 제 1, 제 2, 제 3 콘택홀을 포함하며, 상기 제 1, 제 2 콘택홀을 통해 상기 액티브층의 소오스/드레인영역과 제 1 소오스/드레인전극이 전기적으로 접속하는 한편, 상기 제 2, 제 3 콘택홀을 통해 상기 액티브층 소오스/드레인영역과 제 2 소오스/드레인전극이 전기적으로 접속하는 것을 특징으로 한다.
- [0027] 이때, 상기 액티브층은 상기 제 1, 제 2, 제 3 콘택홀이 형성되는 직사각형 형태의 제 1, 제 2, 제 3 영역 및 상기 제 1 영역과 제 2 영역 및 상기 제 2 영역과 제 3 영역을 각각 연결하는 "U"자 형태의 제 1, 제 2 연결부로 이루어지는 것을 특징으로 한다.
- [0028] 이때, 상기 "U"자 형태의 제 1, 제 2 연결부는 상기 게이트전극과 오버랩 되어 채널영역을 구성하는 것을 특징으로 한다.
- [0029] 상기 소오스전극과 드레인전극 사이에는 게이트전극이 위치하지 않으며, 상기 소오스전극과 드레인전극 사이의 이격 거리는 포토마스크와 노광기의 최소 해상력에 의해 결정되는 것을 특징으로 한다.
- [0030] 본 발명의 유기발광다이오드 표시소자의 제조방법은 기판 위에 산화물 반도체로 지그재그 형태를 가지는 액티브층을 형성하는 단계; 게이트절연막을 사이에 두고 상기 액티브층의 채널영역 위에 형성되되, 게이트라인 내에 포함되어 상기 게이트라인을 구성하도록 게이트전극을 형성하는 단계; 상기 게이트전극이 형성된 기판 위에 형성되며, 상기 액티브층의 소오스/드레인영역을 노출시키는 복수의 콘택홀을 포함하는 보호막을 형성하는 단계; 및 상기 복수의 콘택홀을 통해 상기 노출된 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함한다.
- [0031] 이때, 2개의 박막 트랜지스터가 연결되어 구성되는 경우, 제 1 박막 트랜지스터의 제 1 드레인전극을 제 2 박막 트랜지스터의 제 2 소오스전극으로 이용하는 것을 특징으로 한다.
- [0032] 이때, 상기 복수의 콘택홀은 제 1, 제 2, 제 3 콘택홀을 포함하며, 상기 제 1, 제 2 콘택홀을 통해 상기 액티브층의 소오스/드레인영역과 제 1 소오스/드레인전극이 전기적으로 접속하는 한편, 상기 제 2, 제 3 콘택홀을 통해 상기 액티브층 소오스/드레인영역과 제 2 소오스/드레인전극이 전기적으로 접속하는 것을 특징으로 한다.
- [0033] 이때, 상기 액티브층은 상기 제 1, 제 2, 제 3 콘택홀이 형성되는 직사각형 형태의 제 1, 제 2, 제 3 영역 및 상기 제 1 영역과 제 2 영역 및 상기 제 2 영역과 제 3 영역을 각각 연결하는 "U"자 형태의 제 1, 제 2 연결부

로 이루어지는 것을 특징으로 한다.

[0034] 이때, 상기 "U"자 형태의 제 1, 제 2 연결부는 상기 게이트전극과 오버랩 되어 채널영역을 구성하는 것을 특징으로 한다.

발명의 효과

[0035] 상술한 바와 같이, 본 발명에 따른 유기발광다이오드 표시소자 및 그 제조방법은 화소 내에 2개 이상의 박막 트랜지스터를 형성하여야 하는 경우에 있어, 이동도가 크고 기생용량(parasitic capacitance)이 작은 산화물 반도체를 적용하여 코플라나 구조의 박막 트랜지스터 레이아웃을 최적화함으로써 고해상도에서 개구율이 향상되는 효과를 제공할 수 있다.

도면의 간단한 설명

[0036] 도 1은 유기발광다이오드 표시소자의 발광원리를 설명하는 다이어그램.
 도 2는 일반적인 유기발광다이오드 표시소자에 있어, 하나의 화소에 대한 등가 회로도.
 도 3은 본 발명에 따른 유기발광다이오드 표시소자의 구성을 예를 들어 나타내는 블록도.
 도 4는 본 발명의 제 1 실시예에 따른 박막 트랜지스터의 레이아웃을 개략적으로 나타내는 평면도.
 도 5는 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 레이아웃을 개략적으로 나타내는 평면도.
 도 6은 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 레이아웃을 개략적으로 나타내는 단면도.
 도 7a 내지 도 7d는 상기 도 5에 도시된 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 제조방법을 순차적으로 나타내는 평면도.
 도 8a 내지 도 8d는 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 제조방법을 순차적으로 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

[0037] 이하, 첨부한 도면을 참조하여 본 발명에 따른 유기발광다이오드 표시소자 및 그 제조방법의 바람직한 실시예를 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 여기에서 설명하는 실시예에 한정되지 않는다.

[0038] 액정표시소자와 유기발광다이오드 표시소자는 고해상도, 대화면, 고속구동의 제품이 요구되면서 박막 트랜지스터의 성능 향상이 요구되고 있다.

[0039] 특히, 유기발광다이오드 표시소자의 화소에서는 액정표시소자와 달리 2개 이상의 박막 트랜지스터의 배치를 필요로 한다.

[0040] 즉, 유기발광다이오드 표시소자는 사용시간에 따라 박막 트랜지스터의 특성이 변하고, 유기발광다이오드의 광효율이 떨어지는 등의 열화를 보상하기 위해 전압 및 전류를 조정할 필요가 있으며, 이러한 전압 및 전류를 조정하기 위해 보상회로용 박막 트랜지스터가 추가로 필요하게 된다.

[0041] 예를 들어, 상기의 보상회로는 크게 전압보상(voltage programming)이나 전류보상(current programming)의 아날로그 구동(analog driving)과 디지털 구동(digital driving)으로 분류할 수 있다. 이때, 상기 아날로그 구동의 경우 화소는 2T1C(2개의 트랜지스터와 1개의 커패시터를 포함), 4T1C, 5T2C, 6T1C, 6T2C 구조를 가질 수 있으며, 상기 디지털 구동의 경우 화소는 2T1C, 3T1C 구조를 가질 수 있다.

[0042] 이와 같이 화소 내에 2개 이상의 박막 트랜지스터를 배치하여야 하는 경우에 있어, 본 발명은 이동도가 크고 기생용량이 작은 산화물 반도체를 적용하여 코플라나 구조의 박막 트랜지스터 레이아웃을 최적화하는 방안을 제공하고자 한다.

[0043] 도 3은 본 발명에 따른 유기발광다이오드 표시소자의 구성을 예를 들어 나타내는 블록도이다.

[0044] 이때, 상기 도 3은 3T1C의 화소를 가진 유기발광다이오드 표시소자를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니다. 즉, 본 발명은 특정한 보상회로에 관계없이 적용 가능하다.

- [0045] 도면에 도시된 바와 같이, 본 발명에 따른 유기발광다이오드 표시소자는 $m \times n$ 개의 화소(84)들이 형성되는 표시패널(80), m 개의 데이터라인(D1 내지 D m)들에 데이터전압을 공급하기 위한 데이터 구동부(82), n 개의 제 1 스캔라인(S1 내지 S n)들에 제 1 스캔펄스를 순차적으로 공급하고 n 개의 제 2 스캔라인(E1 내지 E n)들에 제 2 스캔펄스를 순차적으로 공급하기 위한 스캔 구동부(83) 및 상기 구동부(82, 83)들을 제어하기 위한 타이밍 컨트롤러(81)를 구비한다.
- [0046] 이때, 상기 표시패널(80)에서 제 1, 제 2 스캔라인(S1 내지 S n , E1 내지 E n)들과 m 개의 데이터라인(D1 내지 D m)들의 교차로 정의된 화소영역들에는 화소(84)들이 형성된다. 이러한 표시패널(80)에는 정전압의 기준전압(Vref), 고전위 구동전압(VDD) 및 기저전압(GND)을 각각의 화소들(84)에 공급하기 위한 신호배선들이 형성된다.
- [0047] 상기 데이터 구동부(82)는 타이밍 컨트롤러(81)로부터의 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환한다. 그리고, 상기 데이터 구동부(82)는 타이밍 컨트롤러(81)로부터의 제어신호(DDC)에 응답하여 아날로그 감마보상전압을 데이터전압으로써 데이터라인(D1 내지 D m)들에 공급한다. 데이터전압은 제 1 스캔펄스에 동기되어 데이터라인(D1 내지 D m)들에 공급된다.
- [0048] 상기 스캔 구동부(83)는 타이밍 컨트롤러(81)로부터의 제어신호(SDC)에 응답하여 제 1 스캔펄스를 제 1 스캔라인(S1 내지 S n)들에 순차적으로 공급하고, 제 1 스캔펄스로부터 지연된 제 2 스캔펄스를 제 2 스캔라인(E1 내지 E n)들에 순차적으로 공급한다. 상기 제 1 스캔펄스는 선택된 라인의 화소들에 데이터를 충전시키기 위한 시간을 지시하는데 비하여, 제 2 스캔펄스는 선택된 라인의 화소들에 포함된 구동 TFT의 특성을 회복시킴과 동시에 블랙 데이터의 삽입시간을 지시한다.
- [0049] 타이밍 컨트롤러(81)는 디지털 비디오 데이터(RGB)를 데이터 구동부(82)에 공급하고 수직, 수평 동기신호와 클럭신호 등을 이용하여 스캔 구동부(83)와 데이터 구동부(82)의 동작 타이밍을 제어하기 위한 제어신호(DDC, SDC)를 발생한다.
- [0050] 이와 같이 상기 화소(84)들 각각은 유기발광다이오드, 3개의 TFT 및 1개의 스토리지 커패시터를 포함한다.
- [0051] 이때, 본 발명의 경우에는 상기 박막 트랜지스터의 액티브층으로 이동도가 크고 기생용량이 작은 산화물 반도체, 예를 들어 비정질 아연 산화물(ZnO) 반도체를 이용하는 것을 특징으로 한다.
- [0052] 또한, 본 발명에 따른 산화물 박막 트랜지스터는 액티브층 상부에 게이트전극과 소오스/드레인전극이 위치하는 코플라나 구조를 적용함에 따라 소오스/드레인전극 식각 시 산화물 반도체의 채널영역에 손상을 주지 않아 우수한 소자특성을 확보할 수 있는 것을 특징으로 한다.
- [0053] 도 4는 본 발명의 제 1 실시예에 따른 박막 트랜지스터의 레이아웃을 개략적으로 나타내는 평면도로써, 예를 들어 2개의 박막 트랜지스터가 연결된 화소부 박막 트랜지스터의 레이아웃을 나타내고 있다.
- [0054] 이때, 상기 도 4는 액티브층 상부에 게이트전극과 소오스/드레인전극이 위치하는 코플라나 구조의 화소부 박막 트랜지스터의 레이아웃 일부를 개략적으로 나타내고 있다.
- [0055] 즉, 도면에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 코플라나 구조의 박막 트랜지스터는 소정의 기판 위에 형성된 버퍼층(미도시), 상기 버퍼층 위에 산화물 반도체로 형성된 액티브층(124), 게이트절연막(미도시)을 사이에 두고 상기 액티브층(124) 상부에 형성된 게이트전극(121a, 121b), 상기 게이트전극(121a, 121b) 위에 형성되며 상기 액티브층(124)의 소오스/드레인영역을 노출시키는 보호막(미도시) 및 콘택홀(140a, 140b, 140c)을 통해 상기 노출된 액티브층(124)의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극(122a, 122b, 123a, 123b)으로 이루어져 있다.
- [0056] 상기 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 액티브층(124)의 왼쪽에서 오른쪽으로 차례대로 배치된 제 1 박막 트랜지스터(Ta)와 제 2 박막 트랜지스터(Tb)의 2개의 박막 트랜지스터로 구성된 경우를 예를 들고 있으나, 본 발명이 이에 한정되는 것은 아니며, 본 발명은 2개 이상의 박막 트랜지스터가 연결된 구조에서 적용 가능하다.
- [0057] 이때, 상기 제 1 박막 트랜지스터(Ta)는 액티브층(124), 제 1 게이트전극(121a), 제 1 소오스전극(122a) 및 제 1 드레인전극(123a)으로 구성되며, 상기 제 2 박막 트랜지스터(Tb)는 액티브층(124), 제 2 게이트전극(121b), 제 2 소오스전극(122b) 및 제 2 드레인전극(123b)으로 구성된다.
- [0058] 상기 제 1 박막 트랜지스터(Ta)와 제 2 박막 트랜지스터(Tb)에 공통되는 액티브층(124)은 직사각형 형태를 가지며, 제 1, 제 2 콘택홀(140a, 140b)을 통해 상기 액티브층(124)의 소오스/드레인영역과 제 1 소오스/드레인전극

(122a, 123a)이 전기적으로 접속하는 한편, 제 2, 제 3 콘택홀(140b, 140c)을 통해 상기 액티브층(124) 소오스/드레인영역과 제 2 소오스/드레인전극(122b, 123b)이 전기적으로 접속하게 된다.

- [0059] 이때, 상기 산화물 반도체로 이루어진 액티브층(124)은 그 상부의 게이트전극(121a, 121b)과 게이트절연막의 패터닝 시 소정 영역이 노출되며, 그 노출된 영역은 플라즈마 처리 또는 열처리를 통해 그 저항이 감소되어 콘택 영역인 소오스/드레인영역을 형성하게 된다.
- [0060] 여기서, 상기 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 비정질 아연 산화물 반도체를 이용하여 액티브층(124)을 형성함에 따라 높은 이동도와 정전류 테스트 조건을 만족하는 한편 균일한 특성이 확보되어 대면적 디스플레이에 적용 가능한 장점을 가지고 있다.
- [0061] 상기 아연 산화물은 산소 함량에 따라 전도성, 반도체성 및 저항성의 3가지 성질을 모두 구현할 수 있는 물질로, 비정질 아연 산화물 반도체 물질을 액티브층(124)으로 적용한 산화물 박막 트랜지스터는 액정표시소자와 유기발광다이오드 표시소자를 포함하는 대면적 디스플레이에 적용될 수 있다.
- [0062] 또한, 최근 투명 전자회로에 엄청난 관심과 활동이 집중되고 있는데, 상기 비정질 아연 산화물 반도체 물질을 액티브층(124)으로 적용한 산화물 박막 트랜지스터는 높은 이동도와 작은 기생용량을 가지는 한편 저온에서 제작이 가능함에 따라 상기 투명 전자회로에 사용될 수 있는 장점이 있다.
- [0063] 이러한 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 상기 아연 산화물에 인듐(indium; In)과 갈륨(gallium; Ga)과 같은 중금속이 함유된 비정질 IGZO 반도체로 액티브층(124)을 형성할 수 있다.
- [0064] 상기 비정질 IGZO 반도체는 가시광선을 통과시킬 수 있어 투명하며, 또한 상기 비정질 IGZO 반도체로 제작된 산화물 박막 트랜지스터는 $1 \sim 100\text{cm}^2/\text{Vs}$ 의 이동도를 가져 비정질 실리콘 박막 트랜지스터에 비해 높은 이동도 특성을 나타낸다.
- [0065] 또한, 상기 비정질 IGZO 반도체로 제작된 산화물 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터와 비슷한 균일한 특성을 나타냄에 따라 부품 구조도 비정질 실리콘 박막 트랜지스터처럼 간단하며, 대면적 디스플레이에 적용할 수 있는 장점을 가지고 있다.
- [0066] 이와 같은 특징을 가진 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 액티브층(124) 상부에 제 1, 제 2 게이트전극(121a, 121b)과 제 1, 제 2 소오스/드레인전극(122a, 122b, 123a, 123b)이 위치하는 코플라나 구조를 적용함에 따라 상기 제 1, 제 2 소오스/드레인전극(122a, 122b, 123a, 123b) 식각 시 산화물 반도체의 채널영역에 손상을 주지 않아 우수한 소자특성을 확보할 수 있는 특징을 가진다.
- [0067] 또한, 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 2개의 박막 트랜지스터가 연결되어 구성되도록 상기 제 1 박막 트랜지스터(Ta)의 제 1 드레인전극(123a)을 상기 제 2 박막 트랜지스터(Tb)의 제 2 소오스전극(122b)으로 이용하는 것을 특징으로 한다.
- [0068] 참고로, 도면부호 116a 및 116b는 각각 제 1 게이트라인 및 제 2 게이트라인을 나타낸다.
- [0069] 상기 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 게이트전극(121a, 121b)의 폭에 의해 박막 트랜지스터의 채널 길이가 결정되는 한편, 복수의 채널이 서로 평행하게 액티브층(124)에 의해 연결되는 것을 특징으로 한다. 또한, 각각의 박막 트랜지스터에 대한 소오스/드레인영역은 게이트전극(121a, 121b)에 의해 분리되게 된다.
- [0070] 이와 같이 산화물 박막 트랜지스터의 경우에는 기존의 바텀 게이트(bottom gate) 구조의 단점을 개선하기 위해 탑 게이트(top gate)의 코플라나 구조를 적용할 수 있으나, 이 경우 게이트전극이 소오스전극과 드레인전극 사이에 위치하게 되어 박막 트랜지스터의 크기 감소에는 한계가 있다. 즉, 상기의 코플라나 구조는 게이트전극이 소오스전극 및 드레인전극과 오버랩 되지 않게 전극간의 이격이 필요로 한데, 제한된 공간에 복수의 박막 트랜지스터를 형성해야 할 경우 게이트전극의 돌출부(neck)가 차지하는 면적만큼 공간이 부족하게 된다.
- [0071] 이에 따라 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 게이트라인 내에 상기 게이트라인의 일부를 구성하도록 게이트전극을 형성하여 전술한 게이트전극의 돌출부를 형성하지 않는 한편, 지그재그(zigzag) 형태로 액티브층을 형성하여 상기 게이트라인 내에 채널을 형성함으로써 코플라나 구조의 박막 트랜지스터 레이아웃을 최적화할 수 있는데, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0072] 도 5는 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 레이아웃을 개략적으로 나타내는 평면도로써, 예를 들어 2개의 박막 트랜지스터가 연결된 화소부 박막 트랜지스터의 레이아웃을 나타내고 있다.

- [0073] 또한, 도 6은 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 레이아웃을 개략적으로 나타내는 단면도로써, 상기 도 5에 도시된 박막 트랜지스터의 A-A'선에 따른 단면을 예를 들어 나타내고 있다.
- [0074] 이때, 상기 도 5 및 도 6에 도시된 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 전술한 본 발명의 제 1 실시예와 동일하게 액티브층 상부에 게이트전극과 소오스/드레인전극이 위치하는 코플라나 구조를 가지는 것을 특징으로 한다.
- [0075] 상기 도면들을 참조하면, 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 소정의 기관(210) 위에 형성된 버퍼층(211), 상기 버퍼층(211) 위에 산화물 반도체로 형성된 액티브층(224), 게이트절연막(215a', 215a")을 사이에 두고 상기 액티브층(224) 상부에 형성된 게이트전극(221a, 221b), 상기 게이트전극(221a, 221b) 위에 형성되며 상기 액티브층(224)의 소오스/드레인영역을 노출시키는 보호막(215b) 및 콘택홀(240a, 240b, 240c)을 통해 상기 노출된 액티브층(224)의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극(222a, 222b, 223a, 223b)으로 이루어져 있다.
- [0076] 상기 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 액티브층(224)을 따라 차례대로 배치된 제 1 박막 트랜지스터(Ta)와 제 2 박막 트랜지스터(Tb)의 2개의 박막 트랜지스터로 구성된 경우를 예를 들고 있으나, 본 발명이 이에 한정되는 것은 아니며, 본 발명은 2개 이상의 박막 트랜지스터가 연결된 구조에서 적용 가능하다.
- [0077] 이때, 상기 제 1 박막 트랜지스터(Ta)는 액티브층(224), 제 1 게이트전극(221a), 제 1 소오스전극(222a) 및 제 1 드레인전극(223a)으로 구성되며, 상기 제 2 박막 트랜지스터(Tb)는 액티브층(224), 제 2 게이트전극(221b), 제 2 소오스전극(222b) 및 제 2 드레인전극(223b)으로 구성된다.
- [0078] 상기 제 1 박막 트랜지스터(Ta)와 제 2 박막 트랜지스터(Tb)에 공통되는 액티브층(224)은 지그재그 형태를 가지며, 제 1, 제 2 콘택홀(240a, 240b)을 통해 상기 액티브층(224)의 소오스/드레인영역과 제 1 소오스/드레인전극(222a, 223a)이 전기적으로 접속하는 한편, 제 2, 제 3 콘택홀(240b, 240c)을 통해 상기 액티브층(224) 소오스/드레인영역과 제 2 소오스/드레인전극(222b, 223b)이 전기적으로 접속하게 된다.
- [0079] 이때, 상기 산화물 반도체로 이루어진 액티브층(224)은 그 상부의 게이트전극(221a, 221b)과 게이트절연막(215a', 215a")의 패터닝 시 소정 영역이 노출되며, 그 노출된 영역은 플라즈마 처리 또는 열처리를 통해 그 저항이 감소되어 콘택영역인 소오스/드레인영역을 형성하게 된다. 이때, 상기 액티브층(224)의 채널영역은 상기 액티브층(224)의 소오스영역과 드레인영역 사이, 즉 상기 게이트전극(221a, 221b)을 포함하는 게이트라인(216a, 216b) 하부의 노출되지 않은 산화물 반도체에 형성되게 된다.
- [0080] 여기서, 상기 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 전술한 본 발명의 제 1 실시예와 동일하게 비정질 아연 산화물 반도체를 이용하여 액티브층(224)을 형성함에 따라 높은 이동도와 정전류 테스트 조건을 만족하는 한편 균일한 특성이 확보되어 대면적 디스플레이에 적용 가능한 장점을 가지고 있다.
- [0081] 또한, 최근 투명 전자회로에 엄청난 관심과 활동이 집중되고 있는데, 상기 비정질 아연 산화물 반도체 물질을 액티브층(224)으로 적용한 산화물 박막 트랜지스터는 높은 이동도와 작은 기생용량을 가지는 한편 저온에서 제작이 가능함에 따라 상기 투명 전자회로에 사용될 수 있는 장점이 있다.
- [0082] 이러한 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 상기 아연 산화물에 인듐과 갈륨과 같은 중금속이 함유된 비정질 IGZO 반도체로 액티브층(224)을 형성할 수 있다.
- [0083] 이와 같은 특징을 가진 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 전술한 본 발명의 제 1 실시예와 동일하게 액티브층(224) 상부에 제 1, 제 2 게이트전극(221a, 221b)과 제 1, 제 2 소오스/드레인전극(222a, 222b, 223a, 223b)이 위치하는 코플라나 구조를 적용함에 따라 제 1, 제 2 소오스/드레인전극(222a, 222b, 223a, 223b) 식각 시 산화물 반도체의 채널영역에 손상을 주지 않아 우수한 소자특성을 확보할 수 있는 특징을 가진다.
- [0084] 또한, 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 2개의 박막 트랜지스터가 연결되어 구성되도록 상기 제 1 박막 트랜지스터(Ta)의 제 1 드레인전극(223a)을 상기 제 2 박막 트랜지스터(Tb)의 제 2 소오스전극(222b)으로 이용하는 것을 특징으로 한다.
- [0085] 그리고, 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 복수의 채널이 액티브층(224)에 의해 연결되는 것을 특징으로 한다.
- [0086] 특히, 상기 본 발명의 제 2 실시예에 따른 액티브층(224)은 상기 제 1, 제 2, 제 3 콘택홀(240a, 240b, 240c)이 형성되는 직사각형 형태의 제 1, 제 2, 제 3 영역 및 상기 제 1 영역과 제 2 영역 및 상기 제 2 영역과 제 3

영역을 각각 연결하는 "U"자 형태의 제 1, 제 2 연결부로 이루어지는 것을 특징으로 한다.

- [0087] 이때, 상기 "U"자 형태의 제 1, 제 2 연결부는 상기 게이트전극(221a, 221b)과 오버랩 되어 채널영역을 형성하 되, 상기 게이트라인(216a, 216b) 내에 게이트라인(216a, 216b)의 일부를 구성하도록 형성된 상기 게이트전극 (221a, 221b)과 오버랩 되어 채널영역을 형성하는 것을 특징으로 한다.
- [0088] 이와 같이 상기 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 게이트라인(216a, 216b) 내에 상기 게이트라 인(216a, 216b)의 일부를 구성하도록 게이트전극(221a, 221b)을 형성함에 따라 게이트전극(221a, 221b)의 돌출 부가 형성되지 않으며, 또한 상기 소오스전극(222a, 222b)과 드레인전극(223a, 223b) 사이에 게이트전극(221a, 221b)이 위치하지 않게 된다. 그 결과 게이트전극(221a, 221b)의 돌출부가 제거된 만큼 공간적 이득이 생기며, 이 부분을 개구부나 스토리지 커패시터로 활용할 수 있어 고해상도에 유리하게 된다. 또한, 이러한 공간적 이득 을 개구부나 스토리지 커패시터로 활용하지 않더라도 패턴간의 간격을 증가시켜줄 수 있어 이물에 의한 단선 (short) 불량률을 줄일 수 있게 된다.
- [0089] 이때, 상기 소오스전극(222a, 222b)과 드레인전극(223a, 223b) 사이의 이격 거리는 별도의 문제가 없는 한 포토 마스크와 노광기의 최소 해상력에 의해 결정된다.
- [0090] 이하, 상기와 같이 구성되는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명 한다.
- [0091] 도 7a 내지 도 7d는 상기 도 5에 도시된 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 제조방법을 순차적으 로 나타내는 평면도이다.
- [0092] 또한, 도 8a 내지 도 8d는 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 제조방법을 순 차적으로 나타내는 단면도이다.
- [0093] 도 7a 및 도 8a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기판(210)에 산화물 반도체로 이 루어진 액티브층(224)을 형성한다.
- [0094] 이때, 상기 액티브층(224)은 상기 기판(210) 위에 소정의 산화물 반도체를 증착한 후, 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0095] 이때, 상기 산화물 반도체를 증착하기 전에 상기 기판(210) 위에 소정의 버퍼층(211)을 형성할 수 있다.
- [0096] 전술한 바와 같이 상기 산화물 반도체는 비정질 아연 산화물 반도체를 포함한다.
- [0097] 이때, 상기 비정질 아연 산화물 반도체, 특히 비정질 IGZO 반도체는 갈륨산화물(Ga_2O_3), 인듐산화물(In_2O_3) 및 아연산화물(ZnO)의 복합체 타겟을 이용하여 스퍼터링(sputtering) 방법에 의해 형성될 수 있으며, 이외에도 화 학기상증착이나 원자증착(Atomic Layer Deposition; ALD) 등의 화학적 증착방법을 이용하는 것도 가능하다.
- [0098] 상기 본 발명의 제 2 실시예에 따른 산화물 박막 트랜지스터에 적용되는 비정질 아연 산화물 반도체는 저온 증 착이 가능하여, 플라스틱 기판, 소다라임 글라스 등의 저온 공정에 적용이 가능한 기판을 사용할 수 있다. 또한, 비정질 특성을 나타냄으로 인해 대면적 디스플레이용 기판의 사용이 가능하다.
- [0099] 전술한 바와 같이 상기 본 발명의 제 2 실시예에 따른 액티브층(224)은 제 1 박막 트랜지스터와 제 2 박막 트랜 지스터에 공통되는 한편, 지그재그 형태를 가지는 것을 특징으로 한다.
- [0100] 또한, 상기 액티브층(224)은 제 1, 제 2, 제 3 콘택홀이 형성되는 직사각형 형태의 제 1, 제 2, 제 3 영역 (220a, 220b, 220c) 및 상기 제 1 영역(220a)과 제 2 영역(220b) 및 상기 제 2 영역(220b)과 제 3 영역(220c) 을 각각 연결하는 "U"자 형태의 제 1, 제 2 연결부(224a, 224b)로 이루어지는 것을 특징으로 한다.
- [0101] 다음으로, 도 7b 및 도 8b에 도시된 바와 같이, 상기 액티브층(224)이 형성된 기판(210) 위에 소정의 절연막과 제 1 도전막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 선택적으로 패터닝하여 상기 제 1 도전 막으로 이루어진 게이트전극(221a, 221b)과 게이트라인(216a, 216b)을 형성한다.
- [0102] 이때, 상기 게이트전극(221a, 221b)은 상기 게이트라인(216a, 216b) 내에 게이트라인(216a, 216b)의 일부를 구 성하도록 형성됨에 따라 전술한 본 발명의 제 1 실시예와 같은 돌출부를 포함하지 않으며, 또한 상기 절연막으 로 이루어진 게이트절연막(215a', 215a'')을 사이에 두고 상기 액티브층(224)의 제 1, 제 2 연결부(224a, 224b) 상부에 형성되게 된다. 즉, 상기 "U"자 형태의 제 1, 제 2 연결부(224a, 224b)는 게이트라인(216a, 216b) 내에 형성된 상기 게이트전극(221a, 221b)과 일부 오버랩 되며, 이와 같이 게이트전극(221a, 221b)과 오버랩 되어 노

출되지 않는 액티브층(224)의 제 1, 제 2 연결부(224a, 224b)는 채널영역을 형성한다.

- [0103] 상기 절연막은 실리콘질화막(SiNx), 실리콘산화막(SiOx)과 같은 무기절연막 또는 하프늄(hafnium; Hf) 옥사이드, 알루미늄 옥사이드와 같은 고유전성 산화막으로 이루어질 수 있으며, 그 식각에는 산소 플라즈마 처리와 같은 건식식각을 이용하는 것을 특징으로 한다. 그리고, SiOx, HfOx 또는 AlOx와 같은 산화물계열로 절연막을 형성하는 경우 상기 절연막의 증착 전 표면처리 또는 열처리를 진행할 수 있다.
- [0104] 이 경우 상기 게이트절연막(215a', 215a")을 패터닝하기 위해 산소 플라즈마 처리를 통해 상기 절연막을 식각할 때 노출된 액티브층(224)이 산소 플라즈마에 의해 저항이 감소되어 상기 액티브층(224)에 소정의 소오스/드레인 영역을 형성하게 된다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 게이트절연막(215a', 215a")을 패터닝한 후 산소 플라즈마와 같은 표면처리 또는 열처리를 통해 노출된 액티브층(224)의 저항을 변화시킬 수도 있다.
- [0105] 그리고, 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 1 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투명한 도전물질을 사용할 수 있으며, 상기 도전물질이 2가지 이상 적층된 다층구조로 형성할 수도 있다.
- [0106] 다음으로, 도 7c 및 도 8c에 도시된 바와 같이, 상기 게이트전극(221a, 221b)과 게이트라인(216a, 216b)이 형성된 기판(210) 전면에 보호막(215b)을 증착한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브층(224)의 제 1 영역(220a)과 제 2 영역(220b) 및 제 3 영역(220c)의 일부를 각각 노출시키는 제 1 콘택홀(240a)과 제 2 콘택홀(240b) 및 제 3 콘택홀(240c)을 형성한다.
- [0107] 다음으로, 도 7d 및 도 8d에 도시된 바와 같이, 상기 보호막(215b)이 형성된 기판(210) 전면에 제 2 도전막을 형성한다.
- [0108] 이때, 상기 제 2 도전막은 소오스/드레인전극 및 데이터라인을 형성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 몰리브덴, 티타늄, 백금, 탄탈 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 2 도전막은 인듐-틴-옥사이드, 인듐-징크-옥사이드와 같은 투명한 도전물질을 사용할 수 있으며, 상기 도전물질이 2가지 이상 적층된 다층구조로 형성할 수도 있다.
- [0109] 그리고, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 제 2 도전막을 선택적으로 패터닝함으로써 상기 제 1, 제 2, 제 3 콘택홀(240a, 240b, 240c)을 통해 상기 액티브층(224)의 소오스/드레인영역과 전기적으로 접속하는 제 1, 제 2 소오스/드레인전극(222a, 222b, 223a, 223b)을 형성하게 된다.
- [0110] 즉, 상기 제 1, 제 2 콘택홀(240a, 240b)을 통해 상기 액티브층(224)의 소오스/드레인영역과 제 1 소오스/드레인전극(222a, 223a)이 전기적으로 접속하는 한편, 상기 제 2, 제 3 콘택홀(240b, 240c)을 통해 상기 액티브층(224) 소오스/드레인영역과 제 2 소오스/드레인전극(222b, 223b)이 전기적으로 접속하게 된다.
- [0111] 이와 같이 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 2개의 박막 트랜지스터가 연결되어 구성되도록 상기 제 1 박막 트랜지스터의 제 1 드레인전극(223a)을 상기 제 2 박막 트랜지스터의 제 2 소오스전극(222b)으로 이용하는 것을 특징으로 한다.
- [0112] 또한, 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 전술한 바와 같이 액티브층(224) 상부에 제 1, 제 2 게이트전극(221a, 221b)과 제 1, 제 2 소오스/드레인전극(222a, 222b, 223a, 223b)이 위치하는 코플라나 구조를 적용함에 따라 제 1, 제 2 소오스/드레인전극(222a, 222b, 223a, 223b) 식각 시 산화물 반도체의 채널영역에 손상을 주지 않아 우수한 소자특성을 확보할 수 있는 특징을 가진다.
- [0113] 또한, 상기 제 1, 제 2 소오스전극(222a, 222b)과 제 1, 제 2 드레인전극(223a, 223b) 사이에 제 1, 제 2 게이트전극(221a, 221b)이 위치하지 않게 된다. 그 결과 제 1, 제 2 게이트전극(221a, 221b)의 돌출부가 제거된 만큼 공간적 이득이 생기며, 이 부분을 개구부나 스토리지 커패시터로 활용할 수 있어 고해상도에 유리하게 된다. 또한, 이러한 공간적 이득을 개구부나 스토리지 커패시터로 활용하지 않더라도 패턴간의 간격을 증가시켜줄 수 있어 이물에 의한 단선 불량을 줄일 수 있게 된다.
- [0114] 이때, 상기 제 1, 제 2 소오스전극(222a, 222b)과 제 1, 제 2 드레인전극(223a, 223b) 사이의 이격 거리는 별도의 문제가 없는 한 포토마스크와 노광기의 최소 해상력에 의해 결정된다.

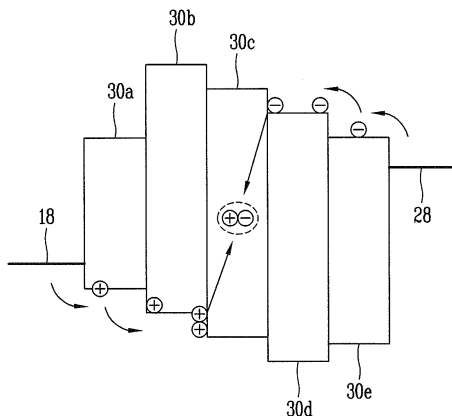
- [0115] 다음으로, 도면에 도시하지 않았지만, 상기 제 1, 제 2 소오스/드레인전극(222a, 222b, 223a, 223b) 및 데이터라인이 형성된 기판(210) 위에는 소정의 보호막이 형성될 수 있다.
- [0116] 그리고, 상기 보호막이 형성된 기판(210) 위에는 화소전극과 연결전극이 형성될 수 있다. 이들은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드 등의 투명한 도전물질이나 알루미늄, 은 또는 그 합금 등의 반사성 도전물질로 이루어질 수 있다.
- [0117] 상기 화소전극이 형성된 기판(210) 위에는 격벽이 형성될 수 있다. 이때, 상기 격벽은 화소전극 가장자리 주변을 독처럼 둘러싸서 개구부를 정의하며 유기 절연물질 또는 무기 절연물질로 만들어질 수 있다.
- [0118] 그리고, 상기 기판(210) 위에는 유기 화합물층이 형성될 수 있다.
- [0119] 이때, 상기 유기 화합물층은 빛을 내는 발광층 외에 발광층의 발광 효율을 향상하기 위한 부대층을 포함하는 다층 구조를 가질 수 있다. 상기 부대층에는 전자와 정공의 균형을 맞추기 위한 전자수송층과 정공수송층 및 전자와 정공의 주입을 강화하기 위한 전자주입층과 정공주입층 등이 있다.
- [0120] 다음으로, 상기 유기 화합물층 위에는 음극인 공통전극이 형성될 수 있다. 이때, 상기 공통전극은 공통 전압을 인가 받으며, 칼슘, 바륨, 마그네슘, 알루미늄, 은 등을 포함하는 반사성 도전물질 또는 ITO, IZO 등의 투명한 도전물질로 이루어질 수 있다.
- [0121] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

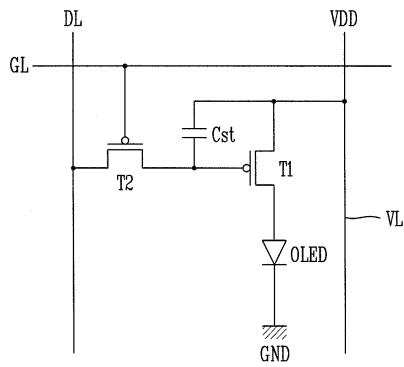
- [0122] 121a, 221a, 121b, 221b : 게이트전극
- 122a, 222a, 122b, 222b : 소오스전극
- 123a, 223a, 123b, 223b : 드레인전극
- 124, 224 : 액티브층
- 140a, 240a, 140b, 240b, 140c, 240c : 콘택홀

도면

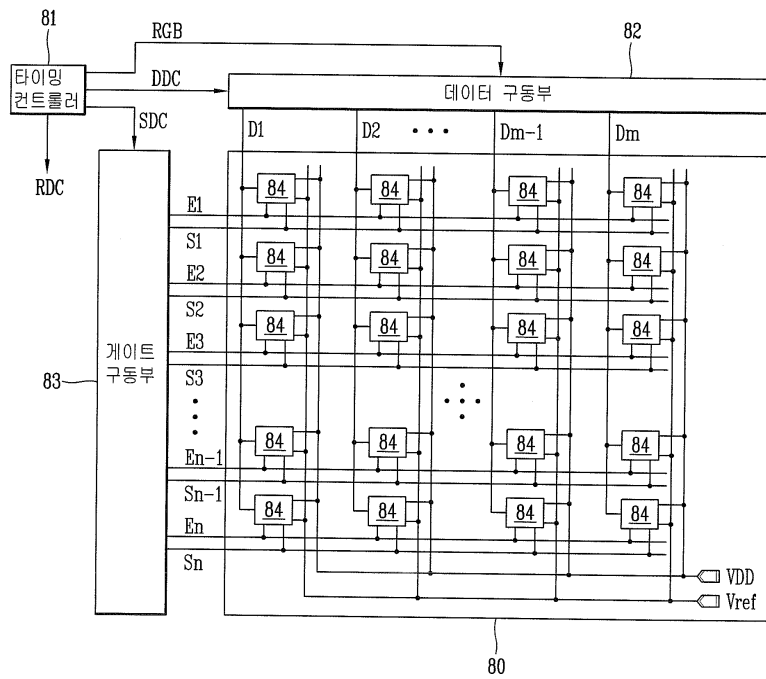
도면1



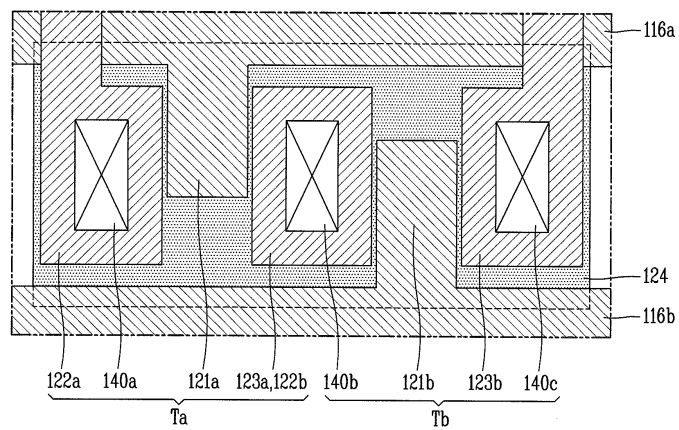
도면2



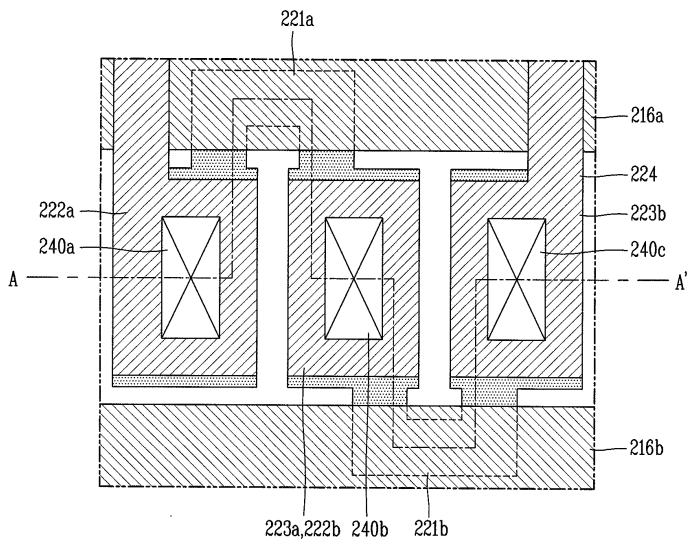
도면3



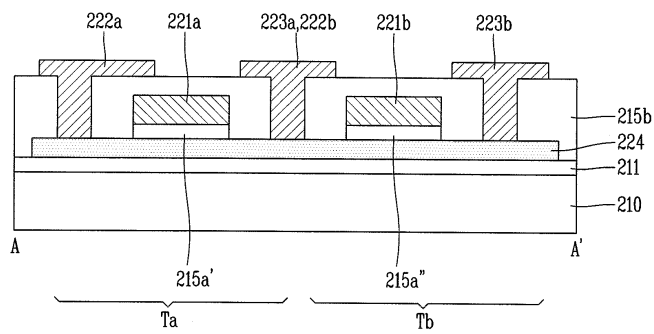
도면4



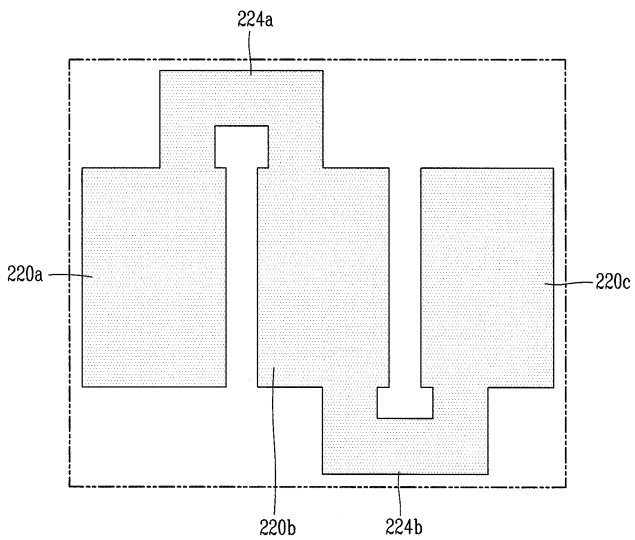
도면5



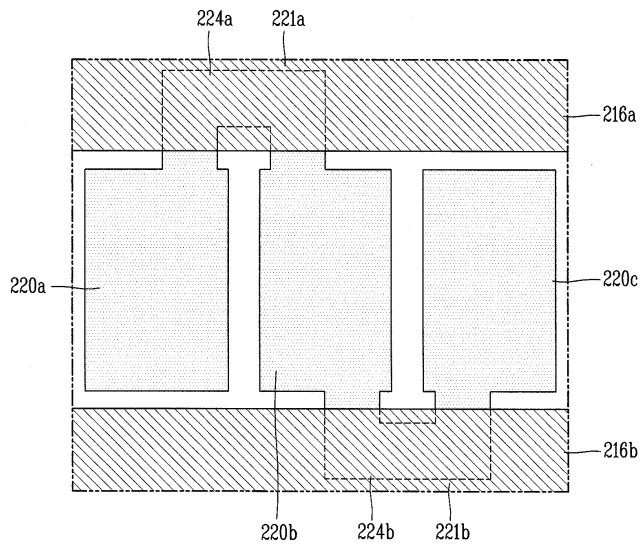
도면6



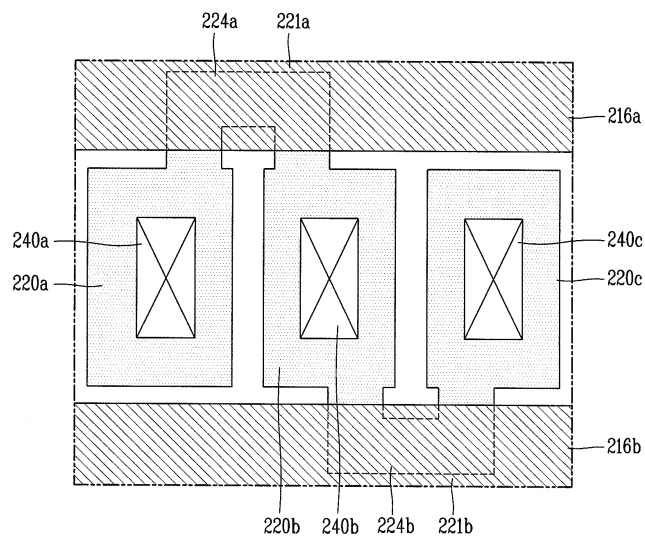
도면7a



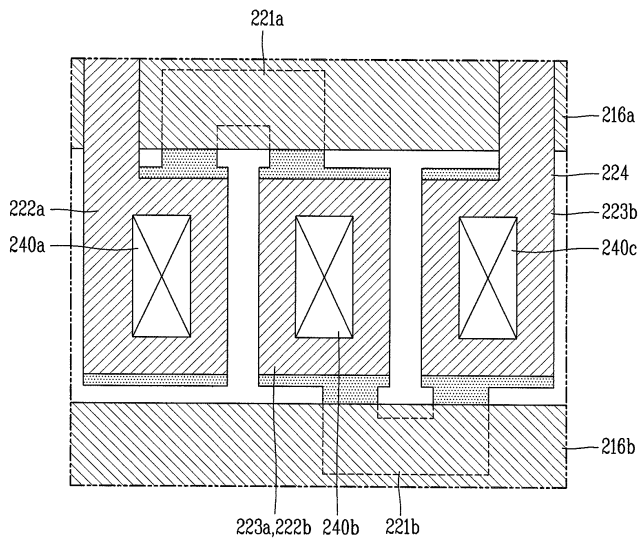
도면7b



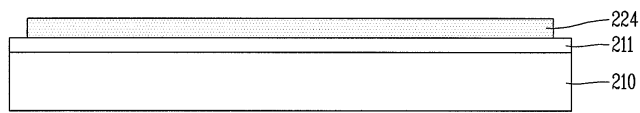
도면7c



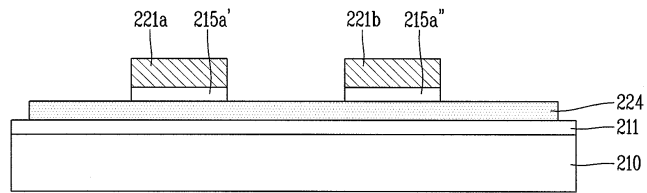
도면7d



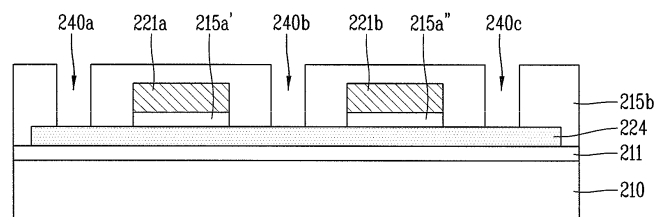
도면8a



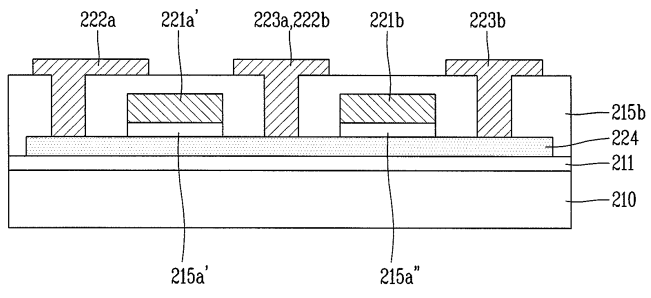
도면8b



도면8c



도면8d



专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	KR1020140028604A	公开(公告)日	2014-03-10
申请号	KR1020120095180	申请日	2012-08-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOO KYO SEOP 추교섭 KIM KI TAE 김기태		
发明人	추교섭 김기태		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L27/1222 H01L27/1225 H01L27/3262		
代理人(译)	박장원		
其他公开文献	KR101916670B1		
外部链接	Espacenet		

摘要(译)

公开了一种有机发光二极管 (OLED) 显示装置及其制造方法，其能够通过应用具有大的氧化物半导体来优化在有限区域中具有最小化的薄膜晶体管面积的共面结构的薄膜晶体管布局。当在像OLED显示器件的像素中形成两个或更多个薄膜晶体管时，可移动性和小的寄生电容。制造有机发光二极管显示装置的方法包括在基板上形成具有Z字形类型的有源层作为氧化物半导体的步骤；在有源层的沟道区上形成栅电极，在它们之间插入栅极绝缘膜以包括在栅极线中；形成包括多个接触孔的保护膜，用于在具有栅电极的基板上暴露有源层的源/漏区；形成源/漏电极，其电连接到通过接触孔暴露的有源层的源/漏区。

