



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0050165
(43) 공개일자 2013년05월15일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2011-0115375
(22) 출원일자 2011년11월07일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
최종현
경기도 용인시 기흥구 삼성2로 95 (농서동)
최재범
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤특허법인

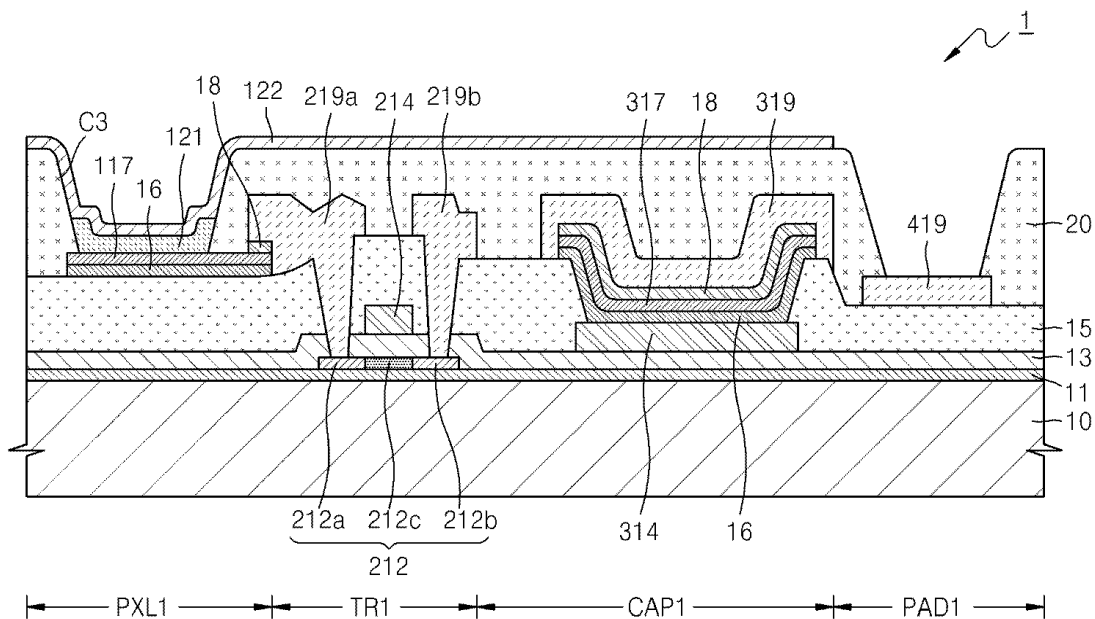
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 상기 박막트랜지스터에서 연장된 제1절연층 및 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극 중 하나와 연결된 화소전극; 상기 게이트전극과 동일층에 배치된 제1전극, 상기 화소전극과 동일 재료로 형성된 제2전극, 상기 제2전극 상에 배치된 제1보호층, 및 상기 제1보호층 상에 배치된 제2보호층을 포함하는 커패시터; 상기 제2절연층과 상기 화소전극 사이, 및 상기 제1전극과 상기 제2전극 사이에 배치된 제3절연층; 및 상기 소스전극과 드레인전극, 및 상기 제2보호층을 덮고 상기 화소전극을 노출하는 제4절연층;을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

대표도



특허청구의 범위

청구항 1

활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 박막트랜지스터에서 연장된 제1절연층 및 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극 중 하나와 연결된 화소전극;

상기 게이트전극과 동일층에 배치된 제1전극, 상기 화소전극과 동일 재료로 형성된 제2전극, 상기 제2전극 상에 배치된 제1보호층, 및 상기 제1보호층 상에 배치된 제2보호층을 포함하는 커패시터;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제1전극과 상기 제2전극 사이에 배치된 제3절연층; 및

상기 소스전극과 드레인전극, 및 상기 제2보호층을 덮고 상기 화소전극을 노출하는 제4절연층;을 포함하는 박막트랜지스터 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 제2절연층은 상기 제1전극과 상기 제2전극 사이에 배치되지 않는 박막트랜지스터 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 제3절연층의 두께는 상기 제2절연층의 두께보다 얇은 박막트랜지스터 어레이 기판.

청구항 4

제 1 항에 있어서,

상기 제3절연층의 두께는 500 옴스트롱(Å) 이상 2000 옴스트롱(Å) 이하인 박막트랜지스터 어레이 기판.

청구항 5

제 4 항에 있어서,

상기 제3절연층의 유전율은 상기 제1절연층의 유전율보다 큰 박막트랜지스터 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 제3절연층은 SiNx, SiO₂, ZrO₂, TiO₂, Ta₂O₅, Al₂O₃를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 박막트랜지스터 어레이 기판.

청구항 7

제 1 항에 있어서,

상기 제1절연층, 제2절연층 및 제3절연층은 상기 기판과 상기 화소전극 사이에 상기 제1절연층, 제2절연층 및 제3절연층의 순서로 배치되고, 인접하는 절연층의 굴절률이 서로 다른 박막트랜지스터 어레이 기판.

청구항 8

제 1 항에 있어서,

상기 화소전극은 투명도전성 산화물을 포함하는 박막트랜지스터 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함하는 박막트랜지스터 어레이 기판.

청구항 10

제 8 항에 있어서,

상기 화소전극은 반투과 금속층을 더 포함하는 박막트랜지스터 어레이 기판.

청구항 11

제 10 항에 있어서,

상기 반투과 금속층은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택된 적어도 하나를 포함하는 박막트랜지스터 어레이 기판.

청구항 12

제 10 항에 있어서,

상기 반투과 금속층은 상기 투명도전성 산화물을 포함하는 층 사이에 배치된 박막트랜지스터 어레이 기판.

청구항 13

제 1 항에 있어서,

상기 화소전극과 상기 제3절연층은 동일한 식각면을 갖는 박막트랜지스터 어레이 기판.

청구항 14

제 1 항에 있어서,

상기 제3절연층, 상기 제2전극 및 상기 제1보호층은 동일한 식각면을 갖는 박막트랜지스터 어레이 기판.

청구항 15

제 1 항에 있어서,

상기 제1보호층은 Mo, Mo을 포함하는 합금, Ti, Cu, Ag 중에서 선택된 적어도 하나를 포함하는 박막트랜지스터 어레이 기판.

청구항 16

제 15 항에 있어서,

상기 소스전극 및 드레인전극 중 상기 화소전극과 연결되는 접속부는 상기 화소전극보다 위에 배치되고, 상기 화소전극과 상기 접속부 사이에 상기 제1보호층이 구비된 박막트랜지스터 어레이 기판.

청구항 17

제 1 항에 있어서,

상기 제2보호층은 상기 소스전극 및 드레인전극과 동일재료로 형성된 박막트랜지스터 어레이 기판.

청구항 18

제 1 항에 있어서,

상기 소스전극 및 드레인전극과 동일재료로 형성된 패드전극을 더 포함하는 박막트랜지스터 어레이 기관.

청구항 19

활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 박막트랜지스터에서 연장된 제1절연층 및 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극 중 하나와 연결된 화소전극;

상기 게이트전극과 동일층에 배치된 제1전극, 상기 화소전극과 동일 재료로 형성된 제2전극, 상기 제2전극 상에 배치된 제1보호층, 및 상기 제1보호층 상에 배치된 제2보호층을 포함하는 커패시터;

상기 제2절연층과 상기 화소전극 사이, 및 상기 제1전극과 상기 제2전극 사이에 배치된 제3절연층;

상기 소스전극과 드레인전극, 및 상기 제2보호층을 덮고 상기 화소전극을 노출하는 제4절연층;

상기 화소전극 상에 배치된 유기발광층; 및

상기 유기발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서,

상기 대향전극은 상기 유기발광층에서 방출된 광을 반사하는 반사전극인 유기 발광 표시 장치.

청구항 21

기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1마스크 공정;

제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 형성하고, 상기 제1도전층을 패터닝하여 박막트랜지스터의 게이트전극, 및 커패시터의 제1전극을 형성하는 제2마스크 공정;

제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스영역과 드레인영역, 및 상기 제1전극을 노출시키도록 개구를 형성하는 제3마스크 공정;

제3절연층, 제2도전층, 및 제3도전층을 차례로 형성하고, 상기 제3절연층, 상기 제2도전층, 및 상기 제3도전층을 동시에 패터닝하여, 화소전극과 커패시터의 제2전극을 형성하는 제4마스크 공정;

제4도전층을 형성하고, 상기 제4도전층을 패터닝하여, 소스전극과 드레인전극, 및 상기 제2전극을 덮는 제2보호층을 형성하는 제5마스크 공정; 및

제4절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정;을 포함하는 박막트랜지스터 어레이 기관의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 제2마스크 공정 후, 상기 소스영역 및 드레인영역에 이온 불순물을 도핑하는 박막트랜지스터 기관의 제조 방법.

청구항 23

제 21 항에 있어서,

상기 제4마스크 공정은 상기 제3절연층을 식각하는 제1식각 공정, 상기 제2도전층 및 상기 제3도전층을 식각하는 제2식각 공정을 포함하는 박막트랜지스터 어레이 기관의 제조 방법.

청구항 24

제 21 항에 있어서,

상기 제4마스크 공정에서, 상기 제2도전층은 투명도전성 산화물을 포함하는 층으로 형성하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 25

제 24 항에 있어서,

상기 제4마스크 공정에서, 상기 제2도전층은 투명도전성 산화물을 포함하는 제1층, 반투과 금속을 포함하는 제2층, 및 투명도전성 산화물을 포함하는 3층으로 형성하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 26

제 21 항에 있어서,

상기 제5마스크 공정에서, 상기 제4마스크 공정 이후 상기 화소전극 상에 잔존하는 상기 제3도전층을 제거하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 27

제 21 항에 있어서,

상기 제5마스크 공정에서, 상기 제4도전층으로 패드전극을 더 형성하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 28

제 21 항에 있어서,

상기 제3절연층은 상기 제2절연층보다 얇은 두께로 형성되는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 29

제 21 항에 있어서,

상기 제3절연층은 상기 제1절연층보다 유전율이 큰 재료로 형성되는 박막트랜지스터 어레이 기판의 제조 방법.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기판의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기판 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제조 공정이 단순하고, 신호 전달이 우수한 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 상기 박막트랜지스터에서 연장된 제1절연층 및 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극 중 하나와 연결된 화소전극; 상기 게이트전극과 동일층에 배치된 제1전극, 상기 화소전극과 동일 재료로 형성된 제2전극, 상기 제2전극 상에 배치된 제1보호층, 및 상기 제1보호층 상에 배치된 제2보호층을 포함하는 커패시터; 상기 제2절연층과 상기 화소전극 사이, 및 상기 제1전극과 상기 제2전극 사이에 배치된 제3절연층; 및 상기 소스전극과 드레인전극, 및 상기 제2보호층을 덮고 상기 화소전극을 노출하는 제4절연층;을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

[0008] 상기 제2절연층은 상기 제1전극과 상기 제2전극 사이에 배치되지 않을 수 있다.

[0009] 상기 제3절연층의 두께는 상기 제2절연층의 두께보다 얇을 수 있다.

[0010] 상기 제3절연층의 두께는 500 옴스트롱(Å) 이상 2000 옴스트롱(Å) 이하 일 수 있다.

[0011] 상기 제3절연층의 유전율은 상기 제1절연층의 유전율보다 클 수 있다.

[0012] 상기 제3절연층은 SiNx, SiO₂, ZrO₂, TiO₂, Ta₂O₅, Al₂O₃를 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.

[0013] 상기 제1절연층, 제2절연층 및 제3절연층은 상기 기판과 상기 화소전극 사이에 상기 제1절연층, 제2절연층 및 제3절연층의 순서로 배치되고, 인접하는 절연층의 굴절률이 서로 다를 수 있다.

[0014] 상기 화소전극은 투명도전성 산화물을 포함할 수 있다.

[0015] 상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.

[0016] 상기 화소전극은 반투과 금속층을 더 포함할 수 있다.

[0017] 상기 반투과 금속층은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택된 적어도 하나를 포함할 수 있다.

[0018] 상기 반투과 금속층은 상기 투명도전성 산화물을 포함하는 층 사이에 배치될 수 있다.

[0019] 상기 화소전극과 상기 제3절연층은 동일한 식각면을 가질 수 있다.

[0020] 상기 제3절연층, 상기 제2전극 및 상기 제1보호층은 동일한 식각면을 가질 수 있다.

[0021] 상기 제1보호층은 Mo, Mo을 포함하는 합금, Ti, Cu, Ag 중에서 선택된 적어도 하나를 포함할 수 있다.

[0022] 상기 소스전극 및 드레인전극 중 상기 화소전극과 연결되는 접속부는 상기 화소전극보다 위에 배치되고, 상기 화소전극과 상기 접속부 사이에 상기 제1보호층이 구비될 수 있다.

[0023] 상기 제2보호층은 상기 소스전극 및 드레인전극과 동일재료로 형성될 수 있다.

[0024] 상기 소스전극 및 드레인전극과 동일재료로 형성된 패드전극을 더 포함할 수 있다.

[0025] 본 발명의 다른 측면에 의하면, 활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 상기 박막트랜지스터에서 연장된 제1절연층 및 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극 중 하나와 연결된 화소전극; 상기 게이트전극과 동일층에 배치된 제1전극, 상기 화소전극과 동일 재료

로 형성된 제2전극, 상기 제2전극 상에 배치된 제1보호층, 및 상기 제1보호층 상에 배치된 제2보호층을 포함하는 커패시터; 상기 제2절연층과 상기 화소전극 사이, 및 상기 제1전극과 상기 제2전극 사이에 배치된 제3절연층; 상기 소스전극과 드레인전극, 및 상기 제2보호층을 덮고 상기 화소전극을 노출하는 제4절연층; 상기 화소전극 상에 배치된 유기발광층; 및 상기 유기발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시 장치를 제공할 수 있다.

- [0026] 상기 대향전극은 상기 유기발광층에서 방출된 광을 반사하는 반사전극일 수 있다.
- [0027] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1마스크 공정; 제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 형성하고, 상기 제1도전층을 패터닝하여 박막트랜지스터의 게이트전극, 및 커패시터의 제1전극을 형성하는 제2마스크 공정; 제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스영역과 드레인영역, 및 상기 제1전극을 노출시키도록 개구를 형성하는 제3마스크 공정; 제3절연층, 제2도전층, 및 제3도전층을 차례로 형성하고, 상기 제3절연층, 상기 제2도전층(전극), 및 상기 제3도전층(제1보호층)을 동시에 패터닝하여, 화소전극과 커패시터의 제2전극을 형성하는 제4마스크 공정; 제4도전층을 형성하고, 상기 제4도전층을 패터닝하여, 소스전극과 드레인전극, 및 상기 제2전극을 덮는 제2보호층을 형성하는 제5마스크 공정; 및 제4절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정;을 포함하는 박막트랜지스터 어레이 기판의 제조 방법을 제공할 수 있다.
- [0028] 상기 제2마스크 공정 후, 상기 소스영역 및 드레인영역에 이온 불순물을 도핑할 수 있다.
- [0029] 상기 제4마스크 공정은 상기 제3절연층을 식각하는 제1식각 공정, 상기 제2도전층 및 상기 제3도전층을 식각하는 제2식각 공정을 포함할 수 있다.
- [0030] 상기 제4마스크 공정에서, 상기 제2도전층은 투명도전성 산화물을 포함하는 층으로 형성할 수 있다.
- [0031] 상기 제4마스크 공정에서, 상기 제2도전층은 투명도전성 산화물을 포함하는 제1층, 반투과 금속을 포함하는 제2층, 및 투명도전성 산화물을 포함하는 3층으로 형성할 수 있다.
- [0032] 상기 제5마스크 공정에서, 상기 제4마스크 공정 이후 상기 화소전극 상에 잔존하는 상기 제3도전층을 제거할 수 있다.
- [0033] 상기 제5마스크 공정에서, 상기 제4도전층으로 패드전극을 더 형성할 수 있다.
- [0034] 상기 제3절연층은 상기 제2절연층보다 얇은 두께로 형성될 수 있다.
- [0035] 상기 제3절연층은 상기 제1절연층보다 유전율이 큰 재료로 형성될 수 있다.

발명의 효과

- [0036] 상기와 같은 본 발명에 따른 박막트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.
- [0037] 첫째, 커패시터의 유전막과 박막트랜지스터의 게이트 절연막을 별개의 절연층으로 형성하기 때문에, 커패시터 및 박막트랜지스터 각각의 특성에 적합하도록 절연층을 설계할 수 있다.
- [0038] 둘째, 커패시터의 유전막에 대한 두께 제어가 용이하기 때문에, 개구율을 증가시킬 수 있다.
- [0039] 셋째, 공정 과정에서 화소전극을 보호할 수 있다. 또한, 화소전극이 반투과 전극인 경우 공진구조를 용이하게 적용할 수 있다.
- [0040] 넷째, 패드전극이 후 공정에서 형성되므로 패드전극의 신뢰성 저하를 방지할 있다.
- [0041] 다섯째, 6마스크 공정으로 상기와 같은 박막트랜지스터 어레이 기판 및 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

- [0042] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- 도 2는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정을 개략적으로 도시한 단면도이다.
- 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정을 개략적으로 도시한 단면도이다.

도 4는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정을 개략적으로 도시한 단면도이다.
 도 5는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.
 도 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정을 개략적으로 도시한 단면도이다.
 도 7은 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정을 개략적으로 도시한 단면도이다.
 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0043] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0044] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0045] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기판(10) 상에는 픽셀영역(PXL1), 트랜지스터영역(TR1), 커패시터영역(CAP1) 및 패드영역(PAD1)이 구비된다.
- [0046] 기판(10)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등의 투명 기판으로 구비될 수 있다.
- [0047] 기판(10) 상에 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 기판(10) 상부에 평활한 면을 형성하고 불순원소가 침투하는 것을 차단하기 위한 것으로, 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.
- [0048] 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널영역(212c)과, 채널영역(212c) 외측에 이온불순물이 도핑된 소스영역(212a) 및 드레인영역(212b)을 포함할 수 있다.
- [0049] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널영역(212c)에 대응되는 위치에 게이트전극(214)이 구비된다. 게이트전극(214)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0050] 게이트전극(214) 상에는 층간절연막인 제2절연층(15)을 사이에 두고 활성층(212)의 소스영역(212a)과 드레인영역(212b)에 각각 접속하는 소스전극(219a)과 드레인전극(219b)이 구비된다. 소스전극(219a)과 드레인전극(219b)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0051] 제2절연층(16) 상에는 소스전극(219a)과 드레인전극(219b)을 덮도록 제4절연층(20)이 구비된다.
- [0052] 본 실시예에서 제1절연층(13)은 박막트랜지스터 영역(TR1)에서 게이트 절연막으로 사용되고, 제2절연층(16)은 층간절연막으로 사용된다. 이러한 제1절연층(13) 및 제2절연층(16)은 무기절연막으로 구비될 수 있다. 제1절연층(13) 및 제2절연층(16)을 형성하는 무기절연막으로는 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 등이 포함될 수 있다.
- [0053] 본 실시예에서 게이트 절연막으로 사용되는 제1절연층(13)은 후술할 커패시터의 유전막으로는 사용되지 않기 때문에, 커패시터의 유전율 특성을 고려할 필요 없이 박막트랜지스터의 게이트절연막으로서의 특성에만 맞추어 설계될 수 있다. 예를 들어, 커패시터의 정전용량을 증가시키기 위해 커패시터의 유전막으로 종종 사용되는 실리콘 나이트라이드(SiN_x)를 박막트랜지스터의 게이트 절연막으로 동시에 사용하게 되면, 박막트랜지스터에 누설전류가 발생할 수 있다. 그러나, 본 실시예에 따르면, 커패시터의 유전막과 박막트랜지스터의 게이트 절연막을 별도로 형성될 수 있기 때문에, 커패시터의 특성 및 박막 트랜지스터의 특성만을 고려하여 유전막 및 게이트 절연막을 선택할 수 있다.
- [0054] 픽셀영역(PXL1)에는 기판(10), 버퍼층(11), 제1절연층(13), 및 제2절연층(15) 상에 후술할 커패시터의 제2전극(317)과 동일 재료로 형성된 화소전극(117)이 구비된다. 화소전극(117)과 제2절연층(15) 사이에는 제3절연층(16)이 배치된다. 즉, 화소전극(117)과 기판(10) 사이에는 기판(10)으로부터 화소전극(117) 쪽으로 버퍼층(11),

제1절연층(13), 제2절연층(15) 및 제3절연층(16)이 배치된다.

- [0055] 기판(10)과 화소전극(117) 사이에 배치되는 상기 버퍼층(11), 제1절연층(13), 제2절연층(15) 및 제3절연층(16)은 인접하는 층들 사이의 굴절률이 서로 다르게 형성될 수 있다. 즉, 굴절률이 서로 다른 절연층이 교대로 구비되어 DBR(Distributed Bragg Reflector)로 기능함으로써 유기발광층(121)에서 방출되는 빛의 광효율을 높일 수 있다. 한편, 상기 도면에는 버퍼층(11), 제1절연층(13), 제2절연층(15) 및 제3절연층(16)이 각각 하나의 층으로 형성된 것으로 도시되어 있으나 본 발명은 이에 한정되는 아니며, 상기 층들은 각각 복수의 층으로 형성될 수 있다.
- [0056] 제3절연층(16) 상에 화소전극(117)이 직접 배치된다. 후술하겠지만, 제3절연층(16)과 화소전극(117)은 동일 마스크 공정에서 동일 마스크를 이용하여 패터닝되기 때문에, 제3절연층(16)과 화소전극(117)은 동일한 식각면을 가진다.
- [0057] 화소전극(117)은 투명도전물로 형성되어 화소전극(117) 측으로 광이 방출될 수 있다. 이와 같은 투명도전물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0058] 화소전극(117) 외곽에는 제4절연층(20)이 형성되고, 제4절연층(20)에는 화소전극(117)을 노출시키는 개구(C3)가 형성된다. 상기 개구(C3)에 유기발광층(121)이 구비된다.
- [0059] 유기발광층(121)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기발광층(121)이 저분자 유기물일 경우, 유기발광층(121)을 중심으로 홀수송층(hole transport layer: HTL), 홀주입층(hole injection layer: HIL), 전자수송층(electron transport layer: ETL) 및 전자주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기발광층(121)이 고분자 유기물일 경우, 유기발광층(121) 외에 홀수송층(HTL)이 포함될 수 있다. 홀수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 또한, 유기발광층(121)과 화소전극(117) 및 대향전극(122) 사이에는 무기 재료가 더 구비될 수도 있다.
- [0060] 유기발광층(121) 상에는 공통전극으로 대향전극(122)이 구비된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소전극(117)은 애노드로 사용되고, 대향전극(122)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0061] 대향전극(122)은 반사 물질을 포함하는 반 전극으로 구성될 수 있다. 이때 상기 대향전극(122)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함할 수 있다. 대향전극(122)이 반사 전극으로 구비됨으로써, 유기발광층(121)에서 방출된 빛은 대 전극(122)에 반사되어 투명도전물로 구성된 화소전극(117)을 투과하여 기판(10) 측으로 방출된다.
- [0062] 화소전극(117) 외곽을 덮는 제4절연층(20)은 화소전극(117)과 대향전극(122) 사이에서 화소정의막으로 기능한다.
- [0063] 제4절연층(20)은 유기절연막으로 구비될 수 있다. 제4절연층(20)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0064] 제4절연층(20)은 전술한 박막트랜지스터의 소스전극(219a) 및 드레인전극(219b)을 덮고, 소스전극(219a) 및 드레인전극(219b) 중 하나는 화소전극(117)과 전기적으로 연결된다.
- [0065] 소스전극(219a)과 드레인전극(219b) 중 화소전극(117)과 연결되는 접속부는 화소전극(117) 위에 배치된다. 화소전극(117)과 접속부 사이에는 화소전극(117)을 보호하는 제1보호층(18)이 구비된다. 제1보호층(18)은 소스전극(219a)과 드레인전극(219b)을 형성하는 공정 전에 화소전극(117)이 손상되는 것을 방지하기 위하여 화소전극(117)의 상부 전체에 형성되었던 것으로, 소스전극(219a)과 드레인전극(219b) 형성 시 제거되고 일부가 화소전극(117)과 접속하는 부분에 남은 것이다.

- [0066] 커패시터 영역(CAP1)에는 제1전극(314), 제2전극(317), 제1전극(314)과 제2전극(317) 사이에 배치된 제3절연층(16), 제2전극(317)을 보호하는 제1보호층(18), 및 제1보호층(18)을 보호하는 제2보호층(319)이 구비된다.
- [0067] 제1전극(314)은 게이트전극(214)과 동일 마스크 공정에서 동일 재료로 형성된다.
- [0068] 제2전극(317)은 화소전극(117)과 동일 재료로 형성된다. 구체적으로 제2전극(317)은 투명도전성 산화물을 포함할 수 있다.
- [0069] 제1보호층(18)은 제2전극(317) 상에 배치된다. 제1보호층(18)은 소스전극(219a)과 드레인전극(219b)을 형성하는 공정 전에 제2전극(317)이 손상되는 것을 방지한다. 제1보호층(18)은, Mo, Mo을 포함하는 합금, Ti, Cu, Ag 중에서 선택된 적어도 하나를 포함할 수 있다. 물론 이는 일 예시이며, 본 발명은 이에 한정되지 않는다. 도전성 물질이라면 상술한 재료에 한정되지 않고 다양한 재료가 사용될 수 있다.
- [0070] 제1보호층(18) 상에 제2보호층(319)이 배치된다. 제2보호층(319)은 소스전극(219a)과 드레인전극(219b)을 형성하는 공정에서 제1보호층(18)이 제거되는 것을 방지한다. 상기 제2보호층(319)은 상기 소스전극(219a) 및 드레인전극(219b)과 동일재료로 형성될 수 있다.
- [0071] 한편, 본 실시예에서 제1보호층(18) 및 제2보호층(319)은 모두 도전성재료를 포함하고, 제2전극(317)과 전기적으로 접촉하고 있기 때문에, 제2전극(317)과 함께 커패시터의 상부전극을 형성할 수 있다.
- [0072] 제1전극(314)과 제2전극(317) 사이에는 유전막으로 제3절연층(16)이 배치된다. 본 실시예에서, 게이트전극(214)과 소스전극(219a) 및 드레인전극(219b) 사이에 위치하는 제2절연층(15)은 커패시터의 제1전극(314)과 제2전극(317) 사이에는 배치되지 않는다. 제2절연층(15)은 박막트랜지스터의 층간절연막으로 기능하므로 박막트랜지스터의 특성을 고려하여 소정 두께 이상으로 설계되지만, 커패시터는 유전막의 두께가 두꺼울수록 정전 용량이 감소하기 때문에 층간절연막과 동일한 두께로 유전막을 형성할 경우 정전용량이 감소할 수 있다. 그러나, 본 실시예에서 제2절연층(15)이 커패시터의 유전막으로 사용되지 않으며, 본 실시예의 유전막으로 사용되는 제3절연층(16)은 제2절연층(15)보다 두께를 얇게 형성할 수 있기 때문에 정전용량이 감소하는 것을 방지할 수 있다. 한편, 제3절연층(16)의 두께는 500 옴스트롱(Å) 이상 2000 옴스트롱(Å) 이하로 형성하여 적절한 정전 용량을 유지할 수 있다.
- [0073] 또한, 본 실시예에서 유전막으로 사용되는 제3절연층(16)은 유전율이 큰 절연 재료로 형성될 수 있다. 전술한 바와 같이, 제3절연층(16)은 게이트 절연막을 형성하는 제1절연층(13)과 별개의 층으로 형성되기 때문에, 제1절연층(13)보다 유전율은 큰 재료로 형성됨으로써 정전용량을 증가시킬 수 있다. 따라서, 커패시터의 면적을 증가시키지 않고도 정전용량을 증가시킬 수 있기 때문에, 상대적으로 화소전극(117)의 면적을 크게 만들 수 있어서 유기 발광 표시 장치(1)의 개구율을 증가시킬 수 있다. 이러한 제3절연층(16)으로 무기 절연막을 사용할 수 있다. 예를 들어, 제3절연층(16)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, 및 PZT을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.
- [0074] 또한, 후술하겠지만, 제2전극(317), 제3절연층(16), 및 제1보호층(18)은 동일 마스크 공정에서 패터닝되기 때문에 동일한 식각면을 가질 수 있다.
- [0075] 제2전극(317) 상에 제4절연층(20)이 구비된다. 제4절연층(20)은 유기절연막으로 구비될 수 있다. 대향전극(122)과 제2전극(317) 사이에 유전율이 작은 유기 절연물을 포함하는 제4절연층(20)이 개재됨으로써, 대향전극(122)과 제2전극(317) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0076] 유기 발광 표시 장치(1)의 외곽에는 외장 드라이버의 접속 단자인 패드전극(419)이 배치되는 패드영역(PAD1)이 위치한다.
- [0077] 본 실시예에서, 패드전극(419)은 소스전극(219a) 및 드레인전극(219b)과 동일 재료로 이루어질 수 있다. 또한, 패드전극(419)은 소스전극(219a) 및 드레인전극(219b)과 동일 층에 배치된다. 즉, 패드전극(419)은 제2절연층(15) 상에 직접 배치된다.
- [0078] 패드전극(419)은 전술한 게이트전극(214), 화소전극(117), 및 제1전극(314)보다 나중에 형성되기 때문에, 패드전극(419) 상부에 게이트전극(214), 화소전극(117), 또는 제1전극(314)을 형성하는 재료가 위치하지 않는다. 즉, 게이트전극(214), 화소전극(117) 또는 제1전극(317)을 형성하는 재료가 패드전극(419) 상에 위치하거나, 또는 이들을 패드전극(419) 상에서 제거하는 과정에서 패드전극(419)의 신뢰성이 저하되는 것을 방지할 수 있다.
- [0079] 한편, 도 1에는 도시되어 있지 않으나, 본 실시예에 따른 유기 발광 표시 장치(1)는 픽셀영역(PXL1), 커패시터

영역(CAP1), 및 트랜지스터영역(TR1)을 포함하는 표시 영역을 봉지하는 봉지 부재(미도시)를 더 포함할 수 있다. 봉지 부재는 글라스재를 포함하는 기관, 금속 필름, 또는 유기 절연막 및 무기 절연막이 교번하여 배치된 봉지 박막 등으로 형성될 수 있다.

- [0080] 이하, 도 2 내지 7을 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0081] 도 2는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0082] 도 2를 참조하면, 기관(10) 상에 버퍼층(11)과 반도체층(미도시)을 순차로 형성하고, 반도체층(미도시)을 패터닝하여 박막트랜지스터의 활성층(212)을 형성한다.
- [0083] 상기 도면에는 도시되어 있지 않지만, 기관(10)상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝된다. 패터닝 결과, 전술한 활성층(212)이 형성된다. 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(striping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0084] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0085] 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0086] 도 3을 참조하면, 도 2의 제1마스크 공정의 결과물 상에 제1절연층(13)과 제1도전층(미도시)을 차례로 적층한 후 이를 패터닝한다.
- [0087] 제1절연층(13) SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있고, 제1도전층(미도시)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0088] 패터닝 결과, 제1절연층(13) 상에 게이트전극(214)과 커패시터의 제1전극이 형성된다. 제1절연층(13)은 게이트 절연막으로 기능하지만, 커패시터의 유전막으로는 기능하지 않는다. 따라서, 제1절연층(13)은 커패시터의 특성을 고려할 필요 없이 박막트랜지스터의 특성만 고려하여 재료를 선택할 수 있다.
- [0089] 상기와 같은 구조물 위에 이온불순물이 도핑(D)된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm³ 이상의 농도로 박막트랜지스터의 활성층(212)을 타겟으로 하여 도핑(D)한다. 게이트전극(214)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온불순물을 도핑함으로써 활성층(212)은 이온불순물이 도핑된 소스 및 드레인영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다.
- [0090] 도 4는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0091] 도 4를 참조하면, 도 3의 제2마스크 공정의 결과물 상에 제2절연층(15)을 형성되고, 제2절연층(15)을 패터닝하여 활성층(212)의 소스영역(212a) 및 드레인영역(212b)의 일부를 노출시키는 개구(C1), 및 제1전극(314)을 노출시키는 개구(C2)가 형성된다.
- [0092] 제2절연층(15)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있으나, 전술한 제1절연층(13)으로 형성된 재료와 굴절률이 다른 재료로 형성되는 것이 바람직하다.
- [0093] 도 5는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0094] 도 5를 참조하면, 도 4의 제3마스크 공정의 결과물 상에 제3절연층(16), 제2도전층(미도시), 및 제3도전층(미도시)을 차례로 형성한 후, 제3절연층(16), 제2도전층(미도시), 및 제3도전층(미도시)을 동시에 패터닝한다.
- [0095] 제3절연층(16)은 유전막으로 기능하며, SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있다. 다만, DBR로 기능하기 위하여 제1절연층(13) 및 제2절연층(15)으로 형

성된 재료와 굴절률이 다른 재료로 형성되는 것이 바람직하다.

- [0096] 제2도전층(미도시)은 투명도전성 산화물로 형성될 수 있다. 예를 들어 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 재료로 형성 될 수 있다.
- [0097] 제3도전층(미도시)은 화소전극(117)과 제2전극(317)을 보호하는 것으로, Mo, Mo을 포함하는 합금, Ti, Cu, Ag 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0098] 패터닝 결과, 픽셀영역에는 제3절연층(16)과 동일한 식각면을 갖는 화소전극(117) 및 제1보호층(18)이 형성되고, 커패시터영역에는 제3절연층(16)과 동일한 식각면을 갖는 제2전극(317) 및 제1보호층(18)이 형성된다.
- [0099] 제3절연층(16), 제2도전층(미도시), 및 제3도전층(미도시)은 동일 마스크 공정에서 식각되기 때문에, 픽셀영역에는 제3절연층(16), 화소전극(117) 및 제1보호층(18)이 동일한 식각면을 가지고, 커패시터영역에서는 제3절연층(16), 제3전극(317) 및 제1보호층(18)이 동일한 식각면을 가진다.
- [0100] 제3절연층(16)은 제1전극(314)과 제2전극(317) 사이에 직접 배치됨으로써 유전막으로 기능하지만, 박막트랜지스터에는 위치하지 않기 때문에 게이트 절연막으로는 기능하지 않는다. 따라서, 제3절연층(16)은 박막트랜지스터의 특성을 고려할 필요 없이 커패시터의 특성만 고려하여 재료 또는 두께 등을 선택할 수 있기 때문에, 공정의 설계 자유도가 높아진다.
- [0101] 도 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0102] 도 6을 참조하면, 도 5의 제4마스크 공정의 결과물 상에 제4도전층(미도시)을 형성하고, 패터닝 결과 소스전극(219a)과 드레인전극(219b), 제2보호층(319) 및 패드전극(419)이 형성된다.
- [0103] 제4도전층(미도시)으로는 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0104] 소스전극(219a) 및 드레인전극(219b) 중 하나는 화소전극(117)과 전기적으로 연결된다. 본 실시예에서 소스전극(219a) 및 드레인전극(219b)은 화소전극(117) 형성 후 패터닝되기 때문에, 화소전극(117)과 연결되는 소스전극(219a) 또는 드레인전극(219b)의 접속부는 화소전극(117)보다 위에 형성된다. 또한, 소스전극(219a)과 드레인전극(219b)의 패터닝 시, 화소전극(117) 위에 배치되어 있던 제1보호층(18)은 제거되고, 화소전극(117)과 접속부 사이의 제1보호층(18)만 패터닝이 남는다. 그러나, 커패시터영역의 제4도전층(미도시)은 제1보호층(18)을 덮도록 패터닝하여 제2보호층(319)을 형성한다.
- [0105] 한편, 상기 도면에는 상세히 도시하지 않았으나 제5마스크 공정에서 제4도전층(미도시)을 패터닝하여 데이터 배선을 함께 형성할 수 있다.
- [0106] 도 7은 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0107] 도 7을 참조하면, 도 6의 제5마스크 공정의 결과물 상에 제4절연층(20)을 형성한 후, 화소전극(117) 상부를 노출시키는 개구(C3), 및 패드전극(419)을 노출시키는 개구(C4)를 형성한다.
- [0108] 제4절연층(20)은 유기 절연막으로 구비될 수 있다. 특히 제4절연층(20)을 감광성 유기 절연막으로 할 경우, 별도의 포토레지스터를 사용하지 않아도 된다.
- [0109] 화소전극(117)을 노출시키는 개구(C3)는 발광 영역을 정의해주는 역할 외에, 화소전극(117)의 가장자리와 대향전극(122, 도 1 참조) 사이의 간격을 넓혀, 화소전극(117)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소전극(117)과 대향전극(122)의 단락을 방지하는 역할을 한다.
- [0110] 상기 도면들에는 도시되지 않았으나, 제6마스크 공정 이후 화소전극(117) 상에 유기발광층(121)을 형성하고, 유기발광층(121) 상에 공통전극인 대향전극(122, 도 1)을 형성하여, 도 1의 유기 발광 표시 장치를 형성할 수 있다. 또한, 대향전극(122, 도 1) 상에 봉지 부재(미도시)를 더 형성할 수 있다.
- [0111] 이하, 도 3을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 설명한다. 이하, 기술한 실시

예와의 차이점을 중심으로 설명하기로 한다.

- [0112] 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- [0113] 도 8을 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 기관(10) 상에는 픽셀영역(PXL2), 트랜지스터영역(TR2), 커패시터영역(CAP2), 및 패드영역(PAD2)이 형성된다. 트랜지스터영역(TR2) 및 패드영역(PAD2)은 전술한 실시예에 따른 유기 발광 표시 장치(1)와 동일하다.
- [0114] 픽셀영역(PXL2)에는 기관(10), 버퍼층(11), 제1절연층(13), 제2절연층(15) 및 제3절연층(16) 상에 화소 전극(117-2)이 구비된다. 화소전극(117-2) 상에 유기발광층(121)이 형성되고, 유기발광층(121)에서 방출된 광은 화소전극(117-2)을 통하여 기관(10) 측으로 방출된다.
- [0115] 본 실시예에 따른 유기 발광 표시 장치(2)는 화소전극(117-2)은 투명도전성 산화물을 포함하는 제1층(117a), 반투과 금속을 포함하는 제2층(117b), 투명도전성 산화물을 포함하는 제3층(117c)을 포함한다.
- [0116] 제1층(117a)과 제3층(117c)을 구성하는 투명도전성 산화물은 전술하였듯이, 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중에서 선택될 수 있다. 제2층(117b)을 구성하는 반투과 금속층은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택될 수 있다.
- [0117] 투명도전성 산화물을 포함하는 제1층(117a)은 제3절연층(16)과 반투과 금속을 포함하는 제2층(117b) 사이의 접착 스트레스를 감소시킬 수 있고, 투명도전성 산화물을 포함하는 제3층(117a)은 반투과 금속을 포함하는 제2층(117b)과, 유기발광층(121)과 제2층(117b) 사이의, 예를 들어, 정공주입층과 같은 유기막들 사이의 일함수 차이를 줄일 수 있다.
- [0118] 대향전극(122)이 반사미러(mirror)로서 기능하고, 반투과 금속을 포함하는 제2층(117b)이 반투과 미러로 기능함으로써, 유기발광층(121)에서 방출된 광은 대향전극(122)과 반투과 금속을 포함하는 제2층(117b) 사이에서 공진된다. 따라서, 본 실시예에 따른 유기 발광 표시 장치(2)는 화소전극(117-2) 하부에 배치된 제1절연층(13) 내지 제3절연층(16)의 DBR에 의한 공진 효과 외에, 미러에 의한 공진 효과가 부가되어 유기 발광 표시 장치(2)의 광 효율이 더욱 증대된다. 이때, 반투과 금속을 포함하는 층(117b)이 공진 미러(mirror)로 작용하기 위해서 두께는 300Å 이하의 두께를 갖는 것이 바람직하다.
- [0119] 화소전극(117-2)은 소스전극(219a) 및 드레인전극(219b) 중 하나는 과 전기적으로 연결되며, 소스전극(219a)과 드레인전극(219b)은 화소전극(117-2) 위에 배치된다. 화소전극(117-2)과 접속부 사이, 특히 제3층(117c)과 접속부 사이에 제3층(117c)을 보호하는 제1보호층(18)이 구비된다. 제1보호층(18)은 소스전극(219a)과 드레인전극(219b)을 형성하는 공정 전에 화소전극(117-2), 특히 제3층(117c)이 손상되는 것을 방지하기 위하여 화소전극(117-2)의 제3층(117c) 상부 전체에 형성되었던 것으로, 소스전극(219a)과 드레인전극(219b) 형성 시 제거되고 일부가 화소전극(117-2)과 접속하는 부분에 남은 것이다.
- [0120] 커패시터영역(CAP2)에는 기관(10), 버퍼층(11), 및 제1절연층(13) 상에 제1전극(314), 제3절연층(16), 제2전극(317-2), 제1보호층(18) 및 제2보호층(319)가 차례로 적층된다.
- [0121] 제2전극(317-2)은 투명도전성 산화물을 포함하는 제1층(317a), 반투과 금속을 포함하는 제2층(317b), 투명도전성 산화물을 포함하는 제3층(317c)을 포함한다. 이는 전술한 화소전극(117-2)의 구성과 동일하다.
- [0122] 제2전극(317-2) 상에는 제1보호층(18)이 전체적으로 형성된다. 제1보호층(18)은 소스전극(219a)과 드레인전극(219b)을 형성하는 공정 전에 제3전극(317-2), 특히 제3층(317c)이 손상되는 것을 방지하기 위하여 제3전극(317-2)의 제3층(117c) 상부 전체에 형성된 것이다.
- [0123] 제1보호층(18) 상에는 제2보호층(319)이 형성된다. 제2보호층(319)은 소스전극(219a)과 드레인전극(219b)을 형성하는 공정에서 제1보호층(18)이 제거되는 것을 방지할 수 있다.
- [0124] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

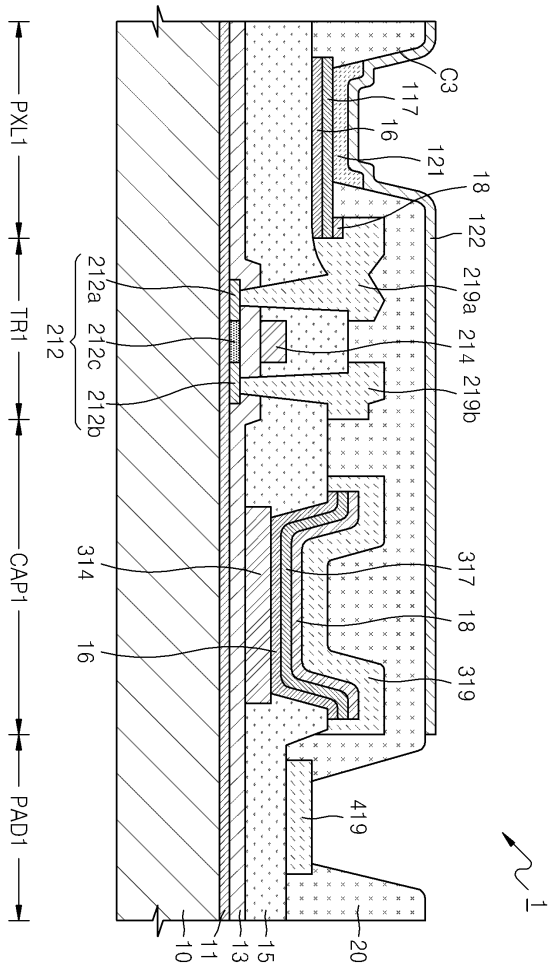
부호의 설명

[0125] 1: 유기 발광 표시 장치

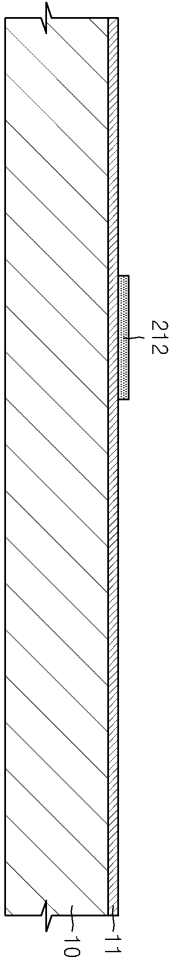
- | | |
|--------------|--------------|
| 10: 기판 | 11: 버퍼층 |
| 13: 제1절연층 | 15: 제2절연층 |
| 16: 제3절연층 | 18: 제1보호층 |
| 20: 제4절연층 | 117: 화소전극 |
| 121: 유기발광층 | 122: 대향전극 |
| 212: 활성층 | 212a: 소스영역 |
| 212b: 드레인영역 | 212c: 채널영역 |
| 214: 게이트전극 | 219a: 소스전극 |
| 219b: 드레인전극 | 314: 제1전극 |
| 317: 제2전극 | 319: 제2보호층 |
| 419: 패드전극 | C1~C4: 개구 |
| PXL1: 픽셀영역 | TR1: 트랜지스터영역 |
| CAP1: 커패시터영역 | PAD1: 패드영역 |

도면

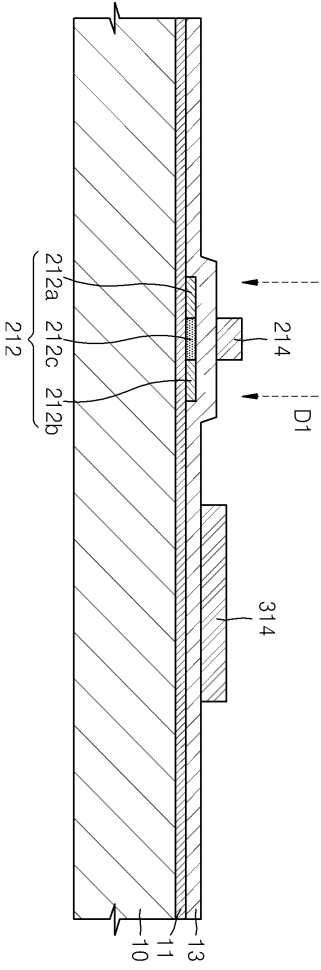
도면1



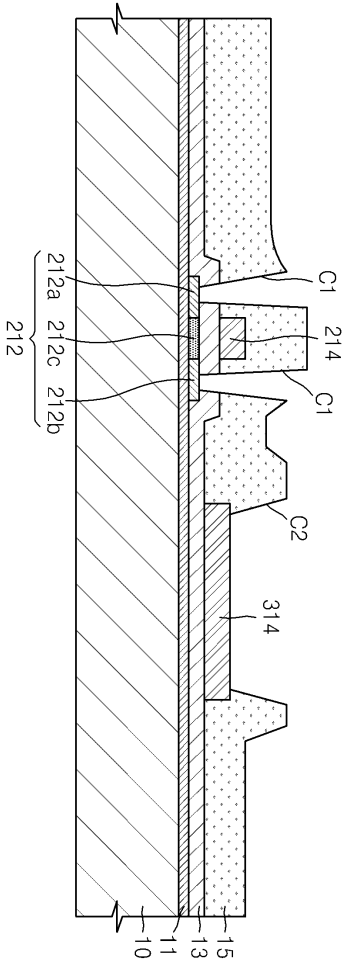
도면2



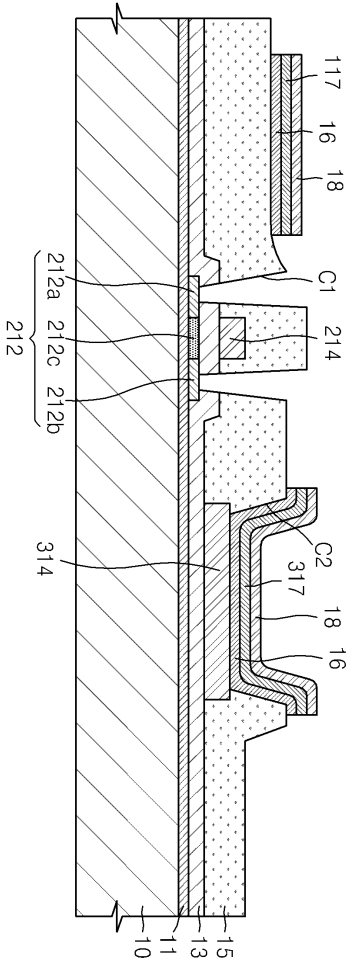
도면3



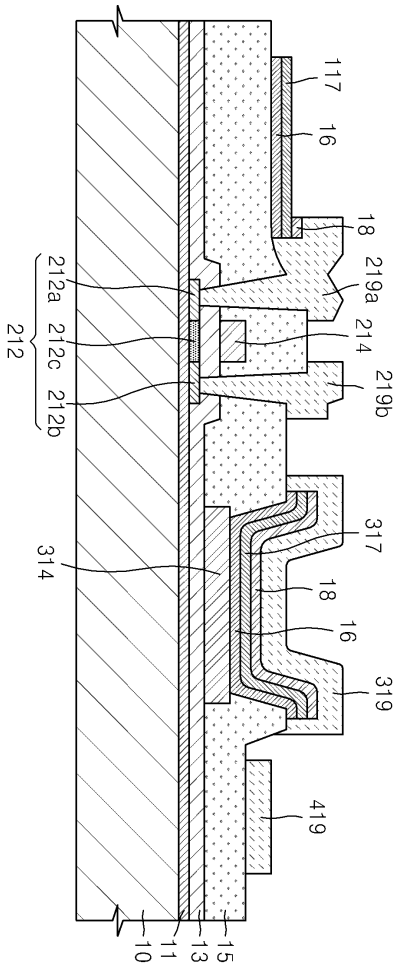
도면4



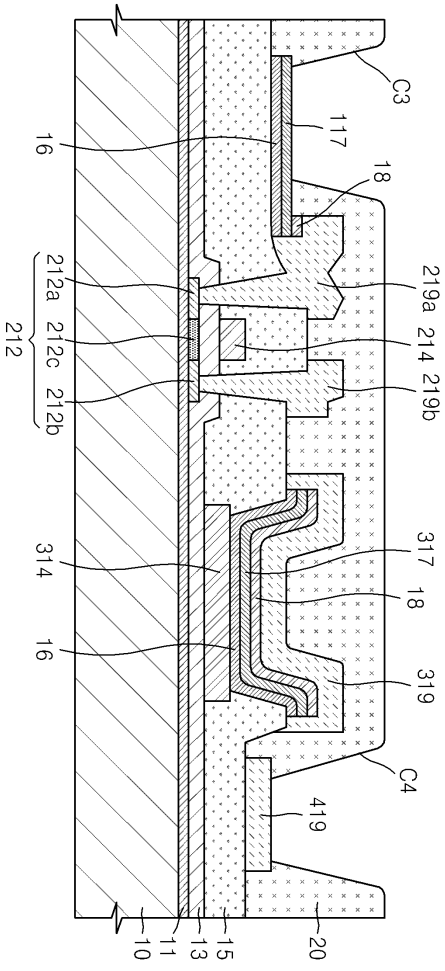
도면5



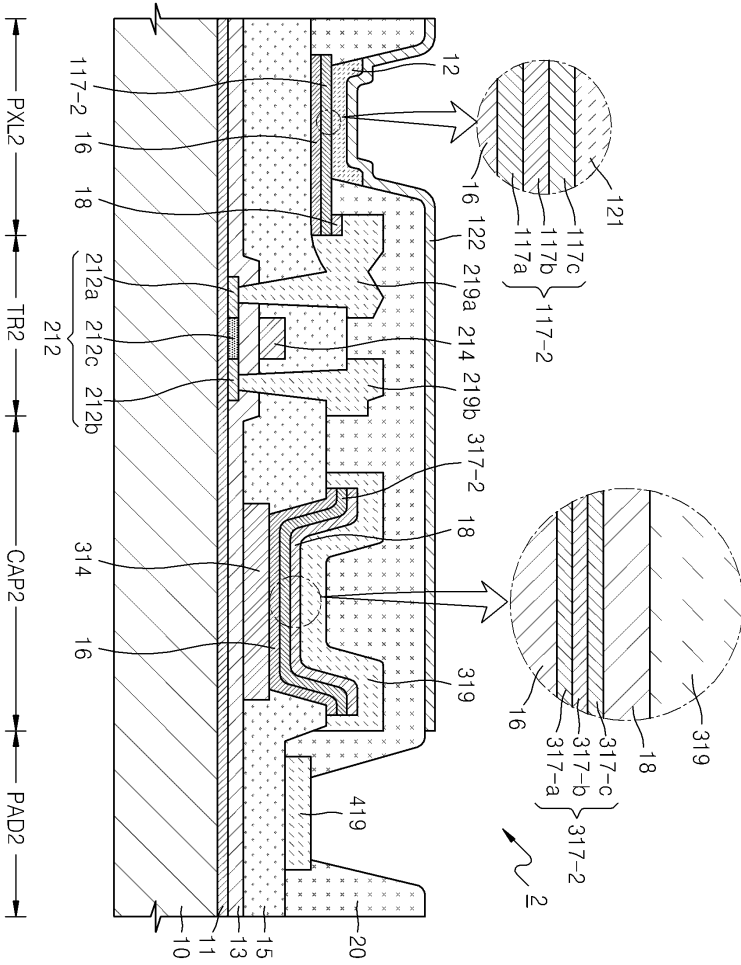
도면6



도면7



도면8



专利名称(译)	薄膜晶体管阵列基板，包括该薄膜晶体管阵列基板的有机发光显示装置及其制造方法		
公开(公告)号	KR1020130050165A	公开(公告)日	2013-05-15
申请号	KR1020110115375	申请日	2011-11-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JONG HYUN 최종현 CHOI JAE BEOM 최재범		
发明人	최종현 최재범		
IPC分类号	H01L51/52 H01L29/786 H05B33/10		
CPC分类号	H01L27/3258 H01L27/1248 H01L27/1255 H01L51/5215 H01L27/1259 H01L27/3265		
其他公开文献	KR102025836B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面，有源层，栅电极，源电极和漏电极，布置在有源层和栅电极之间的第一绝缘层，以及布置在栅电极与源电极和漏电极之间的第二绝缘层一种薄膜晶体管，包括绝缘层；第一绝缘层和第二绝缘层上的像素电极从薄膜晶体管延伸并连接到源极和漏极中的一个；第一电极设置在与栅电极相同的层上，第二电极由与像素电极相同的材料形成，第一保护层设置在第二电极上，第二电极设置在第一保护层上一种电容器，包括保护层；第三绝缘层，设置在第二绝缘层与像素电极之间以及第一电极与第二电极之间；第四绝缘层覆盖源电极，漏电极和第二保护层并暴露像素电极。专利出版物10-2013-0050165

