



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0031101  
(43) 공개일자 2013년03월28일

(51) 국제특허분류(Int. Cl.)  
H01L 51/50 (2006.01) H01L 51/56 (2006.01)  
(21) 출원번호 10-2011-0094832  
(22) 출원일자 2011년09월20일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
최희동  
충청남도 서산시 음암면 음암로 499, 수림미소가  
아파트 110-401  
(74) 대리인  
서교준

전체 청구항 수 : 총 11 항

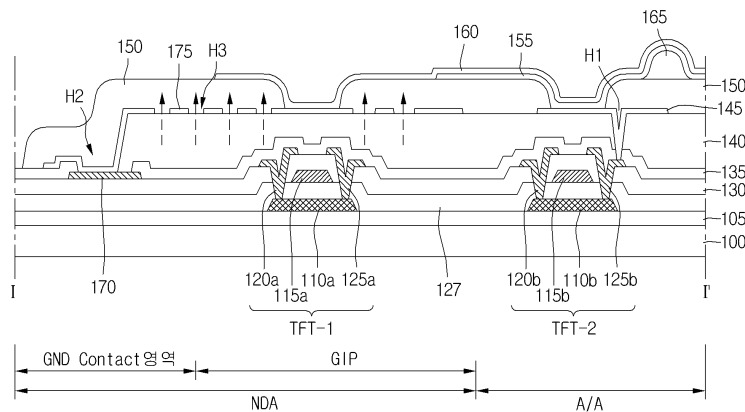
(54) 발명의 명칭 유기발광 다이오드 표시장치 및 그의 제조방법

(57) 요약

유기발광 다이오드 표시장치 및 그의 제조방법이 개시된다.

본 발명의 실시예에 따른 유기발광 다이오드 표시장치는 기판 상에 정의되며 영상을 표시하는 표시영역과, 상기 표시영역의 가장자리에 위치하며 상기 표시영역에 포함된 서브 픽셀들에 신호를 제공하는 비표시영역과, 상기 기판의 비표시영역에 형성된 제1 박막트랜지스터와, 상기 기판의 표시영역에 형성된 제2 박막트랜지스터와, 상기 제1 및 제2 박막트랜지스터 상부에 형성된 평탄화막과, 상기 평탄화막 상에 형성되어 상기 제2 박막트랜지스터의 드레인 전극에 연결되는 애노드 전극과, 상기 제1 박막트랜지스터와 대응되도록 상기 평탄화막 상에 형성되며 적어도 하나 이상의 제1 홀을 통해 일정 간격 이격된 적어도 둘 이상의 전극 패턴을 구비한 제1 전극층과, 상기 애노드 전극과 제1 전극층 상에 위치하며 상기 애노드 전극의 일부를 노출하는 개구부를 구비한 बैं크패턴과, 상기 애노드 전극 상에 형성된 유기 발광층 및 상기 유기 발광층 상에 형성된 캐소드 전극을 포함한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

기관 상에 정의되며 영상을 표시하는 표시영역;

상기 표시영역의 가장자리에 위치하며 상기 표시영역에 포함된 서브 픽셀들에 신호를 제공하는 비표시영역;

상기 기관의 비표시영역에 형성된 제1 박막트랜지스터;

상기 기관의 표시영역에 형성된 제2 박막트랜지스터;

상기 제1 및 제2 박막트랜지스터 상부에 형성된 평탄화막;

상기 평탄화막 상에 형성되어 상기 제2 박막트랜지스터의 드레인 전극에 연결되는 애노드 전극;

상기 제1 박막트랜지스터와 대응되도록 상기 평탄화막 상에 형성되며 적어도 하나 이상의 제1 홀을 통해 일정 간격 이격된 적어도 둘 이상의 전극 패턴을 구비한 제1 전극층;

상기 애노드 전극과 제1 전극층 상에 위치하며 상기 애노드 전극의 일부를 노출하는 개구부를 구비한 बैं크패턴;

상기 애노드 전극 상에 형성된 유기 발광층; 및

상기 유기 발광층 상에 형성된 캐소드 전극;을 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

### 청구항 2

제1 항에 있어서,

상기 표시영역의 서브 픽셀들 중 최외곽에 위치하는 제1 서브 픽셀 상의 애노드 전극과, 상기 제1 서브 픽셀에 인접한 상기 비표시영역의 제1 전극층의 전극 패턴은 제2 홀을 통해 일정 간격 이격되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

### 청구항 3

제2 항에 있어서,

상기 일정 간격은 1개의 서브 픽셀의 폭과 동일한 것을 특징으로 하는 유기발광 다이오드 표시장치.

### 청구항 4

제1 항에 있어서,

상기 애노드 전극 및 제1 전극층은 동일한 재료 및 동일 공정을 통해 형성되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

### 청구항 5

제1 항에 있어서,

상기 애노드 전극 및 제1 전극층은 상기 애노드 전극 및 제1 전극층은 인듐 틴 옥사이드(ITO), 틴 옥사이드(TO), 인듐 틴 징크 옥사이드(ITZO), 인듐 징크 옥사이드(IZO)를 포함하는 투명 전극과, 상기 투명 전극 상에 형성된 은 금속층 및 상기 은 금속층 상에 형성된 투명 전극으로 이루어지는 것을 특징으로 하는 유기발광 다이오드 표시장치.

### 청구항 6

제1 항에 있어서,

상기 비표시영역은 상기 제1 박막트랜지스터가 형성된 회로부 및 상기 회로부의 외곽에 형성되어 그라운드와 접속된 그라운드 컨택부를 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

## 청구항 7

영상을 표시하는 표시영역과, 상기 표시영역의 외곽에 위치하는 비표시영역으로 구분되는 기판을 제공하는 단계;

상기 기판의 비표시영역 및 표시영역에 각각 제1 및 제2 박막트랜지스터를 형성하는 단계;

상기 제1 및 제2 박막트랜지스터가 형성된 기판 상에 상기 제2 박막트랜지스터의 드레인 전극의 일부를 노출하는 제1 홀을 구비한 평탄화막을 형성하는 단계;

상기 제1 홀을 구비한 평탄화막 상에 투명 전극을 형성하는 단계;

상기 투명 전극을 패터닝하여 상기 제2 박막트랜지스터의 드레인 전극과 연결되는 애노드 전극 및 상기 제1 박막트랜지스터 상에서 적어도 하나 이상의 제2 홀을 통해 일정 간격 이격된 적어도 둘 이상의 전극 패턴을 구비한 제1 전극층을 형성하는 단계;

상기 애노드 전극과 제1 전극층 상에 상기 애노드 전극의 일부를 노출하는 개구부를 구비한 बैं크패턴을 형성하는 단계;

상기 애노드 전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 캐소드 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

## 청구항 8

제7 항에 있어서,

상기 표시영역의 서브 픽셀들 중 최외곽에 위치하는 제1 서브 픽셀 상의 애노드 전극과, 상기 제1 서브 픽셀에 인접한 상기 비표시영역의 제1 전극층의 전극 패턴은 제3 홀을 통해 일정 간격 이격되는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

## 청구항 9

제8 항에 있어서,

상기 일정 간격은 1개의 서브 픽셀의 폭과 동일한 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

## 청구항 10

제8 항에 있어서,

상기 제3 홀은 상기 제2 홀과 동시에 형성되는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

## 청구항 11

제7 항에 있어서,

상기 애노드 전극 및 제1 전극층은 인듐 틴 옥사이드(ITO), 틴 옥사이드(TO), 인듐 틴 징크 옥사이드(ITZO), 인듐 징크 옥사이드(IZO)를 포함하는 투명 전극과, 상기 투명 전극 상에 형성된 은 금속층 및 상기 은 금속층 상에 형성된 투명 전극으로 이루어지는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

## 명세서

### 기술분야

[0001] 본 발명은 유기발광 다이오드 표시장치에 관한 것으로, 신뢰성을 향상시킬 수 있는 유기발광 다이오드 표시장치 및 그의 제조방법에 관한 것이다.

### 배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고

있다.

- [0003] 이러한 평판표시장치에는 액정표시장치(Liquid Crystal Display, LCD), 전계발광표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광소자(Electroluminescence Device, EL) 등이 있다.
- [0004] 전계발광소자는 발광층의 재료에 따라 무기 전계발광소자와 유기 전계발광소자(이하, "OLED"라 함)로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광 효율, 휘도 및 시야각이 큰 장점이 있다.
- [0005] OLED는 전계발광하는 유기 전계발광 화합물층과, 상기 유기 전계발광 화합물층을 사이에 두고 대향하는 캐소드 전극 및 애노드 전극을 포함한다.
- [0006] 상기 유기 전계발광 화합물층은 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIT)을 포함한다.
- [0007] OLED는 캐소드 전극과 음극에 주입된 정공과 전자가 발광층(EML)에서 재결합할 때의 여기 과정에서 여기자(excitation)가 형성되고 여기자로부터의 에너지로 인하여 발광한다. 유기발광 다이오드 표시장치는 OLED의 발광층(EML)으로부터 발생하는 빛의 양을 전기적으로 제어하여 영상을 표시한다.
- [0008] 상기 유기발광 다이오드 표시장치는 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT) 상에 형성된 평탄화막, 상기 박막트랜지스터(TFT)에 접속된 애노드 전극과, 상기 박막트랜지스터(TFT)와 애노드 전극 상에 형성된 뱅크 패턴, 상기 뱅크패턴과 애노드 전극 상에 형성된 유기 전계발광 화합물층 및 상기 유기 전계발광 화합물층 상에 형성된 캐소드 전극을 포함한다.
- [0009] 상기 유기발광 다이오드 표시장치의 기판 상에는 버퍼층, 반도체 액티브 패턴, 게이트 절연막, 게이트 금속패턴, 층간 절연막, 소스/드레인 금속패턴, 보호막이 형성된다. 상기 게이트 금속패턴은 박막트랜지스터(TFT)의 게이트 전극을 포함한다.
- [0010] 상기 소스/드레인 금속패턴은 박막트랜지스터(TFT)의 소스 전극과 드레인 전극을 포함한다. 애노드 전극은 보호층을 관통하는 콘택홀을 통해 박막트랜지스터(TFT)의 드레인 전극에 접속된다.
- [0011] 한편, 상기 유기발광 다이오드 표시장치는 영상을 표시하는 표시영역과, 상기 표시영역의 가장자리를 둘러싸는 비표시영역으로 구분될 수 있다. 상기 비표시영역에는 상기 표시영역에 형성된 다수의 구동라인으로 구동전압을 제공하는 회로부 및 그라운드 접속부 등이 구비될 수 있다.
- [0012] 이러한 비표시영역의 회로부 상에도 표시영역과 같이 박막트랜지스터(TFT)와, 평탄화막 및 애노드 전극 등이 형성된다.
- [0013] 이때, 상기 비표시영역의 회로부에 형성된 평탄화막 내에 잔류 물질이 시간이 경과함에 따라 아웃 개싱(out-gassing) 형태로 발생되어 상기 표시영역에 형성된 유기 전계발광 화합물층에 영향을 미쳐 상기 유기 전계발광 화합물층의 열화를 발생하게 한다.
- [0014] 상기 유기 전계발광 화합물층의 열화로 인해 불량 발생하여 제품의 신뢰성이 저하될 수 있다.

## 발명의 내용

### 해결하려는 과제

- [0015] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 비표시영역의 회로부에 형성된 애노드 전극 상에 홀을 형성하여 상기 회로부에서 발생하는 아웃 개싱(out-gassing)이 표시영역으로 이동하는 것을 최소화하여 표시영역의 유기 발광 다이오드의 열화를 방지할 수 있는 유기발광 다이오드 표시장치 및 그의 제조방법을 제공함에 그 목적이 있다.
- [0016] 또한, 본 발명은 제품의 신뢰성을 향상시킬 수 있는 유기발광 다이오드 표시장치 및 그의 제조방법을 제공함에 그 목적이 있다.

### 과제의 해결 수단

- [0017] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기발광 다이오드 표시장치는 기판 상에 정의되며 영상을

표시하는 표시영역과, 상기 표시영역의 가장자리에 위치하며 상기 표시영역에 포함된 서브 픽셀들에 신호를 제공하는 비표시영역과, 상기 기관의 비표시영역에 형성된 제1 박막트랜지스터와, 상기 기관의 표시영역에 형성된 제2 박막트랜지스터와, 상기 제1 및 제2 박막트랜지스터 상부에 형성된 평탄화막과, 상기 평탄화막 상에 형성되어 상기 제2 박막트랜지스터의 드레인 전극에 연결되는 애노드 전극과, 상기 제1 박막트랜지스터와 대응되도록 상기 평탄화막 상에 형성되며 적어도 하나 이상의 제1 홀을 통해 일정 간격 이격된 적어도 둘 이상의 전극 패턴을 구비한 제1 전극층과, 상기 애노드 전극과 제1 전극층 상에 위치하며 상기 애노드 전극의 일부를 노출하는 개구부를 구비한 बैं크패턴과, 상기 애노드 전극 상에 형성된 유기 발광층 및 상기 유기 발광층 상에 형성된 캐소드 전극을 포함한다.

[0018] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기발광 다이오드 표시장치의 제조방법은 영상을 표시하는 표시영역과, 상기 표시영역의 외곽에 위치하는 비표시영역으로 구분되는 기관을 제공하는 단계와, 상기 기관의 비표시영역 및 표시영역에 각각 제1 및 제2 박막트랜지스터를 형성하는 단계와, 상기 제1 및 제2 박막트랜지스터가 형성된 기관 상에 상기 제2 박막트랜지스터의 드레인 전극의 일부를 노출하는 제1 홀을 구비한 평탄화막을 형성하는 단계와, 상기 제1 홀을 구비한 평탄화막 상에 투명 전극을 형성하는 단계와, 상기 투명 전극을 패터닝하여 상기 제2 박막트랜지스터의 드레인 전극과 연결되는 애노드 전극 및 상기 제1 박막트랜지스터 상에서 적어도 하나 이상의 제2 홀을 통해 일정 간격 이격된 적어도 둘 이상의 전극 패턴을 구비한 제1 전극층을 형성하는 단계와, 상기 애노드 전극과 제1 전극층 상에 상기 애노드 전극의 일부를 노출하는 개구부를 구비한 बैं크패턴을 형성하는 단계와, 상기 애노드 전극 상에 유기 발광층을 형성하는 단계 및 상기 유기 발광층 상에 캐소드 전극을 형성하는 단계를 포함한다.

### 발명의 효과

[0019] 상술한 바와 같이, 본 발명에 따른 유기발광 다이오드 표시장치 및 그의 제조방법은 비표시영역의 회로부에 형성된 애노드 전극에 홀을 형성하여 상기 회로부에서 발생하는 아웃 개싱(out-gassing)을 상기 홀을 통해 방출함으로써 상기 아웃 개싱(out-gassing)이 표시영역으로 이동하는 것을 방지하여 표시영역의 유기발광 다이오드의 열화를 방지할 수 있다.

[0020] 또한, 본 발명에 따른 유기발광 다이오드 표시장치 및 그의 제조방법은 표시영역의 유기발광 다이오드의 열화를 방지하여 제품의 신뢰성을 향상시킬 수 있다.

### 도면의 간단한 설명

[0021] 도 1은 본 발명의 실시예에 따른 유기발광 다이오드 표시장치의 평면도를 개략적으로 나타낸 도면이다.

도 2는 도 1의 서브 픽셀의 회로 구성을 나타낸 도면이다.

도 3은 도 1의 I ~ I'을 따라 절단한 단면을 나타낸 도면이다.

도 4 내지 도 10은 도 1의 유기발광 다이오드 표시장치를 공정 순서대로 나타낸 도면이다.

도 11은 본 발명의 다른 실시예에 따라 도 1에 도시된 I ~ I'영역의 단면을 구성한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.

[0023] 도 1은 본 발명의 실시예에 따른 유기발광 다이오드 표시장치의 평면도를 개략적으로 나타낸 도면이고, 도 2는 도 1의 서브 픽셀의 회로 구성을 나타낸 도면이다.

[0024] 도 1 및 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 유기발광 다이오드 표시장치(1000)는 기관(190) 상에 형성되며 영상을 표시하는 표시영역(AA)과 상기 표시영역(AA)의 가장자리에 형성되어 상기 표시영역(AA)으로 구동전압을 제공하는 회로부들이 실장된 비표시영역(Non-Display Area:NDA)을 포함한다.

[0025] 상기 비표시영역(NDA)는 패드부(PA)를 통해 외부로부터 제공되는 다수의 신호 및 다수의 전압을 상기 표시영역(AA)으로 제공하는 다수의 배선들이 형성된 배선부(WA)와, 상기 표시영역(AA)에 형성된 서브 픽셀(SP)의 데이터 라인과 전기적으로 연결되는 IC를 포함한다.

[0026] 또한, 상기 비표시영역(NDA)은 GIP(Gate In Panel) 형태로 기관(190) 상에 형성되며 상기 서브 픽셀(SP)의 스캔 라인으로 스캔신호를 제공하는 회로부를 더 포함한다.

- [0027] 상기 표시영역(AA)은 매트릭스형태로 배치된 서브 픽셀(SP)들을 포함한다. 상기 서브 픽셀(SP)들은 배선부(WA)에 포함된 데이터라인을 통해 상기 IC에 연결되고, 상기 배선부(WA)에 포함된 스캔라인을 통해 상기 회로부와 연결되며 배선부(WA)에 포함된 전원배선을 통해 전원단에 연결된다.
- [0028] 상기 서브 픽셀(SP)들은 스위칭 트랜지스터, 구동 트랜지스터, 캐패시터 및 유기 발광 다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되거나 트랜지스터 및 캐패시터가 더 추가된 구조로 형성될 수 있다.
- [0029] 2T1C 구조의 경우, 서브 픽셀(SP)에 포함된 소자들은 도 2와 같이 연결될 수 있다.
- [0030] 스위칭 트랜지스터(S1)는 스캔신호가 공급되는 스캔라인(SL)에 게이트가 연결되고 데이터 신호가 공급되는 데이터라인(DL)에 일단이 연결되며 제1 노드(N1)에 타단이 연결된다.
- [0031] 구동 트랜지스터(T1)는 상기 제1 노드(N1)에 게이트가 연결되고 고전위의 전원이 공급되는 제1 전원 배선(VDD)에 일단이 연결되며 유기 발광 다이오드(D)에 타단이 연결된다.
- [0032] 캐패시터(Cst)는 제1 노드(N1)에 일단이 연결되고 상기 제1 전원 배선(VDD)에 타단이 연결된다. 상기 유기 발광 다이오드(D)는 상기 구동 트랜지스터(T1)의 타단에 애노드가 연결되고 저전위 전원이 공급되는 제2 전원 배선(GND)에 캐소드가 연결된다.
- [0033] 위의 설명에서는 서브 픽셀(SP)에 포함되는 트랜지스터들(S1, T1)이 P-Type으로 구성된 것을 일례로 설명하였으나 본 발명의 실시예에는 이에 한정되지 않는다.
- [0034] 그리고 제1 전원 배선(VDD)을 통해 공급되는 고전위의 전원은 제2 전원 배선(GND)을 통해 공급되는 저전위의 전원보다 높을 수 있으며, 제1 전원배선(VDD) 및 제2 전원배선(GND)을 통해 공급되는 전원의 레벨은 구동방법에 따라 스위칭이 가능하다.
- [0035] 앞서 설명한 서브 픽셀(SP)은 다음과 같이 동작할 수 있다.
- [0036] 스캔라인(SL)을 통해 스캔신호가 공급되면 스위칭 트랜지스터(S1)가 턴-온된다. 다음, 데이터라인(DL)을 통해 공급된 데이터 신호가 턴-온된 스위칭 트랜지스터(S1)를 거쳐 제1 노드에 공급되면 상기 데이터 신호는 캐패시터(Cst)에 데이터 전압으로 저장된다.
- [0037] 다음, 스캔신호가 차단되고 스위칭 트랜지스터(S1)가 턴-오프되면 구동 트랜지스터(T1)는 캐패시터(Cst)에 저장된 데이터 전압에 대응하여 구동된다.
- [0038] 다음, 제1 전원배선(VDD)을 통해 공급된 고전위의 전원이 제2 전원배선(GND)을 통해 흐르게 되면 유기 발광 다이오드(D)는 빛을 발광하게 된다. 그러나 이는 구동방법의 일례에 따른 것일 뿐, 본 발명의 실시예에는 이에 한정되지 않는다.
- [0039] 상기 패드부(PA)는 기판(190)의 외곽영역에 위치한다. 상기 패드부(PA)는 이방성 도전성 필름 등에 의해 외부기판과 연결되고, 외부로부터 공급되는 각종 구동신호 및 전원 등을 상기 표시영역(AA), IC, 회로부 등에 전달하도록 배선부(WA)에 연결된다.
- [0040] 상기 배선부(WA)는 상기 패드부(PA)로부터 공급된 각종 구동신호 및 전원 등을 표시영역(AA), IC, 회로부 등에 전달한다. 상기 배선부(WA)에는 IC에 데이터 신호를 전달하는 데이터 링크 배선, 회로부에 클럭 신호등을 전달하는 클럭신호 배선 및 표시영역(AA)에 고전위 전압과 저전위 전압을 전달하는 전원 배선들(VDD, GND)을 포함한다.
- [0041] 이하, 저전위 전원을 전달하는 배선을 그라운드 배선이라 한다.
- [0042] 도 3은 도 1의 I ~ I'을 따라 절단한 단면을 나타낸 도면이다.
- [0043] 도 1 및 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 유기발광 다이오드 표시장치(1000)는 표시영역(AA)과 비표시영역(NDA)으로 구분된다. 이때, 상기 비표시영역(NDA)는 GIP 영역과 GND Contact 영역을 포함한다.
- [0044] 상기 유기발광 다이오드 표시장치는 기판(100) 상에 형성된 제1 및 제2 박막트랜지스터(TFT-1, TFT-2)와, 상기 제1 및 제2 박막트랜지스터(TFT-1, TFT-2) 상에 형성된 보호층(135)과, 평탄화막(140)과, 제1 전극(175) 및 애노드 전극(145)과, 뱅크패턴(150)과, 유기 전계발광 화합물층(155) 및 제2 전극(160, 이하 '캐소드 전극'이라 함)을 포함한다.
- [0045] 이때, 상기 제1 박막트랜지스터(TFT-1)는 상기 비표시영역(NDA) 중 GIP 영역에 형성되고, 상기 제2 박막트랜지



스터(TFT-2)는 상기 표시영역(AA)에 형성된다.

- [0046] 또한, 상기 기판(100) 상에는 버퍼층(105)과, 반도체 액티브 패턴(110a, 110b)과, 게이트 절연막(127), 게이트 금속패턴과, 층간 절연막(130)과, 소스/드레인 금속패턴, 보호층(135), 스페이서(165)가 형성된다.
- [0047] 상기 게이트 금속패턴은 상기 제1 및 제2 박막트랜지스터(TFT-1, TFT-2)의 게이트 전극(115a, 115b)를 포함하고, 상기 소스/드레인 금속패턴은 상기 제1 및 제2 박막트랜지스터(TFT-1, TFT-2)의 소스 전극(120a, 120b)과, 드레인 전극(125a, 125b) 및 도전성 패턴(170)을 포함한다.
- [0048] 상기 애노드 전극(145)은 상기 표시영역(AA)에서 제1 홀(H1)을 통해 상기 제2 박막트랜지스터(TFT-2)의 드레인 전극(125b)과 전기적으로 접속된다.
- [0049] 상기 제1 박막트랜지스터(TFT-1)는 버퍼층(105) 상에 형성된 제1 반도체 액티브 패턴(110a)과, 상기 게이트 절연막(127)을 사이에 두고 상기 제1 반도체 액티브 패턴(110a) 상에 형성된 제1 게이트 전극(115a)과, 상기 층간 절연막(130)을 사이에 두고 상기 제1 게이트 전극(115a) 상에 형성되며 서로 일정 간격 이격된 제1 소스 및 드레인 전극(120a, 125a)을 포함한다.
- [0050] 상기 제2 박막트랜지스터(TFT-2)는 상기 버퍼층(105) 상에 형성된 제2 반도체 액티브 패턴(110b)과, 상기 게이트 절연막(127)을 사이에 두고 상기 제2 반도체 액티브 패턴(110b) 상에 형성된 제2 게이트 전극(115b)과, 상기 층간 절연막(130)을 사이에 두고 상기 제2 게이트 전극(115b) 상에 형성되며 서로 일정 간격 이격된 제2 소스 및 드레인 전극(120b, 125b)을 포함한다.
- [0051] 상기 제1 전극(175)은 상기 비표시영역(NDA)에 형성된다. 특히, 상기 제1 전극(175)은 상기 비표시영역(NDA) 중 GIP 영역에서 적어도 하나 이상의 제3 홀(H3)을 통해 일정 간격 이격된 채로 패터닝되고, 상기 GND Contact 영역에서 상기 도전성 패턴(170)과 전기적으로 접속된다.
- [0052] 상기 애노드 전극(145)은 상기 표시영역(AA) 상에 형성되며 상기 제1 전극(175)과 동일한 재료 및 동일한 공정으로 형성되지만 상기 제1 전극(175)과 전기적으로 연결되지 않는다.
- [0053] 상기 GIP 영역에서 상기 제1 전극(175)이 제3 홀(H3)에 의해 일정 간격 이격되도록 패터닝되므로 상기 GIP 영역의 평탄화막(140)에서 발생된 아웃 개싱(out-gassing)이 상기 제3 홀(H3)로 배출되어 상기 뱅크패턴(150)으로 이동하게 된다.
- [0054] 이로 인해, 상기 GIP 영역의 평탄화막(140)에서 발생된 아웃 개싱(out-gassing)이 표시영역(AA)의 유기 전계발광 화합물층(150)에 영향을 미치는 정도를 최소화하여 상기 유기 전계발광 화합물층(150)의 열화를 방지할 수 있다.
- [0055] 따라서, 본 발명에 따른 유기발광 다이오드 표시장치의 신뢰성을 향상시킬 수 있다.
- [0056] 도 4 내지 도 10은 도 1의 유기발광 다이오드 표시장치를 공정 순서대로 나타낸 도면이다.
- [0057] 도 4에 도시된 바와 같이, 기판(100) 상에 제1 및 제2 박막트랜지스터(TFT-1, TFT-2)를 형성하는 단계를 실시한다.
- [0058] 우선, CVD(Chemical Vapor Deposition technique)로 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiN<sub>x</sub>)을 증착하여 기판(100) 상에 버퍼층(105)을 형성한 후, 그 위에 CVD로 n+p Si:H를 증착하고 결정화하여 폴리 실리콘(P-Si)으로 된 제1 및 제2 액티브 패턴을 형성한다.
- [0059] 이어서, 상기 제1 및 제2 액티브 패턴에 p<sup>+</sup> 이온을 도핑하여 제1 및 제2 반도체 액티브 패턴(110a, 110b)을 형성한다.
- [0060] 상기 제1 및 제2 반도체 액티브 패턴(110a, 110b) 상에 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiN<sub>x</sub>)을 증착하여 상기 제1 및 제2 반도체 액티브 패턴(110a, 110b)을 덮도록 버퍼층(105) 상에 게이트 절연막(127)을 증착한다.
- [0061] 이어서, 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 중에서 어느 한 금속 또는 2 이상의 금속이나 합금을 스퍼터링(Sputtering)으로 증착한 후에 포토리소그래피(Photolithograph) 공정으로 패터닝하여, 제1 및 제2 게이트 전극(115a, 115b)을 형성한다.
- [0062] 상기 제1 및 제2 게이트 전극(115a, 115b)을 덮도록 CVD로 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiN<sub>x</sub>)을 상기 게이트 절연막(127) 상에 증착하여 층간 절연막(130)을 형성한다.

- [0063] 이어서 포토리소그래피 공정으로 층간 절연막(130)과 게이트 절연막(127)에서 상기 제1 및 제2 소스전극(120a, 120b)과 제1 및 제2 드레인 전극(125a, 125b)의 위치를 식각하여 상기 제1 및 제2 반도체 액티브 패턴(110a, 110b) 각각의 일부를 노출시키는 콘택홀을 상기 층간 절연막(130) 및 게이트 절연막(127)에 형성한다.
- [0064] 연속하여, CVD로 몰리브덴(Mo), 크롬(Cr), 구리(Cu) 등에서 선택된 금속, 이들의 적층 또는 합금으로 이루어진 소스/드레인 금속을 증착한다. 포토리소그래피 공정으로 상기 소스/드레인 금속을 증착하여 홀을 통해 각각 제1 및 제2 반도체 액티브 패턴(110a, 110b)에 접속되는 제1 및 제2 소스 전극(120a, 120b)과 제1 및 제2 드레인 전극(125a, 125b)을 상기 층간 절연막(130) 상에 형성한다.
- [0065] 이와 동시에, 외부의 접지부와 전기적으로 접속되는 도전성 패턴(170)이 상기 비표시영역(NDA) 중 GND Contact 영역에 위치한 층간 절연막(130) 상에 형성된다.
- [0066] 이어서, 상기 제1 및 제2 소스 전극(120a, 120b)과 제1 및 제2 드레인 전극(125a, 125b)을 덮도록 CVD로 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiN<sub>x</sub>)을 상기 층간 절연막(130) 상에 증착하거나 유기 재료를 상기 층간 절연막(130) 상에 도포하여 보호막(135)을 형성한다.
- [0067] 연속하여 포토리소그래피 공정을 통해 상기 보호막(135)을 패터닝하여 상기 제2 드레인 전극(125b)을 노출시키는 제1 홀(H1) 및 상기 비표시영역(NDA)에 형성된 도전성 패턴(170)의 일부를 노출시키는 제2 홀(H2)이 형성된다.
- [0068] 이어, 도 5에 도시된 바와 같이, 상기 보호막(135) 상에는 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 등을 액상 형태로 코팅한 다음 경화시키는 스핀 코팅(spin coating)법으로 형성된 평탄화막(140)이 형성된다.
- [0069] 상기 평탄화막(140)은 상기 제1 홀(H1)에 대응되어 상기 제2 드레인 전극(125b)의 일부를 노출시키도록 패터닝된다.
- [0070] 연속하여, 도 6에 도시된 바와 같이, 상기 평탄화막(140)이 형성된 기판(100) 상에 스퍼터링 방법으로 인듐 틴 옥사이드(Indium Tin Oxide: ITO), 틴 옥사이드(Tin Oxide: TO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide: ITZO), 인듐 징크 옥사이드(Indium Zinc Oxide: IZO) 등에서 선택된 투명 도전막(200)을 전면 증착한다.
- [0071] 이어서, 은 금속층(도시하지 않음) 및 투명 도전막을 상기 기판(100) 상에 순차적으로 형성한다.
- [0072] 이어, 상기 투명 도전막(200), 은 금속층(도시하지 않음) 및 투명 도전막을 포토리소그래피 공정을 이용하여 도 7에 도시된 바와 같이, 상기 표시영역(AA)에서의 애노드 전극(145)과 비표시영역(NDA)에서의 제1 전극(175)으로 패터닝한다.
- [0073] 상기 애노드 전극(145) 및 제1 전극(175)은 투명 도전막, 은 금속층 및 투명 도전막으로 이루어진 3중 구조로 이루어져 있다.
- [0074] 상기 표시영역(AA)에 형성된 애노드 전극(145)은 상기 제1 홀(H1)을 통해 상기 제2 드레인 전극(125b)과 전기적으로 접속된다.
- [0075] 상기 비표시영역(NDA)에 형성된 제1 전극(175)은 상기 포토리소그래피 공정에 의해 형성된 적어도 하나 이상의 제3 홀(H3)을 통해 일정 간격 이격된 적어도 둘 이상의 전극 패턴들을 포함한다.
- [0076] 상기 적어도 하나 이상의 제3 홀(H3)은 원형, 마름모, 사각형의 형태 등으로 이루어질 수 있으나, 이에 한정되지 않는다. 또한, 상기 제1 전극(175)의 둘 이상의 전극 패턴들의 간격은 상기 제3 홀(H3)의 폭에 의해 결정된다.
- [0077] 상기 제1 전극(175)에 포함된 적어도 둘 이상의 전극 패턴들 중 상기 비표시영역(NDA)의 GND Contact 영역에 배치된 전극 패턴은 상기 도전성 패턴(170)과 전기적으로 접속되어 그라운드(GND) 역할을 한다.
- [0078] 상기 애노드 전극(145) 및 제1 전극(175)이 형성된 기판(100) 상에 도 8에 도시된 바와 같이, 폴리이미드(polyimide) 또는 포토레지스트(photoresist) 등의 감광성 유기재료를 전면 도포한 후에 포토리소그래피 공정으로 상기 유기재료를 패터닝하여 발광 셀들을 구획하기 위한 뱅크패턴(150)을 형성한다.
- [0079] 이어서, 상기 뱅크패턴(150)이 형성된 기판(100) 상에 도 9에 도시된 바와 같이, 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiN<sub>x</sub>)을 이용한 스페이서(165)를 형성한다. 연속하여 상기 스페이서(165)가 형성된 기판(100) 상에 유기 전계발광 화합물층(155)을 형성한다.





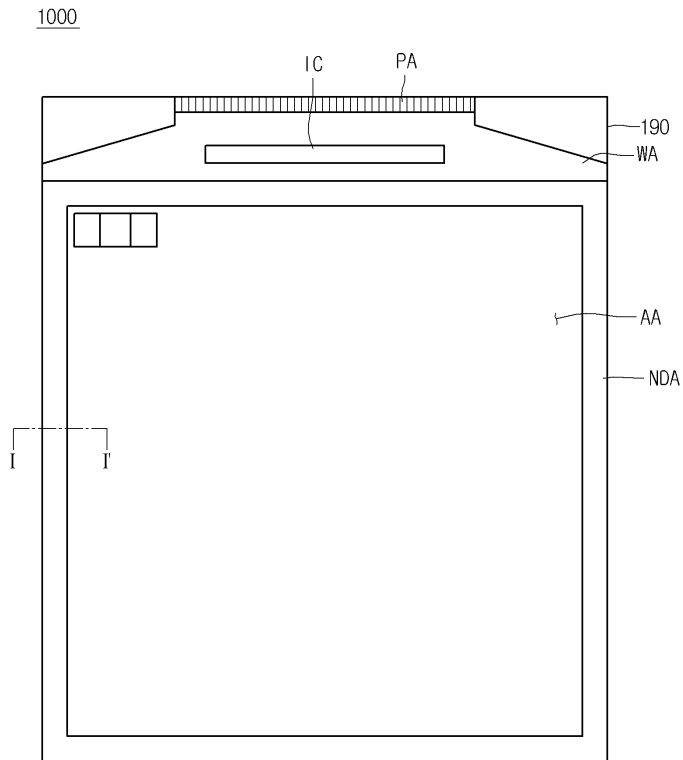
155:유기 전계발광 화합물층

160:캐소드 전극

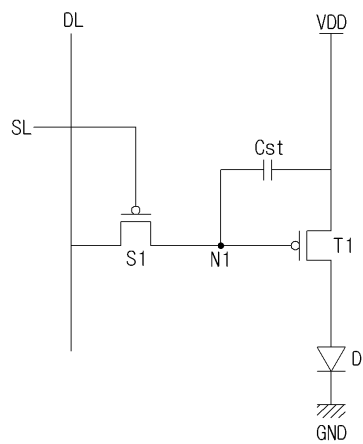
175, 275: 제1 전극

도면

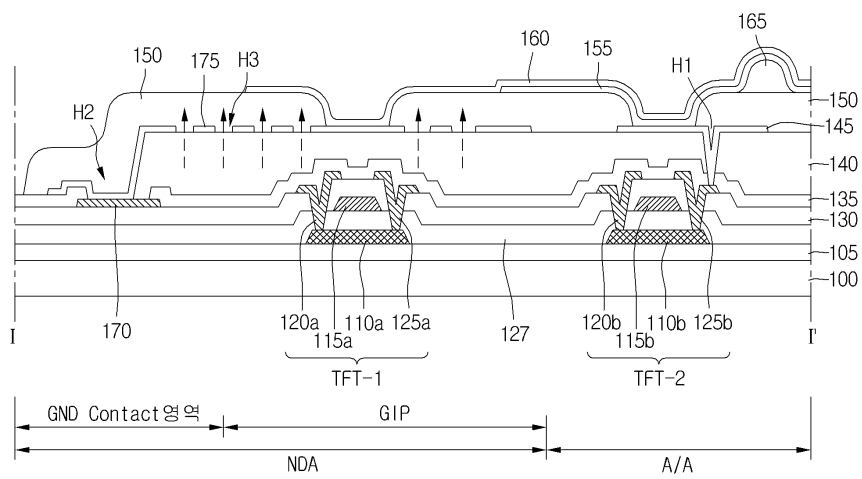
도면1



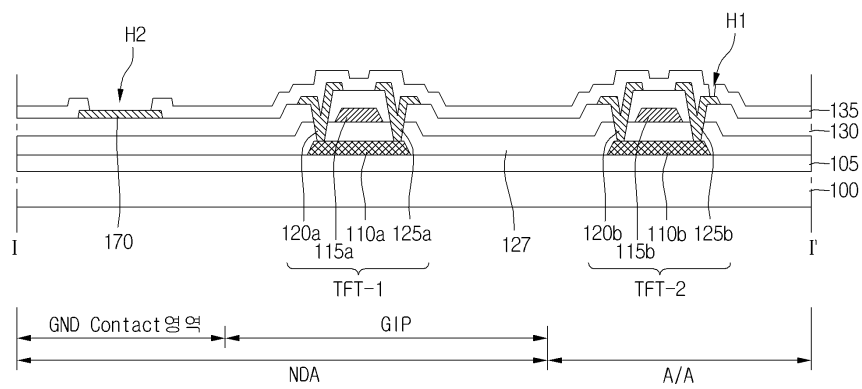
도면2



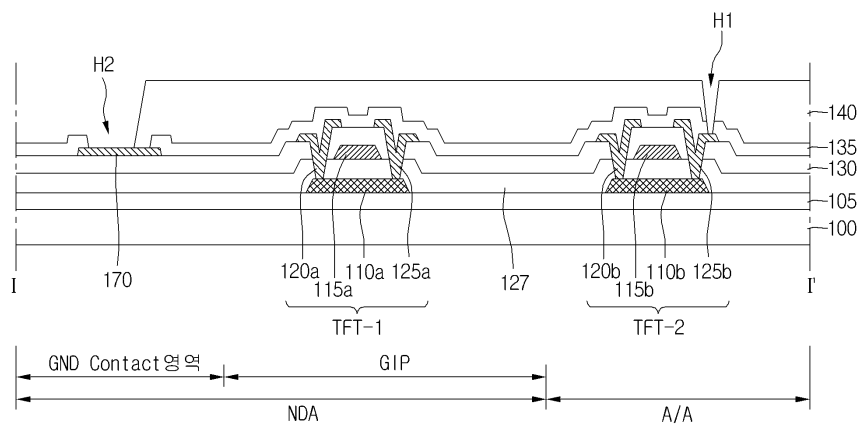
도면3



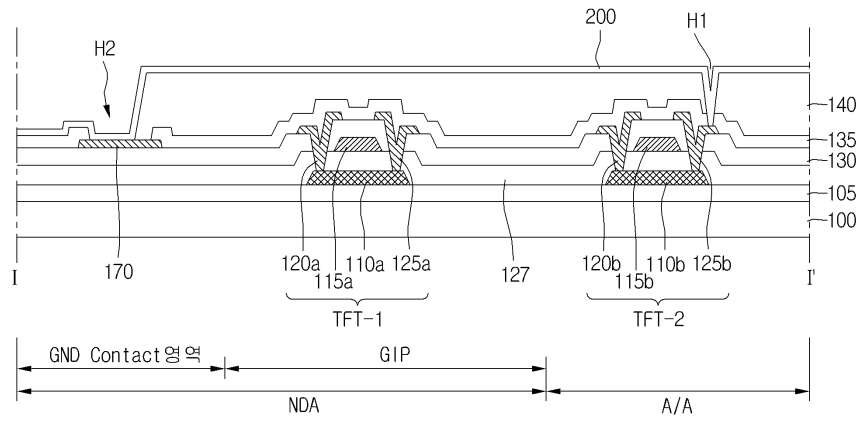
도면4



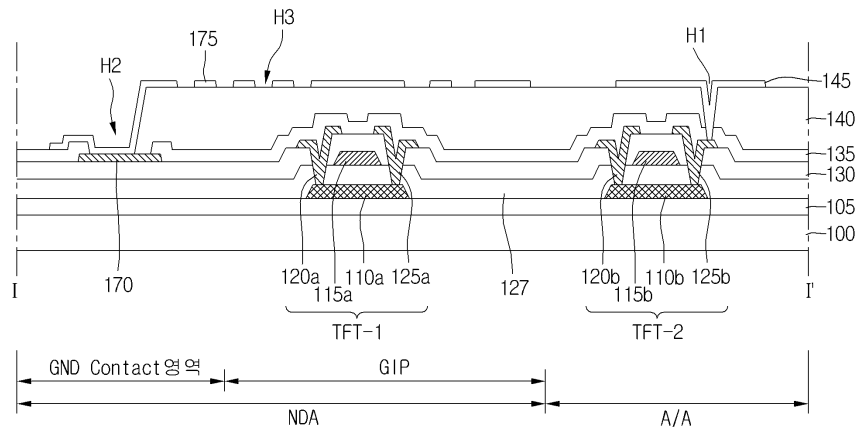
도면5



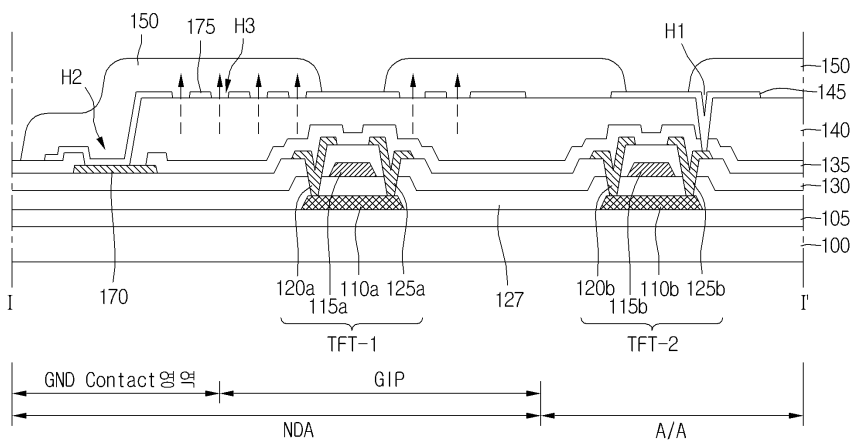
도면6



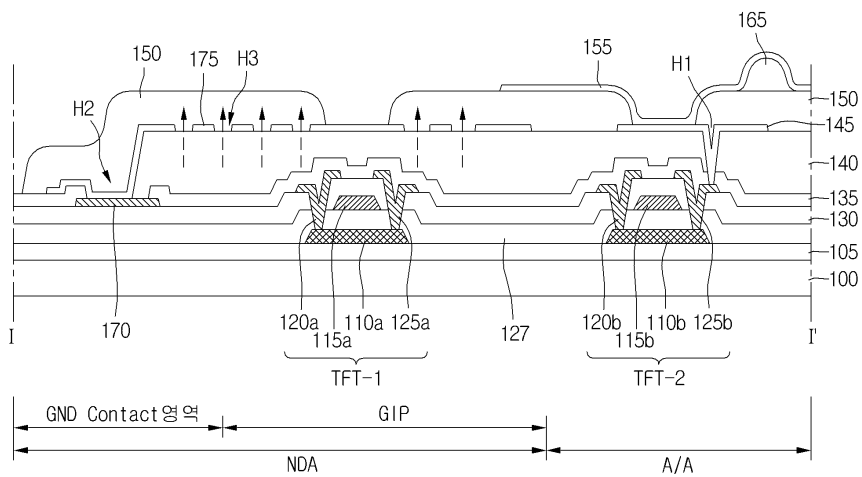
도면7



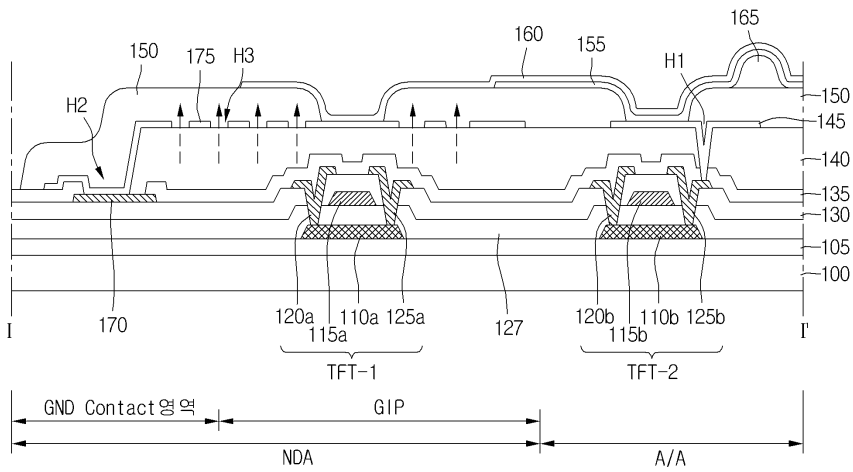
도면8



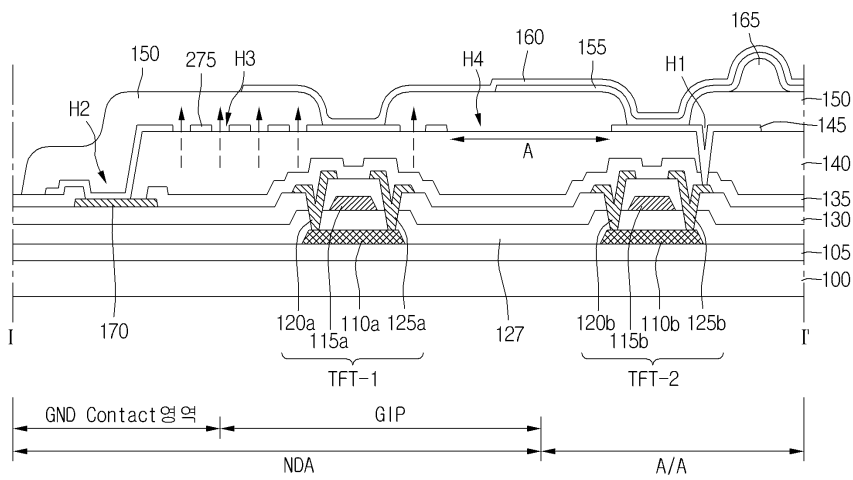
도면9



도면10



도면11



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020130031101A</a>	公开(公告)日	2013-03-28
申请号	KR1020110094832	申请日	2011-09-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI, HEE DONG		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	G09G3/30 H01L27/3276 H01L27/1214 H01L27/3246 H01L27/3258 H01L27/3262 H01L51/5228 H01L2227/323 H01L27/124 H01L27/326		
其他公开文献	KR101521676B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

公开了一种有机发光二极管显示装置及其制造方法。根据本发明实施例的有机发光二极管显示装置包括：显示区域，其在被定义时指示基板上的图像；非显示区域，其向包括在显示区域中的子像素提供信号。在定位时，第一电极层配备有形成在基板的非显示区域中的薄膜晶体管，第二薄膜晶体管形成在基板的显示区域中，平坦化膜形成在上部第一和第二薄膜晶体管，以及两个或更多个电极图案和具有开口部分的堤图案，该开口部分暴露阳极电极的一部分，它位于阳极电极和第一电极层的表面上，它位于表面和有机光 - 形成在阳极电极上的发光层和形成在有机发光层上的阴极电极。两个或更多个电极图案通过至少一个第一孔以固定间隔分开，而连接到第二薄膜晶体管阳极电极的漏电极的二极管或多个电极图案形成在平坦化膜上以便形成在平坦化膜上并且它是对应于阳极电极，它对应于薄膜晶体管。

