



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년06월16일

(11) 등록번호 10-2123502

(24) 등록일자 2020년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
H01L 51/56 (2006.01)

(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3211 (2013.01)

(21) 출원번호 10-2018-7017859

(22) 출원일자(국제) 2017년03월09일

심사청구일자 2018년06월22일

(85) 번역문제출일자 2018년06월22일

(65) 공개번호 10-2018-0084998

(43) 공개일자 2018년07월25일

(86) 국제출원번호 PCT/CN2017/076181

(87) 국제공개번호 WO 2017/157244

국제공개일자 2017년09월21일

(30) 우선권주장

201610149683.6 2016년03월16일 중국(CN)

(56) 선행기술조사문헌

JP2015099378 A*

(뒷면에 계속)

전체 청구항 수 : 총 6 항

심사관 : 윤성주

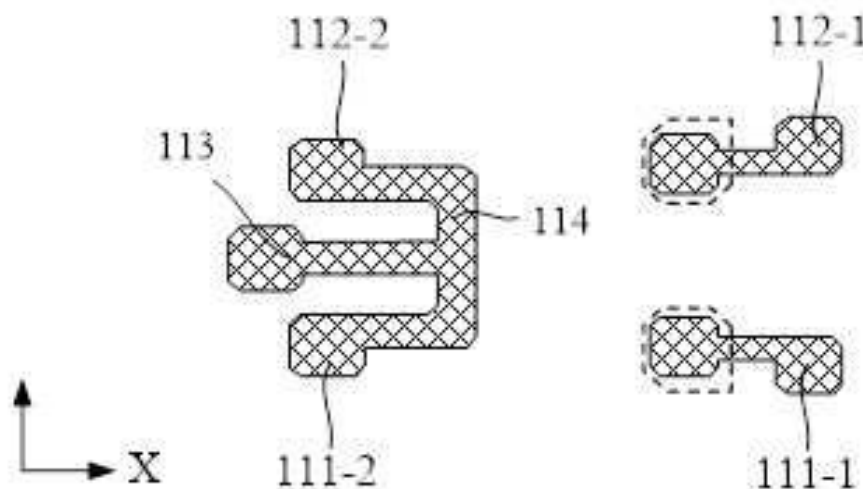
(54) 발명의 명칭 유기 발광 다이오드 디스플레이 패널 및 이를 위한 제조 방법

(57) 요약

유기 발광 다이오드(Organic Light-Emitting Diode (OLED)) 디스플레이 패널 및 이를 제조하는 방법을 제공한다. 상기 OLED 디스플레이 패널은 복수 개의 스캔 라인들(Sn), 데이터 라인들(D1 및 D2) 및 전력 라인들(VDD)을 구비하되, 상기 스캔 라인들(Sn)과 데이터 라인들(D1 및 D2)은 행렬 형태로 배열된 복수 개의 픽셀 그룹

(뒷면에 계속)

대표도 - 도2a



들을 정의하고, 각 픽셀 그룹은 두 개의 서브픽셀을 가지며, 동일 픽셀 그룹에 있는 두 개의 서브픽셀은 동일 전력 라인(VDD)에 연결되고 상기 전력 라인(VDD)에 대해 거울 대칭을 이루며 배열되며, 동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀에 연결된 데이터 라인들(D1 및 D2)은 서로 다른 구조층 상에 위치한다. 한편으로, 상기 데이터 라인들(D1 및 D2)간의 단락 발생 확률이 효과적으로 감소되고, 상기 데이터 라인들(D1 및 D2)간의 크로스토크가 상당히 제거된다. 다른 한편으로, 픽셀 영역은 기존 장치와 공정 조건을 바탕으로 감소될 수 있으므로, 상기 OLED 디스플레이 패널의 PPI를 개선하고 상기 OLED 디스플레이 패널의 해상도를 증가한다.

(52) CPC특허분류

H01L 27/3244 (2013.01)

H01L 51/50 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

후, 시밍

중국 지양수 215300 쿤산 뉴 앤 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버 188

주, 후이

중국 지양수 215300 쿤산 뉴 앤 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버 188

주, 타오

중국 지양수 215300 쿤산 뉴 앤 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버 188

(56) 선행기술조사문헌

KR1020040047565 A*

KR1020050122956 A*

KR1020140108023 A*

KR1020100116553 A

KR1020010050783 A

JP2012047776 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

유기 발광 다이오드(OLED) 디스플레이 패널에 있어서,
 기관 상에 형성된, 복수 개의 스캔 라인들, 데이터 라인들 및 전력 라인들을 구비하되,
 상기 스캔 라인들과 데이터 라인들은 행렬 형태로 배열된 복수 개의 픽셀 그룹들을 정의하고, 각 픽셀 그룹은 두 개의 서브픽셀을 가지며, 동일 픽셀 그룹에 있는 두 개의 서브픽셀은 동일 전력 라인에 연결되고 상기 전력 라인에 대해 거울 대칭을 이루며 배열되며, 동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀에 연결된 데이터 라인들은 서로 다른 구조층 상에 위치하며,
 동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀은 제 1 서브픽셀과 제 2 서브픽셀을 포함하고, 상기 제 1 서브픽셀은 제 1 저장 커패시터를 구비하고 상기 제 2 서브픽셀은 제 2 저장 커패시터를 구비하며,
 상기 제 1 저장 커패시터의 상부 플레이트와 상기 제 2 저장 커패시터의 상부 플레이트는 서로 다른 구조층 내에 위치함을 특징으로 하는, OLED 디스플레이 패널.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 제 1 서브픽셀은 제 1 스위치 트랜지스터와 제 1 구동 트랜지스터를 더 구비하고, 상기 제 2 서브픽셀은 제 2 스위치 트랜지스터와 제 2 구동 트랜지스터를 더 구비하며, 상기 제 1 스위치 트랜지스터의 소스는 제 1 데이터 라인에 연결되고 상기 제 2 스위치 트랜지스터의 소스는 제 2 데이터 라인에 연결되며, 상기 제 1 데이터 라인, 상기 제 2 데이터 라인 및 상기 전력 라인들은 서로 평행하고, 상기 스캔 라인들은 상기 전력 라인에 수직이며, 상기 제 1 데이터 라인과 상기 제 2 데이터 라인, 상기 제 1 저장 커패시터와 제 2 저장 커패시터, 상기 제 1 스위치 트랜지스터와 제 2 스위치 트랜지스터, 그리고 상기 제 1 구동 트랜지스터와 제 2 구동 트랜지스터는 각각 상기 전력 라인에 대해서 서로 거울 대칭이 되도록 배열됨을 특징으로 하는, OLED 디스플레이 패널.

청구항 4

제 3 항에 있어서,
 상기 기관 상에 형성되고, 상기 제 1 스위치 트랜지스터, 상기 제 1 구동 트랜지스터, 상기 제 2 스위치 트랜지스터 및 상기 제 2 구동 트랜지스터를 위한 능동층 역할을 하는 실리콘 아일랜드;
 상기 기관과 상기 실리콘 아일랜드 상에 형성되는 게이트 절연층과, 상기 제 2 스위치 트랜지스터의 드레인과 상기 제 2 저장 커패시터의 하부 플레이트 사이의 전기적 연결 뿐만 아니라 상기 제 1 스위치 트랜지스터의 드레인과 상기 제 1 저장 커패시터의 하부 플레이트 사이의 전기적 연결을 하는데 이용되는, 복수 개의 제 1 관통홀;
 상기 게이트 절연층 상에 형성되고, 상기 스캔 라인, 상기 제 1 저장 커패시터의 하부 플레이트, 상기 제 2 저장 커패시터의 하부 플레이트, 상기 제 1 스위치 트랜지스터의 게이트, 상기 제 1 구동 트랜지스터의 게이트, 상기 제 2 스위치 트랜지스터의 게이트 및 상기 제 2 구동 트랜지스터의 게이트로서 역할을 하는, 패터닝된 제 1 금속층;
 상기 게이트 절연층과 상기 패터닝된 제 1 금속층 상에 형성되는 제 1 층간 절연층과, 상기 제 1 데이터 라인과 상기 제 1 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 제 2 관통홀;
 상기 제 1 층간 절연층 상에 형성되고, 상기 제 2 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 1 데이터

라인과 상기 제 1 스위치 트랜지스터의 소스 역할을 하는, 패터닝된 제 2 금속층;

상기 제 1 층간 절연층과 상기 패터닝된 제 2 금속층 상에 형성되는 제 2 층간 절연층과, 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 제 3 관통홀; -상기 제 2 층간 절연층은 개구를 가지며, 상기 개구는 상기 제 2 층간 절연층을 관통하고, 상기 제 1 저장 커패시터의 하부 플레이트를 대면함-

상기 제 2 층간 절연층 상 및 상기 개구 내에 형성되는 패터닝된 제 3 금속층; -상기 개구 내의 상기 패터닝된 제 3 금속층의 일부는 상기 제 1 저장 커패시터의 상부 플레이트 역할을 하는 반면에 상기 제 2 층간 절연층 상의 상기 패터닝된 제 3 금속층의 일부는 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 역할을 함-

상기 제 2 층간 절연층과 상기 패터닝된 제 3 금속층 상에 형성되는 제 3 층간 절연층과, 첫번째 관통홀은 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 소스와 상기 전력 라인 사이에 전기적 연결을 하기 위하여 이용되고, 두번째 관통홀은 상기 제1 구동 트랜지스터의 드레인으로 전기적 연결을 하기 위하여 이용되고, 세번째 관통홀은 상기 제2 구동 트랜지스터의 드레인으로 전기적 연결을 하기 위하여 이용되고, 네번째 관통홀은 상기 전력 라인과 상기 제1 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되고, 다섯번째 관통홀은 상기 전력 라인과 상기 제2 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되는 제 4 관통홀들;

상기 제 3 층간 절연층 상에 형성되고, 상기 제 1 구동 트랜지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인 및 상기 전력 라인의 역할을 하는, 패터닝된 제 4 금속층; 및

상기 제 3 층간 절연층과 상기 패터닝된 제 4 금속층 상에 형성되는 패시베이팅된 절연층과, 상기 제 2 구동 트랜지스터의 드레인과 제 2 OLED의 양극 사이뿐만 아니라 상기 제 1 구동 트랜지스터의 드레인과 제 1 OLED의 양극 사이에 전기적 연결을 하기 위하여 이용되는 복수 개의 콘택트 홀을 더 구비함을 특징으로 하는, OLED 디스플레이 패널.

청구항 5

삭제

청구항 6

유기 발광 다이오드(OLED) 디스플레이 패널을 제조하는 방법에 있어서,

기관 상에 복수 개의 스캔 라인들, 데이터 라인들 및 전력 라인들을 형성하되, 상기 스캔 라인들과 데이터 라인들은 행렬 형태로 배열된 복수 개의 픽셀 그룹들을 정의하는 단계를 구비하고,

각 픽셀 그룹은 두 개의 서브픽셀을 가지며, 동일 픽셀 그룹에 있는 두 개의 서브픽셀은 동일 전력 라인에 연결되고 상기 전력 라인에 대해 거울 대칭을 이루며 배열되며,

동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀에 연결된 데이터 라인들은 서로 다른 구조층 상에 위치하며,

동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀은 제 1 서브픽셀과 제 2 서브픽셀을 포함하고, 상기 제 1 서브픽셀은 제 1 저장 커패시터를 구비하고 상기 제 2 서브픽셀은 제 2 저장 커패시터를 구비하며,

상기 제 1 저장 커패시터의 상부 플레이트와 상기 제 2 저장 커패시터의 상부 플레이트는 서로 다른 구조층 내에 위치함을 특징으로 하는, OLED 디스플레이 패널을 제조하는 방법.

청구항 7

삭제

청구항 8

제 6 항에 있어서,

상기 제 1 서브픽셀은 제 1 스위치 트랜지스터와 제 1 구동 트랜지스터를 더 구비하고, 상기 제 2 서브픽셀은 제 2 스위치 트랜지스터와 제 2 구동 트랜지스터를 더 구비하며, 상기 제 1 스위치 트랜지스터의 소스는 제 1 데이터 라인에 연결되고, 상기 제 2 스위치 트랜지스터의 소스는 제 2 데이터 라인에 연결되며, 상기 제 1 데이

터 라인, 상기 제 2 데이터 라인 및 상기 전력 라인은 서로 평행하고, 상기 스캔 라인은 상기 전력 라인에 수직이며, 상기 제 1 데이터 라인과 상기 제 2 데이터 라인, 상기 제 1 저장 커패시터와 제 2 저장 커패시터, 상기 제 1 스위치 트랜지스터와 제 2 스위치 트랜지스터, 그리고 상기 제 1 구동 트랜지스터와 제 2 구동 트랜지스터는 각각 전력 라인에 대해서 서로 거울 대칭이 되도록 배열됨을 특징으로 하는, OLED 디스플레이 패널을 제조하는 방법.

청구항 9

제 8 항에 있어서,

상기 OLED 디스플레이 패널은

실리콘 아일랜드를 형성하되, 상기 실리콘 아일랜드는 상기 제 1 스위치 트랜지스터, 상기 제 1 구동 트랜지스터, 상기 제 2 스위치 트랜지스터 및 상기 제 2 구동 트랜지스터를 위한 능동층 역할을 하는 단계;

게이트 절연층과 복수 개의 제 1 관통홀을 형성하되, 상기 게이트 절연층은 상기 기판과 상기 실리콘 아일랜드 상에 형성되고, 상기 제 1 관통홀은 제 2 스위치 트랜지스터의 드레인과 상기 제 2 저장 커패시터의 하부 플레이트 사이뿐만 아니라 상기 제 1 스위치 트랜지스터의 드레인과 상기 제 1 저장 커패시터의 하부 플레이트 사이의 전기적 연결을 하는데 이용되는 단계;

패터닝된 제 1 금속층을 형성하되, 상기 패터닝된 제 1 금속층은 상기 게이트 절연층 상에 형성되고, 상기 스캔 라인, 상기 제 1 저장 커패시터의 하부 플레이트, 상기 제 2 저장 커패시터의 하부 플레이트, 상기 제 1 스위치 트랜지스터의 게이트, 상기 제 1 구동 트랜지스터의 게이트, 상기 제 2 스위치 트랜지스터의 게이트 및 상기 제 2 구동 트랜지스터의 게이트의 역할을 하는 단계;

제 1 층간 절연층과 제 2 관통홀을 형성하되, 상기 제 1 층간 절연층은 상기 게이트 절연층과 상기 패터닝된 제 1 금속층 상에 형성되고, 상기 제 2 관통홀은 제 1 데이터 라인과 제 1 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 단계;

패터닝된 제 2 금속층을 형성하되, 상기 패터닝된 제 2 금속층은 상기 제 1 층간 절연층 상에 형성되고, 상기 제 2 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 1 데이터 라인과 제 1 스위치 트랜지스터의 소스의 역할을 하는 단계;

제 2 층간 절연층과 제 3 관통홀을 형성하되, 상기 제 2 층간 절연층은 상기 제 1 층간 절연층과 상기 패터닝된 제 2 금속층 상에 형성되고, 상기 제 3 관통홀은 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 단계;

상기 제 2 층간 절연층을 관통하되, 상기 제 1 저장 커패시터의 하부 플레이트를 대면하는 개구를 더 형성하는 단계;

패터닝된 제 3 금속층을 형성하되, 상기 패터닝된 제 3 금속층은 상기 제 2 층간 절연층 상 및 상기 개구 내에 형성되고, 상기 개구 내의 상기 패터닝된 제 3 금속층의 일부는 상기 제 1 저장 커패시터의 상부 플레이트 역할을 하는 반면에 상기 제 2 층간 절연층 상의 상기 패터닝된 제 3 금속층의 일부는 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스의 역할을 하는 단계;

제 3 층간 절연층과 제 4 관통홀들을 형성하되, 상기 제 3 층간 절연층은 상기 제 2 층간 절연층과 상기 패터닝된 제 3 금속층 상에 형성되고, 상기 제 4 관통홀들에서 첫번째 관통홀은 상기 제1 구동 트랜지스터 및 상기 제 2 구동 트랜지스터의 소스와 상기 전력 라인 사이에 전기적 연결을 하기 위하여 이용되고, 두번째 관통홀은 상기 제1 구동 트랜지스터의 드레인으로 전기적 연결을 하기 위하여 이용되고, 세번째 관통홀은 상기 제2 구동 트랜지스터의 드레인으로 전기적 연결을 하기 위하여 이용되고, 네번째 관통홀은 상기 전력 라인과 상기 제1 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되고, 다섯번째 관통홀은 상기 전력 라인과 상기 제2 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되는 단계;

패터닝된 제 4 금속층을 형성하되, 상기 패터닝된 제 4 금속층은 상기 제 3 층간 절연층 상에 형성되고, 상기 제 1 구동 트랜지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인 및 전력 라인의 역할을 하는 단계; 및

패시베이팅된 절연층과 복수 개의 콘택홀을 형성하되, 상기 패시베이팅된 절연층은 상기 제 3 층간 절연층과 상기 패터닝된 제 4 금속층 상에 형성되고, 상기 콘택홀들은 상기 제 2 구동 트랜지스터의 드레인과 제 2 OLED의

양극 사이뿐만 아니라 상기 제 1 구동 트랜지스터의 드레인과 제 1 OLED의 양극 사이에 전기적 연결을 하기 위하여 이용되는 단계를 통해 형성됨을 특징으로 하는, OLED 디스플레이 패널을 제조하는 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 기술분야에 관한 것으로서, 보다 구체적으로, 유기 발광 다이오드(OLED) 디스플레이 패널 및 이를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 정보 사회의 발달로 인해 디스플레이 장치에 대한 수요가 증가하였다. 이러한 수요를 충족시키기 위해, 박막 트랜지스터-액정 디스플레이(TFT-LCD), 플라즈마 디스플레이 패널(PDP) 및 유기 발광 다이오드(OLED) 디스플레이와 같이 다양한 평판 디스플레이 장치들이 급속하게 개발되고 있다. 이들 평판 디스플레이 장치들 중, OLED 디스플레이는 능동 발광, 고 명암비, 빠른 반응 속도 및 가벼운 무게와 같은 장점으로 인해 평판 디스플레이에서 점차 선도적인 위치를 차지하고 있다. 현재, OLED 디스플레이는 이동 전화, TV, 컴퓨터 및 지능형 시계와 같은 다양한 고성능 디스플레이 분야에서 널리 적용되고 있다.

[0003] 도 1은 종래의 OLED 디스플레이 패널의 픽셀 회로도이다. 도 1에 도시된 바와 같이, 기존 OLED 디스플레이 패널에서, 기본 픽셀 회로는 스위치 트랜지스터(T1), 구동 트랜지스터(T2) 및 저장 커패시터(Cs)를 구비한다. 스위치 트랜지스터(T1)의 게이트는 스캔 라인(Sn)에 연결되고, 스위치 트랜지스터(T1)의 소스는 데이터 라인(Dm)에 연결되며, 스위치 트랜지스터(T1)의 드레인, 구동 트랜지스터(T2)의 게이트 및 저장 커패시터(Cs)의 제 1 플레이트(plate) 모두 노드(N1)에 연결되고, 구동 트랜지스터(T2)의 소스와 저장 커패시터(Cs)의 제 2 플레이트 둘 다 제 1 전원(VDD)에 연결되고, 구동 트랜지스터(T2)의 드레인은 OLED의 양극에 연결되고, OLED의 음극은 제 2 전원(VSS)에 연결된다. 스위치 트랜지스터(T1)가 스캔 라인(Sn)을 통해 온 되면, 데이터 라인(Dm)에 의해 제공되는 데이터 전압은 스위치 트랜지스터(T1)를 통해 저장 커패시터(Cs)에 저장된다. 따라서 OLED를 구동하여 발광시키기 위해, 구동 트랜지스터(T2)가 전류를 발생하도록 제어된다.

[0004] 생활 수준이 지속적으로 높아지고 생산성 수준이 계속 개선됨에 따라, 시장에서는 고화질, 고해상도 제품을 절

실히 필요로 한다. 그러나, 종래의 OLED 디스플레이 패널의 해상도는 보통 250PPI(PPI는 인치당 픽셀 수를 말하며, PPI 값이 높으면 디스플레이가 이미지를 디스플레이하기 위해 보다 높은 픽셀 밀도를 사용할 수 있음을 나타낸다) 미만이어서, 고해상도 디스플레이에 대한 사람들의 요구를 충족시키지 못한다. 해상도를 증가시키려면, 예를 들면, 동일 층에 있는 인접 데이터 라인들 사이의 피치가 감소되어야 한다. 그러나 종래 OLED에서 인접 픽셀 유닛들의 데이터 라인은 대개 동일한 구조층에 배치된다. 기존의 공정 조건(예를 들면, 리소그래피 기계의 노광 제한성)을 바탕으로 인접 데이터 라인들간의 피치를 더 줄이는 것은 어려우며, 이는 OLED 디스플레이 패널의 해상도 개선을 어렵게 한다. 리소그래피 기계의 노광 제한성 외에도, 데이터 라인간의 크로스토크(crosstalk)와 단락(short circuit)은 고해상도의 OLED 제조시 해결해야 할 기술적 문제이다. 데이터 라인들간의 크로스토크는 두 개의 데이터 라인들 사이의 커플링(coupling)을 의미한다. 두 개의 데이터 라인들 사이의 상호 인덕턴스(inductance)와 상호 커패시턴스(capacitance)는 이들 데이터 라인에 노이즈를 유발할 수 있다. 연구 결과에 따르면, 두 데이터 라인들의 전류 세기가 동일한 경우, 상기 두 데이터 라인들 사이에 피치가 작으면 이들 데이터 라인 사이에 크로스토크가 두드러진다. 두 데이터 라인들간의 단락은 이들 데이터 라인들이 상호 연결되어 있어 픽셀 전극이 정상 신호를 수신할 수 없게 되고, 따라서 동작 불능이 됨을 의미한다. 동일한 공정 조건하에서, 두 데이터 라인들간의 피치 감소는 이들 사이의 단락 확률이 증가함을 나타낸다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 종래의 OLED 디스플레이의 낮은 해상도 문제를 해결하는 것이다.

[0006] 본 발명의 다른 목적은 OLED 디스플레이의 데이터 라인들 사이에 크로스토크와 단락을 제거하는 것이다.

과제의 해결 수단

[0007] 상기 기술적 문제를 해결하기 위하여, 본 발명은 OLED 디스플레이 패널을 제공한다. 상기 OLED 디스플레이 패널은 기판 상에 형성된, 복수 개의 스캔 라인들, 데이터 라인들 및 전력 라인들을 구비하되, 상기 스캔 라인들과 데이터 라인들은 행렬 형태로 배열된 복수 개의 픽셀 그룹들을 정의하고, 각 픽셀 그룹은 두 개의 서브픽셀을 가지며, 동일 픽셀 그룹에 있는 두 개의 서브픽셀은 동일 전력 라인에 연결되고 상기 전력 라인에 대해 거울 대칭을 이루며 배열되며, 동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀에 연결된 데이터 라인들은 서로 다른 구조층 상에 위치한다.

[0008] 선택적으로, 상기 OLED 디스플레이 패널에 있어서, 동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀은 제 1 서브픽셀과 제 2 서브픽셀이고, 상기 제 1 서브픽셀은 제 1 저장 커패시터를 구비하고 상기 제 2 서브픽셀은 제 2 저장 커패시터를 구비한다.

[0009] 선택적으로, 상기 OLED 디스플레이 패널에 있어서, 상기 제 1 저장 커패시터의 상부 플레이트와 상기 제 2 저장 커패시터의 상부 플레이트는 서로 다른 구조층 상에 위치한다.

[0010] 선택적으로, 상기 OLED 디스플레이 패널에 있어서, 상기 제 1 서브픽셀은 제 1 스위치 트랜지스터와 제 1 구동 트랜지스터를 더 구비하고, 상기 제 2 서브픽셀은 제 2 스위치 트랜지스터와 제 2 구동 트랜지스터를 더 구비하며, 상기 제 1 스위치 트랜지스터의 소스는 제 1 데이터 라인에 연결되고 상기 제 2 스위치 트랜지스터의 소스는 제 2 데이터 라인에 연결되며, 상기 제 1 데이터 라인, 상기 제 2 데이터 라인 및 상기 전력 라인들은 서로 평행하고, 상기 스캔 라인들은 상기 전력 라인에 수직이며, 상기 제 1 데이터 라인과 상기 제 2 데이터 라인, 상기 제 1 저장 커패시터와 제 2 저장 커패시터, 상기 제 1 스위치 트랜지스터와 제 2 스위치 트랜지스터, 그리고 상기 제 1 구동 트랜지스터와 제 2 구동 트랜지스터는 각각 상기 전력 라인에 대해서 서로 거울 대칭이 되도록 배열된다.

[0011] 선택적으로, 상기 OLED 디스플레이 패널은 구체적으로,

[0012] 상기 기판 상에 형성되고, 상기 제 1 스위치 트랜지스터, 상기 제 1 구동 트랜지스터, 상기 제 2 스위치 트랜지스터 및 상기 제 2 구동 트랜지스터를 위한 능동층 역할을 하는 실리콘 아일랜드;

[0013] 상기 기판과 상기 실리콘 아일랜드 상에 형성되는 게이트 절연층과, 상기 제 2 스위치 트랜지스터의 드레인과 상기 제 2 저장 커패시터의 하부 플레이트 사이의 전기적 연결 뿐만 아니라 상기 제 1 스위치 트랜지스터의 드레인과 상기 제 1 저장 커패시터의 하부 플레이트 사이의 전기적 연결을 하는데 이용되는, 복수 개의 제 1 관통

홀;

- [0014] 상기 게이트 절연층 상에 형성되고, 상기 스캔 라인, 상기 제 1 저장 커패시터의 하부 플레이트, 상기 제 2 저장 커패시터의 하부 플레이트, 상기 제 1 스위치 트랜지스터의 게이트, 상기 제 1 구동 트랜지스터의 게이트, 상기 제 2 스위치 트랜지스터의 게이트 및 상기 제 2 구동 트랜지스터의 게이트로서 역할을 하는, 패터닝된 제 1 금속층;
- [0015] 상기 게이트 절연층과 상기 패터닝된 제 1 금속층 상에 형성되는 제 1 층간 절연층과, 상기 제 1 데이터 라인과 상기 제 1 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 제 2 관통홀;
- [0016] 상기 제 1 층간 절연층 상에 형성되고, 상기 제 2 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 1 데이터 라인과 상기 제 1 스위치 트랜지스터의 소스 역할을 하는, 패터닝된 제 2 금속층;
- [0017] 상기 제 1 층간 절연층과 상기 패터닝된 제 2 금속층 상에 형성되는 제 2 층간 절연층과, 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 제 3 관통홀;
- [0018] 상기 제 2 층간 절연층 상에 형성되고, 상기 제 1 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 역할을 하는, 패터닝된 제 3 금속층;
- [0019] 상기 제 2 층간 절연층과 상기 패터닝된 제 3 금속층 상에 형성되는 제 3 층간 절연층과, 상기 제 1 구동 트랜지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인, 상기 전력 라인, 상기 제 1 저장 커패시터의 상부 플레이트 및 상기 제 2 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되는 제 4 관통홀들;
- [0020] 상기 제 3 층간 절연층 상에 형성되고, 상기 제 1 구동 트랜지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인 및 상기 전력 라인의 역할을 하는, 패터닝된 제 4 금속층; 및
- [0021] 상기 제 3 층간 절연층과 상기 패터닝된 제 4 금속층 상에 형성되는 패시베이팅된 절연층과, 상기 제 2 구동 트랜지스터의 드레인과 제 2 OLED의 양극 사이뿐만 아니라 상기 제 1 구동 트랜지스터의 드레인과 제 1 OLED의 양극 사이에 전기적 연결을 하기 위하여 이용되는 복수 개의 콘택트 홀을 구비한다.
- [0022] 선택적으로, 상기 OLED 디스플레이 패널은 개구를 더 포함하되, 상기 개구는 상기 제 2 층간 절연층을 관통하고, 상기 제 1 저장 커패시터의 하부 플레이트를 정확히 대면한다.
- [0023] 선택적으로, 상기 OLED 디스플레이 패널에 있어서, 상기 제 1 저장 커패시터의 상부 플레이트와 상기 제 2 저장 커패시터의 상부 플레이트는 동일 구조층 상에 위치한다.
- [0024] 선택적으로, 상기 OLED 디스플레이 패널은 구체적으로,
- [0025] 상기 기판 상에 형성되고, 상기 제 1 스위치 트랜지스터, 상기 제 1 구동 트랜지스터, 상기 제 2 스위치 트랜지스터 및 상기 제 2 구동 트랜지스터를 위한 능동층 역할을 하는 실리콘 아일랜드;
- [0026] 상기 기판과 상기 실리콘 아일랜드 상에 형성되는 게이트 절연층과, 상기 제 2 스위치 트랜지스터의 드레인과 상기 제 2 저장 커패시터의 하부 플레이트 사이뿐만 아니라 상기 제 1 스위치 트랜지스터의 드레인과 상기 제 1 저장 커패시터의 하부 플레이트 사이에 전기적 연결을 하는데 이용되는 복수 개의 제 1 관통홀;
- [0027] 상기 게이트 절연층 상에 형성되고, 상기 스캔 라인, 상기 제 1 저장 커패시터의 하부 플레이트, 상기 제 2 저장 커패시터의 하부 플레이트, 상기 제 1 스위치 트랜지스터의 게이트, 상기 제 1 구동 트랜지스터의 게이트, 상기 제 2 스위치 트랜지스터의 게이트 및 상기 제 2 구동 트랜지스터의 게이트의 역할을 하는, 패터닝된 제 1 금속층;
- [0028] 상기 게이트 절연층과 상기 패터닝된 제 1 금속층 상에 형성되는 제 1 층간 절연층과, 상기 제 1 데이터 라인과 상기 제 1 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 제 2 관통홀;
- [0029] 상기 제 1 층간 절연층 상에 형성되고, 제 2 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 1 데이터 라인, 상기 제 1 스위치 트랜지스터의 소스 및 상기 제 1 저장 커패시터의 상부 플레이트 역할을 하는, 패터닝된 제 2 금속층;
- [0030] 상기 제 1 층간 절연층과 상기 패터닝된 제 2 금속층 상에 형성되는 제 2 층간 절연층과, 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 제 3 관통홀;

- [0031] 상기 제 2 층간 절연층 상에 형성되고, 상기 제 2 스위치 트랜지스터의 소스뿐만 아니라 상기 제 2 데이터 라인
의 역할을 하는, 패터닝된 제 3 금속층;
- [0032] 상기 제 2 층간 절연층과 상기 패터닝된 제 3 금속층 상에 형성되는 제 3 층간 절연층과, 상기 제 1 구동 트랜
지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인, 상기 전력 라인, 상기 제 1 저장 커패시
터의 상부 플레이트 및 상기 제 2 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되는
제 4 관통홀들;
- [0033] 상기 제 3 층간 절연층 상에 형성되고, 상기 전력 라인 뿐만 아니라 상기 제 1 구동 트랜지스터의 소스와 드레
인 및 상기 제 2 구동 트랜지스터의 소스와 드레인의 역할을 하는, 패터닝된 제 4 금속층; 및
- [0034] 상기 제 3 층간 절연층과 상기 패터닝된 제 4 금속층 상에 형성되는 패시베이팅된 절연층과, 상기 제 2 구동 트
랜지스터의 드레인과 제 2 OLED의 양극 사이뿐만 아니라 상기 제 1 구동 트랜지스터의 드레인과 제 1 OLED의 양
극 사이에 전기적 연결을 하기 위하여 이용되는 복수 개의 콘택트 홀을 구비한다.
- [0035] 본 발명은 또한 OLED 디스플레이 패널을 제조하는 방법을 제공한다. 상기 OLED 디스플레이 패널을 제조하는 방
법은,
- [0036] 기판 상에 복수 개의 스캔 라인들, 데이터 라인들 및 전력 라인들을 형성하되, 상기 스캔 라인들과 데이터 라인
들은 행렬 형태로 배열된 복수 개의 픽셀 그룹들을 정의하는 단계를 구비하고,
- [0037] 각 픽셀 그룹은 두 개의 서브픽셀을 가지며, 동일 픽셀 그룹에 있는 두 개의 서브픽셀은 동일 전력 라인에 연결
되고 상기 전력 라인에 대해 거울 대칭을 이루며 배열되며, 동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀에 연
결된 데이터 라인들은 서로 다른 구조층 상에 위치한다.
- [0038] 선택적으로, 상기 OLED 디스플레이 패널을 제조하는 방법에 있어서, 각 픽셀 그룹에 있는 상기 두 개의 서브픽
셀은 제 1 서브픽셀과 제 2 서브픽셀이고, 상기 제 1 서브픽셀은 제 1 저장 커패시터를 구비하고 상기 제 2 서
브픽셀은 제 2 저장 커패시터를 구비하며, 상기 제 1 저장 커패시터의 상부 플레이트와 상기 제 2 저장 커패시
터의 상부 플레이트는 서로 다른 구조층 상에 위치한다.
- [0039] 선택적으로, 상기 OLED 디스플레이 패널을 제조하는 방법에 있어서, 상기 제 1 서브픽셀은 제 1 스위치 트랜지
스터와 제 1 구동 트랜지스터를 더 구비하고, 상기 제 2 서브픽셀은 제 2 스위치 트랜지스터와 제 2 구동 트랜
지스터를 더 구비하며, 상기 제 1 스위치 트랜지스터의 소스는 제 1 데이터 라인에 연결되고, 상기 제 2 스위치
트랜지스터의 소스는 제 2 데이터 라인에 연결되며, 상기 제 1 데이터 라인, 상기 제 2 데이터 라인 및 상기 전
력 라인들은 서로 평행하고, 상기 스캔 라인들은 상기 전력 라인에 수직이며, 상기 제 1 데이터 라인과 상기 제 2
데이터 라인, 상기 제 1 저장 커패시터와 제 2 저장 커패시터, 상기 제 1 스위치 트랜지스터와 제 2 스위치 트
랜지스터, 그리고 상기 제 1 구동 트랜지스터와 제 2 구동 트랜지스터는 각각 전력 라인에 대해서 서로 거울 대
칭이 되도록 배열된다.
- [0040] 선택적으로, 상기 OLED 디스플레이 패널을 제조하는 방법에 있어서, 상기 OLED 디스플레이 패널은,
- [0041] 실리콘 아일랜드를 형성하되, 상기 실리콘 아일랜드는 상기 제 1 스위치 트랜지스터, 상기 제 1 구동 트랜지스
터, 상기 제 2 스위치 트랜지스터 및 상기 제 2 구동 트랜지스터를 위한 능동층 역할을 하는 단계;
- [0042] 게이트 절연층과 복수 개의 제 1 관통홀을 형성하되, 상기 게이트 절연층은 상기 기판과 상기 실리콘 아일랜드
상에 형성되고, 상기 제 1 관통홀은 제 2 스위치 트랜지스터의 드레인과 상기 제 2 저장 커패시터의 하부 플레
이트 사이뿐만 아니라 상기 제 1 스위치 트랜지스터의 드레인과 상기 제 1 저장 커패시터의 하부 플레이트 사이
의 전기적 연결을 하는데 이용되는 단계;
- [0043] 패터닝된 제 1 금속층을 형성하되, 상기 패터닝된 제 1 금속층은 상기 게이트 절연층 상에 형성되고, 상기 스캔
라인, 상기 제 1 저장 커패시터의 하부 플레이트, 상기 제 2 저장 커패시터의 하부 플레이트, 상기 제 1 스위치
트랜지스터의 게이트, 상기 제 1 구동 트랜지스터의 게이트, 상기 제 2 스위치 트랜지스터의 게이트 및 상기 제
2 구동 트랜지스터의 게이트의 역할을 하는 단계;
- [0044] 제 1 층간 절연층과 제 2 관통홀을 형성하되, 상기 제 1 층간 절연층은 상기 게이트 절연층과 상기 패터닝된 제
1 금속층 상에 형성되고, 상기 제 2 관통홀은 제 1 데이터 라인과 제 1 스위치 트랜지스터의 소스 사이에 전기
적 연결을 하기 위하여 이용되는 단계;
- [0045] 패터닝된 제 2 금속층을 형성하되, 상기 패터닝된 제 2 금속층은 상기 제 1 층간 절연층 상에 형성되고, 상기

제 2 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 1 데이터 라인과 제 1 스위치 트랜지스터의 소스의 역할을 하는 단계;

[0046] 제 2 층간 절연층과 제 3 관통홀을 형성하되, 상기 제 2 층간 절연층은 상기 제 1 층간 절연층과 상기 패터닝된 제 2 금속층 상에 형성되고, 상기 제 3 관통홀은 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 단계;

[0047] 패터닝된 제 3 금속층을 형성하되, 상기 패터닝된 제 3 금속층은 상기 제 2 층간 절연층 상에 형성되고, 상기 제 1 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스의 역할을 하는 단계;

[0048] 제 3 층간 절연층과 제 4 관통홀들을 형성하되, 상기 제 3 층간 절연층은 상기 제 2 층간 절연층과 상기 패터닝된 제 3 금속층 상에 형성되고, 상기 제 4 관통홀들은 상기 제 1 구동 트랜지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인, 상기 전력 라인, 상기 제 1 저장 커패시터의 상부 플레이트 및 상기 제 2 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되는 단계;

[0049] 패터닝된 제 4 금속층을 형성하되, 상기 패터닝된 제 4 금속층은 상기 제 3 층간 절연층 상에 형성되고, 상기 제 1 구동 트랜지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인 및 전력 라인의 역할을 하는 단계; 및

[0050] 패시베이션된 절연층과 복수 개의 콘택홀을 형성하되, 상기 패시베이션된 절연층은 상기 제 3 층간 절연층과 상기 패터닝된 제 4 금속층 상에 형성되고, 상기 콘택홀들은 상기 제 2 구동 트랜지스터의 드레인과 제 2 OLED의 양극 사이뿐만 아니라 상기 제 1 구동 트랜지스터의 드레인과 제 1 OLED의 양극 사이에 전기적 연결을 하기 위하여 이용되는 단계를 통해 형성된다.

[0051] 선택적으로, 상기 OLED 디스플레이 패널을 제조하는 방법에 있어서, 상기 제 2 층간 절연층을 형성한 후에, 상기 제 2 층간 절연층을 관통하는 개구를 더 형성하고, 상기 개구는 상기 제 1 저장 커패시터의 하부 플레이트를 정확히 대면한다.

[0052] 선택적으로, 상기 OLED 디스플레이 패널을 제조하는 방법에 있어서, 상기 제 1 저장 커패시터의 상부 플레이트와 상기 제 2 저장 커패시터의 상부 플레이트는 동일 구조층 상에 위치하고, 한번의 공정으로 형성된다.

[0053] 선택적으로, 상기 OLED 디스플레이 패널을 제조하는 방법에 있어서, 상기 OLED 디스플레이 패널은

[0054] 실리콘 아일랜드를 형성하되, 상기 실리콘 아일랜드는 상기 기판에 형성되고, 상기 제 1 스위치 트랜지스터, 상기 제 1 구동 트랜지스터, 상기 제 2 스위치 트랜지스터 및 상기 제 2 구동 트랜지스터를 위한 능동층 역할을 하는 단계;

[0055] 게이트 절연층과 복수 개의 제 1 관통홀을 형성하되, 상기 게이트 절연층은 상기 기판과 상기 실리콘 아일랜드 상에 형성되고, 상기 제 1 관통홀들은 상기 제 2 스위치 트랜지스터의 드레인과 상기 제 2 저장 커패시터의 하부 플레이트 사이뿐만 아니라 상기 제 1 스위치 트랜지스터의 드레인과 상기 제 1 저장 커패시터의 하부 플레이트 사이에 전기적 연결을 하는데 이용되는 단계;

[0056] 패터닝된 제 1 금속층을 형성하되, 상기 패터닝된 제 1 금속층은 상기 게이트 절연층 상에 형성되고, 상기 스캔 라인, 상기 제 1 저장 커패시터의 하부 플레이트, 상기 제 2 저장 커패시터의 하부 플레이트, 상기 제 1 스위치 트랜지스터의 게이트, 상기 제 1 구동 트랜지스터의 게이트, 상기 제 2 스위치 트랜지스터의 게이트 및 상기 제 2 구동 트랜지스터의 게이트의 역할을 하는 단계;

[0057] 제 1 층간 절연층과 제 2 관통홀을 형성하되, 상기 제 1 층간 절연층은 상기 게이트 절연층과 상기 패터닝된 제 1 금속층 상에 형성되고, 상기 제 2 관통홀은 상기 제 1 데이터 라인과 상기 제 1 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 단계;

[0058] 패터닝된 제 2 금속층을 형성하되, 상기 패터닝된 제 2 금속층은 상기 제 1 층간 절연층 상에 형성되고, 상기 제 2 저장 커패시터의 상부 플레이트뿐만 아니라 상기 제 1 데이터 라인, 상기 제 1 스위치 트랜지스터의 소스 및 상기 제 1 저장 커패시터의 상부 플레이트의 역할을 하는 단계;

[0059] 제 2 층간 절연층과 제 3 관통홀을 형성하되, 상기 제 2 층간 절연층은 상기 제 1 층간 절연층과 상기 패터닝된 제 2 금속층 상에 형성되고, 상기 제 3 관통홀은 상기 제 2 데이터 라인과 상기 제 2 스위치 트랜지스터의 소스 사이에 전기적 연결을 하기 위하여 이용되는 단계;

- [0060] 패터닝된 제 3 금속층을 형성하되, 상기 패터닝된 제 3 금속층은 상기 제 2 층간 절연층 상에 형성되고, 상기 제 2 스위치 트랜지스터의 소스뿐만 아니라 상기 제 2 데이터 라인의 역할을 하는 단계;
- [0061] 제 3 층간 절연층과 제 4 관통홀들을 형성하되, 상기 제 3 층간 절연층은 상기 제 2 층간 절연층과 상기 패터닝된 제 3 금속층 상에 형성되고, 상기 제 4 관통홀들은 상기 제 1 구동 트랜지스터의 소스와 드레인, 상기 제 2 구동 트랜지스터의 소스와 드레인, 상기 전력 라인, 상기 제 1 저장 커패시터의 상부 플레이트 및 상기 제 2 저장 커패시터의 상부 플레이트 사이에 전기적 연결을 하기 위하여 이용되는 단계;
- [0062] 패터닝된 제 4 금속층을 형성하되, 상기 패터닝된 제 4 금속층은 상기 제 3 층간 절연층 상에 형성되고, 상기 전력 라인 뿐만 아니라 상기 제 1 구동 트랜지스터의 소스와 드레인 및 상기 제 2 구동 트랜지스터의 소스와 드레인의 역할을 하는 단계; 및
- [0063] 패시베이팅된 절연층과 복수 개의 콘택트 홀을 형성하되, 상기 패시베이팅된 절연층은 상기 제 3 층간 절연층과 상기 패터닝된 제 4 금속층 상에 형성되고, 상기 콘택트 홀들은 상기 제 2 구동 트랜지스터의 드레인과 제 2 OLED의 양극 사이뿐만 아니라 상기 제 1 구동 트랜지스터의 드레인과 제 1 OLED의 양극 사이에 전기적 연결을 하기 위하여 이용되는 단계를 통해 형성된다.
- [0064] 본 발명에 의해 제공되는 상기 OLED 디스플레이 패널은 복수 개의 스캔 라인들, 데이터 라인들 및 전력 라인들을 구비한다. 상기 스캔 라인들과 데이터 라인들은 행렬 형태로 배열된 복수 개의 픽셀 그룹들을 정의하고, 각 픽셀 그룹은 두 개의 서브픽셀을 가지며, 동일 픽셀 그룹에 있는 두 개의 서브픽셀은 동일 전력 라인에 연결되고 상기 전력 라인에 대해 거울 대칭을 이루며 배열되며, 동일 픽셀 그룹에 있는 상기 두 개의 서브픽셀에 연결된 데이터 라인들은 서로 다른 구조층 상에 위치한다(즉, 상기 두 개의 서브픽셀에 연결된 데이터 라인들은 동일 층상에 위치하지 않는다). 한편으로, 동일 픽셀 그룹에 포함된 두 개의 서브픽셀에 연결된 해당 데이터 라인들은 서로 다른 구조층들 상에 위치하기 때문에, 동일 층 상에 있는 인접 데이터 라인들간의 거리는 픽셀 영역을 감소시키지 않으면서 두 배가 되고, 서로 다른 층 상에 있는 인접 데이터 라인들은 층간 절연층에 의해 절연(isolate)됨으로써, 데이터 라인들간의 단락 발생 확률을 효과적으로 감소시킨다. 또한, 상기 데이터 라인들간의 크로ست르크를 상당히 제거됨으로써, 수율 뿐만 아니라 제품의 화질도 개선한다. 다른 한편으로, 동일 픽셀 그룹에 있는 두 개의 서브픽셀에 연결된 해당 데이터 라인들은 서로 다른 구조층들에 배치되므로, 픽셀 영역은 기존의 장치들 및 공정 조건을 바탕으로 감소될 수 있어서, OLED 디스플레이 패널의 PPI와 해상도를 개선한다.
- [0065] 또한, 제 1 저장 커패시터의 상부 플레이트와 제 2 저장 커패시터의 상부 플레이트가 서로 다른 구조층상에 위치하고, 두 번의 공정을 통해 형성된다. 예를 들면, 제 1 데이터 라인과 제 2 저장 커패시터의 상부 플레이트가 함께 형성되고, 제 2 데이터 라인과 제 1 저장 커패시터의 상부 플레이트가 함께 형성된다. 즉, 제 1 데이터 라인과 제 1 저장 커패시터의 상부 플레이트가 동일 층에 위치하지 않고, 제 2 데이터 라인과 제 2 저장 커패시터의 상부 플레이트가 동일 층에 위치하지 않는다. 따라서, 동일 층에 있는 데이터 라인과 저장 커패시터의 상부 플레이트간의 거리가 감소될 수 있어, 픽셀 영역이 더 감소되고, OLED 디스플레이 패널의 PPI가 개선된다.

발명의 효과

- [0066] 데이터 라인들(D1 및 D2)간의 단락 발생 확률이 효과적으로 감소되고, 상기 데이터 라인들(D1 및 D2)간의 크로ست르크가 상당히 제거된다. 다른 한편으로, 픽셀 영역은 기존 장치와 공정 조건을 바탕으로 감소될 수 있으므로, 상기 OLED 디스플레이 패널의 PPI를 개선하고 상기 OLED 디스플레이 패널의 해상도를 증가한다.

도면의 간단한 설명

- [0067] 도 1은 종래의 OLED 디스플레이 패널의 픽셀 회로도이다.

도 2a는 본 발명의 제 1 실시예에 따라, 실리콘 아일랜드(island)를 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 2b는 본 발명의 제 1 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 2c는 본 발명의 제 1 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 3a는 본 발명의 제 1 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹

을 도시하는 개략적인 평면도이다.

도 3b는 본 발명의 제 1 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브 픽셀을 도시하는 개략적인 단면도이다.

도 3c는 본 발명의 제 1 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브 픽셀을 도시하는 개략적인 단면도이다.

도 4a는 본 발명의 제 1 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 4b는 본 발명의 제 1 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브 픽셀을 도시하는 개략적인 단면도이다.

도 4c는 본 발명의 제 1 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브 픽셀을 도시하는 개략적인 단면도이다.

도 5a는 본 발명의 제 1 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 5b는 본 발명의 제 1 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브 픽셀을 도시하는 개략적인 단면도이다.

도 5c는 본 발명의 제 1 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브 픽셀을 도시하는 개략적인 단면도이다.

도 6a는 본 발명의 제 1 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도식하는 개략적인 평면도이다.

도 6b는 본 발명의 제 1 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브 픽셀을 도시하는 개략적인 단면도이다.

도 6c는 본 발명의 제 1 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브 픽셀을 도시하는 개략적인 단면도이다.

도 7a는 본 발명의 제 1 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 7b는 본 발명의 제 1 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브 픽셀을 도시하는 개략적인 단면도이다.

도 7c는 본 발명의 제 1 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브 픽셀을 도시하는 개략적인 단면도이다.

도 8a는 본 발명의 제 1 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 8b는 본 발명의 제 1 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브 픽셀을 도시하는 개략적인 단면도이다.

도 8c는 본 발명의 제 1 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브 픽셀을 도식하는 개략적인 단면도이다.

도 9a는 본 발명의 제 1 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 9b는 본 발명의 제 1 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브 픽셀을 도시하는 개략적인 단면도이다.

도 9c는 본 발명의 제 1 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브 픽셀을 도시하는 개략적인 단면도이다.

도 10a는 본 발명의 제 1 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹

을 도시하는 개략적인 평면도이다.

도 10b는 본 발명의 제 1 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 10c는 본 발명의 제 1 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 11a는 본 발명의 제 1 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 11b는 본 발명의 제 1 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 11c는 본 발명의 제 1 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 12a는 본 발명의 제 1 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 12b는 본 발명의 제 1 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 12c는 본 발명의 제 1 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 13a는 본 발명의 제 2 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 13b는 본 발명의 제 2 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 13c는 본 발명의 제 2 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 14a는 본 발명의 제 2 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 14b는 본 발명의 제 2 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 14c는 본 발명의 제 2 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 15a는 본 발명의 제 2 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 15b는 본 발명의 제 2 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 15c는 본 발명의 제 2 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 16a는 본 발명의 제 2 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 16b는 본 발명의 제 2 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 16c는 본 발명의 제 2 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 17a는 본 발명의 제 2 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹

을 도시하는 개략적인 평면도이다.

도 17b는 본 발명의 제 2 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 17c는 본 발명의 제 2 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 18a는 본 발명의 제 2 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 18b는 본 발명의 제 2 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 18c는 본 발명의 제 2 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 19a는 본 발명의 제 2 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 19b는 본 발명의 제 2 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 19c는 본 발명의 제 2 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 20a는 본 발명의 제 2 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 20b는 본 발명의 제 2 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 20c는 본 발명의 제 2 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 21a는 본 발명의 제 2 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 21b는 본 발명의 제 2 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 21c는 본 발명의 제 2 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 22a는 본 발명의 제 2 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 22b는 본 발명의 제 2 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 22c는 본 발명의 제 2 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

도 23a는 본 발명의 제 2 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

도 23b는 본 발명의 제 2 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다.

도 23c는 본 발명의 제 2 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0068] 본 발명의 주요 개념은 유기 발광 다이오드(OLED) 디스플레이 패널 및 이의 제조 방법을 제공하는데 있으며, 상기 OLED 디스플레이 패널은 스캔 라인, 데이터 라인 및 전력 라인(VDD)을 구비하되, 상기 스캔 라인과 데이터 라인은 행렬 형태로 배열되는 복수 개의 픽셀 그룹을 정의하고, 각 픽셀 그룹은 두 개의 서브픽셀을 가지고, 동일 픽셀 그룹의 두 개의 서브픽셀은 동일 전력 라인(VDD)에 연결되고 상기 전력 라인(VDD)에 대해 거울 대칭이 되도록 배열되며, 동일 픽셀 그룹에 포함된 두 개의 서브픽셀에 각각 연결된 상기 데이터 라인들은 다른 구조층들 상에 위치한다. 이로써, 동일 층 상에 있는 인접 데이터 라인들간의 거리는 픽셀 영역을 감소시키지 않으면서 두 배가 되고, 서로 다른 층 상에 있는 인접 데이터 라인들은 층간 절연층에 의해 절연(isolate)됨으로써, 데이터 라인들간의 단락 발생 확률을 효과적으로 감소시키고 상기 데이터 라인들간의 크로스토크를 상당히 제거한다. 또한, 두 개의 서브픽셀에 연결된 해당 데이터 라인들은 서로 다른 구조층들에 배치되므로, 픽셀 영역은 기존의 장치들 및 공정 조건을 바탕으로 감소될 수 있어서, OLED 디스플레이 패널의 PPI와 해상도를 개선한다.
- [0069] 본 발명에 따른 OLED 디스플레이 패널과 상기 OLED 디스플레이 패널을 제조하는 방법을 첨부된 도면과 구체적인 실시예를 참조하여 하기에 상세하게 설명한다. 본 발명의 장점과 특징은 하기 설명과 청구범위에 따라 보다 명확해진다. 도면에 도시된, 막 두께, 각 층에 있는 영역들의 크기와 형태는 상기 OLED 디스플레이 패널의 정확한 크기를 반영하지 않으며, 목적은 단지 본 발명의 내용을 개략적으로 도시하는 것임을 유의해야 한다.
- [0070] 실시예 1
- [0071] 도 12a는 본 발명의 제 1 실시예에 따라, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도로서, 두 개의 서브픽셀을 구비하는 구조를 도시한다. 도 12b는 도 12a에 도시된 제 1 서브픽셀의 개략적인 단면도이다. 도 12c는 도 12a에 도시된 제 2 서브픽셀의 개략적인 단면도이다.
- [0072] 도 12a, 도 12b 및 도 12c에 도시된 바와 같이, 본 실시예에 따른 OLED 디스플레이 패널의 주요 구조는 기판(100) 상에 형성된 스캔 라인, 데이터 라인 및 전력 라인을 구비하되, 상기 스캔 라인과 데이터 라인은 행렬 형태로 배열된 복수 개의 픽셀 그룹을 정의한다. 각 픽셀 그룹은 두 개의 서브픽셀을 가진다. 동일 픽셀 그룹의 두 개의 서브픽셀은 동일한 전력 라인(VDD)에 연결되고, 상기 전력 라인(VDD)에 대해 거울 대칭을 이루도록 배열된다. 동일 픽셀 그룹의 두 개의 서브픽셀에 각각 연결된 데이터 라인들은 서로 다른 구조층들에 위치한다. 본 실시예에 따른 기술적 해결 수단을 용이하게 설명하기 위해, 도 12a에 도시된 바와 같이, 도면의 평면 방향으로 상하에 배열된 두 개의 서브픽셀들을 제 1 서브픽셀과 제 2 서브픽셀로 부르고, 여기서 하부 서브픽셀은 제 1 서브픽셀로, 상부 서브픽셀은 제 2 서브픽셀이라 한다. 상기 제 1 서브픽셀의 스위치 트랜지스터의 소스에 연결되는 데이터 라인을 제 1 데이터 라인(D1)이라 하고, 상기 제 2 서브픽셀의 스위치 트랜지스터의 소스에 연결되는 데이터 라인을 제 2 데이터 라인(D2)이라 한다.
- [0073] 도 12a, 도 12b 및 도 12c를 계속 참조하고, 도 2a 내지 도 11c를 같이 참조하면, 제 1 데이터 라인(D1)은 제 2 층간 절연층(160) 아래에(구체적으로, 제 1 층간 절연층(140)과 제 2 층간 절연층(160) 사이에) 위치한다. 상기 제 1 데이터 라인(D1)은 제 1 층간 절연층(140)을 관통하는 관통홀(여기서, 제 2 관통홀(140a-1)이라 함)에 의해 제 1 스위치 트랜지스터의 소스(S11)에 연결된다. 제 2 데이터 라인(D2)은 제 2 층간 절연층(160) 위에(구체적으로, 제 2 층간 절연층(160)과 제 3 층간 절연층(180) 사이에) 위치한다. 상기 제 2 데이터 라인(D2)은 제 1 층간 절연층(140)과 제 2 층간 절연층(160)을 관통하는 관통홀(여기서, 제 3 관통홀(160a-2)이라 함)에 의해 제 2 스위치 트랜지스터의 소스(S21)에 연결된다. 즉, 제 1 데이터 라인(D1)과 제 2 데이터 라인(D2)은 제 2 층간 절연층(160)의 양쪽에 각각 위치한다. 제 2 층간 절연층(160)은 제 1 데이터 라인(D1)과 제 2 데이터 라인(D2)을 분리하도록 배치된다. 제 1 데이터 라인(D1)과 제 2 데이터 라인(D2)은, 다른 깊이를 가지는 관통홀들을 통해 스위치 트랜지스터들의 소스에 연결된다. 이로써, 동일 층상의 인접 데이터 라인들간의 피치는 픽셀 영역의 감소 없이 두 배가 되고, 서로 다른 층상의 인접 데이터 라인들은 층간 절연층(여기서는 구체적으로 제 2 층간 절연층(160))에 의해 절연됨으로써, 제조시 데이터 라인들간의 단락 발생 확률을 효과적으로 감소시킨다. 또한, 사용시 데이터 라인들간의 크로스토크를 상당히 제거하여, 수율을 증가시킬 뿐만 아니라 제품의 화질을 개선한다. 동일 픽셀 그룹에 속한 두 개의 서브픽셀에 연결된 해당 데이터 라인들은 서로 다른 구조층들 상에 배치되기 때문에(동일 층 상의 인접 데이터 라인들간의 피치가 증가하기 때문에), 픽셀 영역은 기존의 장치와 공정 조건에 반드시 제한됨 없이 감소될 수 있으므로 OLED 디스플레이 패널의 PPI를 개선함이 분명하다.
- [0074] 구체적으로, 도 12a와 도 12b에 도시된 바와 같이, 제 1 서브픽셀은 제 1 스위치 트랜지스터(T11), 제 1 구동 트랜지스터(T12) 및 제 1 저장 커패시터(C1)를 구비한다. 상기 제 1 스위치 트랜지스터(T11)는 게이트

(G11), 소스(S11), 드레인(D11) 및 능동층(111-1)(즉, 실리콘 아일랜드의 제 1 세그먼트)를 구비한다. 상기 제 1 구동 트랜지스터(T12)는 게이트(G12), 소스(S12), 드레인(D12) 및 능동층(111-2)(즉, 실리콘 아일랜드의 제 2 세그먼트)를 구비한다. 제 1 저장 커패시터(C1)는 제 1 플레이트(즉, 하부 플레이트(C1-1)), 제 2 플레이트(즉, 상부 플레이트(C1-2)) 및 상기 하부 플레이트(C1-1)와 상기 상부 플레이트(C1-2) 사이에 형성된 제 1 중간 절연층(140)을 구비한다. 제 1 스위치 트랜지스터(T11)의 게이트(G11)는 스캔 라인(Sn)에 연결된다(이들은 실제로 일체적인 구조를 형성한다). 제 1 스위치 트랜지스터(T11)의 소스(S11)는 제 1 데이터 라인(D1)에 연결된다(이들은 실제로 일체적인 구조를 형성한다). 제 1 스위치 트랜지스터(T11)의 드레인(D11), 제 1 저장 커패시터(C1)의 제 1 플레이트(즉, 하부 플레이트(C1-1)), 그리고 제 1 구동 트랜지스터(T12)의 게이트(G12)가 연결된다. 제 1 구동 트랜지스터(T12)의 소스(S12)와 제 1 저장 커패시터(C1)의 제 2 플레이트(즉, 상부 플레이트(C1-2)) 둘 다 전력 라인(VDD)에 연결된다. 제 1 구동 트랜지스터(T12)의 드레인(D12)은 제 1 OLED의 양극(221)에 연결된다. 상기 스캔 라인(Sn)은 제 1 스위치 트랜지스터(T11)를 위한 온/오프 전압을 제공하기 위해 사용된다. 제 1 구동 트랜지스터(T12)는 제 1 데이터 라인(D1)을 제어하여 제 1 OLED를 위한 데이터 전압을 제공하기 위해 사용된다.

[0075]

구체적으로, 도 12a와 도 12c에 도시된 바와 같이, 제 2 서브픽셀은 제 2 스위치 트랜지스터(T12), 제 2 구동 트랜지스터(T22) 및 제 2 저장 커패시터(C2)를 구비한다. 상기 제 2 스위치 트랜지스터(T21)는 게이트(G21), 소스(S21), 드레인(D21) 및 능동층(112-1)(즉, 실리콘 아일랜드의 제 3 세그먼트)를 구비한다. 상기 제 2 구동 트랜지스터(T22)는 게이트(G22), 소스(S22), 드레인(D22) 및 능동층(112-2)(즉, 실리콘 아일랜드의 제 4 세그먼트)를 구비한다. 제 2 저장 커패시터(C2)는 제 1 플레이트(즉, 하부 플레이트(C2-1)), 제 2 플레이트(즉, 상부 플레이트(C2-2)) 및 상기 하부 플레이트(C2-1)와 상기 상부 플레이트(C2-2) 사이에 형성된 제 1 중간 절연층(140)을 구비한다. 제 2 스위치 트랜지스터(T21)의 게이트(G21)는 스캔 라인(Sn)에 연결된다(이들은 실제로 일체적인 구조를 형성한다). 제 2 스위치 트랜지스터(T21)의 소스(S21)는 제 2 데이터 라인(D2)에 연결된다(이들은 실제로 일체적인 구조를 형성한다). 제 2 스위치 트랜지스터(T21)의 드레인(D21), 제 2 저장 커패시터(C2)의 제 1 플레이트(즉, 하부 플레이트(C2-1)), 그리고 제 2 구동 트랜지스터(T22)의 게이트(G22)가 연결된다. 제 2 구동 트랜지스터(T22)의 소스(S22)와 제 2 저장 커패시터(C2)의 제 2 플레이트(즉, 상부 플레이트(C2-2)) 둘 다 전력 라인(VDD)에 연결된다. 제 2 구동 트랜지스터(T22)의 드레인(D22)은 제 2 OLED의 양극(222)에 연결된다. 상기 스캔 라인(Sn)은 제 2 스위치 트랜지스터(T21)를 위한 온/오프 전압을 제공하기 위해 사용된다. 제 2 구동 트랜지스터(T22)는 제 2 데이터 라인(D2)을 제어하여 제 2 OLED를 위한 데이터 전압을 제공하기 위해 사용된다.

[0076]

도 10a, 도 11a 및 도 12a를 계속 참조하면, 제 1 데이터 라인(D1), 제 2 데이터 라인(D2), 그리고 전력 라인(VDD)은 서로 평행하다. 스캔 라인(Sn)은 전력 라인(VDD)에 수직이다. 제 1 데이터 라인(D1)과 제 2 데이터 라인(D2)은 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다. 또한, 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)는 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다. 제 1 스위치 트랜지스터(T11)와 제 2 스위치 트랜지스터(T21)는 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다. 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)는 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다. 구체적으로, 본 실시예에서, 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)와 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1)는 둘 다 직사각형이고 면적이 같으며, 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다. 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)와 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)는 둘 다 직사각형이고 면적이 같으며, 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다.

[0077]

주로 도 2a, 도 2b 및 도 2c를 참조하면, 상기 OLED 디스플레이 패널은 실리콘 아일랜드를 더 구비한다. 상기 실리콘 아일랜드는 기판(100) 상에 형성되고, 제 1 스위치 트랜지스터(T11), 제 1 구동 트랜지스터(T12), 제 2 스위치 트랜지스터(T21), 그리고 제 2 구동 트랜지스터(T22)를 위한 능동층 역할을 한다.

[0078]

주로 도 3a, 도 3b 및 도 3c를 참조하면, 상기 OLED 디스플레이 패널은 게이트 절연층(120)과 제 1 관통홀들(120a-1 및 120a-2)를 더 구비한다. 상기 게이트 절연층(120)은 기판(100)과 실리콘 아일랜드 상에 형성된다. 상기 제 1 관통홀들(120a-1 및 120a-2)은 게이트 절연층(120)을 관통한다. 제 1 관통홀(120a-1)은, 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)에 제 1 스위치 트랜지스터(T11)의 드레인(D11)이 전기적으로 연결되는 것을 가능하도록 하기 위해 사용된다. 제 1 관통홀(120a-2)은, 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1)에 제 2 스위치 트랜지스터(T21)의 드레인(D21)이 전기적으로 연결되는 것을 가능하도록 하기 위해 사용된다.

[0079]

주로 도 4a, 도 4b 및 도 4c를 참조하면, 상기 OLED 디스플레이 패널은 패터닝된 제 1 금속층을 더 구

비한다. 상기 패터닝된 제 1 금속층은 게이트 절연층(120) 상에 형성되고, 제 1 스위치 트랜지스터(T11)의 게이트(G11), 제 1 구동 트랜지스터(T12)의 게이트(G12), 제 2 스위치 트랜지스터(T21)의 게이트(G21), 제 2 구동 트랜지스터(T22)의 게이트(G22), 스캔 라인(Sn), 제 1 저장 커패시터(C1)의 제 1 전극(즉, 하부 플레이트(C1-1)), 그리고 제 2 저장 커패시터(C2)의 제 1 전극(즉, 하부 플레이트(C2-1))의 역할을 한다.

[0080] 주로 도 5a, 도 5b 및 도 5c를 참조하면, 상기 OLED 디스플레이 패널은 제 1 층간 절연층(140)과 제 2 관통홀(140a-1)을 더 구비한다. 상기 제 1 층간 절연층(140)은 게이트 절연층(120)과 패터닝된 제 1 금속층 상에 형성된다. 상기 제 2 관통홀(140a-1)은 제 1 스위치 트랜지스터(T11)의 소스(S11)에 제 1 데이터 라인(D1)이 전기적으로 연결되는 것을 가능하도록 하기 위해 사용된다.

[0081] 주로 도 6a, 도 6b 및 도 6c를 참조하면, 상기 OLED 디스플레이 패널은 패터닝된 제 2 금속층을 더 구비한다. 상기 패터닝된 제 2 금속층은 제 1 층간 절연층(140) 상에 형성되고, 제 1 데이터 라인(D1), 제 1 스위치 트랜지스터(T11)의 소스(S11) 및 제 2 저장 커패시터(C2)의 제 2 전극(즉, 상부 플레이트(C2-2))의 역할을 한다.

[0082] 주로 도 7a, 도 7b 및 도 7c를 참조하면, 상기 OLED 디스플레이 패널은 제 2 층간 절연층(160)과 제 3 관통홀(160a-2)을 더 구비한다. 상기 제 2 층간 절연층(160)은 제 1 층간 절연층(140)과 패터닝된 제 2 금속층 상에 형성된다. 상기 제 3 관통홀(160a-2)은 제 2 스위치 트랜지스터(T21)의 소스(S21)에 제 2 데이터 라인(D2)이 전기적으로 연결되는 것을 가능하도록 하기 위해 사용된다. 또한, 상기 OLED 디스플레이 패널은 개구(160b)를 더 구비한다. 상기 개구(160b)는 제 2 층간 절연층(160)을 관통하고, 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)를 정확히 대면한다.

[0083] 주로 도 8a, 도 8b 및 도 8c를 참조하면, 상기 OLED 디스플레이 패널은 패터닝된 제 3 금속층을 더 구비한다. 상기 패터닝된 제 3 금속층은 제 2 층간 절연층(160)과 개구(160b) 상에 형성되고, 제 2 데이터 라인(D2), 제 2 스위치 트랜지스터(T21)의 소스(S21), 그리고 제 1 저장 커패시터(C1)의 제 2 전극(즉, 상부 플레이트(C1-2))의 역할을 한다.

[0084] 주로 도 9a, 도 9b 및 도 9c를 참조하면, 상기 OLED 디스플레이 패널은 제 3 층간 절연층(180)과 제 4 관통홀들(180a, 180a-1, 180a-2, 180a-3 및 180a-4)을 더 구비한다. 상기 제 3 층간 절연층(180)은 제 2 층간 절연층(160)과 패터닝된 제 3 금속층 상에 형성되고, 상기 제 4 관통홀들(180a, 180a-1, 180a-2, 180a-3 및 180a-4)은 제 1 구동 트랜지스터(T12)의 소스와 드레인, 제 2 구동 트랜지스터(T22)의 소스와 드레인, 전력 라인(VDD), 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)와 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)의 전기적 연결을 가능하도록 하기 위해 사용된다.

[0085] 주로 도 10a, 도 10b 및 도 10c를 참조하면, 상기 OLED 디스플레이 패널은 패터닝된 제 4 금속층을 더 구비한다. 상기 패터닝된 제 4 금속층은 제 3 층간 절연층(180) 상에 형성되고, 제 1 구동 트랜지스터(T12)의 소스(S12)와 드레인(D12), 제 2 구동 트랜지스터(T22)의 소스(S22)와 드레인(D22), 그리고 전력 라인(VDD)의 역할을 한다.

[0086] 주로 도 11a, 도 11b 및 도 11c를 참조하면, 상기 OLED 디스플레이 패널은 패시베이팅된 절연층(200)과 콘택홀들(200a-1 및 200a-2)을 더 구비한다. 상기 패시베이팅된 절연층(200)은 제 3 층간 절연층(180)과 패터닝된 제 4 금속층 상에 형성된다. 상기 콘택홀(200a-1)은 제 1 구동 트랜지스터(T12)의 드레인을 제 1 OLED의 양극(221)에 전기적으로 연결 가능하도록 하기 위해 사용되고, 상기 콘택홀(200a-2)은 제 2 구동 트랜지스터(T22)의 드레인을 제 2 OLED의 양극(222)에 전기적으로 연결 가능하도록 하기 위해 사용된다.

[0087] 본 발명의 제 1 실시예에 따른 OLED 디스플레이 패널의 제조 과정을 도시하는 상면도와 개략적인 단면도를 참조하여, 본 실시예의 기술적 해결 수단을 하기에서 더 설명한다. 하기 설명에서, 본 발명에서 참조하는 리소그래피 과정은 포토레지스트 코팅 단계, 마스크 단계, 노광 단계, 에칭 단계, 포토레지스트 제거(stripping) 단계 등을 구비한다. 포지티브 포토레지스트가 상기 포토레지스트의 일례로 사용된다.

[0088] 도 2a는 본 발명의 제 1 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 2b는 본 발명의 제 1 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 2c는 본 발명의 제 1 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0089] 도 2a, 도 2b 및 도 2c에 도시된 바와 같이, 먼저 기판(100)이 제공된다. 상기 기판(100)은 대개 투명 기판이다. 구체적으로, 상기 투명 기판은, 투명 유리 기판이나 투명 플라스틱 기판처럼 경질 기판이거나 플렉서

를 기관일 수 있다. 상기 투명 기관은 평평한 형태, 곡선 형태, 또는 다른 불규칙한 형태를 가질 수 있다. 상기 투명 기관의 물질과 형태는 이에 한정되지 않음을 유의해야 한다.

[0090] 도 2a, 도 2b 및 도 2c를 계속 참조하면, 다음으로, 실리콘 아일랜드가 기관(100) 상에 형성된다. 상기 실리콘 아일랜드를 형성하는 구체적인 과정은 다음과 같다: 기관(100) 상에 화학 증착(CVD) 공정을 이용하여 비정질 실리콘층(a-Si)을 형성하는 단계; 상기 비정질 실리콘층을 다결정 실리콘층(P-Si)으로 변환하기 위해, 상기 비정질 실리콘층에 엑시머 레이저 어닐링(ELA), 고상 결정화(solid phase crystallization (SPC)), 또는 금속 유도 결정화(metal induced crystallization (MIC)) 같은 공정을 적용하는 단계; 및 상기 실리콘 아일랜드를 형성하기 위해, 제 1 포토리소그래피 공정을 실시하고 상기 다결정 실리콘층을 패터닝하는 단계. 상기 실리콘 아일랜드는 제 1 스위치 트랜지스터(T11)의 능동층, 제 1 구동 트랜지스터(T12)의 능동층, 제 2 스위치 트랜지스터(T21)의 능동층, 그리고 제 2 구동 트랜지스터(T22)의 능동층으로 사용된다. 구체적으로, 상기 실리콘 아일랜드는 제 1 스위치 트랜지스터(T11), 제 1 구동 트랜지스터(T12), 제 2 스위치 트랜지스터(T21), 그리고 제 2 구동 트랜지스터(T22)의 소스들과 드레인들의 위치에 해당한다.

[0091] 주로 도 2a를 참조하면, 본 실시예에 있어서, 상기 실리콘 아일랜드는 제 1 세그먼트(111-1), 제 2 세그먼트(111-2), 제 3 세그먼트(112-1), 제 4 세그먼트(112-2), 제 5 세그먼트(113) 및 제 6 세그먼트(114)를 구비한다. 상기 6개의 세그먼트 각각은 실질적으로 스트립(strip) 형태를 가진다. 제 1 세그먼트(111-1), 제 2 세그먼트(111-2), 제 3 세그먼트(112-1), 제 4 세그먼트(112-2) 및 제 5 세그먼트(113)는 X 방향으로 연장되고, 제 6 세그먼트(114)는 Y 방향으로 연장된다. 제 1 세그먼트(111-1)와 제 3 세그먼트(112-1)는 서로 절연된 스트립 구조이다. 제 1 세그먼트(111-1)는 제 1 서브픽셀에서 제 1 스위치 트랜지스터(T11)의 능동층으로 사용되고, 제 3 세그먼트(112-1)는 제 2 서브픽셀에서 제 2 스위치 트랜지스터(T21)의 능동층으로 사용된다. 또한, 제 1 세그먼트(111-1)와 제 3 세그먼트(112-1)는 거울 대칭을 이루도록 배열된다. 제 5 세그먼트(113)는 제 2 세그먼트(111-2)와 제 4 세그먼트(112-2) 사이에 위치한다. 제 2 세그먼트(111-2)와 제 4 세그먼트(112-2)는 거울 대칭을 이루도록 배열된다. 제 6 세그먼트(114)는, E 형태의 구조를 형성하기 위해 제 2 세그먼트(111-2), 제 4 세그먼트(112-2), 그리고 제 5 세그먼트(113)의 단부들에 연결된다. 제 2 세그먼트(111-2), 제 4 세그먼트(112-2), 제 5 세그먼트(113) 및 제 6 세그먼트(114)는 함께 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)의 능동층으로서 역할을 한다(즉, 제 5 세그먼트(113)는 상기 두 개의 구동 트랜지스터에 의해 공유된다). 본 발명의 다른 실시예에서, 상기 실리콘 아일랜드의 형태를 적절히 변경할 수 있음을 유의해야 한다. 예를 들면, 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)의 능동층들도 동일한 개구 방향을 가지는 두 개의 U 형태의 구조일 수 있다(즉, 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)는 능동층을 공유하지 않는다). 본 발명은 상기 실리콘 아일랜드의 특정 형태를 한정하지 않는다.

[0092] 바람직하게는, 도 2b와 도 2c에 도시된 바와 같이, 실리콘 아일랜드가 기관(100) 상에 형성되기 이전에, 버퍼층(101)이 기관(100) 상에 먼저 형성될 수 있고, 상기 버퍼층(110)의 물질은, 예를 들면, 질화 실리콘이나 산화 실리콘이다. 실리콘 아일랜드를 기관(100) 상에 형성한 후, 실리콘 아일랜드의 소정 영역에 용이하게 이온을 주입하기 위해, 제 2 포토리소그래피 공정을 실시한다. 도 2a에서 점선 박스에 의해 지시된 바와 같이, 본 실시예에서는 제 1 스위치 트랜지스터(T11)의 드레인 영역과 제 2 스위치 트랜지스터(T21)의 드레인 영역에 이온 주입을 실시하여, 이들의 전도 특성을 개선한다.

[0093] 도 3a는 본 발명의 제 1 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 3b는 본 발명의 제 1 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 3c는 본 발명의 제 1 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0094] 도 3a, 도 3b 및 도 3c에 도시된 바와 같이, 게이트 절연층(120)은 CVD 공정을 이용하여 실리콘 아일랜드와 덮지 않은 버퍼층(101) 상에 형성되고, 상기 게이트 절연층(120)에 제 1 관통홀들(120a-1 및 120a-2)을 오픈하기 위해 제 3 포토리소그래피 공정을 실시한다. 제 1 관통홀(120a-1)은 실리콘 아일랜드의 제 1 세그먼트(111-1)의 일단에 위치하고, 이후 형성되는 제 1 스위치 트랜지스터(T11)의 드레인(D11)과 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)를 연결하기 위해 이용된다. 제 1 관통홀(120a-2)은 실리콘 아일랜드의 제 3 세그먼트(112-1)의 일단에 위치하고, 이후 형성되는 제 2 스위치 트랜지스터(T21)의 드레인(D21)과 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1)를 연결하기 위해 이용된다. 본 실시예에서, 게이트 절연층(120)의 물질은, 예를 들면, 산화물, 질화물 또는 산화질화물이다. 분명히, 다른 절연 물질들도 상기 게이트 절연층(120)을 증착하는데 이용될 수 있고, 본 발명에서는 이들 물질이 한정되지 않는다.

- [0095] 도 4a는 본 발명의 제 1 실시예에 따라, (제 4 포토리소그래피 공정에 의해) 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 4b는 본 발명의 제 1 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 4c는 본 발명의 제 1 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0096] 도 4a, 도 4b 및 도 4c를 참조하면, 그리고 나서 스퍼터링 공정이나 증착 공정에 의해 제 1 금속층을 게이트 절연층(120) 상에 형성한다. 제 1 스위치 트랜지스터(T11)의 게이트(G11), 제 1 구동 트랜지스터(T12)의 게이트(G12), 제 2 스위치 트랜지스터(T21)의 게이트(G21), 제 2 구동 트랜지스터(T22)의 게이트(G22), 스캔 라인(Sn), 제 1 저장 커패시터(C1)의 제 1 전극(즉, 하부 플레이트(C1-1)) 및 제 2 저장 커패시터(C2)의 제 1 전극(즉, 하부 플레이트(C2-1))을 각각 형성하기 위해, 제 1 금속층을 패터닝하도록 제 4 포토리소그래피 공정을 실시한다. 크롬(Cr), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 알루미늄(Al), 또는 구리(Cu), 또는 합금으로 형성된 단일-층 막을 제 2 금속층으로 사용할 수 있다. 또는 다층 금속 박막들로 형성된 복합 박막을 제 2 금속층으로 사용할 수 있다.
- [0097] 주로 도 4a를 참조하면, 본 실시예에서, 제 1 저장 커패시터(C1)의 제 1 전극(즉, 하부 플레이트(C1-1)) 및 제 2 저장 커패시터(C2)의 제 1 전극(즉, 하부 플레이트(C2-1))는 대칭적으로 분포된다. 바람직하게는, 이들 각각이 직사각형 형태를 가지고 면적이 동일하다. 도 4b 및 도 4c에 도시된 바와 같이, 제 1 스위치 트랜지스터(T11)의 드레인(D11)은 제 1 관통홀(120a-1)을 통해 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)에 연결되고, 제 2 스위치 트랜지스터(T21)의 드레인(D21)은 제 1 관통홀(120a-2)을 통해 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1)에 연결된다. 제 1 구동 트랜지스터(T12)의 게이트(G12)와 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)는 (도 4a에 도시된 바와 같이) 실제로 일체형 구조를 이룬다. 그러나, 하기에서 제 1 구동 트랜지스터(T12)와 제 1 저장 커패시터(C1)의 구조적 특징을 용이하게 설명하기 위해, 상기 게이트(G12)와 하부 플레이트(C1-1)는 도 4b에 일체적으로 연결된 것으로 도시되지는 않는다. 마찬가지로, 제 2 구동 트랜지스터(T22)의 게이트(G22)와 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1)는 (도 4a에 도시된 바와 같이) 실제로 일체형 구조를 이룬다. 그러나, 하기에서 제 2 구동 트랜지스터(T22)와 제 2 저장 커패시터(C2)의 구조적 특징을 용이하게 설명하기 위해, 상기 게이트(G22)와 하부 플레이트(C2-1)는 도 4c에 일체적으로 연결된 것으로 도시되지는 않는다.
- [0098] 도 5a는 본 발명의 제 1 실시예에 따라, (제 5 포토리소그래피 공정에 의해) 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 5b는 본 발명의 제 1 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 5c는 본 발명의 제 1 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0099] 도 5a, 도 5b 및 도 5c를 참조하면, 제 1 층간 절연층(140)은 CVD 공정을 이용하여 형성되고, 그리고 나서 상기 제 1 층간 절연층(140)과 게이트 절연층(120)에 제 2 관통홀(140a-1)을 오픈하기 위해 제 5 포토리소그래피 공정을 실시한다. 제 2 관통홀(140a-1)은 제 1 스위치 트랜지스터(T11)의 소스의 위치에 해당하고, 이후 형성되는 제 1 데이터 라인(D1)과 제 1 스위치 트랜지스터(T11)의 소스(S11)간의 전기적 연결을 가능하도록 하기 위해 이용된다. 구체적으로, 상기 제 2 관통홀(140a-1)은 실리콘 아일랜드의 제 1 세그먼트(111-1)의 타단에 위치하고, 제 1 세그먼트(111-1)의 상측에 있는 제 1 층간 절연층(140)과 게이트 절연층(120)을 관통한다. 본 실시예에서, 제 1 층간 절연층(140)의 물질은, 예를 들면, 산화물, 질화물 또는 산화질화물이다. 분명히, 다른 절연 물질들도 상기 제 1 층간 절연층(140)을 증착하는데 이용될 수 있고, 본 발명에서는 이들 물질이 한정되지 않는다.
- [0100] 도 6a는 본 발명의 제 1 실시예에 따라, (제 6 포토리소그래피 공정에 의해) 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 6b는 본 발명의 제 1 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 6c는 본 발명의 제 1 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0101] 도 6a, 도 6b 및 도 6c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정에 의해 제 2 금속층을 제 1 층간 절연층(140) 상에 형성한다. 제 1 데이터 라인(D1), 제 1 스위치 트랜지스터(T11)의 소스(S11) 및 제 2 저장 커패시터(C2)의 제 2 전극(즉, 상부 플레이트(C2-2))을 각각 형성하기 위해, 제 2 금속층을 패터닝하도록 제 6 포토리소그래피 공정을 실시한다. 크롬(Cr), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 알루미늄(Al) 또는

구리(Cu), 또는 합금으로 형성된 단일-층 막을 제 2 금속층으로 사용할 수 있다. 또는 다층 금속 박막들로 형성된 복합 박막을 제 2 금속층으로 사용할 수 있다. 주로 도 6a를 참조하면, 본 실시예에서, 제 1 데이터 라인(D1)은 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)에 평행하다. 제 1 데이터 라인(D1)과 제 1 스위치 트랜지스터(T11)의 소스(S11)는 일체형 구조를 이룬다. 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)는 직사각형 형태를 가지고, 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1) 바로 위에 위치한다. 마지막으로, 제 2 저장 커패시터(C2)가 형성되며, 이는 하부 플레이트(C2-1), 상부 플레이트(C2-2), 그리고 하부 플레이트(C2-1)와 상부 플레이트(C2-2) 사이에 형성되는 제 1 층간 절연층(140)으로 이루어진다.

[0102] 도 7a는 본 발명의 제 1 실시예에 따라, (제 7 포토리소그래피 공정에 의해) 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 7b는 본 발명의 제 1 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 7c는 본 발명의 제 1 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0103] 도 7a, 도 7b 및 도 7c를 참조하면, 제 2 층간 절연층(160)은 CVD 공정을 이용하여 형성되고, 그리고 나서 상기 제 2 층간 절연층(160), 제 1 층간 절연층(140) 및 게이트 절연층(120)에 제 3 관통홀(160a-2)을 오픈하기 위해 제 7 포토리소그래피 공정을 실시한다. 제 3 관통홀(160a-2)은 제 2 스위치 트랜지스터(T21)의 소스의 위치에 해당하고, 이후 형성되는 제 2 데이터 라인(D2)과 제 2 스위치 트랜지스터(T21)의 소스(S21)간의 전기적 연결을 가능하도록 하기 위해 이용된다. 구체적으로, 상기 제 3 관통홀(160a-2)은 실리콘 아일랜드의 제 3 세그먼트(112-1)의 타단에 위치한다. 즉, 제 3 관통홀(160a-2)은 실리콘 아일랜드의 제 3 세그먼트(112-1)의 상측에 있는 제 2 층간 절연층(160), 제 1 층간 절연층(140) 및 게이트 절연층(120)을 관통한다. 본 실시예에서, 제 2 층간 절연층(160)의 물질은, 예를 들면, 산화물, 질화물, 또는 산화질화물이다. 분명히, 다른 절연 물질들도 상기 제 2 층간 절연층(160)을 증착하는데 이용될 수 있고, 본 발명에서는 이들 물질이 한정되지 않는다.

[0104] 바람직한 해결 수단에서, 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)가 동일한 커패시턴스 값을 가지도록, 제 3 관통홀(160a-2)이 형성된 후 제 8 포토리소그래피 공정을 실시하여, 제 2 층간 절연층(160)에 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)를 정확히 대면하는 개구(160b)를 형성한다. 즉, 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)의 유전층들이 동일한 두께를 가지도록, 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1) 상측의 제 2 층간 절연층(160)을 제거한다. 즉 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2) 둘 다 제 1 층간 절연층(140)을 유전층으로 사용한다. 본 발명은 제 3 관통홀(160a-2)과 개구(160b)의 형성 순서를 한정하지 않음을 이해할 수 있을 것이다. 본 발명의 다른 실시예에서, 상기 개구(160b)는 제 3 관통홀(160a-2)이 형성되기 이전에 형성될 수 있다. 또한 상기 개구(160b)의 형성 단계를 생략할 수 있다. 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)가 동일한 커패시턴스 값을 가지도록, 제 1 저장 커패시터의 플레이트의 면적을 증가시키는 것과 같이, 다른 방식을 이용할 수 있다.

[0105] 도 8a는 본 발명의 제 1 실시예에 따라, (제 9 포토리소그래피 공정에 의해) 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 8b는 본 발명의 제 1 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 9c는 본 발명의 제 1 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0106] 도 8a, 도 8b 및 도 8c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정을 이용하여, 제 3 금속층을 제 2 층간 절연층(160) 상에 형성한다. 제 2 데이터 라인(D2), 제 2 스위치 트랜지스터(T21)의 소스(S21) 및 제 1 저장 커패시터(C1)의 제 2 전극(즉, 상부 플레이트(C1-2))를 각각 형성하기 위해, 제 3 금속층을 패터닝하도록 제 9 포토리소그래피 공정을 실시한다. 본 실시예에서, 제 1 데이터 라인(D1)과 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)는 동일 층에 위치하지 않고(즉, 이들은 서로 다른 구조층 상에 위치하고), 제 2 데이터 라인(D2)과 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)는 동일 층에 위치하지 않음으로써(즉, 이들은 서로 다른 구조층 상에 위치함으로써), 층내 거리(in-layer distance)를 감소시킨다(여기서, 층내 거리는 동일 층에 있는 데이터 라인과 저장 커패시터의 상부 플레이트 간의 거리를 의미한다). 결과적으로, 픽셀 영역이 감소되고, OLED 디스플레이 패널의 PPI가 개선되며, OLED 디스플레이 패널의 해상도가 증가된다. 크롬(Cr), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 알루미늄(Al) 또는 구리(Cu), 또는 합금으로 형성된 단일-층 막을 제 3 금속층으로 사용할 수 있다. 또는 다층 금속 박막들로 형성된 복합 박막을 제 3 금속층으로 사용할 수 있다. 주로 도 8a를 참조하면, 본 실시예에서, 제 1 저장 커패시터(C1)의 제 2 전극(즉, 상부 플레이트(C1-2))와 제 2 저장 커패시터(C2)의 제 2 전극(즉, 상부 플레이트(C2-2))는 대칭적으로 분포한다. 바람직하게는, 이들 각각이 직사각형 형

태를 가진다. 주로 도 8b와 도 8c를 참조하면, 제 2 데이터 라인(D2)은 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)에 평행하다. 제 2 데이터 라인(D2)과 제 2 스위치 트랜지스터(T21)의 소스(S21)는 실제로 일체형 구조를 이루고, 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)는 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1) 바로 위에 위치한다. 또한, 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)와 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1)는 면적이 동일하고, 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)와 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)는 면적이 동일하다.

[0107] 도 9a는 본 발명의 제 1 실시예에 따라, (제 10 포토리소그래피 공정에 의해) 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도식하는 개략적인 평면도이다. 도 9b는 본 발명의 제 1 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도식하는 개략적인 단면도이다. 도 9c는 본 발명의 제 1 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도식하는 개략적인 단면도이다.

[0108] 도 9a, 도 9b 및 도 9c에 도시된 바와 같이, 제 3 층간 절연층(180)은 CVD 공정을 이용하여 형성되고, 상기 제 3 층간 절연층(180)에 제 4 관통홀들(180a, 180a-1, 180a-2, 180a-3 및 180a-4)을 오픈하기 위해 제 9 포토리소그래피 공정을 실시한다. 제 4 관통홀들은 제 1 구동 트랜지스터(T12)의 소스 내지 드레인, 제 2 구동 트랜지스터(T22)의 소스 내지 드레인, 전력 라인(VDD), 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2) 및 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)의 전기적 연결을 가능하도록 하기 위해 사용된다.

[0109] 구체적으로, 제 4 관통홀(180a)은 제 1 구동 트랜지스터(T12)의 소스와 제 2 구동 트랜지스터(T22)의 소스의 위치에 해당하고, 실리콘 아일랜드의 제 5 세그먼트(113)(즉, 능동층(113))의 상측에 있는, 게이트 절연층(120), 제 1 층간 절연층(140), 제 2 층간 절연층(160) 및 제 3 층간 절연층(180)을 관통한다. 제 4 관통홀(180a-1)은 제 1 구동 트랜지스터(T12)의 드레인의 위치에 해당하고, 실리콘 아일랜드의 제 2 세그먼트(111-2)(즉, 능동층(111-2))의 상측에 있는 게이트 절연층(120), 제 1 층간 절연층(140), 제 2 층간 절연층(160) 및 제 3 층간 절연층(180)을 관통한다. 제 4 관통홀(180a-2)은 제 2 구동 트랜지스터(T22)의 드레인의 위치에 해당하고, 실리콘 아일랜드의 제 4 세그먼트(112-2)(즉, 능동층(112-2))의 상측에 있는, 게이트 절연층(120), 제 1 층간 절연층(140), 제 2 층간 절연층(160) 및 제 3 층간 절연층(180)을 관통한다. 제 4 관통홀(180a-3)은 제 1 저장 커패시터(C1)의 상측에 위치하고, 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)의 상측에 있는 제 3 층간 절연층(180)을 관통한다. 제 4 관통홀(180a-4)은 제 2 저장 커패시터(C2)의 상측에 위치하고, 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)의 상측에 있는, 제 2 층간 절연층(160) 및 제 3 층간 절연층(180)을 관통한다. 본 실시예에서, 제 3 층간 절연층(180)의 물질은, 예를 들면, 산화물, 질화물 또는 산화질화물이다. 분명히, 다른 절연 물질들도 상기 제 3 층간 절연층(180)을 증착하는데 이용될 수 있고, 본 발명에서는 이들 물질이 한정되지 않는다.

[0110] 도 10a는 본 발명의 제 1 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도식하는 개략적인 평면도이다. 도 10b는 본 발명의 제 1 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도식하는 개략적인 단면도이다. 도 10c는 본 발명의 제 1 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도식하는 개략적인 단면도이다.

[0111] 도 10a, 도 10b 및 도 10c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정에 의해 제 4 금속층을 제 3 층간 절연층(180) 상에 형성한다. 제 1 구동 트랜지스터(T12)의 소스(S12)와 드레인(D12), 제 2 구동 트랜지스터(T22)의 소스(S22)와 드레인(D22) 및 전력 라인(VDD)을 형성하기 위해, 제 4 금속층을 패터닝하도록 제 11 포토리소그래피 공정을 실시한다. 크롬(Cr), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 알루미늄(Al) 또는 구리(Cu), 또는 합금으로 형성된 단일-층 막을 제 4 금속층으로 사용할 수 있다. 또는 다층 금속 박막들로 형성된 복합 박막을 제 4 금속층으로 사용할 수 있다. 주로 도 10a를 참조하면, 본 실시예에서, 제 4 금속층은 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)의 상측에 위치한다. 전력 라인(VDD), 제 1 구동 트랜지스터(T12)의 소스(S12) 및 제 2 구동 트랜지스터(T22)의 소스(S22)는 실제로 일체형 구조를 이룬다. 보다 구체적으로, 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)는 소스를 공유한다. 제 1 구동 트랜지스터(T12)의 드레인(D12)과 제 2 구동 트랜지스터(T22)의 드레인(D22)은 전력 라인(VDD)에 대해 거울 대칭을 이루도록 배열된다. 마찬가지로, 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2) 또한 전력 라인(VDD)에 대해 거울 대칭을 이루도록 배열된다.

[0112] 도 11a는 본 발명의 제 1 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도식하는 개략적인 평면도이다. 도 11b는 본 발명의 제 1 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이

패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 11c는 본 발명의 제 1 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다. 도 11a는 본 발명의 제 1 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다.

[0113] 도 11a, 도 11b 및 도 11c에 도시된 바와 같이, 패시베이팅된 절연층(200)은 CVD 공정을 이용하여 전력 라인(VDD)과 상기 전력 라인(VDD)에 의해 가려지지 않은 제 3 층간 절연층(180) 상에 형성되고, 상기 패시베이팅된 절연층(200)에 콘택홀들(200a-1 및 200a-2)을 형성하기 위해, 제 12 포토리소그래피 공정을 실시한다. 상기 콘택홀들(200a-1 및 200a-2)은 제 1 구동 트랜지스터(T12) 및 제 2 구동 트랜지스터(T22)의 드레인들의 위치에 해당한다. 구체적으로, 상기 콘택홀들은 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)의 드레인들 상측의 패시베이팅된 절연층(200)을 관통한다. 본 실시예에서, 상기 패시베이팅된 절연층(200)의 물질은, 예를 들면, 산화물, 질화물 또는 산화질화물이다. 분명히, 다른 절연 물질들도 상기 패시베이팅된 절연층(200)을 증착하는데 이용될 수 있고, 본 발명에서는 이들 물질이 한정되지 않는다.

[0114] 그리고 나서, 도 12a, 도 12b 및 도 12c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정을 이용하여 전극층을 상기 패시베이팅된 절연층(200) 상에 형성한다. 제 1 OLED의 양극(221)과 제 2 OLED의 양극(222)을 형성하기 위해, 제 13 포토리소그래피 공정을 실시하여 전극층을 패터닝한다. 제 1 OLED의 양극(221)은 상기 콘택홀(200a-1)을 통해 제 1 구동 트랜지스터(T12)의 드레인(D12)에 전기적으로 연결된다. 제 2 OLED의 양극(222)은 상기 콘택홀(200a-2)을 통해 제 2 구동 트랜지스터(T22)의 드레인(D22)에 전기적으로 연결된다. 상기 전극층은 인듐 주석 산화물(indium tin oxide), 아연 산화물, 인듐 아연 산화물, 은, 금 및 알루미늄 중 하나 혹은 그 이상을 이용하여 형성된다.

[0115] 도 12b를 계속 참조하면, 제 1 구동 트랜지스터(T12)의 소스(S12)는 제 4 관통홀(180a)을 통해 제 1 구동 트랜지스터(T12)의 능동층(112-1)에 전기적으로 연결된다. 또한, 제 1 구동 트랜지스터(T22)의 소스(S12)는 제 4 관통홀(180a-3)을 통해 전력 라인(VDD)과 제 1 저장 커패시터(C2)의 제 2 전극(즉, 상부 플레이트(C1-2))에 전기적으로 연결된다.

[0116] 도 12c를 계속 참조하면, 제 2 구동 트랜지스터(T22)의 소스(S22)는 제 4 관통홀(180a)을 통해 제 2 구동 트랜지스터(T22)의 능동층(112-2)에 전기적으로 연결된다. 또한, 제 2 구동 트랜지스터(T22)의 소스(S22)는 제 4 관통홀(180a-4)을 통해 전력 라인(VDD)과 제 2 저장 커패시터(C2)의 제 2 전극(즉, 상부 플레이트(C2-2))에 전기적으로 연결된다.

[0117] 또한 제 1 OLED의 양극(221)과 제 2 OLED의 양극(222)이 형성된 후, 픽셀 제한층이 종래의 과정을 이용하여 더 형성된다. 상기 OLED 장치의 제조를 마무리하기 위해, 이후 발광층과 음극을 종래의 공정을 이용하여 형성할 수 있다. 여기에서 상세 설명은 하지 않는다.

[0118] 요약하면, 본 실시예의 OLED 디스플레이 패널에 있어서, 두 개의 서브픽셀이 하나의 그룹을 형성하고, 전력 라인(VDD)에 대해 거울 대칭을 이루도록 배열된다. 동일 픽셀 그룹에 속하는 두 개의 서브픽셀에 연결된 데이터 라인들은 서로 다른 구조층 상에 위치한다. 따라서, 동일 층에 있는 인접 데이터 라인들간의 거리는 픽셀 영역의 감소없이 두배가 되고, 서로 다른 층에 있는 인접 데이터 라인들은 층간 절연층에 의해 절연됨으로써, 데이터 라인들간의 단락 발생 확률을 효과적으로 감소시킨다. 또한, 상기 데이터 라인 사이의 크로스토크가 상당히 제거되어 수율 뿐만 아니라 제품의 화질도 개선된다. 동일 픽셀 그룹에 있는 두 개의 서브픽셀에 연결된 해당 데이터 라인들은 서로 다른 구조층 상에 배치되므로, 픽셀 영역은 기존 장치와 공정 조건을 바탕으로 하여 감소될 수 있고, 이로써 OLED 디스플레이 패널의 PPI와 해상도가 개선된다. 또한, 제 1 데이터 라인(D1)과 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)는 서로 다른 층상에 위치하고, 제 2 데이터 라인(D2)과 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)가 서로 다른 층상에 위치한다. 예를 들면, 제 1 데이터 라인(D1)과 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)가 함께 형성되고, 제 2 데이터 라인(D2)과 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)가 함께 형성된다. 따라서, 동일 층 상에 있는 데이터 라인과 저장 커패시터의 상부 플레이트간의 거리가 감소될 수 있어 픽셀 영역이 더 감소되고, OLED 디스플레이 패널의 PPI가 개선되고, OLED 디스플레이 패널의 해상도가 향상된다.

[0119] 실시예 2

[0120] 본 실시예에서, 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)와 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)는 한번의 공정을 통해 일체형 구조를 이룬다.

[0121] 도 19a, 도 20a 및 도 21a를 계속 참조하면, 제 1 데이터 라인(D1), 제 2 데이터 라인(D2), 그리고 전력 라인

(VDD)는 서로 평행한다. 스캔 라인(Sn)은 전력 라인(VDD)에 수직이다. 또한, 제 1 데이터 라인(D1)과 제 2 데이터 라인(D2)은 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다. 또한, 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)는 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열되고, 제 1 스위치 트랜지스터(T11)와 제 2 스위치 트랜지스터(T21)는 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열되며, 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)는 전력 라인(VDD)에 대하여 거울 대칭을 이루도록 배열된다.

[0122] 구체적으로, 본 실시예에서, 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)와 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)는 일체형 구조를 이루고, 둘 다 직사각형 형태를 가진다. 제 1 저장 커패시터(C1)의 하부 플레이트(C1-1)와 제 2 저장 커패시터(C2)의 하부 플레이트(C2-1) 역시 둘 다 직사각형이다.

[0123] 본 실시예의 기술적 해결 수단은 본 발명의 제 1 실시예에 따른 OLED TFT-LCD 어레이 기판의 제조 과정을 도시하는 상면도와 개략적인 단면도를 참조하여 하기에서 더 설명한다.

[0124] 도 13a는 본 발명의 제 2 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 13b는 본 발명의 제 2 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 13c는 본 발명의 제 2 실시예에 따라, 실리콘 아일랜드를 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0125] 도 13a, 도 13b 및 도 13c에 도시된 바와 같이, 기판(100)이 제공된다. 그리고 나서, 실리콘 아일랜드가 기판(100) 상에 형성된다. 상기 실리콘 아일랜드는 제 1 스위치 트랜지스터(T11), 제 1 구동 트랜지스터(T12), 제 2 스위치 트랜지스터(T21), 그리고 제 2 구동 트랜지스터(T22)를 위한 능동층으로 사용된다. 본 실시예에서, 상기 실리콘 아일랜드를 기판(100) 상에 형성하기 이전에, 버퍼층(101)을 기판(100) 상에 먼저 형성한다. 바람직하게는, 실리콘 아일랜드를 기판(100) 상에 형성한 후, 실리콘 아일랜드의 소정 영역에 이온 주입을 실시하기 위해, 제 2 포토리소그래피 공정을 실시한다.

[0126] 도 14a는 본 발명의 제 2 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 14b는 본 발명의 제 2 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 14c는 본 발명의 제 2 실시예에 따라, 제 1 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0127] 도 14a, 도 14b 및 도 14c에 도시된 바와 같이, 게이트 절연층(120)은 CVD 공정을 이용하여 실리콘 아일랜드와 가려지지 않은 버퍼층(101) 상에 형성되고, 상기 게이트 절연층(120)에 제 1 관통홀들(120a-1 및 120a-2)을 오픈하기 위해 제 3 포토리소그래피 공정을 실시한다.

[0128] 도 15a는 본 발명의 제 2 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 15b는 본 발명의 제 2 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 15c는 본 발명의 제 2 실시예에 따라, 제 1 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0129] 도 15a, 도 15b 및 도 15c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정에 의해 제 1 금속층을 상기 게이트 절연층(120) 상에 형성한다. 제 1 스위치 트랜지스터(T11)의 게이트(G11), 제 1 구동 트랜지스터(T12)의 게이트(G12), 제 2 스위치 트랜지스터(T21)의 게이트(G21), 제 2 구동 트랜지스터(T22)의 게이트(G22), 스캔 라인(Sn), 제 1 저장 커패시터(C1)의 제 1 전극(즉, 하부 플레이트(C1-1)) 및 제 2 저장 커패시터(C2)의 제 1 전극(즉, 하부 플레이트(C2-1))를 각각 형성하기 위해, 제 1 금속층을 패터닝하도록 제 4 포토리소그래피 공정을 실시한다.

[0130] 도 16a는 본 발명의 제 2 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 16b는 본 발명의 제 2 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 16c는 본 발명의 제 2 실시예에 따라, 제 2 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0131] 도 16a, 도 16b 및 도 16c를 참조하면, 제 1 층간 절연층(140)은 CVD 공정을 이용하여 형성되고, 상기 제 1 층간 절연층(140)과 게이트 절연층(120)에 제 2 관통홀(140a-1)을 오픈하기 위해 제 5 포토리소그래피 공정을 실시한다. 제 2 관통홀(140a-1)은 제 1 스위치 트랜지스터(T11)의 소스의 위치에 해당하고, 이후 형성되는 제 1 데이터 라인(D1)과 제 1 스위치 트랜지스터(T11)의 소스(S11)간의 전기적 연결을 가능하도록 하기 위해 이용된다.

- [0132] 도 17a는 본 발명의 제 2 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 17b는 본 발명의 제 2 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 17c는 본 발명의 제 2 실시예에 따라, 제 2 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0133] 도 17a, 도 17b 및 도 17c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정에 의해 제 2 금속층을 상기 제 1 층간 절연층(140) 상에 형성한다. 제 1 데이터 라인(D1), 제 1 스위치 트랜지스터(T11)의 소스(S11), 제 1 저장 커패시터(C1)의 제 2 전극(즉, 상부 플레이트(C1-2)) 및 제 2 저장 커패시터(C2)의 제 2 전극(즉, 상부 플레이트(C2-2))를 각각 형성하기 위해, 제 1 금속층을 패터닝하도록 제 6 포토리소그래피 공정을 실시한다.
- [0134] 주로 도 17a를 참고하면, 본 실시예와 제 1 실시예간의 차이점은, 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2)와 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)는 한 번의 공정을 통해 일체적인 구조를 이룬다는 것이다. 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)의 상부 플레이트들이 동시에 형성되므로, 제 1 저장 커패시터(C1)와 제 2 저장 커패시터(C2)에 대해 동일한 커패시턴스 값 보장하기 위해 추가적으로 개구를 형성할 필요가 없다. 따라서, 제 1 실시예에 따른 해결 수단과 비교하면, 본 해결 수단이 공정이 더 단순하고 비용이 덜 든다.
- [0135] 도 18a는 본 발명의 제 2 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 18b는 본 발명의 제 2 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 18c는 본 발명의 제 2 실시예에 따라, 제 3 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0136] 도 18a, 도 18b 및 도 18c에 도시된 바와 같이, 제 2 층간 절연층(160)은 CVD 공정을 이용하여 형성되고, 상기 제 2 층간 절연층(160), 제 1 층간 절연층(140) 및 게이트 절연층(120)에 제 3 관통홀(160a-2)을 오픈하기 위해 제 7 포토리소그래피 공정을 실시한다. 제 3 관통홀(160a-2)은 제 2 스위치 트랜지스터(T21)의 소스의 위치에 해당하고, 이후 형성되는 제 2 데이터 라인(D2)과 제 2 스위치 트랜지스터(T21)의 소스(S21)간의 전기적 연결을 가능하도록 하기 위해 이용된다.
- [0137] 도 19a는 본 발명의 제 2 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 19b는 본 발명의 제 2 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 19c는 본 발명의 제 2 실시예에 따라, 제 3 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0138] 도 19a, 도 19b 및 도 19c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정에 의해 제 3 금속층을 상기 제 2 층간 절연층(160) 상에 형성한다. 제 2 데이터 라인(D2)과 제 2 스위치 트랜지스터(T21)의 소스(S21)를 형성하기 위해, 제 3 금속층을 패터닝하도록 제 8 포토리소그래피 공정을 실시한다. 본 실시예에서, 제 2 데이터 라인(D2)과 제 2 스위치 트랜지스터(T21)의 소스(S21)는 일체적인 구조를 이룬다.
- [0139] 도 20a는 본 발명의 제 2 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 20b는 본 발명의 제 2 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 20c는 본 발명의 제 2 실시예에 따라, 제 4 관통홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0140] 도 20a, 도 20b 및 도 20c에 도시된 바와 같이, 제 3 층간 절연층(180)은 CVD 공정을 이용하여 형성되고, 상기 제 3 층간 절연층(180)에 제 4 관통홀들(180a, 180a-1, 180a-2, 180a-3 및 180a-4)을 오픈하기 위해 제 8 포토리소그래피 공정을 실시한다. 제 4 관통홀들은 제 1 구동 트랜지스터(T12)의 소스 내지 드레인, 제 2 구동 트랜지스터(T22)의 소스 내지 드레인, 전력 라인(VDD), 제 1 저장 커패시터(C1)의 상부 플레이트(C1-2) 및 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)의 전기적 연결을 가능케 하기 위해 사용된다.
- [0141] 도 21a는 본 발명의 제 2 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 21b는 본 발명의 제 2 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 21c는 본 발명의 제 2 실시예에 따라, 제 4 금속층을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.
- [0142] 도 21a, 도 21b 및 도 21c에 도시된 바와 같이, 스퍼터링 공정이나 증착 공정에 의해 제 4 금속층을 상기 제 3 층간 절연층(180) 상에 형성한다. 제 1 구동 트랜지스터(T12)의 소스(S12)와 드레인(D12), 제 2 구동 트랜지스

터(T22)의 소스(S22)와 드레인(D22) 및 전력 라인(VDD)를 형성하기 위해, 제 4 금속층을 패터닝하도록 제 10 포토리소그래피 공정을 실시한다.

[0143] 도 22a는 본 발명의 제 2 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 22b는 본 발명의 제 2 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 22c는 본 발명의 제 2 실시예에 따라, 콘택홀을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0144] 도 22a, 도 22b 및 도 22c에 도시된 바와 같이, 패시베이팅된 절연층(200)은 CVD 공정을 이용하여 전력 라인(VDD)과 상기 전력 라인(VDD)에 의해 가려지지 않은 제 3 층간 절연층(180) 상에 형성되고, 상기 패시베이팅된 절연층(200)에 콘택홀(200a)을 형성하기 위해, 제 11 포토리소그래피 공정을 실시한다. 상기 콘택홀(200a)은 제 1 구동 트랜지스터(T12) 및 제 2 구동 트랜지스터(T22)의 드레인들의 위치에 해당한다. 구체적으로, 상기 콘택홀은 제 1 구동 트랜지스터(T12)와 제 2 구동 트랜지스터(T22)의 드레인들 상측의 패시베이팅된 절연층(200)을 관통한다.

[0145] 도 23a는 본 발명의 제 2 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 픽셀 그룹을 도시하는 개략적인 평면도이다. 도 23b는 본 발명의 제 2 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 제 1 서브픽셀을 도시하는 개략적인 단면도이다. 도 23c는 본 발명의 제 2 실시예에 따라, 양극을 형성한 후, OLED 디스플레이 패널의 제 2 서브픽셀을 도시하는 개략적인 단면도이다.

[0146] 도 23a, 도 23b 및 도 23c에 도시된 바와 같이, 스퍼터링이나 증착 공정을 이용하여 전극층을 상기 패시베이팅된 절연층(200) 상에 형성한다. 제 1 OLED의 양극(221)과 제 2 OLED의 양극(222)을 형성하기 위해, 제 12 포토리소그래피 공정을 실시하여 전극층을 패터닝한다. 제 1 OLED의 양극(221)은 콘택홀(200a)을 통해 제 1 구동 트랜지스터(T12)의 드레인(D12)에 전기적으로 연결된다. 제 2 OLED의 양극(222)은 콘택홀(200a)을 통해 제 2 구동 트랜지스터(T22)의 드레인(D22)에 전기적으로 연결된다.

[0147] 또한 제 1 OLED의 양극(221)과 제 2 OLED의 양극(222)이 형성된 후, 픽셀 제한층이 종래의 공정을 이용하여 더 형성될 수 있다. 상기 OLED 장치의 제조를 마치기 위해, 이후 발광층과 음극도 종래의 공정을 이용하여 형성될 수 있다. 여기에서 상세한 설명은 하지 않는다.

[0148] 요약하면, 제 2 실시예의 OLED 디스플레이 패널에 있어서, 두 개의 서브픽셀이 하나의 그룹을 형성하고, 전력 라인(VDD)에 대해 거울 대칭을 이루도록 배열된다. 상기 두 개의 서브픽셀에 연결된 데이터 라인들은 서로 다른 구조층 상에 위치한다. 따라서, 인접 데이터 라인들간의 층내 거리는 픽셀 영역의 감소없이 두배가 되고, 서로 다른 층에 있는 인접 데이터 라인들은 층간 절연층에 의해 절연됨으로써, 데이터 라인들간의 단락 발생 확률을 효과적으로 감소시킨다. 또한, 상기 데이터 라인 사이의 크로스토크가 상당히 제거되어 수율 뿐만 아니라 제품의 화질도 개선된다. 동일 픽셀 그룹에 있는 두 개의 서브픽셀에 연결된 해당 데이터 라인들은 서로 다른 구조층 상에 배치되므로, 픽셀 영역은 기존 장치와 공정 조건을 바탕으로 감소될 수 있고, 이로써 OLED 디스플레이 패널의 PPI와 해상도가 개선된다. 또한, 제 1 저장 커패시터(C2)의 상부 플레이트(C1-2)와 제 2 저장 커패시터(C2)의 상부 플레이트(C2-2)가 한 번의 공정으로 형성됨으로써, 제조 과정이 단순해지고 비용도 줄어든다.

[0149] 명세서의 실시예들을 순차적으로 기술하였으며, 각 실시예는 다른 실시예와 다른 부분을 강조하며, 상기 실시예들에서 동일하거나 유사한 부분들은 상호 참조하여 파악할 수 있음을 유의해야 한다. 상기 실시예들에서 개시된 구조는 상기 실시예들에 개시된 방법에 해당되므로 간단하게 기술하였다. 따라서, 관련 부분을 위해, 방법 실시예에서 상기 부분의 설명을 참조할 수 있다.

[0150] 본 발명의 바람직한 실시예를 상기에 설명하였으나, 본 발명을 한정하기 위함이 아니다. 개시된 내용에 따라 당업자가 실시하는 대체물과 변경물 모두 본 발명의 청구범위의 보호 범위에 포함된다.

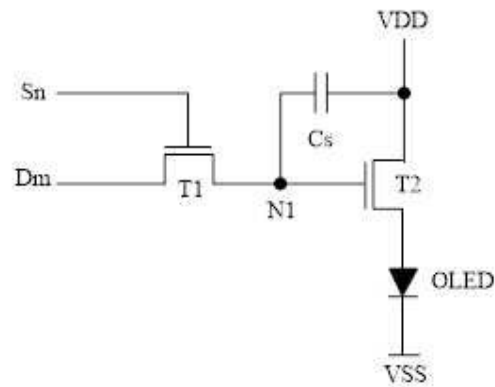
부호의 설명

[0151] T11: 제 1 스위치 트랜지스터; G11: 제 1 스위치 트랜지스터의 게이트;
S11: 제 1 스위치 트랜지스터의 소스;
D11: 제 1 스위치 트랜지스터의 드레인;
T12: 제 1 구동 트랜지스터;

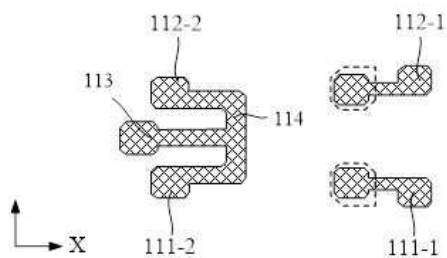
G12: 제 1 구동 트랜지스터의 게이트;
 S12: 제 1 구동 트랜지스터의 소스; D12: 제 1 구동 트랜지스터의 드레인;
 T21: 제 2 스위치 트랜지스터; G21: 제 2 스위치 트랜지스터의 게이트;
 S21: 제 2 스위치 트랜지스터의 소스;
 D21: 제 2 스위치 트랜지스터의 드레인;
 T22: 제 2 구동 트랜지스터; G22: 제 2 구동 트랜지스터의 게이트;
 S22: 제 2 구동 트랜지스터의 소스; D22: 제 2 구동 트랜지스터의 드레인;
 C1: 제 1 저장 커패시터; C1-1: 제 1 저장 커패시터의 하부 플레이트;
 C1-2: 제 1 저장 커패시터의 상부 플레이트;
 C2: 제 2 저장 커패시터; C2-1: 제 2 저장 커패시터의 하부 플레이트;
 C2-2: 제 2 저장 커패시터의 상부 플레이트;
 D1: 제 1 데이터 라인; D2: 제 2 데이터 라인; Sn: 스캔 라인;
 VDD: 전력 라인;
 100: 기판; 101: 버퍼층;
 111-1: 실리콘 아일랜드의 제 1 세그먼트;
 111-2: 실리콘 아일랜드의 제 2 세그먼트;
 112-1: 실리콘 아일랜드의 제 3 세그먼트;
 112-2: 실리콘 아일랜드의 제 4 세그먼트;
 113: 실리콘 아일랜드의 제 5 세그먼트;
 114: 실리콘 아일랜드의 제 6 세그먼트;
 120: 게이트 절연층; 120a-1 및 120a-2: 제 1 관통홀;
 140: 제 1 층간 절연층; 140a-1: 제 2 관통홀;
 160: 제 2 층간 절연층; 160a-2: 제 3 관통홀; 160b: 개구;
 180: 제 3 층간 절연층;
 180a, 180a-1, 180a-2, 180a-3 및 180a-4: 제 4 관통홀;
 200: 패시베이션된(passivated) 절연층; 200a-1 및 200a-2: 콘택홀
 221: 제 1 OLED의 양극; 222: 제 2 OLED의 양극

도면

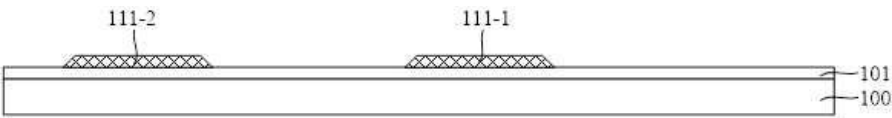
도면1



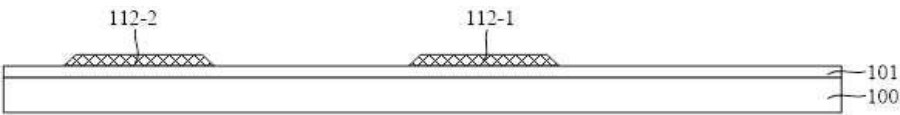
도면2a



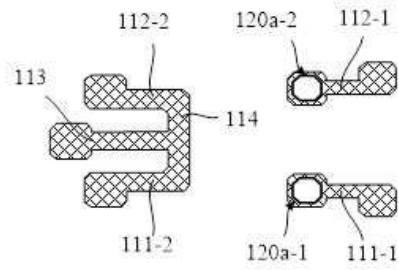
도면2b



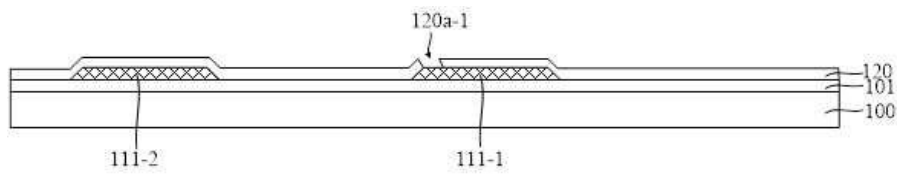
도면2c



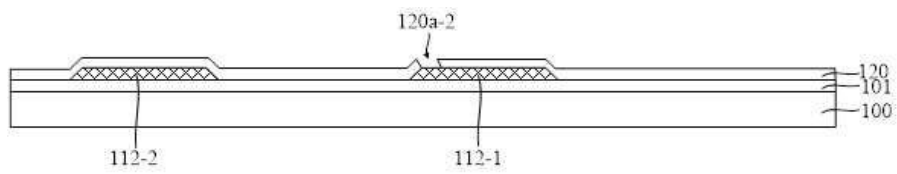
도면3a



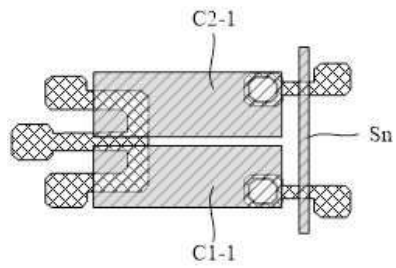
도면3b



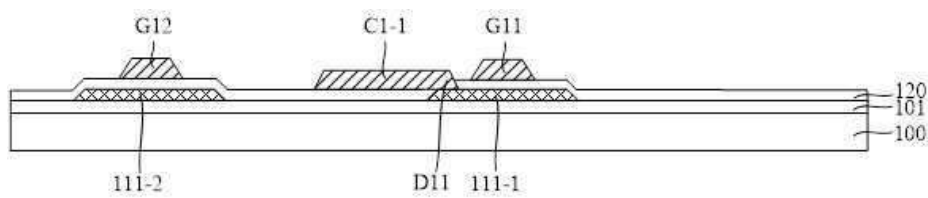
도면3c



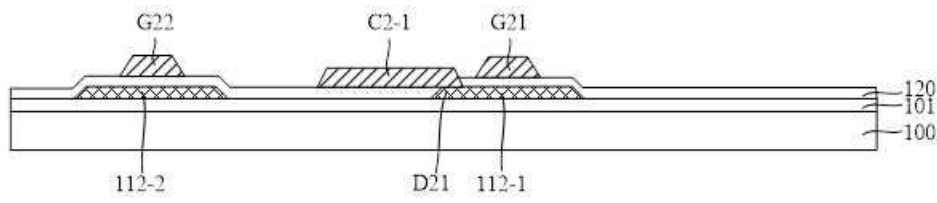
도면4a



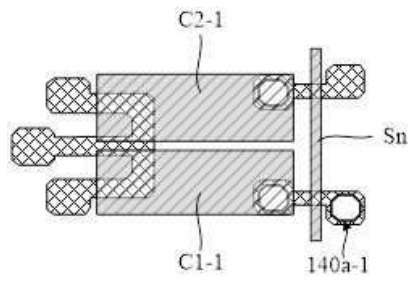
도면4b



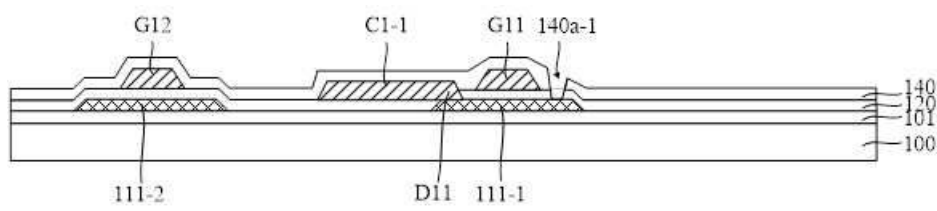
도면4c



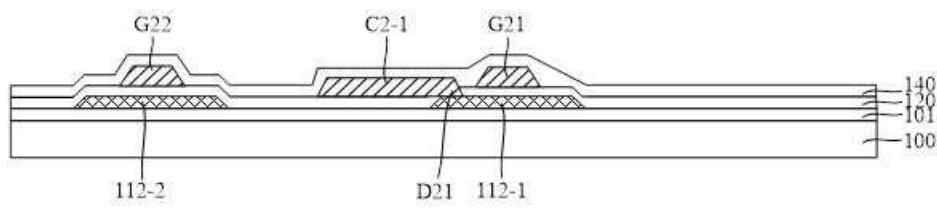
도면5a



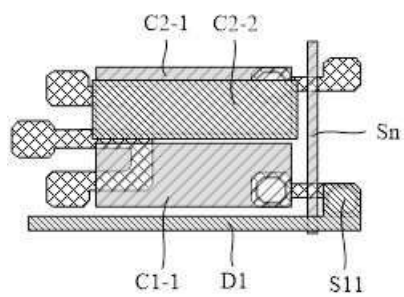
도면5b



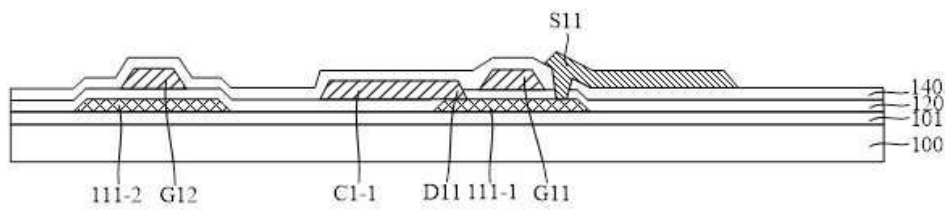
도면5c



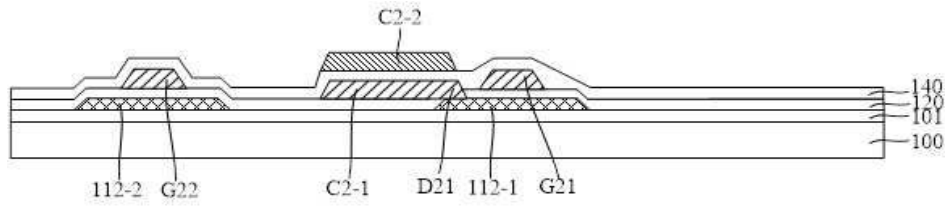
도면6a



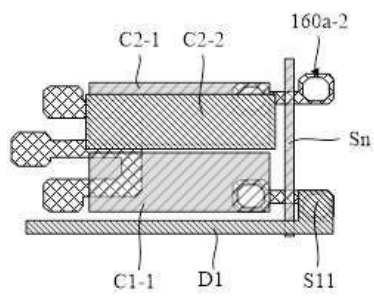
도면 6b



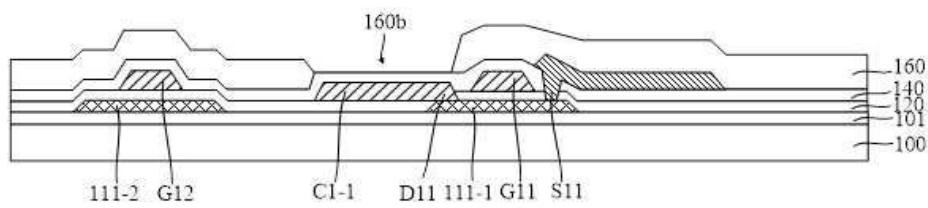
도면 6c



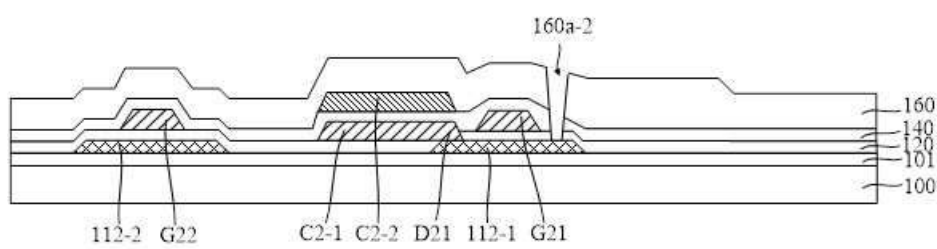
도면 7a



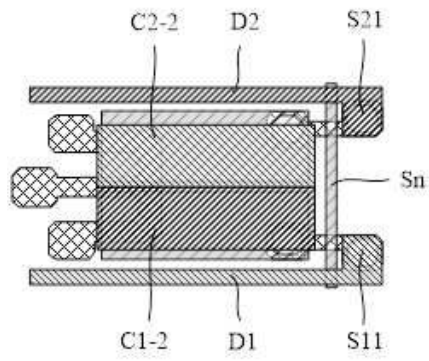
도면 7b



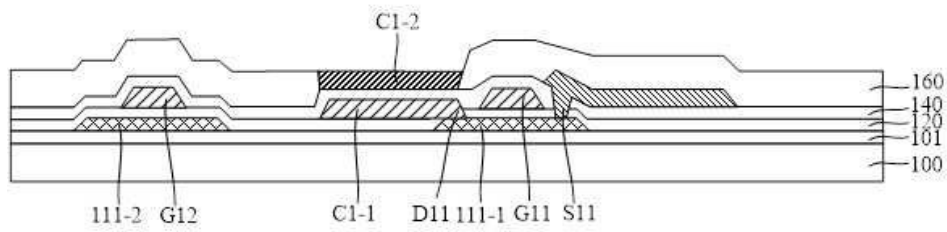
도면7c



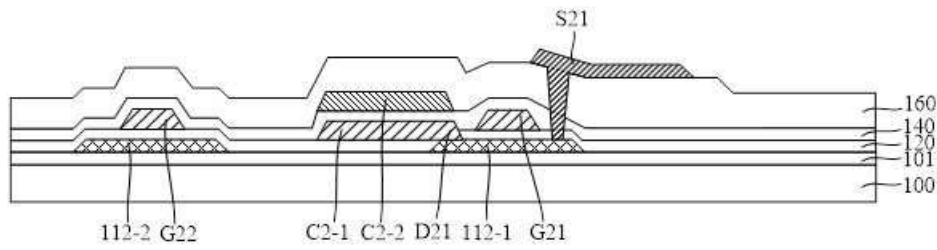
도면8a



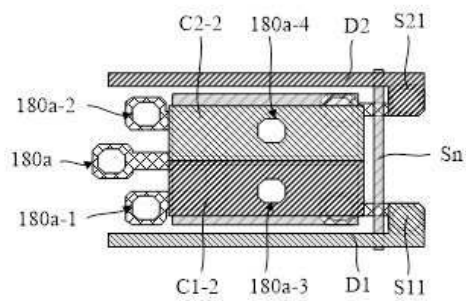
도면8b



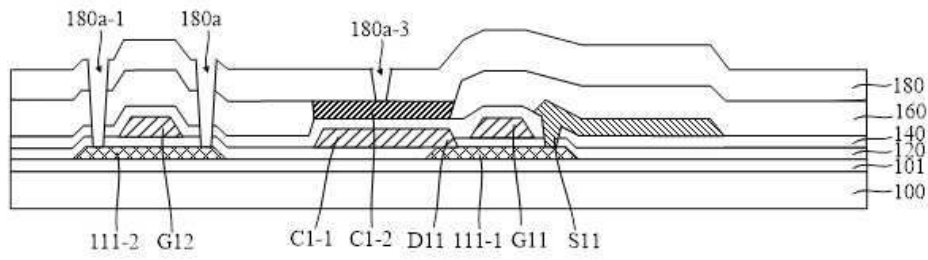
도면8c



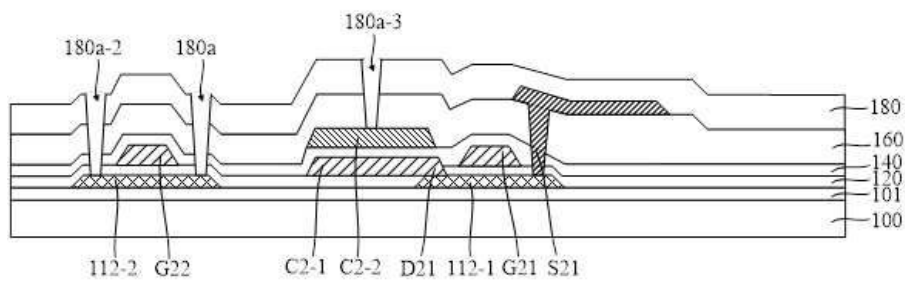
도면9a



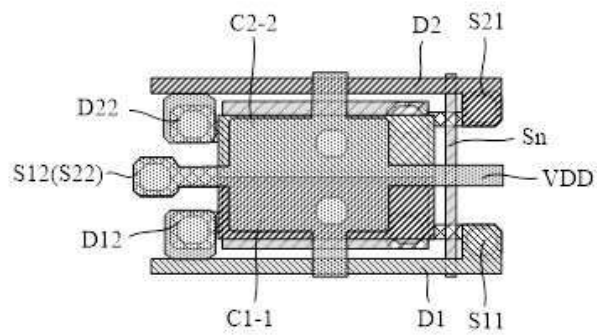
도면9b



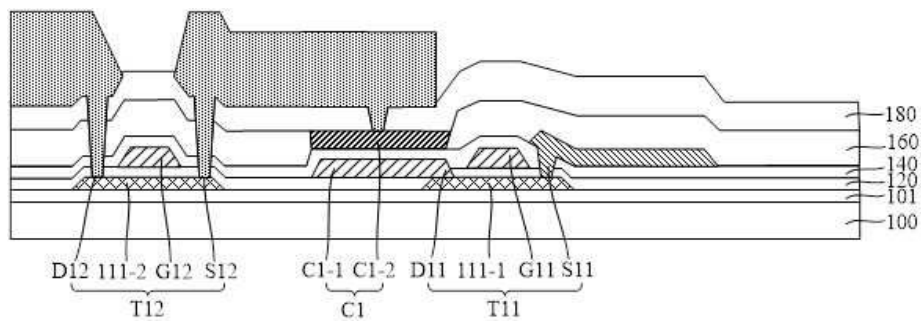
도면9c



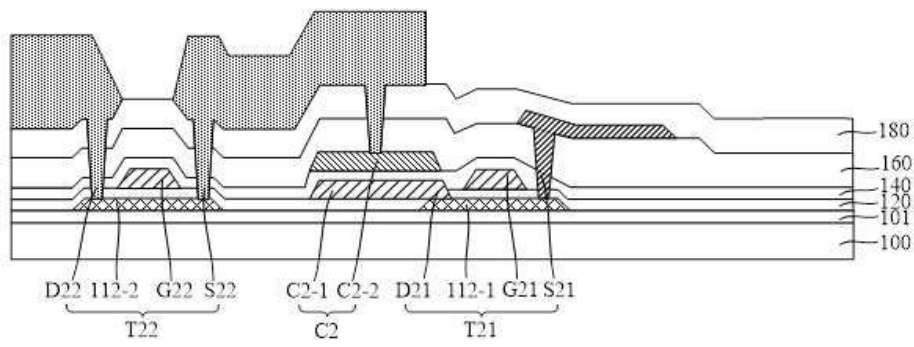
도면10a



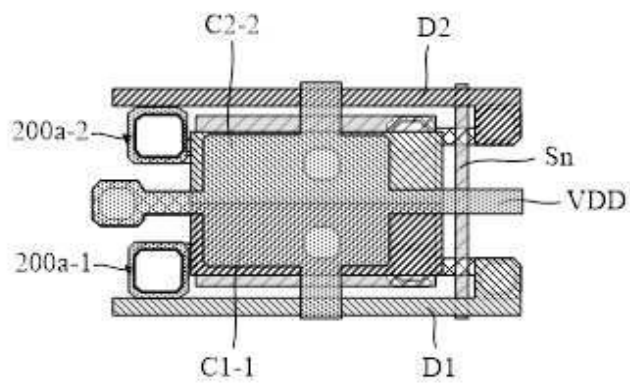
도면10b



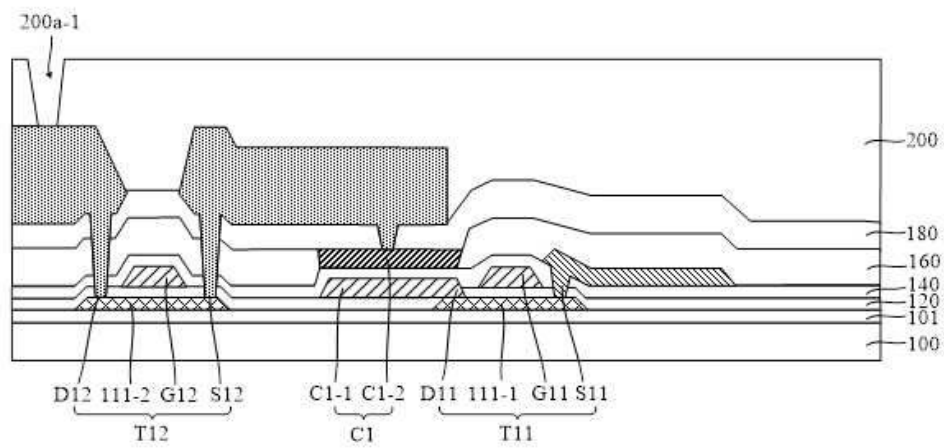
도면10c



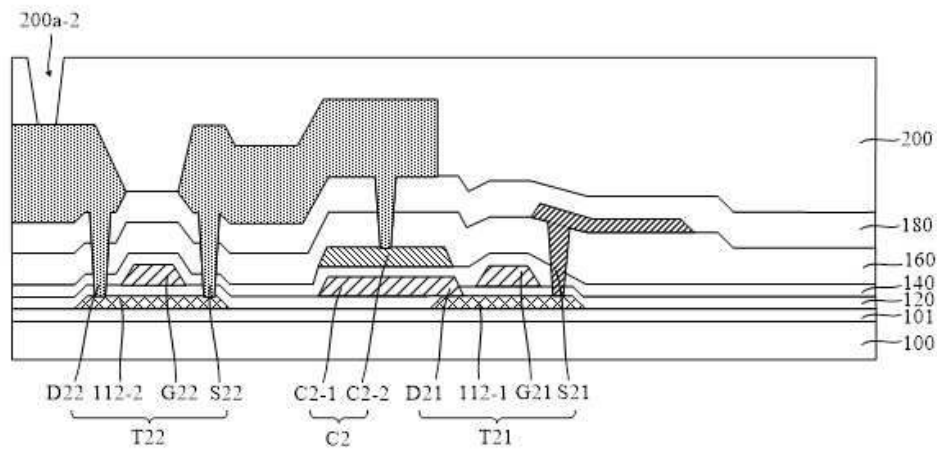
도면11a



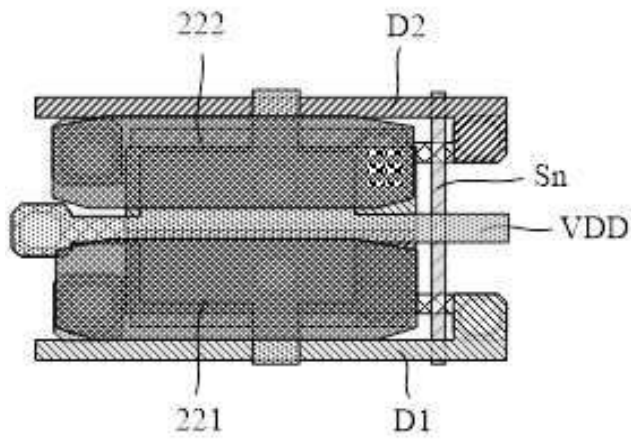
도면11b



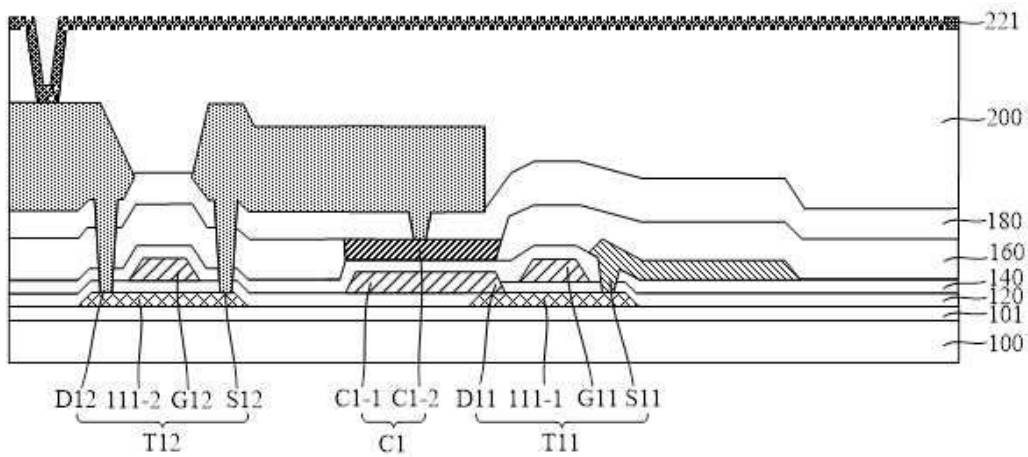
도면11c



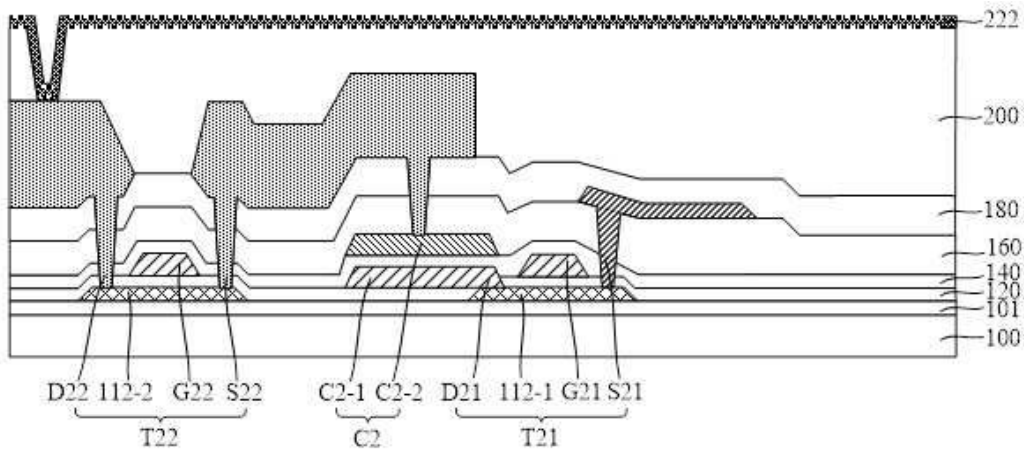
도면12a



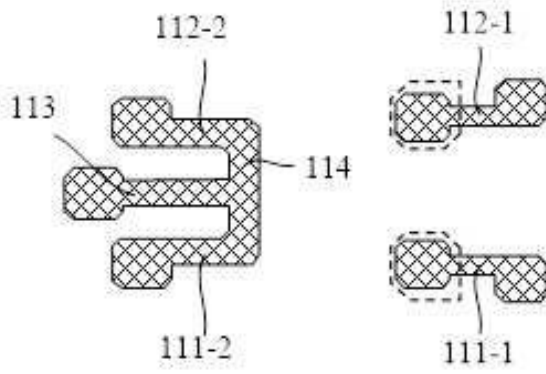
도면12b



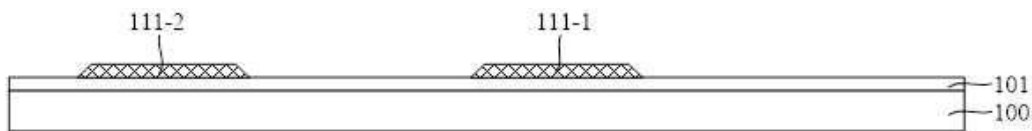
도면12c



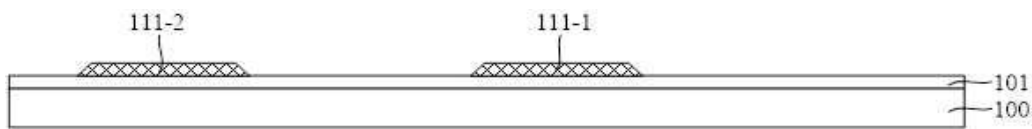
도면13a



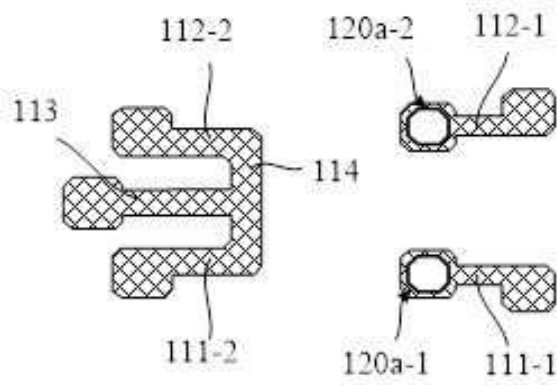
도면13b



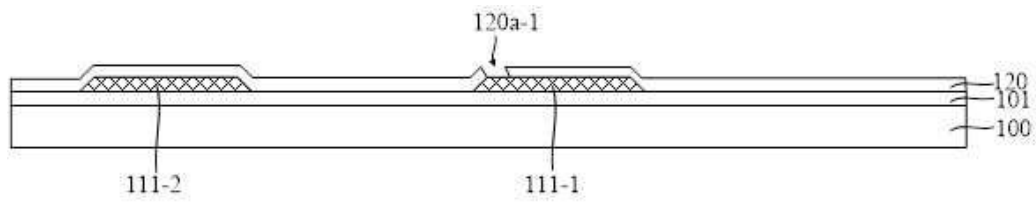
도면13c



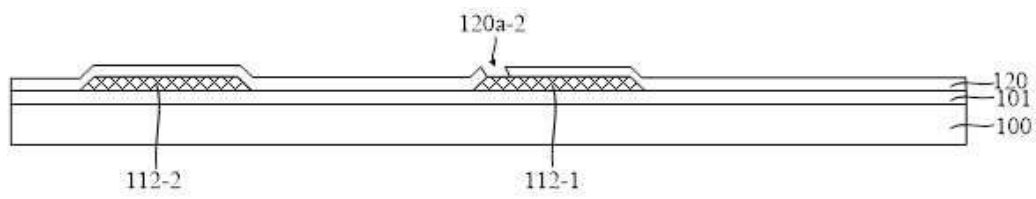
도면14a



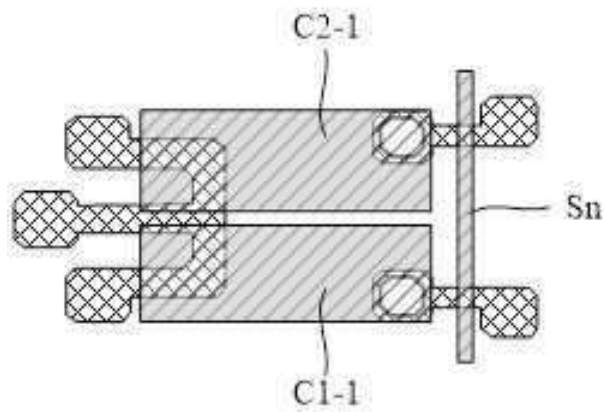
도면14b



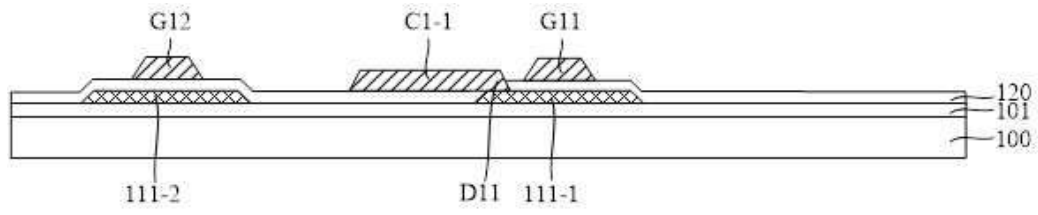
도면14c



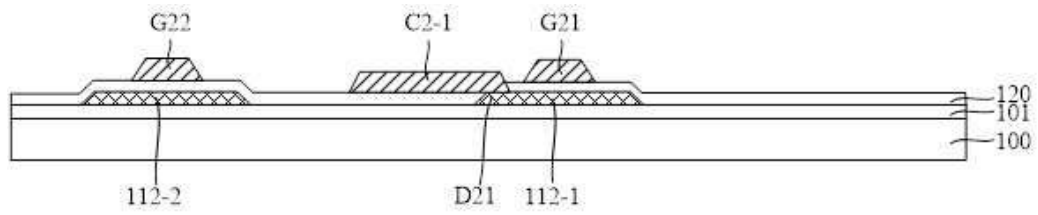
도면15a



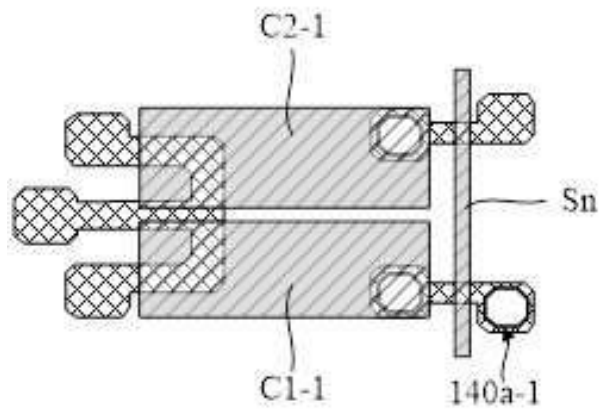
도면15b



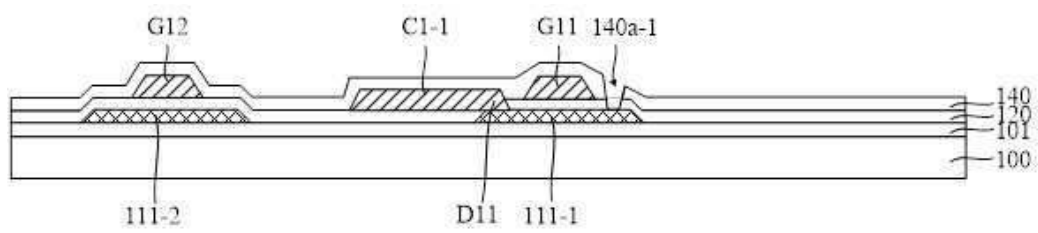
도면15c



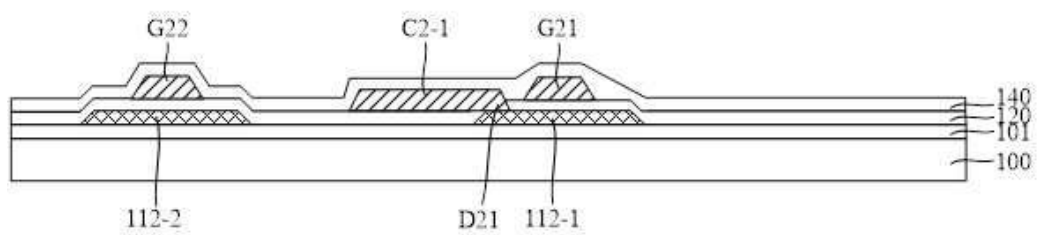
도면16a



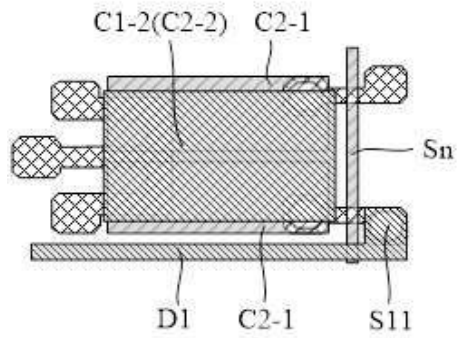
도면16b



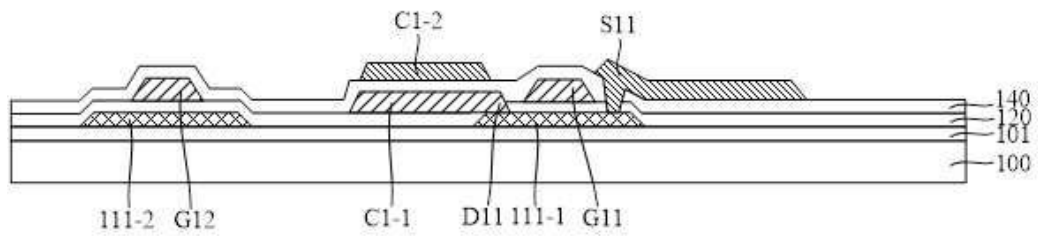
도면16c



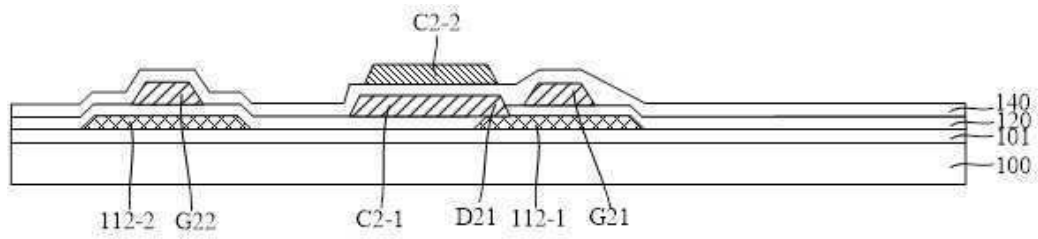
도면17a



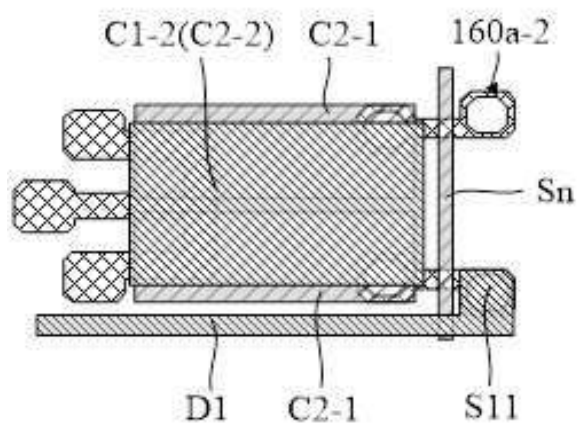
도면17b



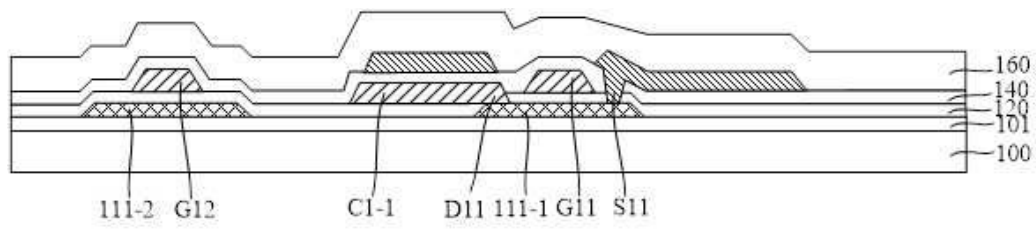
도면17c



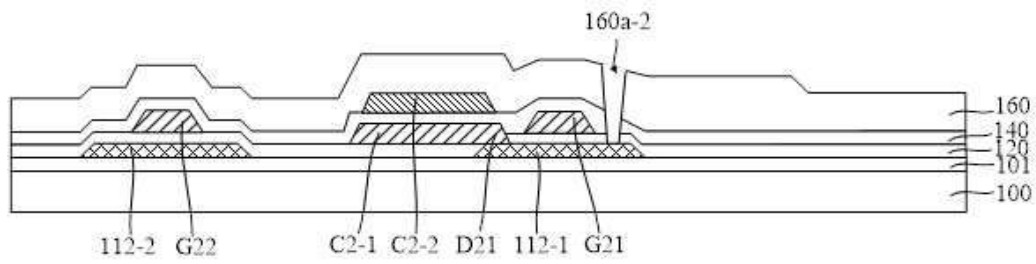
도면18a



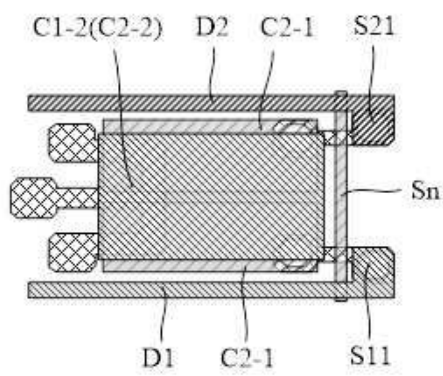
도면18b



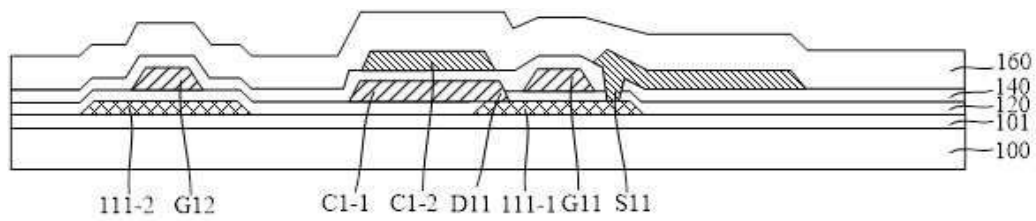
도면18c



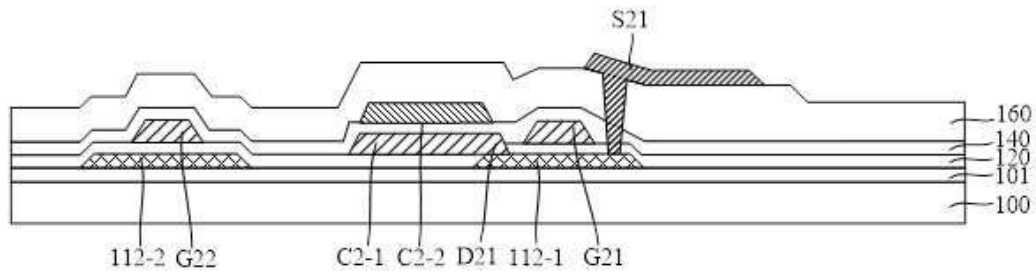
도면19a



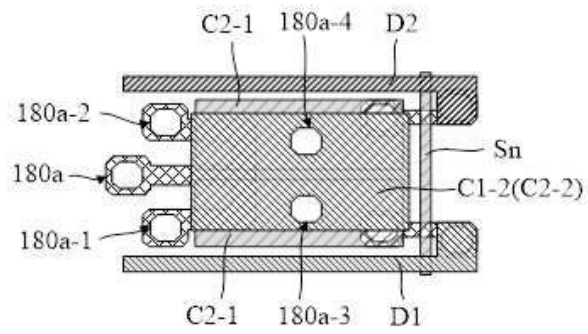
도면19b



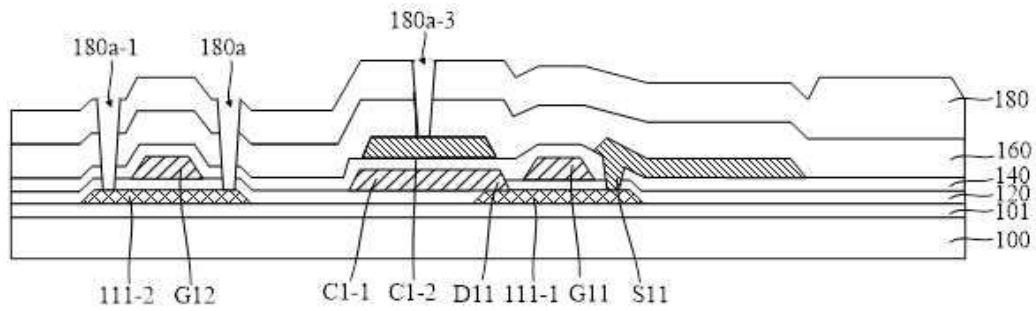
도면19c



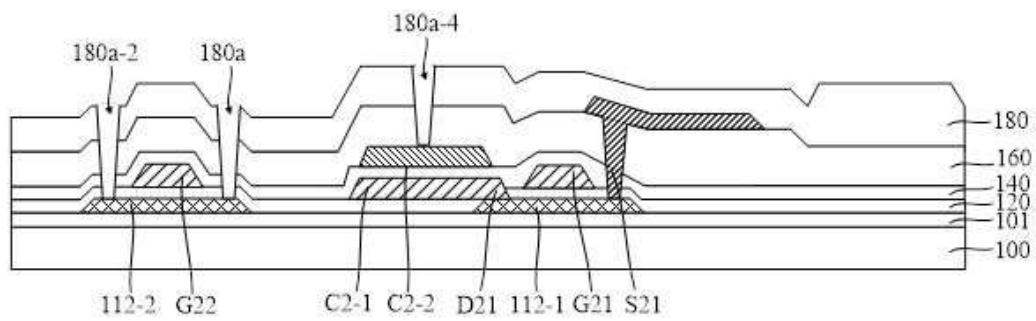
도면20a



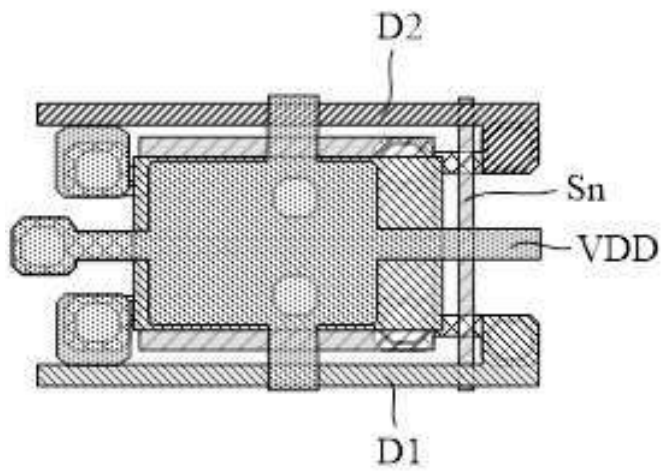
도면20b



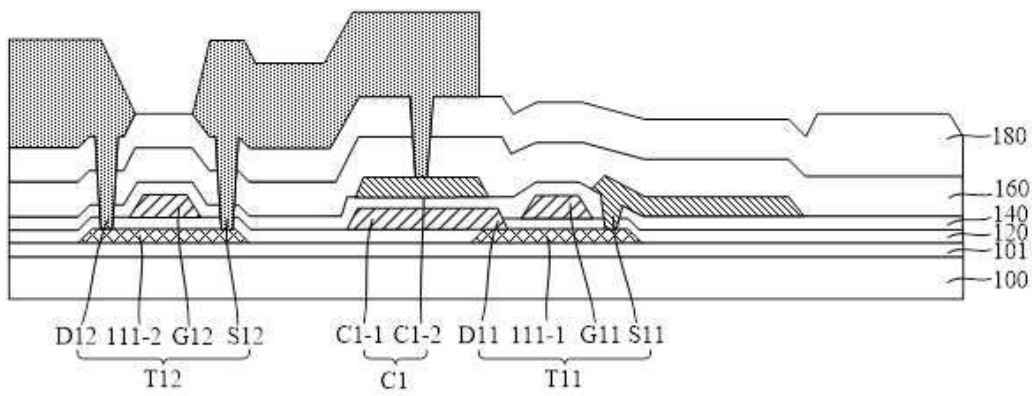
도면20c



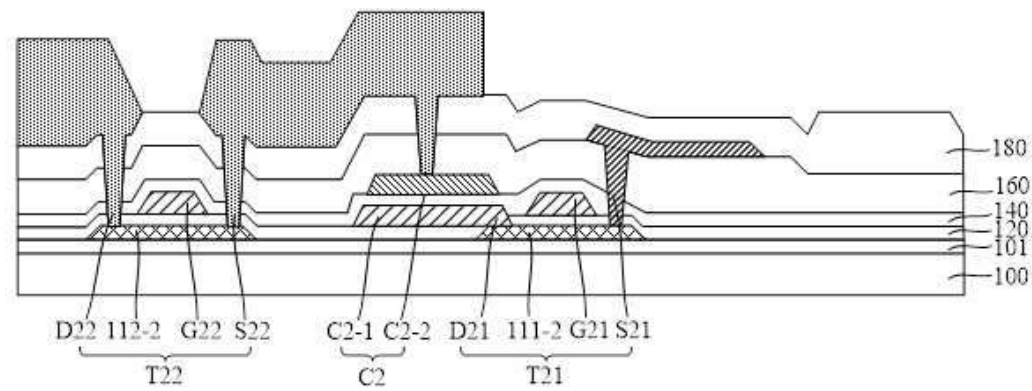
도면21a



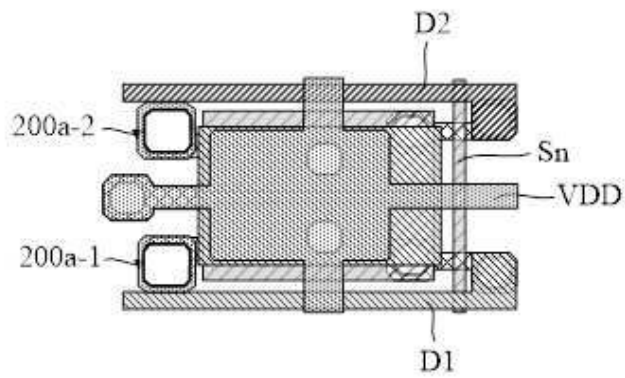
도면21b



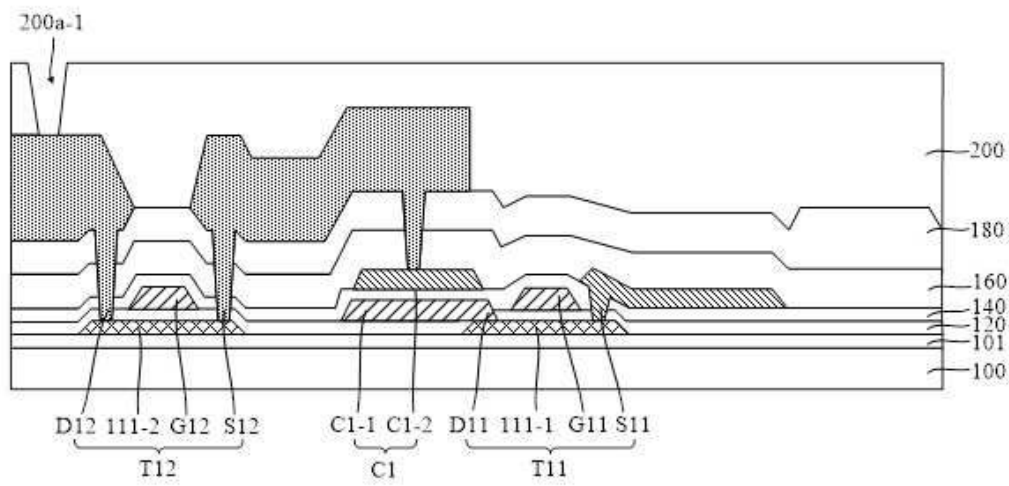
도면21c



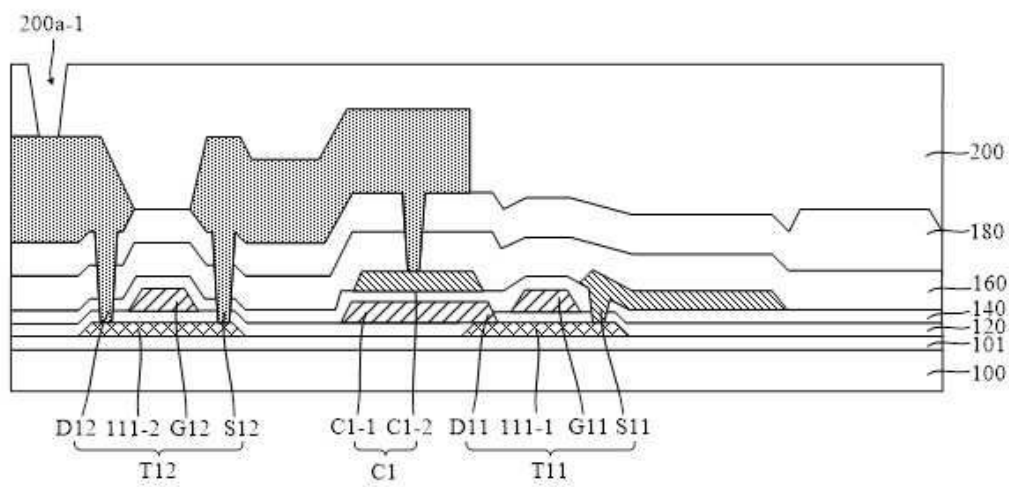
도면22a



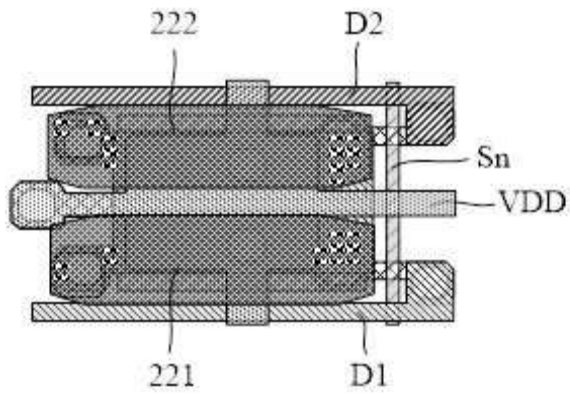
도면22b



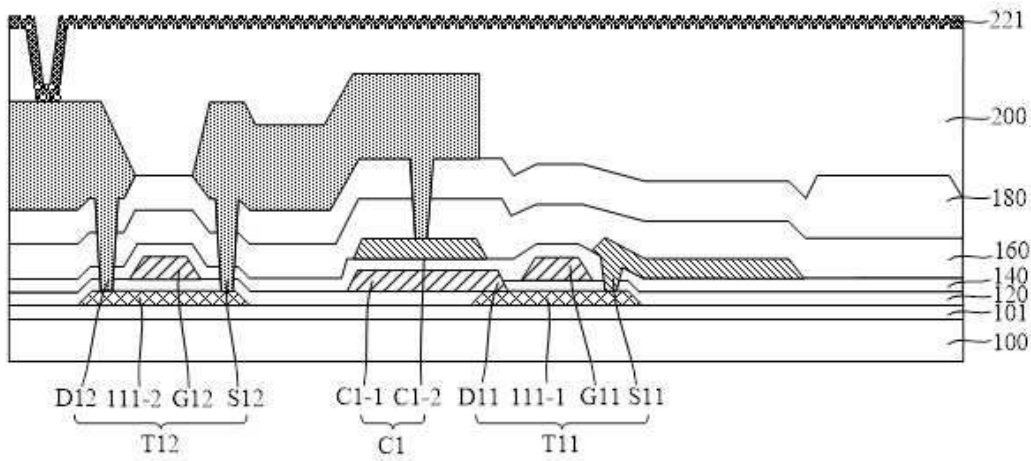
도면22c



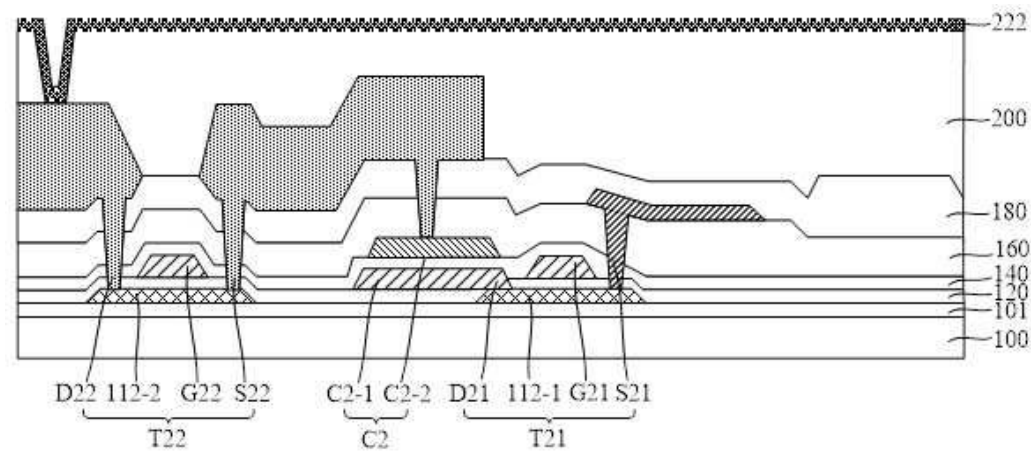
도면23a



도면23b



도면23c



专利名称(译)	有机发光二极管显示面板及其制造方法		
公开(公告)号	KR102123502B1	公开(公告)日	2020-06-16
申请号	KR1020187017859	申请日	2017-03-09
[标]申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司		
申请(专利权)人(译)	昆山新型平板显示技术中心ssioh，萨尔瓦多孵化园.		
当前申请(专利权)人(译)	昆山新型平板显示技术中心ssioh，萨尔瓦多孵化园.		
发明人	장, 텅팅 후앙, 슈기 후, 시밍 주, 후이 주, 타오		
IPC分类号	H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L27/3276 H01L27/3211 H01L27/3244 H01L51/50 H01L51/56 H01L2227/323 H01L27/1244 H01L27/1255 H01L27/3262 H01L27/3265 H01L21/77 H01L27/12 H01L27/3241 H01L2227/32		
代理人(译)	柳诚源 我规定 배경용		
审查员(译)	Yunseongju		
优先权	201610149683.6 2016-03-16 CN		
其他公开文献	KR1020180084998A		
外部链接	Espacenet		

摘要(译)

提供了一种OLED显示面板及其制造方法。OLED显示面板包括多条扫描线(Sn)、数据线(D1和D2)以及电源线(VDD),其中,扫描线(Sn)和数据线(D1和D2)定义了多个像素。排列成矩阵的组;其中每个像素组具有两个子像素,同一像素组中的两个子像素连接到同一电源线(VDD),并且相对于电源线(VDD)镜像对称地布置,其中数据线(D1 连接到同一像素组中的两个子像素的D1和D2)位于不同的结构层上。一方面,有效地降低了数据线(D1和D2)之间发生短路的可能性,并且显著消除了数据线(D1和D2)之间的串扰。另一方面,可以基于现有装置和工艺条件来减小像素面积,提高OLED显示面板的PPI,并提高OLED显示面板的分辨率。

