



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월02일
(11) 등록번호 10-2096051
(24) 등록일자 2020년03월26일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0033085
(22) 출원일자 2013년03월27일
심사청구일자 2018년03월26일
(65) 공개번호 10-2014-0118010
(43) 공개일자 2014년10월08일
(56) 선행기술조사문헌
KR1020050021718 A*
KR1020120025885 A*
WO2008096483 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이원세
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 18 항

심사관 : 김우영

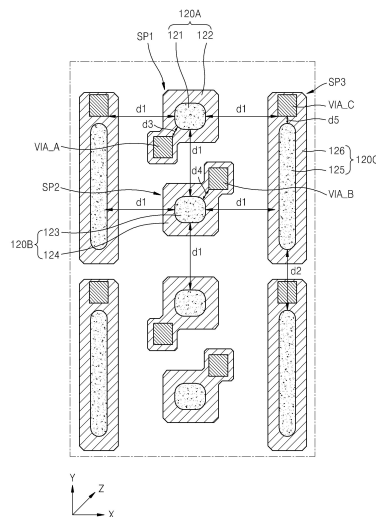
(54) 발명의 명칭 박막 트랜지스터 어레이 기판 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

본 발명은 박막 트랜지스터 어레이 기판 및 이를 포함하는 유기 발광 표시 장치를 개시한다.

본 발명의 박막 트랜지스터 어레이 기판은, 제1 색을 표시하는 제1 부화소와 제2 색을 표시하는 제2 부화소가 제1 열에 교대로 형성되고, 제3 색을 표시하는 제3 부화소가 상기 제1 열과 인접하는 제2 열에 형성된 화소 배열 구조를 갖고, 동일 행에 형성된 상기 제1부화소 내지 제3 부화소 각각의 비아홀이 서로 상이한 위치에 형성될 수 있다.

대표도 - 도10



명세서

청구범위

청구항 1

제1 색을 표시하는 제1 부화소와 제2 색을 표시하는 제2 부화소가 제1 열에 교대로 형성되고, 제3 색을 표시하는 제3 부화소가 상기 제1 열과 인접하는 제2 열에 형성된 화소 배열 구조를 갖는 박막 트랜지스터 어레이 기판에 있어서,

상기 제1 부화소 내지 상기 제3 부화소들 각각은,

화소회로;

상기 화소회로에 연결된 화소전극;

상기 화소전극 상에 배치되고, 상기 화소전극의 일부를 노출하는 개구를 포함하는 화소정의막;

상기 화소전극 상의 발광층;

상기 화소전극에 대향하는 대향전극; 및

상기 화소회로와 상기 화소전극 사이의 절연층에 형성된 비아홀;을 포함하고,

상기 제1 부화소 및 상기 제2 부화소의 비아홀들의 중심을 연결하는 가상의 직선이 상기 제1 부화소 및 상기 제2 부화소의 개구들 사이에 위치하고, 상기 제1 부화소 및 상기 제2 부화소의 개구들을 가로지르지 않는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 2

제1항에 있어서,

상기 제1부화소 내지 제3 부화소들의 비아홀들이 지그재그로 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 3

제1항에 있어서,

상기 제3 부화소는 열 방향을 따라 상기 제1 부화소 또는 상기 제2 부화소의 2배 이상의 높이를 갖는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 4

제1항에 있어서,

상기 제1 부화소의 화소전극은 제1 발광부와 상기 제1 발광부 주변의 제1 비발광부를 포함하고, 상기 제1 비발광부가 상기 제1 부화소의 비아홀과 중첩하고,

상기 제2 부화소의 화소전극은 제2 발광부와 상기 제2 발광부 주변의 제2 비발광부를 포함하고, 및 상기 제2 비발광부가 상기 제2 부화소의 비아홀과 중첩하고,

상기 제3 부화소의 화소전극은 제3 발광부와 상기 제3 발광부 주변의 제3 비발광부를 포함하고, 상기 제3 비발광부가 상기 제3 부화소의 비아홀과 중첩하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 5

제4항에 있어서,

상기 제1 비아홀은 상기 제1 발광부와 좌하 방향으로 이격된 위치에 배치되고, 상기 제2 비아홀은 상기 제2 발광부와 우상 방향으로 이격된 위치에 배치되고, 상기 제3 비아홀은 상기 제3 발광부의 상 방향으로 이격된 위치

에 배치된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 6

삭제

청구항 7

제1항에 있어서, 상기 제1 내지 제3 부화소들 각각에,

커패시터; 및

상기 커패시터와 상기 커패시터 상부의 데이터선 사이의 층에 배치되고, 제1 방향으로 연장된 제1 라인과 제2 방향으로 연장된 제2 라인을 포함하는 구동 전압선;이 배치된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 8

제7항에 있어서,

상기 커패시터의 일 전극은 상기 구동 전압선과 전기적으로 연결된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 9

제7항에 있어서,

상기 구동 전압선의 제1 라인은 상기 제1 방향으로 인접한 화소회로들 간에 연결되고, 상기 구동 전압선의 제2 라인은 상기 제2 방향으로 인접한 화소회로들 간에 연결된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 10

제1항에 있어서,

상기 제1 부화소 및 제2 부화소는 각각 적색 부화소 및 녹색 부화소이고, 상기 제3 부화소는 청색 부화소인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 11

제1 발광부와 상기 제1 발광부 주변의 제1 비발광부를 포함하는 제1 화소 전극 및 제1 화소 회로를 포함하며 제1 열에 배치된 제1 부화소;

제2 발광부와 상기 제2 발광부 주변의 제2 비발광부를 포함하는 제2 화소 전극 및 제2 화소 회로를 포함하며 상기 제1 열에 배치된 제2 부화소;

제3 발광부와 상기 제3 발광부 주변의 제3 비발광부를 포함하는 제3 화소 전극 및 제3 화소 회로를 포함하며 상기 제1 열과 인접하는 제2 열에 배치된 제3 부화소; 및

상기 제1 내지 제3 화소회로를 덮으며 상기 제1 화소 전극과 제1 화소 회로를 연결하는 제1 비아홀, 상기 제2 화소 전극과 제2 화소 회로를 연결하는 제2 비아홀 및 상기 제3 화소 전극과 제3 화소 회로를 연결하는 제3 비아홀이 형성된 평탄화막;을 포함하고,

상기 제1 부화소의 제1 비아홀 및 상기 제2 부화소의 제2 비아홀을 연결하는 가상의 직선이 상기 제1 부화소의 제1 화소 전극 및 상기 제2 부화소의 제2 화소 전극 사이에 위치하고, 상기 제1 부화소의 제1 발광부 및 상기 제2 부화소의 제2 발광부를 가로지르지 않는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

삭제

청구항 13

제11항에 있어서,

상기 제1 비아홀 내지 제3 비아홀들이 지그재그로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제11항에 있어서,

상기 제3 부화소는 열 방향을 따라 상기 제1 부화소 또는 상기 제2 부화소의 2배 이상의 높이를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제11항에 있어서,

상기 제1 비아홀은 상기 제1 발광부와 좌하 방향으로 이격된 위치에 배치되고, 상기 제2 비아홀은 상기 제2 발광부와 우상 방향으로 이격된 위치에 배치되고, 상기 제3 비아홀은 상기 제3 발광부의 상 방향으로 이격된 위치에 배치된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제11항에 있어서,

상기 제1 내지 제3 화소 전극들의 상기 제1 내지 제3 비발광부들을 덮는 화소 정의막;

상기 제1 내지 제3 화소 전극들의 상기 제1 내지 제3 발광부들 상에 배치된 발광층들을 포함하는 유기막; 및

상기 유기막 상에 배치된 대향 전극;을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제11항에 있어서, 상기 제1 내지 제3 화소 회로들 각각에,

커패시터;

상기 커패시터 상부에 상기 커패시터의 일부와 중첩하며 제1 방향으로 연장된 데이터선; 및

상기 커패시터와 상기 데이터선 사이의 층에 배치되고, 상기 제1 방향으로 연장된 제1 라인과 제2 방향으로 연장된 제2 라인을 포함하는 구동 전압선;이 배치된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제17항에 있어서,

상기 커패시터의 일 전극은 상기 구동 전압선과 전기적으로 연결된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제17항에 있어서,

상기 구동 전압선의 제1 라인은 상기 제1 방향으로 인접한 화소 회로들 간에 연결되고, 상기 구동 전압선의 제2 라인은 상기 제2 방향으로 인접한 화소 회로들 간에 연결된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제11항에 있어서,

상기 제1 부화소 및 제2 부화소는 각각 적색 부화소 및 녹색 부화소이고, 상기 제3 부화소는 청색 부화소인 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

본 발명은 박막 트랜지스터 어레이 기판 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.
- [0003] 일반적으로 유기 발광 표시 장치는 기판 상에 위치하며 일 방향으로 연장된 게이트 배선들, 게이트 배선들과 교차하는 방향으로 연장된 데이터 배선들, 게이트 배선들 및 데이터 배선들 각각에 연결된 화소 회로 및 화소 회로와 연결된 유기 발광 소자를 포함한다. 최근 고해상도의 디스플레이를 추구함에 따라 개구율 증가가 중요한 문제가 되고 있다.

발명의 내용

해결하려는 과제

- [0004] 고해상도 픽셀이 요구되어짐에도 불구하고 픽셀 내 금속 배선의 설계 룰(Design rule)과 화소 정의막 간의 갭(Gap), 즉, FMM 마스크를 이용한 증착을 위한 마진의 제약으로 인하여 최소 수명을 확보하기 위한 화소 정의막의 개구부(open)도 한계에 다다르고 있다. 본 발명은 고해상도 화소 설계시 가장 중요한 요소(critical factor)로 지적되고 있는 부분인 비아홀(VIA Hole) 부분의 공간 제약을 줄임으로써 고해상도를 가지며 발광 소자의 수명을 향상시킬 수 있는 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

- [0005] 본 발명의 바람직한 일 실시예에 따른 박막 트랜지스터 어레이 기판은, 제1 색을 표시하는 제1 부화소와 제2 색을 표시하는 제2 부화소가 제1 열에 교대로 형성되고, 제3 색을 표시하는 제3 부화소가 상기 제1 열과 인접하는 제2 열에 형성된 화소 배열 구조를 갖고, 동일 행에 형성된 상기 제1부화소 내지 제3 부화소 각각의 비아홀이 서로 상이한 위치에 형성될 수 있다.
- [0006] 상기 제1부화소 내지 제3 부화소의 비아홀들이 지그재그로 형성될 수 있다.
- [0007] 상기 제3 부화소는 열 방향을 따라 상기 제1 부화소 또는 상기 제2 부화소의 2배 이상의 높이를 가질 수 있다.
- [0008] 상기 제1 부화소는 제1 발광부와 상기 제1 발광부 주변의 제1 비발광부를 포함하는 제1 화소 전극, 및 제1 비아홀을 통해 상기 제1 화소 전극과 연결된 제1 화소 회로를 구비할 수 있다. 상기 제2 부화소는 제2 발광부와 상기 제2 발광부 주변의 제2 비발광부를 포함하는 제2 화소 전극, 및 제2 비아홀을 통해 상기 제2 화소 전극과 연결된 제2 화소 회로를 구비할 수 있다. 상기 제3 부화소는 제3 발광부와 상기 제3 발광부 주변의 제3 비발광부를 포함하는 제3 화소 전극, 및 제3 비아홀을 통해 상기 제3 화소 전극과 연결된 제3 화소 회로를 구비할 수 있다.
- [0009] 상기 제1 비아홀은 상기 제1 발광부와 좌하 방향으로 이격된 위치에 형성되고, 상기 제2 비아홀은 상기 제2 발광부와 우상 방향으로 이격된 위치에 형성되고, 상기 제3 비아홀은 상기 제3 발광부의 상 방향으로 이격된 위치에 형성될 수 있다.
- [0010] 상기 박막 트랜지스터 어레이 기판은, 상기 제1 내지 제3 화소 회로를 덮으며 상기 제1 내지 제3 비아홀이 형성된 평탄화막; 상기 제1 내지 제3 비아홀 및 상기 평탄화막 상에 형성된 상기 제1 내지 제3 화소 전극의 상기 제1 내지 제3 비발광부를 덮는 화소 정의막; 상기 제1 내지 제3 화소 전극의 상기 제1 내지 제3 발광부 상에 배치된 발광층을 포함하는 유기막; 및 상기 유기막 상에 형성된 대향 전극;을 포함할 수 있다.
- [0011] 상기 제1 내지 제3 화소 회로 각각은, 제1 전극 및 상기 제1 전극 상부의 제2 전극을 포함하는 커패시터; 상기 커패시터 상부에 상기 커패시터의 일부와 중첩하며 제1 방향으로 연장되고, 데이터 신호를 공급하는 데이터선; 및 상기 커패시터와 상기 데이터선 사이의 층에 배치되고, 상기 제1 방향으로 연장된 제1 라인과 상기 제1 방향과 수직인 제2 방향으로 연장된 제2 라인을 포함하고, 구동 전압을 공급하는 구동 전압선;을 포함할 수 있다.
- [0012] 상기 커패시터의 제2 전극은 상기 구동 전압선과 콘택홀을 통해 전기적으로 연결될 수 있다.
- [0013] 상기 구동 전압선의 제1 라인은 상기 제1 방향으로 인접한 화소 회로들 간에 연결되고, 상기 구동 전압선의 제2 라인은 상기 제2 방향으로 인접한 화소 회로들 간에 연결되어 상기 구동 전압선이 메쉬 구조일 수 있다.

- [0014] 상기 제1 부화소 및 제2 부화소는 각각 적색 부화소 및 녹색 부화소이고, 상기 제3 부화소는 청색 부화소일 수 있다.
- [0015] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 제1 발광부와 상기 제1 발광부 주변의 제1 비발광부를 포함하는 제1 화소 전극 및 제1 화소 회로를 포함하며 제1 열에 형성된 제1 부화소; 제2 발광부와 상기 제2 발광부 주변의 제2 비발광부를 포함하는 제2 화소 전극 및 제2 화소 회로를 포함하며 상기 제1 열에 상기 제1 부화소와 교대로 형성된 제2 부화소; 및 제3 발광부와 상기 제3 발광부 주변의 제3 비발광부를 포함하는 제3 화소 전극 및 제3 화소 회로를 포함하며 상기 제1 열과 인접하는 제2 열에 형성된 제3 부화소;를 포함하며, 동일 행에 형성된 상기 제1부화소 내지 제3 부화소 각각의 비아홀이 서로 상이한 위치에 형성될 수 있다.
- [0016] 상기 유기 발광 표시 장치는, 상기 제1 내지 제3 화소 회로를 덮으며, 상기 제1 화소 전극과 제1 화소 회로를 연결하는 제1 비아홀, 상기 제2 화소 전극과 제2 화소 회로를 연결하는 제2 비아홀 및 상기 제3 화소 전극과 제3 화소 회로를 연결하는 제3 비아홀이 형성된 평탄화막;을 더 포함할 수 있다.
- [0017] 상기 제1 비아홀 내지 제3 비아홀들은 지그재그로 형성될 수 있다.
- [0018] 상기 제3 부화소는 열 방향을 따라 상기 제1 부화소 또는 상기 제2 부화소의 2배 이상의 높이를 가질 수 있다.
- [0019] 상기 제1 비아홀은 상기 제1 발광부와 좌하 방향으로 이격된 위치에 형성되고, 상기 제2 비아홀은 상기 제2 발광부와 우상 방향으로 이격된 위치에 형성되고, 상기 제3 비아홀은 상기 제3 발광부의 상 방향으로 이격된 위치에 형성될 수 있다.
- [0020] 상기 유기 발광 표시 장치는, 상기 제1 내지 제3 비아홀 및 상기 평탄화막 상에 형성된 상기 제1 내지 제3 화소 전극의 상기 제1 내지 제3 비발광부를 덮는 화소 정의막; 상기 제1 내지 제3 화소 전극의 상기 제1 내지 제3 발광부 상에 배치된 발광층을 포함하는 유기막; 및 상기 유기막 상에 형성된 대향 전극;을 포함할 수 있다.
- [0021] 상기 제1 내지 제3 화소 회로 각각은, 제1 전극 및 상기 제1 전극 상부의 제2 전극을 포함하는 커패시터; 상기 커패시터 상부에 상기 커패시터의 일부와 중첩하며 제1 방향으로 연장되고, 데이터 신호를 공급하는 데이터선; 및 상기 커패시터와 상기 데이터선 사이의 층에 배치되고, 상기 제1 방향으로 연장된 제1 라인과 상기 제1 방향과 수직인 제2 방향으로 연장된 제2 라인을 포함하고, 구동 전압을 공급하는 구동 전압선;을 포함할 수 있다.
- [0022] 상기 커패시터의 제2 전극은 상기 구동 전압선과 컨택홀을 통해 전기적으로 연결될 수 있다.
- [0023] 상기 구동 전압선의 제1 라인은 상기 제1 방향으로 인접한 화소 회로들 간에 연결되고, 상기 구동 전압선의 제2 라인은 상기 제2 방향으로 인접한 화소 회로들 간에 연결되어 상기 구동 전압선이 메쉬 구조일 수 있다.
- [0024] 상기 제1 부화소 및 제2 부화소는 각각 적색 부화소 및 녹색 부화소이고, 상기 제3 부화소는 청색 부화소일 수 있다.

발명의 효과

- [0025] 본 발명은 단위 화소를 이루는 서로 다른 색의 부화소들의 비아홀을 각각 다른 위치에 형성함으로써 부화소들 간에 요구되는 간격을 유지하면서 화소 전극의 사이즈 및 단위 화소의 개구율을 증가시킬 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 배열 구조를 나타내는 평면도이다.
- 도 2는 도 1에 도시된 단위 화소에 적용가능한 색상 배열의 일례를 나타내는 평면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 배열 구조를 나타내는 평면도이다.
- 도 4는 도 3에 도시된 단위 화소에 적용가능한 색상 배열의 일례를 나타내는 평면도이다.
- 도 5는 본 발명의 일 실시예에 따른 부화소의 등가 회로도이다.
- 도 6은 본 발명의 일 실시예에 따른 단위 화소를 나타낸 평면도이다.
- 도 7은 본 발명의 일 실시예에 따른 도 6의 화소 회로를 나타낸 개략적인 평면도이다.
- 도 8은 도 7의 A-A'선, B-B'선, C-C'선을 따라 자른 단면도이다.

도 9는 도 8의 화소 회로 상에 유기 발광 소자가 형성된 모습을 개략적으로 도시한 단면도이다.

도 10은 본 발명의 일 실시예에 따른 부화소들의 비아홀 배열을 나타내는 도면이다.

도 11은 본 발명의 비교예에 따른 부화소들의 비아홀 배열을 나타내는 도면이다.

도 12 및 도 13은 본 발명의 일 실시예에 따른 비아홀들의 위치를 개략적으로 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0028] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0029] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0030] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 배열 구조를 나타내는 평면도이다.
- [0032] 도 1을 참조하면, 본 발명의 유기 발광 표시 장치의 화소 배열 구조는 박막 트랜지스터 어레이 기판 상에 부화소들(12, 14, 16)로 구성된 복수의 단위 화소(10a, 10b)가 행 방향으로 교대로 반복적으로 배열되는 구조를 가진다. 열 방향으로 동일한 단위 화소(10a, 10b)가 반복적으로 배열되는 구조를 가진다.
- [0033] 제1부화소(12)는 제1색의 빛을 방출하고, 제2부화소(14)는 제2색의 빛을 방출하고, 제3부화소(16)는 제3색의 빛을 방출한다. 제1부화소(12) 및 제2부화소(14)는 동일한 크기를 가지며, 단위 화소(10a, 10b)의 좌측 열 또는 우측 열을 구성한다. 도 1에서는 제1부화소(12) 및 제2부화소(14)가 단위 화소(10a, 10b)의 좌측 열을 구성한다. 그리고, 제3부화소(16)는 열 방향을 따라 제1부화소(12)(또는 제2부화소(14))의 2배 이상의 높이를 가지며, 단위 화소의 우측 열 또는 좌측 열을 구성한다. 도 1에서는 제3부화소(16)가 단위 화소(10a, 10b)의 우측 열을 구성한다.
- [0034] 제1 단위 화소(10a)의 제1부화소(12) 및 제2부화소(14)의 위치와 제2 단위 화소(10b)의 제1부화소(12) 및 제2부화소(14)의 위치는 서로 반대이다. 즉, 제1부화소들(12) 및 제2부화소들(14)은 제3부화소들(16)이 배열된 열을 중심으로 제1부화소들(12)끼리, 그리고 제2부화소들(14)끼리 대각선 방향에 위치되어 체크무늬 형태로 배열된다. 이에 따라, 제1부화소들(12) 및 제2부화소들(14)은 행 방향으로 교번적으로 배치된다.
- [0035] 이와 같은 화소 배열 구조를 채용하면 "서브픽셀 렌더링"(Subpixel rendering) 기법에 의하여 부화소들(12, 14, 16) 대비 고해상도를 표현할 수 있다. 또한, 상기와 같은 화소 배열 구조를 채용하면 종래의 스트라이트 배열 구조에 비하여 블랙 매트릭스 면적이 줄어들고, 이에 따라 높은 개구율을 확보할 수 있는 장점이 있다.
- [0036] 도 2는 도 1에 도시된 단위 화소에 적용가능한 색상 배열의 일례를 나타내는 평면도이다.
- [0037] 도 2를 참조하면, 제1부화소(12)는 적색 부화소(R)로 설정되고, 제2부화소(14)는 녹색 부화소(G)로 설정된다. 그리고, 제1부화소(12) 및 제2부화소(14)에 비하여 넓은 면적을 가지는 제3부화소(16)는 청색 부화소(B)로 설정된다.
- [0038] 일반적으로, 유기 발광 다이오드에서 청색 부화소(B)가 가장 짧은 수명특성을 갖는다. 따라서, 본 발명의 실시예에서는 가장 넓은 면적을 가지는 제3부화소(16)를 청색 부화소(B)로 설정함으로써 수명 특성을 향상시킬 수 있다.
- [0039] 도 3은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 배열 구조를 나타내는 평면도이다. 도 3에서는 도 1과의 차이점을 가지는 구성을 중심으로 설명하기로 한다.

- [0040] 도 3을 참조하면, 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 화소 배열 구조는 박막 트랜지스터 어레이 기판 상에 부화소들(22, 24, 26)로 구성된 복수의 단위 화소(20)가 열 및 행 방향으로 반복적으로 배열되는 구조를 가진다.
- [0041] 제1부화소(22) 및 제2부화소(24)는 동일한 크기를 가지며, 단위 화소(20)의 좌측 열 또는 우측 열을 구성한다. 도 3에서는 제1부화소(22) 및 제2부화소(24)가 단위 화소(20)의 좌측 열을 구성한다. 그리고, 제3부화소(26)는 열 방향을 따라 제1부화소(22)(또는 제2부화소(24))의 2배 이상의 높이를 가지며, 단위 화소(20)의 우측 열 또는 좌측 열을 구성한다. 도 3에서는 제3부화소(26)가 단위 화소(20)의 우측 열을 구성한다.
- [0042] 제1부화소(22) 및 제2부화소(24)는 동일한 열 라인에서 교번적으로 배열되고, 제1부화소들(22)은 제3부화소(26)들을 사이에 두고 행 방향으로 반복적으로 배치되고, 제2부화소들(24)은 제3부화소(26)들을 사이에 두고 행 방향으로 반복적으로 배치된다.
- [0043] 도 4는 도 3에 도시된 단위 화소에 적용가능한 색상 배열의 일례를 나타내는 평면도이다.
- [0044] 도 4를 참조하면, 제1부화소(22)는 적색 부화소(R)로 설정되고, 제2부화소(24)는 녹색 부화소(G)로 설정된다. 그리고, 제1부화소(22) 및 제2부화소(24)에 비하여 넓은 면적을 가지는 제3부화소(26)는 청색 부화소(B)로 설정된다.
- [0045] 일반적으로 유기 발광 다이오드에서 청색 부화소(B)가 가장 짧은 수명 특성을 갖는다. 따라서, 본 발명의 실시예에서는 가장 넓은 면적을 가지는 제3부화소(26)를 청색 부화소(B)로 설정함으로써 수명 특성을 향상시킨다.
- [0046] 도 5는 본 발명의 일 실시예에 따른 부화소의 등가 회로도이다.
- [0047] 도 5를 참조하면, 부화소(1)는 제1 내지 제6 박막 트랜지스터(T1 내지 T6) 및 스토리지 커패시터(Cst)를 포함하는 화소 회로(2)와 화소 회로(2)를 통해 구동 전류를 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.
- [0048] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)를 포함한다.
- [0049] 부화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1 주사 신호(Sn)를 전달하는 제1 주사선(6), 초기화 박막 트랜지스터(T4)에 이전 주사 신호인 제2 주사 신호(Sn-1)를 전달하는 제2 주사선(3), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(8), 제1 주사선(6)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(4), 제1 전원전압(ELVDD)을 전달하며 데이터선(4)과 거의 평행하게 형성되어 있는 구동 전압선(7), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압선(5)을 포함한다.
- [0050] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1전극(Cst1)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(7)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.
- [0051] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사선(6)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(4)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(7)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1 주사선(6)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 데이터선(4)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0052] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 제1 주사선(6)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1 주사선(6)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)

과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

- [0053] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사선(3)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(5)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 초기화 박막 트랜지스터(T4)는 제2 주사선(3)을 통해 전달받은 제2 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0054] 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(8)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(7)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0055] 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(8)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 발광 제어선(8)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 제1 전원전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.
- [0056] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(7)과 연결되어 있다. 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.
- [0057] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2 전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다.
- [0058] 도 5에 도시된 부화소(1)는 적색 부화소(R), 녹색 부화소(G) 및 청색 부화소(B) 중 하나일 수 있다.
- [0059] 도 6은 본 발명의 일 실시예에 따른 단위 화소를 나타낸 평면도이다.
- [0060] 본 발명의 일 실시예에 따른 단위 화소는 제1 내지 제3 부화소를 포함한다. 도 6의 실시예에서 제1 내지 제3 부화소는 각각 적색 부화소(R), 녹색 부화소(G) 및 청색 부화소(B)일 수 있다.
- [0061] 적색 부화소(R)는 제1 내지 제6 박막 트랜지스터(T1 내지 T6) 및 스토리지 커패시터(Cst)를 포함하는 제1 화소 회로(2R)와 제1 화소 회로(2R)를 통해 구동 전류를 전달받아 발광하는 적색 유기 발광 소자(OLED_R)를 포함한다. 녹색 부화소(G)는 제1 내지 제6 박막 트랜지스터(T1 내지 T6) 및 스토리지 커패시터(Cst)를 포함하는 제2 화소 회로(2G)와 제2 화소 회로(2G)를 통해 구동 전류를 전달받아 발광하는 녹색 유기 발광 소자(OLED_G)를 포함한다. 청색 부화소(B)는 제1 내지 제6 박막 트랜지스터(T1 내지 T6) 및 스토리지 커패시터(Cst)를 포함하는 제3 화소 회로(2B)와 제3 화소 회로(2B)를 통해 구동 전류를 전달받아 발광하는 청색 유기 발광 소자(OLED_B)를 포함한다. 도 6에 도시된 적색, 녹색 및 청색 유기 발광 소자(OLED_R, OLED_G, OLED_B)는 애노드 전극과 발광부만을 도시하고, 캐소드 전극은 생략되었다.
- [0062] 단위 화소를 구성하는 적색 부화소(R), 녹색 부화소(G), 청색 부화소(B)의 제1 내지 제3 화소 회로들(2R, 2G, 2B)은 하나의 행에서 세 개의 열에 각각 인접하게 배치된다.
- [0063] 적색 유기 발광 소자(OLED_R)는 비아홀(VIA_R)을 통해 제2 발광 제어 박막 트랜지스터(T6)와 연결됨으로써 제1 화소 회로(2R)와 전기적으로 연결된다. 녹색 유기 발광 소자(OLED_G)는 비아홀(VIA_G)을 통해 제2 발광 제어 박막 트랜지스터(T6)와 연결됨으로써 제2 화소 회로(2G)와 전기적으로 연결된다. 청색 유기 발광 소자(OLED_B)는 비아홀(VIA_B)을 통해 제2 발광 제어 박막 트랜지스터(T6)와 연결됨으로써 제3 화소 회로(2B)와 전기적으로 연결된다. 동일 행에서 적색 부화소(R)의 비아홀(VIA_R), 녹색 부화소(G)의 비아홀(VIA_G), 청색 부화소(B)의 비아홀(VIA_B) 각각의 위치는 서로 상이하다.
- [0064] 제1 화소 전극(120R)과 제2 화소 전극(120G)은 제1 화소 회로(2R)와 제2 화소 회로(2G) 사이에 제2 화소 회로(2G)의 데이터선과 일부 중첩하며 열 방향으로 인접하게 배치된다. 제3 화소 전극(120B)은 제3 화소 회로(2B)에 배치된다.

- [0065] 본 발명의 실시예에 따른 부화소들의 비아홀 배치에 의해, 부화소들 간의 거리를 일정하게 유지하면서, 부화소들의 화소 전극의 위치 이동이 가능하고, 화소의 전체 개구율이 증가할 수 있다.
- [0066] 도 7은 본 발명의 일 실시예에 따른 도 6의 화소 회로를 나타낸 개략적인 평면도이다. 도 7의 화소 회로(2)는 적색 부화소(R), 녹색 부화소(G) 및 청색 부화소(B)에 동일하게 적용될 수 있다.
- [0067] 도 7에 도시한 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(2)는 제1 주사 신호(S_n), 제2 주사 신호(S_{n-1}), 발광 제어 신호(E_n) 및 초기화 전압(VINT)을 각각 인가하며 제1축(x축) 방향을 따라 형성되어 있는 제1 주사선(6), 제2 주사선(3), 발광 제어선(8) 및 초기화 전압선(5)을 포함하고, 제1 주사선(6), 제2 주사선(3), 발광 제어선(8) 및 초기화 전압선(5) 모두와 교차하며 제2축(y축) 방향을 따라 형성되며 화소에 데이터 신호(D_m)를 인가하는 데이터선(4)을 포함한다. 그리고, 화소 회로(2)는 제1 전원전압(ELVDD)을 인가하는 구동 전압선(7)을 포함한다.
- [0068] 구동 전압선(7)은 데이터선(4)과 거의 평행하게 제2축을 따라 형성된 수직 라인(VL)과 데이터선(4)과 수직하게 제1축을 따라 형성된 수평 라인(HL)을 포함한다. 구동 전압선(7)의 수직 라인(VL)은 제2축 방향으로 인접하는 화소들의 수직 라인(VL)과 연결되고, 수평 라인(HL)은 데이터선(4)을 가로지르며 제1축 방향으로 인접하는 화소들의 수평 라인(HL)과 연결되어, 전체적으로 메쉬(mesh) 구조를 갖는다. 구동 전압선(7)은 스토리지 커패시터(Cst)와 데이터선(4) 사이의 층에 배치되어 차폐용 금속 실드(metal shield)로서 기능한다. 또한 구동 전압선(7)의 수평 라인(HL)은 스토리지 커패시터(Cst)를 완전히 커버하는 면적을 가짐으로써 스토리지 커패시터(Cst)의 전부와 중첩한다.
- [0069] 화소 회로(2)에는 구동 박막 트랜지스터(T_1), 스위칭 박막 트랜지스터(T_2), 보상 박막 트랜지스터(T_3), 초기화 박막 트랜지스터(T_4), 제1 발광 제어 박막 트랜지스터(T_5), 제2 발광 제어 박막 트랜지스터(T_6), 스토리지 커패시터(Cst)가 형성되어 있다.
- [0070] 구동 박막 트랜지스터(T_1)는 구동 반도체층(A1), 구동 게이트 전극(G_1), 구동 소스 전극(S_1) 및 구동 드레인 전극(D_1)을 포함한다. 구동 소스 전극(S_1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 소스 영역에 해당하고, 구동 드레인 전극(D_1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 드레인 영역에 해당한다. 구동 게이트 전극(G_1)은 컨택홀(41 내지 44)을 통해 연결 부재(40)에 의해 스토리지 커패시터의 제1전극(Cst), 보상 박막 트랜지스터(T_3)의 보상 드레인 전극(D_3), 및 초기화 박막 트랜지스터(T_4)의 초기화 드레인 전극(D_4)과 연결된다. 구동 박막 트랜지스터(T_1)의 구동 게이트 전극(G_1) 상부에는 구동 전압선(7)의 수직 라인(VL)에서 돌출된 돌출부가 배치되어 있다.
- [0071] 스위칭 박막 트랜지스터(T_2)는 스위칭 반도체층(A2), 스위칭 게이트 전극(G_2), 스위칭 소스 전극(S_2) 및 스위칭 드레인 전극(D_2)을 포함한다. 스위칭 소스 전극(S_2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 소스 영역에 해당하고, 스위칭 드레인 전극(D_2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 드레인 영역(D2)에 해당한다. 스위칭 소스 전극(S_2)은 컨택홀(45)을 통해 데이터선(4)과 연결된다. 스위칭 드레인 전극(D_2)은 구동 박막 트랜지스터(T_1) 및 동작 제어 박막 트랜지스터(T_5)와 연결되어 있다. 스위칭 게이트 전극(G_2)은 제1 주사선(6)의 일부로 형성된다.
- [0072] 보상 박막 트랜지스터(T_3)는 보상 반도체층(A3), 보상 게이트 전극(G_3), 보상 소스 전극(S_3) 및 보상 드레인 전극(D_3)을 포함한다. 보상 소스 전극(S_3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(D_3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 드레인 영역에 해당한다. 보상 게이트 전극(G_3)은 제1 주사선(6)의 일부와 제1 주사선(6)으로부터 돌출되어 연장된 배선의 일부에 의해 듀얼 게이트 전극을 형성하여 누설 전류(leakage current)를 방지한다.
- [0073] 초기화 박막 트랜지스터(T_4)는 초기화 반도체층(A4), 초기화 게이트 전극(G_4), 초기화 소스 전극(S_4) 및 초기화 드레인 전극(D_4)을 포함한다. 초기화 소스 전극(S_4)은 초기화 반도체층(A4)에서 불순물이 도핑된 초기화 소스 영역에 해당하고, 초기화 드레인 전극(D_4)은 초기화 반도체층(A4)에서 불순물이 도핑된 초기화 드레인 영역(D4)에 해당한다. 초기화 소스 전극(S_4)은 컨택홀(46)을 통해 초기화 전압선(5)과 연결될 수 있다. 초기화 게이트 전극(G_4)은 제2 주사선(3)의 일부로 형성된다.
- [0074] 제1 발광 제어 박막 트랜지스터(T_5)는 제1 발광 제어 반도체층(A5), 제1 발광 제어 게이트 전극(G_5), 제1 발광 제어 소스 전극(S_5) 및 제1 발광 제어 드레인 전극(D_5)을 포함한다. 제1 발광 제어 소스 전극(S_5)은 제1 발광 제어 반도체층(A5)에서 불순물이 도핑된 제1 발광 제어 소스 영역에 해당하고, 제1 발광 제어 드레인 전극(D_5)은 제1 발광 제어 반도체층(A5)에서 불순물이 도핑된 제1 발광 제어 드레인 영역에 해당한다. 제1 발광 제어 소

스 전극(S5)은 컨택홀(47)을 통해 구동 전압선(20)과 연결될 수 있다. 제1 발광 제어 게이트 전극(G5)은 발광 제어선(8)의 일부로 형성된다.

[0075] 제2 발광 제어 박막 트랜지스터(T6)는 제2 발광 제어 반도체층(A6), 제2 발광 제어 게이트 전극(G6), 제2 발광 제어 소스 전극(S6) 및 제2 발광 제어 드레인 전극(D6)을 포함한다. 제2 발광 제어 소스 전극(S6)은 제2 발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 소스 영역에 해당하고, 제2 발광 제어 드레인 전극(D6)은 제2 발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 드레인 영역에 해당한다. 제2 발광 제어 드레인 전극(D6)은 컨택홀(48)과 연결된 컨택 금속(CM)과 컨택 금속(CM)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 애노드 전극과 연결된다. 제2 발광 제어 게이트 전극(G6)은 발광 제어선(8)의 일부로 형성된다.

[0076] 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 연결 부재(40)에 의해 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3), 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(D4), 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)과 함께 연결되어 있다.

[0077] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 컨택홀(49)에 형성된 컨택 금속(CM)에 의해 구동 전압선(7)과 연결되어, 구동 전압선(7)으로부터 제1 전원전압(ELVDD)을 인가받는다.

[0078] 도 8은 도 7의 A-A'선, B-B'선, C-C'선을 따라 자른 단면도이다. 도 8에서는 화소 회로(2)의 복수의 박막 트랜지스터 중 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 제2 발광 제어 박막 트랜지스터(T6), 및 스토리지 커패시터(Cst)를 도시하고 있다.

[0079] 도 8을 참조하면, 기판(101) 상부에 구동 박막 트랜지스터(T1)의 구동 반도체층(A1), 스위칭 박막 트랜지스터(T2)의 스위칭 반도체층(A2), 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 반도체층(A6)이 형성된다. 반도체층(A1, A2, 및 A6)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 도시되지 않았으나, 보상 박막 트랜지스터(T3)의 보상 반도체층(A3), 초기화 박막 트랜지스터(T4)의 초기화 반도체층(A4), 제1 발광 제어 박막 트랜지스터(T5)의 제1 발광 제어 반도체층(A5) 또한 구동 반도체층(A1), 스위칭 반도체층(A2), 및 제2 발광 제어 반도체층(A6)과 동시에 형성될 수 있다.

[0080] 도시되지 않았으나, 기판(101)과 반도체층 사이에는 버퍼층을 더 형성할 수 있다. 버퍼층은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층으로 역할한다.

[0081] 반도체층(A1 내지 A6) 상부에 제1 게이트 절연막(GI1)이 기판(101) 전면에 적층된다. 제1 게이트 절연막(GI1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0082] 제1 게이트 절연막(GI1) 상부에 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(G2) 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 게이트 전극(G6)이 형성된다. 또한 스토리지 커패시터(Cst)의 제1 전극(Cst1)이 형성된다. 도시되지 않았으나, 보상 박막 트랜지스터(T3)의 보상 게이트 전극(G3), 초기화 박막 트랜지스터(T4)의 초기화 게이트 전극(G4), 제1 발광 제어 박막 트랜지스터(T5)의 제1 발광 제어 게이트 전극(G5)이 스위칭 게이트 전극(G2) 및 제2 발광 제어 게이트 전극(G6)과 동시에 동일층에 형성된다. 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 초기화 게이트 전극(G4), 제1 발광 제어 게이트 전극(G5), 제2 발광 제어 게이트 전극(G6) 및 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 제1 게이트 전극 물질로 형성되며, 이하 제1 게이트 전극이라 한다. 제1 게이트 전극 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 주사선(6), 제2 주사선(3)과 발광 제어선(8) 또한 제1 게이트 전극 물질로 제1 게이트 전극들과 동시에 동일층에 형성될 수 있다.

[0083] 제1 게이트 전극들 상부에 제2 게이트 절연막(GI2)이 기판(101) 전면에 적층된다. 제2 게이트 절연막(GI2)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0084] 제2 게이트 절연막(GI2) 상부에 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)이 형성된다. 또한, 스토리지 커패시터(Cst)의 제2 전극(Cst2)이 형성된다. 구동 게이트 전극(G1), 및 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 제2 게이트 전극 물질로 형성되며, 이하에서는 제2 게이트 전극이라 한다. 제2 게이트 전극 물질 또한

제1 게이트 전극 물질과 유사하게 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0085] 제2 게이트 전극들 상부에 제1 층간 절연막(ILD1)이 기판(101) 전면에서 적층된다. 제1 층간 절연막(ILD1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0086] 제1 층간 절연막(ILD1) 상부에는 제1 콘택 금속(CM1)이 콘택홀(45, 48, 49)에 각각 형성되어 스토리지 커패시터(Cst)의 제2 전극(Cst2), 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(S2) 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 드레인 전극(D6)과 각각 연결된다. 제1 콘택 금속(CM1)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 콘택 금속(CM1)은 다층의 금속층을 포함할 수 있는데, 일 실시예에서는 알루미늄(Al)을 중심으로 상하부에 타이타늄(Ti)이 형성된 3층 구조(Ti/Al/Ti)가 채용될 수 있다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 제1 콘택 금속(CM1)을 형성할 수 있다. 이때 초기화 전압선(5)이 제1 콘택 금속(CM1)으로 제1 층간 절연막(ILD1) 상부에 형성될 수 있다.

[0087] 제1 콘택 금속(CM1) 상부에는 제2 층간 절연막(ILD2)이 기판(101) 전면에서 적층된다. 제2 층간 절연막(ILD2)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0088] 제2 층간 절연막(ILD2) 상부에는 구동 전압선(7)이 형성되며, 제1 콘택 금속(CM1)에 의해 제2 전극(Cst2)과 연결된다. 또한 제2 층간 절연막(ILD2) 상부에는 제2 콘택 금속(CM2)이 콘택홀(45, 48)에 각각 형성되어 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(S2) 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 드레인 전극(D6)과 각각 연결된다. 구동 전압선(7)과 제2 콘택 금속(CM2)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제2 콘택 금속(CM2)은 다층의 금속층을 포함할 수 있는데, 일 실시예에서는 알루미늄(Al)을 중심으로 상하부에 타이타늄(Ti)이 형성된 3층 구조(Ti/Al/Ti)가 채용될 수 있다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 제2 콘택 금속(CM2)을 형성할 수 있다.

[0089] 구동 전압선(7) 및 제2 콘택 금속(CM2) 상부에는 제3 층간 절연막(ILD3)이 기판(101) 전면에서 적층된다. 제3 층간 절연막(ILD3)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0090] 제3 층간 절연막(ILD3) 상부에는 데이터선(4)이 형성된다. 데이터선(4)은 콘택홀(45)의 제1 콘택 금속(CM1) 및 제2 콘택 금속(CM2)에 의해 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(S2)과 연결된다. 스토리지 커패시터(Cst)의 일부는 데이터선(4)과 중첩하며, 중첩하는 데이터선(4)과 스토리지 커패시터(Cst) 사이에 구동 전압선(7)이 위치한다. 또한 제3 층간 절연막(ILD3) 상부에는 제3 콘택 금속(CM3)이 콘택홀(48)에 형성되어 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 드레인 전극(D6)과 연결된다. 데이터선(4)과 제3 콘택 금속(CM3)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제3 콘택 금속(CM3)은 다층의 금속층을 포함할 수 있는데, 일 실시예에서는 알루미늄(Al)을 중심으로 상하부에 타이타늄(Ti)이 형성된 3층 구조(Ti/Al/Ti)가 채용될 수 있다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 제3 콘택 금속(CM3)을 형성할 수 있다.

[0091] 한편, 도 8에서는 박막 트랜지스터의 소스 전극 및 드레인 전극 중 타 배선과 연결되지 않는 소스 전극 및 드레인 전극은 반도체층 각각과 동일한 층으로 형성되고 있다. 즉, 각 박막 트랜지스터의 소스 전극 및 드레인 전극은 선택적으로 도핑 물질이 도핑된 폴리 실리콘으로 형성될 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 본 발명의 다른 실시예에 따른 박막 트랜지스터의 소스 전극 및 드레인 전극 각각은 반도체층 각각과 다른 층으로 형성되고, 콘택홀에 의해 반도체층의 소스 영역 및 드레인 영역과 연결될 수 있다.

[0092] 도 9는 도 8의 화소 회로 상에 유기 발광 소자가 형성된 모습을 개략적으로 도시한 단면도이다.

[0093] 도 9를 참조하면, 화소 회로(2)가 형성된 기판(101) 상에 데이터선(4) 및 제3 콘택 금속(CM3)을 덮으며 평탄화

막(PL)이 형성된다. 평탄화막(PL)은 복수의 박막 트랜지스터가 구비된 기판(101)의 표면을 평탄화하기 위한 것으로, 단일 층 또는 복수 층의 절연막으로 형성될 수 있다. 평탄화막(PL)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 물질을 사용할 수 있다. 평탄화막(PL)에는 비아홀(VIA)이 형성된다.

[0094] 평탄화막(PL) 상부에 화소 전극(120)이 형성된다. 화소 전극(120)은 비아홀(VIA)을 통해 컨택홀(48)의 제3 컨택 금속(CM3)과 연결되어, 제2 발광 제어 드레인 전극(D6)과 연결된다. 화소 전극(120)은 유기 발광 소자(OLED)의 애노드 전극에 대응한다.

[0095] 화소 전극(120) 상부에는 화소 정의막(PDL)이 형성되고, 화소 정의막(PDL)은 화소 전극(120)의 일부를 노출하는 개구를 구비한다. 즉, 화소 전극(120)은 화소 정의막(PDL)에 의해 덮이지 않는 발광부와 화소 정의막(PDL)에 의해 덮이는 비발광부를 포함한다. 비아홀(VIA)은 화소 전극(120)의 비발광부에 배치된다.

[0096] 화소 전극(120) 상에는 발광층을 포함하는 유기막(130)과 대향 전극(140)이 순차로 형성된다.

[0097] 유기막(130)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기막(130)은 저분자 또는 고분자 유기물로 구비될 수 있다. 유기막(130)이 적색, 녹색, 청색의 빛을 각각 방출하는 경우, 상기 발광층은 적색 발광층, 녹색 발광층 및 청색 발광층으로 각각 패터닝될 수 있다. 한편, 유기막(130)이 백색광을 방출하는 경우, 상기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일 층 구조를 가질 수 있다.

[0098] 대향 전극(140)은 유기 발광 소자(OLED)의 캐소드 전극에 대응한다.

[0099] 도 10은 본 발명의 일 실시예에 따른 부화소들의 비아홀 배열을 나타내는 도면이다. 도 10에서는 설명의 편의와 이해를 위해 화소 회로를 생략하였다.

[0100] 도 10을 참조하면, 제1 부화소(SP1)의 제1 화소 전극(120A)은 발광층이 배치되는 제1 발광부(121) 및 제1 발광부(121) 주변의 제1 비발광부(122)를 포함할 수 있다. 제1 발광부(121)는 제1 면적(A1)을 갖는다. 제1 비발광부(122)는 화소 정의막으로 덮이는 부분이고, 제1 발광부(121)는 화소 정의막의 개구부에 대응한다. 제1 부화소(SP1)는 제1축 및 제2축 방향으로 인접하는 제2 부화소(SP2) 및 제3 부화소(SP3)와 각각 소정 거리 이격되며 배치된다. 이때 제1 부화소(SP1)의 제1 발광부(121)의 최외곽으로부터 인접하는 제2 부화소(SP2)의 제2 발광부(123)의 최외곽 또는 제3 부화소(SP3)의 제3 발광부(125)의 최외각까지는 제1 거리(d1)만큼 이격된다.

[0101] 제2 부화소(SP2)의 제2 화소 전극(120B)은 발광층이 배치되는 제2 발광부(123) 및 제2 발광부(123) 주변의 제2 비발광부(124)를 포함할 수 있다. 제2 발광부(123)는 제2 면적(A2)을 갖는다. 제2 비발광부(124)는 화소 정의막으로 덮이는 부분이고, 제2 발광부(123)는 화소 정의막의 개구부에 대응한다. 제2 부화소(SP2)는 제1축 및 제2축 방향으로 인접하는 제1 부화소(SP1) 및 제3 부화소(SP3)와 소정 거리 이격되며 배치된다. 이때 제2 부화소(SP2)의 제2 발광부(123)의 최외곽으로부터 인접하는 제1 부화소(SP1)의 제1 발광부(121)의 최외곽 또는 제3 부화소(SP3)의 제3 발광부(125)의 최외각까지는 제1 거리(d1)만큼 이격된다.

[0102] 제3 부화소(SP3)의 제3 화소 전극(120C)은 발광층이 배치되는 제3 발광부(125) 및 제3 발광부(125) 주변의 제3 비발광부(126)를 포함할 수 있다. 제3 발광부(125)는 제3 면적(A3)을 갖는다. 제3 비발광부(126)는 화소 정의막으로 덮이는 부분이고, 제3 발광부(125)는 화소 정의막의 개구부에 대응한다. 제3 부화소(SP3)는 제1축 방향으로 인접하는 제1 부화소(SP1) 및 제2 부화소(SP2)와 소정 거리 이격되며 배치된다. 이때 제3 부화소(SP3)의 제3 발광부(125)의 최외곽으로부터 인접하는 제1 부화소(SP1)의 제1 발광부(121)의 최외곽 또는 제2 부화소(SP2)의 제2 발광부(123)의 최외각까지는 제1 거리(d1)만큼 이격된다. 그리고, 제2축 방향으로 배열된 인접하는 제3 부화소들(SP3)의 제3 발광부(125)의 최외곽은 제2 거리(d2)만큼 이격된다.

[0103] 제1 부화소(SP1)의 제1 비아홀(VIA_A)은 제1 발광부(121)와 중첩하지 않고, 제1 발광부(121)로부터 좌하 방향으로 소정 거리 시프트되어 형성된다. 구체적으로, 제1 부화소(SP1)의 제1 비아홀(VIA_A)은 제1 발광부(121)의 최외곽으로부터 제3축(z축)의 하향, 즉, 제1축과 제2축에 대해 좌측하향 대각선으로 제3 거리(d3)만큼 이격된 위치에 형성된다.

[0104] 제2 부화소(SP2)의 제2 비아홀(VIA_B)은 제2 발광부(123)와 중첩하지 않고, 제2 발광부(123)로부터 우상 방향으

로 소정 거리 시프트되어 형성된다. 구체적으로, 제2 부화소(SP2)의 제2 비아홀(VIA_B)은 제2 발광부(123)의 최외곽으로부터 제3축의 상향, 즉, 제1축과 제2축에 대해 우측상향 대각선으로 제4 거리(d4)만큼 이격된 위치에 형성된다.

[0105] 제3 부화소(SP3)의 제3 비아홀(VIA_C)은 제3 발광부(125)와 중첩하지 않고, 제3 발광부(125)와 대략 동일한 수직선 상에 형성된다. 구체적으로, 제3 부화소(SP3)의 제3 비아홀(VIA_C)은 제3 발광부(125)의 상단 최외곽으로부터 제2축의 상향으로 제5 거리(d5)만큼 이격된 위치에 형성된다.

[0106] 제3 거리(d3), 제4 거리(d4) 및 제5 거리(d5)는 각 부화소에서 암점 발생을 최소화할 수 있는 발광부와 비아홀 간의 이격 거리 범위를 만족한다.

[0107] 제1 부화소(SP1)의 제1 비아홀(VIA_A)과 제2 부화소(SP2)의 제2 비아홀(VIA_B)은 제1축 및 제2축으로 소정 거리 이격되며 서로 인접하게 배치된다. 제1 부화소(SP1)의 제1 비아홀(VIA_A), 제2 부화소(SP2)의 제2 비아홀(VIA_B) 및 제3 부화소(SP3)의 제3 비아홀(VIA_C)은 동일 행에서 서로 상이한 위치에 형성된다. 제1 부화소(SP1)의 제1 비아홀(VIA_A)의 중심과 제2 부화소(SP2)의 제2 비아홀(VIA_B)의 중심을 연결하는 가상의 직선은 제1 발광부(121)와 제2 발광부(123)의 사이, 즉 화소 정의막의 개구들 사이에 위치하고, 제1 발광부(121)와 제2 발광부(123)를 가로지르지 않는다.

[0108] 제1 부화소(SP1)는 적색 부화소(R) 또는 녹색 부화소(G)일 수 있고, 제2 부화소(SP2)는 녹색 부화소(G) 또는 적색 부화소(R)일 수 있다. 제3 부화소(SP3)는 청색 부화소(B)일 수 있다.

[0109] 도 12 및 도 13은 본 발명의 일 실시예에 따른 비아홀들의 위치를 개략적으로 도시한다. 도 12는 도 1의 화소 배열 구조에서의 비아홀들의 위치를 나타내고, 도 13은 도 3의 화소 배열 구조에서의 비아홀들의 위치를 나타낸다. 도 12 및 도 13을 참조하면, 점선으로 표시된 바와 같이, 부화소들의 비아홀들은 행 방향으로 대략 지그재그로 형성된다.

[0110] 도 11은 본 발명의 비교예에 따른 부화소들의 비아홀 배열을 나타내는 도면이다. 도 11에서는 설명의 편의와 이해를 위해 화소 회로를 생략하였다. 도 11을 설명할 때 도 10과 동일한 구성의 상세한 설명은 생략하겠다.

[0111] 도 11을 참조하면, 제1 부화소(SP1c)의 제1 화소 전극(131)은 면적(A4)을 갖는 제1 발광부(132) 및 제1 비발광부(133)를 포함하고, 제2 부화소(SP2c)의 제2 화소 전극(134)은 면적(A5)을 갖는 제2 발광부(135) 및 제2 비발광부(136)를 포함하고, 제3 부화소(SP3c)의 제3 화소 전극(137)은 면적(A6)을 갖는 제3 발광부(138) 및 제3 비발광부(139)를 포함할 수 있다. 제1 내지 제3 비발광부(133, 136, 139)는 화소 정의막으로 덮이는 부분이고, 제1 내지 제3 발광부(132, 135, 138)는 화소 정의막의 개구부에 대응한다.

[0112] 제1 부화소(SP1c)의 제1 비아홀(VIA_Ac)은 제1 발광부(132)의 최외곽으로부터 제3축의 상향, 즉, 제1축과 제2축에 대해 우측상향 대각선으로 제6 거리(d6)만큼 이격된 위치에 형성된다. 제2 부화소(SP2c)의 제2 비아홀(VIA_Bc)은 제2 발광부(135)의 최외곽으로부터 제3축의 하향, 즉, 제1축과 제2축에 대해 좌측하향 대각선으로 제7 거리(d7)만큼 이격된 위치에 형성된다. 제3 부화소(SP3c)의 제3 비아홀(VIA_Cc)은 제3 발광부(138)의 하단 최외곽으로부터 제2축의 하향으로 제8 거리(d8)만큼 이격된 위치에 형성된다. 그리고, 제1 내지 제3 발광부(132, 135, 138)들 사이의 최외곽 거리는, 도 10에 도시된 바와 같이, 제1 거리(d1) 또는 제2 거리(d2)를 유지한다.

[0113] 도 10에 도시된 본 발명의 실시예와 도 11에 도시된 비교예를 비교하면, 비교예는 제n 행의 제2 부화소(SP2c) 및 제3 부화소(SP3c)와 제(n+1) 행의 제1 부화소(SP1c)의 제1 내지 제3 비아홀들(VIA_Ac, VIA_Bc, VIA_Cc)이 제1축 방향으로 제n 행과 제(n+1) 행의 사이의 비아홀 영역(VHA)에 나란히 배열된다. 반면, 본 발명의 실시예는, 별도의 비아홀 영역(VHA) 없이, 제1 부화소(SP1), 제2 부화소(SP2) 및 제3 부화소(SP3)의 제1 내지 제3 비아홀들(VIA_A, VIA_B, VIA_C)은 각 행에서 서로 다른 위치에 형성된다.

[0114] 이에 따라, 본 발명의 실시예는 제1 부화소(SP1)의 제1 비아홀(VIA_A)과 제1 발광부(121) 간의 제3 거리(d3)를, 비교예에서 제1 부화소(SP1c)의 제1 비아홀(VIA_Ac)과 제1 발광부(138) 간의 제6 거리(d6)보다 작게 형성할 수 있다. 그리고, 본 발명의 실시예는 제2 부화소(SP2)의 제2 비아홀(VIA_B)과 제2 발광부(123) 간의 제4 거리(d4)를, 비교예에서 제2 부화소(SP2c)의 제2 비아홀(VIA_Bc)과 제2 발광부(135) 간의 제7 거리(d7)보다 작게 형성할 수 있다.

[0115] 따라서, 본 발명의 실시예는 제1 부화소(SP1)의 제1 화소 전극(120A)의 크기 및 제1 발광부(121)의 면적(A1)을, 비교예에서 제1 부화소(SP1)의 제1 화소 전극(131)의 크기 및 제1 발광부(132)의 면적(A4)보다 크게 형성할 수

있다. 또한, 본 발명의 실시예는 제2 부화소(SP2)의 제2 화소 전극(120B)의 크기 및 제2 발광부(123)의 면적(A2)을, 비교예에서 제2 부화소(SP2)의 제2 화소 전극(134)의 크기 및 제2 발광부(135)의 면적(A5) 보다 크게 형성할 수 있다.

[0116] 반면, 본 발명의 실시예는 제3 부화소(SP3)의 제3 발광부(125) 면적(A3)을, 비교예에서 제3 부화소(SP3c)의 제3 발광부(138) 면적(A6)보다 작게 형성한다. 제3 부화소(SP3)는 제1 부화소(SP1)와 제2 부화소(SP2)에 비해 큰 면적을 가지므로 제3 부화소(SP3)의 제3 발광부(125) 면적(A3)의 감소는 상대적으로 적다.

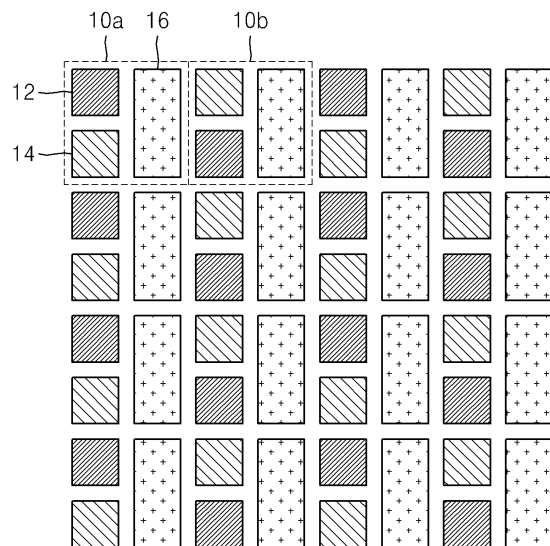
[0117] 동일한 제조 조건 하에서, 제1 부화소(SP1), 제2 부화소(SP2), 제3 부화소(SP3)를 적색 부화소(R), 녹색 부화소(G) 및 청색 부화소(B)로 형성한 경우, 비교예는, 적색 부화소(Rc), 녹색 부화소(Gc) 및 청색 부화소(Bc) 각각의 개구율이 3.48%, 3.36%, 18.19%인 반면, 본 발명의 실시예는, 적색 부화소(R), 녹색 부화소(G) 및 청색 부화소(B) 각각의 개구율은 6.03%, 6.03%, 16.44%로 측정되었다. 즉, 본 발명의 실시예는 청색 부화소(B)의 개구율이 다소 감소하였으나, 적색 부화소(R) 및 녹색 부화소(G)의 개구율의 증가로 단위 화소의 전체적인 개구율이 증가하였다.

[0118] 즉, 본 발명의 실시예는 서로 다른 색의 부화소들 간에 일정 거리, 즉 제1 거리(d1) 또는 제2 거리(d2)를 유지할 수 있다. 부화소들 간에 일정 거리를 유지함으로써 부화소들의 형성 공정시 인접 유기막들 간의 경계가 모호해지는 쉐도잉 현상(shadowing effect)을 방지할 수 있다. 또한 적색 부화소(R)와 녹색 부화소(G)의 면적 및 화소 정의막의 개구부 사이즈를 기존에 비해 크게 형성할 수 있어, 고개구율을 갖게 되어, 고색재현율 및 고해상도의 표시 장치를 구현할 수 있다.

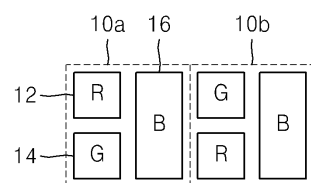
[0119] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면

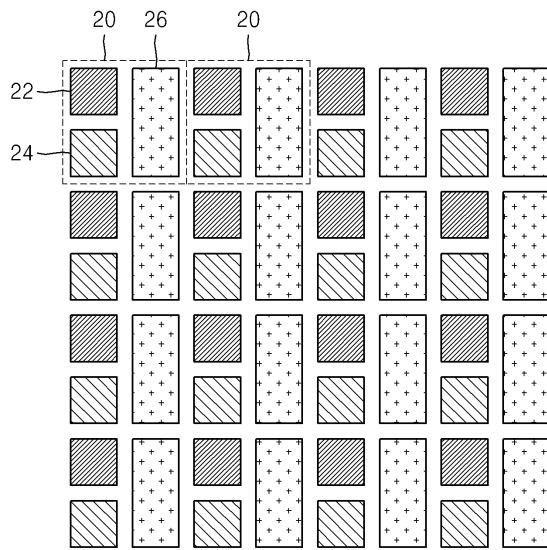
도면1



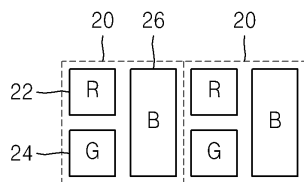
도면2



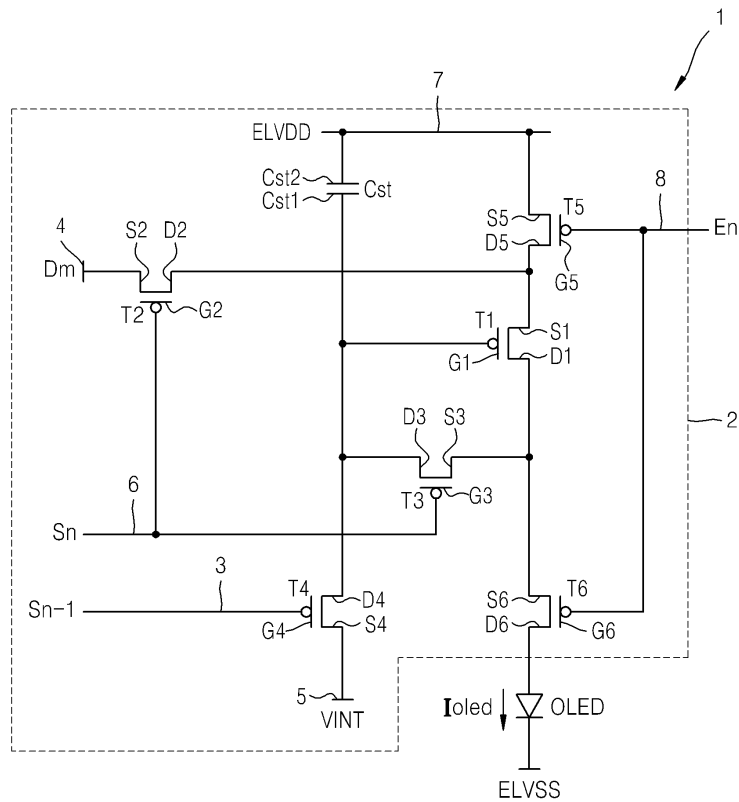
도면3



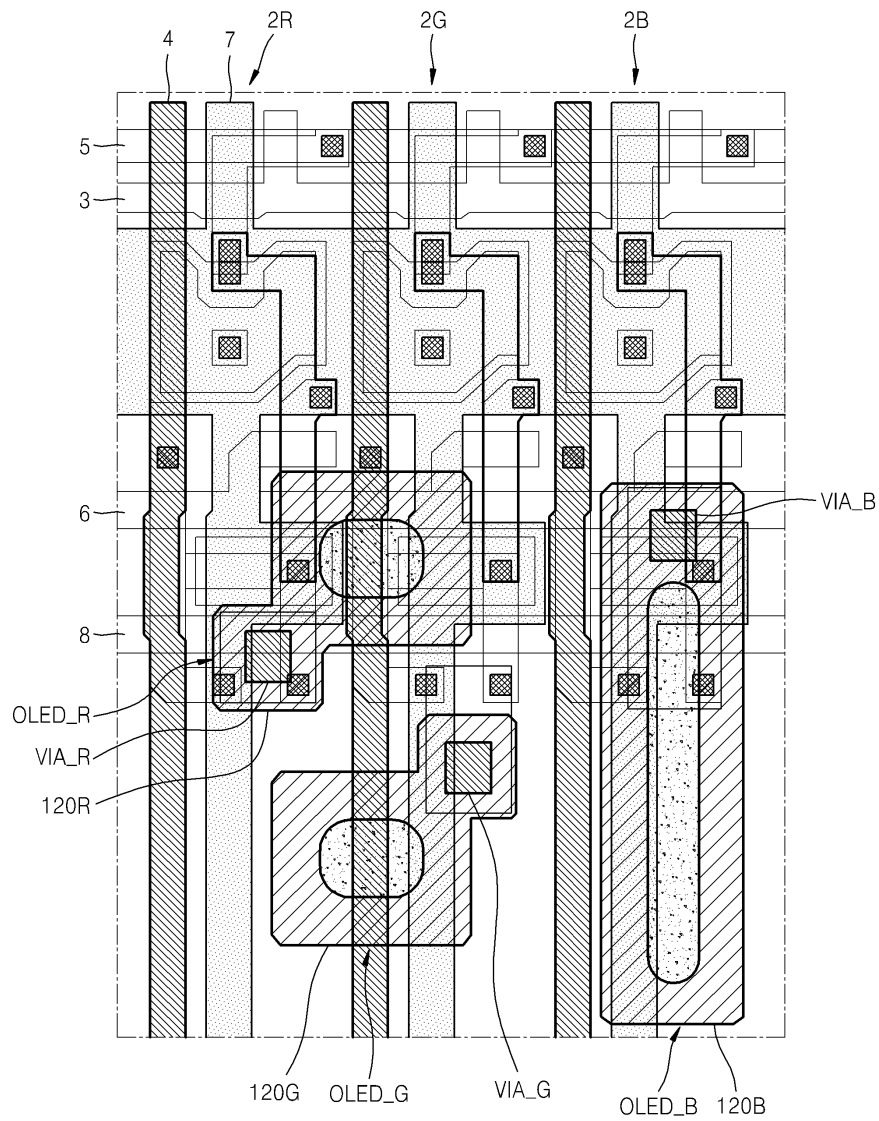
도면4



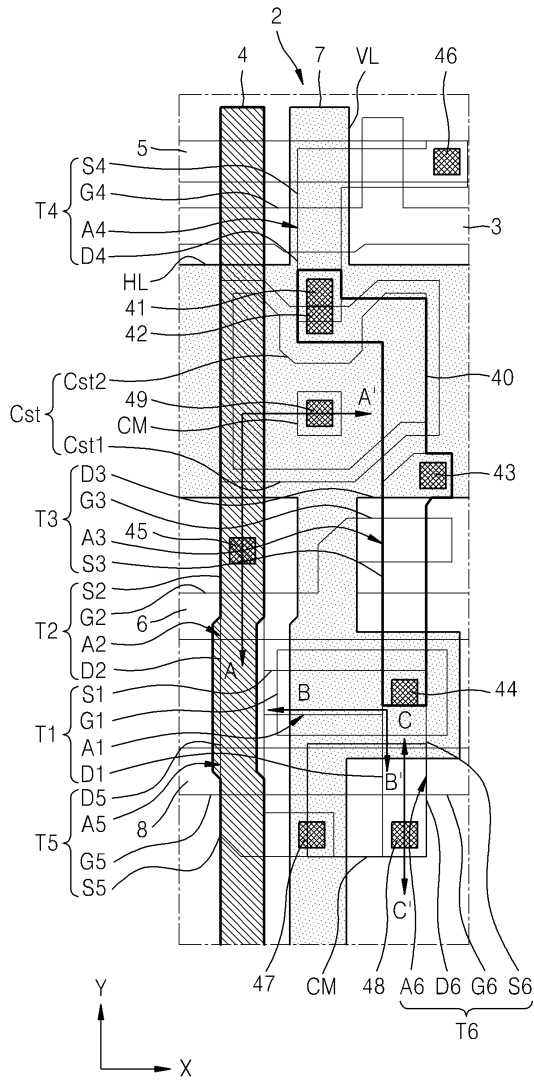
도면5



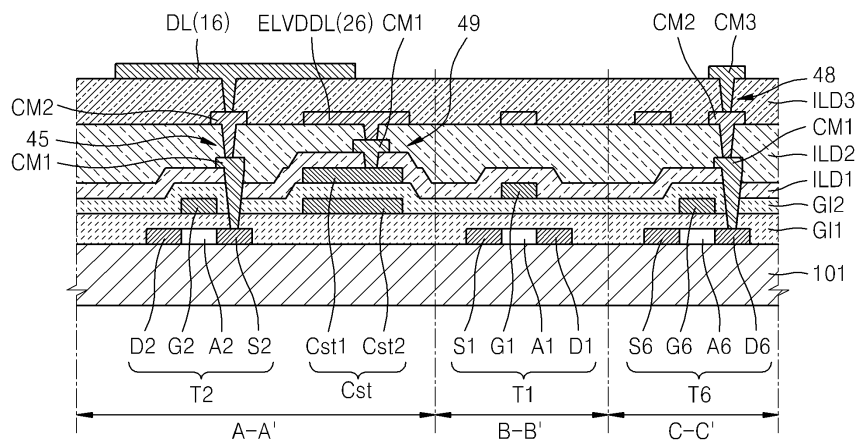
도면6



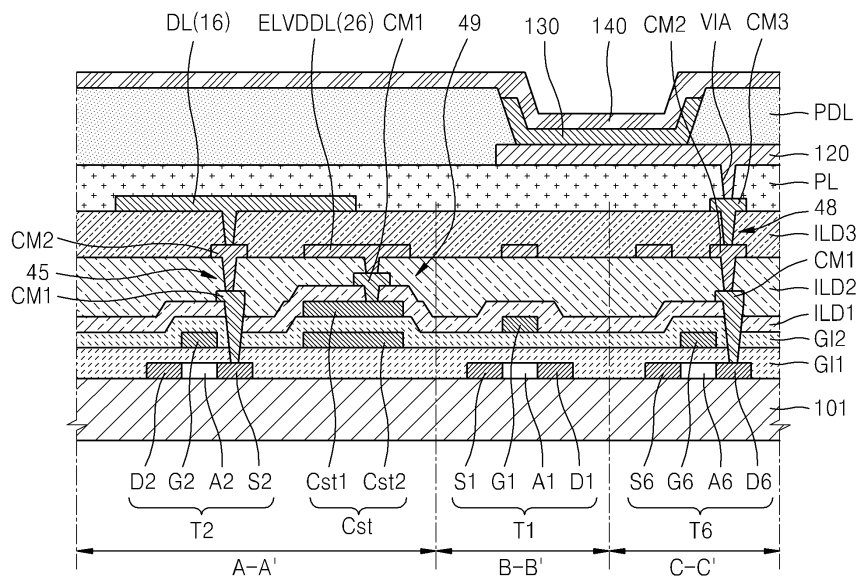
도면7



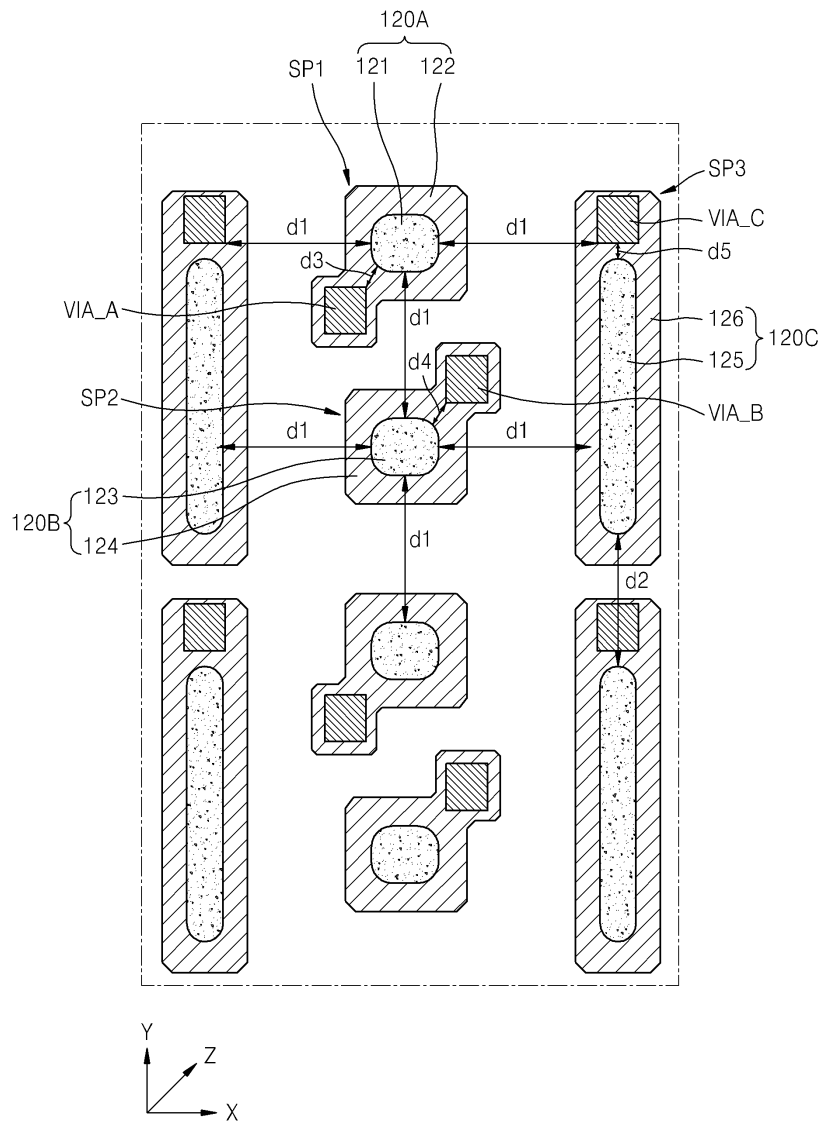
도면8



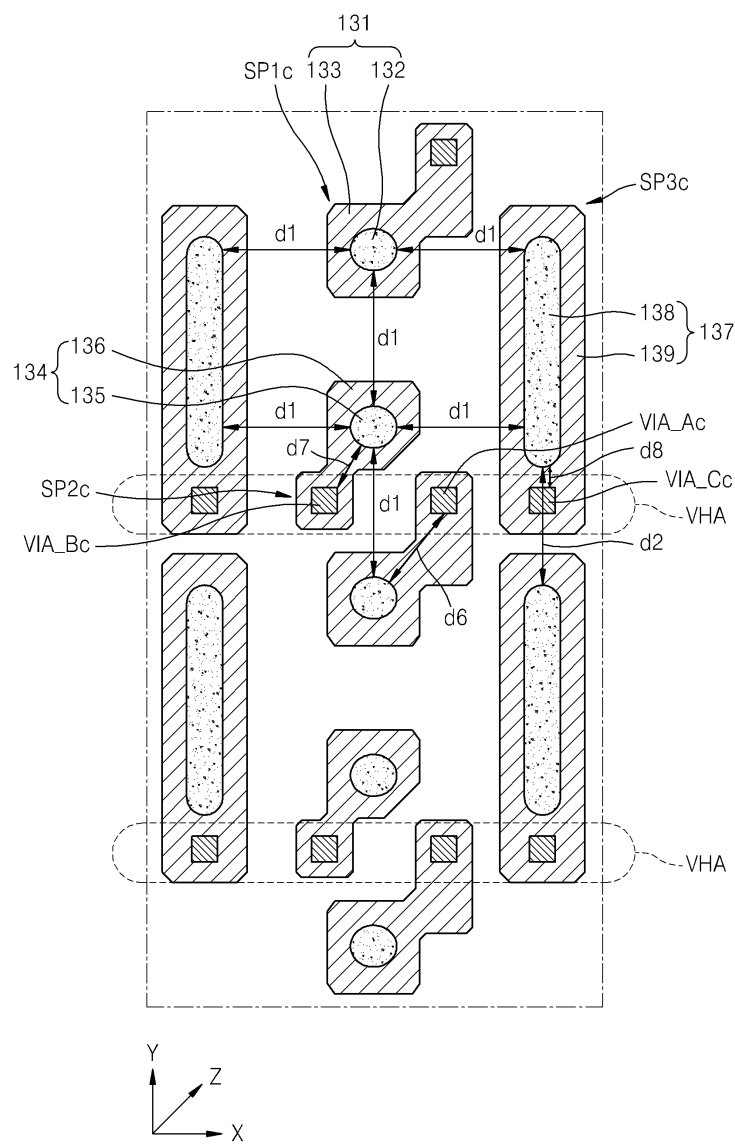
도면9



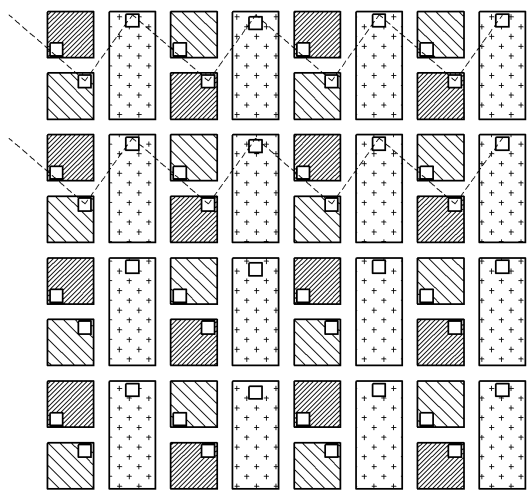
도면10



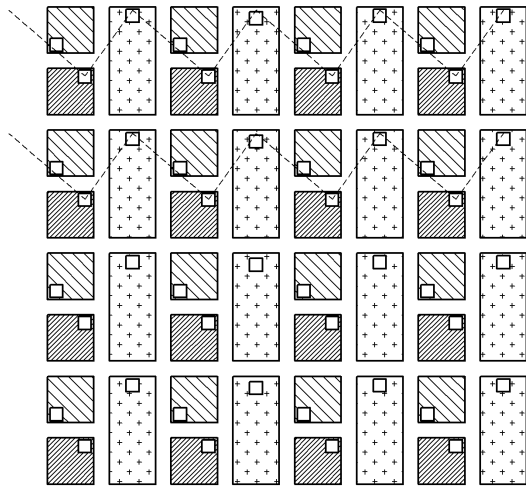
도면11



도면12



도면13



专利名称(译)	基板形成的薄膜晶体管阵列和有机发光二极管显示器		
公开(公告)号	KR102096051B1	公开(公告)日	2020-04-02
申请号	KR1020130033085	申请日	2013-03-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이원세		
发明人	이원세		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	G09G3/3233 G09G2300/0452 G09G2300/0465 G09G2300/0819 G09G2310/0262 H01L27/124 H01L27/3216 H01L27/3218 H01L27/326 H01L27/3246 H01L27/3265 H01L27/3276 H01L27/3262		
审查员(译)	김우영		
其他公开文献	KR1020140118010A		
外部链接	Espacenet		

摘要(译)

具有像素排列结构的薄膜晶体管阵列基板包括：第一子像素，用于显示第一颜色；第二子像素，用于显示第二颜色，交替地位于第一列中；以及第三子像素，用于显示第三颜色。在与第一列相邻的第二列中，第一和第三子像素的通孔位于不同的位置。

