



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월21일
(11) 등록번호 10-2034254
(24) 등록일자 2019년10월14일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2013-0036981
(22) 출원일자 2013년04월04일
심사청구일자 2018년03월06일
(65) 공개번호 10-2014-0120736
(43) 공개일자 2014년10월14일
(56) 선행기술조사문헌
KR1020110071698 A*
WO2008117426 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김중윤
경기도 용인시 기흥구 삼성2로 95 (농서동)
이명구
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 24 항

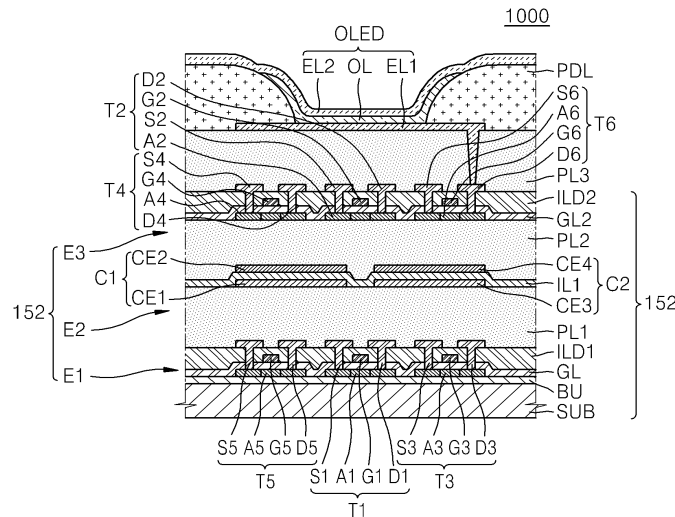
심사관 : 김우영

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

본 발명은 기판 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층; 상기 제1 소자층을 덮는 제1 평탄화막; 및 상기 제1 평탄화막 상에 위치하며 적어도 하나의 커패시터를 포함하는 제2소자층; 을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

대표도 - 도3



명세서

청구범위

청구항 1

기판 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층;
상기 제1 소자층을 덮는 제1 평탄화막; 및
상기 제1 평탄화막 상에 위치하며 적어도 하나의 커패시터를 포함하는 제2소자층;을 포함하며,
상기 커패시터는 상기 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 박막 트랜지스터 어레이 기판.

청구항 2

제1항에 있어서,
상기 제2 소자층을 덮는 제2 평탄화막; 및
상기 제2 평탄화막 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제3 소자층;
을 더 포함하는 박막 트랜지스터 어레이 기판.

청구항 3

제2항에 있어서,
상기 제1 소자층, 상기 제2 소자층 및 상기 제3 소자층은 적어도 일부가 중첩되는, 박막 트랜지스터 어레이 기판.

청구항 4

제2항에 있어서,
상기 제1 소자층과 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 서로 다른 종류인, 박막 트랜지스터 어레이 기판.

청구항 5

제4항에 있어서,
상기 제1 소자층에 포함되는 상기 박막 트랜지스터는 저온 폴리 실리콘 박막 트랜지스터이며, 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 산화물 박막 트랜지스터인, 박막 트랜지스터 어레이 기판.

청구항 6

기판 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층;
상기 제1 소자층을 덮는 제1 평탄화막;
상기 제1 평탄화막 상에 위치하며 적어도 하나의 커패시터를 포함하는 제2소자층; 및
상기 제2 소자층과 절연되어 상기 제2 소자층 상에 위치하는 유기 발광 소자;를 포함하며,
상기 커패시터는 상기 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 포함하는 유기 발광 표시 장치.

청구항 7

제6항에 있어서,
상기 제2 소자층과 상기 유기 발광 소자 사이에,
상기 제2 소자층을 덮는 제2 평탄화막;

상기 제2 평탄화막 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제3 소자층; 및
상기 제3 소자층을 덮는 제3 평탄화막;
을 더 포함하는 유기 발광 표시 장치.

청구항 8

제7항에 있어서,
상기 제1 소자층, 상기 제2 소자층 및 상기 제3 소자층은 적어도 일부가 중첩되는, 유기 발광 표시 장치.

청구항 9

제7항에 있어서,
상기 제1 소자층과 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 서로 다른 종류인, 유기 발광 표시 장치.

청구항 10

제9항에 있어서,
상기 제1 소자층에 포함되는 상기 박막 트랜지스터는 저온 폴리 실리콘 박막 트랜지스터이며, 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 산화물 박막 트랜지스터인, 유기 발광 표시 장치.

청구항 11

제7항에 있어서,
상기 유기 발광 표시 장치는
초기화 전원 라인 및 구동 전원 라인을 더 포함하며,
상기 제2 소자층은
제1 평탄화막 상에 위치하며 상기 초기화 전원 라인과 커플링된 제1 하부 전극;
상기 제1 하부 전극 상에 위치하는 제1 유전체층; 및
상기 제1 하부 전극에 대응하여 상기 제1 유전체층 상에 위치하며 상기 구동 전원 라인과 연결된 제1 상부 전극;
을 포함하는 제1 커패시터를 포함하는, 유기 발광 표시 장치.

청구항 12

제11항에 있어서,
상기 제1 소자층은
상기 기판 상에 위치하는 제1 활성층;
상기 제1 하부 전극과 연결되며 상기 제1 활성층과 제1 게이트 절연막을 통해 절연되는 제1 게이트 전극;
상기 제1 게이트 전극과 제1 층간 절연막을 통해 절연되며 상기 구동 전원 라인과 커플링된 제1 소스 전극; 및
상기 제1 소스 전극과 동일층에 위치하며 상기 유기 발광 소자와 커플링된 제1 드레인 전극;
을 포함하는 제1 박막 트랜지스터를 포함하는, 유기 발광 표시 장치.

청구항 13

제12항에 있어서,
상기 유기 발광 표시 장치는

제1 스캔 라인 및 데이터 라인을 더 포함하며,
 상기 제3 소자층은
 상기 제2 평탄화막 상에 위치하는 제2 활성층;
 상기 제1 스캔 라인과 연결되며 상기 제2 활성층과 제2 게이트 절연막을 통해 절연되는 제2 게이트 전극;
 상기 제2 게이트 전극과 제2 층간 절연막을 통해 절연되며 상기 데이터 라인과 연결된 제2 소스 전극; 및
 상기 제2 소스 전극과 동일층에 위치하며 상기 제1 소스 전극과 연결된 제2 드레인 전극;
 을 포함하는 제2 박막 트랜지스터를 포함하는, 유기 발광 표시 장치.

청구항 14

제12항에 있어서,
 상기 유기 발광 표시 장치는
 제1 스캔 라인 및 데이터 라인을 더 포함하며,
 상기 제3 소자층은
 상기 제2 평탄화막 상에 위치하며 상기 제1 스캔 라인과 연결되는 제2 게이트 전극;
 상기 제2 게이트 전극과 제2 게이트 절연막을 통해 절연되는 제2 활성층;
 상기 제2 활성층과 접촉하며 상기 데이터 라인과 연결된 제2 소스 전극; 및
 상기 제2 소스 전극과 동일층에 위치하며 상기 제1 소스 전극과 연결된 제2 드레인 전극;
 을 포함하는 제2 박막 트랜지스터를 포함하는, 유기 발광 표시 장치.

청구항 15

제13항 또는 제14항에 있어서,
 상기 제1 소자층은
 상기 제1 활성층과 동일층에 위치하는 제3 활성층;
 상기 제1 게이트 전극과 동일층에 위치하며 상기 제1 스캔 라인과 연결된 제3 게이트 전극;
 상기 제1 드레인 전극과 동일층에 위치하며 연결된 제3 소스 전극; 및
 상기 제1 드레인 전극과 동일층에 위치하며 상기 제1 게이트 전극과 연결된 제3 드레인 전극;
 을 포함하는 제3 박막 트랜지스터를 포함하는, 유기 발광 표시 장치.

청구항 16

제15항에 있어서,
 상기 유기 발광 표시 장치는
 제2 스캔 라인을 더 포함하며,
 상기 제3 소자층은
 상기 제2 게이트 전극과 동일층에 위치하며 상기 제2 스캔 라인과 연결된 제4 게이트 전극;
 상기 제2 활성층과 동일층에 위치하는 제4 활성층;
 상기 제2 드레인 전극과 동일층에 위치하며 상기 초기화 전원 라인에 연결된 제4 소스 전극; 및
 상기 제1 드레인 전극과 동일층에 위치하며 상기 제1 게이트 전극과 연결된 제4 드레인 전극;
 을 포함하는 제4 박막 트랜지스터를 포함하는, 유기 발광 표시 장치.

청구항 17

제16항에 있어서,
 상기 유기 발광 표시 장치는
 발광 제어 라인을 더 포함하며,
 상기 제1 소자층은
 상기 제1 활성층과 동일층에 위치하는 제5 활성층;
 상기 제1 게이트 전극과 동일층에 위치하며 상기 발광 제어 라인과 연결된 제5 게이트 전극;
 상기 제1 드레인 전극과 동일층에 위치하며 상기 구동 전원 라인과 연결된 제5 소스 전극; 및
 상기 제1 소스 전극과 동일층에 위치하며 연결된 제5 드레인 전극;
 을 포함하는 제5 박막 트랜지스터를 포함하는, 유기 발광 표시 장치.

청구항 18

제17항에 있어서,
 상기 제3 소자층은
 상기 제2 게이트 전극과 동일층에 위치하며 상기 발광 제어 라인과 연결된 제6 게이트 전극;
 상기 제2 활성층과 동일층에 위치하는 제6 활성층;
 상기 제1 드레인 전극과 동일층에 위치하며 연결된 제6 소스 전극; 및
 상기 제1 드레인 전극과 동일층에 위치하며 상기 유기 발광 소자와 연결된 제6 드레인 전극;
 을 포함하는 제6 박막 트랜지스터를 포함하는, 유기 발광 표시 장치.

청구항 19

제13항 또는 제14항에 있어서,
 상기 제2 소자층은
 제1 평탄화막 상에 위치하며 상기 제1 게이트 전극과 연결된 제2 하부 전극; 및
 상기 제2 하부 전극에 대응하여 상기 제1 유전체층 상에 위치하며 상기 제1스캔 라인과 연결된 제2 상부 전극;
 을 포함하는 제2 커패시터를 포함하는, 유기 발광 표시 장치.

청구항 20

기관 상에 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층을 제조하는 단계;
 상기 제1 소자층을 덮도록 제1 평탄화막을 형성하는 단계;
 상기 제1 평탄화막 상에 적어도 하나의 커패시터를 포함하는 제2소자층을 제조하는 단계; 및
 상기 제2 소자층과 절연되도록 상기 제2 소자층 상에 유기 발광 소자를 형성하는 단계;을 포함하며,
 상기 커패시터를 상기 박막 트랜지스터의 게이트 전극과 전기적으로 연결시키는 유기 발광 표시 장치의 제조 방법.

청구항 21

제20항에 있어서,
 상기 제2 소자층과 상기 유기 발광 소자 사이에,
 상기 제2 소자층을 덮도록 제2 평탄화막을 형성하는 단계;

상기 제2 평탄화막 상에 적어도 하나의 박막 트랜지스터를 포함하는 제3 소자층을 제조 하는 단계; 및
 상기 제3 소자층을 덮도록 제3 평탄화막을 형성하는 단계;
 을 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 22

제21항에 있어서,
 상기 제1 소자층, 상기 제2 소자층 및 상기 제3 소자층은 적어도 일부가 중첩되도록 하는, 유기 발광 표시 장치의 제조 방법.

청구항 23

제21항에 있어서,
 상기 제1 소자층과 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 서로 다른 종류인, 유기 발광 표시 장치의 제조 방법.

청구항 24

제22항에 있어서,
 상기 제1 소자층에 포함되는 상기 박막 트랜지스터는 저온 폴리 실리콘 박막 트랜지스터이며, 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 산화물 박막 트랜지스터인, 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 박막 트랜지스터 및 커패시터를 포함하는 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판 상에 위치하며 일 방향으로 연장된 게이트 라인들, 게이트 라인들과 교차하는 방향으로 연장된 데이터 라인들, 게이트 라인들 및 데이터 라인들 각각에 연결된 화소 회로 및 화소 회로와 연결된 유기 발광 소자를 포함한다.

[0005] 그런데, 최근 고해상도의 디스플레이를 요구함에 따라 유기 발광 표시 장치에 포함된 박막 트랜지스터, 커패시터 및 유기 발광 소자의 수가 증가함으로써, 전체적인 소자들의 배치 문제 등 다양한 문제들이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예는 표시 품질 향상에 기여하는 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공한다.

과제의 해결 수단

[0007] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 의하면, 기판 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층; 상기 제1 소자층을 덮는 제1 평탄화막; 및 상기 제1 평탄화막 상에 위치하며 적어도

하나의 커패시터를 포함하는 제2소자층; 을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

- [0008] 상기 제2 소자층을 덮는 제2 평탄화막; 및 상기 제2 평탄화막 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제3 소자층; 을 더 포함한다.
- [0009] 상기 제1 소자층, 상기 제2 소자층 및 상기 제3 소자층은 적어도 일부가 중첩된다.
- [0010] 상기 제1 소자층과 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 서로 다른 종류이다.
- [0011] 상기 제1 소자층에 포함되는 상기 박막 트랜지스터는 저온 폴리 실리콘 박막 트랜지스터이며, 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 산화물 박막 트랜지스터이다.
- [0012] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 의하면, 기판 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층; 상기 제1 그룹을 덮는 제1 평탄화막; 상기 제1 평탄화막 상에 위치하며 적어도 하나의 커패시터를 포함하는 제2소자층; 및 상기 제2 소자층과 절연되어 상기 제2 소자층 상에 위치하는 유기 발광 소자; 을 포함하는 유기 발광 표시 장치를 제공한다.
- [0013] 상기 제2 소자층과 상기 유기 발광 소자 사이에, 상기 제2 소자층을 덮는 제2 평탄화막; 상기 제2 평탄화막 상에 위치하며 적어도 하나의 박막 트랜지스터를 포함하는 제3 소자층; 및 상기 제3 소자층을 덮는 제3 평탄화막; 을 더 포함한다.
- [0014] 상기 제1 소자층, 상기 제2 소자층 및 상기 제3 소자층은 적어도 일부가 중첩된다.
- [0015] 상기 제1 소자층과 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 서로 다른 종류이다.
- [0016] 상기 제1 소자층에 포함되는 상기 박막 트랜지스터는 저온 폴리 실리콘 박막 트랜지스터이며, 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 산화물 박막 트랜지스터이다.
- [0017] 상기 유기 발광 표시 장치는 초기화 전원 라인 및 구동 전원 라인을 더 포함하며, 상기 제2 소자층은 제1 평탄화막 상에 위치하며 상기 초기화 전원 라인과 커플링된 제1 하부 전극; 상기 제1 하부 전극 상에 위치하는 제1 유전체층; 및 상기 제1 하부 전극에 대응하여 상기 제1 유전체층 상에 위치하며 상기 구동 전원 라인과 연결된 제1 상부 전극; 을 포함하는 제1 커패시터를 포함한다.
- [0018] 상기 제1 소자층은 상기 기판 상에 위치하는 제1 활성층; 상기 제1 하부 전극과 연결되며 상기 제1 활성층과 제1 게이트 절연막을 통해 절연되는 제1 게이트 전극; 상기 제1 게이트 전극과 제1 층간 절연막을 통해 절연되며 상기 구동 전원 라인과 커플링된 제1 소스 전극; 및 상기 제1 소스 전극과 동일층에 위치하며 상기 유기 발광 소자와 커플링된 제1 드레인 전극; 을 포함하는 제1 박막 트랜지스터를 포함한다.
- [0019] 상기 유기 발광 표시 장치는 제1 스캔 라인 및 데이터 라인을 더 포함하며, 상기 제3 소자층은 상기 제2 평탄화막 상에 위치하는 제2 활성층; 상기 제1 스캔 라인과 연결되며 상기 제2 활성층과 제2 게이트 절연막을 통해 절연되는 제2 게이트 전극; 상기 제2 게이트 전극과 제2 층간 절연막을 통해 절연되며 상기 데이터 라인과 연결된 제2 소스 전극; 및 상기 제2 소스 전극과 동일층에 위치하며 상기 제1 소스 전극과 연결된 제2 드레인 전극; 을 포함하는 제2 박막 트랜지스터를 포함한다.
- [0020] 제12항에 있어서,
- [0021] 상기 유기 발광 표시 장치는 제1 스캔 라인 및 데이터 라인을 더 포함하며, 상기 제3 소자층은 상기 제2 평탄화막 상에 위치하며 상기 제1 스캔 라인과 연결되는 제2 게이트 전극; 상기 제2 게이트 전극과 제2 게이트 절연막을 통해 절연되는 제2 활성층; 상기 제2 활성층과 접촉하며 상기 데이터 라인과 연결된 제2 소스 전극; 및 상기 제2 소스 전극과 동일층에 위치하며 상기 제1 소스 전극과 연결된 제2 드레인 전극; 을 포함하는 제2 박막 트랜지스터를 포함한다.
- [0022] 상기 제1 소자층은 상기 제1 활성층과 동일층에 위치하는 제3 활성층; 상기 제1 게이트 전극과 동일층에 위치하며 상기 제1 스캔 라인과 연결된 제3 게이트 전극; 상기 제1 드레인 전극과 동일층에 위치하며 연결된 제3 소스 전극; 및 상기 제1 드레인 전극과 동일층에 위치하며 상기 제1 게이트 전극과 연결된 제3 드레인 전극; 을 포함하는 제3 박막 트랜지스터를 포함한다.
- [0023] 상기 유기 발광 표시 장치는 제2 스캔 라인을 더 포함하며, 상기 제3 소자층은 상기 제2 활성층과 동일층에 위치하는 제4 활성층; 상기 제2 게이트 전극과 동일층에 위치하며 상기 제2 스캔 라인과 연결된 제4 게이트 전극; 상기 제2 드레인 전극과 동일층에 위치하며 상기 초기화 전원 라인에 연결된 제4 소스 전극; 및 상기 제1 드레

인 전극과 동일층에 위치하며 상기 제1 게이트 전극과 연결된 제4 드레인 전극; 을 포함하는 제4 박막 트랜지스터를 포함한다.

- [0024] 상기 유기 발광 표시 장치는 발광 제어 라인을 더 포함하며, 상기 제1 소자층은 상기 제1 활성층과 동일층에 위치하는 제5 활성층; 상기 제1 게이트 전극과 동일층에 위치하며 상기 발광 제어 라인과 연결된 제5 게이트 전극; 상기 제1 드레인 전극과 동일층에 위치하며 상기 구동 전원 라인과 연결된 제5 소스 전극; 및 상기 제1 소스 전극과 동일층에 위치하며 연결된 제5 드레인 전극; 을 포함하는 제5 박막 트랜지스터를 포함한다.
- [0025] 상기 제3 소자층은 상기 제2 활성층과 동일층에 위치하는 제6 활성층; 상기 제2 게이트 전극과 동일층에 위치하며 상기 발광 제어 라인과 연결된 제6 게이트 전극; 상기 제1 드레인 전극과 동일층에 위치하며 연결된 제6 소스 전극; 및 상기 제1 드레인 전극과 동일층에 위치하며 상기 유기 발광 소자와 연결된 제6 드레인 전극; 을 포함하는 제6 박막 트랜지스터를 포함한다.
- [0026] 상기 제2 소자층은 제1 평탄화막 상에 위치하며 상기 제1 게이트 전극과 연결된 제2 하부 전극; 및 상기 제2 하부 전극에 대응하여 상기 제1 유전체층 상에 위치하며 상기 제1스캔 라인과 연결된 제2 상부 전극; 을 포함하는 제2 커패시터를 포함한다.
- [0027] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 의하면, 기판 상에 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층을 제조하는 단계; 상기 제1 그룹을 덮도록 제1 평탄화막을 형성하는 단계; 상기 제1 평탄화막 상에 적어도 하나의 커패시터를 포함하는 제2소자층을 제조하는 단계; 및 상기 제2 소자층과 절연되도록 상기 제2 소자층 상에 유기 발광 소자를 형성하는 단계; 을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0028] 상기 제2 소자층과 상기 유기 발광 소자 사이에, 상기 제2 소자층을 덮도록 제2 평탄화막을 형성하는 단계; 상기 제2 평탄화막 상에 적어도 하나의 박막 트랜지스터를 포함하는 제3 소자층을 제조 하는 단계; 및 상기 제3 소자층을 덮도록 제3 평탄화막을 형성하는 단계; 을 더 포함한다.
- [0029] 상기 제1 소자층, 상기 제2 소자층 및 상기 제3 소자층은 적어도 일부가 중첩되도록 한다.
- [0030] 상기 제1 소자층과 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 서로 다른 종류이다.
- [0031] 상기 제1 소자층에 포함되는 상기 박막 트랜지스터는 저온 폴리 실리콘 박막 트랜지스터이며, 상기 제3 소자층에 포함되는 상기 박막 트랜지스터는 산화물 박막 트랜지스터이다.

발명의 효과

- [0032] 본 발명의 실시예들에 의한 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법은 표시 품질 향상에 기여한다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 도면이다.
 도 2은 도 1에 도시된 화소를 나타낸 회로도이다.
 도 3는 도 2에 도시된 화소 회로 및 유기 발광 소자를 나타낸 단면도이다.
 도 4은 본 발명이 제2 실시예에 따른 유기 발광 표시 장치의 화소 회로 및 유기 발광 소자를 나타낸 단면도이다.
 도 5은 본 발명이 제3 실시예에 따른 유기 발광 표시 장치의 화소 회로 및 유기 발광 소자를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0035] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

- [0036] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성에 대해서만 설명하기로 한다.
- [0037] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0038] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 “상에” 있다고 할 때, 이는 다른 부분 “바로 상에” 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0039] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 “포함” 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, “~상에” 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0040] 또한, 첨부 도면에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 2개의 축전 소자(capacitor)를 구비하는 6Tr-2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 축전 소자를 구비할 수 있으며, 별도의 라인이 더 형성되거나 기존의 라인이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소들을 통해 화상을 표시한다.
- [0041] 이하, 도 1 내지 도 3을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0042] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 도면이다.
- [0043] 도 1에 도시된 바와 같이, 본 발명의 제1 실시예에 의한 유기 발광 표시 장치(1000)는 게이트 구동부(110), 발광 제어 구동부(120), 데이터 구동부(130), 각종 라인들, 표시부(140) 및 화소(150)를 포함한다.
- [0044] 게이트 구동부(110)는 도시되지 않은 외부의 제어회로, 예컨대 타이밍 제어부 등으로부터 공급되는 제어신호에 대응하여 제1 스캔 라인(SC2~SCn) 또는 제2 스캔 라인(SC1~SCn-1)으로 스캔 신호를 순차적으로 공급한다. 그러면, 화소(150)는 스캔 신호에 의해 선택되어 순차적으로 데이터 신호를 공급받는다.
- [0045] 제2 스캔 라인(SCn-1)은 게이트 구동부(110)와 연결되어 있으며, 게이트 구동부(110)로부터 스캔 신호를 공급받는다. 발광 제어 라인(En)은 발광 제어 구동부(120)와 연결되어 있으며, 발광 제어 구동부(120)로부터 발광 제어 신호를 공급받는다.
- [0046] 제1 스캔 라인(SCn)은 게이트 구동부(110)와 연결되어 있으며, 게이트 구동부(110)로부터 스캔 신호를 공급받는다. 초기화 전원 라인(Vinit)은 게이트 구동부(110)와 연결되어 있으며, 게이트 구동부(110)로부터 초기화 전원을 인가받는다.
- [0047] 본 발명의 제1 실시예에서는 초기화 전원 라인(Vinit)이 게이트 구동부(110)로부터 초기화 전원을 인가받으나, 본 발명의 다른 실시예에서는 초기화 전원 라인(Vinit)이 추가적인 다른 구성과 연결되어 상기 추가적인 다른 구성으로부터 초기화 전원을 인가받을 수 있다.
- [0048] 발광 제어 구동부(120)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 발광 제어 라인(En)로 발광 제어 신호를 순차적으로 공급한다. 그러면, 화소(150)는 발광 제어 신호에 의해 발광이 제어된다.
- [0049] 즉, 발광 제어 신호는 화소(150)의 발광 시간을 제어한다. 단, 발광 제어 구동부(120)는 화소(150)의 내부 구조에 따라 생략될 수도 있다.
- [0050] 데이터 구동부(130)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 데이터 라인(DAm)으로 데이터 신호를 공급한다. 데이터 라인(DAm)으로 공급된 데이터 신호는 제1 스캔 라인(SCn)으로 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 화소(150)로 공급된다. 그러면, 화소(150)는 데이터 신호에 대응하는 전압을 충전하고 이에 대응하는 휘도로 발광한다.
- [0051] 데이터 라인(DA1~DAm) 및 구동 전원 라인(ELVDDL)은 제1 방향(X)과 교차하는 제2 방향(Y)으로 연장된다. 데이터 라인(DAm)은 데이터 구동부(130)와 연결되어 있으며, 데이터 구동부(130)로부터 데이터 신호를 공급받는다.

구동 전원 라인(ELVDDL)은 후술할 외부의 제1 전원(ELVDD)과 연결되어 있으며, 제1 전원(ELVDD)으로부터 구동 전원을 공급받는다.

- [0052] 표시부(140)는 제1 스캔 라인들(Scn-1), 제2 스캔 라인들(Scn) 및 데이터 라인들(DAm)의 교차 영역에 위치하는 복수의 화소(150)를 포함한다. 여기서, 각각의 화소(150)는 데이터 신호에 대응되는 구동 전류에 상응하는 휘도로 발광하는 유기발광 소자와, 상기 유기 발광 소자에 흐르는 구동전류를 제어하기 위한 화소 회로를 포함한다. 화소 회로는 제1 스캔 라인, 제2 스캔 라인 초기화 전원 라인, 발광 제어 라인, 구동 전원 라인 및 데이터 라인 각각과 연결되어 있으며, 유기 발광 소자는 상기 화소 회로에 연결되어 있다.
- [0053] 이와 같은 표시부(140)의 유기 발광 소자는 화소 회로를 사이에 두고 외부의 제1 전원(ELVDD)과 연결되고, 제2 전원(ELVSS)과 연결된다. 제1 전원(ELVDD) 및 제2 전원(ELVSS) 각각은 구동 전원 및 공통 전원 각각을 표시부(140)의 화소(150)로 공급하며, 화소(150)는 화소(150)로 공급된 구동 전원 및 공통 전원에 따라 데이터 신호에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 소자를 통하는 구동 전류에 대응하는 휘도로 발광한다.
- [0054] 이하, 도 2 및 도 3을 참조하여 본 발명의 제1 실시예에 따른 화소(150)를 보다 상세히 설명한다.
- [0055] 도 2은 도 1에 도시된 화소(150)를 나타낸 회로도이다. 도 3는 도 2에 도시된 화소 회로(152) 및 유기 발광 소자(OLED)를 나타낸 단면도이다.
- [0056] 도 2 및 도 3에 도시된 바와 같이, 화소(150)는 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속되는 유기 발광 소자(OLED)와, 상기 제1 전원(ELVDD)과 유기 발광 소자(OLED) 사이에 접속되어 상기 유기 발광 소자(OLED)로 공급되는 구동 전원을 제어하는 화소 회로(152)를 포함한다.
- [0057] 화소 회로(152)는 기판(SUB) 상에 위치하며 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3) 및 제5 박막 트랜지스터(T3)를 포함하는 제1 소자층(E1), 제1 소자층(E1) 상에 형성되며 제1 커패시터(C1) 및 제2 커패시터(C2)를 포함하는 제2 소자층(E2) 및 제2 소자층(E2) 상에 형성되며 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4) 및 제6 박막 트랜지스터(T6)를 포함하는 제3 소자층(E3)을 포함한다.
- [0058] 유기 발광 소자(OLED)의 애노드 전극은 화소 회로(152)를 경유하여 제1 전원(ELVDD)에 연결된 구동 전원 라인(ELVDDL)에 접속되고, 유기 발광 소자(OLED)의 캐소드 전극은 제2 전원(ELVSS)에 접속된다. 이러한 유기 발광 소자(OLED)는 제1 전원(ELVDD)으로부터 화소 회로(152)를 거쳐 구동 전원이 공급되고 제2 전원(ELVSS)으로부터 공통 전원이 공급될 때 유기 발광 소자(OLED)에 흐르는 구동 전류에 대응하는 휘도로 발광한다.
- [0059] 화소 회로(152)에 포함된 커패시터가 차지하는 면적은 전체 화소 회로(152) 면적의 약 50%에 육박한다. 따라서, 커패시터와 박막 트랜지스터를 동일한 평면에 배치하는 경우 화소 회로의 면적이 늘어날 수 밖에 없다. 화소 회로의 면적이 커지면, 화소의 면적도 커지게 되고 결국 한정된 기판 상에 배치될 수 있는 화소의 개수가 작아진다.
- [0060] 본 발명의 일 실시예에 의하면 적어도 하나의 커패시터를 포함하는 제2 소자층(E2)을 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층(E1) 및 제3 소자층(E3)과 다른 평면에 배치한다. 상세히, 제1 소자층(E1)과 제2 소자층(E2)은 제1 평탄화막(PL1)을 사이에 두고 분리되며, 제2 소자층(E2) 및 제3 소자층(E3)은 제2 평탄화막(PL2)을 사이에 두고 분리된다. 또한, 제1 소자층(E1), 제2 소자층(E2) 및 제3 소자층(E3)은 적어도 일부가 중첩된다. 예컨대, 도 3에 도시된 바와 같이 제1 소자층(E1) 상에 중첩되도록 제2 소자층(E2)이 위치하고, 제2 소자층(E2) 상에 주중첩되도록 제3 소자층(E3)이 배치될 수 있다. 따라서, 제1 소자층(E1), 제2 소자층(E2) 및 제3 소자층(E3)이 중첩된다. 이와 같이 화소 회로(152)에 포함된 소자들을 중첩되게 배치함으로써, 좁은 면적에 많은 소자들을 구현할 수 있다. 따라서, 화소 회로(152)의 면적이 작아지고, 화소의 면적도 작아지며 결국 한정된 기판(SUB) 상에 배치될 수 있는 화소의 개수가 늘어나 고해상도 유기 발광 표시 장치(1000)의 구현이 가능하다.
- [0061] 이하에서는 제1 내지 제3 소자층(E1, E2, E3)에 배치된 소자들에 대해 상세히 알아본다.
- [0062] 제1 박막 트랜지스터(T1)는 제1 소자층(E1)에 배치되며, 구동 전원 라인(ELVDDL)과 유기 발광 소자(OLED) 사이에 연결되어, 화소(150)의 발광기간 동안 데이터 신호에 대응하는 구동 전원을 제1 전원(ELVDD)으로부터 유기 발광 소자(OLED)로 공급한다. 즉, 제1 박막 트랜지스터(T1)는 화소(150)의 구동 트랜지스터로서 기능한다. 제1 박막 트랜지스터(T1)는 제1 활성층(A1), 제1 게이트 전극(G1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함한다.
- [0063] 제1 활성층(A1)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사

이에 위치하는 채널 영역을 포함한다. 제1 활성층(A1)은 기관(SUB)에 형성된 버퍼층(BU)과 제1 게이트 절연막(GI1) 사이에 위치하고 있다.

- [0064] 제1 게이트 전극(G1)은 제1 캐패시터(C1)의 제1 하부 전극(CE1)과 연결되어 있으며, 제1 게이트 절연막 상에 위치하고 있다. 즉, 제1 게이트 전극(G1)과 제1 활성층(A1) 사이에는 제1 게이트 절연막(GI1)이 위치하고 있다.
- [0065] 제1 소스 전극(S1)은 제5 박막 트랜지스터(T5)를 경유하여 구동 전원 라인(ELVDDL)과 커플링되어 있다. 제1 드레인 전극(D1)은 제6 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)와 커플링되어 있다. 제1 소스 전극(S1) 및 제1 드레인 전극(D1)과 제1 게이트 전극(G1) 사이에는 제1 층간 절연막(ILD1)이 위치하고 있다.
- [0066] 제2 박막 트랜지스터(T2)는 제3 소자층(E3)에 위치하며, 데이터 라인(DAm)과 제1 박막 트랜지스터(T1) 사이에 연결되어, 제2 스캔 라인(SCn-1)으로부터 스캔 신호가 공급될 때 데이터 라인(DAm)으로부터 공급되는 데이터 신호를 화소(150) 내부로 전달한다. 즉, 제2 박막 트랜지스터(T2)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제2 박막 트랜지스터(T2)는 제2 활성층(A2), 제2 게이트 전극(G2), 제2 소스 전극(S2) 및 제2 드레인 전극(D2)을 포함한다.
- [0067] 제2 활성층(A2)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제2 활성층(A2)은 제2 평탄화막(PL2)과 제2 게이트 절연막(GI2) 사이에 위치하고 있다.
- [0068] 제2 게이트 전극(G2)은 제1 스캔 라인(SCn)과 연결되어 있으며, 제2 게이트 전극(G2)과 제2 활성층(A2) 사이에는 제2 게이트 절연막(GI2)이 위치하고 있다
- [0069] 제2 소스 전극(S2)은 데이터 라인(DAm)과 연결되어 있다. 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 소스 전극(S2) 및 제2 드레인 전극(D2)과 제2 게이트 전극(G2) 사이에는 제2 층간 절연막(ILD2)이 위치하고 있다.
- [0070] 제3 박막 트랜지스터(T3)는 제1 소자층(E1)에 위치하며 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 제1 게이트 전극(G1) 사이에 연결되고, 화소(150) 내부로 데이터 신호가 공급될 때 제1 박막 트랜지스터(T1)를 다이오드 형태로 연결하여 제1 박막 트랜지스터(T1)의 문턱전압을 보상한다. 즉, 제3 박막 트랜지스터(T3)는 화소(150)의 보상 트랜지스터로서 기능한다. 제3 박막 트랜지스터(T3)는 제3 활성층(A3), 제3 게이트 전극(G3), 제3 소스 전극(S3) 및 제3 드레인 전극(D3)을 포함한다.
- [0071] 제3 활성층(A3)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제3 활성층(A3)은 기관(SUB)에 형성된 버퍼층(BU)과 제1 게이트 절연막(GI1) 사이에 위치하고 있다.
- [0072] 제3 게이트 전극(G3)은 제1 스캔 라인(SCn)과 연결되어 있으며, 제1 게이트 전극(G1)과 동일한 층에 위치하고 있다. 즉, 제3 게이트 전극(G3)과 제3 활성층(A3) 사이에는 제1 게이트 절연막(GI1)이 위치하고 있다.
- [0073] 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다. 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 소스 전극(S3) 및 제3 드레인 전극(D3)과 제3 게이트 전극(G3) 사이에는 제1 층간 절연막(ILD1)이 위치하고 있다.
- [0074] 제4 박막 트랜지스터(T4)는 제3 소자층(E3)에 위치하며, 초기화 전원 라인(Vinit)과 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이에 연결되고, 화소(150)에 데이터 신호가 입력되는 데이터 프로그래밍 기간 동안 상기 데이터 신호가 화소(150) 내부로 원활히 공급될 수 있도록, 상기 데이터 프로그래밍 기간에 앞선 초기화 기간 동안 제2 스캔 라인(SCn-1)으로부터 스캔 신호가 공급될 때 초기화 전원 라인(Vinit)으로부터 공급되는 초기화 전원을 화소(150) 내부로 전달하여 제1 박막 트랜지스터(T1)를 초기화한다. 즉, 제4 박막 트랜지스터(T4)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제4 박막 트랜지스터(T4)는 제4 활성층(A4), 제4 게이트 전극(G4), 제4 소스 전극(S4) 및 제4 드레인 전극(D4)을 포함한다.
- [0075] 제4 활성층(A4)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제4 활성층(A4)은 제2 평탄화막(PL2)과 제2 게이트 절연막(GI1) 사이에 위치하고 있다.
- [0076] 제4 게이트 전극(G4)은 제2 스캔 라인(SCn-1)과 연결되어 있으며, 제2 게이트 전극(G2)과 동일한 층에 위치하고 있다. 즉, 제4 게이트 전극(G4)과 제4 활성층(A4) 사이에는 제2 게이트 절연막(GI2)이 위치하고 있다.

- [0077] 제4 소스 전극(S4)은 초기화 전원 라인(Vinit)과 연결되어 있다. 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 소스 전극(S4) 및 제4 드레인 전극(D4)과 제4 게이트 전극(G4) 사이에는 제2 층간 절연막(ILD2)이 위치하고 있다.
- [0078] 제5 박막 트랜지스터(T5)는 제1 소자층에 위치하며, 구동 전원 라인(ELVDDL)과 제1 박막 트랜지스터(T1) 사이에 연결되고, 화소(150)의 비발광기간 동안 제1 전원(ELVDD)과 제1 박막 트랜지스터(T1) 사이의 연결을 차단하고, 화소(150)의 발광기간 동안 상기 제1 전원(ELVDD)과 제1 박막 트랜지스터(T1) 사이를 연결한다. 즉, 제5 박막 트랜지스터(T5)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제5 박막 트랜지스터(T5)는 제5 활성층(A5), 제5 게이트 전극(G5), 제5 소스 전극(S5) 및 제5 드레인 전극(D5)을 포함한다.
- [0079] 제5 활성층(A5)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제5 활성층(A5)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 게이트 절연막(GI1) 사이에 위치하고 있다.
- [0080] 제5 게이트 전극(G5)은 발광 제어 라인(En)과 연결되어 있으며, 제1 게이트 전극(G1)과 동일한 층에 위치하고 있다. 즉, 제5 게이트 전극(G5)과 제5 활성층(A5) 사이에는 제1 게이트 절연막(GI1)이 위치하고 있다.
- [0081] 제5 소스 전극(S5)은 구동 전원 라인(ELVDDL)과 연결되어 있다. 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 소스 전극(S5) 및 제5 드레인 전극(D5)과 제5 게이트 전극(G5) 사이에는 제1 층간 절연막(ILD1)이 위치하고 있다.
- [0082] 제6 박막 트랜지스터(T6)는 제3 소자층(E3)에 위치하며, 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이에 연결되고, 화소(150)의 비발광기간 동안 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이의 연결을 차단하고, 화소(150)의 발광기간 동안 상기 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이를 연결한다. 즉, 제6 박막 트랜지스터(T6)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제6 박막 트랜지스터(T6)는 제6 활성층(A6), 제6 게이트 전극(G6), 제6 소스 전극(S6) 및 제6 드레인 전극(D6)을 포함한다.
- [0083] 제6 활성층(A6)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제6 활성층(A6)은 제2 평탄화막(PL2)과 제2 게이트 절연막(GI2) 사이에 위치하고 있다.
- [0084] 제6 게이트 전극(G6)은 발광 제어 라인(En)과 연결되어 있으며, 제2 게이트 전극(G2)과 동일한 층에 위치하고 있다. 즉, 제6 게이트 전극(G6)과 제6 활성층(A6) 사이에는 제2 게이트 절연막(GI2)이 위치하고 있다.
- [0085] 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다. 제6 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드 전극과 연결되어 있다. 제6 소스 전극(S6) 및 제6 드레인 전극(D6)과 제6 게이트 전극(G6) 사이에는 제2 층간 절연막(ILD2)이 위치하고 있다.
- [0086] 한편 도시 되지 않았으나, 1 박막 트랜지스터(T1) 내지 제6 박막 트랜지스터(T6) 중 적어도 하나는 소스 전극 및 드레인 전극이 해당 박막 트랜지스터의 활성층과 선택적으로 동일한 층에 형성될 수 있다. 즉, 각 박막 트랜지스터의 소스 전극 및 드레인 전극은 선택적으로 도핑 물질이 도핑된 폴리 실리콘으로 형성될 수 있다.
- [0087] 제1 캐패시터(C1)는 제2 소자층(E2)에 배치되며 데이터 프로그래밍 기간 동안 화소(150) 내부로 공급되는 데이터 신호를 저장하고 이를 한 프레임 동안 유지하기 위한 것으로, 제1 전원(ELVDD)과 연결된 구동 전원 라인(ELVDDL)과 초기화 전원 라인(Vinit)과 연결된 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이에 연결된다. 즉, 제1 캐패시터(C1)는 스토리지 캐패시터로 기능한다. 제1 캐패시터(C1)는 제1 하부 전극(CE1) 및 제1 상부 전극(CE2)을 포함한다.
- [0088] 제1 하부 전극(CE1)은 초기화 전원 라인(Vinit)과 연결된 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있으며, 제1 평탄화막(PL1) 상에 위치하고 있다.
- [0089] 제1 상부 전극(CE2)은 구동 전원 라인(ELVDDL)과 연결되어 있으며, 제1 하부 전극 상에 형성된 제1 유전체층 상에 제1 하부 전극에 대응하여 위치하고 있다. 즉, 제1 하부 전극(CE1)과 제1 상부 전극(CE2) 사이에는 제1 유전체층(IL1)이 위치하고 있다.
- [0090] 제2 캐패시터(C2)는 제2 소자층(E2)에 위치하며 유기 발광 표시 장치(1000)에서 로드로 인한 전압강하를 보상하기 위한 것으로, 제1 캐패시터(C1)의 제1 하부 전극(CE1)과 제1 스캔 라인(SCn) 사이에 연결된다. 즉, 제2 캐패시터(C2)는 현재 스캔 신호의 전압 레벨이 변경될 때, 특히 현재 스캔 신호의 공급이 중단되는 시점에서 커플

링 작용에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)의 전압을 상승시킴으로써, 유기 발광 표시 장치(1000) 내의 로드로 인한 전압강하를 보상하는 부스팅 캐패시터로 기능한다. 제2 캐패시터(C2)는 제2 하부 전극(CE3) 및 제2 상부 전극(CE4)을 포함한다.

- [0091] 제2 하부 전극(CE3)은 제1 캐패시터(C1)의 제1 하부 전극(CE1)과 연결되어 있으며, 제1 평탄화막(PL1) 상에 위치하고 있다.
- [0092] 제2 상부 전극(CE4)은 제1 스캔 라인(SCn)과 연결되어 있으며, 제2 하부 전극(CE3) 상에 형성된 제1 유전체층(IL1) 상에 제2 하부 전극(CE3)에 대응하여 위치하고 있다. 즉, 제2 하부 전극(CE3)과 제2 상부 전극(CE4) 사이에는 제1 유전체층(IL1)이 위치고 있다.
- [0093] 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)에는 유기 발광 소자(OLED)가 연결되어 있다.
- [0094] 유기 발광 소자(OLED)는 제3 평탄화막(PL3) 상에 위치하며 제6 드레인 전극(D6)과 접속된 애노드 전극(EL1), 애노드 전극 상에 형성된 화소 정의막으로 정의된 개구부에 형성된 유기 발광층(OL) 및 유기 발광층 상에 형성되며 애노드 전극과 대향하는 제2 전원(ELVSS)과 연결된 캐소드 전극(EL2)을 포함한다. 유기 발광층(OL)은 화소 정의막(PDL)에 의해 그 위치가 결정될 수 있으며, 캐소드 전극(EL2)은 화소 정의막(PDL) 상 전체에 걸쳐서 위치할 수 있다.
- [0095] 이하, 상술한 화소(150)의 동작을 설명한다.
- [0096] 우선, 초기화 기간으로 설정되는 제1 기간 동안 제2 스캔 라인(SCn-1)을 통해 로우 레벨의 이전 스캔 신호가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호에 대응하여 제4 박막 트랜지스터(T4)가 턴온되며, 초기화 전원 라인(Vinit)으로부터 제4 박막 트랜지스터(T4)를 통해 초기화 전원이 제1 박막 트랜지스터(T1)로 공급되어 제1 박막 트랜지스터(T1)가 초기화된다.
- [0097] 이후, 데이터 프로그래밍 기간으로 설정되는 제2 기간 동안 제1 스캔 라인(SCn)을 통해 로우 레벨의 현재 스캔 신호가 공급된다. 그러면, 로우 레벨의 현재 스캔 신호에 대응하여 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)가 턴온된다.
- [0098] 그리고, 제1 박막 트랜지스터(T1)도 제3 박막 트랜지스터(T3)에 의해 다이오드 연결되는 형태로 턴온되며, 특히 앞선 제1 기간 동안 제1 박막 트랜지스터(T1)가 초기화되었으므로 제1 박막 트랜지스터(T1)는 순방향으로 다이오드 연결된다.
- [0099] 이에 의해, 데이터 라인(DAm)으로부터 공급된 데이터 신호가 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1) 및 제3 박막 트랜지스터(T3)를 경유하며, 이로 인해 제1 캐패시터(C1)에는 데이터 신호와 제1 박막 트랜지스터(T1)의 문턱전압의 차에 대응하는 전압이 저장된다.
- [0100] 이후, 현재 스캔 신호의 공급이 중단되면서 현재 스캔 신호의 전압레벨이 하이 레벨로 변경되면, 제2 캐패시터(C2)의 커플링 작용에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 전압이 현재 스캔 신호의 전압 변동폭에 대응하여 변경된다. 이때, 제1 캐패시터(C1)와 제2 캐패시터(C2) 간의 차지 웨어링에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 전압이 변경되므로, 제1 게이트 전극(G1)에 인가되는 전압 변화량은 현재 스캔 신호의 전압 변동폭과 더불어, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 간의 차지 웨어링 값에 비례하여 변동된다.
- [0101] 이후, 발광 기간으로 설정되는 제3 기간 동안 발광 제어 라인(En)으로부터 공급되는 발광 제어 신호가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 제3 기간 동안 로우 레벨의 발광 제어 신호에 의해 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6)가 턴온된다. 이에 의해, 제1 전원(ELVDD)으로부터 구동 전원 라인(ELVDDL)을 통해 제5 박막 트랜지스터(T5), 제1 박막 트랜지스터(T1), 제6 박막 트랜지스터(T6) 및 유기 발광 소자(OLED)를 경유하여 제2 전원(ELVSS)으로의 경로로 구동 전류가 흐르게 된다.
- [0102] 이러한 구동 전류는 제1 박막 트랜지스터(T1)에 의해 제어되는 것으로서, 제1 박막 트랜지스터(T1)는 자신의 제1 게이트 전극(G1)에 공급되는 전압에 대응하는 크기의 구동 전류를 발생시킨다. 이때, 상술한 제2 기간 동안 제1 캐패시터(C1)에는 제1 박막 트랜지스터(T1)의 문턱전압이 반영된 전압이 저장되었으므로, 제3 기간 동안 제1 트랜지스터(T1)의 문턱전압이 보상된다.
- [0103] 이하, 도 3에 도시된 유기 발광 표시 장치의 제조 방법을 간략히 설명한다.
- [0104] 먼저, 기판(SUB) 상에 버퍼층(BU)을 형성하고, 적어도 하나의 박막 트랜지스터를 포함하는 제1 소자층(E1)을 제

조한다.

- [0105] 제1 소자층(E1)에 포함된 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3) 및 제5 박막 트랜지스터(T5)는 모두 폴리 실리콘을 포함하는 활성층을 가진다. 따라서, 기판(SUB) 상에 비정질 실리콘을 형성한 후 이를 어닐링하는 LTPS 공정을 통해 폴리 실리콘으로 형성하고 패터닝하여 제1 활성층(A1), 제3 활성층(A3) 및 제5 활성층(A5)을 형성한다.
- [0106] 다음으로 제1 활성층(A1), 제3 활성층(A3) 및 제5 활성층(A5)을 덮도록 전체적으로 예컨대 질화실리콘 및/또는 산화실리콘을 포함하는 제1 게이트 절연막(GI1)을 형성한다.
- [0107] 다음으로 제1 게이트 절연막(GI1) 상에 제1 활성층(A1), 제3 활성층(A3) 및 제5 활성층(A5) 각각에 대응하도록 제1 게이트 전극(G1), 제3 게이트 전극(G3) 및 제5 게이트 전극(G5)을 형성한다. 그 후 제1 게이트 전극(G1), 제3 게이트 전극(G3) 및 제5 게이트 전극(G5) 각각을 셀프 얼라인 마스크(self align mask)로 하여 제1 활성층(A1), 제3 활성층(A3) 및 제5 활성층(A5) 각각의 가장자리를 도핑하여 소스 영역 및 드레인 영역을 형성한다.
- [0108] 다음으로, 제1 게이트 전극(G1), 제3 게이트 전극(G3) 및 제5 게이트 전극(G5)을 덮도록 제1 층간 절연막(ILD1)을 전체적으로 형성한 후, 각 활성층의 소스 영역 및 드레인 영역에 대응하는 부분의 제1 게이트 절연막(GL1) 및 제1 층간 절연막(ILD1)에 콘택 홀을 형성한다.
- [0109] 다음으로, 콘택 홀을 통해 제1 활성층(A1)의 소스 영역 및 드레인 영역과 접촉하도록 제1 층간 절연막(ILD1) 상에 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 형성한다. 제3 소스 전극(S3), 제3 드레인 전극(D3), 제5 소스 전극(S5) 및 제5 드레인 전극(D5)도 같은 방식으로 형성한다. 이로써 제1 소자층(E1)에 포함된 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3) 및 제5 박막 트랜지스터(T5)가 제조되었다.
- [0110] 다음으로, 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3) 및 제5 박막 트랜지스터(T5)를 덮도록 제1 평탄화막(PL1)을 형성한다. 제1 평탄화막(PL1)은 유기물 및/또는 무기물을 코팅하여 형성할 수 있으며, 대체로 두껍게 형성되어 상면이 평탄성을 가지도록 한다.
- [0111] 다음으로, 제1 평탄화막(PL1) 상에 제2 소자층(E2)을 형성한다. 상세히, 제1 평탄화막(PL1) 상에 제1 하부 전극(CE1) 및 제2 하부 전극(CE3)을 형성한다. 그리고 제1 하부 전극(CE1) 및 제2 하부 전극(CE3)을 덮도록 제1 유전체층(IL1)을 전체적으로 형성한다. 다음으로 제1 유전체층(IL1) 상에 제1 하부 전극(CE1) 및 제2 하부 전극(CE3)에 각각 대응하도록 제1 상부 전극(CE2) 및 제2 상부 전극(CE4)을 형성한다. 이로써, 제1 하부 전극(CE1) 및 제1 상부 전극(CE2)을 포함하는 제1 커패시터(C1)와 제2 하부 전극(CE3) 및 제2 상부 전극(CE4)을 포함하는 제2 커패시터(C2)가 제조되었다.
- [0112] 다음으로, 제1 커패시터(C1) 및 제2 커패시터(C2)를 덮도록 제2 평탄화막(PL2)을 형성한다. 제2 평탄화막(PL2)은 유기물 및/또는 무기물을 코팅하여 형성할 수 있으며, 대체로 두껍게 형성되어 상면의 평탄성을 가지도록 한다. 제2 평탄화막(PL2)은 제1 평탄화막(PL1)과 동일한 재료로 형성할 수 있다.
- [0113] 제2 평탄화막(PL2) 상에 적어도 하나의 박막 트랜지스터를 포함하는 제3 소자층(E3)을 제조한다.
- [0114] 제2 평탄화막(PL2) 상에 전체적으로 상술한 방법으로 폴리 실리콘을 형성한 후 패터닝하여 제2 활성층(A2), 제4 활성층(A4) 및 제6 활성층(A6)을 형성한다.
- [0115] 다음으로, 제1 소자층(E1)과 유사하게 활성층 상에 제2 게이트 절연막(GI2)을 형성후 게이트 전극을 형성하고, 게이트 전극 상에 제2 층간 절연막(ILD2)을 형성한 후 소스 전극 및 드레인 전극을 형성함으로써, 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4) 및 제6 박막 트랜지스터(T6)를 제조한다.
- [0116] 이렇게 형성된 제3 소자층(E3) 상에 제3 평탄화막(PL3)을 형성한 후, 유기 발광 소자(OLED)를 형성한다.
- [0117] 이하, 도 4을 참조하여 본 발명의 제2 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0118] 도 4은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.
- [0119] 이하, 제1 실시예와 구별되는 특징적인 부분만 발췌하여 설명하며, 설명이 생략된 부분은 제1 실시예에 따른다. 그리고, 본 발명의 제2 실시예에서는 설명의 편의를 위하여 동일한 구성요소에 대하여는 본 발명의 제1 실시예와 동일한 참조번호를 사용하여 설명한다.
- [0120] 본 발명의 제2 실시예에 의하면, 제1 소자층(E1)에 포함된 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)

및 제5 박막 트랜지스터(T5)와 제3 소자층(E3)에 포함된 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4) 및 제6 박막 트랜지스터(T6)가 서로 다른 종류의 박막 트랜지스터일 수 있다.

- [0121] 예컨대, 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3) 및 제5 박막 트랜지스터(T5)는 저온 폴리 실리콘 박막 트랜지스터(LTPS-TFT: low temperature poly silicon TFT) 박막 트랜지스터이며, 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4) 및 제6 박막 트랜지스터(T6)는 산화물 박막 트랜지스터(Oxide-TFT) 일 수 있다. 다시 말하면, 제1 소자층(E1)에 포함된 박막 트랜지스터들은 활성층에 폴리 실리콘을 포함하나, 제3 소자층(E3)에 포함된 박막 트랜지스터들은 활성층에 산화물 반도체를 포함할 수 있다.
- [0122] 폴리 실리콘은 비정질 실리콘을 버퍼층 상에 형성한 후 약 섭씨 300도 이상에서 어닐링하는 LTPS 공정을 통하여 형성한다. 제1 소자층(E1)의 경우 기판(SUB) 상에 바로 형성하므로 기판(SUB)만 약 섭씨 300도 이상을 견딜 수 있다면 LTPS 박막 트랜지스터를 제조할 수 있다. 그러나 제3 소자층(E3)의 경우 하부에 제1 소자층(E1), 제2 소자층(E2)을 포함한 각종 소자들이 배치되므로 LTPS 공정에서 하부 소자들이 손상될 우려가 있다. 따라서, 제3 소자층(E3)의 경우 어닐링 공정을 요하지 않는 산화물 박막 트랜지스터들로 형성하는 것이 유리하다.
- [0123] 한편, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제1 박막 트랜지스터(T1) 내지 제6 박막 트랜지스터(T6) 각각은 탑 게이트 타입(top gate type)으로 구현되어 있다. 그러나, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1000)에서는 도 4에 도시된 바와 같이 산화물 박막 트랜지스터인 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4) 및 제6 박막 트랜지스터(T6)는 바텀 게이트 타입(bottom gate type)으로 이루어지며, LTPS 박막 트랜지스터인 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3) 및 제5 박막 트랜지스터(T5)는 탑 게이트 타입으로 이루어질 수 있다.
- [0124] 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4) 및 제6 박막 트랜지스터(T6)에 각각 포함되는 제2 활성층(A2), 제4 활성층(A4) 및 제6 활성층(A6) 각각은 산화물 반도체를 포함하며, 예컨대 G-I-Z-O[a(In₂O₃)b(Ga₂O₃)c(ZnO)층](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)를 포함할 수 있으며, 이외에도 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 hafnium(Hf) 과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다.
- [0125] 한편, 제3 소자층(E3)을 제조할 때는, 제2 평탄화막(PL2) 상에 제2 게이트 전극(G2), 제4 게이트 전극(G4) 및 제6 게이트 전극(G6)을 형성한 후, 이를 덮도록 전체적으로 제2 게이트 절연막(GI2)을 형성한다.
- [0126] 다음으로, 제2 게이트 절연막(GI2) 상에 전체적으로 산화물 반도체를 형성한 후 패터닝하여 제2 활성층(A2), 제4 활성층(A4) 및 제6 활성층(A6)을 형성한다.
- [0127] 다음으로, 필요에 따라 각각의 활성층 상에 산화실리콘 등으로 이루어진 에치스탑층(etch stop layer)를 형성한다. 그리고, 각각의 활성층의 가장자리에 접촉하도록 소스 전극 및 드레인 전극을 형성함으로써, 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4) 및 제6 박막 트랜지스터(T6)를 제조한다.
- [0128] 이하, 도 5을 참조하여 본 발명의 제3 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0129] 도 5은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.
- [0130] 이하, 제1 실시예와 구별되는 특징적인 부분만 발췌하여 설명하며, 설명이 생략된 부분은 제1 실시예에 따른다. 그리고, 본 발명의 제3 실시예에서는 설명의 편의를 위하여 동일한 구성요소에 대하여는 본 발명의 제1 실시예와 동일한 참조번호를 사용하여 설명한다.
- [0131] 도 5에 도시된 바와 같이, 화소 회로(152)는 기판(SUB) 상에 위치하며 제1 내지 제6 박막 트랜지스터(T1, T2, T3, T4, T5, T6)를 포함하는 제1 소자층(E1), 및 제1 소자층(E1) 상에 형성되며 제1 커패시터(C1) 및 제2 커패시터(C2)를 포함하는 제2 소자층(E2)을 포함한다.
- [0132] 제2 실시예에서도 좁은 면적에 많은 소자들을 구현하기 위해, 박막 트랜지스터를 포함하는 제1 소자층(E1)과 커패시터를 포함하는 제2 소자층(E2)을 다른 평면에 배치한다. 즉, 제1 소자층(E1)과 제2 소자층(E2)은 제1 평탄화막(PL1)을 사이에 두고 분리되며, 제1 소자층(E1), 및 제2 소자층(E2)은 적어도 일부가 중첩된다.
- [0133] 다만, 제1 실시예와 달리 박막 트랜지스터들을 다른 평면에 분리하여 배치하지는 않았다. 이로써 제3 실시예에서는 박막 트랜지스터들을 모두 같은 종류로 구현할 수 있다. 예컨대, 제1 내지 제6 박막 트랜지스터 모두 폴리 실리콘을 활성층으로 하는 LTPS 박막 트랜지스터로 구현할 수 있다. 제1 및 제2 소자층(E1,E2)에 배치된 소자들

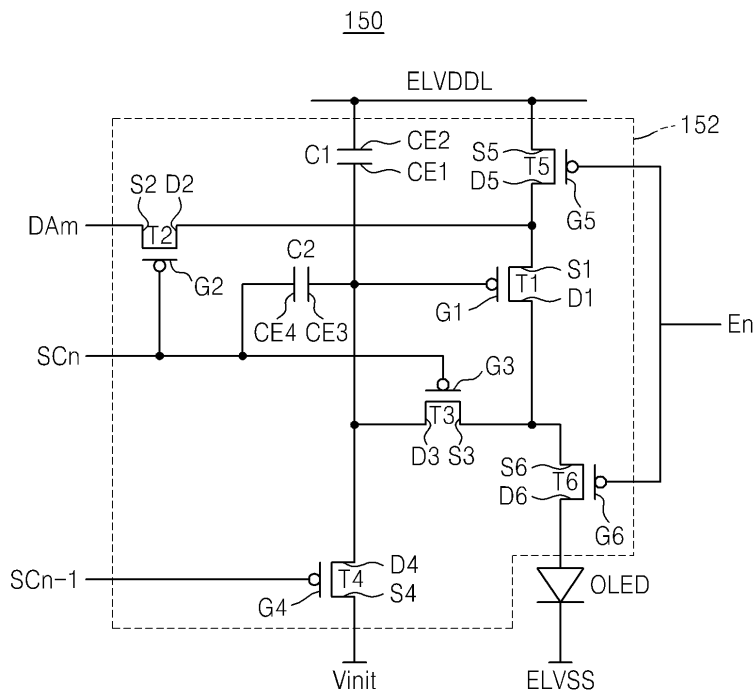
및 화소 회로(152)의 구동에 대해서는 제1 실시예에서 상세히 설명하였으므로 중복되는 기재는 생략한다.

- [0134] 한편, 도 3 내지 도 5에서는 각 박막 트랜지스터들 및 커패시터들의 연결관계가 전부 도시되지 않았으나, 전체적인 화소의 레이아웃을 형성할 때 각각의 소자의 연결을 위해 추가적인 접촉구(contact hole) 및 이 접촉구에 연결된 추가적인 배선가 더 배치되는 것은 해당 분야의 기술자라면 쉽게 이해할 것이다.
- [0135] 한편, 본 발명의 일 실시예에 의하면 유기 발광 표시 장치를 기준으로 설명하였으나, 도 3 내지 도 5의 화소 회로는 유기 발광 표시 장치에 한정되지 않는다. 즉, 도 3 내지 도 5의 화소 회로를 포함하는 박막 트랜지스터 어레이 기판은 액정 표시 장치에도 적용될 수 있다.
- [0136] 한편, 도 3 내지 도 5에서는 각 화소 별로 별도의 유기 발광층이 형성된 경우를 예로 설명하였다. 이 경우에는 화소 별로 적색, 녹색 및 청색의 광을 각각 방출할 수 있으며, 적색, 녹색 및 청색의 광을 방출하는 화소 그룹이 하나의 단위 화소를 이룰 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 유기 발광층이 화소 전체에 공통으로 형성될 수 있다. 예를 들어, 적색, 녹색, 및 청색의 광을 방출하는 복수의 유기 발광층이 수직으로 적층되거나 혼합되어 형성되어 백색광을 방출할 수 있다. 물론, 백색광을 방출하기 위한 색의 조합은 상술한 바에 한정되지 않는다. 한편, 이 경우 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나 컬러필터가 별도로 구비될 수 있다.
- [0137] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

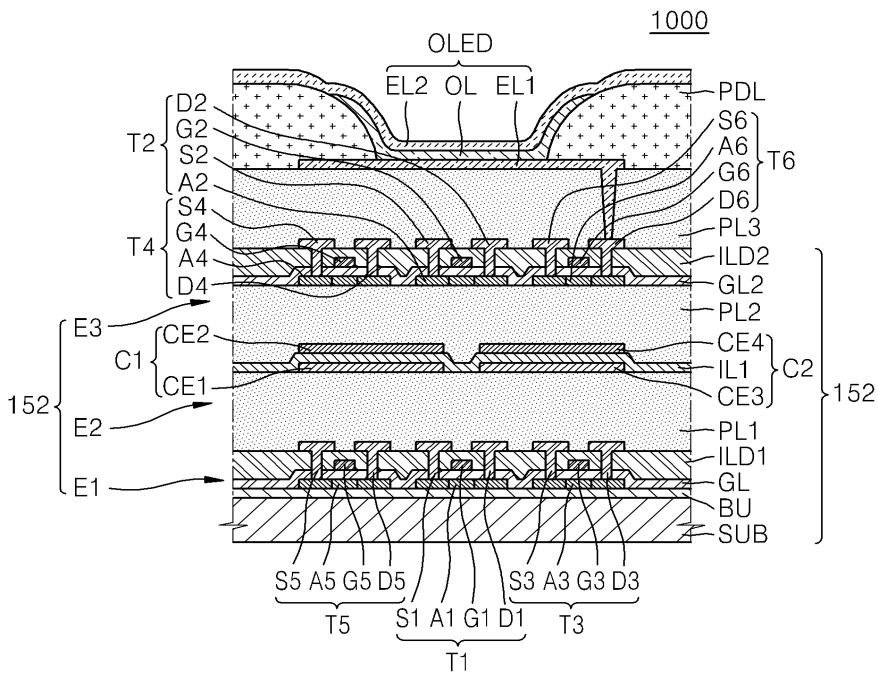
부호의 설명

- [0138] 1000: 유기 발광 표시 장치, 152: 화소 회로

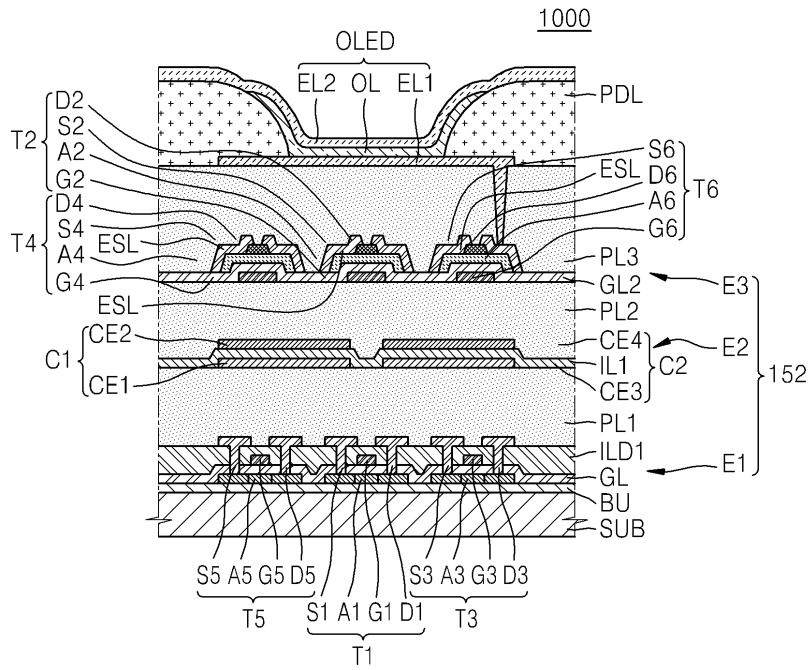
도면2



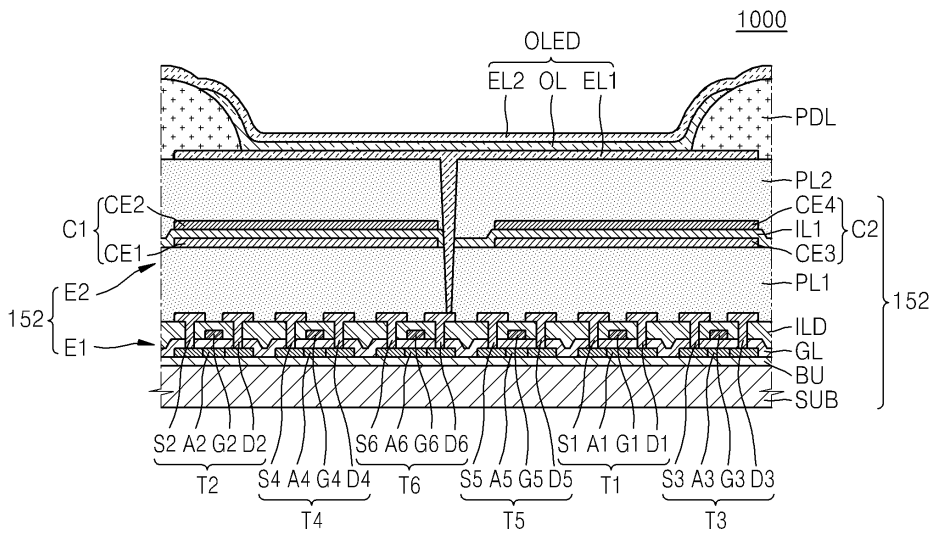
도면3



도면4



도면5



专利名称(译)	薄膜晶体管阵列基板，包括该薄膜晶体管阵列基板的有机发光显示装置以及制造该有机发光显示装置的方法		
公开(公告)号	KR102034254B1	公开(公告)日	2019-10-21
申请号	KR1020130036981	申请日	2013-04-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김중윤 이명구		
发明人	김중윤 이명구		
IPC分类号	H01L51/52 H01L29/786 H05B33/10		
CPC分类号	H01L27/1251 H01L27/1255 H01L27/3262 H01L27/3265 H01L27/3258 H01L27/3276 H01L29/78678		
审查员(译)	김우영		
其他公开文献	KR1020140120736A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管 (TFT) 阵列基板，包括：在包括第一TFT的基板上的第一元件层；配置为覆盖第一元件层的第一平坦化层；以及在第一平坦化层上的包括电容器的第二元件层。

