

(51) 국제특허분류(Int. Cl.)	(71) 출원인
<i>G09G 3/32</i> (2016.01)	엘지디스플레이 주식회사
(52) CPC특허분류	서울특별시 영등포구 여의대로 128(여의도동)
<i>G09G 3/32</i> (2013.01)	(72) 발명자
<i>G09G 2300/043</i> (2013.01)	고호영
(21) 출원번호	경기도 파주시 월롱면 엘지로 245
(22) 출원일자	유준석
심사청구일자	경기도 파주시 월롱면 엘지로 245
없음	(74) 대리인
	특허법인천문

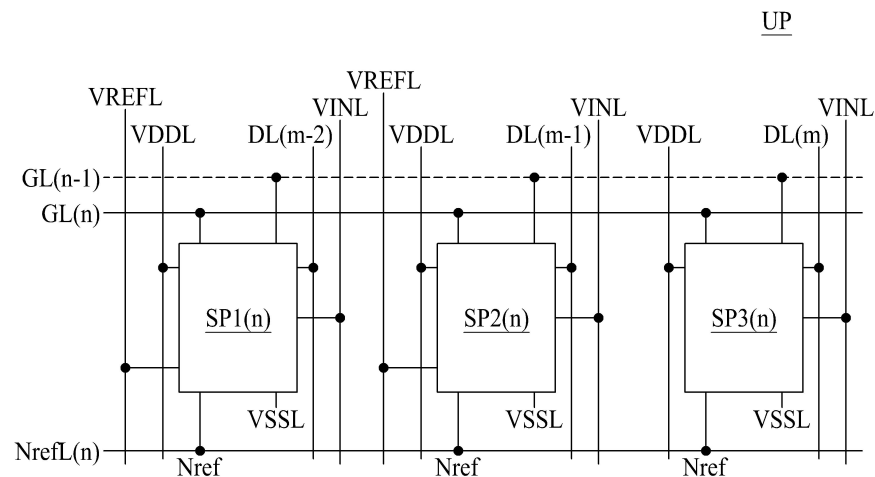
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 서브화소 구동 회로 및 이를 포함한 전계발광 표시장치

(57) 요약

본 명세서의 일 실시예에 따른 전계발광 표시장치는 서브화소들을 포함하는 화소, 서브화소들에 전원 전압을 제공하는 전원 배선들, 서브화소들에 데이터 신호를 제공하는 데이터 배선, 서브화소들에 게이트 신호를 제공하는 게이트 배선들, 및 서브화소들에 포함된 기준 노드를 연결하는 기준 노드 배선을 포함한다. 그리고, 서브화소들 각각은, 발광 소자, 및 발광 소자의 발광 유무를 제어하는 서브화소 구동 회로를 포함하고, 서브화소 구동 회로는 서브화소 구동 회로에 포함된 기준 노드가 전원 배선들 중 하나의 배선으로부터 기준 전압을 인가받음으로써 발광 소자에 고전위 전압이 포함되지 않는 구동 전류를 제공하도록 구현되며, 서브화소들 중 일부는 기준 전압을 제공받기 위해 기준 노드에 연결된 보상 트랜지스터를 포함한다. 이에 따라, 고전위 전압의 영향을 받지 않는 구동 전류를 발광 소자에 제공하여 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

대표도 - 도6



(52) CPC특허분류

G09G 2300/0439 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

서브화소들을 포함하는 화소;

상기 서브화소들에 전원 전압을 제공하는 전원 배선들;

상기 서브화소들에 데이터 신호를 제공하는 데이터 배선;

상기 서브화소들에 게이트 신호를 제공하는 게이트 배선들; 및

상기 서브화소들에 포함된 기준 노드를 연결하는 기준 노드 배선을 포함하고,

상기 서브화소들 각각은,

발광 소자; 및

상기 발광 소자의 발광 유무를 제어하는 서브화소 구동 회로를 포함하고,

상기 서브화소 구동 회로는 상기 서브화소 구동 회로에 포함된 상기 기준 노드가 상기 전원 배선들 중 하나의 배선으로부터 기준 전압을 인가받음으로써 상기 발광 소자에 고전위 전압이 포함되지 않는 구동 전류를 제공하도록 구현되며,

상기 서브화소들 중 일부는 상기 기준 전압을 제공받기 위해 상기 기준 노드에 연결된 보상 트랜지스터를 포함하는, 전계발광 표시패널.

청구항 2

제1항에 있어서,

상기 서브화소들은 행방향으로 배치된 상기 게이트 배선들과 열방향으로 배치된 상기 데이터 배선이 교차되는 위치에 배열되고,

상기 기준 노드 배선은 상기 행방향으로 배열된 서브화소들에 포함된 기준 노드들을 연결한, 전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 전원 배선들은,

상기 고전위 전압을 제공하는 고전위 전압 배선;

상기 기준 전압을 제공하는 기준 전압 배선; 및

상기 서브화소들에 초기화 전압을 제공하는 초기화 전압 배선을 포함하고,

상기 보상 트랜지스터는 상기 기준 노드와 상기 기준 전압 배선에 연결된, 전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 게이트 배선들은 스캔 신호를 제공하는 스캔 배선 및 에미션 신호를 제공하는 에미션 배선을 포함하는, 전계발광 표시장치.

청구항 5

제4항에 있어서,

상기 서브화소들은 n 행에 배열되고 제 $n-1$ 스캔 배선 및 제 n 스캔 배선을 통해 각각 제 $n-1$ 스캔 신호 및 제 n 스캔 신호를 제공받는, 전계발광 표시장치.

청구항 6

제5항에 있어서,

상기 서브화소들은,

상기 제 $n-1$ 스캔 신호에 의해 제어되고 상기 기준 전압을 제공하는 기준 전압 배선에 연결된 제1 보상 트랜지스터를 포함하는 서브화소; 및

상기 제 n 스캔 신호에 의해 제어되고 상기 기준 전압 배선에 연결된 제2 보상 트랜지스터를 포함하는 서브화소를 포함하는, 전계발광 표시장치.

청구항 7

제1항에 있어서,

상기 화소는 모든 색을 표현할 수 있는 최소 단위이고,

상기 화소에 포함된 서브화소들은 상기 게이트 배선들이 배치된 방향으로 배열되며,

상기 서브화소들 중 적어도 두 개의 서브화소들의 서브화소 구동 회로는 각각 상기 보상 트랜지스터를 포함하는, 전계발광 표시장치.

청구항 8

제1항에 있어서,

상기 화소는 모든 색을 표현할 수 있는 최소 단위이고,

상기 화소에 포함된 서브화소들은 적어도 두 개의 게이트 배선 및 적어도 두 개의 데이터 배선들이 배치된 방향으로 배열되고,

상기 서브화소들 중 적어도 한 개의 데이터 배선에 배치된 서브화소들의 서브화소 구동 회로는 각각 상기 보상 트랜지스터를 포함하는, 전계발광 표시장치.

청구항 9

제1항에 있어서,

상기 서브화소 구동 회로는 상기 구동 전류를 일정하게 상기 발광 소자에 제공하는 구동 트랜지스터를 포함하고,

상기 서브화소 구동 회로는,

상기 구동 트랜지스터의 게이트 노드를 초기화하는 제1 초기화 기간;

상기 구동 트랜지스터의 문턱전압을 샘플링하고 상기 발광 소자를 초기화하는 샘플링 및 제2 초기화 기간;

상기 데이터 배선을 통해 인가된 데이터 전압을 유지시키는 홀딩 기간; 및

상기 데이터 전압을 기반으로 생성된 상기 구동 전류를 통해 상기 발광 소자를 발광시키는 발광 기간을 포함하도록 구현되고,

상기 기준 노드에는 상기 제1 초기화 기간, 상기 샘플링 및 제2 초기화 기간 동안에 상기 기준 전압이 인가되는, 전계발광 표시장치.

청구항 10

제9항에 있어서,

상기 서브화소 구동 회로는 상기 데이터 전압을 충전하는 커패시터를 포함하고,

상기 커패시터의 일단은 상기 기준 노드에 연결되며, 상기 커패시터의 타단은 상기 구동 트랜지스터의 게이트 노드에 연결된, 전계발광 표시장치.

청구항 11

3원색의 조합을 통해 모든 색을 표현할 수 있는 최소한의 영역에 있는 단위 화소를 포함하고,

상기 단위 화소는 제1 보상 트랜지스터를 포함하는 서브화소 및 제2 보상 트랜지스터를 포함하는 서브화소를 각각 적어도 한 개 이상 포함하고,

상기 서브화소는 발광 소자, 구동 트랜지스터, 스위칭 트랜지스터들, 커패시터, 및 상기 제1 보상 트랜지스터 또는 상기 제2 보상 트랜지스터를 통해 전달된 기준 전압을 제공하는 기준 노드를 포함하며,

상기 기준 노드를 연결하는 기준 노드 배선이 상기 단위 화소에 배치된, 전계발광 표시장치.

청구항 12

제11항에 있어서,

상기 발광 소자는 상기 발광 소자를 발광시키기 위한 구동 전류가 인가되는 애노드 및 저전위 전원이 인가되는 캐소드를 포함하고,

상기 구동 트랜지스터의 게이트는 상기 커패시터의 일단과 연결되고,

상기 구동 트랜지스터의 소스는 상기 스위칭 트랜지스터들을 통해 고전위 전압 및 데이터 전압이 인가되며,

상기 커패시터의 타단은 상기 기준 노드와 연결된, 전계발광 표시장치.

청구항 13

제11항에 있어서,

상기 기준 전압은 고전위 전압과 저전위 전압 사이의 전압인, 전계발광 표시장치.

청구항 14

제11항에 있어서,

상기 단위 화소는 적색, 청색, 녹색을 발광하는 세 개의 서브화소들로 구성되거나, 적색, 청색, 녹색을 발광하는 네 개의 서브화소들로 구성된, 전계발광 표시장치.

청구항 15

제11항에 있어서,

상기 제1 보상 트랜지스터 및 상기 제2 보상 트랜지스터는 서로 다른 타이밍에 턴온되도록 서로 다른 게이트 배선에 연결된, 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 서브화소 구동 회로 및 이를 포함한 전계발광 표시장치에 관한 것으로서, 보다 구체적으로 전압강하 보상이 가능한 서브화소 구동 회로 및 이를 포함한 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광 표시장치, 액정 표시장치, 및 양자점 표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치는 복수의 서브화소를 포함하는 표시패널, 표시패널을 구동하는 구동부, 및 표시패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시패널에 게이트 신호를 공급하는 게이트 구동부 및 표시패널에

데이터 신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 예를 들어, 전계발광 표시장치는 서브화소에 게이트 신호 및 데이터 신호 등이 공급되면, 선택된 서브화소의 발광 소자가 빛을 발광하게 됨으로써 영상을 표시할 수 있다. 발광 소자는 유기물 또는 무기물을 기반으로 구현될 수 있다.

[0005] 전계발광 표시장치는 서브화소 내의 발광 소자로부터 생성된 빛을 기반으로 영상을 표시하므로 다양한 장점을 지니고 있어 서브화소의 발광을 제어하는 서브화소 구동 회로의 정확도 향상이 필요하다. 예를 들어, 서브화소 구동 회로에 포함된 트랜지스터의 문턱전압이 변하는 시변 특성(또는 경시 변화)을 보상함으로써, 서브화소 구동 회로의 정확도를 향상시킬 수 있다.

[0006] 전계발광 표시장치의 시변 특성을 보상할 수 있는 방법은 다양하다. 하지만, 일반적으로 제시된 보상 방식 중 일부는 서브화소에 인가되는 전압의 강하가 고려되지 않아 표시패널 상에서 상하 휘도 불균일이나 크로스토크(cross-talk) 등 화질 이슈를 초래한다.

[0007] 따라서, 서브화소를 균일한 휘도로 발광시키기 위한 서브화소 구동 회로의 설계 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0008] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하고, 전압 인가 배선에 대한 전압 강하를 최소화하기 위한 표시장치를 발명하였다.

[0009] 본 명세서의 실시예에 따른 해결 과제는 전압 인가 배선에 대한 전압 강하를 고려한 시변 특성 보상으로 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 이슈를 개선한 서브화소 구동 회로 및 이를 포함한 전계발광 표시장치를 제공하는 것이다.

[0010] 본 명세서의 실시예에 따른 해결 과제는 서브화소별 서브화소 구동 회로는 효율적으로 기준 전압을 제공하는 회로를 포함하도록 설계되어, 전압 인가 배선에 대한 전압 강하가 발생할 수 있는 고전위 전압이 배제된 구동 전류를 발생시키는 서브화소 구동 회로 및 이를 포함한 전계발광 표시장치를 제공하는 것이다.

[0011] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 서브화소들을 포함하는 화소, 서브화소들에 전원 전압을 제공하는 전원 배선들, 서브화소들에 데이터 신호를 제공하는 데이터 배선, 서브화소들에 게이트 신호를 제공하는 게이트 배선들, 및 서브화소들에 포함된 기준 노드를 연결하는 기준 노드 배선을 포함한다. 그리고, 서브화소들 각각은, 발광 소자, 및 발광 소자의 발광 유무를 제어하는 서브화소 구동 회로를 포함하고, 서브화소 구동 회로는 서브화소 구동 회로에 포함된 기준 노드가 전원 배선들 중 하나의 배선으로부터 기준 전압을 인가받음으로써 발광 소자에 고전위 전압이 포함되지 않는 구동 전류를 제공하도록 구현되며, 서브화소들 중 일부는 기준 전압을 제공받기 위해 기준 노드에 연결된 보상 트랜지스터를 포함한다. 이에 따라, 일부의 서브화소들에 포함된 보상 트랜지스터를 통해 기준 노드에 제공된 기준 전압은 기준 노드 배선을 통해 연결된 서브화소들의 기준 노드에 기준 전압을 인가하므로, 고전위 전압의 영향을 받지 않는 구동 전류를 발광 소자에 제공하여 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

[0013] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 3원색의 조합을 통해 모든 색을 표현할 수 있는 최소한의 영역에 있는 단위 화소를 포함하고, 단위 화소는 제1 보상 트랜지스터를 포함하는 서브화소 및 제2 보상 트랜지스터를 포함하는 서브화소를 각각 적어도 한 개 이상 포함하고, 서브화소는 발광 소자, 구동 트랜지스터, 스위칭 트랜지스터들, 커패시터, 및 제1 부상 트랜지스터 또는 제2 보상 트랜지스터를 통해 전달된 기준 전압을 제공하는 기준 노드를 포함하며, 기준 노드를 연결하는 기준 노드 배선이 단위 화소에 배치된다. 이에 따라, 단위 화소에 포함된 서브화소들은 보상 트랜지스터를 통해 기준 노드에 기준 전압을 인가받고, 기준 노드 배선을 통해 단위 화소 내의 다른 서브화소들의 기준 노드에 기준 전압을 인가하므로, 고전위 전압의 영향을 받지 않는 구동 전류를 발광 소자에 제공하여, 전계발광 표시장치의 화질 문제를 개선할 수 있다.

[0014] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0015] 본 명세서의 실시예들에 따르면, 서브화소들 중 일부의 서브화소에 포함된 서브화소 구동 회로는 기준 전압을 전달하기 위한 보상 트랜지스터를 포함함으로써, 배선에 의해 전압 강하가 발생할 수 있는 고전위 전압이 포함되지 않는 구동 전류를 발광 소자에 제공하여 전계발광 표시장치의 상하 휘도 불균일이나 크로스토크 등의 화질 문제를 개선할 수 있다.

[0016] 그리고, 본 명세서의 실시예들에 따르면, 서브화소들은 제 $n-1$ 스캔 신호 및 제 n 스캔 신호가 게이트 온 전압인 기간 동안 기준 노드에 연결된 기준 노드 배선을 통해 기준 전압을 제공받음으로써, 서브화소들에 포함된 서브화소 구동 회로가 고전위 전압의 전압 강하를 고려한 시변 특성을 보상할 수 있다.

[0017] 그리고, 본 명세서의 실시예들에 따르면, 단위 화소는 제 $n-1$ 스캔 신호에 의해 턴온되어 기준 노드에 기준 전압을 인가하도록 구현된 제1 보상 트랜지스터를 포함하는 서브화소 및 제 n 스캔 신호에 의해 턴온되어 기준 노드에 기준 전압을 인가하도록 구현된 제2 보상 트랜지스터를 포함하는 서브화소를 포함함으로써, 단위 화소에 포함된 서브화소들은 고전위 전압의 전압 강하가 고려된 구동 전류에 의해 발광할 수 있다.

[0018] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0019] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.

도 2는 본 명세서의 일 실시예에 따른 서브화소 구동 회로를 나타낸 도면이다.

도 3은 도 2에 도시된 서브화소 구동 회로의 구동 특성을 설명하기 위한 파형도이다.

도 4 및 도 5는 본 명세서의 일 실시예에 따른 단위 화소에 포함된 서브화소 구동 회로를 나타낸 도면이다.

도 6은 본 명세서의 제1 실시예에 따른 단위 화소를 나타낸 도면이다.

도 7은 본 명세서의 제2 실시예에 따른 단위 화소를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0021] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0022] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0023] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0024] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0025] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관

관계로 함께 실시할 수도 있다.

- [0026] 본 명세서에서 표시패널의 기관 상에 형성되는 서브화소 구동 회로와 게이트 구동부는 N타입 또는 P타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source), 및 드레인(drain)을 포함한 3전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 예를 들어, 트랜지스터에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. N타입 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. N타입 트랜지스터에서 전자가 소스로부터 드레인쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. P타입 트랜지스터의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. P타입 트랜지스터의 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니고, 트랜지스터의 소스와 드레인은 인가 전압에 따라 변경될 수 있다.
- [0027] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴온(turn-on)될 수 있는 게이트 신호의 전압일 수 있다. 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴오프(turn-off)될 수 있는 전압일 수 있다. P타입 트랜지스터에서 게이트 온 전압은 게이트 로우 전압(또는 로직로우 전압, VL)일 수 있고, 게이트 오프 전압은 게이트 하이 전압(또는 로직하이 전압, VH)일 수 있다. N타입 트랜지스터에서 게이트 온 전압은 게이트 하이 전압일 수 있고, 게이트 오프 전압은 게이트 로우 전압일 수 있다.
- [0028] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 서브화소 구동 회로 및 이를 포함한 전계발광 표시장치에 대하여 설명하기로 한다.
- [0029] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- [0030] 도 1을 참고하면, 전계발광 표시장치(100)는 영상 처리부(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140), 표시패널(150), 및 전원 공급부(180)를 포함한다.
- [0031] 영상 처리부(110)는 외부로부터 공급된 영상 데이터와 더불어 각종 장치를 구동하기 위한 구동신호 등을 출력한다. 영상 처리부(110)로부터 출력되는 구동신호에는 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호, 및 클럭신호가 포함될 수 있다.
- [0032] 타이밍 제어부(120)는 영상 처리부(110)로부터 공급된 영상 데이터와 더불어 구동신호 등을 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0033] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 신호를 출력한다. 게이트 구동부(130)는 게이트 배선들(GL(1)~GL(n))을 통해 게이트 신호를 출력한다. 게이트 구동부(130)는 IC(integrated circuit)형태로 형성될 수 있고, 표시패널(150)에 내장된 GIP(gate in panel) 방식의 형태로 형성될 수도 있다. 게이트 구동부(130)는 표시패널(150)의 좌, 우측에 각각 배치되거나 어느 일측에 배치될 수도 있다. 게이트 구동부(130)는 복수의 스테이지들로 이루어진다. 예를 들어, 게이트 구동부(130)의 제1 스테이지는 표시패널의 제1 게이트 배선을 구동하기 위한 제1 게이트 신호를 출력한다.
- [0034] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터 신호를 출력한다. 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 디지털 형태의 데이터 신호(DATA)를 샘플링하고 래치(latch)하여 감마 기준 전압에 기초한 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(140)는 데이터 배선들(DL(1)~DL(m))을 통해 데이터 신호를 표시패널(150)에 제공한다. 데이터 구동부(140)는 IC(integrated circuit) 형태로 표시패널(150) 상에 형성되거나, 표시패널에 COF(chip on film) 형태로 형성될 수도 있다.
- [0035] 전원 공급부(180)는 고전위 전압(VDD), 저전위 전압(VSS), 그리고 기준 전압(VREF) 등을 출력한다. 전원 공급부(180)로부터 출력된 고전위 전압(VDD), 저전위 전압(VSS), 및 기준 전압(VREF) 등은 표시패널(150)에 공급된다. 고전위 전압(VDD)은 고전위 전압 배선을 통해 표시패널(150)에 공급되고, 저전위 전압(VSS)은 저전위 전압 배선을 통해 표시패널(150)에 공급된다. 전원 공급부(180)로부터 출력된 전압은 게이트 구동부(130)나 데이터 구동부(140)에서 이용될 수도 있다.

- [0036] 표시패널(150)은 게이트 구동부(130) 및 데이터 구동부(140)로부터 공급된 게이트 신호 및 데이터 신호, 그리고 전원 공급부(180)로부터 공급된 전원에 대응하여 영상을 표시한다. 표시패널(150)은 영상을 표시할 수 있도록 동작하는 화소(P)들을 포함한다.
- [0037] 표시패널(150)은 화소(P)들이 행과 열을 이루어 배열된 표시 영역(DA)과 표시 영역(DA)의 외곽으로 각종 신호 배선들이나 패드 등이 형성되는 비표시 영역(NDA)을 포함한다. 표시 영역(DA)은 영상을 표시하는 영역이므로 화소(P)들이 위치하는 영역이고, 비표시 영역(NDA)은 영상을 표시하지 않는 영역이므로 더미 화소들이 위치하거나 화소(P)가 위치하지 않는 영역이다.
- [0038] 화소(P)는 복수의 서브화소를 포함하고, 각각의 서브화소들이 표시하는 계조를 기반으로 영상을 표시한다. 각각의 서브화소는 컬럼 라인(column line, 또는 열방향)을 따라 배열되는 데이터 배선과 연결되고, 로우 라인(row line, 또는 행방향)을 따라 배열되는 게이트 배선(또는 화소 배선)에 연결된다. 동일한 화소 배선에 배치된 서브화소들은 동일한 게이트 배선을 공유하며 동시에 구동된다. 그리고, 제1 화소 배선에 배치된 서브화소들을 제1 서브화소라고 정의하고, 제n 화소 배선에 배치된 서브화소들을 제n 서브화소라고 정의할 때, 제1 서브화소부터 제n 서브화소는 순차적으로 구동된다.
- [0039] 표시패널(150)의 화소들은 매트릭스 형태로 배치되어 화소 어레이를 구성하지만, 이에 한정되지는 않는다. 화소들은 매트릭스 형태 이외에도 스트라이프(stripe) 형태, 다이아몬드(diamond) 형태 등 다양한 형태로 배치될 수 있다. 그리고, 적색, 녹색, 청색의 3원색의 조합을 통해 모든 색을 표현할 수 있는 최소한의 영역을 단위 화소라고 정의할 때, 화소들의 배열 형태에 따라 단위 화소의 크기 및 모양이 달라질 수 있다. 경우에 따라 서브화소는 적색, 녹색, 청색 이외에도 백색, 황색을 포함할 수 있다.
- [0040] 화소(P)는 적색 서브화소, 녹색 서브화소, 및 청색 서브화소 중 어느 두 개 이상의 서브화소를 포함할 수 있고, 백색 서브화소, 적색 서브화소, 녹색 서브화소, 및 청색 서브화소 중 어느 두 개 이상의 서브화소를 포함할 수 있다. 서브화소들은 발광 특성에 따라 하나 이상의 다른 발광 면적을 가질 수도 있다. 예를 들어, 적색 서브화소, 녹색 서브화소, 및 청색 서브화소를 포함하는 화소가 단위화소를 이룰 수 있다. 또는, 적색 서브화소와 녹색 서브화소를 포함하는 화소 및 청색 서브화소와 녹색 서브화소를 포함하는 화소가 단위화소를 이룰 수 있다. 또는, 적색 서브화소와 녹색 서브화소를 포함하는 화소 및 청색 서브화소와 백색 서브화소를 포함하는 화소가 단위화소를 이룰 수 있다. 또는, 적색 서브화소와 청색 서브화소를 포함하는 화소 및 녹색 서브화소와 황색 서브화소를 포함하는 화소가 단위화소를 이룰 수 있다. 또는, 적색 서브화소, 녹색 서브화소, 및 청색 서브화소를 포함하는 화소 및 백색 서브화소를 포함하고 적색, 녹색, 청색 중 어느 두 개의 서브화소를 포함하는 화소를 포함하는 화소들 중에서 적색 서브화소, 녹색 서브화소, 청색 서브화소, 및 백색 서브화소가 단위화소를 이룰 수 있다.
- [0041] 도 2는 본 명세서의 일 실시예에 따른 서브화소 구동 회로를 나타낸 도면이다. 그리고, 도 3은 도 2에 도시된 서브화소 구동 회로의 구동 특성을 설명하기 위한 파형도이다. 도 2에서는 n번째 행 및 m번째 열에 배치된 서브화소(SP)에 대해 설명한다.
- [0042] 표시패널(150)은 서브화소(SP)들을 기반으로 영상을 표시하는 표시 영역(DA)과 신호 배선이나 구동 회로 등이 위치하며 영상을 표시하지 않는 비표시 영역(NDA)을 포함한다.
- [0043] 전계발광 표시장치(100)는 서브화소(SP) 내부에 포함된 발광 소자(EL)로부터 생성된 빛을 기반으로 영상을 표시한다. 그러나, 전계발광 표시장치(100)는 서브화소(SP)에 포함된 소자(구동 트랜지스터 등)의 문턱전압이 변하는 시변 특성(또는 경시 변화)을 가지고 있으므로 이를 보상할 필요가 있다.
- [0044] 따라서, 본 명세서의 실시예에 따른 전계발광 표시장치(100)의 상하 휘도 불균일이나 크로스토크(cross-talk) 등의 화질 이슈를 초래하고 있는 문제를 개선하기 위한 서브화소 구동 회로를 설명한다. 이하에 설명될 서브화소 구동 회로는 P타입 트랜지스터들로 구성된 것을 예로 들어 설명하지만, 이에 한정되지 않으며 본 명세서의 실시예에 따른 서브화소 구동 회로는 N타입 트랜지스터들도 적용 가능하다.
- [0045] 도 2 및 도 3에 도시된 바와 같이, 일 실시예에 따른 전계발광 표시장치(100)는 서브화소(SP)에 인가되는 고전위 전압(VDD)의 전압 강하를 줄일 수 있도록, 기준 노드(Nref)에 외부로부터 기준 전압(VREF)이 인가된다. 그리고, 서브화소(SP)에는 제n 스캔 신호(Scan(n)) 및 제n 발광 제어 신호(Em(n))가 제공된다. 여기서, 외부로부터 전압이 인가된다는 것은 표시영역(AA)의 외부인 비표시영역(NA)으로부터 전압이 인가된다는 것을 의미한다. 기준 전압(VREF)은 표시패널(150)에 별도로 실장된 전원 공급부로부터 제공될 수 있고, 제n 스캔 신호(Scan(n))

및 제 n 발광 제어 신호($Em(n)$)는 표시패널(150)의 비표시영역(NDA)에 배치된 게이트 구동부(130)로부터 제공될 수 있다.

- [0046] 기준 전압 배선을 통해 인가되는 기준 전압(V_{REF})은 특정 기간 동안 서브화소(SP)의 기준 노드(N_{ref})에 전달된다. 기준 전압(V_{REF})은 고전위 전압(V_{DD})과 저전위 전압(V_{SS}) 사이의 전압 레벨 또는 고전위 전압(V_{DD})에 준하는 전압 레벨을 가질 수 있다. 예를 들어, 고전위 전압(V_{DD})은 4.6V 이고, 기준 전압은 4.0V일 수 있다.
- [0047] 게이트 구동부(130)는 화소 배선을 따라 배치된 서브화소(SP)에 스캔 신호 및 발광 제어 신호를 공급하는 스캔 구동부 및 에미션 구동부를 포함한다. 스캔 구동부 및 에미션 구동부는 각각 복수의 스테이지들을 포함한다. 스캔 구동부와 에미션 구동부 각각의 n 번째 스테이지는 제 n 서브화소(SP)를 구동하기 위해 제 n 스캔 신호($Scan(n)$)와 제 n 발광 제어 신호($Em(n)$)를 출력한다.
- [0048] 본 명세서의 실시예에 따른 서브화소(SP)는 서브화소 구동 회로 및 발광소자(EL)를 포함하고, 서브화소 구동 회로는 제1 내지 제7 트랜지스터($T1 \sim T7$), 구동 트랜지스터(DT), 커패시터(Cst)를 포함한다. 본 명세서의 실시예에서는 서브화소(SP)가 총 8개의 트랜지스터 및 한 개의 커패시터를 기반으로 구현된 것으로 도시하였지만, 본 명세서의 실시예에는 이에 한정되지는 않는다. 이하에서는 제 n 서브화소(SP)의 구성 및 접속 관계를 설명한다.
- [0049] 도 2 및 도 3을 참고하면, 구동 트랜지스터(DT)는 게이트 노드(DGT)에 연결된 게이트, 그리고 소스 및 드레인을 포함한다. 구동 트랜지스터(DT)의 소스는 구동 트랜지스터(DT)의 제1 전극이고, 구동 트랜지스터(DT)의 드레인은 구동 트랜지스터(DT)의 제2 전극이다.
- [0050] 제1 트랜지스터($T1$)는 제 n 스캔 배선에 게이트가 연결되고, 제 m 데이터 배선(DLm)에 제1 전극이 연결되며 제2 트랜지스터($T2$)의 제1 전극 및 구동 트랜지스터(DT)의 제1 전극에 제1 트랜지스터($T1$)의 제2 전극이 연결된다. 제1 트랜지스터($T1$)는 제 n 스캔 배선을 통해 인가된 로직로우 전압(VL)의 제 n 스캔신호($Scan(n)$)에 대응하여 턴온된다. 제1 트랜지스터($T1$)가 턴온되면, 제 m 데이터 배선(DLm)을 통해 인가된 데이터 전압($V_{data(m)}$)은 제1 트랜지스터($T1$)의 제2 전극에 인가된다.
- [0051] 제2 트랜지스터($T2$)는 제 n 발광 제어 신호 배선에 게이트가 연결되고 제1 트랜지스터($T1$)의 제2 전극에 제2 트랜지스터($T2$)의 제1 전극이 연결되며, 고전위 전원 배선 및 제7 트랜지스터($T7$)의 제1 전극에 제2 트랜지스터($T2$)의 제2 전극이 연결된다. 제2 트랜지스터($T2$)는 제 n 발광 제어 신호 배선을 통해 인가된 로직로우 전압(VL)의 제 n 발광 제어 신호($Em(n)$)에 대응하여 턴온된다. 제2 트랜지스터($T2$)가 턴온되면, 제1 트랜지스터($T1$)의 제2 전극에 충전된 데이터 전압($V_{data(m)}$)은 제2 트랜지스터($T2$) 및 제7 트랜지스터($T7$)를 거쳐 커패시터(Cst)의 일단에 전달된다.
- [0052] 제3 트랜지스터($T3$)는 제 n 스캔 배선에 게이트가 연결되고 구동 트랜지스터(DT)의 제2 전극에 제3 트랜지스터($T3$)의 제1 전극이 연결되며 구동 트랜지스터(DT)의 게이트에 제3 트랜지스터($T3$)의 제2 전극이 연결된다. 제3 트랜지스터($T3$)는 제 n 스캔 배선을 통해 인가된 로직로우 전압(VL)의 제 n 스캔신호($Scan(n)$)에 대응하여 턴온된다. 제3 트랜지스터($T3$)가 턴온되면, 구동 트랜지스터(DT)의 게이트와 제2 전극이 도통되므로 구동 트랜지스터(DT)는 다이오드 커넥션(diode connection) 상태가 된다.
- [0053] 제4 트랜지스터($T4$)는 제 $n-1$ 스캔 배선에 게이트가 연결되고 초기화 전압 배선에 제1 전극이 연결되며 커패시터(Cst)의 타단, 제3 트랜지스터($T3$)의 제2 전극 및 구동 트랜지스터(DT)의 게이트에 제4 트랜지스터($T4$)의 제2 전극이 연결된다. 제4 트랜지스터($T4$)는 제 $n-1$ 스캔 배선을 통해 인가된 로직로우 전압(VL)의 제 $n-1$ 스캔신호($Scan(n-1)$)에 대응하여 턴온된다. 제4 트랜지스터($T4$)가 턴온되면, 구동 트랜지스터(DT)의 게이트 노드(DTG)는 초기화 전압(V_{ini})을 기반으로 초기화된다. 이 경우, 구동 트랜지스터(DT)의 게이트 노드(DTG)는 구동 트랜지스터(DT)의 게이트와 연결된다.
- [0054] 제5 트랜지스터($T5$)는 제 n 발광 제어 신호 배선에 게이트가 연결되고 구동 트랜지스터(DT)의 제2 전극에 제5 트랜지스터($T5$)의 제1 전극이 연결되고 발광 소자(EL)의 애노드에 제5 트랜지스터($T5$)의 제2 전극이 연결된다. 제5 트랜지스터($T5$)는 제 n 발광 제어 신호 배선을 통해 인가된 로직로우 전압(VL)의 제 n 발광 제어 신호($Em(n)$)에 대응하여 턴온된다. 제5 트랜지스터($T5$)가 턴온되면, 발광 소자(EL)는 구동 트랜지스터(DT)를 통해 제공된 구동 전류에 대응하여 빛을 발광하게 된다.
- [0055] 제6 트랜지스터($T6$)는 제 n 스캔 배선에 게이트가 연결되고 초기화 전압 배선에 제6 트랜지스터($T6$)의 제1 전극이 연결되고 제5 트랜지스터($T5$)의 제2 전극 및 발광 소자(EL)의 애노드에 제6 트랜지스터($T6$)의 제2 전극이 연결된다. 제6 트랜지스터($T6$)는 제 n 스캔 배선을 통해 인가된 로직로우 전압(VL)의 제 n 스캔신호($Scan(n)$)에 대응하여 턴온된다. 제6 트랜지스터($T6$)가 턴온되면 발광 소자(EL)의 애노드는 초기화 전압(V_{ini})을 기반으로 초

기화된다.

- [0056] 제7 트랜지스터(T7)는 제 n 발광 제어 신호 배선에 게이트가 연결되고 고전위 전원 배선 및 제2 트랜지스터(T2)의 제2 전극에 제7 트랜지스터(T7)의 제1 전극이 연결되고 커패시터(Cst)의 일단에 제7 트랜지스터(T7)의 제2 전극이 연결된다. 제7 트랜지스터(T7)는 제 n 발광 제어 신호 배선을 통해 인가된 로직로우 전압(VL)의 제 n 발광 제어 신호($Em(n)$)에 대응하여 턴온된다. 제7 트랜지스터(T7)가 턴온되면, 제1 트랜지스터(T1)의 제2 전극에 충전된 데이터 전압($Vdata(m)$)은 제2 트랜지스터(T2)를 거쳐 커패시터(Cst)의 일단에 전달된다.
- [0057] 커패시터(Cst)는 제7 트랜지스터(T7)의 제2 전극에 일단이 연결되고 제4 트랜지스터(T4)의 제2 전극에 타단이 연결된다. 제7 트랜지스터(T7)의 제2 전극과 커패시터(Cst)의 일단에 연결된 노드는 기준 전압(VREF)이 전달되는 기준 노드(Nref)로 정의된다. 발광 소자(EL)는 제5 트랜지스터(T5)의 제2 전극에 애노드가 연결되고, 저전위 전원 배선에 캐소드가 연결된다. 저전위 전원 배선을 통해 캐소드에는 저전위 전압(VSS)이 인가된다.
- [0058] 도 3을 참고하면, 본 명세서의 실시예에 따른 서브화소(SP)는 제1 초기화 기간(INI), 샘플링 및 제2 초기화 기간(SAM), 홀딩 기간(HLD), 및 발광 기간(EMI)의 순으로 동작한다. 제1 초기화 기간(INI)은 구동 트랜지스터(DT)의 게이트 노드(DTG)를 초기화하는 기간이다. 샘플링 및 제2 초기화 기간(SAM)은 구동 트랜지스터(DT)의 문턱 전압을 샘플링하면서 발광 소자(EL)를 초기화하는 기간이다. 홀딩 기간(HLD)은 제 m 데이터 배선(DL m)을 통해 인가된 데이터 전압($Vdata(m)$)을 특정 노드에 유지시키는 기간이다. 발광 기간(EMI)은 데이터 전압($Vdata(m)$)을 기반으로 생성된 구동 전류를 통해 발광 소자(EL)를 발광시키는 기간이다.
- [0059] 본 명세서의 실시예에 따른 서브화소(SP)는 제 n 발광 제어 신호($Em(n)$)가 인가되지 않는 기간 동안(로직하이 전압(VH)을 유지하는 기간), 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM)을 가지게 됨에 따라 내부 회로 기반의 보상이 이루어진다. 이 기간들 동안의 동작 특성을 설명하면 다음과 같다. 제 $n-1$ 스캔신호(Scan($n-1$))와 제 n 스캔신호(Scan(n))는 1 수평기간(1H) 동안 로직로우 전압(VL)으로 인가되는 것을 일례로 한다. 또한, 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM)은 각각 1 수평기간(1H) 동안 이루어지는 것을 일례로 한다.
- [0060] 제1 초기화 기간(INI) 동안 제4 트랜지스터(T4)는 제 $n-1$ 스캔 배선을 통해 인가된 로직로우 전압(VL)의 제 $n-1$ 스캔신호(Scan($n-1$))에 대응하여 턴온된다. 이 경우, 초기화 전압 배선에는 고전위 전원 배선을 통해 인가되는 고전위 전압(VDD)보다 낮은 초기화 전압(Vini)이 인가된다. 이와 같은 동작에 의해, 구동 트랜지스터(DT)의 게이트 노드(DTG)는 초기화 전압(Vini)을 기반으로 초기화된다. 그리고, 기준 노드(Nref)에 기준 전압(VREF)을 인가하여 커패시터(Cst)의 일단을 기준 전압(VREF)으로 초기화한다.
- [0061] 샘플링 및 제2 초기화 기간(SAM) 동안 제1 트랜지스터(T1), 제3 트랜지스터(T3), 및 제6 트랜지스터(T6)는 제 n 스캔 배선을 통해 인가된 로직로우 전압(VL)의 제 n 스캔신호(Scan(n))에 대응하여 턴온된다. 그리고, 기준 노드(Nref)에는 기준 전압(VREF)이 계속 인가된다. 제1 트랜지스터(T1)의 턴온 동작에 의해 제 m 데이터 배선(DL m)을 통해 인가된 데이터 전압($Vdata(m)$)은 구동 트랜지스터(DT)의 제1 전극에 인가된다. 제3 트랜지스터(T3)의 턴온 동작에 의해 구동 트랜지스터(DT)는 다이오드 커넥션 상태가 되므로, 구동 트랜지스터(DT)의 문턱전압은 샘플링된다. 그리고, 구동 트랜지스터(DT)의 제1 전극에 인가된 데이터 전압($Vdata(m)$)은 구동 트랜지스터(DT)의 게이트 노드(DTG)에 충전된다. 또한, 제6 트랜지스터(T6)의 턴온 동작에 의해 발광 소자(EL)는 초기화 전압(Vini)을 기반으로 초기화된다.
- [0062] 홀딩 기간(HLD)은 제 n 발광 제어 신호($Em(n)$)를 출력하는 발광 구동부의 클럭 신호의 주기 및 제 n 스캔신호(Scan(n))를 출력하는 스캔 구동부의 클럭 신호의 주기에 따라 가변된다. 예를 들어, 홀딩 기간(HLD)은 1 수평기간(1H) 이상일 수도 있다. 홀딩 기간(HLD)에서 커패시터(Cst)는 양단 전압차를 기반으로 데이터 전압을 충전 및 유지하게 된다. 홀딩 기간(HLD)에서 제 n 스캔신호(Scan(n))가 로직로우 전압(VL)에서 로직하이 전압(VH)으로 전환됨에 따라 제3 트랜지스터(T3)의 기생 커패시터에 의해 구동 트랜지스터(DT)의 게이트 노드(DTG)의 전압이 조금 변동될 수 있다.
- [0063] 발광 기간(EMI) 동안 제2 트랜지스터(T2), 제7 트랜지스터(T7), 및 제5 트랜지스터(T5)는 제 n 발광 제어 신호 배선을 통해 인가된 로직로우 전압(VL)의 제 n 발광 제어 신호($Em(n)$)에 대응하여 턴온된다. 제2 트랜지스터(T2)의 턴온 동작에 의해 고전위 전원 배선을 통해 인가된 고전위 전압(VDD)은 구동 트랜지스터(DT)의 제1 전극에 인가된다. 제7 트랜지스터(T7)의 턴온 동작에 의해 고전위 전원 배선을 통해 인가된 고전위 전압(VDD)은 커패시터(Cst)의 일단인 기준 노드(Nref)에 인가된다. 이 경우, 기준 노드(Nref)의 전압이 기준 전압(VREF)에서 고전위 전압(VDD)으로 변하는 전압만큼 커패시터(Cst)의 타단인 구동 트랜지스터(DT)의 게이트 노드(DTG)의 전압이

커플링되어 변경된다.

- [0064] 본 명세서의 실시예에 따른 서브화소(SP)는 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM) 동안 고전위 전압(VDD)의 전압 강하분이 고려되도록 기준 전압(VREF)이 기준 노드(Nref)에 제공되어, 이에 따라 보상된 서브화소(SP)의 전류를 수식으로 표현하면 다음과 같다.
- [0065]
$$I_{oled} = K(V_{sg} - |V_{th}|)^2 = K\{(VDD - (V_{data(m)} - |V_{th}| + VDD - VREF) - |V_{th}|)^2 = K(VREF - V_{data(m)})^2$$
- [0066] 위의 식에서, I_{oled} 는 발광 소자(EL)를 통해 흐르는 전류, K 는 상수, V_{sg} 는 구동 트랜지스터(DT)의 소스와 게이트 간의 전압, V_{th} 는 구동 트랜지스터(DT)의 문턱전압, VDD 는 고전위 전원 배선을 통해 인가된 고전위 전압, $VREF$ 는 기준 전압 배선을 통해 인가된 기준 전압, $V_{data(m)}$ 는 제 m 데이터 배선(DLm)을 통해 인가된 데이터 전압을 의미한다.
- [0067] 위의 수식에서 알 수 있듯이, I_{oled} 는 기준 전압(VREF)과 데이터 전압($V_{data(m)}$) 간의 차에 의해 결정된다. 수식에 따르면, 본 명세서의 실시예에 따른 제 n 서브화소(SP)는 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM) 동안에 걸쳐 인가된 기준 전압(VREF)에 의해 고전위 전원 배선을 통해 인가되는 고전위 전압(VDD)의 전압 강하분이 보상될 수 있음을 알 수 있다.
- [0068] 이하에서는 제1 초기화 기간(INI)과 샘플링 및 제2 초기화 기간(SAM) 동안 기준 노드(Nref)에 기준 전압(VREF)이 제공되기 위한 서브화소 구동 회로를 설명한다.
- [0069] 도 4 및 도 5는 본 명세서의 일 실시예에 따른 단위 화소에 포함된 서브화소 구동 회로를 나타낸 도면이다. 도 4 및 도 5는 도 2의 일 실시예에 따른 서브화소 구동 회로가 변형된 회로로서 제7 트랜지스터(T7)를 제외한 나머지 트랜지스터들(T1~T6, DT) 및 커패시터(Cst)의 연결관계는 동일하게 적용되므로, 도 2와 중복되는 설명은 생략하거나 간략히할 수 있다.
- [0070] 도 4를 참고하면, 도 2의 제7 트랜지스터(T7) 대신에 제7-1 트랜지스터(T7-1)가 포함된다. 제7-1 트랜지스터(T7-1)는 제 $n-1$ 스캔 신호 배선에 게이트가 연결되고 기준 전압 배선에 제7-1 트랜지스터(T7-1)의 제1 전극이 연결되고 커패시터(Cst)의 일단인 기준 노드(Nref)에 제7-1 트랜지스터(T7-1)의 제2 전극이 연결된다. 제7-1 트랜지스터(T7-1)는 제 $n-1$ 스캔 신호 배선을 통해 인가된 로직로우 전압(VL)의 제 $n-1$ 스캔 신호(Scan($n-1$))에 대응하여 턴온된다. 제7-1 트랜지스터(T7-1)가 턴온되면, 기준 전압 배선을 통해 제공되는 기준 전압(VREF)은 커패시터(Cst)의 일단인 기준 노드(Nref)에 전달된다. 일 실시예에 따른 기준 노드(Nref)는 기준 노드 배선을 통해 인접한 서브화소의 기준 노드와 연결된다. 제 n 화소 배선에 배치된 서브화소의 기준 노드(Nref)를 연결하는 기준 노드 배선은 제 n 기준 노드 배선(NrefL(n))이라고 정의한다. 기준 노드 배선에 대해서는 도 6 및 도 7에서 설명하기로 한다.
- [0071] 도 5를 참고하면, 도 2의 제7 트랜지스터(T7) 대신에 제7-1 트랜지스터(T7-2)가 포함된다. 제7-2 트랜지스터(T7-2)는 제 n 스캔 신호 배선에 게이트가 연결되고 기준 전압 배선에 제7-2 트랜지스터(T7-2)의 제1 전극이 연결되고 커패시터(Cst)의 일단인 기준 노드(Nref)에 제7-2 트랜지스터(T7-2)의 제2 전극이 연결된다. 제7-2 트랜지스터(T7-2)는 제 n 스캔 신호 배선을 통해 인가된 로직로우 전압(VL)의 제 n 스캔 신호(Scan(n))에 대응하여 턴온된다. 제7-2 트랜지스터(T7-2)가 턴온되면, 기준 전압 배선을 통해 제공되는 기준 전압(VREF)은 커패시터(Cst)의 일단인 기준 노드(Nref)에 전달된다.
- [0072] 도 4의 서브화소 구동 회로는 제 $n-1$ 스캔 신호(Scan($n-1$))가 게이트 온 전압인 기간 동안 기준 노드(Nref)에 기준 전압(VREF)이 인가되고, 도 5의 서브화소 구동 회로는 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 노드(Nref)에 기준 전압(VREF)이 인가된다.
- [0073] 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 노드(Nref)에 기준 전압(VREF)이 인가되어야 각 서브화소 구동 회로가 고전위 전압의 전압 강하를 고려한 시변 특성을 보상할 수 있다. 따라서, 도 4 및 도 5에 도시된 서브화소 구동 회로는 각각 단위 화소에 적어도 한 개 이상 포함된다. 그리고 이 경우, 기준 노드(Nref)에 기준 전압(VREF)을 보상 타이밍에 맞춰 인가시키는 제7-1 트랜지스터(T7-1)는 제1 보상 트랜지스터, 제7-2 트랜지스터(T7-2)를 제2 보상 트랜지스터라고 정의하고, 제1 보상 트랜지스터 및 제2 보상 트랜지스터는 통칭하여 보상 트랜지스터라고 일컫을 수 있다.
- [0074] 이하에서는 단위 화소의 형태 및 서브화소 구동 회로의 배치에 대해 설명한다.
- [0075] 도 6은 본 명세서의 제1 실시예에 따른 단위 화소를 나타낸 도면이다.

- [0076] 본 명세서의 제1 실시예에 따른 단위 화소(UP)는 제 n 화소 배선에 연결된 세 개의 서브화소(SP1(n), SP2(n), SP3(n))를 포함한다. 세 개의 서브화소(SP1(n), SP2(n), SP3(n))에는 각각 제 $n-1$ 게이트 배선(GL($n-1$)), 제 n 게이트 배선(GL(n)), 기준 전압 배선(VREFL), 고전위 전압(VDD)을 인가하는 고전위 전압 배선(VDDL), 저전위 전압(VSS)을 인가하는 저전위 전압 배선(VSSL), 및 초기화 전압(VINI)을 인가하는 초기화 전압 배선(VINL)이 연결된다. 그리고, 첫 번째 제 n 서브화소(SP1(n))는 제 $m-2$ 데이터 배선(DL($m-2$))에 연결되고, 두 번째 제 n 서브화소(SP2(n))는 제 $m-1$ 데이터 배선(DL($m-1$))에 연결되며, 세 번째 제 n 서브화소(SP3(n))는 제 m 데이터 배선(DL(m))에 연결된다. 이 경우, 제 $n-1$ 게이트 배선(GL($n-1$))은 제 $n-1$ 스캔 배선이고, 제 n 게이트 배선(GL(n))은 제 n 스캔 배선 및 제 n 에미션 배선을 포함할 수 있다. 그리고, 고전위 전압 배선(VDDL), 기준 전압 배선(VREFL), 저전위 전압 배선(VSSL), 및 초기화 전압 배선(VINL)은 통칭하여 전원 배선이라 일컫을 수 있다.
- [0077] 앞서 언급한 바와 같이, 단위 화소(UP)는 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 노드(Nref)에 기준 전압(VREF)이 인가되어야 하므로, 본 명세서의 제1 실시예에 따른 단위 화소(UP)에 포함된 첫 번째 제 n 서브화소(SP1(n)) 및 두 번째 제 n 서브화소(SP2(n))는 기준 전압(VREF)을 제공하는 기준 전압 배선(VREFL)에 연결된다. 그리고, 첫 번째 제 n 서브화소(SP1(n))의 서브화소 구동 회로를 통해서 제 $n-1$ 스캔 신호(Scan($n-1$))가 게이트 온 전압인 기간 동안 기준 노드(Nref)에 기준 전압(VREF)이 인가되고, 두 번째 제 n 서브화소(SP2(n))의 서브화소 구동 회로를 통해서 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 노드(Nref)에 기준 전압(VREF)이 인가된다.
- [0078] 제 n 화소 배선에 배치된 세 개의 서브화소(SP1(n), SP2(n), SP3(n)) 각각에 포함된 기준 노드(Nref)는 제 n 기준 노드 배선(Nref(n))으로 연결된다. 따라서, 제 n 화소 배선에 연결된 세 개의 서브화소(SP1(n), SP2(n), SP3(n))에 포함된 서브화소 구동 회로의 기준 노드(Nref)에는 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 전압(VREF)이 인가된다. 제 n 기준 노드 배선(Nref(n))은 제 n 화소 배선에 배치된 제 n 서브화소들의 기준 노드(Nref)를 모두 연결한 구조이거나, 단위 화소(UP)별로 단위 화소(UP)에 포함된 제 n 서브화소들의 기준 노드(Nref)를 연결한 구조일 수 있다. 후자의 경우, 구체적으로, 기준 노드 배선(Nref(n))은 인접한 단위 화소(UP)의 기준 노드 배선과 분리되고 단위 화소(UP)내에 포함된 기준 노드(Nref)끼리만 전압을 공유한다.
- [0079] 그리고, 세 번째 제 n 서브화소(SP3(n))의 기준 노드(Nref)에는 첫 번째 제 n 서브화소(SP1(n)) 및 두 번째 제 n 서브화소(SP2(n))를 통해 기준 전압(VREF)이 인가되므로 서브화소 구동 회로는 기준 노드(Nref)를 갖지만 기준 전압(VREF)을 기준 노드(Nref)에 제공하는 별도의 회로를 포함하지는 않는다.
- [0080] 따라서, 본 명세서의 제1 실시예에 따른 첫 번째 제 n 서브화소(SP1(n))의 서브화소 구동 회로는 제7-1 트랜지스터(T7-1)가 포함된 도 4의 서브화소 구동 회로이고, 두 번째 제 n 서브화소(SP2(n))의 서브화소 구동 회로는 제7-2 트랜지스터(T7-2)가 포함된 도 5의 서브화소 구동 회로이며, 세 번째 제 n 서브화소(SP3(n))의 서브화소 구동 회로는 도 2의 서브화소 구동 회로로 구현될 수 있다.
- [0081] 본 명세서의 제1 실시예에 따른 단위 화소(UP)에 포함된 서브화소와 기준 전압 배선(VREFL)의 연결 관계는 도 6의 실시예로 한정되지 않는다. 다만, 단위 화소(UP)에 포함된 서브화소들(SP1(n), SP2(n), SP3(n)) 중 어느 하나의 서브화소는 제 $n-1$ 스캔 신호(Scan($n-1$))의 타이밍에 따라 기준 노드(Nref)에 기준 전압이 인가될 수 있는 서브화소 구동 회로를 포함하고, 서브화소들(SP1(n), SP2(n), SP3(n)) 중 다른 하나의 서브화소는 제 n 스캔 신호(Scan(n))의 타이밍에 따라 기준 노드(Nref)에 기준 전압이 인가될 수 있는 서브화소 구동 회로를 포함하면 된다.
- [0082] 이에 따라, 단위 화소(UP)에 포함된 서브화소 구동 회로들은 서브화소 구동 회로에 포함된 기준 노드(Nref)가 기준 전압(VREF)을 인가받음으로써 발광 소자(EL)에 전압 인가 배선의 전압 강하가 발생할 수 있는 고전위 전압이 포함되지 않는 구동 전류를 제공하여 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 이슈를 개선할 수 있다.
- [0083] 도 7은 본 명세서의 제2 실시예에 따른 단위 화소를 나타낸 도면이다.
- [0084] 본 명세서의 제2 실시예에 따른 단위 화소(UP)는 제 $n-1$ 화소 배선에 연결된 두 개의 서브화소(SP1($n-1$), SP2($n-1$)) 및 제 n 화소 배선에 연결된 두 개의 서브화소(SP1(n), SP2(n))를 포함한다. 제 $n-1$ 화소 배선에 연결된 두 개의 서브화소(SP1($n-1$), SP2($n-1$))에는 각각 제 $n-2$ 게이트 배선(GL($n-2$)), 제 $n-1$ 게이트 배선(GL($n-1$)), 고전위 전압(VDD)을 인가하는 고전위 전압 배선(VDDL), 및 저전위 전압(VSS)을 인가하는 저전위 전압 배선(VSSL)이 연결된다. 그리고, 첫 번째 제 $n-1$ 서브화소(SP1($n-1$)) 및 첫 번째 제 n 서브화소(SP1(n))는 제 $m-1$ 데이터 배선

(DL(m-1))에 연결되고, 두 번째 제 $n-1$ 서브화소(SP2($n-1$)) 및 두 번째 제 n 서브화소(SP2(n))는 제 m 데이터 배선(DL(m))에 연결된다. 이 경우, 제 $n-2$ 게이트 배선(GL($n-2$))은 각각 제 $n-2$ 스캔 배선이고, 제 $n-1$ 게이트 배선(GL($n-1$)) 및 제 n 게이트 배선(GL(n))은 각각 제 $n-1$ 스캔 배선, 제 n 에미션 배선 및 제 n 스캔 배선, 제 n 에미션 배선을 포함할 수 있다. 그리고, 제 $m-1$ 데이터 배선(DL($m-1$))에 연결된 서브화소들과 제 m 데이터 배선(DL(m))에 연결된 서브화소들은 사이에 초기화 전압 배선(VINL)이 배치되어 제 $m-1$ 데이터 배선(DL($m-1$))에 연결된 서브화소들과 제 m 데이터 배선(DL(m))에 연결된 서브화소들은 동일한 초기화 전압 배선(VINL)으로부터 초기화 전압(VINI)을 제공받는다. 그리고, 고전위 전압 배선(VDDL), 기준 전압 배선(VREFL), 저전위 전압 배선(VSSL), 및 초기화 전압 배선(VINL)은 통칭하여 전원 배선이라 일컫을 수 있다.

[0085] 앞서 언급한 바와 같이, 단위 화소(UP)는 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 노드(Nref($n-1$), Nref(n))에 기준 전압(VREF)이 인가되어야 하므로, 본 명세서의 제2 실시예에 따른 단위 화소(UP)는 첫 번째 제 $n-1$ 서브화소(SP1(n)) 및 첫 번째 제 n 서브화소(SP1(n))에 기준 전압(VREF)을 제공하는 기준 전압 배선(VREFL)이 연결된다. 첫 번째 제 $n-1$ 서브화소(SP1($n-1$)) 및 첫 번째 제 n 서브화소(SP1(n))는 열을 따라 배치되므로 동일한 기준 전압 배선(VREFL)에 연결된다. 그리고, 첫 번째 제 $n-1$ 서브화소(SP1($n-1$))의 서브화소 구동 회로를 통해서 제 $n-1$ 스캔 신호(Scan($n-1$))가 게이트 온 전압인 기간 동안 기준 노드(Nref($n-1$))에 기준 전압(VREF)이 인가되고, 첫 번째 제 n 서브화소(SP1(n))의 서브화소 구동 회로를 통해서 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 노드(Nref(n))에 기준 전압(VREF)이 인가된다.

[0086] 첫 번째 제 $n-1$ 서브화소(SP1($n-1$))의 기준 노드(Nref($n-1$))에 인가된 기준 전압(VREF)을 공유하기 위하여 첫 번째 제 $n-1$ 서브화소(SP1($n-1$))의 기준 노드(Nref($n-1$))와 두 번째 제 $n-1$ 서브화소(SP2($n-1$))의 기준 노드(Nref($n-1$))는 제 $n-1$ 기준 노드 배선(Nref($n-1$))으로 연결된다. 그리고, 첫 번째 제 n 서브화소(SP1(n))의 기준 노드(Nref(n))에 인가된 기준 전압(VREF)을 공유하기 위하여 두 번째 제 n 서브화소(SP2(n))의 기준 노드(Nref(n))는 제 n 기준 노드 배선(Nref(n))으로 연결된다.

[0087] 이 경우, 첫 번째 제 $n-1$ 서브화소(SP1($n-1$)) 및 두 번째 제 $n-1$ 서브화소(SP2($n-1$))는 제 $n-1$ 스캔 신호의 게이트 온 전압인 기간 동안만 기준 노드(Nref($n-1$))에 기준 전압(VREF)이 인가되고, 첫 번째 제 n 서브화소(SP1(n)) 및 두 번째 제 n 서브화소(SP2(n))는 제 n 스캔 신호의 게이트 온 전압인 기간 동안만 기준 노드(Nref(n))에 기준 전압(VREF)이 인가된다. 단위 화소(UP)에 포함된 각 서브화소들(SP1($n-1$), SP2($n-1$), SP1(n), SP2(n))은 모두 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 전압(VREF)을 제공받아야하므로, 도 7에 도시된 단위 화소(UP)와 나란히 배치된 단위 화소로부터 기준 전압(VREF)이 인가되는 기간을 보충받도록 구현된다.

[0088] 본 명세서의 제2 실시예에 따른 단위 화소(UP)와 인접하며 나란히 배치된 단위 화소는 본 명세서의 제2 실시예에 따른 단위 화소(UP)에 포함된 서브화소들에서 첫 번째 제 $n-1$ 서브화소(SP1($n-1$))는 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 전압(VREF)을 제공받고, 첫 번째 제 n 서브화소(SP1(n))는 제 $n-1$ 스캔 신호(Scan($n-1$))가 게이트 온 전압인 기간 동안 기준 전압(VREF)을 제공받을 수 있는 서브화소 구동 회로로 구현될 수 있다.

[0089] 따라서, 제 $n-1$ 화소 배선에 배치되고 두 개의 단위 화소에 포함된 네 개의 서브화소에 포함된 서브화소 구동 회로의 기준 노드(Nref($n-1$)) 및 제 n 화소 배선에 배치되고 두 개의 단위 화소에 포함된 네 개의 서브화소에 포함된 서브화소 구동 회로의 기준 노드(Nref(n))에 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))가 게이트 온 전압인 기간 동안 기준 전압(VREF)이 인가되게 하기 위해서 제 $n-1$ 기준 노드 배선(Nref($n-1$)) 및 제 n 기준 노드 배선(Nref(n))은 각각 단위 화소(UP) 및 단위 화소(UP)에 인접한 단위 화소의 제 $n-1$ 기준 노드 및 제 n 기준 노드에 연결된다.

[0090] 구체적으로, 제 $n-1$ 기준 노드 배선(Nref($n-1$))은 제 $n-1$ 화소 배선에 배치된 제 $n-1$ 서브화소들의 제 $n-1$ 기준 노드(Nref($n-1$))를 모두 연결한 구조이거나, 제 $n-1$ 화소 배선에서 좌/우로 나란히 배치된 두 개의 단위 화소에 포함된 제 $n-1$ 서브화소들의 제 $n-1$ 기준 노드(Nref($n-1$))를 연결한 구조일 수 있다. 그리고 동일한 방법으로, 제 n 기준 노드 배선(Nref(n))은 제 n 화소 배선에 배치된 제 n 서브화소들의 제 n 기준 노드(Nref(n))를 모두 연결한 구조이거나, 제 n 화소 배선에서 좌/우로 나란히 배치된 두 개의 단위 화소에 포함된 제 n 서브화소들의 제 n 기준 노드(Nref(n))를 연결한 구조일 수 있다. 기준 노드 배선의 연결 방법 각각의 후자의 경우, 구체적으로, 제 $n-1$ 기준 노드 배선(Nref($n-1$)) 및 제 n 기준 노드 배선(Nref(n))은 인접한 두 개의 단위 화소 단위로 배치되어 인접한 두 개의 단위 화소에 포함된 서브화소들과 연결되어 두 개의 단위 화소에 포함된 기준 노드끼리만 전압을 공

유한다.

- [0091] 그리고, 두 번째 제 $n-1$ 서브화소(SP2($n-1$)) 및 두 번째 제 n 서브화소(SP2(n))의 기준 노드(Nref($n-1$), Nref(n))에는 각각 첫 번째 제 $n-1$ 서브화소(SP1($n-1$)) 및 두 번째 제 n 서브화소(SP2(n))를 통해 기준 전압(VREF)이 인가되므로 서브화소 구동 회로는 기준 노드(Nref($n-1$), Nref(n))를 갖지만 기준 전압(VREF)을 기준 노드(Nref($n-1$), Nref(n))에 제공하는 별도의 회로를 포함하지는 않는다.
- [0092] 따라서, 본 명세서의 제2 실시예에 따른 단위 화소(UP)의 첫 번째 제 $n-1$ 서브화소(SP1($n-1$))의 서브화소 구동 회로는 제7-1 트랜지스터(T7-1)가 포함된 도 4의 서브화소 구동 회로이고, 첫 번째 제 n 서브화소(SP1(n))의 서브화소 구동 회로는 제7-2 트랜지스터(T7-2)가 포함된 도 5의 서브화소 구동 회로이며, 두 번째 제 $n-1$ 서브화소(SP2($n-1$)) 및 두 번째 제 n 서브화소(SP2(n))의 서브화소 구동 회로는 도 2의 서브화소 구동 회로로 구현될 수 있다.
- [0093] 본 명세서의 제2 실시예에 따른 단위 화소(UP)에 포함된 서브화소와 기준 전압 배선(VREFL)의 연결 관계는 도 7의 실시예로 한정되지 않는다. 다만, 단위 화소(UP)에 포함된 서브화소들(SP1($n-1$), SP2($n-1$), SP1(n), SP2(n)) 중 어느 하나의 서브화소는 제 $n-1$ 스캔 신호(Scan($n-1$))의 타이밍에 따라 기준 노드에 기준 전압(VREF)이 인가될 수 있는 서브화소 구동 회로를 포함하고, 서브화소들(SP1($n-1$), SP2($n-1$), SP1(n), SP2(n)) 중 다른 하나의 서브화소는 제 n 스캔 신호(Scan(n))의 타이밍에 따라 기준 노드에 기준 전압(VREF)이 인가될 수 있는 서브화소 구동 회로를 포함하면 된다. 다만, 기준 전압 배선(VREFL)의 불필요한 배치를 방지하기 위해 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))의 타이밍에 따라 기준 노드에 기준 전압(VREF)을 인가하는 서브화소 구동 회로를 포함하는 서브화소가 동일한 열에 배치될 수 있도록 한다.
- [0094] 이에 따라, 단위 화소(UP)에 포함된 서브화소 구동 회로들은 서브화소 구동 회로에 포함된 기준 노드(Nref)가 기준 전압(VREF)을 인가받음으로써 발광 소자(EL)에 전압 인가 배선의 전압 강하가 발생할 수 있는 고전위 전압이 포함되지 않는 구동 전류를 제공하여 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 이슈를 개선할 수 있다.
- [0095] 본 명세서의 실시예에 따른 서브화소 구동 회로 및 이를 포함한 전계발광 표시장치는 다음과 같이 설명될 수 있다.
- [0096] 본 명세서의 일 실시예에 따른 전계발광 표시장치는, 서브화소들을 포함하는 화소, 서브화소들에 전원 전압을 제공하는 전원 배선들, 서브화소들에 데이터 신호를 제공하는 데이터 배선, 서브화소들에 게이트 신호를 제공하는 게이트 배선들, 및 서브화소들에 포함된 기준 노드를 연결하는 기준 노드 배선을 포함한다. 그리고, 서브화소들 각각은, 발광 소자, 및 발광 소자의 발광 유무를 제어하는 서브화소 구동 회로를 포함하고, 서브화소 구동 회로는 서브화소 구동 회로에 포함된 기준 노드가 전원 배선들 중 하나의 배선으로부터 기준 전압을 인가받음으로써 발광 소자에 고전위 전압이 포함되지 않는 구동 전류를 제공하도록 구현되며, 서브화소들 중 일부는 기준 전압을 제공받기 위해 기준 노드에 연결된 보상 트랜지스터를 포함한다. 이에 따라, 일부의 서브화소들에 포함된 보상 트랜지스터를 통해 기준 노드에 제공된 기준 전압은 기준 노드 배선을 통해 연결된 서브화소들의 기준 노드에 기준 전압을 인가하므로, 고전위 전압의 영향을 받지 않는 구동 전류를 발광 소자에 제공하여 전계발광 표시장치의 화질 이슈를 개선할 수 있다.
- [0097] 본 발명의 다른 특징에 따르면, 서브화소들은 행방향으로 배치된 게이트 배선들과 열방향으로 배치된 데이터 배선이 교차되는 위치에 배열될 수 있고, 기준 노드 배선은 행방향으로 배열된 서브화소들에 포함된 기준 노드들을 연결할 수 있다.
- [0098] 본 발명의 다른 특징에 따르면, 전원 배선들은 고전위 전압을 제공하는 고전위 전압 배선, 기준 전압을 제공하는 기준 전압 배선, 및 서브화소들에 초기화 전압을 제공하는 초기화 전압 배선을 포함하고, 보상 트랜지스터는 기준 노드와 기준 전압 배선에 연결될 수 있다.
- [0099] 본 발명의 다른 특징에 따르면, 게이트 배선들은 스캔 신호를 제공하는 스캔 배선 및 에미션 신호를 제공하는 에미션 배선을 포함할 수 있다.
- [0100] 본 발명의 다른 특징에 따르면, 서브화소들은 n 행에 배열되고 제 $n-1$ 스캔 배선 및 제 n 스캔 배선을 통해 각각 제 $n-1$ 스캔 신호 및 제 n 스캔 신호를 제공받을 수 있다.
- [0101] 본 발명의 다른 특징에 따르면, 서브화소들은 제 $n-1$ 스캔 신호에 의해 제어되고 기준 전압을 제공하는 기준 전압 배선에 연결된 제1 보상 트랜지스터를 포함하는 서브화소, 및 제 n 스캔 신호에 의해 제어되고 기준 전압 배

선에 연결된 제2 보상 트랜지스터를 포함하는 서브화소를 포함할 수 있다.

- [0102] 본 발명의 다른 특징에 따르면, 화소는 모든 색을 표현할 수 있는 최소 단위이고, 화소에 포함된 서브화소들은 게이트 배선들이 배치된 방향으로 배열되며, 서브화소들 중 적어도 두 개의 서브화소들의 서브화소 구동 회로는 각각 보상 트랜지스터를 포함할 수 있다.
- [0103] 본 발명의 다른 특징에 따르면, 화소는 모든 색을 표현할 수 있는 최소 단위이고, 화소에 포함된 서브화소들은 적어도 두 개의 게이트 배선 및 적어도 두 개의 데이터 배선들이 배치된 방향으로 배열되고, 서브화소들 중 적어도 한 개의 데이터 배선에 배치된 서브화소들의 서브화소 구동 회로는 각각 보상 트랜지스터를 포함할 수 있다.
- [0104] 본 발명의 다른 특징에 따르면, 서브화소 구동 회로는 구동 전류를 일정하게 발광 소자에 제공하는 구동 트랜지스터를 포함하고, 서브화소 구동 회로는 구동 트랜지스터의 게이트 노드를 초기화하는 제1 초기화 기간, 구동 트랜지스터의 문턱전압을 샘플링하고 발광 소자를 초기화하는 샘플링 및 제2 초기화 기간, 데이터 배선을 통해 인가된 데이터 전압을 유지시키는 홀딩 기간, 및 데이터 전압을 기반으로 생성된 구동 전류를 통해 발광 소자를 발광시키는 발광 기간을 포함하도록 구현된다. 그리고, 기준 노드에는 제1 초기화 기간, 샘플링 및 제2 초기화 기간 동안에 기준 전압이 인가될 수 있다.
- [0105] 본 발명의 다른 특징에 따르면, 서브화소 구동 회로는 데이터 전압을 충전하는 커패시터를 포함하고, 커패시터의 일단은 기준 노드에 연결되며, 커패시터의 타단은 구동 트랜지스터의 게이트 노드에 연결될 수 있다.
- [0106] 본 명세서의 일 실시예에 따른 전계발광 표시장치는, 3원색의 조합을 통해 모든 색을 표현할 수 있는 최소한의 영역에 있는 단위 화소를 포함하고, 단위 화소는 제1 보상 트랜지스터를 포함하는 서브화소 및 제2 보상 트랜지스터를 포함하는 서브화소를 각각 적어도 한 개 이상 포함하고, 서브화소는 발광 소자, 구동 트랜지스터, 스위칭 트랜지스터들, 커패시터, 및 제1 부상 트랜지스터 또는 제2 보상 트랜지스터를 통해 전달된 기준 전압을 제공하는 기준 노드를 포함하며, 기준 노드를 연결하는 기준 노드 배선이 단위 화소에 배치된다. 이에 따라, 단위 화소에 포함된 서브화소들은 보상 트랜지스터를 통해 기준 노드에 기준 전압을 인가받고, 기준 노드 배선을 통해 단위 화소 내의 다른 서브화소들의 기준 노드에 기준 전압을 인가하므로, 고전위 전압의 영향을 받지 않는 구동 전류를 발광 소자에 제공하여, 전계발광 표시장치의 화질 문제를 개선할 수 있다.
- [0107] 본 발명의 다른 특징에 따르면, 발광 소자는 발광 소자를 발광시키기 위한 구동 전류가 인가되는 애노드 및 저전위 전원이 인가되는 캐소드를 포함하고, 구동 트랜지스터의 게이트는 커패시터의 일단과 연결되고, 구동 트랜지스터의 소스는 스위칭 트랜지스터들을 통해 고전위 전압 및 데이터 전압이 인가되며, 커패시터의 타단은 기준 노드와 연결될 수 있다.
- [0108] 본 발명의 다른 특징에 따르면, 기준 전압은 고전위 전압과 저전위 전압 사이의 전압일 수 있다.
- [0109] 본 발명의 다른 특징에 따르면, 단위 화소는 적색, 청색, 녹색을 발광하는 세 개의 서브화소들로 구성되거나, 적색, 청색, 녹색을 발광하는 네 개의 서브화소들로 구성될 수 있다.
- [0110] 본 발명의 다른 특징에 따르면, 제1 보상 트랜지스터 및 제2 보상 트랜지스터는 서로 다른 타이밍에 턴온되도록 서로 다른 게이트 배선에 연결될 수 있다.
- [0111] 본 발명의 다른 특징에 따르면, 단위 화소에 포함된 서브화소들 중 제1 보상 트랜지스터 및 제2 보상 트랜지스터를 포함하지 않는 서브화소의 기준 노드는 기준 노드 배선과 연결되어 기준 전압을 인가받을 수 있다.
- [0112] 본 발명의 다른 특징에 따르면, 단위 화소는 제n 화소 배선에 배열된 서브화소들을 포함하고, 제1 보상 트랜지스터 및 제2 보상 트랜지스터의 게이트는 각각 제n-1 스캔 배선 및 제n 스캔 배선에 연결되며, 제1 보상 트랜지스터 및 제2 보상 트랜지스터의 제1 전극은 각각 기준 전압을 인가하는 서로 다른 기준 전압 배선과 연결될 수 있다.
- [0113] 본 발명의 다른 특징에 따르면, 기준 노드 배선은 단위 화소별로 배치되어 인접한 단위 화소의 기준 노드 배선과 분리된 배선일 수 있다.
- [0114] 본 발명의 다른 특징에 따르면, 단위 화소는 제n-1 화소 배선 및 제n 화소 배선에 배열된 서브화소들을 포함하고, 제1 보상 트랜지스터 및 제2 보상 트랜지스터의 게이트는 각각 제n-1 스캔 배선 및 제n 스캔 배선에 연결되며, 제1 보상 트랜지스터 및 제2 보상 트랜지스터의 제1 전극은 기준 전압을 인가하는 하나의 기준 전압 배선과 연결될 수 있다.

[0115] 본 발명의 다른 특징에 따르면, 기준 노드 배선은 단위 화소와 단위 화소에 인접하여 배치된 단위 화소를 연결할 수 있다.

[0116] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0117] GL(1)~GL(n) : 게이트 배선들

DL(1)~DL(m) : 데이터 배선들

100 : 표시장치

110 : 영상 처리부

120 : 타이밍 제어부

130 : 게이트 구동부

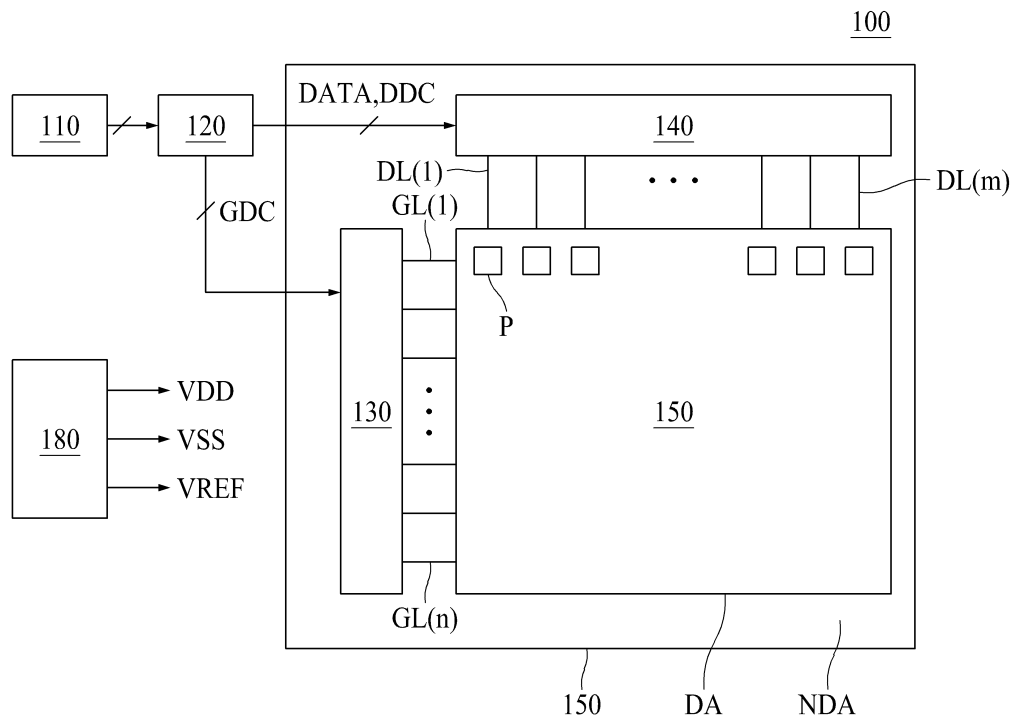
140 : 데이터 구동부

150 : 표시패널

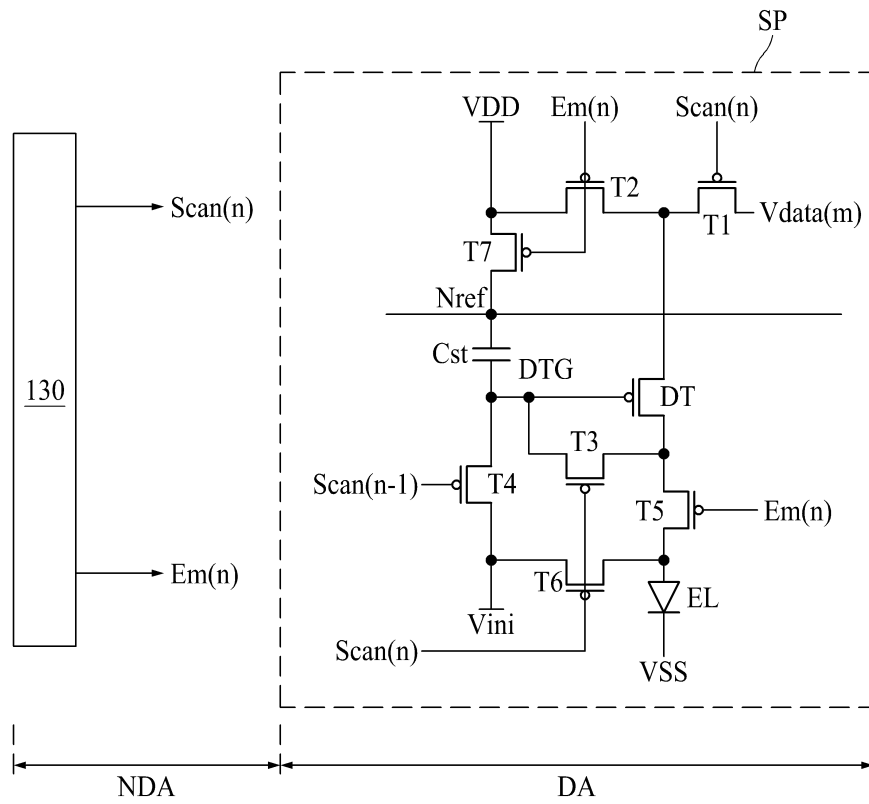
180 : 전원 공급부

도면

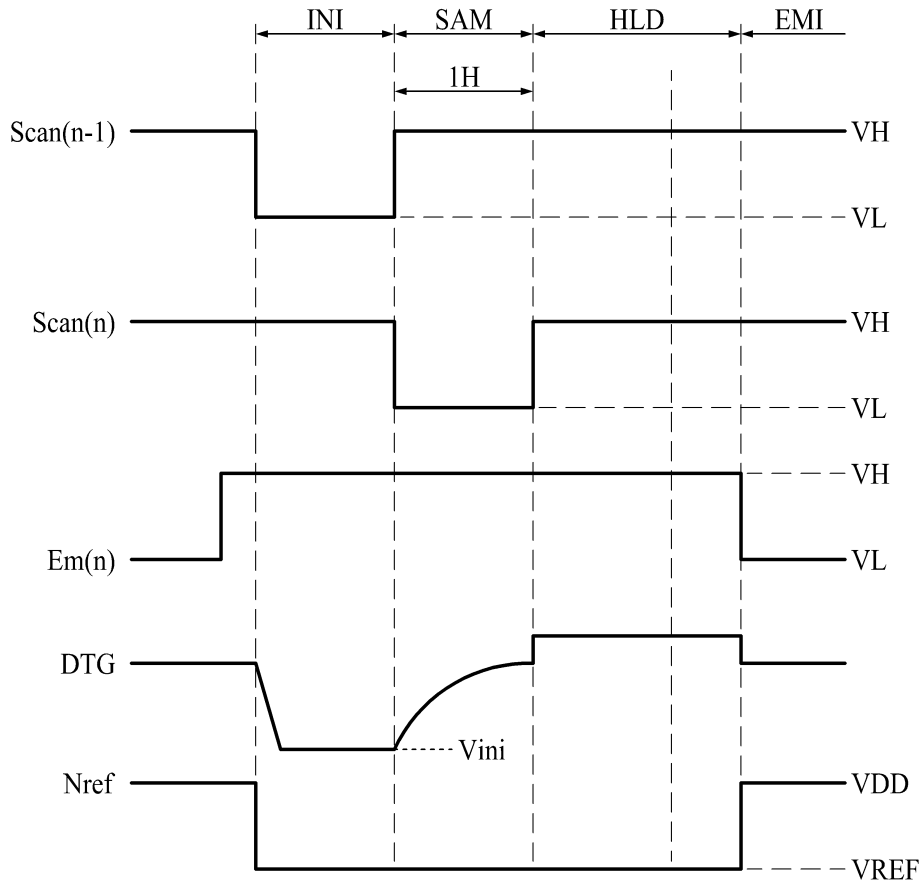
도면1



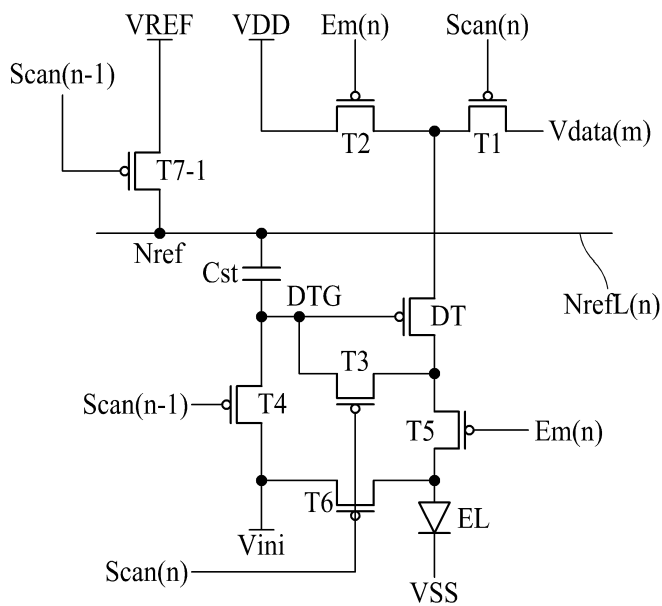
도면2



도면3

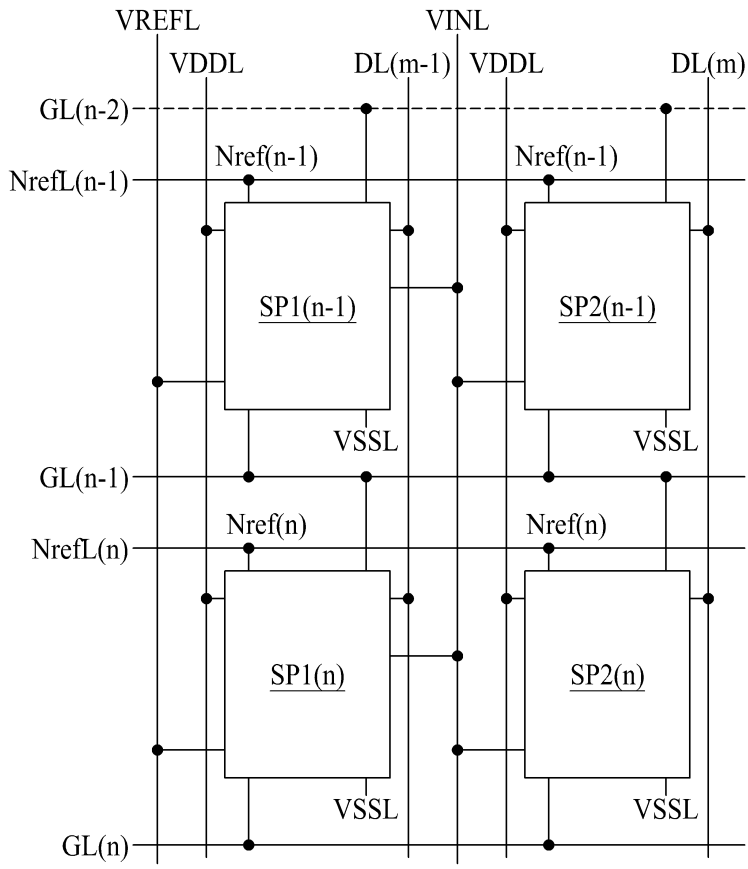


도면4



도면7

UP



专利名称(译)	子像素驱动电路和包括该子像素驱动电路的电致发光显示装置		
公开(公告)号	KR1020200064560A	公开(公告)日	2020-06-08
申请号	KR1020180150786	申请日	2018-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	고호영 유준석		
发明人	고호영 유준석		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32 G09G2300/043 G09G2300/0439 G09G2320/0209 G09G2320/0233 G09G2330/028 G09G3/3233 G09G3/325 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/045 G09G3/2003 G09G3/30 G09G2300/0452 G09G2310/0202		
外部链接	Espacenet		

摘要(译)

电致发光显示装置包括:像素,该像素包括多个子像素;和 用于向多个子像素提供电源电压的多条电源线; 数据线,用于向多个子像素提供数据信号; 用于向多个子像素提供栅极信号的多条栅极线; 以及参考节点线,用于连接包括在多个子像素中的多个参考节点,其中,每个子像素包括发光二极管和用于控制发光二极管的发光子像素驱动电路,并且其中,子像素驱动电路 在不包括高电位电压的情况下向发光二极管提供驱动电流作为从多个电源线之一施加到子像素驱动电路中包括的参考节点的参考电压,并且多个子像素中的一些包括 连接到参考节点的补偿晶体管接收参考电压。

