



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0061841
(43) 공개일자 2020년06월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3208 (2016.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3272 (2013.01)
G09G 3/3208 (2013.01)
(21) 출원번호 10-2018-0147593
(22) 출원일자 2018년11월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강임국
경기도 파주시 월롱면 엘지로 245
이설희
경기도 파주시 월롱면 엘지로 245
조성호
경기도 파주시 월롱면 엘지로 245
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 8 항

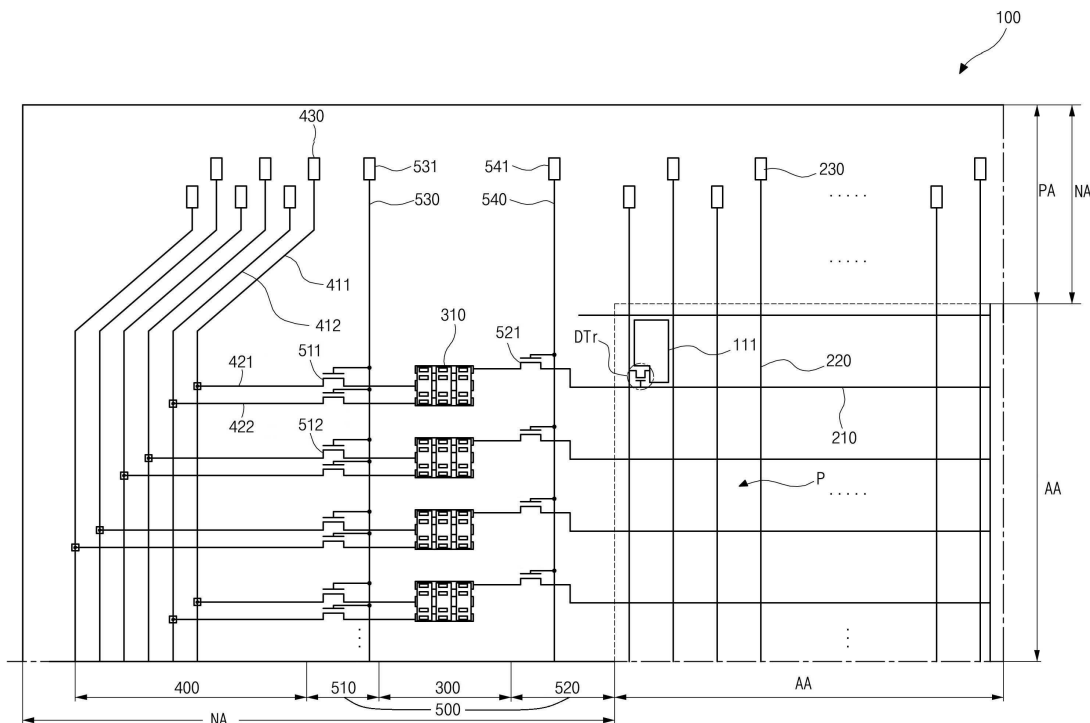
(54) 발명의 명칭 정전기 방지회로를 포함한 유기발광 다이오드 표시장치용 어레이 기판

(57) 요약

본 발명은 유기발광 다이오드 표시장치의 제조 공정 중에 있어서 대전된 전하에 의해 게이트 구동부에 포함된 트랜지스터의 파괴를 차단하는 정전기 방지회로가 포함된 유기발광 다이오드 표시장치용 어레이 기판에 관한 것이다.

(뒷면에 계속)

대표도 - 도3



본 발명은 게이트 라인과 데이터 라인이 교차하여 정의되는 화소영역과, 상기 화소영역에 형성된 구동 박막트랜지스터를 포함하는 표시영역과; 박막트랜지스터를 포함하는 게이트 구동부와; 제 1 및 제 2 클럭 라인과 상기 제 1 및 제 2 클럭 라인과 각각 연결된 제 1 및 제 2 연결 라인을 포함하는 신호 입력부와; 제 1 게이트 제어 트랜지스터와 제 1 데이터 제어 트랜지스터, 제 2 데이터 제어 트랜지스터, 제 1 제어 라인, 제 2 제어라인을 포함하는 입력 제어부를 포함하며; 상기 입력 제어부는 입력 제어신호에 따라 상기 표시영역과 상기 게이트 구동부 사이 및 상기 신호 입력부와 상기 게이트 구동부 사이를 연결하거나 연결을 차단하는 어레이 기판을 제공한다.

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/52 (2013.01)

명세서

청구범위

청구항 1

게이트 라인과 데이터 라인이 교차하여 정의되는 화소영역과, 상기 화소영역에 형성된 구동 박막트랜지스터를 포함하는 표시영역과;

비표시영역에 있고, 박막트랜지스터를 포함하는 게이트 구동부와;

제 1 및 제 2 클럭 라인과 상기 제 1 및 제 2 클럭 라인과 각각 연결된 제 1 및 제 2 연결 라인을 포함하는 신호 입력부와;

제 1 게이트 제어 트랜지스터와 제 1 데이터 제어 트랜지스터, 제 2 데이터 제어 트랜지스터, 제 1 제어 라인, 제 2 제어라인을 포함하는 입력 제어부를 포함하며;

상기 입력 제어부는 입력 제어신호에 따라 상기 표시영역과 상기 게이트 구동부 사이 및 상기 신호 입력부와 상기 게이트 구동부 사이를 연결하거나 연결을 차단하는 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 제 1 게이트 제어 트랜지스터의 게이트 전극은 상기 제 1 제어 라인과 연결되고, 상기 제 1 게이트 제어 트랜지스터의 소스 전극은 상기 신호 입력부의 상기 제 1 연결 라인과 연결되며, 상기 제 1 게이트 제어 트랜지스터의 드레인 전극은 상기 게이트 구동부의 박막트랜지스터의 게이트 전극과 연결되고,

상기 제 1 데이터 제어 트랜지스터의 게이트 전극은 상기 제 1 제어 라인과 연결되고, 상기 제 1 데이터 제어 트랜지스터의 소스 전극은 상기 신호 입력부의 상기 제 2 연결 라인과 연결되며, 상기 제 1 데이터 제어 트랜지스터의 드레인 전극은 상기 게이트 구동부의 박막트랜지스터의 소스 전극과 연결되고,

상기 제 2 데이터 제어 트랜지스터의 게이트 전극은 상기 제 2 제어 라인과 연결되고, 상기 제 2 데이터 제어 트랜지스터의 소스 전극은 상기 게이트 구동부의 박막트랜지스터의 드레인 전극과 연결되며, 상기 제 2 데이터 제어 트랜지스터의 드레인 전극은 상기 표시영역의 게이트 라인과 연결되는 어레이 기판.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 게이트 구동부는 표시패널 안에 포함되는 어레이 기판.

청구항 4

제 2 항에 있어서,

상기 제 1 게이트 제어 트랜지스터 및 상기 제 1 데이터 제어 트랜지스터, 상기 제 2 데이터 제어 트랜지스터는 어레이 테스트 실행 시 턴-온(turn on) 되고, 어레이 테스트 실행 후 턴-오프(turn off) 되는 어레이 기판.

청구항 5

제 2 항에 있어서,

상기 제 1 게이트 제어 트랜지스터의 소스 전극 및 드레인 전극, 상기 제 1 데이터 제어 트랜지스터의 소스 전

극 및 드레인 전극, 상기 제 2 데이터 제어 트랜지스터의 소스 전극 및 드레인 전극은 각각 화소전극을 통해 연결되는 어레이 기판.

청구항 6

제 1 게이트 제어 트랜지스터와 제 1 데이터 제어 트랜지스터, 제 2 데이터 제어 트랜지스터, 제 1 제어 라인, 제 2 제어라인을 포함하는 입력 제어부를 포함하는 어레이 기판에 있어서,

기판 상에 광 차단막을 형성하는 단계와;

상기 광 차단막 상에 버퍼 절연막을 형성하는 단계와;

상기 버퍼 절연막 상에 반도체층을 형성하는 단계와;

상기 반도체 층 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상에 층간 절연막을 형성하는 단계와;

상기 층간 절연막 상에 소스 전극 및 드레인 전극을 형성하는 단계와;

어레이 테스트를 실행하는 단계와;

상기 소스 전극 및 드레인 전극 상에 보호막 및 오버코트층을 형성하는 단계와;

상기 보호막 및 오버코트층 상에 화소전극을 형성하는 단계를 포함하여, 박막트랜지스터를 형성하는 어레이 기판의 제조방법.

청구항 7

제 6 항에 있어서,

상기 어레이 테스트는 상기 제 1 게이트 제어 트랜지스터 및 상기 제 1 데이터 제어 트랜지스터, 상기 제 2 데이터 제어 트랜지스터를 턴-온(turn on) 시킨 후 실행하고,

상기 어레이 테스트 실행 후 상기 제 1 게이트 제어 트랜지스터 및 상기 제 1 데이터 제어 트랜지스터, 상기 제 2 데이터 제어 트랜지스터를 턴-오프(turn off) 하는 어레이 기판의 제조방법.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 화소전극을 형성하는 단계는, 상기 제 1 게이트 제어 트랜지스터의 소스 전극 및 드레인 전극, 상기 제 1 데이터 제어 트랜지스터의 소스 전극 및 드레인 전극, 상기 제 2 데이터 제어 트랜지스터의 소스 전극 및 드레인 전극을 각각 화소전극을 통해 연결하는 어레이 기판의 제조방법.

발명의 설명

기술 분야

본 발명은 유기발광 다이오드 표시장치용 어레이 기판에 관한 것으로, 특히 유기발광 다이오드 표시장치용 어레이 기판의 제조 공정 중에 발생하는 정전기로 인한 트랜지스터의 파괴를 방지할 수 있는 어레이 기판에 관한 것이다.

배경 기술

[0001]

- [0003] 20세기 말부터 폭발적으로 성장한 컴퓨터 및 방송통신 관련 기술의 발전에 따라 대한민국을 포함한 전 세계가 본격적으로 정보화 시대로 진입하게 되었고, 이에 따라 사회에서 유통되는 대량의 유용한 정보를 정확하고 선명하게 표현하기 위하여 다양한 표시장치에 대한 요구가 나날이 증가하고 있다.
- [0004] 이러한 요구에 부응하여 액정 표시장치(LCD : Liquid Crystal Display), 플라즈마 표시장치(PDP : Plasma Display Panel), 전계방출 표시장치(FED, Field Emission Display), 유기발광 다이오드 표시장치(OLED : Organic Light Emitting Display)와 같은 여러 가지 평판 표시장치(Flat Panel Display)가 개발되었고, 이들 평판 표시장치는 기존의 브라운관(CRT, Cathode Ray Tube)과 대비하여 얇고, 가벼우며, 소비전력이 적은 장점을 가지고 있어 기존의 브라운관을 빠르게 대체하고 있다.
- [0005] 이러한 표시장치 중 각광을 받고 있는 유기발광 다이오드 표시장치를 구성하는 유기발광 다이오드는, 정공주입 전극과 유기 발광층, 전자주입 전극으로 이루어지며, 전자와 정공이 유기 발광층 내부에서 결합하여 생성된 여기자 (exciton)가 여기 상태에서부터 기저 상태로 떨어질 때 발생하는 에너지에 의해 발광이 이루어진다.
- [0006] 이러한 원리로 유기발광 다이오드 표시장치는 자발광 특성을 가지며, 액정 표시장치와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있는 장점이 있다. 또한, 낮은 소비전력, 높은 휘도와 반응속도를 가지므로 여러 표시장치 중에서 차세대 표시장치로 주목 받고 있다.
- [0007] 유기발광 다이오드 표시장치는 어레이 기판을 포함하며, 어레이 기판 상의 게이트 라인과 데이터 라인이 교차하는 부분에 박막 트랜지스터(TFT : Thin Film Transistor)가 놓여 있어, 박막 트랜지스터에 의해 유기발광 다이오드 소자의 구동이 조절될 수 있다.
- [0008] 박막 트랜지스터는 게이트 전극 및 소스 전극, 드레인 전극과 반도체층으로 이루어질 수 있으며, 소스 전극 및 드레인 전극은 데이터 라인과 연결되어 데이터 신호에 따라 유기 발광층의 발광량이 조절되어 화상을 표시할 수 있다.
- [0009] 한편 유기발광 다이오드 표시장치의 제조 공정 중에 소스 전극 및 드레인 전극을 형성한 후에는 대전된 전하가 누적될 수 있기 때문에, 상기 전하에 의해 게이트 구동부에 형성된 트랜지스터가 파괴될 수 있는 문제점이 발생한다.

발명의 내용

해결하려는 과제

- [0011] 본 발명의 목적은 상기와 같은 문제점을 해결하기 위한 것으로, 유기발광 다이오드 표시장치의 제조 공정 중에 있어서 대전된 전하에 의한 게이트 구동부에 포함된 트랜지스터의 파괴를 차단하는 정전기 방지회로가 포함된 유기발광 다이오드 표시장치용 어레이 기판을 제공하는 것이다.

과제의 해결 수단

- [0013] 상기와 같은 목적을 달성하기 위하여 본 발명은, 게이트 라인과 데이터 라인이 교차하여 정의되는 화소영역과, 상기 화소영역에 형성된 구동 박막트랜지스터를 포함하는 표시영역과; 비표시영역에 있고, 박막트랜지스터를 포함하는 게이트 구동부와; 제 1 및 제 2 클럭 라인과 상기 제 1 및 제 2 클럭 라인과 각각 연결된 제 1 및 제 2 연결 라인을 포함하는 신호 입력부와; 제 1 게이트 제어 트랜지스터와 제 1 데이터 제어 트랜지스터, 제 2 데이터 제어 트랜지스터, 제 1 제어 라인, 제 2 제어라인을 포함하는 입력 제어부를 포함하며; 상기 입력 제어부는 입력 제어신호에 따라 상기 표시영역과 상기 게이트 구동부 사이 및 상기 신호 입력부와 상기 게이트 구동부 사이를 연결하거나 연결을 차단하는 어레이 기판을 제공한다.
- [0014] 그리고, 상기 제 1 게이트 제어 트랜지스터의 게이트 전극은 상기 제 1 제어 라인과 연결되고, 상기 제 1 게이트 제어 트랜지스터의 소스 전극은 상기 신호 입력부의 상기 제 1 연결 라인과 연결되며, 상기 제 1 게이트 제어 트랜지스터의 드레인 전극은 상기 게이트 구동부의 박막트랜지스터의 게이트 전극과 연결되고,
- [0015] 상기 제 1 데이터 제어 트랜지스터의 게이트 전극은 상기 제 1 제어 라인과 연결되고, 상기 제 1 데이터 제어 트랜지스터의 소스 전극은 상기 신호 입력부의 상기 제 2 연결 라인과 연결되며, 상기 제 1 데이터 제어 트랜지

스터의 드레인 전극은 상기 게이트 구동부의 박막트랜지스터의 소스 전극과 연결되고,

- [0016] 상기 제 2 데이터 제어 트랜지스터의 게이트 전극은 상기 제 2 제어 라인과 연결되고, 상기 제 2 데이터 제어 트랜지스터의 소스 전극은 상기 게이트 구동부의 박막트랜지스터의 드레인 전극과 연결되며, 상기 제 2 데이터 제어 트랜지스터의 드레인 전극은 상기 표시영역의 게이트 라인과 연결되는 어레이 기판을 제공한다.
- [0017] 또한, 상기 게이트 구동부는 표시패널 안에 포함되는 어레이 기판을 제공한다.
- [0018] 상기 제 1 게이트 제어 트랜지스터 및 상기 제 1 데이터 제어 트랜지스터, 상기 제 2 데이터 제어 트랜지스터는 어레이 테스트 실행 시 턴-온(turn on) 되고, 어레이 테스트 실행 후 턴-오프(turn off) 되는 어레이 기판을 제공한다.
- [0019] 상기 제 1 게이트 제어 트랜지스터의 소스 전극 및 드레인 전극, 상기 제 1 데이터 제어 트랜지스터의 소스 전극 및 드레인 전극, 상기 제 2 데이터 제어 트랜지스터의 소스 전극 및 드레인 전극은 각각 화소전극을 통해 연결되는 어레이 기판을 제공한다.
- [0021] 본 발명의 다른 실시 예는, 제 1 게이트 제어 트랜지스터와 제 1 데이터 제어 트랜지스터, 제 2 데이터 제어 트랜지스터, 제 1 제어 라인, 제 2 제어라인을 포함하는 입력 제어부를 포함하는 어레이 기판에 있어서,
- [0022] 기판 상에 광 차단막을 형성하는 단계와; 상기 광 차단막 상에 버퍼 절연막을 형성하는 단계와; 상기 버퍼 절연막 상에 반도체층을 형성하는 단계와; 상기 반도체 층 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상에 층간 절연막을 형성하는 단계와; 상기 층간 절연막 상에 소스 전극 및 드레인 전극을 형성하는 단계와; 어레이 테스트를 실행하는 단계와; 상기 소스 전극 및 드레인 전극 상에 보호막 및 오버코트층을 형성하는 단계와; 상기 보호막 및 오버코트층 상에 화소전극을 형성하는 단계를 포함하여, 박막트랜지스터를 형성하는 어레이 기판의 제조방법을 제공한다.
- [0023] 그리고, 상기 어레이 테스트는 상기 제 1 게이트 제어 트랜지스터 및 상기 제 1 데이터 제어 트랜지스터, 상기 제 2 데이터 제어 트랜지스터를 턴-온(turn on) 시킨 후 실행하고, 상기 어레이 테스트 실행 후 상기 화소전극을 형성하는 단계까지 상기 제 1 게이트 제어 트랜지스터 및 상기 제 1 데이터 제어 트랜지스터, 상기 제 2 데이터 제어 트랜지스터를 턴-오프(turn off) 하는 어레이 기판의 제조방법을 제공한다.
- [0024] 또한, 상기 화소전극을 형성하는 단계는, 상기 제 1 게이트 제어 트랜지스터의 소스 전극 및 드레인 전극, 상기 제 1 데이터 제어 트랜지스터의 소스 전극 및 드레인 전극, 상기 제 2 데이터 제어 트랜지스터의 소스 전극 및 드레인 전극을 각각 화소전극을 통해 연결하는 것이 특징인 어레이 기판의 제조방법을 제공한다.

발명의 효과

- [0027] 이상 설명한 바와 같이 본 발명의 정전기 방지회로는 신호 입력부와 게이트 구동부, 표시영역과 게이트 구동부 사이에 제어 트랜지스터가 포함된 입력 제어부를 형성하여, 유기발광 다이오드 표시장치의 제조 공정 중에 발생할 수 있는 대전된 전하에 의한 서지(surge)를 차단하고, 게이트 구동부에 포함된 트랜지스터의 파괴를 방지하는 효과를 가진다. 또한, 어레이 테스트 실시 후 입력 제어부의 제어 트랜지스터의 소스 전극 및 드레인 전극 사이를 화소전극을 통해 연결함으로써, 어레이 테스트 시 요구되었던 표시패널을 절단하는 과정이 필요 없는 효과를 가진다.

도면의 간단한 설명

- [0029] 도 1은 본 발명에 따른 유기발광 다이오드 표시장치에 포함되는 유기발광 다이오드 표시패널의 단면을 나타낸 도면이다.
- 도 2는 본 발명의 제 1 실시예에 따른 유기발광 다이오드 표시장치의 어레이 기판을 나타낸 도면이다.
- 도 3은 본 발명의 제 2 실시예에 따른 유기발광 다이오드 표시장치의 어레이 기판을 나타낸 도면이다.

도 4는 본 발명에서 어레이 테스트 시, 입력 제어부의 제어 트랜지스터의 단면을 나타낸 도면이다.

도 5는 본 발명에서 화소전극을 형성한 후, 입력 제어부의 제어 트랜지스터의 단면을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.
- [0032] 도 1은 본 발명에 따른 유기발광 다이오드 표시장치에 포함되는 유기발광 다이오드 표시패널의 단면이다.
- [0033] 유기발광 다이오드 표시패널(110)은 구동 박막트랜지스터(DTr)와 유기 발광층(E)이 형성된 제 1 기판(101)이 제 2 기판(102)에 의해 인캡슐레이션(encapsulation) 될 수 있다.
- [0034] 제 1 기판(101) 상에는 광 차단막(121)이 형성될 수 있으며, 광 차단막(121) 상에는 버퍼 절연막(122)이 형성될 수 있다.
- [0035] 버퍼 절연막(122) 상의 화소영역(P)에는 반도체층(104)이 형성될 수 있는데, 반도체층(104)은 실리콘으로 이루어질 수 있으며 그 중앙부는 채널을 이루는 액티브 영역(104a), 그리고 액티브 영역(104a) 양 측면으로 고농도의 불순물이 도핑된 소스 영역(104b) 및 드레인 영역(104c)으로 구성될 수 있다.
- [0036] 이러한 반도체층(104)의 상부에는 게이트 절연막(105)이 형성될 수 있다.
- [0037] 게이트 절연막(105) 상부에는 반도체층(104)의 액티브 영역(104a)에 대응하여 게이트 전극(107)과, 일 방향으로 연장하는 게이트 라인(미도시)이 형성될 수 있다.
- [0038] 또한, 게이트 전극(107)과 게이트 라인(미도시)의 상부 전면에는 층간 절연막(106a)이 형성될 수 있으며, 이때 층간 절연막(106a)과 그 하부에 위치한 게이트 절연막(105)은 액티브 영역(104a) 양 측면에 위치한 소스 영역(104b) 및 드레인 영역(104c)을 각각 노출시키는 제 1 및 제 2 반도체층 콘택홀(109)을 구비할 수 있다.
- [0039] 다음으로, 제 1 및 제 2 반도체층 콘택홀(109)을 포함하는 제 1 층간 절연막(106a) 상부에는, 서로 이격하며 제 1 및 제 2 반도체층 콘택홀(109)을 통해 노출된 소스 영역(104b) 및 드레인 영역(104c)과 각각 접촉하는 소스 전극(108a) 및 드레인 전극(108b)이 형성될 수 있다.
- [0040] 그리고, 소스 전극(108a) 및 드레인 전극(108b)과 두 전극 사이로 노출된 층간 절연막(106a) 상부에는 드레인 전극(108b)을 노출시키는 드레인 콘택홀(112)을 갖는 보호막 또는 오버코트층(106b)이 형성될 수 있다.
- [0041] 이때, 소스 전극(108a) 및 드레인 전극(108b)과, 이들 전극과 접촉하는 소스 영역(104b) 및 드레인 영역(104c)을 포함하는 반도체층(104)과, 반도체층(104) 상부에 형성된 게이트 절연막(105) 및 게이트 전극(107)은 구동 박막트랜지스터(DTr)를 이루게 된다.
- [0042] 그리고, 위와 같은 구동 박막트랜지스터(DTr)를 형성하는 과정은 게이트 구동부의 박막트랜지스터나 입력 제어부의 제어 트랜지스터들을 형성하는 경우에 동일하게 적용할 수 있다.
- [0044] 그리고, 도 1에서 구동 박막트랜지스터(DTr)는 반도체층(104)이 폴리 실리콘 반도체층으로 이루어진 코플라나(co-planar) 타입을 예로서 보이고 있으나, 이의 변형 예로서 순수 및 불순물의 비정질 실리콘으로 이루어진 바텀 게이트(bottom gate) 타입으로 형성될 수 있다.
- [0045] 또한, 구동 박막트랜지스터(DTr)의 드레인 전극(108b)과 연결되며 제 2 층간 절연막(106b) 상부에는 실질적으로 화상을 표시하는 영역에는, 예를 들어 일함수 값이 비교적 높은 물질로 발광다이오드(E)를 구성하는 일 구성요소로서 양의 전극(anode)을 이루며 화소전극이 되는 제 1 전극(111)이 형성될 수 있다.
- [0046] 이러한 제 1 전극(111)은 각 화소영역(P) 별로 형성되는데, 각 화소영역(P) 별로 형성된 제 1 전극(111) 사이에는 뱅크(119)가 위치할 수 있다.
- [0047] 뱅크(119)를 각 화소영역(P) 별 경계부로 하여 제 1 전극(111)이 화소영역(P) 별로 분리된 구조로 형성될 수 있다.
- [0048] 그리고 제 1 전극(111)의 상부에 유기 발광층(113)이 형성될 수 있다.

- [0049] 여기서, 유기 발광층(113)은 발광물질로 이루어진 단일층으로 구성될 수도 있으며, 발광 효율을 높이기 위해 정공 주입층(hole injection layer), 정공 수송층(hole transport layer), 발광층(emitting material layer), 전자 수송층(electron transport layer) 및 전자 주입층(electron injection layer)의 다중층으로 구성될 수 있다.
- [0050] 이러한 유기 발광층(113)은 적(R), 녹(G), 청(B)의 색을 표현하게 되는데, 일반적인 방법으로는 각 화소영역(P)마다 적(R), 녹(G), 청(B)색을 발광하는 별도의 유기물질(113a, 113b, 113c)을 패터닝하여 사용할 수 있다.
- [0051] 그리고, 유기 발광층(113)의 상부에는 전면에 음극(cathode)을 이루는 제 2 전극(115)이 형성될 수 있다.
- [0052] 이때, 제 2 전극(115)은 이중층 구조로 형성될 수 있으며, 일함수가 낮은 금속 물질을 얇게 증착한 반투명 금속막을 포함할 수 있다. 이때, 제 2 전극(115)은 반투명 금속막 상에 투명한 도전성 물질이 두껍게 증착된 이중층 구조일 수 있다.
- [0053] 따라서, 유기 발광층(113)에서 발광된 빛은 제 2 전극(115)을 향해 방출되는 상부 발광방식(top emission type)으로 구동될 수 있다.
- [0054] 또는 제 2 전극(115)이 불투명한 금속막으로 이루어져, 유기 발광층(113)에서 발광된 빛이 제 1 전극(111)을 향해 방출되는 하부 발광방식(bottom emission type)으로 구동될 수 있다.
- [0055] 이러한 유기발광 다이오드 표시패널(110)은 선택된 색 신호에 따라 제 1 전극(111)과 제 2 전극(115)으로 소정의 전압이 인가되면, 제 1 전극(111)으로부터 주입된 정공과 제 2 전극(115)으로부터 제공된 전자가 유기 발광층(113)으로 수송되어 엑시톤(exciton)을 이루고, 이러한 엑시톤이 여기 상태에서 기저 상태로 천이 될 때 빛이 발생하여 가시광선의 형태로 방출된다.
- [0056] 이때, 발광된 빛은 투명한 제 2 전극(115) 또는 제 1 전극(111)을 통과하여 외부로 나가게 되므로, 유기발광 다이오드 표시패널(110)은 화상을 구현하게 된다.
- [0057] 그리고, 이러한 구동 박막트랜지스터(DTr)와 유기 발광층(E)의 상부에는 제 2 기판(102)이 구비되며, 제 1 기판(101)과 제 2 기판(102)은 접착특성을 갖는 접착필름을 통해 서로 이격하여 합착되므로, 유기발광 다이오드 표시패널(110)은 인캡슐레이션(encapsulation) 될 수 있다.
- [0058] 이때, 접착필름(103)은 외부 습기가 유기 발광층(E)의 내부로 침투되는 것을 방지하여 제 1 기판(101) 상에 형성된 구동 박막트랜지스터(DTr)와 유기 발광층(E)을 보호하는 막으로, 유기 발광층(E)을 에워싸며 제 1 기판(101) 상에 형성될 수 있다.
- [0059] 접착필름은 OCA(Optical Cleared Adhesive), 열 경화성 레진 또는 열 경화성 봉지재 중 선택된 하나로 형성될 수 있으며, 기판(101) 상의 구동 박막트랜지스터(DTr)와 유기 발광층(E)을 밀봉시키게 된다.
- [0060] 한편, 제 1 기판(101)과 제 2 기판(102)은 유리, 플라스틱 재질 등을 재료로 하여 형성할 수 있다.
- [0061] 여기서, 제 1 기판(101)과 제 2 기판(102)을 금속 호일로 형성할 경우, 5 ~ 100 μ m의 두께를 갖도록 형성할 수 있어, 제 1 기판(101)과 제 2 기판(102)을 유리 또는 압연방식으로 형성하는 경우에 비해 얇은 두께로 형성할 수 있어, 유기발광 다이오드 표시패널(110)의 전체적인 두께를 줄일 수 있다. 또한, 유기발광 다이오드 표시패널(110)의 두께를 줄임에도 불구하고 유기발광 다이오드 표시패널(110) 자체의 내구성을 향상시킬 수 있다.
- [0063] 도 2는 본 발명의 제 1 실시예에 따른 유기발광 다이오드 표시장치의 어레이 기판을 나타낸 도면이다. 본 발명에서 표시영역(AA)에 대응하는 어레이 기판 상의 영역에는 게이트 신호를 공급하는 다수의 게이트 라인(210)과, 데이터 신호를 공급하는 다수의 데이터 라인(220)이 형성되며, 다수의 게이트 라인(210)과 데이터 라인(220)이 교차하여 다수의 화소영역(P)을 정의한다.
- [0064] 화소영역(P)에는 구동 박막트랜지스터(DTr)가 포함되며, 구동 박막트랜지스터(DTr)에 게이트 신호를 전송한 후 데이터 신호에 따라 유기 발광층(E)의 발광량이 조절되어 화상을 표시하게 된다.
- [0065] 게이트 구동부(300)는 박막트랜지스터(310)를 포함하고, 게이트 라인(210)을 통해 표시영역(AA)에 위치한 구동 박막트랜지스터(DTr)와 연결되며, 구동 박막트랜지스터(DTr)에 게이트 신호를 공급하여 구동 박막트랜지스터(DTr)를 턴-온(turn on) 시킨다. 게이트 구동부(300)는 표시패널(100)의 외부에 위치할 수 있으나, 표시패널(100)의 내부에 위치하여 게이트 인 패널(GIP : Gate in Panel) 구조를 가질 수도 있다.

- [0066] 신호 입력부(400)는 타이밍 제어부(미도시)로부터의 제어 신호를 입력 받아 이를 게이트 구동부(300)에 전달한다. 신호 입력부(400)는 클럭 라인(410)과, 이와 연결된 연결 라인(420)을 포함한다. 연결 라인(420)은 게이트 구동부(300)에 포함된 트랜지스터(310)와 연결된다.
- [0067] 표시패널(100)에서 표시영역(AA)을 제외한 부분은 비표시영역(NA)이 되고, 비표시영역(NA)의 패드부(PA)에 있어서는, 표시영역(AA)에 형성된 데이터 라인(220)과 연결되며 표시패널(100) 외부의 인쇄회로기판(미도시)과 연결하기 위한 데이터 패드(230) 및 신호 입력부(400)에 형성된 클럭 라인(410)과 연결되어 이들 클럭 라인(410)에 신호를 인가하기 위한 클럭 패드(430)가 형성되어 있다.
- [0068] 표시영역(AA)의 구동 박막트랜지스터(DTr), 비표시 영역(NA)의 게이트 구동부(300)의 박막 트랜지스터(310)를 제조하는 과정 중에 소스 전극과 드레인 전극을 형성한 이후부터 화소전극을 형성할 때까지 대전된 전하가 증가하기 시작한다. 이는 신호 입력부(400)의 클럭 라인(410)과 표시영역(AA) 사이에 높은 커패시턴스가 생성되므로, 클럭 라인(410)과 표시영역(AA) 사이에 생성된 커패시턴스에 의해 서지(surge)가 발생하여 게이트 구동부(300)에 형성된 박막트랜지스터(310)를 파괴할 수 있고, 이에 따라 화상의 불량률이 발생할 수 있게 된다.
- [0069] 하부 발광방식(bottom emission type)에 의한 유기발광 다이오드 표시장치에 있어서는, 박막트랜지스터의 소스 전극 및 드레인 전극을 형성한 후 화소전극을 형성할 때까지 신호 입력부(400)와 게이트 구동부(300) 사이의 단자(501, 502) 및 표시영역(AA)과 게이트 구동부(300) 사이의 단자(503)를 연결하지 않으므로써, 신호 입력부(400)의 클럭 라인(410)과 표시영역(AA) 사이에 커패시턴스가 생성되는 것을 차단할 수 있다. 따라서, 클럭 라인(410)과 표시영역(AA) 사이에 생성된 커패시턴스에 의해 서지(surge)가 발생하여 게이트 구동부(300)에 포함된 박막트랜지스터(310)가 파괴되는 것을 방지할 수 있다. 화소전극을 형성한 이후에는 다시 신호 입력부(400)와 게이트 구동부(300) 사이의 단자(501, 502) 및 표시영역(AA)과 게이트 구동부(300) 사이의 단자(503)를 연결하여 타이밍 제어신호를 신호 입력부(400)에서 게이트 구동부(300)에 인가할 수 있게 하고, 게이트 신호를 게이트 구동부(300)에서 표시영역(AA)의 구동 박막트랜지스터(DTr)에 인가할 수 있게 한다.
- [0070] 하부 발광방식은 어레이 기판 상의 박막트랜지스터 회로와 유기 발광층(E)이 분리되어 있기 때문에, 유기 발광층(E)이 형성되어 있더라도 어레이 기판 상의 박막트랜지스터 회로의 결함을 복구할 수 있다. 따라서 유기 발광층(E)이 형성되어 화소의 형성을 완성한 이후에도 어레이 테스트를 실행할 수 있기 때문에, 박막트랜지스터의 소스 전극 및 드레인 전극을 형성한 이후부터 화소를 형성할 때까지는 신호 입력부(400)와 게이트 구동부(300) 사이의 단자(501, 502) 및 표시영역(AA)과 게이트 구동부(300) 사이의 단자(503)가 연결되어 있지 않아도 된다.
- [0071] 그러나 상부 발광방식(top emission type)은 어레이 기판 상의 박막트랜지스터 회로와 유기 발광층(E)이 분리되어 있지 않기 때문에, 유기 발광층(E)이 형성되면 어레이 기판 상의 박막트랜지스터회로가 보이지 않아 박막트랜지스터 회로의 결함을 복구할 수 없다. 따라서, 유기 발광층(E)이 형성되어 화소의 형성을 완성하기 전에 어레이 테스트를 실행하여 어레이 기판 상의 박막트랜지스터회로의 결함을 복구해야 한다. 이를 위하여 박막트랜지스터의 소스 전극 및 드레인 전극을 형성하여 박막트랜지스터의 형성을 완성한 이후, 신호 입력부(400)와 게이트 구동부(300) 사이의 단자(501, 502) 및 표시영역(AA)과 게이트 구동부(300) 사이의 단자(503)를 연결하고 어레이 테스트를 실행해야 된다.
- [0072] 그러나 박막트랜지스터의 소스 전극 및 드레인 전극을 형성한 이후, 신호 입력부(400)와 게이트 구동부(300) 사이의 단자(501, 502) 및 표시영역(AA)과 게이트 구동부(300) 사이의 단자(503)를 연결하게 되면, 클럭 라인(410)과 표시영역(AA) 사이에 생성된 커패시턴스에 의해 서지(surge)가 발생하여 게이트 구동부(300)의 박막트랜지스터(310)가 파괴될 수 있는 위험이 있다.
- [0073] 도 3은 본 발명의 제 2 실시예에 따른 유기발광 다이오드 표시장치의 어레이 기판을 나타낸 도면이다. 본 발명의 제 2 실시예에 따른 유기발광 다이오드 표시장치의 어레이 기판 상에는 연결 제어부(500)를 더 포함할 수 있다.
- [0074] 본 발명의 표시영역(AA)에 대응하는 어레이 기판 상의 영역에는 게이트 신호를 공급하는 다수의 게이트 라인(210)과, 데이터 신호를 공급하는 다수의 데이터 라인(220)이 형성되며, 다수의 게이트 라인(210)과 데이터 라인(220)이 교차하여 다수의 화소영역(P)을 정의한다.
- [0075] 화소영역(P)에는 구동 박막트랜지스터(DTr)가 포함되며, 구동 박막트랜지스터(DTr)에 게이트 신호를 전송한 후, 데이터 신호에 따라 유기 발광층(E)의 발광량이 조절되어 화상을 표시하게 된다.
- [0076] 게이트 구동부(300)는 박막트랜지스터(310)를 포함하고, 게이트 라인(210)을 통해 표시영역(AA)에 위치한 구동

박막트랜지스터(DTr)에 게이트 신호를 공급하여 구동 박막트랜지스터(DTr)를 턴-온(turn on) 시킨다. 게이트 구동부(300)는 표시패널(100)의 외부에 위치할 수 있으나, 표시패널(100)의 내부에 위치하여 게이트 인 패널(GIP : Gate in Panel) 구조를 가질 수도 있다.

- [0077] 신호 입력부(400)는 타이밍 제어부(미도시)로부터의 제어 신호를 입력 받아 이를 게이트 구동부(300)에 전달한다. 신호 입력부(400)는 클럭 라인(410)과, 이와 연결된 연결 라인(420)을 포함한다. 클럭 라인(410)은 게이트 구동부(300)의 박막트랜지스터(310)를 턴-온(turn on) 시키는 신호를 공급하는 제 1 클럭 라인(411)과, 게이트 구동부(300)의 박막트랜지스터(310)의 소스 전극으로 신호를 인가하는 제 2 클럭 라인(412)을 포함한다. 제 1 클럭 라인(411)은 제 1 연결 라인(421)과 연결되고, 제 2 클럭 라인(412)은 제 2 연결 라인(422)과 연결된다.
- [0078] 연결 제어부(500)는 다수의 제 1 제어 트랜지스터부(510)와 제 2 제어 트랜지스터부(520), 제 1 제어 라인(530)과 제 2 제어 라인(540)을 포함한다.
- [0079] 제 1 제어 트랜지스터부(510)는 제 1 게이트 제어 트랜지스터(511)와 제 1 데이터 제어 트랜지스터(512)를 포함한다.
- [0080] 제 1 게이트 제어 트랜지스터(511)의 게이트 전극은 제 1 제어 라인(530)과 연결되고, 소스 전극은 신호 입력부(400)의 제 1 연결 라인(421)과 연결되며, 드레인 전극은 게이트 구동부(300)의 박막트랜지스터(310)의 게이트 전극과 라인을 통해 연결된다.
- [0081] 제 1 데이터 제어 트랜지스터(512)의 게이트 전극은 제 1 제어 라인(530)과 연결되고, 소스 전극은 신호 입력부(400)의 제 2 연결 라인(422)과 연결되며, 드레인 전극은 게이트 구동부(300)의 박막트랜지스터(310)의 소스 전극과 라인을 통해 연결된다.
- [0082] 제 2 제어 트랜지스터부(520)는 다수의 제 2 데이터 제어 트랜지스터(521)를 포함한다.
- [0083] 제 2 데이터 제어 트랜지스터(521)의 게이트 전극은 제 2 제어 라인(540)과 연결되고, 소스 전극은 게이트 구동부(300)의 박막트랜지스터(310)의 드레인 전극과 라인을 통해 연결되며, 드레인 전극은 표시영역(AA)에 포함된 게이트 라인(210)과 연결된다.
- [0084] 제 1 게이트 제어 트랜지스터(511)는, 제 1 클럭 라인(411)에서 공급되며, 게이트 구동부(300)의 박막트랜지스터(310)를 턴-온(turn on) 또는 턴-오프(turn off) 시키는 신호를, 게이트 구동부(300)의 박막트랜지스터(310)의 게이트 전극으로 전달하거나 차단한다.
- [0085] 제 1 데이터 제어 트랜지스터(512)는, 제 2 클럭 라인(412)에서 공급되며, 표시영역(AA)에 위치한 구동 박막트랜지스터(DTr)에 공급되는 게이트 신호를, 게이트 구동부(300)의 박막트랜지스터(310)의 소스 전극으로 전달하거나 차단한다.
- [0086] 제 2 데이터 제어 트랜지스터(521)는, 게이트 구동부(300)의 박막트랜지스터(310)의 드레인 전극에서 공급되며, 표시영역(AA)에 위치한 구동 박막트랜지스터(DTr)에 공급되는 게이트 신호를, 표시영역(AA) 상의 게이트 라인으로 전달하거나 차단한다.
- [0087] 제 1 게이트 제어 트랜지스터(511) 및 제 1 데이터 제어 트랜지스터(512), 제 2 데이터 제어 트랜지스터(521)의 소스 전극 및 드레인 전극을 형성한 이후에는, 제 1 제어 라인(530)과 제 2 제어 라인(540)을 통해 상기 제어 트랜지스터들을 턴-온(turn on) 시키는 신호를 공급한다. 이에 따라 신호 입력부(400)와 게이트 구동부(300) 사이 및 표시영역(AA)과 게이트 구동부(300) 사이가 연결되며, 어레이 테스트를 실행하고 어레이 기관의 불량을 복구할 수 있다.
- [0088] 어레이 테스트의 실행을 마치면 제 1 제어 라인(530)과 제 2 제어 라인(540)을 통해 상기 제어 트랜지스터들을 턴-오프(turn off) 시키는 신호를 공급한다. 이에 따라 신호 입력부(400)와 게이트 구동부(300) 사이 및 표시영역(AA)과 게이트 구동부(300) 사이의 연결이 차단되며, 게이트 구동부(300)의 박막트랜지스터(310)에 서지(surge)가 발생하여 파괴되는 것을 방지할 수 있다.
- [0089] 한편, 상부 발광방식의 유기발광 다이오드 표시장치에 있어서, 도 4와 같이 입력 제어부(500)의 제 1 게이트 제어 트랜지스터(511) 및 제 1 데이터 제어 트랜지스터(512), 제 2 데이터 제어 트랜지스터(521)의 소스 전극 및 드레인 전극을 형성한 이후에는, 어레이 기관의 단락 불량 또는 전기적 특성의 결함 등을 확인하기 위하여 어레이 테스트를 실행할 수 있다. 이를 위하여 제 1 제어 트랜지스터부(510)의 제 1 게이트 제어 트랜지스터(511)

및 제 1 데이터 제어 트랜지스터(512)와, 제 2 제어 트랜지스터부(520)의 제 2 데이터 제어 트랜지스터(521)를 턴-온(turn on) 시킨다. 이에 따라 신호 연결부(400)와 게이트 구동부(300) 사이, 표시영역(AA)과 게이트 구동부(300) 사이가 입력 제어부(500)에 포함된 제 1 및 제 2 제어 트랜지스터부(510, 520)를 통해 연결되기 때문에, 별도의 테스트 라인을 구비하지 않아도 표시패널과 어레이 기관의 단락 불량을 검사할 수 있다.

[0090] 박막트랜지스터의 소스 전극 및 드레인 전극을 형성한 이후 어레이 테스트가 완료되면 화소전극(111)을 형성할 때까지, 제 1 게이트 제어 트랜지스터(511)와 제 1 데이터 제어 트랜지스터(512), 제 2 데이터 제어 트랜지스터(521)를 턴-오프(turn off) 시킨다. 이에 따라 신호 입력부(400)의 클럭 라인(410)과 표시영역(200) 사이에 대전된 전하가 증가하여 커패시턴스가 생성되는 것을 차단할 수 있고, 게이트 구동부(300)의 박막트랜지스터(310)가 파괴되는 것을 방지하여 표시패널에 화상 불량이 발생하는 문제점을 해결하는 효과를 가진다.

[0091] 화소전극(111)을 형성하는 단계에서는, 도 5와 같이 제 1 게이트 제어 트랜지스터(511)의 소스 전극(108a) 및 드레인 전극(108b), 제 1 데이터 제어 트랜지스터(512)의 소스 전극 및 드레인 전극, 제 2 데이터 제어 트랜지스터(521)의 소스 전극 및 드레인 전극을 각각 화소전극(111)을 통해 연결한다. 따라서 화소전극(111)을 형성한 이후부터는 제 1 게이트 제어 트랜지스터(511), 제 1 데이터 제어 트랜지스터(512), 제 2 데이터 제어 트랜지스터(521)가 통전 상태가 되므로, 표시영역(AA)의 구동 박막트랜지스터(DTr)로 원활하게 게이트 신호를 전송할 수 있게 된다.

[0092] 또한, 신호 연결부(400)와 게이트 구동부(300) 사이 및 표시영역(AA)과 게이트 구동부(300) 사이를 최종적으로 화소전극(111)의 형성을 통해 연결함으로써, 어레이 테스트 실시 후 패널을 절단하는 과정이 필요가 없어지므로 공정을 단순화하고 제조 비용을 저감하는 효과가 있다.

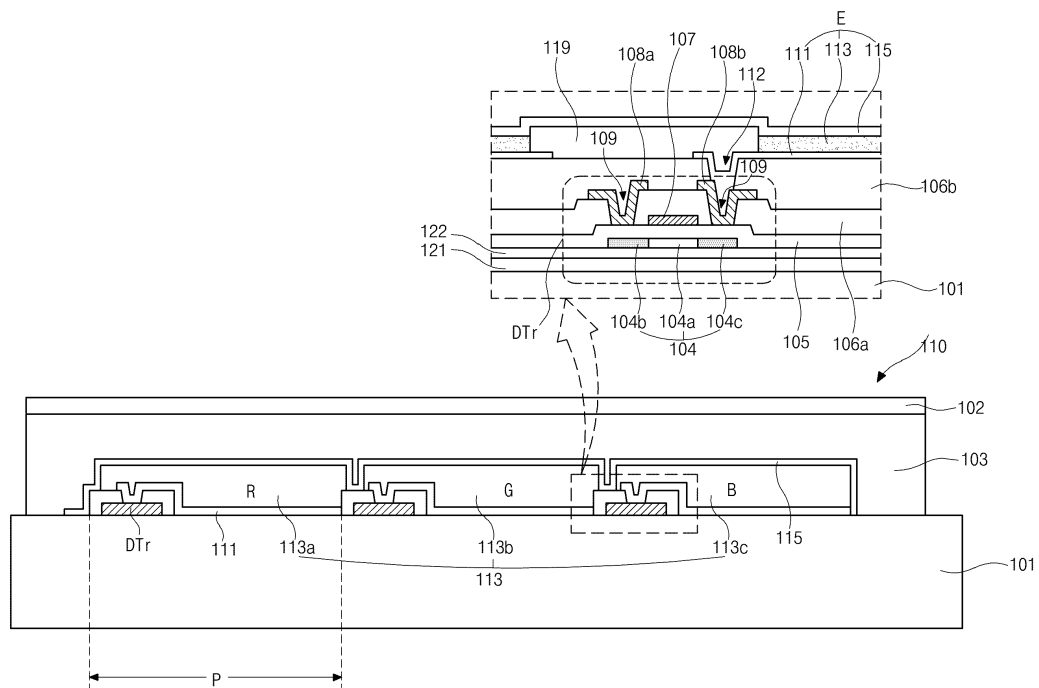
[0094] 이와 같이 본 발명은 상기 실시 예로 한정되지 않고, 본 발명의 취지를 벗어나지 않고 효과를 저해하지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

부호의 설명

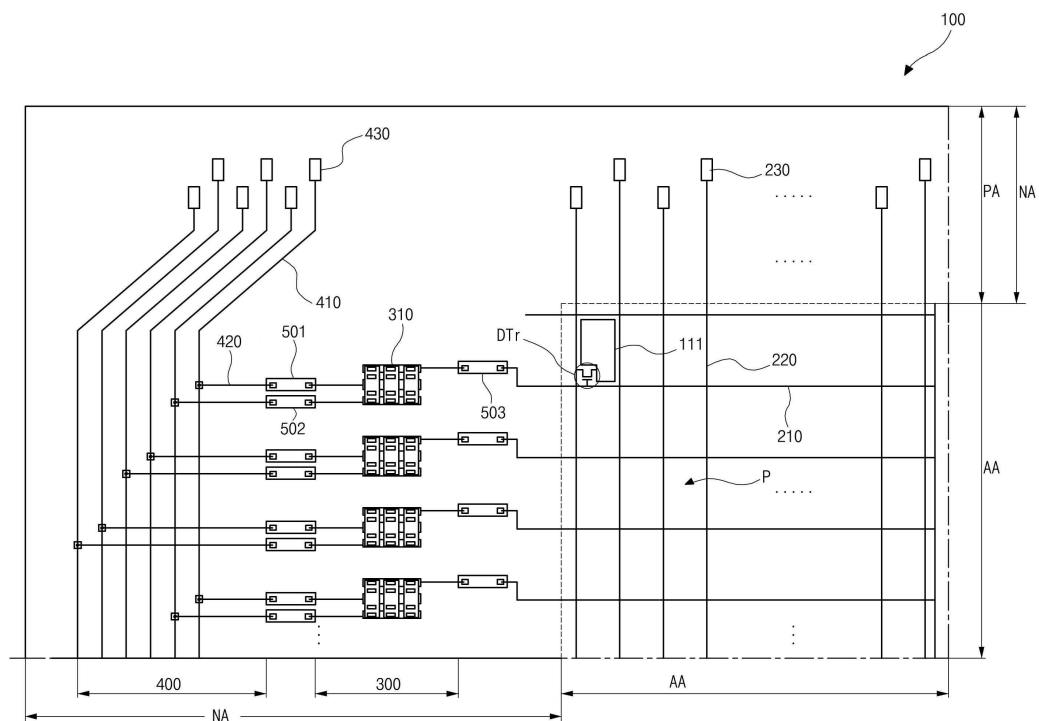
[0096] 100 : 유기발광 다이오드 표시패널 210 : 게이트 라인
220 : 데이터 라인 230 : 데이터 패드
300 : 게이트 구동부 310 : 게이트 구동부의 박막트랜지스터
400 : 신호 입력부 410 : 클럭 라인
411 : 제 1 클럭 라인 412 : 제 2 클럭 라인
420 : 연결 라인 421 : 제 1 연결 라인
422 : 제 2 연결 라인 430 : 클럭 패드
500 : 연결 제어부 510 : 제 1 제어 트랜지스터부
511 : 제 1 게이트 제어 트랜지스터 512 : 제 1 데이터 제어 트랜지스터
520 : 제 2 제어 트랜지스터부 521 : 제 2 데이터 제어 트랜지스터
530 : 제 1 제어 라인 540 : 제 2 제어 라인
DTr : 구동 박막트랜지스터 AA : 표시영역
NA : 비표시영역 PA : 패드부

도면

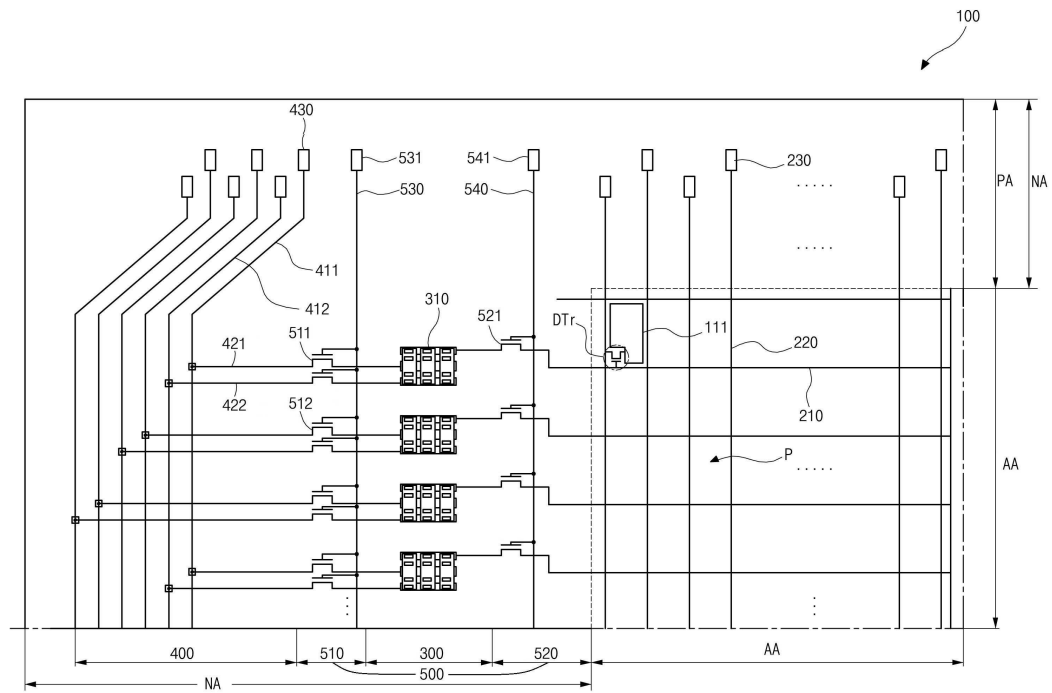
도면1



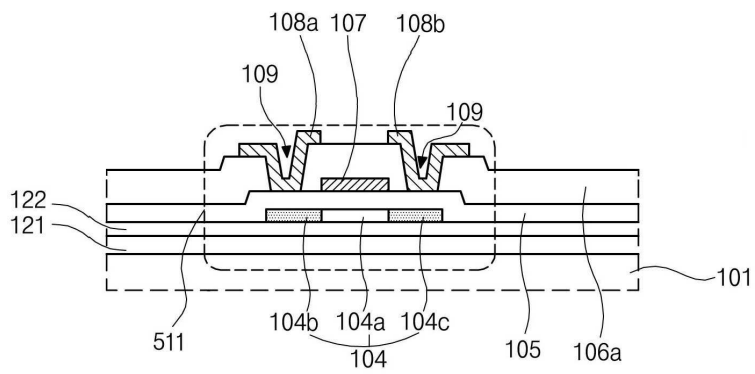
도면2



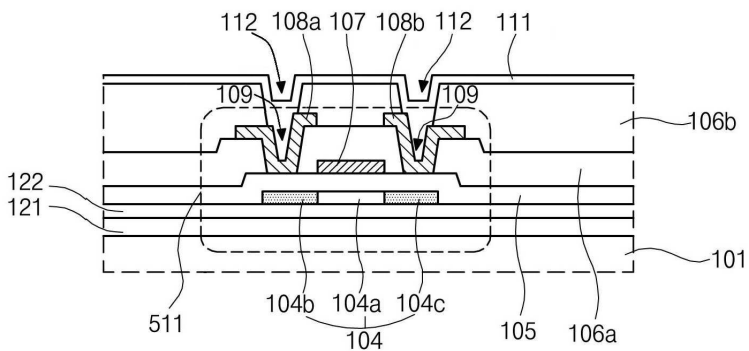
도면3



도면4



도면5



专利名称(译)	用于有机发光二极管显示器的包括抗静电电路的阵列基板		
公开(公告)号	KR1020200061841A	公开(公告)日	2020-06-03
申请号	KR1020180147593	申请日	2018-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	강임국 이설희 조성호		
发明人	강임국 이설희 조성호		
IPC分类号	H01L27/32 G09G3/3208 H01L51/52		
CPC分类号	H01L27/3272 G09G3/3208 H01L27/3262 H01L51/52		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示装置的阵列基板技术领域本发明涉及一种有机发光二极管显示装置的阵列基板，该阵列基板具有在有机发光二极管显示装置的制造过程中通过带电电荷阻止栅极驱动器中包含的晶体管的破坏的抗静电电路。本发明是一种显示区域，其包括由栅极线和数据线的交点限定的像素区域以及形成在该像素区域中的驱动薄膜晶体管。栅极驱动器，包括薄膜晶体管；信号输入单元，包括第一和第二时钟线以及分别连接到第一和第二时钟线的第一和第二连接线；输入控制单元，其包括第一栅极控制晶体管，第一数据控制晶体管，第二数据控制晶体管，第一控制线和第二控制线。输入控制单元提供阵列基板，该阵列基板根据输入控制信号来连接或阻止显示区域与栅极驱动器以及信号输入单元和栅极驱动器之间的连接。

