



공개특허 10-2020-0025831

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0025831
(43) 공개일자 2020년03월10일(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) **G06F 3/041** (2006.01)**H01L 51/50** (2006.01)(52) CPC특허분류
H01L 27/323 (2013.01)
G06F 3/041 (2013.01)

(21) 출원번호 10-2018-0103755

(22) 출원일자 2018년08월31일
심사청구일자 없음(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)(72) 발명자
이찬호
경기도 파주시 월롱면 엘지로 245**조재형**
경기도 파주시 월롱면 엘지로 245(74) 대리인
특허법인인벤싱크

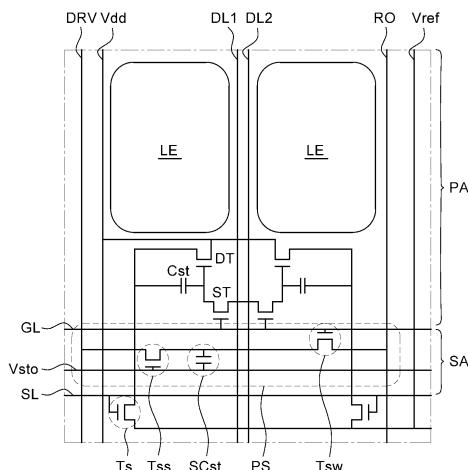
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요 약

본 발명의 포토 터치 센서를 구비한 전계발광 표시장치는, 센서 박막 트랜지스터와 센서 스위치 박막 트랜지스터 및 센서 스토리지 커패시터(storage capacitor)를 추가하여 4T2C 구조를 적용하며, 센싱(sensing)을 위한 센서 박막 트랜지스터는 비정질 실리콘을 이용하고, 그 외 다른 박막 트랜지스터는 산화물 반도체를 이용하는 것을 특징으로 한다.

이때, 본 발명은 배면 발광(bottom emission) 방식의 전계발광 표시장치에 있어, 센서 박막 트랜지스터에 게이트 오픈(open) 구조 또는 게이트 쉬프트(shift) 구조를 적용하는 것을 특징으로 한다. 또한, 본 발명은 센싱 스토리지 배선 및 센싱부를 게이트 배선과 센싱 제어 배선 사이에 배치함으로써 개구율을 개선할 수 있다.

대 표 도 - 도2

(52) CPC특허분류

H01L 27/3213 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

제1 방향으로 배치되는 복수의 게이트 배선과 센싱 스토리지 배선;

상기 제1 방향과 상이한 제2 방향으로 배치되어, 상기 복수의 게이트 배선과 함께 복수의 서브-화소를 정의하는 복수의 데이터 배선;

상기 제2 방향으로 배치되는 리드아웃 배선과 센싱 데이터 배선;

하나의 서브-화소에 배치되며, 비정질 실리콘으로 구성된 제1 액티브층을 포함하는 센서 박막 트랜지스터; 및

다른 하나의 서브-화소에 배치되며, 제2 액티브층을 포함하는 센서 스위치 박막 트랜지스터를 포함하며,

상기 센서 박막 트랜지스터는 바텀 게이트 구조로 구성되며, 상기 센서 스위치 박막 트랜지스터는 코플라나 구조로 구성되는, 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 하나의 서브-화소에 배치되며, 상기 제2 방향으로 배치되는 전원 배선을 더 포함하는, 전계발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 다른 하나의 서브-화소에 배치되며, 상기 제2 방향으로 배치되는 레퍼런스 배선을 더 포함하는, 전계발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 하나의 서브-화소의 일측에 하나의 데이터 배선이 배치되며, 상기 하나의 서브-화소의 다른 일측에 상기 센싱 데이터 배선과 상기 전원 배선이 배치되는, 전계발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 다른 하나의 서브-화소의 일측에 상기 리드아웃 배선과 상기 레퍼런스 배선이 배치되며, 상기 다른 하나의 서브-화소의 다른 일측에 다른 하나의 데이터 배선이 배치되는, 전계발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 하나의 데이터 배선과 상기 다른 하나의 데이터 배선은 인접하여 배치되는, 전계발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제1 방향으로 배치되는 센싱 제어 배선을 더 포함하며,

상기 센싱 스토리지 배선은 상기 게이트 배선과 상기 센싱 제어 배선 사이에 배치되는, 전계발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 센서 박막 트랜지스터는,

상기 센싱 스토리지 배선에 접속된 제1 게이트 전극;

상기 제1 게이트 전극 상부에 배치된 상기 제1 액티브층;

상기 센싱 데이터 배선에 접속된 제1 소스 전극; 및

상기 제1 소스 전극과 대향하여 배치되는 제1 드레인 전극을 포함하여 구성되는, 전계발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 센서 스위치 박막 트랜지스터는,

제2 액티브층;

상기 제2 액티브층 상부에 배치되며, 상기 게이트 배선에 접속된 제2 게이트 전극;

상기 제1 드레인 전극에 접속된 제2 소스 전극; 및

상기 제2 소스 전극에 대향하여 배치되며, 상기 리드아웃 배선에 접속된 제2 드레인 전극을 포함하여 구성되는, 전계발광 표시장치.

청구항 10

제 1 항에 있어서,

상기 제1 게이트 전극은, 일부 영역이 제거되어 하부로부터 광이 통과될 수 있는, 전계발광 표시장치.

청구항 11

제 1 항에 있어서,

상기 제1 게이트 전극은 복수로 분할되며, 상기 복수로 분할된 제1 게이트 전극 사이로 하부에서 상부로 광이 통과될 수 있는, 전계발광 표시장치.

청구항 12

제 1 항에 있어서,

상기 제1 게이트 전극의 가장자리와 상기 제1 드레인 전극의 가장자리 사이에 하부로부터 광이 통과될 수 있는 옵셋 영역(offset region)이 구비되는, 전계발광 표시장치.

청구항 13

제 9 항에 있어서,

상기 제2 액티브층 하부에 배치되는 광차단층을 더 포함하는, 전계발광 표시장치.

청구항 14

제 9 항에 있어서,

상기 제2 게이트 전극은 상기 제2 액티브층 위에 제1 게이트 절연막을 개재하여 배치되며,

상기 제1 게이트 전극과 상기 제2 게이트 전극 위에 배치되는 제2 게이트 절연막을 더 포함하는, 전계발광 표시장치.

청구항 15

제 14 항에 있어서,

상기 센서 박막 트랜지스터와 상기 센서 스위치 박막 트랜지스터 상부에 배치되는 충간 절연막을 더 포함하는,

전계발광 표시장치.

청구항 16

제 15 항에 있어서,

상기 제2 게이트 절연막과 상기 제1 액티브층 사이에 개재되며, 실리콘 질화막으로 이루어진 제1 보호층; 및
상기 층간 절연막과 상기 제1 소스 전극 및 상기 제1 드레인 전극 사이에 개재되며, 실리콘 질화막으로 이루어진 제2 보호층을 더 포함하는, 전계발광 표시장치.

청구항 17

제 9 항에 있어서,

상기 제1 게이트 전극과 상기 제2 게이트 전극은 베퍼층 상부에 동일한 도전물질로 구성되는, 전계발광 표시장치.

청구항 18

제 14 항에 있어서,

상기 제1, 제2 소스 전극과 상기 제1, 제2 드레인 전극은 상기 제2 게이트 절연막 상부에 동일한 도전물질로 구성되는, 전계발광 표시장치.

청구항 19

제 1 항에 있어서,

상기 센서 박막 트랜지스터와 상기 센서 스위치 박막 트랜지스터 상부에 구비된 유기 발광소자를 더 포함하는, 전계발광 표시장치.

청구항 20

기판 위에 배치되며, 상기 기판 하부로부터 입사되는 광을 센싱하기 위해 비정질 실리콘으로 구성된 제1 액티브층을 포함하는 센서 박막 트랜지스터;

상기 기판 위에 배치되며, 광 반응에 의해 축적된 전하를 읽어내기 위해 산화물 반도체로 구성된 제2 액티브층을 포함하는 센서 스위치 박막 트랜지스터; 및

상기 센서 박막 트랜지스터와 상기 센서 스위치 박막 트랜지스터가 배치된 상기 기판 상부에 구비된 유기 발광소자를 포함하며,

상기 센서 박막 트랜지스터는, 상기 제1 액티브층 하부에 배치되는 제1 게이트 전극을 더 포함하고,

상기 제1 게이트 전극은 적어도 2개로 분할되며, 상기 적어도 2개로 분할된 제1 게이트 전극 사이로 상기 기판 하부로부터 입사되는 광이 통과될 수 있는, 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로서, 보다 상세하게는 포토 터치 센서를 구비한 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 현재 본격적인 정보화 시대로 접어들면서 전기적 정보신호를 시작적으로 표시하는 표시장치 분야가 급속도로 발전하고 있으며, 여러 가지 표시장치에 대해 박형화, 경량화 및 저소비 전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다.

[0003] 대표적인 표시장치로는 액정표시장치(Liquid Crystal Display device; LCD), 전계방출 표시장치(Field Emission Display device; FED), 전기습윤 표시장치(Electro-Wetting Display device; EWD) 및 유기발광 표시

장치(Organic Light Emitting Display Device; OLED) 등을 들 수 있다.

[0004] 이종에서, 유기발광 표시장치를 포함하는 표시장치인 전계발광 표시장치는 자체 발광형 표시장치로서, 액정표시장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 전계발광 표시장치는 저전압 구동에 의해 소비전력 측면에서 유리할 뿐만 아니라, 색상구현, 응답속도, 시야각(viewing angle), 명암 대비비(Contrast Ratio; CR)도 우수하여, 다양한 분야에서 활용이 기대되고 있다.

[0005] 전계발광 표시장치는 애노드(anode)와 캐소드(cathode)로 지칭된 2개의 전극 사이에 유기물을 사용한 발광층을 배치하여 구성된다. 그리고, 애노드에서의 정공(hole)을 발광층으로 주입시키고, 캐소드에서의 전자(electron)를 발광층으로 주입시키면, 주입된 전자와 정공이 서로 재결합(recombination)하면서 발광층에서 여기자(exciton)를 형성하며 발광한다.

[0006] 한편, 최근 표시장치는 버튼, 키보드, 마우스 등의 통상적인 입력 방식에서 탈피하여 사용자가 손쉽게 정보 혹은 명령을 직관적이고 편리하게 입력할 수 있도록 하는 터치 스크린(touch screen)을 구비하고 있다.

[0007] 터치 스크린은, 표시장치에 설치되어 사용자가 표시장치를 보면서 터치 스크린 내의 터치 센서를 가압하여 미리 정해진 정보를 입력하는 입력장치의 한 종류이다.

[0008] 터치 스크린은, 그 구조에 따라 부착형(add-on type), 상판형(on-cell type) 및 일체형(in-cell type)으로 나눌 수 있으며, 터치 센서로 광 세기에 따라 터치를 인식하는 포토 터치 센서(photo touch sensor)와 커페시턴스 가변에 따라 터치를 인식하는 커페시턴스 터치 센서(capacitance touch sensor)가 주로 이용된다.

[0009] 특히, 포토 터치 센서는 터치 물체에 의한 입사광 또는 반사광으로부터 발생되는 포토 트랜지스터의 광 누설 전류를 통해 터치를 인식한다. 이를 위해 화소 박막 트랜지스터 이외에 광 센서용 센서 박막 트랜지스터와 리드아웃용 센서 스위치 박막 트랜지스터가 추가되게 된다.

[0010] 이 경우 이동도(mobility)와 온 커런트(on-current) 특성을 향상시키기 위해 산화물 반도체를 박막 트랜지스터의 액티브층으로 사용할 수 없다는 단점이 있다. 즉, 센서 박막 트랜지스터는 광 반응에 의한 광 누설 전류, 즉 오프 커런트를 통해 터치를 인식하게 되는데, 일반적인 산화물 반도체는 가시광선(visible light)에 반응하지 않아 광 센서로 부적합하다는 한계를 가지고 있다.

[0011] 또한, 전계발광 표시장치는, 액정표시장치에 비해 박막 트랜지스터의 수가 많고 적층 구조가 복잡하여, 센싱을 위한 부가 구조 및 그에 따른 어플리케이션 개발이 미미한 상태이다.

발명의 내용

해결하려는 과제

[0012] 본 발명이 해결하고자 하는 과제는, 포토 터치 센서(photo touch sensor)를 구비한 전계발광 표시장치를 제공하려는 것이다.

[0013] 본 발명이 해결하고자 하는 다른 과제는, 포토 터치 센서를 구비한 전계발광 표시장치에 있어, 이종(異種) 박막 트랜지스터를 적용하여 이동도와 온 커런트의 특성을 개선하려는 것이다.

[0014] 본 발명이 해결하고자 하는 또 다른 과제는, 포토 터치 센서를 구비한 전계발광 표시장치에 있어, 개구율을 개선하려는 것이다.

[0015] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0016] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 전계발광 표시장치는, 제1 방향으로 배치되는 복수의 게이트 배선과 센싱 스토리지 배선, 상기 제1 방향과 상이한 제2 방향으로 배치되어, 상기 복수의 게이트 배선과 함께 복수의 서브-화소를 정의하는 복수의 데이터 배선, 상기 제2 방향으로 배치되는 리드아웃 배선과 센싱 데이터 배선, 하나의 서브-화소에 배치되며, 비정질 실리콘으로 구성된 제1 액티브층을 포함하는 센서 박막 트랜지스터를 포함하며, 상기 센서 박막 트랜지스터는 바텀 게이트 구조로 구성되며, 상기 센서 스위치 박막 트랜지스터는 코플라나 구조로 구성될 수 있다.

[0017] 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는, 기판 위에 배치되며, 상기 기판 하부로부터 입사되는 광을 센싱하기 위해 비정질 실리콘으로 구성된 제1 액티브층을 포함하는 센서 박막 트랜지스터, 상기 기판 위에 배치되며, 광 반응에 의해 축적된 전하를 읽어내기 위해 산화물 반도체로 구성된 제2 액티브층을 포함하는 센서 스위치 박막 트랜지스터 및 상기 센서 박막 트랜지스터와 상기 센서 스위치 박막 트랜지스터가 배치된 상기 기판 상부에 구비된 유기 발광소자를 포함하며, 상기 센서 박막 트랜지스터는, 상기 제1 액티브층 하부에 배치되는 제1 게이트 전극을 더 포함하고, 상기 제1 게이트 전극은 적어도 2개로 분할되며, 상기 적어도 2개로 분할된 제1 게이트 전극 사이로 상기 기판 하부로부터 입사되는 광이 통과될 수 있다.

[0018] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0019] 본 발명은 전계발광 표시장치에 포토 터치 센서를 구비하여 기존 TV 시장 이외의 상업용(commercial) 신규 애플리케이션(application)을 창출하는데 기여할 수 있다.

[0020] 또한, 본 발명은 포토 터치 센서를 구비한 전계발광 표시장치에 있어, 센서 박막 트랜지스터는 비정질 실리콘을 이용하고, 그외 다른 박막 트랜지스터는 산화물 반도체를 이용하여 제작함으로써, 이동도와 온 커런트 특성을 확보할 수 있는 효과를 제공한다.

[0021] 또한, 본 발명은 포토 터치 센서를 구비한 전계발광 표시장치에 있어, 센싱 스토리지 배선 및 센싱부를 게이트 배선과 센싱 제어 배선 사이에 배치 함으로써 개구율을 개선할 수 있는 효과를 제공한다.

[0022] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명에 따른 전계발광 표시장치의 구조를 예시적으로 보여주는 블록도이다.

도 2는 본 발명에 따른 표시패널에 배치된 센서 화소 유닛의 일부를 예로 보여주는 등가회로도이다.

도 3은 본 발명의 제1 실시예에 따른 전계발광 표시장치에 있어, 센서 화소 유닛의 일부를 보여주는 평면도이다.

도 4는 도 3에 도시된 센서 화소 유닛의 일부 단면을 보여주는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 일부 단면을 예로 보여주는 도면이다.

도 6a 내지 도 6i는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 제조공정 일부를 순차적으로 보여주는 단면도이다.

도 7은 본 발명의 제3 실시예에 따른 전계발광 표시장치의 일부 단면을 예로 보여주는 도면이다.

도 8은 본 발명의 제3 실시예에 따른 비정질 실리콘 박막 트랜지스터의 게이트 전압 변화에 따른 소스 및 드레인 전류 트랜스퍼(transfer) 곡선을 예로 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0025] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐리게 할 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0026] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0027] 위치 관계에 대한 설명일 경우, 예를 들어 '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0028] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0029] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0030] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0031] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0032] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0034] 도 1은 본 발명에 따른 전계발광 표시장치의 구조를 예시적으로 보여주는 블록도이다.
- [0035] 도 1을 참조하면, 본 발명에 따른 전계발광 표시장치는, 표시패널(100), 게이트 구동회로(drive circuit)(200), 데이터 구동회로(300), 타이밍 컨트롤러(timing controller)(400), 터치 구동회로(500) 및 영상처리부(600)를 포함하여 구성될 수 있다.
- [0036] 표시패널(100)에는 제1 방향으로 게이트 배선(GL₁, GL₂, GL₃, ..., GL_n)이 배치되고, 제1 방향과 다른 방향인 제2 방향으로 데이터 배선(DL₁, DL₂, DL₃, ..., DL_m)이 배치될 수 있다.
- [0037] 도시하지 않았지만, 표시패널(100)에는 제2 방향으로 센싱 데이터 배선, 전원 배선, 리드아웃 배선 및 레퍼런스(reference) 배선이 배치될 수 있다. 또한, 제1 방향으로 센싱 스토리지 배선 및 센싱 제어 배선이 배치될 수 있다.
- [0038] 일 예로, 복수의 게이트 배선(GL₁, GL₂, GL₃, ..., GL_n)과 복수의 데이터 배선(DL₁, DL₂, DL₃, ..., DL_m)이 교차하여 복수의 서브-화소(P)를 정의할 수 있다.
- [0039] 복수의 서브-화소(P)는 게이트 배선(GL₁, GL₂, GL₃, ..., GL_n)과 데이터 배선(DL₁, DL₂, DL₃, ..., DL_m)에 전기적으로 접속될 수 있다.
- [0040] 표시패널(110)은 복수의 서브-화소(P)를 포함할 수 있다. 복수의 서브-화소(P)는 로우(row) 방향 및 칼럼(column) 방향으로 배열되어 매트릭스 형태로 배치될 수 있다. 예를 들어, 도 1에 도시된 바와 같이, 복수의 서브-화소(P)는 n개의 로우와 m개의 칼럼으로 배열될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 이하, 설명의 편의상 복수의 서브-화소(P) 중 로우 방향으로 배열된 서브-화소(P)의 그룹을 로우 서브-화소로 정의하며, 칼럼 방향으로 배열된 서브-화소(P)의 그룹을 칼럼 서브-화소로 정의한다.
- [0041] 서브-화소(P) 각각은 특정 컬러의 빛을 구현할 수 있다. 예를 들어, 서브-화소(P) 각각은 적색을 구현하는 적색 서브-화소, 녹색을 구현하는 녹색 서브-화소 및 청색을 구현하는 청색 서브-화소 중 어느 하나일 수 있다. 이 경우, 적색 서브-화소, 녹색 서브-화소 및 청색 서브-화소의 그룹이 하나의 화소로 지칭될 수 있다.
- [0042] 표시패널(110)의 복수의 서브-화소(P)는 각각 게이트 배선(GL₁, GL₂, GL₃, ..., GL_n) 및 데이터 배선(DL₁, DL₂, DL₃, ..., DL_m)과 접속될 수 있다. 예를 들어, 1 로우 서브-화소는 제1 게이트 배선(GL₁)에 접속되고, 1 칼럼 서브-화소는 제1 데이터 배선(DL₁)에 접속될 수 있다. 또한, 2 내지 n 로우 서브-화소는 제2 내지 제n 게이트 배선(GL₁, GL₂, GL₃, ..., GL_n)과 각각 접속될 수 있다. 그리고, 2 내지 m 칼럼 서브-화소는 제2 내지 제m 데이터 배선(DL₁, DL₂, DL₃, ..., DL_m)과 각각 접속될 수 있다.
- [0043] 복수의 서브-화소(P)는 게이트 배선(GL₁, GL₂, GL₃, ..., GL_n)으로부터 전달되는 게이트 전압과 데이터 배선(DL₁,

DL2, DL3, …DL_m)으로부터 전달되는 데이터 전압에 기초하여 동작하도록 구성될 수 있다.

[0044] 자세히 도시하지 않았지만, 표시패널(100)에는 기존의 화소부와 센서 박막 트랜지스터가 구비된 센싱부를 포함하는 복수의 센서 화소 유닛이 정의될 수 있다.

[0045] 센서 화소 유닛은 복수의 화소(P)로 이루어질 수 있다.

[0046] 이때, 센싱부에는 광 세기에 따라 변하는 센서 박막 트랜지스터의 오프 커런트(off current)의 변화에 따라 터치를 인식하는 포토 터치 센서를 포함할 수 있다. 보다 구체적으로, 포토 터치 센서는 센서 박막 트랜지스터와 센서 스토리지 커패시터를 포함하고, 광 세기에 따라 센서 박막 트랜지스터가 턴-온되어 센서 스토리지 커패시터에 전압이 충전된다. 그리고, 충전된 전압이 미리 설정된 타이밍에 리드아웃 배선으로 출력되어 터치를 인식 할 수 있다. 이러한 복수의 센서 화소 유닛의 구조는 후술할 도면들을 참조하여 보다 상세히 살펴보기로 한다.

[0047] 영상처리부(600)는 외부로부터 공급된 데이터 신호(영상 데이터)(DATA)와 더불어 데이터 인에이블 신호(DE)를 출력할 수 있다. 영상처리부(600)는 데이터 인에이블 신호(DE) 외에도 수직 동기 신호, 수평 동기 신호 및 클럭 신호 중 하나 이상을 출력할 수 있다.

[0048] 타이밍 컨트롤러(400)는 데이터 신호(DATA)와 함께 수직 동기 신호, 수평 동기 신호, 데이터 인에이블 신호 (DE), 클럭 신호 등을 포함하는 각종 타이밍 신호들을 영상처리부(600)로부터 공급받을 수 있다.

[0049] 타이밍 컨트롤러(400)는, 영상처리부(600)로부터 데이터 신호(DATA), 즉 입력 영상 데이터를 수신하여, 데이터 구동회로(300)에서 처리 가능한 데이터 신호 형식에 맞게 전환하여 데이터 신호(DATA), 즉 출력 영상 데이터를 출력하는 것 이외에, 데이터 구동회로(300) 및 게이트 구동회로(200)를 제어하기 위하여, 수직 동기 신호, 수평 동기 신호, 데이터 인에이블 신호(DE), 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들(DCS, GCS)을 생성하여 데이터 구동회로(300) 및 게이트 구동회로(200)로 출력할 수 있다.

[0050] 예를 들어, 타이밍 컨트롤러(400)는, 게이트 구동회로(200)를 제어 하기 위하여, 게이트 스타트 펄스(Gate Start Pulse; GSP), 게이트 쉬프트 클럭(Gate Shift Clock; GSC), 게이트 출력 인에이블 신호(Gate Output Enable; GOE) 등을 포함하는 각종 게이트 제어 신호들(GCS)을 출력할 수 있다.

[0051] 여기서, 게이트 스타트 펄스는 게이트 구동회로(200)를 구성하는 하나 이상의 게이트 회로의 동작 스타트 타이밍을 제어할 수 있다. 게이트 쉬프트 클럭은 하나 이상의 게이트 회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어할 수 있다. 게이트 출력 인에이블 신호는 하나 이상의 게이트 회로의 타이밍 정보를 지정하고 있다.

[0052] 또한, 타이밍 컨트롤러(400)는, 데이터 구동회로(300)를 제어하기 위하여, 소스 스타트 펄스(Source Start Pulse; SSP), 소스 샘플링 클럭(Source Sampling Clock; SSC), 소스 출력 인에이블 신호(Source Output Enable; SOE) 등을 포함하는 각종 데이터 제어 신호들(DCS)을 출력할 수 있다.

[0053] 소스 스타트 펄스는 데이터 구동회로(300)를 구성하는 하나 이상의 데이터 회로의 데이터 샘플링 시작 타이밍을 제어할 수 있다. 소스 샘플링 클럭은 데이터 회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호는 데이터 구동회로(300)의 출력 타이밍을 제어할 수 있다.

[0054] 또한, 타이밍 컨트롤러(400)는 포토 터치 센서의 구동을 위한 터치 구동 신호를 생성하여 터치 구동회로(500)에 전송할 수 있다. 타이밍 컨트롤러(400)는 터치 구동회로(500)로부터 터치 감지 신호를 입력 받아 터치 정보를 산출할 수 있다.

[0055] 터치 구동회로(500)는 타이밍 컨트롤러(400)로부터 전송된 터치 구동 신호를 포토 터치 터치 센서에 인가할 수 있다. 터치 구동회로(500)는 포토 터치 센서에서 전송된 터치 감지 신호를 입력 받아 터치 여부를 판단할 수 있다.

[0056] 게이트 구동회로(200)는, 타이밍 컨트롤러(400)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 게이트 배선(GL₁, GL₂, GL₃, …GL_n)으로 순차적으로 공급하여 게이트 배선(GL₁, GL₂, GL₃, …GL_n)을 순차적 으로 구동할 수 있다.

[0057] 게이트 구동회로(200)는, 구동 방식에 따라서, 표시패널(110)의 일 측에만 위치할 수도 있고, 경우에 따라서는, 양측에 위치할 수도 있다.

[0058] 게이트 구동회로(200)는 테이프 오토메티드 본딩(Tape Automated Bonding; TAB) 또는 칩 온 글라스(Chip On

Glass; COG) 방식으로 표시패널(110)의 본딩 패드에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다.

[0059] 게이트 구동회로(200)는 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.

[0060] 데이터 구동회로(300)는, 특정 게이트 배선(GL1, GL2, GL3, …GLn)이 열리면, 타이밍 컨트롤러(400)로부터 수신한 출력 영상 데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 데이터 배선(DL1, DL2, DL3, …DLm)으로 공급함으로써, 데이터 배선 (DL1, DL2, DL3, …DLm)을 구동할 수 있다.

[0061] 데이터 구동회로(300)는, 테이프 오토메티드 본딩 방식 또는 칩 온 글라스 방식으로 표시패널(110)의 본딩 패드에 연결되거나, 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다.

[0062] 데이터 구동회로(300)는 칩 온 필름(Chip On Film; COF) 방식으로 구현될 수 있다. 이 경우, 데이터 구동회로(300)의 일단은 적어도 하나의 소스 인쇄회로 기판에 본딩 되고, 타단은 표시패널(110)에 본딩 될 수 있다.

[0063] 데이터 구동회로(300)는, 레벨 쉬프터, 래치부 등의 다양한 회로를 포함하는 로직부와, 디지털 아날로그 컨버터(Digital Analog Converter; DAC) 및 출력 버퍼 등을 포함할 수 있다.

[0064] 도 2는 본 발명에 따른 표시패널에 배치된 센서 화소 유닛의 일부를 예로 보여주는 등가회로도이다. 이하에서는 설명의 편의상, 본 발명에 따른 전계발광 표시장치가 4T(Transistor)2C(Capacitor)로 이루어진 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0065] 도 3은 본 발명의 제1 실시예에 따른 전계발광 표시장치에 있어, 센서 화소 유닛의 일부를 보여주는 평면도이다.

[0066] 이때, 도 2 및 도 3은 포토 터치 센서(PS)가 구비된 센서 화소 유닛의 일부를 예로 보여주고 있다. 도 2 및 도 3은 이웃하는 2개의 서브-화소를 예로 보여주고 있다.

[0067] 도 2 및 도 3을 참조하면, 본 발명에 따른 표시패널의 센서 화소 유닛은, 화상을 표시하는 화소부(PA)와 적어도 하나의 포토 터치 센서(PS)가 배치되어 입사된 광을 감지하여 터치를 인식하는 센싱부(SA)를 포함할 수 있다.

[0068] 화소부(PA)는, 스위칭 박막 트랜지스터(ST), 구동 박막 트랜지스터(DT), 보상회로(미도시) 및 발광소자(LE)를 포함하여 구성될 수 있다.

[0069] 이때, 자세히 도시하지 않았지만, 센서 화소 유닛은 복수의 서브-화소를 포함하고, 서브-화소 각각은 적색, 녹색 및 청색의 서브-화소 중 하나일 수 있다.

[0070] 복수의 서브-화소는 DRD(Double Rate Driving) 방식으로 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0071] 이웃하는 한 쌍의 서브-화소는 이웃하는 한 쌍의 데이터 배선(DL1, DL2)을 중심으로 서로 대응되게 배치될 수 있다. 보다 상세하게, 복수의 서브-화소 중 인접하게 배치된 서브-화소들, 예로 이웃하는 제1 서브-화소와 제2 서브-화소는 이웃하게 배치된 제1 데이터 배선(DL1)과 제2 데이터 배선에 각각 전기적으로 접속되고, 동일한 게이트 배선(GL)에 전기적으로 접속될 수 있다.

[0072] 센서 화소 유닛의 화소부(PA)에는 제1 방향으로 배치된 게이트 배선(GL)이 구비될 수 있다. 또한, 센싱부(SA)에는 게이트 배선(GL) 이외에 제1 방향으로 배치된 센싱 스토리지 배선(Vsto) 및 센싱 제어 배선(SL)이 구비될 수 있다.

[0073] 또한, 화소부(PA)에는 제1 방향과 상이한 제2 방향으로 배치된 데이터 배선(DL1, DL2) 및 센싱 데이터 배선(DRV), 전원 배선(Vdd), 리드아웃 배선(RO), 레퍼런스 배선(Vref)이 구비될 수 있다.

[0074] 제2 방향으로 배열된 화소부(PA)의 배선은 센싱부(SA)까지 연장, 배치될 수 있다. 센싱 데이터 배선(DRV)은 센싱부(SA)에 배치된 포토 터치 센서(PS)에 센서 데이터 신호, 즉 포토 터치 센서 구동 신호를 전달하는 배선이다.

[0075] 도 2를 참조하면, 화소부(PA)는, 스위칭 박막 트랜지스터(ST), 구동 박막 트랜지스터(DT), 스토리지 커페시터(Cst), 보상회로 및 발광소자(LE)를 포함하여 구성될 수 있다.

[0076] 발광소자(LE)는 구동 박막 트랜지스터(DT)에 의해 형성된 구동전류에 따라 발광하도록 동작할 수 있다.

- [0077] 스위칭 박막 트랜지스터(ST)는 게이트 배선(또는, 스캔 라인)(GL)을 통해 공급된 게이트 신호(또는, 스캔 신호)에 대응하여 데이터 배선(DL1, DL2)을 통해 공급되는 데이터 신호가 스토리지 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작할 수 있다.
- [0078] 이를 위해 스위칭 박막 트랜지스터(ST)는, 게이트 배선(GL)에 연결된 제3 게이트 전극(121c), 제3 액티브층(124c) 및 데이터 배선(DL1, DL2)으로부터 분기된 제3 소스 전극(122c)과 제3 소스 전극(122c)과 이격되어 배치된 제3 드레인 전극(123c)을 포함하여 구성될 수 있다. 이때, 제3 드레인 전극(123c)은 컨택홀을 통해 구동 박막 트랜지스터(DT)의 제4 게이트 전극(121d)에 전기적으로 접속할 수 있다.
- [0079] 구동 박막 트랜지스터(DT)는 스토리지 커패시터(Cst)에 저장된 데이터 전압에 대응하여 고전위 전원라인, 즉 전원 배선(Vdd)과 저전위 전원라인 사이에 일정한 구동 전류가 흐르게 동작할 수 있다. 유기 발광다이오드는 구동 박막 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0080] 이를 위해 구동 박막 트랜지스터(DT)는, 스위칭 박막 트랜지스터(ST)의 제3 드레인 전극(123c)에 연결된 제4 게이트 전극(121d), 제4 액티브층(124d) 및 전원 배선(Vdd)에 연결된 제4 소스 전극(122d)과 제4 소스 전극(122d)과 이격되어 배치된 제4 드레인 전극(123d)을 포함하여 구성될 수 있다. 이때, 제4 드레인 전극(123d)은 컨택홀을 통해 제1 전극, 즉 애노드(118)에 전기적으로 접속할 수 있다.
- [0081] 여기서, 보상회로는 구동 박막 트랜지스터(DT)의 문턱전압 등을 보상하기 위한 회로이며, 하나 이상의 박막 트랜지스터와 커패시터를 포함하여 구성될 수 있다. 보상회로의 구성은 보상 방법에 따라 매우 다양할 수 있다.
- [0082] 보상회로에는 센싱 트랜지스터(Ts)와 레퍼런스 배선(Vref)이 포함될 수 있다. 센싱 트랜지스터(Ts)는 레퍼런스 배선(Vref)을 통해 전달되는 레퍼런스 전압(또는, 센싱 전압)을 센싱 노드에 공급하거나 센싱 노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0083] 이때, 발광소자(LE)는 구동 박막 트랜지스터(DT)와 접속된 애노드(118), 애노드(118) 위에 유기물로 이루어진 발광층 및 발광층 위의 캐소드를 포함할 수 있다.
- [0084] 일 예로, 센싱과 디스플레이 타이밍이 동시에 진행되는 포토 센서(photo sensor) 방식의 전계발광 표시장치는, 리드아웃 배선(RO)의 일측에 포토 터치 센서(PS)를 구비하여 센싱 타이밍 동안 포토 터치 센서(PS)에 저장된 전하를 리드아웃 배선(RO)에 전달하는 것을 특징으로 한다. 이 경우, 포토 센서 방식을 적용하여 시분할 방식이 아닌, 디스플레이와 터치 구동을 동시에 진행함으로써 충전(charging) 특성 확보에 유리하고, 터치 회로 구조가 단순하여 원가 절감에 유리하다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0085] 리드아웃 배선(RO)은 한 쌍의 서브-화소의 일측에 레퍼런스 배선(Vref)과 함께 제2 방향으로 배열되고, 포토 터치 센서(PS)에 의한 터치 감지 신호를 전달할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0086] 리드아웃 배선(RO)이 배열되지 않은 한 쌍의 서브-화소의 다른 일측에는 센싱 데이터 배선(DRV)과 전원 배선(Vdd)이 배열될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0087] 한편, 리드아웃 배선(RO)에는 연산 증폭기(operating amplifier)가 연결되어 출력 전압을 검출할 수 있다. 참고로, 통상 연산 증폭기는 아날로그 컴퓨터용의 고이득 증폭기를 의미하며, 아날로그 컴퓨터에서는 그 이득이 귀환회로에 쓰이는 수동소자의 특성만으로 결정될 수 있도록 하기 위해, 큰 이득을 가지며, 입력 임피던스가 높고, 출력 임피던스가 낮은 증폭기가 필요하게 되었다. 이 증폭기는 그 후 아날로그 증폭기의 표준 접적회로(IC)로서 널리 사용되도록 되어 있다. 표준 IC로서의 연산증폭기는 차동입력형으로서, 이득은 30~100dB이며, 여기에 음귀환을 걸어서 적절한 이득의 증폭회로를 얻는다. 연산증폭기의 입력에 접속한 임피던스와 귀환회로에 접속한 임피던스의 비로서, 회로의 입출력 특성이 결정되도록 되어 있다.
- [0088] 연산 증폭기는 데이터 구동회로나 터치 구동회로의 터치 컨트롤 IC에 배치될 수 있다.
- [0089] 이러한 터치 컨트롤 IC는, 리드아웃 배선(RO)를 통해 센싱된 전류를 연산 증폭기에 의해 증폭하여 검출하는 것으로, 일 예로 (-) 입력 단자에 리드아웃 배선(RO)이 연결되고, (+) 입력 단자에 기준 전압이 인가될 수 있다. 또한, 출력 단자에서 출력된 전압은 센싱된 전압 값의 증폭한 값이다. 여기서, (-) 입력 단자와 출력 단자 사이에는 피드백 커패시터가 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0090] 센싱부(SA)는, 센서 박막 트랜지스터(Tss)의 오프 커런트(off current)의 변화에 따라 터치를 인식하는 포토 터치 센서(PS)를 포함할 수 있다. 보다 구체적으로, 포토 터치 센서(PS)는 센서 박막 트랜지스터(Tss)와 센서 스토리지 커패시터(SCst)를 포함하고, 광 세기에 따라 센서 박막 트랜지스터(Tss)가 터-온되어 센서 스토리지 커

패시터(SCst)에 전압이 충전될 수 있다. 그리고, 충전된 전압이 센서 스위치 박막 트랜지스터(Tsw)에 의해 미리 설정된 타이밍에 리드아웃 배선(RO)으로 출력될 수 있다.

- [0091] 전술한 바와 같이, 센싱부(SA)에는 제2 방향으로 배치된 데이터 배선(DL1, DL2) 및 센싱 데이터 배선(DRV), 전원 배선(Vdd), 리드아웃 배선(RO), 레퍼런스 배선(Vref)이 구비될 수 있다. 또한, 센싱부(SA)에는 게이트 배선(GL) 이외에 제1 방향으로 배치된 센싱 스토리지 배선(Vsto) 및 센싱 제어 배선(SL)이 구비될 수 있다.
- [0092] 본 발명의 제1 실시예의 경우, 센싱 스토리지 배선(Vsto) 및 센싱부(SA)를 게이트 배선(GL)과 센싱 제어 배선(SL) 사이에 배치함으로써 개구율을 개선할 수 있는 것을 특징으로 한다.
- [0093] 센싱 데이터 배선(DRV)은 센서 박막 트랜지스터(Tss)와 연결되어 센서 박막 트랜지스터(Tss)에 센서 구동 신호 또는 센서 구동 전압을 인가할 수 있다. 센서 박막 트랜지스터(Tss)에 인가되는 센서 구동 전압은 터치 구동회로로부터 인가되거나 타이밍 컨트롤러로부터 인가 될 수 있다.
- [0094] 리드아웃 배선(RO)은, 센서 스위치 박막 트랜지스터(Tsw)와 전기적으로 접속될 수 있다. 이에 따라 리드아웃 배선(RO)은 포토 터치 센서에 의한 터치 감지 신호를 터치 구동회로에 전달할 수 있다. 리드아웃 배선(RO)은 센서 화소 유닛과 1:1로 대응되도록 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0095] 센서 박막 트랜지스터(Tss)는, 제1 게이트 전극(121a), 제1 액티브층(124a) 및 센싱 데이터 배선(DRV)으로부터 분기된 제1 소스 전극(122a)과 제1 소스 전극(122a)과 이격되어 배치된 제1 드레인 전극(123a)을 포함하여 구성될 수 있다.
- [0096] 제1 소스 전극(122a)은 제1 컨택홀(140a)을 통해 제1 연결 전극(150a)에 전기적으로 접속할 수 있으며, 제1 연결 전극(150a)은 제2 컨택홀(140b)을 통해 센싱 데이터 배선(DRV)에 전기적으로 접속할 수 있다. 제1 연결 전극(150a)은 최하층의 광차단층을 이용할 수 있다. 여기서, 광차단층을 이용한다는 의미는 광차단층으로 제1 연결 전극(150a)을 형성한다는 것이 아닌, 광차단층과 동일한 최하층에 광차단층과 동일한 도전물질로 제1 연결 전극(150a)을 형성한다는 것을 의미한다.
- [0097] 광차단층은 외광을 차단하는 역할을 할 수 있다. 광차단층은 구동 박막 트랜지스터(DT)의 채널영역, 즉 제4 액티브층(124d) 하부에만 배치되거나 스위칭 박막 트랜지스터(ST) 및 센싱 트랜지스터(Ts)의 채널영역 하부에도 배치될 수 있다. 한편, 광차단층은 단순히 외광을 차단할 목적으로 사용하거나, 다른 전극이나 배선과의 연결을 도모하고, 스토리지 커패시터 등을 구성하는 전극으로 활용할 수 있다. 이에 본 발명은 광차단층을 이용하여 다른 전극이나 배선과의 연결을 위한 연결 전극(150a, 150b, 150c, 150d)을 구성할 수 있다. 이때, 다른 전극이나 배선과의 연결에 최하층의 광차단층을 이용할 경우 기존의 픽셀 컨택(pixel contact)(즉, 최상층의 ITO 메탈을 이용한 컨택)에 비해 컨택 저항, 면 저항 및 흘 크기가 줄어드는 이점이 있다.
- [0098] 광원의 파장대(wavelength range)를 고려하여, 본 발명에 따른 센서 박막 트랜지스터(Tss)는 적색 광원에서 반응하는 적색 센서 박막 트랜지스터, 또는 녹색 광원에서 반응하는 녹색 센서 박막 트랜지스터로 구성되거나, 적색 센서 박막 트랜지스터 및 녹색 센서 박막 트랜지스터로 구성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0099] 또한, 센서 스위치 박막 트랜지스터(Tsw)는, 제2 게이트 전극(121b), 제2 액티브층(124b) 및 리드아웃 배선(RO)으로부터 분기된 제2 드레인 전극(122b)과 제2 드레인 전극(122b)과 이격되어 배치된 제2 소스 전극(123b)을 포함하여 구성될 수 있다.
- [0100] 제2 소스 전극(122b)은 제3 컨택홀(140c)을 통해 제2 연결 전극(150b)에 전기적으로 접속할 수 있으며, 제2 연결 전극(150b)은 제4 컨택홀(140d)을 통해 리드아웃 배선(RO)에 전기적으로 접속할 수 있다. 제2 연결 전극(150b)은 최하층의 광차단층을 이용할 수 있다.
- [0101] 전술한 바와 같이 센서 박막 트랜지스터(Tss)는 하나의 서브-화소에 배치되며, 비정질 실리콘으로 구성된 제1 액티브층(124a)을 포함하여 구성되며, 센서 스위치 박막 트랜지스터(Tsw) 다른 하나의 서브-화소에 배치되며, 산화물 반도체로 구성된 제2 액티브층(124b)을 포함하여 구성될 수 있다.
- [0102] 하나의 서브-화소의 일측에 하나의 데이터 배선(DL1)이 배치되며, 하나의 서브-화소의 다른 일측에 센싱 데이터 배선(DRV)과 전원 배선(Vdd)이 배치될 수 있다.
- [0103] 또한, 다른 하나의 서브-화소의 일측에 리드아웃 배선(RO)과 레퍼런스 배선(Vref)이 배치되며, 다른 하나의 서브-화소의 다른 일측에 다른 하나의 데이터 배선(DL2)이 배치될 수 있다.

- [0104] 하나의 데이터 배선(DL1)과 다른 하나의 데이터 배선(DL2)은 인접하여 배치될 수 있다.
- [0105] 이와 같이 구성되는 표시패널의 단면 구조를 보다 상세히 설명한다.
- [0106] 도 4는 도 3에 도시된 센서 화소 유닛의 일부 단면을 보여주는 도면이다.
- [0107] 도 4의 좌측에는 센서 스위치 박막 트랜지스터의 단면을 예로 보여주며, 우측에는 센서 박막 트랜지스터의 단면을 예로 보여주고 있다. 이때, 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터는 도 4에 도시된 센서 스위치 박막 트랜지스터와 실질적으로 동일한 구조를 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0108] 도 4는 센서 스위치 박막 트랜지스터가 코플라나(coplanar) 구조를 가지며, 센서 박막 트랜지스터가 바텀 게이트(bottom gate) 구조를 가지는 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0109] 이때, 도 4에 도시되지 않은 구성은 전술한 도 3을 참조할 수 있다.
- [0110] 도 4를 참조하면, 기판(110) 위에는 광차단층(126)이 배치될 수 있다.
- [0111] 전술한 바와 같이 광차단층(126)은 외광을 차단하는 역할을 할 수 있다. 일 예로, 광차단층(126)은 센서 스위치 박막 트랜지스터(Tsw)의 채널영역, 즉 제2 액티브층(124b) 하부에 배치될 수 있다. 한편, 광차단층(126)은 단순히 외광을 차단할 목적으로 사용하거나, 다른 전극이나 배선과의 연결을 도모하고, 스토리지 커페시터 등을 구성하는 전극으로 활용할 수 있다.
- [0112] 광차단층(126)은 금속물질로 구성될 수 있고, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0113] 광차단층(126) 위에는 베퍼층(115a)이 배치될 수 있다.
- [0114] 베퍼층(115a)은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.
- [0115] 제2 액티브층(124b)으로 산화물 반도체를 적용하는 경우, 베퍼층(115a)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0116] 베퍼층(115a) 위에는 제2 액티브층(124b)이 배치될 수 있다.
- [0117] 제2 액티브층(124b)은, 예를 들어 비정질 실리콘, 다결정 실리콘, 저온 폴리실리콘 및 산화물 반도체 등과 같은 반도체 물질 중 어느 하나의 반도체 물질로 이루어질 수 있다. 일 예로, 본 발명의 제1 실시예에 따른 표시장치의 경우, 센서 스위치 박막 트랜지스터(Tsw)(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터는)는 광 반응에 의한 축적된 전하를 읽어내기 용이하도록 이동도와 온-전류 특성이 좋은 산화물 반도체를 이용하여 제2 액티브층(124b)을 형성할 수 있다.
- [0118] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 제2 액티브층(124b)은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO: SIZO)으로 이루어질 수도 있다.
- [0119] 제2 액티브층(124b)이 SIZO로 이루어지는 경우, 제2 액티브층(124b)에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.
- [0120] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티뮴(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리뮴(Gd), 텐븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 툴븀(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.

- [0121] 베퍼층(115a)과 제2 액티브층(124b) 위에는 제1 게이트 전극(121a), 제2 게이트 전극(121b) 및 센싱 스토리지 배선이 배치될 수 있다.
- [0122] 센싱 스토리지 배선(Vsto)은, 게이트 배선(GL) 및 센싱 제어 배선(SL)과 함께 기판(110) 위에 제1 방향으로 배치될 수 있다(도 3 참조).
- [0123] 이때, 제1 게이트 전극(121a)과 제2 게이트 전극(121b)은 센싱 스토리지 배선(Vsto)에서 분기, 또는 돌출되어 구성될 수 있다. 또는, 제1 게이트 전극(121a)과 제2 게이트 전극(121b)은 센싱 스토리지 배선(Vsto)의 일부로 구성될 수도 있다.
- [0124] 이때, 제1 게이트 전극(121a)과 제2 게이트 전극(121b)은 제1 게이트 절연막(115b', 115b'')을 개재하여 각각 베퍼층(115a)과 제2 액티브층(124b) 위에 배치될 수 있다. 또한, 센싱 스토리지 배선과 게이트 배선 및 센싱 제어 배선 하부에도 제1 게이트 절연막이 개재될 수 있다.
- [0125] 제1 게이트 전극(121a), 제2 게이트 전극(121b), 센싱 스토리지 배선, 게이트 배선 및 센싱 제어 배선은 동일한 금속물질로 구성될 수 있고, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0126] 제1 게이트 절연막(115b', 115b'')은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.
- [0127] 제2 액티브층(124b)으로 산화물 반도체를 적용하는 경우, 제1 게이트 절연막(115b', 115b'')은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0128] 한편, 본 발명의 제1 실시예의 경우 하부의 빛이 통과하도록 제1 게이트 전극(121a)의 일부가 제거되어 오픈(open)된 구조를 가지는 것을 특징으로 한다.
- [0129] 이는 비정질 실리콘으로 이루어진 제1 액티브층(124a), 구체적으로 제1 액티브층(124a)의 채널영역으로 레이저 등의 광원이 입사되는 경로(도 4에 도시된 화살표 방향)가 확보되어야 하기 때문이다. 따라서, 본 발명의 제1 실시예에 따른 제1 게이트 전극(121a)은, 일부 영역이 제거되어 하부로부터 광이 통과될 수 있는 것을 특징으로 한다. 또한, 본 발명의 제1 실시예에 따른 제1 게이트 전극(121a)은 복수로 분할될 수 있으며, 복수로 분할된 제1 게이트 전극(121a) 사이의 빈 공간은 빛이 통과되는 경로가 될 수 있다.
- [0130] 제1 게이트 전극(121a), 제2 게이트 전극(121b), 센싱 스토리지 배선, 게이트 배선 및 센싱 제어 배선 위에는 제2 게이트 절연막(115c)이 배치될 수 있다. 제2 게이트 절연막(115c)은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.
- [0131] 제2 액티브층(124b)으로 산화물 반도체를 적용하는 경우, 제2 게이트 절연막(115c)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0132] 제2 게이트 전극(121b) 상부 제2 게이트 절연막(115c) 위에는 제2 소스 전극(122b) 및 리드아웃 배선으로부터 분기되어 배치된 제2 드레인 전극(123b)이 배치될 수 있다.
- [0133] 또한, 제2 게이트 절연막(115c) 위에 제1 방향과 상이한 제2 방향으로 데이터 배선 및 리드아웃 배선이 배치될 수 있다.
- [0134] 제2 게이트 전극(121b), 제2 소스 전극(122b)과 제2 드레인 전극(123b) 및 제2 액티브층(124b)은 센서 스위치 박막 트랜지스터(Tsw)를 구성할 수 있다. 이 경우, 제2 소스 전극(122b)이 센서 스위치 박막 트랜지스터(Tsw)의 제2 전극이 되고, 제2 드레인 전극(123b)이 센서 스위치 박막 트랜지스터(Tsw)의 제1 전극이 될 수 있다. 또한, 제2 드레인 전극(123b)은 리드아웃 배선으로부터 분기될 수 있다.
- [0135] 이때, 제2 소스 전극(122b), 제2 드레인 전극(123b), 데이터 배선 및 리드아웃 배선은, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0136] 한편, 제1 게이트 전극(121a) 상부 제2 게이트 절연막(115c) 위에는 제1 액티브층(124a)이 배치될 수 있다.
- [0137] 제1 액티브층(124a)은, 예를 들어 비정질 실리콘과 같이 밴드 갭(band gap) 에너지가 1.7eV 이하인 반도체 물질로 이루어질 수 있다.

- [0138] 본 발명의 제1 실시예에 따른 전계발광 표시장치의 경우, 센싱(sensing)을 위한 센서 박막 트랜지스터(Tss)는 문턱(threshold) 전압 이하에서 광 반응에 의한 오프-전류에 유리한 비정질 실리콘을 이용하여 제1 액티브층(124a)을 형성할 수 있다.
- [0139] 제1 액티브층(124a) 위에는 센싱 데이터 배선에서 분기된 제1 소스 전극(122a), 제1 소스 전극(122a)으로부터 이격된 제1 드레인 전극(123a)이 배치될 수 있다.
- [0140] 이때, 제1 소스 전극(122a)과 제1 드레인 전극(123a) 하부에는 n+ 비정질 실리콘으로 이루어진 오믹-콘택층(125)이 배치될 수 있다.
- [0141] 오믹-콘택층(125)은, 제1 소스 전극(122a) 및 제1 드레인 전극(123a)과 실질적으로 동일한 형태로 패터닝될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0142] 제1 게이트 전극(121a), 제1 소스 전극(122a)과 제1 드레인 전극(123a) 및 제1 액티브층(124a)은 센서 박막 트랜지스터(Tss)를 구성할 수 있다. 즉, 제1 소스 전극(122a)이 센서 박막 트랜지스터(Tss)의 제1 전극이 되는 한편, 제1 드레인 전극(123a)이 센서 박막 트랜지스터(Tss)의 제2 전극이 될 수 있다.
- [0143] 이때, 센서 박막 트랜지스터(Tss)는, 적색 광원에 반응하는 적색 센서 박막 트랜지스터 또는 녹색 광원에 반응하는 녹색 센서 박막 트랜지스터를 구성할 수 있다.
- [0144] 제1 소스 전극(122a), 제1 드레인 전극(123a) 및 센싱 데이터 배선은, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0145] 그리고, 제1 소스 전극(122a), 제1 드레인 전극(123a), 센싱 데이터 배선, 제2 소스 전극(122b), 제2 드레인 전극(123b), 데이터 배선 및 리드아웃 배선 위에는 층간 절연막(115d)이 배치될 수 있다.
- [0146] 이때, 층간 절연막(115d)은 제1 소스 전극(122a), 제1 드레인 전극(123a), 센싱 데이터 배선, 제2 소스 전극(122b), 제2 드레인 전극(123b), 데이터 배선 및 리드아웃 배선과 상부 층의 구성을 절연하기 위한 것으로, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층으로 이루어질 수 있다.
- [0147] 개구 영역의 층간 절연막(115d) 위에는 적색, 녹색 및 청색 컬러필터로 이루어진 컬러필터층이 배치될 수 있다. 비개구 영역에는 컬러필터층이 배치되지 않을 수도 있고, 도 4에 도시된 바와 같이 2개 이상의 컬러필터가 적층되어 차단층으로 사용될 수도 있다. 도 4에는 차단층이 적색 컬러필터(106R)와 청색 컬러필터(106B)의 적층으로 이루어진 경우를 예로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 차단층은 유기 발광소자에서 발광된 광이 센서 박막 트랜지스터(Tss)의 백 채널로 입사되는 것을 방지할 수 있다.
- [0148] 일 예로, 적색 컬러필터(106R)와 청색 컬러필터(106B)는 다수의 컨택홀, 일 예로 제1, 제3 컨택홀(140a, 140c)에 대응하는 부분을 제외한 기판(110) 전면에 적층될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 기판(110) 전면에 적층된 후에 다수의 컨택홀, 일 예로 제1, 제3 컨택홀(140a, 140c)을 통해 패터닝될 수도 있다.
- [0149] 컬러필터층 위에는 평탄화막(115e)이 배치될 수 있다.
- [0150] 평탄화막(115e)은 아크릴계 수지, 애폭시 수지, 폐놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0151] 개구영역의 평탄화막(115e) 위에 발광소자가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자는 평탄화막(115e) 위에 형성되어 구동 박막 트랜지스터의 제4 드레인전극과 전기적으로 연결된 애노드, 애노드 위에 배치된 유기 발광층 및 유기 발광층 위에 형성된 캐소드를 포함하여 구성될 수 있다.
- [0152] 즉, 평탄화막(115e) 위에 제4 드레인전극과 접속하는 애노드가 배치될 수 있다.
- [0153] 애노드는 유기 발광층에 정공을 공급하기 위하여 일함수가 높은 도전성 물질로 이루어질 수 있다. 애노드는, 예를 들어 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO) 등과 같은 투명 전도성 물질로 이루어질 수 있다.
- [0154] 이때, 도 4에서는 도 3과 달리, 제2 소스 전극(122b)이 평탄화막(115e)과 층간 절연막(115d)을 관통하는 제3 컨택홀(140c)을 통해 제2 연결전극(150b')에 접속될 수 있다.

- [0155] 제1 소스 전극(122a)은 평탄화막(115e)과 중간 절연막(115d)을 관통하는 제1 컨택홀(140a)을 통해 제1 연결전극(150a')에 접속될 수 있다.
- [0156] 도시하지 않았지만, 애노드 위에는 애노드의 일부를 덮도록 뱅크가 배치될 수 있다.
- [0157] 유기 발광층은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 어느 하나를 포함할 수 있다. 또한, 유기 발광층은 정공 수송층, 정공 주입층, 전자 주입층 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수도 있다. 유기 발광층은 복수의 서브-화소에 공통으로 구비될 수 있으나, 본 발명이 이에 한정되지는 않는다.
- [0158] 캐소드는 유기 발광층 위에 배치될 수 있다. 캐소드는 유기 발광층으로 전자를 공급할 수 있다. 캐소드는 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO), 아연 산화물(Zinc Oxide; ZnO) 및 주석 산화물(Tin Oxide; TO) 계열의 투명도전성 산화물, 또는 이테르븀(Yb) 합금으로 이루어질 수도 있다. 또는, 캐소드는 도전물질로 이루어질 수도 있다.
- [0159] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0160] 이와 같이, 본 발명의 제1 실시예에 따른 전계발광 표시장치는 센싱을 위한 센서 박막 트랜지스터(Tss)는 문턱(threshold) 전압 이하에서 광 반응에 의한 오프-전류에 유리한 비정질 실리콘을 이용하고, 반면에 센서 스위치 박막 트랜지스터(Tsw)(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터)는 광 반응에 의한 축적된 전하를 읽어내기 용이하도록 이동도와 온-전류 특성이 좋은 산화물 반도체를 이용하는 것을 특징으로 한다. 이에 의하면, 본 발명은 이동도와 온 커런트 특성을 확보할 수 있는 효과를 제공한다.
- [0161] 산화물 반도체로 이루어진 액티브층은 가시광선(visible light)에 반응하지 않아 광 센서로 부적합하다.
- [0162] 산화물 반도체 박막 트랜지스터의 경우에는, 박막 트랜지스터가 센서 스위치 박막 트랜지스터(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터)이거나, 적색 광에 노출된 센서 박막 트랜지스터, 또는 녹색 광에 노출된 센서 박막 트랜지스터인지에 관계 없이 모두 가시광선에 반응하지 않는다. 즉, 산화물 반도체 박막 트랜지스터의 경우, 박막 트랜지스터의 액티브층에 광이 조사되더라도 소자에 오프 커런트가 발생하지 않는다.
- [0163] 이와 같이 산화물 반도체 소자는 이동도 및 온 커런트 특성은 우수하나, 밴드 갭 에너지가 3.1eV 이상으로 UV 파장 이상의 광에서만 전류가 생성될 수 있다.
- [0164] 이에 본 발명에서는 산화물 반도체 박막 트랜지스터를 베이스로 하는 전계발광 표시장치에 있어, 센서 박막 트랜지스터(Tss)에 광 센서 기능을 부여하기 위해 밴드 갭 에너지가 1.7eV 이하 물질을 이용하여 센서 박막 트랜지스터(Tss)의 제1 액티브층(124a)을 형성하는 것을 특징으로 한다.
- [0165] 즉, 광 센서용 센서 박막 트랜지스터(Tss)는 게이트 전압이 문턱 전압 이하, 즉 $V_g \leq V_t$ 에서 광 반응에 의한 오프 커런트에 유리한 비정질 실리콘이 적용되고, 센서 스위치 박막 트랜지스터(Tsw)(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터)는 광 반응에 의해 축적된 전하를 읽어내기 위한 스위칭 소자로서, 이동도와 온 커런트 특성이 좋은 산화물 반도체가 적용될 수 있다.
- [0166] 한편, 상면 발광(top emission) 방식의 전계발광 표시장치는, 소자 상부가 모두 발광하는 영역으로, 상부에서 광원이 조사될 때 봉지 구조, 유기 발광소자 및 상부 박막 트랜지스터 구성을 모두 통과하여야 한다. 이 경우 빛의 굴절, 반사 및 산란 등에 의해 센서 박막 트랜지스터(Tss)에 도달하는 광량(light intensity)이 매우 적으므로 센싱이 불가능하다.
- [0167] 반면에, 배면 발광(bottom emission) 방식의 전계발광 표시장치는, 캐소드 하부 방향으로 발광하는 구조로, 광원이 센서 박막 트랜지스터(Tss)에 도달하기 쉽다. 따라서, 포토 터치 센서를 구비한 본 발명의 전계발광 표시장치는 배면 발광 방식에 유리하다.
- [0168] 본 발명의 배면 발광 방식의 전계발광 표시장치는, 기존의 3T1C 구조에서 센싱을 위한 센서 박막 트랜지스터(Tss)와 센서 스위치 박막 트랜지스터(Tsw) 및 센싱 스토리지 커패시터(SCst)를 추가하여 4T2C 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 보상회로가 추가된 경우 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등

으로 다양하게 구성될 수 있다.

[0169] 또한, 전술한 바와 같이 본 발명은 개구율 손실에 따른 소자 수명 저하를 방지하기 위해 센싱 스토리지 배선 및 센싱부를 게이트 배선과 센싱 제어 배선 사이에 배치하는 것을 특징으로 한다. 이에, 센서 박막 트랜지스터(Tss)와 센서 스위치 박막 트랜지스터(Tsw) 및 센싱 스토리지 커패시터(SCst)는 게이트 배선과 센싱 제어 배선 사이에 배치될 수 있다.

[0170] 배면 발광 방식의 전계발광 표시장치에서, 센서 박막 트랜지스터(Tss)의 제1 액티브층(124a)을 비정질 실리콘으로 형성하더라도, 제1 액티브층(124a) 하부에 불투명한 도전물질로 이루어진 제1 게이트 전극(121a)이 위치할 경우 광원이 제1 액티브층(124a)에 도달하기 어려워진다. 이에, 전술한 바와 같이 본 발명의 제1 실시예에 따른 제1 게이트 전극(121a)은, 일부 영역이 제거되어 하부로부터 광이 통과될 수 있도록 구성되는 것을 특징으로 한다. 또한, 본 발명의 제1 실시예에 따른 제1 게이트 전극(121a)은 복수로 분할될 수 있으며, 복수로 분할된 제1 게이트 전극(121a) 사이의 빈 공간은 빛이 통과되는 경로가 될 수 있다.

[0171] 한편, 전술한 바와 같이 광 센서용 센서 박막 트랜지스터(Tss)는 비정질 실리콘이 적용될 수 있고, 센서 스위치 박막 트랜지스터(Tsw)(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터)는 산화물 반도체가 적용될 수 있다.

[0172] 이때, 산화물 반도체로 이루어진 제2 액티브층(124b)은, 안정성(Stability) 특성을 보완해주기 위해 베퍼층(115a) 및 제1 게이트 절연막(115b', 115b'')과 제2 게이트 절연막(115c)을 실리콘 산화막(SiO_x)으로 구성하여야 한다.

[0173] 예를 들면, 제1 게이트 절연막(115b', 115b'')과 제2 게이트 절연막(115c)을 실리콘 질화막(SiNx)으로 구성할 경우 광-전압 신뢰성(Negative Bias Illumination stress Stability; NBIS) 하에서 문턱전압(threshold voltage)이 네거티브 방향으로 이동, 즉 소자가 열화되어 전계발광 표시장치의 구동이 어려워질 수 있다. 이는 산화물 반도체 소자의 고유한 특성이다. 또한, 제1 게이트 절연막(115b', 115b'')과 제2 게이트 절연막(115c)을 실리콘 질화막(SiNx)으로 증착하기 위한 CVD 공정 캠버에서 NH₃, SiH₄ 플라즈마에 의해 수소 침투로 인한 소자 열화가 발생될 수 있다. 따라서, 제2 액티브층(124b) 상, 하부의 베퍼층(115a) 및 제1 게이트 절연막(115b', 115b'')과 제2 게이트 절연막(115c)을 실리콘 산화막(SiO_x)으로 구성하여야 한다.

[0174] 그러나, 센싱을 위한 소자, 즉 센서 박막 트랜지스터는 비정질 실리콘으로 제1 액티브층(124a)을 구성함에 따라 제1 액티브층(124a)의 상, 하부에 실리콘 질화막(SiNx)으로 보호할 필요가 있다.

[0175] 따라서, 본 발명의 제2 실시예에서는, 제1 액티브층의 상, 하부에 실리콘 질화막(SiNx)으로 이루어진 제1, 제2 보호층을 추가로 구비하는 것을 특징으로 하며, 이를 도면을 참조하여 상세히 설명한다.

[0176] 도 5는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 일부 단면을 예로 보여주는 도면이다.

[0177] 도 5에 도시된 본 발명의 제2 실시예에 따른 전계발광 표시장치는 제1 액티브층(224a)의 상, 하부에 실리콘 질화막(SiNx)으로 이루어진 제1, 제2 보호층(260a, 260b)을 추가로 구비하는 것을 제외하고는, 전술한 본 발명의 제1 실시예와 실질적으로 동일한 구조으로 이루어져 있다.

[0178] 도 5의 좌측에는 센서 스위치 박막 트랜지스터(Tsw)의 단면을 예로 보여주며, 우측에는 센서 박막 트랜지스터(Tss)의 단면을 예로 보여주고 있다. 이때, 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터는 도 5에 도시된 센서 스위치 박막 트랜지스터(Tsw)와 실질적으로 동일한 구조를 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0179] 도 5는 센서 스위치 박막 트랜지스터(Tsw)가 코플라나(coplanar) 구조를 가지며, 센서 박막 트랜지스터(Tss)가 바텀 게이트(bottom gate) 구조를 가지는 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0180] 도 5를 참조하면, 기판(210) 위에는 광차단층(226)이 배치될 수 있다.

[0181] 전술한 바와 같이 광차단층(226)은 외광을 차단하는 역할을 할 수 있다. 일 예로, 광차단층(226)은 센서 스위치 박막 트랜지스터(Tsw)의 채널영역, 즉 제2 액티브층(224b) 하부에 배치될 수 있다. 한편, 광차단층(226)은 단순히 외광을 차단할 목적으로 사용하거나, 다른 전극이나 배선과의 연결을 도모하고, 스토리지 커패시터 등을 구성하는 전극으로 활용할 수 있다.

[0182] 광차단층(226)은 금속물질로 구성될 수 있고, 예를 들어 몽리브텐(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루

어질 수 있다.

[0183] 광차단층(226) 위에는 베퍼층(215a)이 배치될 수 있다.

[0184] 베퍼층(215a)은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.

[0185] 제2 액티브층(224b)으로 산화물 반도체를 적용하는 경우, 베퍼층(215a)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.

[0186] 베퍼층(215a) 위에는 제2 액티브층(224b)이 배치될 수 있다.

[0187] 제2 액티브층(224b)은, 예를 들어 비정질 실리콘, 다결정 실리콘, 저온 폴리실리콘 및 산화물 반도체 등과 같은 반도체 물질 중 어느 하나의 반도체 물질로 이루어질 수 있다. 일 예로, 본 발명의 제2 실시예에 따른 표시장치의 경우, 센서 스위치 박막 트랜지스터(Tsw)(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터는)는 광 반응에 의한 축적된 전하를 읽어내기 용이하도록 이동도와 온-전류 특성이 좋은 산화물 반도체를 이용하여 제2 액티브층(224b)을 형성할 수 있다.

[0188] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 제2 액티브층(224b)은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO: SIZO)으로 이루어질 수도 있다.

[0189] 제2 액티브층(224b)이 SIZO로 이루어지는 경우, 제2 액티브층(224b)에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성을 더 좋아질 수 있다.

[0190] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 닉오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리듐(Gd), 터븀(Tb), 디스프로이드(Dy), 홀뮴(Ho), 어븀(Er), 텐븀(Tm), 이터븀(Yb) 또는 루테늄(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.

[0191] 베퍼층(215a)과 제2 액티브층(224b) 위에는 제1 게이트 전극(221a), 제2 게이트 전극(221b) 및 센싱 스토리지 배선이 배치될 수 있다.

[0192] 센싱 스토리지 배선은 게이트 배선 및 센싱 제어 배선과 함께 기판(210) 위에 제1 방향으로 배치될 수 있다.

[0193] 이때, 제1 게이트 전극(221a)과 제2 게이트 전극(221b)은 센싱 스토리지 배선에서 분기되어 센싱 스토리지 배선의 일부를 구성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제1 게이트 전극(221a)은 센싱 스토리지 배선에서 분기되는 반면, 제2 게이트 전극(221b)은 게이트 배선에서 분기될 수도 있다.

[0194] 이때, 제1 게이트 전극(221a)과 제2 게이트 전극(221b)은 제1 게이트 절연막(215b', 215b'')을 개재하여 각각 베퍼층(215a)과 제2 액티브층(224b) 위에 배치될 수 있다. 또한, 센싱 스토리지 배선과 게이트 배선 및 센싱 제어 배선 하부에도 제1 게이트 절연막이 개재될 수 있다.

[0195] 제1 게이트 전극(221a), 제2 게이트 전극(221b), 센싱 스토리지 배선, 게이트 배선 및 센싱 제어 배선은 동일한 금속물질로 구성될 수 있고, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.

[0196] 제1 게이트 절연막(215b', 215b'')은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.

[0197] 제2 액티브층(224b)으로 산화물 반도체를 적용하는 경우, 제1 게이트 절연막(215b', 215b'')은 실리콘 산화막(SiO_x)으로 형성할 수 있다.

[0198] 한편, 본 발명의 제2 실시예의 경우, 전술한 본 발명의 제1 실시예와 동일하게 하부의 빛이 통과하도록 제1 게이트 전극(221a)의 일부가 제거되어 오픈(open)된 구조를 가지는 것을 특징으로 한다.

- [0199] 이는 비정질 실리콘으로 이루어진 제1 액티브층(224a), 구체적으로 제1 액티브층(224a)의 채널영역으로 레이저 등의 광원이 입사되는 경로(도 5에 도시된 화살표 방향)가 확보되어야 하기 때문이다. 따라서, 본 발명의 제2 실시예에 따른 제1 게이트 전극(221a)은, 일부 영역이 제거되어 하부로부터 광이 통과될 수 있는 것을 특징으로 한다. 또한, 본 발명의 제2 실시예에 따른 제1 게이트 전극(221a)은 복수로 분할될 수 있으며, 복수로 분할된 제1 게이트 전극(221a) 사이의 빈 공간은 빛이 통과되는 경로가 될 수 있다.
- [0200] 제1 게이트 전극(221a), 제2 게이트 전극(221b), 센싱 스토리지 배선, 게이트 배선 및 센싱 제어 배선 위에는 제2 게이트 절연막(215c)이 배치될 수 있다. 제2 게이트 절연막(215c)은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.
- [0201] 제2 액티브층(224b)으로 산화물 반도체를 적용하는 경우, 제2 게이트 절연막(215c)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0202] 제2 게이트 전극(221b) 상부 제2 게이트 절연막(215c) 위에는 제2 소스 전극(222b) 및 리드아웃 배선으로부터 분기되어 배치된 제2 드레인 전극(223b)이 배치될 수 있다.
- [0203] 또한, 제2 게이트 절연막(215c) 위에 제1 방향과 상이한 제2 방향으로 데이터 배선 및 리드아웃 배선이 배치될 수 있다.
- [0204] 제2 게이트 전극(221b), 제2 소스 전극(222b)과 제2 드레인 전극(223b) 및 제2 액티브층(224b)은 센서 스위치 박막 트랜지스터(Tsw)를 구성할 수 있다. 이 경우, 제2 소스 전극(222b)이 센서 스위치 박막 트랜지스터(Tsw)의 제2 전극이 되고, 제2 드레인 전극(223b)이 센서 스위치 박막 트랜지스터(Tsw)의 제1 전극이 될 수 있다. 또한, 제2 드레인 전극(223b)은 리드아웃 배선으로부터 분기될 수 있다.
- [0205] 이때, 제2 소스 전극(222b), 제2 드레인 전극(223b), 데이터 배선 및 리드아웃 배선은, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0206] 한편, 제1 게이트 전극(221a) 상부 제2 게이트 절연막(215c) 위에는 제1 보호층(260a)이 개재된 상태에서 제1 액티브층(224a)이 배치될 수 있다.
- [0207] 전술한 바와 같이 제1 보호층(260a)은 비정질 실리콘으로 이루어진 제1 액티브층(224a)을 보호하기 위한 것으로, 실리콘 질화막(SiNx)으로 이루어질 수 있다.
- [0208] 제1 보호층(260a)은 제1 액티브층(224a)과 실질적으로 동일한 형태를 가질 수 있다.
- [0209] 제1 액티브층(224a)은, 예를 들어 비정질 실리콘과 같이 밴드 갭(band gap) 에너지가 1.7eV 이하인 반도체 물질로 이루어질 수 있다.
- [0210] 본 발명의 제2 실시예에 따른 전계발광 표시장치의 경우, 센싱(sensing)을 위한 센서 박막 트랜지스터(Tss)는 문턱(threshold) 전압 이하에서 광 반응에 의한 오프-전류에 유리한 비정질 실리콘을 이용하여 제1 액티브층(224a)을 형성할 수 있다.
- [0211] 제1 액티브층(224a) 위에는 센싱 데이터 배선에서 분기된 제1 소스 전극(222a), 제1 소스 전극(222a)으로부터 이격된 제1 드레인 전극(223a)이 배치될 수 있다.
- [0212] 이때, 제1 소스 전극(222a)과 제1 드레인 전극(223a) 하부에는 n⁺ 비정질 실리콘으로 이루어진 오믹-콘택층(225)이 배치될 수 있다.
- [0213] 오믹-콘택층(225)은, 제1 소스 전극(222a) 및 제1 드레인 전극(223a)과 실질적으로 동일한 형태로 패터닝될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0214] 제1 게이트 전극(221a), 제1 소스 전극(222a)과 제1 드레인 전극(223a) 및 제1 액티브층(224a)은 센서 박막 트랜지스터(Tss)를 구성할 수 있다. 즉, 제1 소스 전극(222a)이 센서 박막 트랜지스터(Tss)의 제1 전극이 되는 한편, 제1 드레인 전극(223a)이 센서 박막 트랜지스터(Tss)의 제2 전극이 될 수 있다.
- [0215] 이때, 센서 박막 트랜지스터(Tss)는, 적색 광원에 반응하는 적색 센서 박막 트랜지스터 또는 녹색 광원에 반응하는 녹색 센서 박막 트랜지스터를 구성할 수 있다.
- [0216] 제1 소스 전극(222a), 제1 드레인 전극(223a) 및 센싱 데이터 배선은, 예를 들어 몰리브덴(Mo), 알루미늄(Al),

크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.

[0217] 제1 소스 전극(222a)과 제1 드레인 전극(223a) 및 제2 소스 전극(222b)과 제2 드레인 전극(223b)은 동일한 층에 동일한 도전물질로 구성될 수 있다.

[0218] 그리고, 제1 소스 전극(222a), 제1 드레인 전극(223a), 센싱 데이터 배선, 제2 소스 전극(222b), 제2 드레인 전극(223b), 데이터 배선 및 리드아웃 배선 위에는 층간 절연막(215d)이 배치될 수 있다.

[0219] 이때, 층간 절연막(215d)은 제1 소스 전극(222a), 제1 드레인 전극(223a), 센싱 데이터 배선, 제2 소스 전극(222b), 제2 드레인 전극(223b), 데이터 배선 및 리드아웃 배선과 상부 층의 구성을 절연하기 위한 것으로, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층으로 이루어질 수 있다.

[0220] 이때, 본 발명의 제2 실시예의 경우에는, 층간 절연막(215d)과 제1 소스 전극(222a) 및 제1 드레인 전극(223a) 사이에 실리콘 질화막(SiNx)으로 이루어진 제2 보호층(260b)이 구비되는 것을 특징으로 한다. 제2 보호층(260b)은 비정질 실리콘으로 이루어진 제1 액티브층(224a)을 보호하기 위한 것으로, 제1 소스 전극(222a) 및 제1 드레인 전극(223a)의 일부와, 제1 액티브층(224a)의 백 채널을 덮도록 구비될 수 있다.

[0221] 개구 영역의 층간 절연막(215d) 위에는 적색, 녹색 및 청색 컬러필터로 이루어진 컬러필터층이 배치될 수 있다. 비개구 영역에는 컬러필터층이 배치되지 않을 수도 있고, 도 5에 도시된 바와 같이 2개 이상의 컬러필터가 적층되어 차단층으로 사용될 수도 있다. 도 5에는 차단층이 적색 컬러필터(206R)와 청색 컬러필터(206B)의 적층으로 이루어진 경우를 예로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 차단층은 유기 발광소자에서 발광된 광이 센서 박막 트랜지스터(TSS)의 백 채널로 입사되는 것을 방지할 수 있다.

[0222] 일 예로, 적색 컬러필터(206R)와 청색 컬러필터(206B)는 다수의 컨택홀, 일 예로 제1, 제3 컨택홀(240a, 240c)에 대응하는 부분을 제외한 기판(210) 전면에 적층될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 기판(210) 전면에 적층된 후에 다수의 컨택홀, 일 예로 제1, 제3 컨택홀(240a, 240c)을 통해 패터닝될 수도 있다.

[0223] 컬러필터층 위에는 평탄화막(215e)이 배치될 수 있다.

[0224] 평탄화막(215e)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.

[0225] 개구영역의 평탄화막(215e) 위에 발광소자가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자는 평탄화막(215e) 위에 형성되어 구동 박막 트랜지스터의 제4 드레인전극과 전기적으로 연결된 애노드, 애노드 위에 배치된 유기 발광층 및 유기 발광층 위에 형성된 캐소드를 포함하여 구성될 수 있다.

[0226] 즉, 평탄화막(215e) 위에 제4 드레인전극과 접속하는 애노드가 배치될 수 있다.

[0227] 애노드는 유기 발광층에 정공을 공급하기 위하여 일함수가 높은 도전성 물질로 이루어질 수 있다. 애노드는, 예를 들어 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO) 등과 같은 투명 전도성 물질로 이루어질 수 있다.

[0228] 일 예로, 제2 소스 전극(222b)은 평탄화막(215e)과 층간 절연막(215d)을 관통하는 제3 컨택홀(240c)을 통해 제2 연결전극(250b')에 접속될 수 있다. 또한, 제1 소스 전극(222a)은 평탄화막(215e)과 층간 절연막(215d)을 관통하는 제1 컨택홀(240a)을 통해 제1 연결전극(250a')에 접속될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0229] 도시하지 않았지만, 애노드 위에는 애노드의 일부를 덮도록 뱅크가 배치될 수 있다.

[0230] 유기 발광층은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 어느 하나를 포함할 수 있다. 또한, 유기 발광층은 정공 수송층, 정공 주입층, 전자 주입층 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수도 있다. 유기 발광층은 복수의 서브-화소에 공동으로 구비될 수 있으나, 본 발명이 이에 한정되지는 않는다.

[0231] 캐소드는 유기 발광층 위에 배치될 수 있다. 캐소드는 유기 발광층으로 전자를 공급할 수 있다. 캐소드는 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO), 아연 산화물(Zinc Oxide; ZnO) 및 주석 산화물(Tin Oxide; TO) 계열의 투명

도전성 산화물, 또는 이테르븀(Yb) 합금으로 이루어질 수도 있다. 또는, 캐소드는 도전물질로 이루어질 수도 있다.

[0232] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0233] 이하, 이와 같이 구성되는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.

[0234] 도 6a 내지 도 6i는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 제조공정 일부를 순차적으로 보여주는 단면도이다.

[0235] 이때, 일 예로 도 6a 내지 도 6i는 센서 스위치 박막 트랜지스터(Tsw)가 구비되는 Tsw 영역 및 센서 박막 트랜지스터(Tss)가 구비되는 Tss 영역의 제조공정을 순차적으로 보여주고 있다.

[0236] 또한, 도 6a 내지 도 6i의 좌측에는 센서 스위치 박막 트랜지스터(Tsw)의 제조공정을 보여주며, 우측에는 센서 박막 트랜지스터(Tss)의 제조공정을 보여주고 있다.

[0237] 도 6a를 참조하면, 기판(210) 위에 광차단층(226)이 형성될 수 있다.

[0238] 광차단층(226)은 금속물질로 구성될 수 있고, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.

[0239] 이후, 도 6b를 참조하면, 광차단층(226) 위에 베퍼층(215a)이 형성될 수 있다.

[0240] 베퍼층(215a)은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.

[0241] 그리고, 베퍼층(215a) 위에 제2 액티브층(224b)이 형성될 수 있다.

[0242] 제2 액티브층(224b)은, 예를 들어 비정질 실리콘, 다결정 실리콘, 저온 폴리실리콘 및 산화물 반도체 등과 같은 반도체 물질 중 어느 하나의 반도체 물질로 이루어질 수 있다. 일 예로, 본 발명의 제2 실시예에 따른 표시장치의 경우, 센서 스위치 박막 트랜지스터(Tsw)(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터는)는 광 반응에 의한 축적된 전하를 읽어내기 용이하도록 이동도와 온-전류 특성이 좋은 산화물 반도체를 이용하여 제2 액티브층(224b)을 형성할 수 있다.

[0243] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 제2 액티브층(224b)은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO: SIZO)으로 이루어질 수도 있다.

[0244] 제2 액티브층(224b)이 SIZO로 이루어지는 경우, 제2 액티브층(224b)에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.

[0245] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티뮴(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리듐(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 틀뮴(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.

[0246] 제2 액티브층(224b)으로 산화물 반도체를 적용하는 경우, 베퍼층(215a)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.

[0247] 이후, 도 6c를 참조하면, 베퍼층(215a)과 제2 액티브층(224b) 위에 제1 게이트 전극(221a), 제2 게이트 전극(221b) 및 센싱 스토리지 배선이 형성될 수 있다.

- [0248] 센싱 스토리지 배선은 게이트 배선 및 공통 배선과 함께 기판(210) 위에 제1 방향으로 형성될 수 있다.
- [0249] 이때, 제1 게이트 전극(221a)과 제2 게이트 전극(221b)은 센싱 스토리지 배선에서 분기되어 센싱 스토리지 배선의 일부를 구성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제1 게이트 전극(221a)은 센싱 스토리지 배선에서 분기되는 반면, 제2 게이트 전극(221b)은 게이트 배선에서 분기될 수도 있다.
- [0250] 이때, 제1 게이트 전극(221a)과 제2 게이트 전극(221b)은 제1 게이트 절연막(215b', 215b'')을 개재하여 각각 베퍼층(215a)과 제2 액티브층(224b) 위에 형성될 수 있다. 또한, 센싱 스토리지 배선과 게이트 배선 및 센싱 제어 배선 하부에도 제1 게이트 절연막이 개재될 수 있다.
- [0251] 제1 게이트 전극(221a), 제2 게이트 전극(221b), 센싱 스토리지 배선, 게이트 배선 및 센싱 제어 배선은 동일한 금속물질로 구성될 수 있고, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성될 수 있다.
- [0252] 제1 게이트 절연막(215b', 215b'')은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 형성될 수 있다.
- [0253] 제2 액티브층(224b)으로 산화물 반도체를 적용하는 경우, 제1 게이트 절연막(215b', 215b'')은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0254] 한편, 제1 게이트 전극(221a)은 일부가 제거되어 오픈(open)된 구조를 가지는 것을 특징으로 한다.
- [0255] 즉, 본 발명의 제2 실시예에 따른 제2 게이트 전극(221a)은, 일부 영역이 제거되어 하부로부터 광이 통과될 수 있는 것을 특징으로 한다. 또한, 본 발명의 제2 실시예에 따른 제1 게이트 전극(221a)은 복수로 분할될 수 있으며, 복수로 분할된 제1 게이트 전극(221a) 사이의 빈 공간은 빛이 통과되는 경로가 될 수 있다.
- [0256] 이후, 도 6d를 참조하면, 제1 게이트 전극(221a), 제2 게이트 전극(221b), 센싱 스토리지 배선, 게이트 배선 및 센싱 제어 배선 위에 제2 게이트 절연막(215c)이 형성될 수 있다.
- [0257] 제2 게이트 절연막(215c)은, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층 구조로 이루어질 수 있다.
- [0258] 제2 액티브층(224b)으로 산화물 반도체를 적용하는 경우, 제2 게이트 절연막(215c)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0259] 이때, 제2 게이트 전극(221b) 상부의 제2 게이트 절연막(215c)에는, 일부 영역이 제거되어 제2 액티브층(224b)의 일부를 노출시키는 제4 컨택홀(240d) 및 제5 컨택홀(240e)이 형성될 수 있다.
- [0260] 반면에, 제1 게이트 전극(221a) 상부 제2 게이트 절연막(215c) 위에는 제1 보호층(260a)이 개재된 상태에서 제1 액티브층(224a)이 형성될 수 있다.
- [0261] 전술한 바와 같이 제1 보호층(260a)은 비정질 실리콘으로 이루어진 제1 액티브층(224a)을 보호하기 위함으로, 실리콘 질화막(SiNx)으로 이루어질 수 있다.
- [0262] 제1 보호층(260a)은 제1 액티브층(224a)과 실질적으로 동일한 형태를 가질 수 있다.
- [0263] 제1 액티브층(224a)은, 예를 들어 비정질 실리콘과 같이 밴드 갭(band gap) 에너지가 1.7eV 이하인 반도체 물질로 이루어질 수 있다.
- [0264] 본 발명의 제2 실시예에 따른 전계발광 표시장치의 경우, 센싱(sensing)을 위한 센서 박막 트랜지스터(Tss)는 문턱(threshold) 전압 이하에서 광 반응에 의한 오프-온류에 유리한 비정질 실리콘을 이용하여 제1 액티브층(224a)을 형성할 수 있다.
- [0265] 이때, 제1 액티브층(224a) 위에는 n+ 비정질 실리콘으로 이루어지며, 제1 액티브층(224a)과 실질적으로 동일한 형태를 가진 n+ 비정질 실리콘패턴(225')이 형성될 수 있다.
- [0266] 이후, 도 6e를 참조하면, 제2 게이트 전극(221b) 상부의 제2 게이트 절연막(215c) 위에는 제2 소스 전극(222b) 및 리드아웃 배선으로부터 분기되어 배치된 제2 드레인 전극(223b)이 형성될 수 있다.
- [0267] 또한, 제2 게이트 절연막(215c) 위에 제1 방향과 상이한 제2 방향으로 데이터 배선 및 리드아웃 배선이 형성될 수 있다.

- [0268] 또한, 제1 액티브층(224a) 위에는 센싱 데이터 배선에서 분기된 제1 소스 전극(222a), 제1 소스 전극(222a)으로부터 이격된 제1 드레인 전극(223a)이 형성될 수 있다.
- [0269] 이때, 제1 소스 전극(222a), 제1 드레인 전극(223a), 센싱 데이터 배선, 제2 소스 전극(222b), 제2 드레인 전극(223b), 데이터 배선 및 리드아웃 배선은, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 제1 소스 전극(222a)과 제1 드레인 전극(223a) 및 제2 소스 전극(222b)과 제2 드레인 전극(223b)은 동일한 층에 동일한 도전물질로 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0270] 이때, 제1 소스 전극(222a)과 제1 드레인 전극(223a) 하부에는 n+ 비정질 실리콘으로 이루어진 오믹-콘택층(225)이 형성될 수 있다.
- [0271] 오믹-콘택층(225)은, 제1 소스 전극(222a) 및 제1 드레인 전극(223a)과 실질적으로 동일한 형태로 패터닝될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0272] 이후, 도 6f를 참조하면, 제1 소스 전극(222a), 제1 드레인 전극(223a), 센싱 데이터 배선, 제2 소스 전극(222b), 제2 드레인 전극(223b), 데이터 배선 및 리드아웃 배선 위에 충간 절연막(215d)이 형성될 수 있다.
- [0273] 이때, 충간 절연막(215d)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층으로 이루어질 수 있다.
- [0274] 이때, 본 발명의 제2 실시예의 경우에는, 충간 절연막(215d)과 제1 소스 전극(222a) 및 제1 드레인 전극(223a) 사이에 실리콘 질화막(SiNx)으로 이루어진 제2 보호층(260b)이 형성되는 것을 특징으로 한다. 제2 보호층(260b)은 비정질 실리콘으로 이루어진 제1 액티브층(124a)을 보호하기 위한 것으로, 제1 소스 전극(222a) 및 제1 드레인 전극(223a)의 일부와, 제1 액티브층(224a)의 백 채널을 덮도록 형성될 수 있다.
- [0275] 다음으로, 개구 영역의 충간 절연막(215d) 위에 적색, 녹색 및 청색 컬러필터로 이루어진 컬러필터층이 형성될 수 있다. 비개구 영역에는 도 6g에 도시된 바와 같이 2개 이상의 컬러필터가 적층되어 차단층이 형성될 수 있다. 도 6g에는 차단층이 적색 컬러필터(206R)와 청색 컬러필터(206B)의 적층으로 형성된 경우를 예로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 차단층은 유기 발광소자에서 발광된 광이 센서 박막 트랜지스터(Tss)의 백 채널로 입사되는 것을 방지할 수 있다.
- [0276] 일 예로, 적색 컬러필터(206R)와 청색 컬러필터(206B)는 다수의 컨택홀, 일 예로 제1, 제3 컨택홀에 대응하는 부분을 제외한 기판(210) 전면에 적층될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 기판(210) 전면에 적층된 후에 다수의 컨택홀, 일 예로 제1, 제3 컨택홀을 통해 패터닝될 수도 있다.
- [0277] 이후, 도 6h를 참조하면, 컬러필터층 위에 평탄화막(215e)이 형성될 수 있다.
- [0278] 평탄화막(215e)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0279] 그리고, 평탄화막(215e)과 충간 절연막(215d)의 일부 영역이 제거되어 제1 소스 전극(222a) 및 제2 소스 전극(222b)의 일부를 노출시키는 제1 컨택홀(240a) 및 제3 컨택홀(240c)이 형성될 수 있다.
- [0280] 이후, 도 6i를 참조하면, 평탄화막(215e) 위에 제1 연결전극(250a')과 제2 연결전극(250b')이 형성될 수 있다. 제1 연결전극(250a')은 제1 컨택홀(240a)을 통해 제1 소스 전극(222a)에 전기적으로 접속될 수 있다. 제2 연결전극(250b')은 제3 컨택홀(240c)을 통해 제2 소스 전극(222b)에 전기적으로 접속될 수 있다.
- [0281] 개구영역의 평탄화막(215e) 위에 발광소자가 형성될 수 있다.
- [0282] 일 예로, 유기 발광소자로서 발광소자는 평탄화막(215e) 위에 형성되어 구동 박막 트랜지스터의 제4 드레인전극과 전기적으로 연결된 애노드, 애노드 위에 배치된 유기 발광층 및 유기 발광층 위에 형성된 캐소드를 포함하여 구성될 수 있다.
- [0283] 도시하지 않았지만, 애노드 위에 애노드의 일부를 덮도록 뱅크가 형성될 수 있다.
- [0284] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [0285] 한편, 전술한 바와 같이 레이저 등의 광원의 지시방향으로 비정질 실리콘 센서 박막 트랜지스터로의 광원이 입사되는 경로가 확보되어야 하며, 전술한 본 발명의 제1, 제2 실시예와 같은 게이트 오픈 구조 이외에 게이트 쉬프트(shift) 구조가 있는데, 이를 다음의 본 발명의 제3 실시예를 통해 상세히 설명한다.
- [0286] 도 7은 본 발명의 제3 실시예에 따른 전계발광 표시장치의 일부 단면을 예로 보여주는 도면이다.
- [0287] 도 7에 도시된 본 발명의 제3 실시예에 따른 전계발광 표시장치는 센서 박막 트랜지스터(Tss)의 제1 게이트 전극(321a)의 구조를 제외하고는, 전술한 본 발명의 제2 실시예와 실질적으로 동일한 구성으로 이루어져 있다.
- [0288] 도 7의 좌측에는 센서 스위치 박막 트랜지스터(Tsw)의 단면을 예로 보여주며, 우측에는 센서 박막 트랜지스터(Tss)의 단면을 예로 보여주고 있다. 이때, 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터는 도 7에 도시된 센서 스위치 박막 트랜지스터(Tsw)와 실질적으로 동일한 구조를 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0289] 도 7은 센서 스위치 박막 트랜지스터(Tsw)가 코플라나(coplanar) 구조를 가지며, 센서 박막 트랜지스터(Tss)가 바텀 게이트(bottom gate) 구조를 가지는 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0290] 도 7을 참조하면, 기판(310) 위에는 광차단층(326)이 배치될 수 있다.
- [0291] 일 예로, 광차단층(326)은 센서 스위치 박막 트랜지스터(Tsw)의 채널영역, 즉 제2 액티브층(324b) 하부에 배치될 수 있다. 한편, 광차단층(226)은 단순히 외광을 차단할 목적으로 사용하거나, 다른 전극이나 배선과의 연결을 도모하고, 스토리지 커패시터 등을 구성하는 전극으로 활용할 수 있다.
- [0292] 광차단층(326) 위에는 베퍼층(315a)이 배치될 수 있다.
- [0293] 제2 액티브층(324b)으로 산화물 반도체를 적용하는 경우, 베퍼층(215a)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0294] 베퍼층(315a) 위에는 제2 액티브층(324b)이 배치될 수 있다.
- [0295] 제2 액티브층(324b)은, 예를 들어 비정질 실리콘, 다결정 실리콘, 저온 폴리실리콘 및 산화물 반도체 등과 같은 반도체 물질 중 어느 하나의 반도체 물질로 이루어질 수 있다. 일 예로, 본 발명의 제3 실시예에 따른 표시장치의 경우, 센서 스위치 박막 트랜지스터(Tsw)(및 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및/또는 센싱 트랜지스터는)는 광 반응에 의한 축적된 전하를 읽어내기 용이하도록 이동도와 온-전류 특성이 좋은 산화물 반도체를 이용하여 제2 액티브층(324b)을 형성할 수 있다.
- [0296] 베퍼층(315a)과 제2 액티브층(324b) 위에는 제1 게이트 전극(321a), 제2 게이트 전극(321b) 및 센싱 스토리지 배선이 배치될 수 있다.
- [0297] 센싱 스토리지 배선은 게이트 배선 및 센싱 제어 배선과 함께 기판(310) 위에 제1 방향으로 배치될 수 있다.
- [0298] 이때, 제1 게이트 전극(321a)과 제2 게이트 전극(321b)은 센싱 스토리지 배선에서 분기되어 센싱 스토리지 배선의 일부를 구성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제1 게이트 전극(321a)은 센싱 스토리지 배선에서 분기되는 반면, 제2 게이트 전극(321b)은 게이트 배선에서 분기될 수도 있다.
- [0299] 이때, 제1 게이트 전극(321a)과 제2 게이트 전극(321b)은 제1 게이트 절연막(315b', 315b'')을 개재하여 각각 베퍼층(315a)과 제2 액티브층(324b) 위에 배치될 수 있다. 또한, 센싱 스토리지 배선과 게이트 배선 및 센싱 제어 배선 하부에도 제1 게이트 절연막이 개재될 수 있다.
- [0300] 제2 액티브층(324b)으로 산화물 반도체를 적용하는 경우, 제1 게이트 절연막(315b', 315b'')은 실리콘 산화막(SiO_x)으로 형성할 수 있다.
- [0301] 한편, 본 발명의 제3 실시예의 경우, 전술한 본 발명의 제1, 제2 실시예와 달리 제1 게이트 전극(321a)의 가장자리와 제1 드레인 전극(323a)의 가장자리 사이에 하부로부터 광이 통과될 수 있는 옵셋 영역(offset region)이 구비되는 것을 특징으로 한다.
- [0302] 이는 비정질 실리콘으로 이루어진 제1 액티브층(324a), 구체적으로 제1 액티브층(324a)의 채널영역으로 레이저 등의 광원이 입사되는 경로(도 7에 도시된 화살표 방향)가 확보되어야 하기 때문이다. 따라서, 본 발명의 제3 실시예에 따른 제1 게이트 전극(321a)은, 하부로부터 광이 통과될 수 있는 경로가 확보되도록 제1 게이트 전극(321a)이 일측 방향, 일 예로 제1 소스 전극(322a)으로 쉬프트(shift)되는 것을 특징으로 한다. 이에 따라 제1

게이트 전극(321a)의 가장자리와 제1 드레인 전극(323a)의 가장자리 사이에 하부로부터 광이 통과될 수 있는 옵셋 영역이 형성될 수 있다.

[0303] 제1 게이트 전극(321a), 제2 게이트 전극(321b), 센싱 스토리지 배선, 게이트 배선 및 센싱 제어 배선 위에는 제2 게이트 절연막(315c)이 배치될 수 있다.

[0304] 제2 액티브층(324b)으로 산화물 반도체를 적용하는 경우, 제2 게이트 절연막(315c)은 실리콘 산화막(SiO_x)으로 형성할 수 있다.

[0305] 제2 게이트 전극(321b) 상부 제2 게이트 절연막(315c) 위에는 제2 소스 전극(322b) 및 리드아웃 배선으로부터 분기되어 배치된 제2 드레인 전극(323b)이 배치될 수 있다.

[0306] 또한, 제2 게이트 절연막(315c) 위에 제1 방향과 상이한 제2 방향으로 데이터 배선 및 리드아웃 배선이 배치될 수 있다.

[0307] 제2 게이트 전극(321b), 제2 소스 전극(322b)과 제2 드레인 전극(323b) 및 제2 액티브층(324b)은 센서 스위치 박막 트랜지스터(Tsw)를 구성할 수 있다. 이 경우, 제2 소스 전극(322b)이 센서 스위치 박막 트랜지스터(Tsw)의 제2 전극이 되고, 제2 드레인 전극(323b)이 센서 스위치 박막 트랜지스터(Tsw)의 제1 전극이 될 수 있다. 또한, 제2 드레인 전극(323b)은 리드아웃 배선으로부터 분기될 수 있다.

[0308] 한편, 제1 게이트 전극(321a) 상부 제2 게이트 절연막(315c) 위에는 제1 보호층(360a)이 개재된 상태에서 제1 액티브층(324a)이 배치될 수 있다.

[0309] 전술한 바와 같이 제1 보호층(360a)은 비정질 실리콘으로 이루어진 제1 액티브층(324a)을 보호하기 위한 것으로, 실리콘 질화막(SiNx)으로 이루어질 수 있다.

[0310] 제1 보호층(360a)은 제1 액티브층(324a)과 실질적으로 동일한 형태를 가질 수 있다.

[0311] 제1 액티브층(324a)은, 예를 들어 비정질 실리콘과 같이 밴드 갭(band gap) 에너지가 1.7eV 이하인 반도체 물질로 이루어질 수 있다.

[0312] 본 발명의 제3 실시예에 따른 전계발광 표시장치의 경우, 센싱(sensing)을 위한 센서 박막 트랜지스터(Tss)는 문턱(threshold) 전압 이하에서 광 반응에 의한 오프-전류에 유리한 비정질 실리콘을 이용하여 제1 액티브층(324a)을 형성할 수 있다.

[0313] 제1 액티브층(324a) 위에는 센싱 데이터 배선에서 분기된 제1 소스 전극(322a), 제1 소스 전극(322a)으로부터 이격된 제1 드레인 전극(323a)이 배치될 수 있다.

[0314] 이때, 제1 소스 전극(322a)과 제1 드레인 전극(323a) 하부에는 n+ 비정질 실리콘으로 이루어진 오믹-콘택층(325)이 배치될 수 있다.

[0315] 오믹-콘택층(325)은, 제1 소스 전극(322a) 및 제1 드레인 전극(323a)과 실질적으로 동일한 형태로 패터닝될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0316] 제1 게이트 전극(321a), 제1 소스 전극(322a)과 제1 드레인 전극(323a) 및 제1 액티브층(324a)은 센서 박막 트랜지스터(Tss)를 구성할 수 있다. 즉, 제1 소스 전극(322a)이 센서 박막 트랜지스터(Tss)의 제1 전극이 되는 한편, 제1 드레인 전극(323a)이 센서 박막 트랜지스터(Tss)의 제2 전극이 될 수 있다.

[0317] 이때, 센서 박막 트랜지스터(Tss)는, 적색 광원에 반응하는 적색 센서 박막 트랜지스터 또는 녹색 광원에 반응하는 녹색 센서 박막 트랜지스터를 구성할 수 있다.

[0318] 제1 소스 전극(322a)과 제1 드레인 전극(323a) 및 제2 소스 전극(322b)과 제2 드레인 전극(323b)은 동일한 층에 동일한 도전물질로 구성될 수 있다.

[0319] 그리고, 제1 소스 전극(322a), 제1 드레인 전극(323a), 센싱 데이터 배선, 제2 소스 전극(322b), 제2 드레인 전극(323b), 데이터 배선 및 리드아웃 배선 위에는 충간 절연막(315d)이 배치될 수 있다.

[0320] 이때, 본 발명의 제3 실시예의 경우에는, 충간 절연막(315d)과 제1 소스 전극(322a) 및 제1 드레인 전극(323a) 사이에 실리콘 질화막(SiNx)으로 이루어진 제2 보호층(360b)이 구비되는 것을 특징으로 한다. 제2 보호층(360b)은 비정질 실리콘으로 이루어진 제1 액티브층(324a)을 보호하기 위한 것으로, 제1 소스 전극(322a) 및 제1 드레인 전극(323a)의 일부와, 제1 액티브층(324a)의 백 채널을 덮도록 구비될 수 있다.

- [0321] 개구 영역의 층간 절연막(315d) 위에는 적색, 녹색 및 청색 컬러필터로 이루어진 컬러필터층이 배치될 수 있다. 비개구 영역에는 컬러필터층이 배치되지 않을 수도 있고, 도 7에 도시된 바와 같이 2개 이상의 컬러필터가 적층되어 차단층으로 사용될 수도 있다. 도 7에는 차단층이 적색 컬러필터(306R)와 청색 컬러필터(306B)의 적층으로 이루어진 경우를 예로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 차단층은 유기 발광소자에서 발광된 광이 센서 박막 트랜지스터(TSS)의 백 채널로 입사되는 것을 방지할 수 있다.
- [0322] 일 예로, 적색 컬러필터(306R)와 청색 컬러필터(306B)는 다수의 컨택홀, 일 예로 제1, 제3 컨택홀(340a, 340c)에 대응하는 부분을 제외한 기판(310) 전면에 적층될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 기판(310) 전면에 적층된 후에 다수의 컨택홀, 일 예로 제1, 제3 컨택홀(340a, 340c)을 통해 패터닝될 수도 있다.
- [0323] 컬러필터층 위에는 평탄화막(315e)이 배치될 수 있다.
- [0324] 개구영역의 평탄화막(315e) 위에 발광소자가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자는 평탄화막(315e) 위에 형성되어 구동 박막 트랜지스터의 제4 드레인전극과 전기적으로 연결된 애노드, 애노드 위에 배치된 유기 발광층 및 유기 발광층 위에 형성된 캐소드를 포함하여 구성될 수 있다.
- [0325] 즉, 평탄화막(315e) 위에 제4 드레인전극과 접속하는 애노드가 배치될 수 있다.
- [0326] 일 예로, 제2 소스 전극(322b)은 평탄화막(315e)과 층간 절연막(315d)을 관통하는 제3 컨택홀(340c)을 통해 제2 연결전극(350b')에 접속될 수 있다. 또한, 제1 소스 전극(322a)은 평탄화막(315e)과 층간 절연막(315d)을 관통하는 제1 컨택홀(340a)을 통해 제1 연결전극(350a')에 접속될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0327] 도시하지 않았지만, 애노드 위에는 애노드의 일부를 덮도록 뱅크가 배치될 수 있다.
- [0328] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0329] 전술한 본 발명의 제3 실시예에 따른 게이트 쉬프트 구조는, 일반적인 암실(dark) 상태에서도 정상적인 구동이 가능하며, 광원 입사 시 누설 전류에 의한 센싱 기능이 가능하다.
- [0330] 도 8은 본 발명의 제3 실시예에 따른 비정질 실리콘 박막 트랜지스터의 게이트 전압 변화에 따른 소스 및 드레인 전류 트랜스퍼(transfer) 곡선을 예로 보여주는 그래프이다.
- [0331] 이때, 도 8은 센서 박막 트랜지스터의 제1 게이트 전극의 가장자리와 제1 드레인 전극의 가장자리 사이에 옵셋 영역(offset region)이 구비된 경우로, 채널 중에 제1 게이트 전극에 의해 가려지는 일반 영역(normal region)(N)의 길이가 $1\mu\text{m}$, $2\mu\text{m}$, $3\mu\text{m}$, $4\mu\text{m}$ 및 $5\mu\text{m}$ 에서 게이트 전압 변화에 따른 소스 및 드레인 전류 트랜스퍼 곡선을 보여주고 있다.
- [0332] 도 8을 참조하면, 센서 박막 트랜지스터의 제1 게이트 전극의 가장자리와 제1 드레인 전극의 가장자리 사이에 옵셋 영역이 구비될 경우, 채널 중에 제1 게이트 전극에 의해 가려지는 일반 영역(N)의 길이에 관계 없이 일반적인 암실 상태에서도 정상적인 구동이 가능한 것을 알 수 있다.
- [0333] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.
- [0334] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 전계발광 표시장치는, 제1 방향으로 배치되는 복수의 게이트 배선과 센싱 스토리지 배선, 상기 제1 방향과 상이한 제2 방향으로 배치되어, 상기 복수의 게이트 배선과 함께 복수의 서브-화소를 정의하는 복수의 데이터 배선, 상기 제2 방향으로 배치되는 리드아웃 배선과 센싱 데이터 배선, 하나의 서브-화소에 배치되며, 비정질 실리콘으로 구성된 제1 액티브층을 포함하는 센서 박막 트랜지스터 및 다른 하나의 서브-화소에 배치되며, 제2 액티브층을 포함하는 센서 스위치 박막 트랜지스터를 포함하며, 상기 센서 박막 트랜지스터는 바텀 게이트 구조로 구성되며, 상기 센서 스위치 박막 트랜지스터는 코플라나 구조로 구성될 수 있다.
- [0335] 본 발명의 다른 특징에 따르면, 전계발광 표시장치는, 상기 하나의 서브-화소에 배치되며, 상기 제2 방향으로 배치되는 전원 배선을 더 포함할 수 있다.
- [0336] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는, 상기 다른 하나의 서브-화소에 배치되며, 상기 제2 방향으로 배치되는 레퍼런스 배선을 더 포함할 수 있다.

- [0337] 본 발명의 또 다른 특징에 따르면, 표시장치는, 상기 하나의 서브-화소의 일측에 하나의 데이터 배선이 배치되며, 상기 하나의 서브-화소의 다른 일측에 상기 센싱 데이터 배선과 상기 전원 배선이 배치될 수 있다.
- [0338] 본 발명의 또 다른 특징에 따르면, 상기 다른 하나의 서브-화소의 일측에 상기 리드아웃 배선과 상기 레퍼런스 배선이 배치되며, 상기 다른 하나의 서브-화소의 다른 일측에 다른 하나의 데이터 배선이 배치될 수 있다.
- [0339] 본 발명의 또 다른 특징에 따르면, 표시장치는, 상기 하나의 데이터 배선과 상기 다른 하나의 데이터 배선은 인접하여 배치될 수 있다.
- [0340] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는, 상기 제1 방향으로 배치되는 센싱 제어 배선을 더 포함하며, 상기 센싱 스토리지 배선은 상기 게이트 배선과 상기 센싱 제어 배선 사이에 배치될 수 있다.
- [0341] 본 발명의 또 다른 특징에 따르면, 상기 센서 박막 트랜지스터는, 상기 센싱 스토리지 배선에 접속된 제1 게이트 전극, 상기 제1 게이트 전극 상부에 배치된 상기 제1 액티브층, 상기 센싱 데이터 배선에 접속된 제1 소스 전극 및 상기 제1 소스 전극과 대향하여 배치되는 제1 드레인 전극을 포함하여 구성될 수 있다.
- [0342] 본 발명의 또 다른 특징에 따르면, 상기 센서 스위치 박막 트랜지스터는, 제2 액티브층, 상기 제2 액티브층 상부에 배치되며, 상기 게이트 배선에 접속된 제2 게이트 전극, 상기 제1 드레인 전극에 접속된 제2 소스 전극 및 상기 제2 소스 전극에 대향하여 배치되며, 상기 리드아웃 배선에 접속된 제2 드레인 전극을 포함하여 구성될 수 있다.
- [0343] 본 발명의 또 다른 특징에 따르면, 상기 제1 게이트 전극은, 일부 영역이 제거되어 하부로부터 광이 통과될 수 있다.
- [0344] 본 발명의 또 다른 특징에 따르면, 상기 제1 게이트 전극은 복수로 분할되며, 상기 복수로 분할된 제1 게이트 전극 사이로 하부에서 상부로 광이 통과될 수 있다.
- [0345] 본 발명의 또 다른 특징에 따르면, 상기 제1 게이트 전극의 가장자리와 상기 제1 드레인 전극의 가장자리 사이에 하부로부터 광이 통과될 수 있는 옵셋 영역(offset region)이 구비될 수 있다.
- [0346] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는, 상기 제2 액티브층 하부에 배치되는 광차단층을 더 포함할 수 있다.
- [0347] 본 발명의 또 다른 특징에 따르면, 상기 제2 게이트 전극은 상기 제2 액티브층 위에 제1 게이트 절연막을 개재하여 배치되며, 상기 제1 게이트 전극과 상기 제2 게이트 전극 위에 배치되는 제2 게이트 절연막을 더 포함할 수 있다.
- [0348] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는, 상기 센서 박막 트랜지스터와 상기 센서 스위치 박막 트랜지스터 상부에 배치되는 층간 절연막을 더 포함할 수 있다.
- [0349] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는, 상기 제2 게이트 절연막과 상기 제1 액티브층 사이에 개재되며, 실리콘 질화막으로 이루어진 제1 보호층 및 상기 층간 절연막과 상기 제1 소스 전극 및 상기 제1 드레인 전극 사이에 개재되며, 실리콘 질화막으로 이루어진 제2 보호층을 더 포함할 수 있다.
- [0350] 본 발명의 또 다른 특징에 따르면, 표시장치는, 상기 제1 게이트 전극과 상기 제2 게이트 전극은 베퍼층 상부에 동일한 도전물질로 구성될 수 있다.
- [0351] 본 발명의 또 다른 특징에 따르면, 상기 제1, 제2 소스 전극과 상기 제1, 제2 드레인 전극은 상기 제2 게이트 절연막 상부에 동일한 도전물질로 구성될 수 있다.
- [0352] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는, 상기 센서 박막 트랜지스터와 상기 센서 스위치 박막 트랜지스터 상부에 구비된 유기 발광소자를 더 포함할 수 있다.
- [0353] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는, 기판 위에 배치되며, 상기 기판 하부로부터 입사되는 광을 센싱하기 위해 비정질 실리콘으로 구성된 제1 액티브층을 포함하는 센서 박막 트랜지스터, 상기 기판 위에 배치되며, 광 반응에 의해 축적된 전하를 읽어내기 위해 산화물 반도체로 구성된 제2 액티브층을 포함하는 센서 스위치 박막 트랜지스터 및 상기 센서 박막 트랜지스터와 상기 센서 스위치 박막 트랜지스터가 배치된 상기 기판 상부에 구비된 유기 발광소자를 포함하며, 상기 센서 박막 트랜지스터는, 상기 제1 액티브층 하부에 배치되는 제1 게이트 전극을 더 포함하고, 상기 제1 게이트 전극은 적어도 2개로 분할되며, 상기 적어도 2개로 분할된 제1 게이트 전극 사이로 상기 기판 하부로부터 입사되는 광이 통과

될 수 있다.

[0354] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0355] 100: 표시패널

200: 게이트 구동회로

300: 데이터 구동회로

400: 타이밍 컨트롤러

500: 터치 구동회로

GL: 게이트 배선

DL: 데이터 배선

RL: 리드아웃배선

PS: 포토 터치 센서

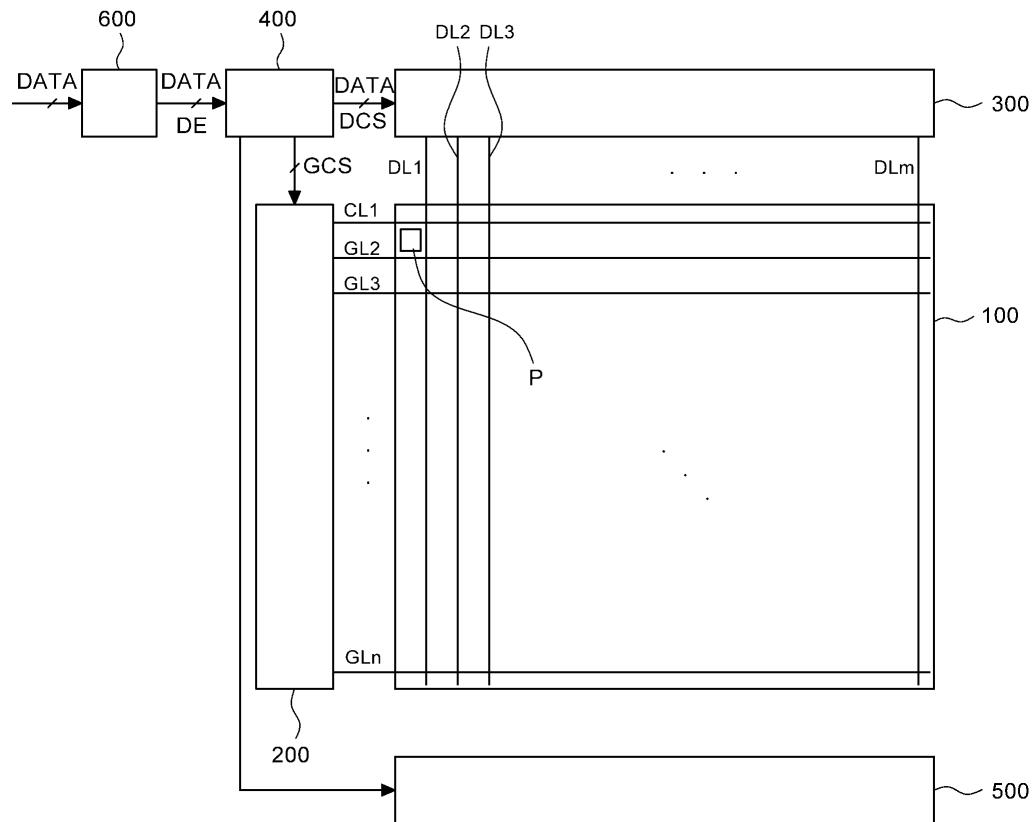
Tss: 센서 박막 트랜지스터

SCst: 센서 스토리지 커퍼시터

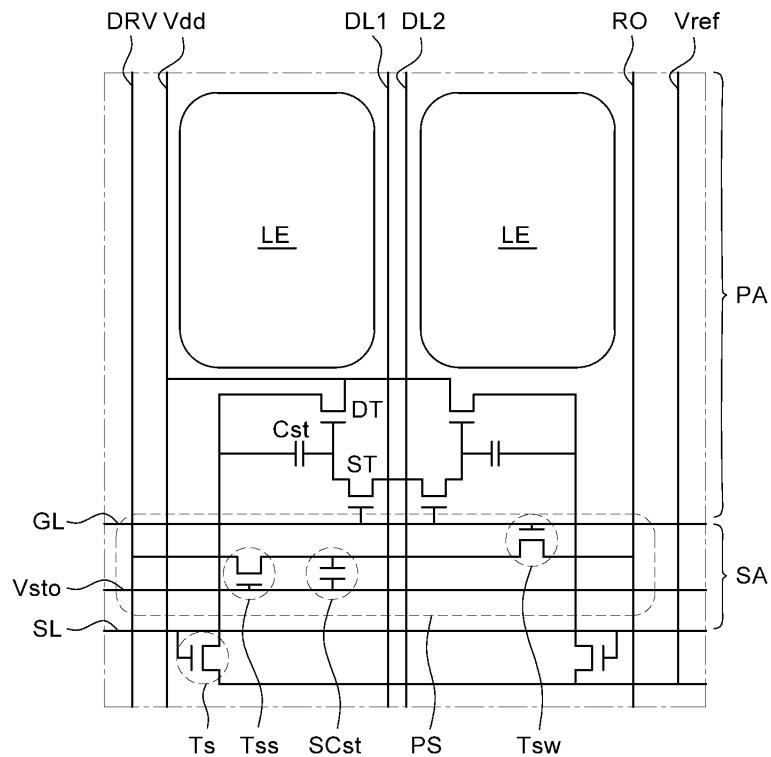
Tsw: 센서 스위치 박막 트랜지스터

Vsto: 센싱 스토리지 배선

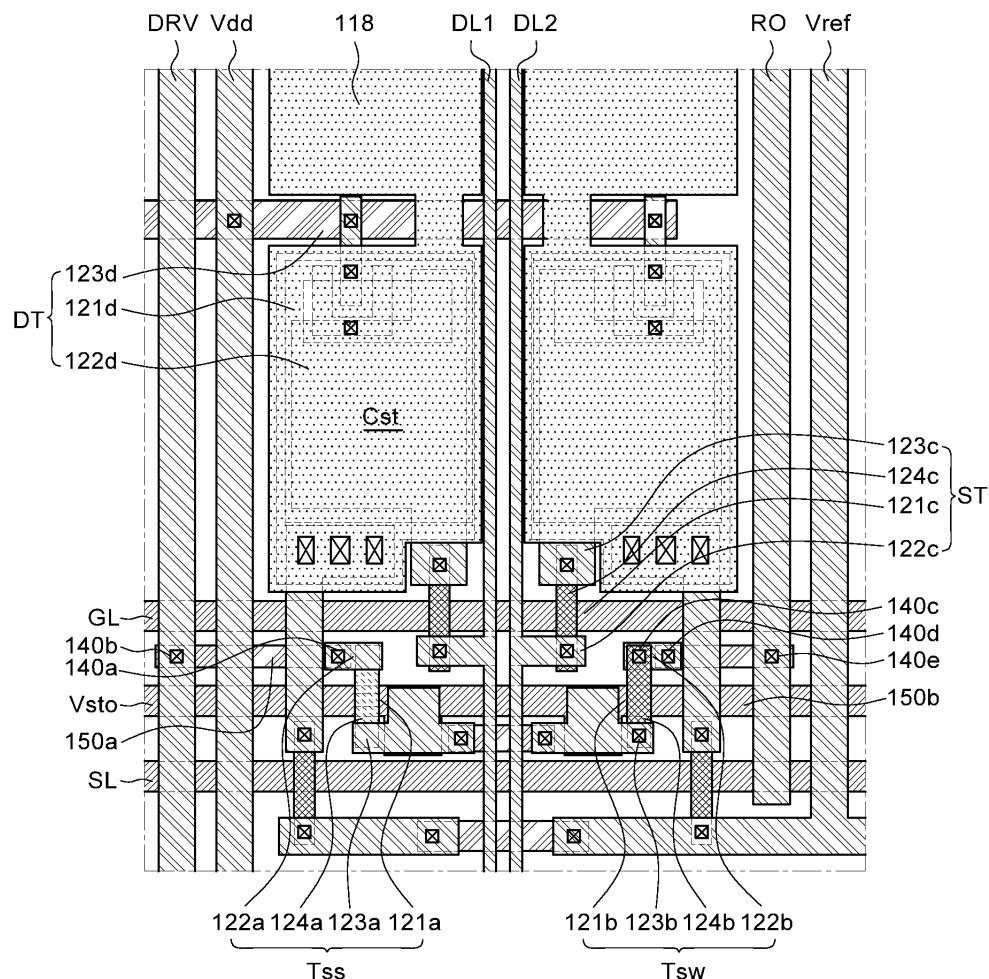
DRV: 센싱 데이터 배선

도면**도면1**

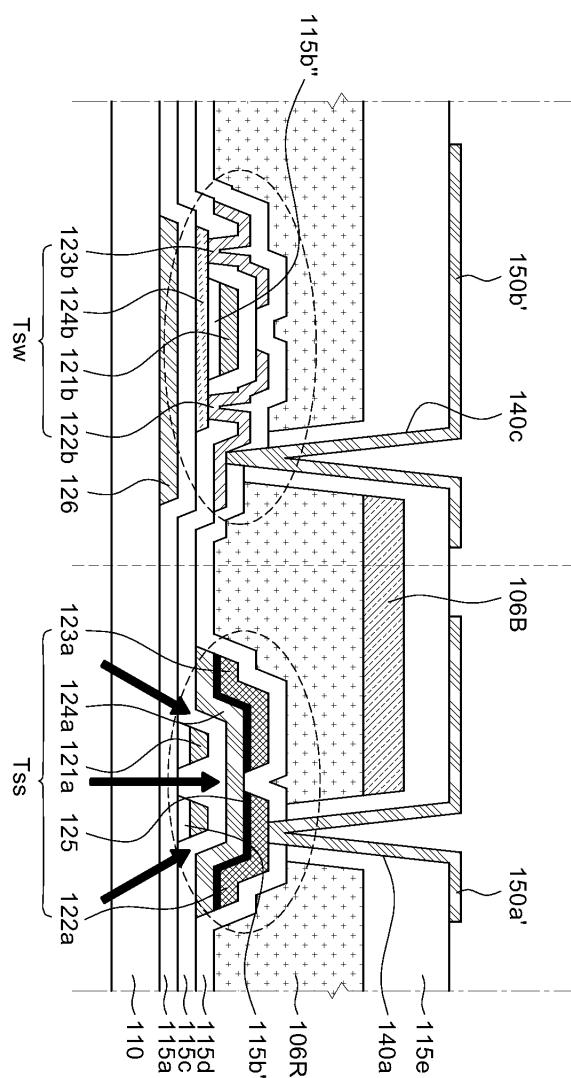
도면2



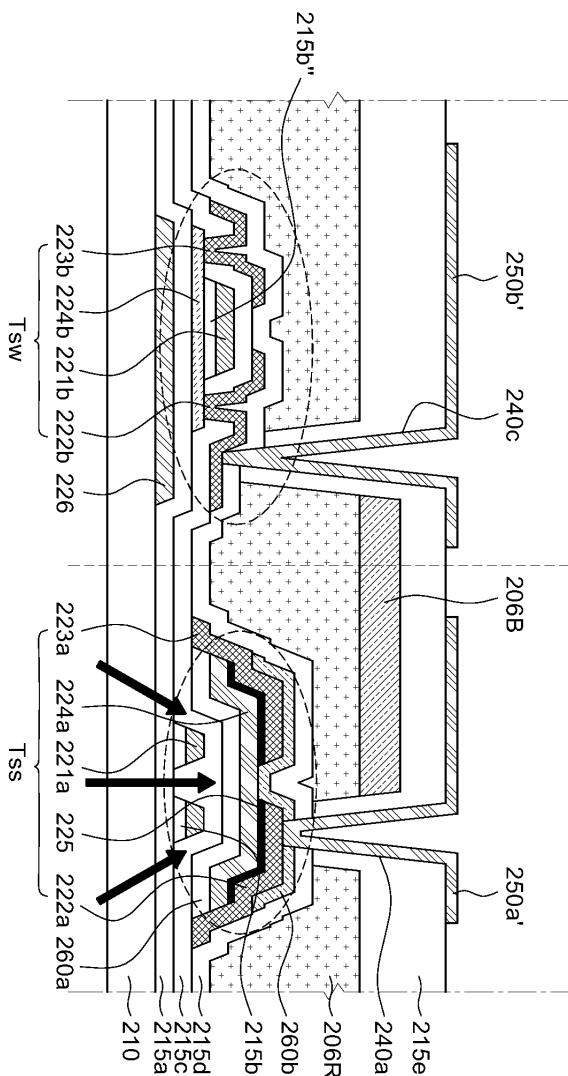
도면3



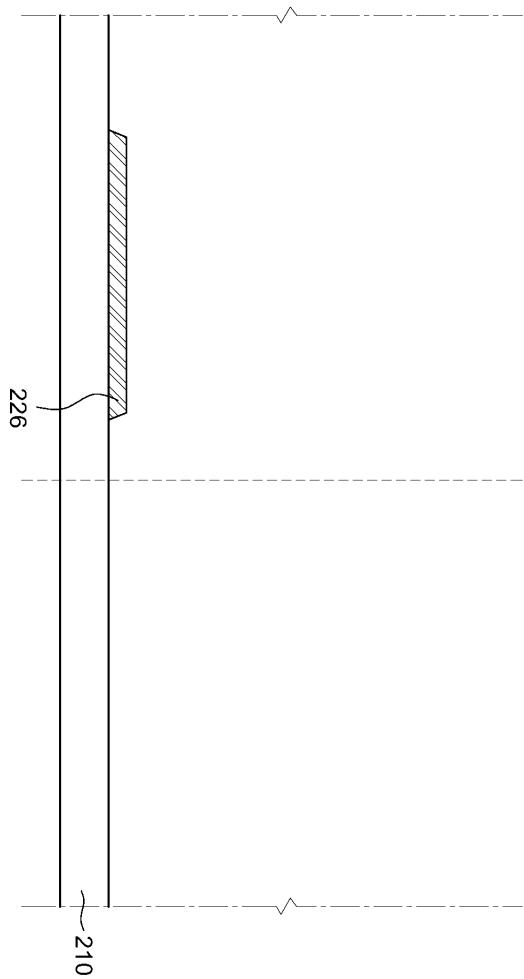
도면4



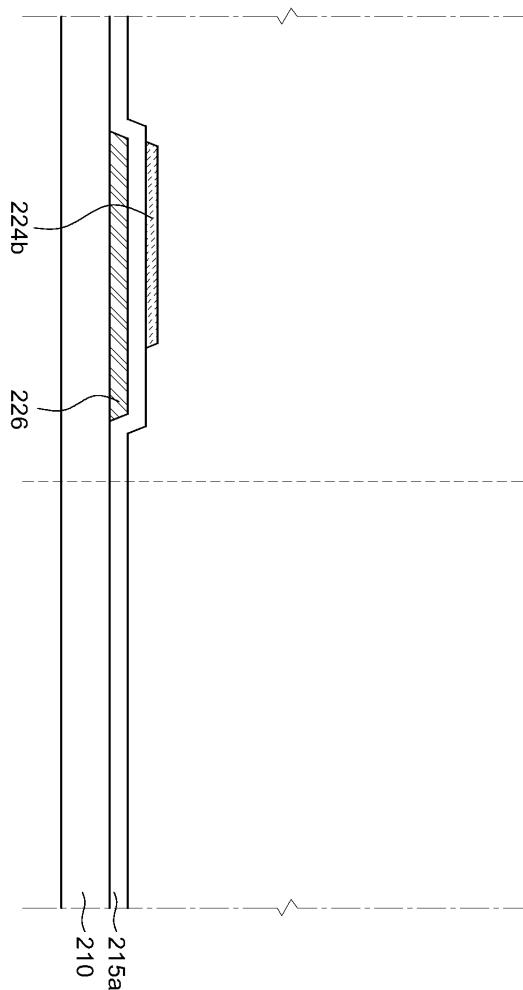
도면5



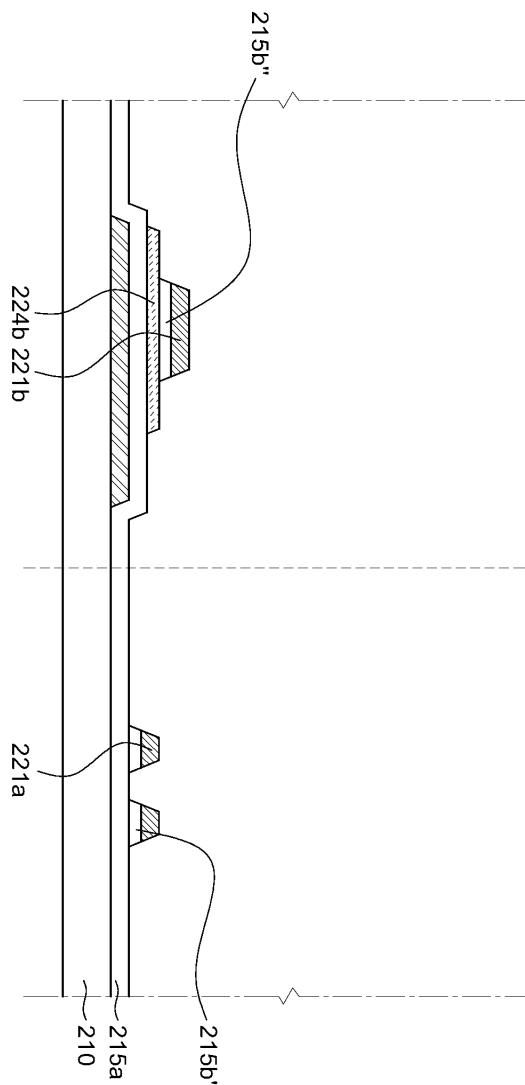
도면6a



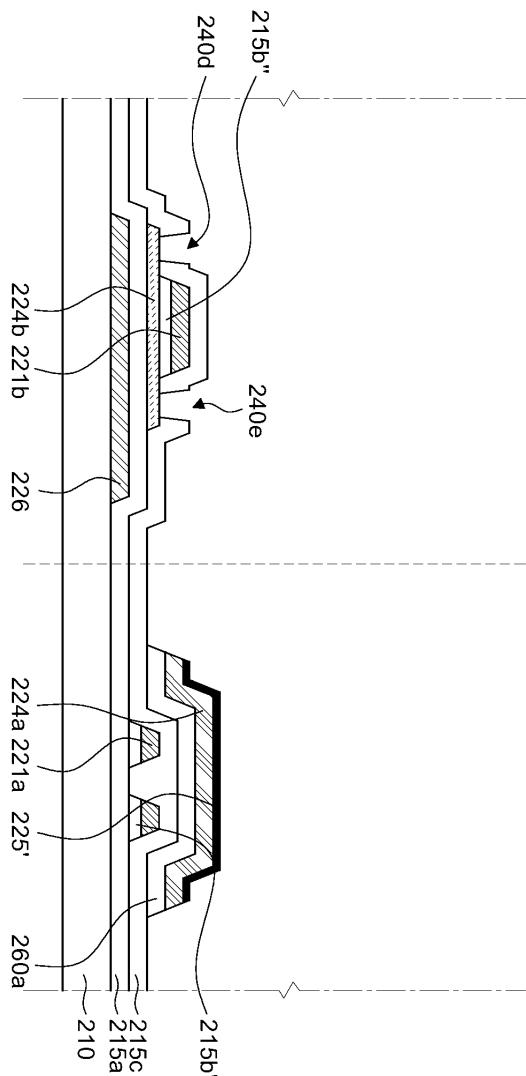
도면6b



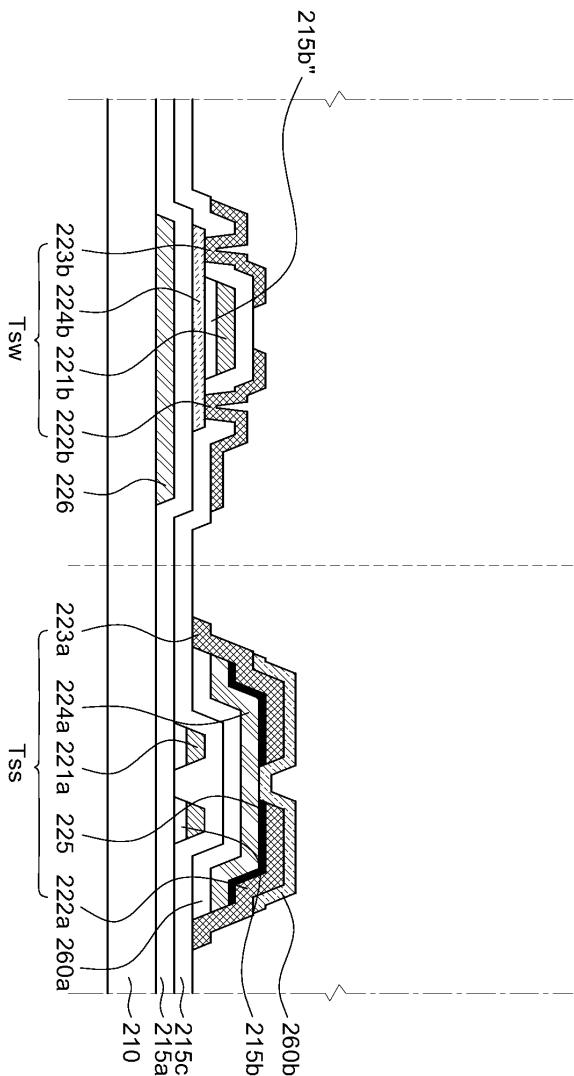
도면6c



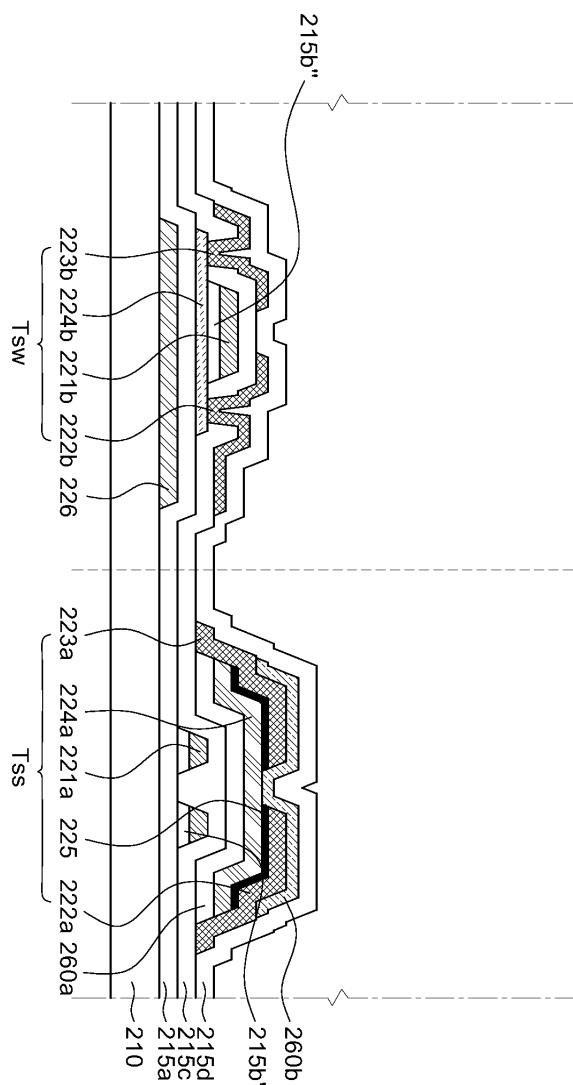
도면6d



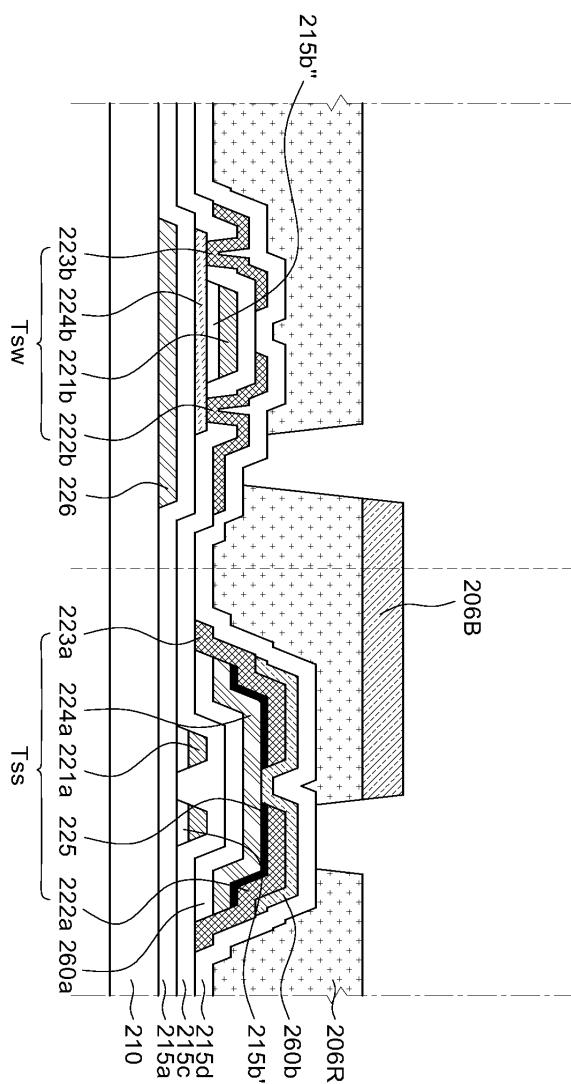
도면6e



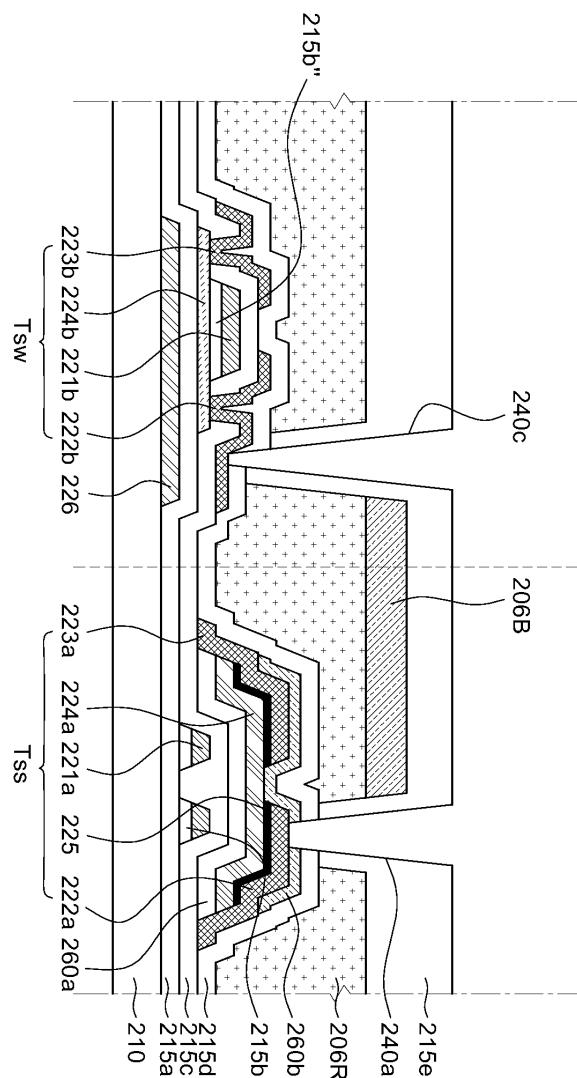
도면6f



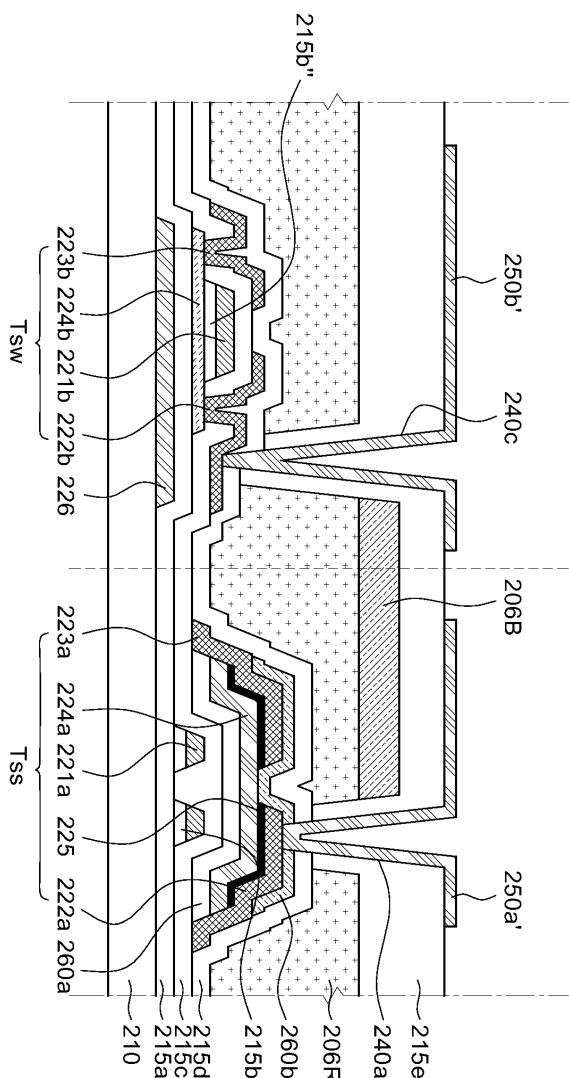
도면6g



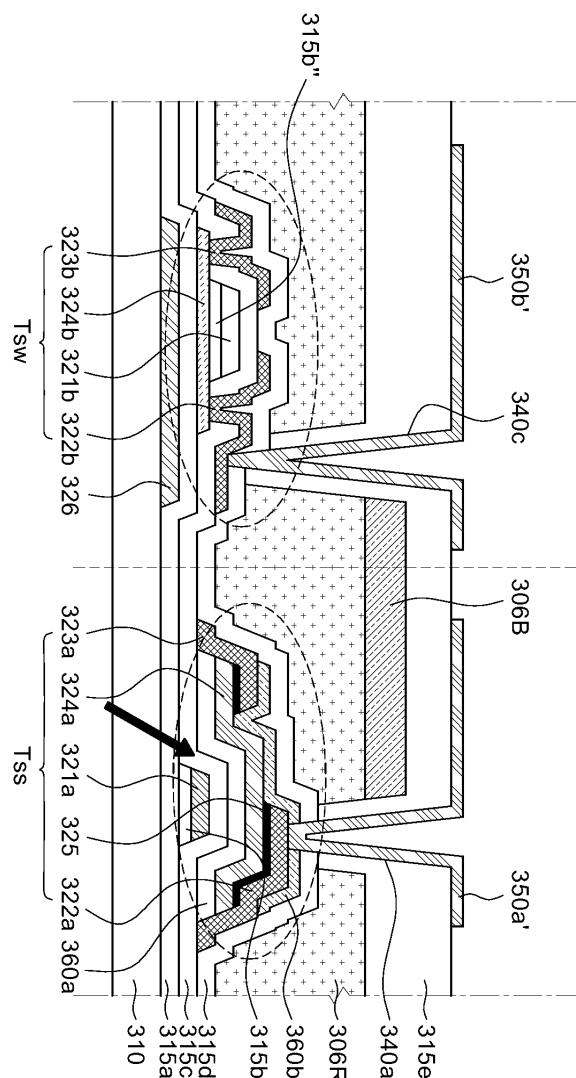
도면6h



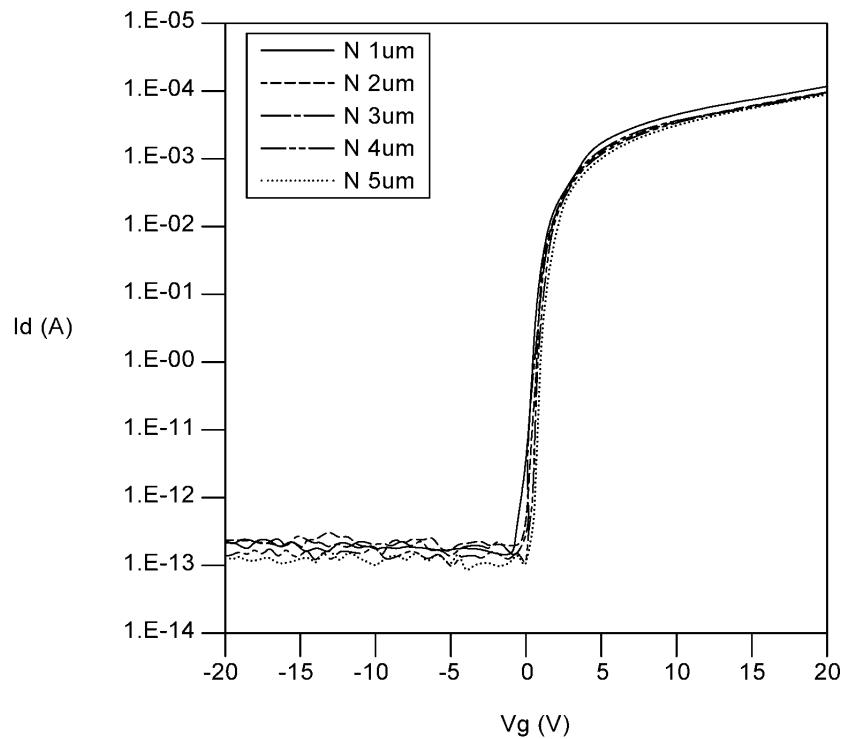
도면6i



도면7



도면8



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020200025831A	公开(公告)日	2020-03-10
申请号	KR1020180103755	申请日	2018-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이찬호 조재형		
发明人	이찬호 조재형		
IPC分类号	H01L27/32 G06F3/041 H01L51/50		
CPC分类号	H01L27/323 G06F3/041 H01L27/3213 H01L27/3262 H01L27/3265 H01L51/50		
外部链接	Espacenet		

摘要(译)

通过添加传感器薄膜晶体管,传感器开关薄膜晶体管和传感器存储电容器,将具有本发明的光电触摸传感器的电致发光显示装置应用于4T2C结构。用于感测的传感器薄膜晶体管使用非晶硅,而其他薄膜晶体管使用氧化物半导体。在这种情况下,在本发明的底部发射型电致发光显示装置中,将栅极打开结构或栅极移位结构应用于传感器薄膜晶体管。另外,本发明可以通过在栅极布线和感测控制布线之间布置感测存储布线和感测单元来提高开口率。

