



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0023566
(43) 공개일자 2020년03월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 27/32 (2006.01)
H01L 51/50 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/3244 (2013.01)
(21) 출원번호 10-2018-0098582
(22) 출원일자 2018년08월23일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김성환
경기도 용인시 기흥구 삼성로 1 (농서동)
최상무
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
김두식, 문용호, 오중환

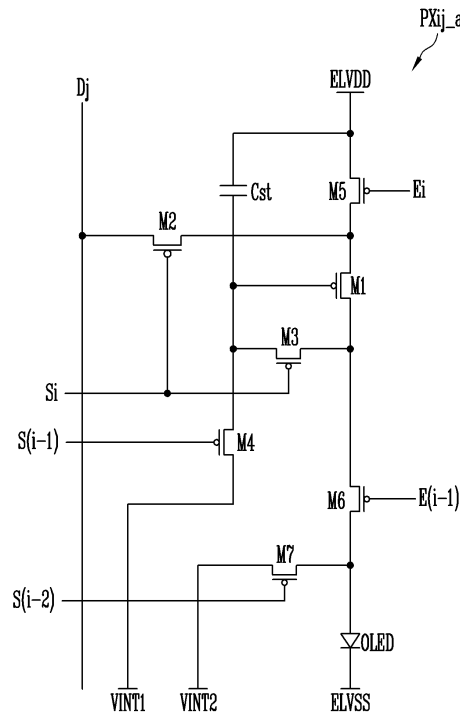
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 회로

(57) 요약

본 발명의 화소 회로는 유기 발광 다이오드; 소스 전극, 드레인 전극, 및 게이트 전극을 포함하는 제1 트랜지스터; 소스 전극이 데이터 라인과 연결되고, 드레인 전극이 상기 제1 트랜지스터의 소스 전극과 연결되고, 게이트 전극이 제1 주사 라인과 연결되는 제2 트랜지스터; 소스 전극이 상기 제1 트랜지스터의 드레인 전극과 연결되고,
(뒷면에 계속)

대표도 - 도5



드레인 전극이 상기 제1 트랜지스터의 게이트 전극에 연결되고, 게이트 전극이 상기 제1 주사 라인과 연결되는 제3 트랜지스터; 소스 전극이 상기 제1 트랜지스터의 게이트 전극과 연결되고, 드레인 전극이 제1 초기화 전압 라인에 연결되고, 게이트 전극이 제2 주사 라인에 연결되는 제4 트랜지스터; 소스 전극이 제1 전원 전압 라인에 연결되고, 드레인 전극이 상기 제1 트랜지스터의 소스 전극에 연결되고, 게이트 전극이 제1 발광 라인에 연결되는 제5 트랜지스터; 소스 전극이 상기 제1 트랜지스터의 드레인 전극에 연결되고, 드레인 전극이 상기 유기 발광 다이오드의 애노드 전극에 연결되고, 게이트 전극이 제2 발광 라인에 연결되는 제6 트랜지스터; 및 일전극이 상기 제1 트랜지스터의 게이트 전극에 연결되고, 타전극이 상기 제1 전원 전압 라인에 연결되는 스토리지 커패시터를 포함하고, 상기 제1 발광 라인과 상기 제2 발광 라인은 서로 다른 노드에 위치한다.

(52) CPC특허분류

H01L 51/50 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/021 (2013.01)

(72) 발명자

김대현

경기도 용인시 기흥구 삼성로 1 (농서동)

오수희

경기도 용인시 기흥구 삼성로 1 (농서동)

이동선

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

유기 발광 다이오드;

소스 전극, 드레인 전극, 및 게이트 전극을 포함하는 제1 트랜지스터;

소스 전극이 데이터 라인과 연결되고, 드레인 전극이 상기 제1 트랜지스터의 소스 전극과 연결되고, 게이트 전극이 제1 주사 라인과 연결되는 제2 트랜지스터;

소스 전극이 상기 제1 트랜지스터의 드레인 전극과 연결되고, 드레인 전극이 상기 제1 트랜지스터의 게이트 전극에 연결되고, 게이트 전극이 상기 제1 주사 라인과 연결되는 제3 트랜지스터;

소스 전극이 상기 제1 트랜지스터의 게이트 전극과 연결되고, 드레인 전극이 제1 초기화 전압 라인에 연결되고, 게이트 전극이 제2 주사 라인에 연결되는 제4 트랜지스터;

소스 전극이 제1 전원 전압 라인에 연결되고, 드레인 전극이 상기 제1 트랜지스터의 소스 전극에 연결되고, 게이트 전극이 제1 발광 라인에 연결되는 제5 트랜지스터;

소스 전극이 상기 제1 트랜지스터의 드레인 전극에 연결되고, 드레인 전극이 상기 유기 발광 다이오드의 애노드 전극에 연결되고, 게이트 전극이 제2 발광 라인에 연결되는 제6 트랜지스터; 및

일전극이 상기 제1 트랜지스터의 게이트 전극에 연결되고, 타전극이 상기 제1 전원 전압 라인에 연결되는 스토리지 커패시터를 포함하고,

상기 제1 발광 라인과 상기 제2 발광 라인은 서로 다른 노드에 위치한,

화소 회로.

청구항 2

제1 항에 있어서,

상기 제1 발광 라인에 인가되는 제1 발광 신호의 위상은 상기 제2 발광 라인에 인가되는 제2 발광 신호의 위상보다 지연된,

화소 회로.

청구항 3

제2 항에 있어서,

상기 제1 주사 라인과 상기 제2 주사 라인은 서로 다른 노드에 위치한,

화소 회로.

청구항 4

제3 항에 있어서,

상기 제1 주사 라인에 인가되는 제1 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상보다 지연된,

화소 회로.

청구항 5

제4 항에 있어서,

상기 제1 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩되는, 화소 회로.

청구항 6

제5 항에 있어서,
상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제2 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩되는, 화소 회로.

청구항 7

제6 항에 있어서,
상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호가 턴-온 레벨일 때 발생하는, 화소 회로.

청구항 8

제6 항에 있어서,
상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호의 턴-오프 레벨의 펄스의 천이 시점(transition time)과 시간적으로 중첩되는, 화소 회로.

청구항 9

제1 항에 있어서,
소스 전극이 상기 유기 발광 다이오드의 애노드 전극에 연결되고, 드레인 전극이 제2 초기화 전압 라인에 연결되고, 게이트 전극이 제3 주사 라인에 연결되는 제7 트랜지스터를 더 포함하는 화소 회로.

청구항 10

제9 항에 있어서,
상기 제3 주사 라인에 인가되는 제3 주사 신호의 턴-온 레벨의 펄스는 상기 제2 발광 라인에 인가되는 제2 발광 신호의 턴-오프 레벨의 펄스의 천이 시점과 시간적으로 중첩되는, 화소 회로.

청구항 11

제9 항에 있어서,
상기 제1 내지 제7 트랜지스터들의 소스 전극들, 드레인 전극들, 및 채널들을 커버하는 제1 게이트 절연 층을 더 포함하고,
상기 제1 내지 제7 트랜지스터들의 게이트 전극들, 상기 제1 내지 제3 주사 라인들, 상기 제1 및 제2 발광 라인들, 상기 제1 및 제2 초기화 전압 라인들, 및 상기 스토리지 커패시터의 일전극은 상기 제1 게이트 절연 층 상에 위치하는, 화소 회로.

청구항 12

제11 항에 있어서,
상기 제1 게이트 절연 층, 상기 제1 내지 제7 트랜지스터들의 게이트 전극들, 상기 제1 내지 제3 주사 라인들,

상기 제1 및 제2 발광 라인들, 상기 제1 및 제2 초기화 전압 라인들, 및 상기 스토리지 커패시터의 일전극을 커버하는 제2 게이트 절연 층을 더 포함하고,

상기 스토리지 커패시터의 타전극은 상기 제2 게이트 절연 층 상에 위치하는,

화소 회로.

청구항 13

제12 항에 있어서,

상기 제2 게이트 절연 층 및 상기 스토리지 커패시터의 타전극을 커버하는 층간 절연 층; 및

상기 층간 절연 층 상에 위치하고 상기 제7 트랜지스터의 소스 전극과 연결되는 제1 콘택 전극을 더 포함하고,

상기 데이터 라인 및 상기 제1 전원 전압 라인은 상기 층간 절연 층 상에 위치하는,

화소 회로.

청구항 14

제13 항에 있어서,

상기 층간 절연 층, 상기 제1 콘택 전극, 상기 데이터 라인, 및 상기 제1 전원 전압 라인을 커버하는 비아 층을 더 포함하고,

상기 유기 발광 다이오드의 애노드 전극은 상기 비아 층 상에 위치하고, 상기 제1 콘택 전극을 통해서 상기 제7 트랜지스터의 소스 전극과 연결되는,

화소 회로.

청구항 15

제14 항에 있어서,

상기 제3 주사 라인, 상기 제2 발광 라인, 상기 제2 초기화 전압 라인, 상기 제1 주사 라인, 상기 제2 주사 라인, 상기 제1 발광 라인, 및 상기 제1 초기화 전압 라인이 동일 평면 상에서 제1 방향으로 순차적으로 위치하는,

화소 회로.

청구항 16

제15 항에 있어서,

상기 제2 초기화 전압 라인은 상기 제6 트랜지스터의 소스 전극과 상기 제1 트랜지스터의 드레인 전극이 접하는 지점과 수직적으로 중첩되는,

화소 회로.

청구항 17

제16 항에 있어서,

상기 제2 초기화 전압 라인은 상기 제6 트랜지스터의 소스 전극과 상기 제3 트랜지스터의 드레인 전극이 접하는 지점과 수직적으로 중첩되는,

화소 회로.

청구항 18

제17 항에 있어서,

상기 제2 초기화 전압 라인은 전단 화소 회로의 제4 트랜지스터의 드레인 전극과 연결되는,

화소 회로.

청구항 19

제18 항에 있어서,
 상기 제3 주사 라인은 상기 전단 화소 회로의 제4 트랜지스터의 게이트 전극과 연결되는,
 화소 회로.

청구항 20

제19 항에 있어서,
 상기 제1 초기화 전압 라인은 다음단 화소 회로의 제7 트랜지스터의 드레인 전극과 연결되는,
 화소 회로.

발명의 설명

기술 분야

[0001] 본 발명은 화소 회로에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결매체인 표시 장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display Device), 유기 발광 표시 장치(Organic Light Emitting Display Device), 플라즈마 표시 장치(Plasma Display Device) 등과 같은 표시 장치의 사용이 증가하고 있다.

[0003] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 광을 생성하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 최근에는, 유기 발광 다이오드를 구동시키는 화소 회로의 구동 트랜지스터를 미리 온-바이어스(on-bias)시킴으로써, 히스테리시스 이슈(hysteresis issue)와 스텝 에피션시 이슈(step efficiency issue)를 해결하는 방안이 고려되고 있다.

발명의 내용

해결하려는 과제

[0005] 해결하고자 하는 기술적 과제는, 구동 트랜지스터를 온-바이어스 시킴에 있어서, 의도하지 않은 발광 및 과전류 발생을 방지하고, 소비 전력을 저감할 수 있는 화소 회로를 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 한 실시예에 따른 화소 회로는, 유기 발광 다이오드; 소스 전극, 드레인 전극, 및 게이트 전극을 포함하는 제1 트랜지스터; 소스 전극이 데이터 라인과 연결되고, 드레인 전극이 상기 제1 트랜지스터의 소스 전극과 연결되고, 게이트 전극이 제1 주사 라인과 연결되는 제2 트랜지스터; 소스 전극이 상기 제1 트랜지스터의 드레인 전극과 연결되고, 드레인 전극이 상기 제1 트랜지스터의 게이트 전극에 연결되고, 게이트 전극이 상기 제1 주사 라인과 연결되는 제3 트랜지스터; 소스 전극이 상기 제1 트랜지스터의 게이트 전극과 연결되고, 드레인 전극이 제1 초기화 전압 라인에 연결되고, 게이트 전극이 제2 주사 라인과 연결되는 제4 트랜지스터; 소스 전극이 제1 전원 전압 라인에 연결되고, 드레인 전극이 상기 제1 트랜지스터의 소스 전극에 연결되고, 게이트 전극이 제1 발광 라인에 연결되는 제5 트랜지스터; 소스 전극이 상기 제1 트랜지스터의 드레인 전극에 연결되고, 드레인 전극이 상기 유기 발광 다이오드의 애노드 전극에 연결되고, 게이트 전극이 제2 발광 라인에 연결되는 제6 트랜지스터; 및 일전극이 상기 제1 트랜지스터의 게이트 전극에 연결되고, 타전극이 상기 제1 전원 전압 라인에 연결되는 스토리지 커패시터를 포함하고, 상기 제1 발광 라인과 상기 제2 발광 라인은 서로 다른 노드에 위치한다.

[0007] 상기 제1 발광 라인에 인가되는 제1 발광 신호의 위상은 상기 제2 발광 라인에 인가되는 제2 발광 신호의 위상보다 지연될 수 있다.

- [0008] 상기 제1 주사 라인과 상기 제2 주사 라인은 서로 다른 노드에 위치할 수 있다.
- [0009] 상기 제1 주사 라인에 인가되는 제1 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상보다 지연될 수 있다.
- [0010] 상기 제1 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다.
- [0011] 상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제2 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다.
- [0012] 상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호가 턴-온 레벨일 때 발생할 수 있다.
- [0013] 상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호의 턴-오프 레벨의 펄스의 천이 시점(transition time)과 시간적으로 중첩될 수 있다.
- [0014] 상기 화소 회로는, 소스 전극이 상기 유기 발광 다이오드의 애노드 전극에 연결되고, 드레인 전극이 제2 초기화 전압 라인에 연결되고, 게이트 전극이 제3 주사 라인에 연결되는 제7 트랜지스터를 더 포함할 수 있다.
- [0015] 상기 제3 주사 라인에 인가되는 제3 주사 신호의 턴-온 레벨의 펄스는 상기 제2 발광 라인에 인가되는 제2 발광 신호의 턴-오프 레벨의 펄스의 천이 시점과 시간적으로 중첩될 수 있다.
- [0016] 상기 화소 회로는, 상기 제1 내지 제7 트랜지스터들의 소스 전극들, 드레인 전극들, 및 채널들을 커버하는 제1 게이트 절연 층을 더 포함하고, 상기 제1 내지 제7 트랜지스터들의 게이트 전극들, 상기 제1 내지 제3 주사 라인들, 상기 제1 및 제2 발광 라인들, 상기 제1 및 제2 초기화 전압 라인들, 및 상기 스토리지 커패시터의 일전극은 상기 제1 게이트 절연 층 상에 위치할 수 있다.
- [0017] 상기 화소 회로는, 상기 제1 게이트 절연 층, 상기 제1 내지 제7 트랜지스터들의 게이트 전극들, 상기 제1 내지 제3 주사 라인들, 상기 제1 및 제2 발광 라인들, 상기 제1 및 제2 초기화 전압 라인들, 및 상기 스토리지 커패시터의 일전극을 커버하는 제2 게이트 절연 층을 더 포함하고, 상기 스토리지 커패시터의 타전극은 상기 제2 게이트 절연 층 상에 위치할 수 있다.
- [0018] 상기 화소 회로는, 상기 제2 게이트 절연 층 및 상기 스토리지 커패시터의 타전극을 커버하는 층간 절연 층; 및 상기 층간 절연 층 상에 위치하고 상기 제7 트랜지스터의 소스 전극과 연결되는 제1 콘택 전극을 더 포함하고, 상기 데이터 라인 및 상기 제1 전원 전압 라인은 상기 층간 절연 층 상에 위치할 수 있다.
- [0019] 상기 화소 회로는, 상기 층간 절연 층, 상기 제1 콘택 전극, 상기 데이터 라인, 및 상기 제1 전원 전압 라인을 커버하는 비아 층을 더 포함하고, 상기 유기 발광 다이오드의 애노드 전극은 상기 비아 층 상에 위치하고, 상기 제1 콘택 전극을 통해서 상기 제7 트랜지스터의 소스 전극과 연결될 수 있다.
- [0020] 상기 제3 주사 라인, 상기 제2 발광 라인, 상기 제2 초기화 전압 라인, 상기 제1 주사 라인, 상기 제2 주사 라인, 상기 제1 발광 라인, 및 상기 제1 초기화 전압 라인이 동일 평면 상에서 제1 방향으로 순차적으로 위치할 수 있다.
- [0021] 상기 제2 초기화 전압 라인은 상기 제6 트랜지스터의 소스 전극과 상기 제1 트랜지스터의 드레인 전극이 접하는 지점과 수직적으로 중첩될 수 있다.
- [0022] 상기 제2 초기화 전압 라인은 상기 제6 트랜지스터의 소스 전극과 상기 제3 트랜지스터의 드레인 전극이 접하는 지점과 수직적으로 중첩될 수 있다.
- [0023] 상기 제2 초기화 전압 라인은 전단 화소 회로의 제4 트랜지스터의 드레인 전극과 연결될 수 있다.
- [0024] 상기 제3 주사 라인은 상기 전단 화소 회로의 제4 트랜지스터의 게이트 전극과 연결될 수 있다.
- [0025] 상기 제1 초기화 전압 라인은 다음단 화소 회로의 제7 트랜지스터의 드레인 전극과 연결될 수 있다.

발명의 효과

- [0026] 본 발명에 따른 화소 회로는 구동 트랜지스터를 온-바이어스 시킴에 있어서, 의도하지 않은 발광 및 과전류 발생을 방지하고, 소비 전력을 저감할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 한 실시예에 따른 표시 장치를 설명하기 위한 도면이다.
- 도 2 내지 4는 관련 기술에 따른 화소 회로 및 그 구동 방법을 설명하기 위한 도면이다.
- 도 5는 본 발명의 한 실시예에 따른 화소 회로를 설명하기 위한 도면이다.
- 도 6은 본 발명의 한 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다.
- 도 7은 본 발명의 다른 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다.
- 도 8 내지 10은 본 발명의 한 실시예에 따른 화소 회로의 예시적인 레이아웃을 설명하기 위한 도면이다.
- 도 11은 본 발명의 다른 실시예에 따른 화소 회로를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에서도 사용할 수 있다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.
- [0031] 도 1은 본 발명의 한 실시예에 따른 표시 장치를 설명하기 위한 도면이다.
- [0032] 도 1을 참조하면, 표시 장치(10)는 타이밍 제어부(11), 데이터 구동부(12), 주사 구동부(13), 발광 구동부(14), 및 화소부(15)를 포함할 수 있다.
- [0033] 타이밍 제어부(11)는 데이터 구동부(12)의 사양(specification)에 적합하도록 계조 값들 및 제어 신호들을 데이터 구동부(12)에 제공할 수 있다. 또한, 타이밍 제어부(11)는 주사 구동부(13)의 사양에 적합하도록 클럭 신호, 주사 시작 신호 등을 주사 구동부(13)에 제공할 수 있다. 또한, 타이밍 제어부(11)는 발광 구동부(14)의 사양에 적합하도록 클럭 신호, 발광 중지 신호 등을 발광 구동부(14)에 제공할 수 있다.
- [0034] 데이터 구동부(12)는 타이밍 제어부(11)로부터 수신한 계조 값들 및 제어 신호들을 이용하여 데이터 라인들(D1, D2, D3, ..., Dn)로 제공할 데이터 전압들을 생성할 수 있다. 예를 들어, 데이터 구동부(12)는 클럭 신호를 이용하여 계조 값들을 샘플링하고, 계조 값들에 대응하는 데이터 전압들을 화소행 단위로 데이터 라인들(D1~Dn)에 인가할 수 있다. n은 자연수 일 수 있다.
- [0035] 주사 구동부(13)는 타이밍 제어부(11)로부터 클럭 신호, 주사 시작 신호 등을 수신하여 주사 라인들(S1, S2, S3, ..., Sm)에 제공할 주사 신호들을 생성할 수 있다. 예를 들어, 주사 구동부(13)는 주사 라인들(S1~Sm)에 순차적으로 턴-온 레벨의 펄스를 갖는 주사 신호들을 제공할 수 있다. 예를 들어, 주사 구동부(13)는 시프트 레지스터(shift register) 형태로 구성될 수 있고, 클럭 신호의 제어에 따라 턴-온 레벨의 펄스 형태인 주사 시작 신호를 다음 스테이지 회로로 순차적으로 전달하는 방식으로 주사 신호들을 생성할 수 있다. m은 자연수 일 수 있다.
- [0036] 발광 구동부(14)는 타이밍 제어부(11)로부터 클럭 신호, 발광 중지 신호 등을 수신하여 발광 라인들(E1, E2, E3, ..., Eo)에 제공할 발광 신호들을 생성할 수 있다. 예를 들어, 발광 구동부(14)는 발광 라인들(E1~Eo)에 순차적으로 턴-오프 레벨의 펄스를 갖는 발광 신호들을 제공할 수 있다. 예를 들어, 발광 구동부(14)는 시프트 레지스터 형태로 구성될 수 있고, 클럭 신호의 제어에 따라 턴-오프 레벨의 펄스 형태인 발광 중지 신호를 다음 스테이지 회로로 순차적으로 전달하는 방식으로 발광 신호들을 생성할 수 있다. o는 자연수 일 수 있다.
- [0037] 화소부(15)는 화소 회로들을 포함한다. 각각의 화소 회로(PXij)는 대응하는 데이터 라인, 주사 라인, 및 발광 라인에 연결될 수 있다. 화소 회로(PXij)의 구성 및 구동 방법에 대해서는 도 5 이하를 참조하여 상세히 후술한

다. i 및 j 는 자연수일 수 있다. 화소 회로(PX $_{ij}$)는 스캔 트랜지스터가 i 번째 주사 라인과 연결되고, j 번째 데이터 라인과 연결된 화소 회로를 의미할 수 있다.

- [0038] 도 2 내지 4는 관련 기술에 따른 화소 회로 및 그 구동 방법을 설명하기 위한 도면이다.
- [0039] 도 2를 참조하면, 화소 회로(PX $_{ij_r}$)는 트랜지스터들(M1 $_r$ ~M7 $_r$), 스토리지 커패시터(Cst $_r$), 및 유기 발광 다이오드(OLED $_r$)를 포함한다.
- [0040] 제1 트랜지스터(M1 $_r$)는 소스 전극, 드레인 전극, 및 게이트 전극을 포함할 수 있다. 제1 트랜지스터(M1 $_r$)는 구동 트랜지스터로 명명될 수 있다.
- [0041] 제2 트랜지스터(M2 $_r$)는 소스 전극이 데이터 라인(Dj)과 연결되고, 드레인 전극이 제1 트랜지스터(M1 $_r$)의 소스 전극과 연결되고, 게이트 전극이 주사 라인(Si)과 연결될 수 있다. 제2 트랜지스터(M2 $_r$)는 스캔 트랜지스터 또는 스위칭 트랜지스터로 명명될 수 있다.
- [0042] 제3 트랜지스터(M3 $_r$)는 소스 전극이 제1 트랜지스터(M1 $_r$)의 드레인 전극과 연결되고, 드레인 전극이 제1 트랜지스터(M1 $_r$)의 게이트 전극에 연결되고, 게이트 전극이 주사 라인(Si)과 연결될 수 있다.
- [0043] 제4 트랜지스터(M4 $_r$)는 소스 전극이 제1 트랜지스터(M1 $_r$)의 게이트 전극과 연결되고, 드레인 전극이 초기화 전압 라인(VINT)에 연결되고, 게이트 전극이 전단 주사 라인(S(i-1))에 연결될 수 있다.
- [0044] 제5 트랜지스터(M5 $_r$)는 소스 전극이 제1 전원 전압 라인(ELVDD)에 연결되고, 드레인 전극이 제1 트랜지스터(M1 $_r$)의 소스 전극에 연결되고, 게이트 전극이 발광 라인(Ei)에 연결될 수 있다.
- [0045] 제6 트랜지스터(M6 $_r$)는 소스 전극이 제1 트랜지스터(M1 $_r$)의 드레인 전극에 연결되고, 드레인 전극이 유기 발광 다이오드(OLED $_r$)의 애노드 전극에 연결되고, 게이트 전극이 발광 라인(Ei)에 연결될 수 있다.
- [0046] 제7 트랜지스터(M7 $_r$)는 소스 전극이 유기 발광 다이오드(OLED $_r$)의 애노드 전극에 연결되고, 드레인 전극이 초기화 전압 라인(VINT)에 연결되고, 게이트 전극이 전단 주사 라인(S(i-1))에 연결될 수 있다.
- [0047] 스토리지 커패시터(Cst $_r$)는 일전극이 제1 트랜지스터(M1 $_r$)의 게이트 전극에 연결되고, 타전극이 제1 전원 전압 라인(ELVDD)에 연결될 수 있다.
- [0048] 유기 발광 다이오드(OLED $_r$)는 애노드 전극이 제7 트랜지스터(M7 $_r$)의 소스 전극에 연결되고, 캐소드 전극이 제2 전원 전압 라인(ELVSS)에 연결될 수 있다.
- [0049] 먼저, 도 3의 구동 방법에 의해, 화소 회로(PX $_{ij_r}$)가 구동되는 경우를 설명한다.
- [0050] 도 3을 참조하면, 발광 라인(Ei)으로 발광 신호(Eir)가 인가되고, 전단 주사 라인(S(i-1))으로 전단 주사 신호(S(i-1)r)가 인가되고, 주사 라인(Si)으로 주사 신호(Sir)가 인가된다.
- [0051] 기간(t1r~t2r) 동안, 발광 신호(Eir)는 턴-온 레벨이고, 전단 주사 신호(S(i-1)r)는 턴-오프 레벨이다. 화소 회로(PX $_{ij_r}$)의 트랜지스터들(M1 $_r$ ~M7 $_r$)은 P 타입 트랜지스터들이므로, 턴-온 레벨(turn-on level)은 로우 레벨 전압(low level voltage)이고, 턴-오프 레벨(turn-off level)은 하이 레벨 전압(high level voltage)일 수 있다.
- [0052] 따라서, 트랜지스터들(M4 $_r$, M5 $_r$, M6 $_r$, M7 $_r$)이 턴-온 상태이다. 또한, 제1 트랜지스터(M1 $_r$)의 게이트 전극은 제4 트랜지스터(M4 $_r$)를 통해 초기화 전압 라인(VINT)과 연결되므로, 제1 트랜지스터(M1 $_r$) 또한 턴-온 상태이다. 예를 들어, 초기화 전압 라인(VINT)에 인가된 초기화 전압의 전압 레벨은 제2 전원 전압 라인(ELVSS)에 인가된 제2 전원 전압의 전압 레벨과 동등하거나 더 낮을 수 있다. 제1 전원 전압 라인(ELVDD)에 인가된 제1 전원 전압의 전압 레벨은 제2 전원 전압의 전압 레벨보다 높을 수 있다.
- [0053] 따라서, 제1 트랜지스터(M1 $_r$)의 소스 전극은 제5 트랜지스터(M5 $_r$)를 통해서 제1 전원 전압 라인(ELVDD)과 연결되고, 제1 트랜지스터(M1 $_r$)의 게이트 전극은 제4 트랜지스터(M4 $_r$)를 통해서 초기화 전압 라인(VINT)과 연결되므로, 높은 게이트-소스 전압이 인가된 제1 트랜지스터(M1 $_r$)는 기간(t1r~t2r) 동안 온-바이어스 상태가 된다.
- [0054] 제1 트랜지스터(M1 $_r$)가 온-바이어스 상태가 되는 경우, 이후 입력되는 현재 프레임의 데이터 전압은 온-바이어스 전압보다 항상 낮게 되므로, 이전 프레임의 데이터 전압의 크기와 무관하게 되고, 따라서 히스테리시스 이슈 및 스텝 에피션시 이슈가 해결될 수 있다.

- [0055] 참고로, 히스테리시스 이슈는 현재 프레임의 데이터 전압이 이전 프레임의 데이터 전압보다 높을 때의 트랜지스터의 게이트-소스 전압 대비(versus) 소스-드레인 전류 곡선이, 현재 프레임의 데이터 전압이 이전 프레임의 데이터 전압보다 낮을 때의 트랜지스터의 게이트-소스 전압 대비 소스-드레인 전류 곡선이 서로 다르게 되는 이슈를 의미한다. 참고로, 스텝 에피택시 이슈는 프레임 단위로 계조를 급변시키는 경우(예를 들어, 이전 프레임에서 블랙 계조인데 현재 프레임에서 화이트 계조로 변경하는 경우), 이러한 곡선의 차이로 인해 목표하는 계조가 아닌 중간 계조에 해당하는 휘도가 발휘되는 이슈를 의미한다.
- [0056] 기간($t_{2r} \sim t_{3r}$) 동안, 트랜지스터들(M_{5_r} , M_{6_r})은 턴-오프된다. 이때, 트랜지스터들(M_{4_r} , M_{7_r})은 턴-온 상태를 유지하므로, 스토리지 커패시터(C_{st_r})에 축적된 전하 및 유기 발광 다이오드(OLED_r)에 축적된 전하가 초기화 전압에 따라 초기화된다.
- [0057] 다음으로, 주사 신호(S_{ir})의 턴-온 레벨의 펄스에 의해, 트랜지스터들(M_{2_r} , M_{3_r})이 턴-온되고, 데이터 라인(Dj) 및 트랜지스터들(M_{2_r} , M_{1_r} , M_{3_r})을 통해서 데이터 전압이 스토리지 커패시터(C_{st_r})에 기입된다.
- [0058] 다음으로, 발광 신호(E_{ir})가 턴-온 레벨로 변경됨으로써, 트랜지스터들(M_{5_r} , M_{6_r})이 턴-온된다. 이에 따라, 제1 전원 전압 라인(ELVDD), 트랜지스터들(M_{5_r} , M_{1_r} , M_{6_r}), 유기 발광 다이오드(OLED_r), 및 제2 전원 전압 라인(ELVSS)을 연결하는 구동 전류 경로를 통해 구동 전류가 흐르면서 유기 발광 다이오드(OLED_r)가 발광할 수 있다. 이때, 구동 전류량은 스토리지 커패시터(C_{st_r})에 기입된 전압에 기초하여 제1 트랜지스터(M_{1_r})에 의해 결정된다.
- [0059] 하지만, 도 3의 구동 방법에는 여러가지 문제가 있다.
- [0060] 먼저, 기간($t_{1r} \sim t_{3r}$)에 발생하는 이전 주사 신호($S_{(i-1)r}$)의 펄스를 발광 신호(E_{ir})의 천이 시점(transition time)과 시간적으로 중첩시켜야 하는 문제가 있다. 천이(transition)란 신호의 논리 레벨이 바뀌는 것을 의미한다. 예를 들어, 로우 레벨에서 하이 레벨로 바뀌는 경우를 상승 천이(rising transition), 하이 레벨에서 로우 레벨로 바뀌는 경우를 하강 천이(falling transition)라고 표현할 수 있다. 실제 제품에서, 요구되는 중첩 시간은 약 1us 수준이기에 정확히 중첩시키는 것이 어려울 수 있다.
- [0061] 또한, 기간($t_{1r} \sim t_{2r}$)은 유기 발광 다이오드(OLED_r)가 발광하는 기간이므로, 유기 발광 다이오드(OLED_r)가 의도하지 않은 휘도 레벨로 발광할 수 있다. 이를 최대한 억제하기 위해, 제7 트랜지스터(M_{7_r})를 턴-온시켜 구동 전류가 흐르는 경로를 변경시킬 수 있다. 하지만 이러한 경우, 제1 트랜지스터(M_{1_r})의 게이트 전극에 초기화 전압이 인가된 상태이므로 제1 전원 전압 라인(ELVDD)으로부터 초기화 전압 라인(VINT)으로 과전류가 흐르게 되어, 배선이 타버릴 수 있으며, 과소비 전력 문제가 발생할 수 있다.
- [0062] 또한, 블랙 계조를 표현하는 도중에, 제1 트랜지스터(M_{1_r})의 게이트 전극에 초기화 전압이 인가되면, 순간적으로 유기 발광 다이오드(OLED_r)에 전류가 흘러 블랙 계조를 유지할 수 없는 문제가 발생할 수 있다.
- [0063] 다음으로, 도 4의 구동 방법에 의해, 화소 회로(PX_{ij_r})가 구동되는 경우를 설명한다.
- [0064] 도 4를 참조하면, 발광 라인(E_i)으로 발광 신호(E_{ir}')가 인가되고, 전단 주사 라인($S_{(i-1)}$)으로 전단 주사 신호($S_{(i-1)r}'$)가 인가되고, 주사 라인(S_i)으로 주사 신호(S_{ir}')가 인가된다.
- [0065] 도 4의 구동 방법에서는, 주사 신호(S_{ir}')의 제1 펄스(P_{1r}') 및 제2 펄스(P_{2r}')에 의해 전전단 화소행 및 전단 화소행의 데이터 전압들이 제1 트랜지스터(M_{1_r})의 게이트 전극에 인가됨으로써, 제1 트랜지스터(M_{1_r})를 온-바이어스시킨다. 주사 신호(S_{ir}')의 제3 펄스(P_{3r}')에서 현재단 화소행의 데이터 전압이 기입되고, 이후 발광 신호(E_{ir}')가 턴-온 레벨이되면서, 유기 발광 다이오드(OLED_r)는 현재단 화소행의 데이터 전압으로 발광할 수 있다.
- [0066] 도 4의 구동 방법에서도, 제1 트랜지스터(M_{1_r})를 온-바이어스시킬 수 있다는 점에서, 도 3의 구동 방법과 같은 장점이 있다.
- [0067] 하지만, 도 4의 구동 방법 또한 여러가지 문제점이 있다.
- [0068] 먼저, 복수의 펄스들을 각 주사 라인들($S_1 \sim S_m$)에 인가하여야 하므로, 그에 따라 발광 신호(E_{ir}')의 턴-오프 레벨의 펄스가 길게 유지되어야 한다. 따라서, 유기 발광 다이오드(OLED_r)의 발광 시간이 감소하며, 발광 구동부(14)의 내장 회로에서 라이징/폴링 동작(rising/falling operation)의 횟수가 증가하여 소비 전력이 증가하는 문제가 있다.
- [0069] 또한, 전전단 화소행 및 전단 화소행의 데이터 전압들이 화이트 계조 전압으로 보장되는 것이 아니기 때문에,

온-바이어스 전압이 매 프레임마다 달라질 수 있어, 온-바이어스에 의한 효과를 보장할 수 없는 문제가 있다.

- [0070] 도 5는 본 발명의 한 실시예에 따른 화소 회로를 설명하기 위한 도면이다.
- [0071] 도 5를 참조하면, 화소 회로(PXij_a)는 트랜지스터들(M1~M7), 스토리지 커패시터(Cst), 및 유기 발광 다이오드(OLED)를 포함한다.
- [0072] 제1 트랜지스터(M1)는 소스 전극, 드레인 전극, 및 게이트 전극을 포함할 수 있다. 제1 트랜지스터(M1)는 구동 트랜지스터로 명명될 수 있다.
- [0073] 제2 트랜지스터(M2)는 소스 전극이 데이터 라인(Dj)과 연결되고, 드레인 전극이 제1 트랜지스터(M1)의 소스 전극과 연결되고, 게이트 전극이 제1 주사 라인(Si)과 연결될 수 있다. 제2 트랜지스터(M2)는 스캔 트랜지스터 또는 스위칭 트랜지스터로 명명될 수 있다.
- [0074] 제3 트랜지스터(M3)는 소스 전극이 제1 트랜지스터(M1)의 드레인 전극과 연결되고, 드레인 전극이 제1 트랜지스터(M1)의 게이트 전극에 연결되고, 게이트 전극이 제1 주사 라인(Si)과 연결될 수 있다. 실시예에 따라, 제3 트랜지스터(M3)는 누설 전류를 방지하기 위해서 직렬 연결된 복수의 서브 트랜지스터들을 포함할 수도 있다.
- [0075] 제4 트랜지스터(M4)는 소스 전극이 제1 트랜지스터(M1)의 게이트 전극과 연결되고, 드레인 전극이 제1 초기화 전압 라인(VINT1)에 연결되고, 게이트 전극이 제2 주사 라인(S(i-1))에 연결될 수 있다. 실시예에 따라, 제4 트랜지스터(M4)는 누설 전류를 방지하기 위해서 직렬 연결된 복수의 서브 트랜지스터들을 포함할 수도 있다.
- [0076] 제5 트랜지스터(M5)는 소스 전극이 제1 전원 전압 라인(ELVDD)에 연결되고, 드레인 전극이 제1 트랜지스터(M1)의 소스 전극에 연결되고, 게이트 전극이 제1 발광 라인(Ei)에 연결될 수 있다.
- [0077] 제6 트랜지스터(M6)는 소스 전극이 제1 트랜지스터(M1)의 드레인 전극에 연결되고, 드레인 전극이 유기 발광 다이오드(OLED)의 애노드 전극에 연결되고, 게이트 전극이 제2 발광 라인(E(i-1))에 연결될 수 있다.
- [0078] 제7 트랜지스터(M7)는 소스 전극이 유기 발광 다이오드(OLED)의 애노드 전극에 연결되고, 드레인 전극이 제2 초기화 전압 라인(VINT2)에 연결되고, 게이트 전극이 제3 주사 라인(S(i-2))에 연결될 수 있다.
- [0079] 스토리지 커패시터(Cst)는 일전극이 제1 트랜지스터(M1)의 게이트 전극에 연결되고, 타전극이 제1 전원 전압 라인(ELVDD)에 연결될 수 있다.
- [0080] 유기 발광 다이오드(OLED)는 애노드 전극이 제7 트랜지스터(M7)의 소스 전극에 연결되고, 캐소드 전극이 제2 전원 전압 라인(ELVSS)에 연결될 수 있다.
- [0081] 제1 발광 라인(Ei)과 제2 발광 라인(E(i-1))은 서로 다른 노드(node)에 위치할 수 있다. 즉, 제1 발광 라인(Ei)에 인가되는 제1 발광 신호와 제2 발광 라인(E(i-1))에 인가되는 제2 발광 신호는 서로 다를 수 있다. 예를 들어, 제1 발광 라인(Ei)은 i 번째 발광 라인이고, 제2 발광 라인(E(i-1))은 (i-1) 번째 발광 라인일 수 있다. i는 자연수일 수 있다.
- [0082] 제1 주사 라인(Si)과 제2 주사 라인(S(i-1))은 서로 다른 노드에 위치할 수 있다. 즉, 제1 주사 라인(Si)에 인가되는 제1 주사 신호와 제2 주사 라인(S(i-1))에 인가되는 제2 주사 신호는 서로 다를 수 있다. 예를 들어, 제1 주사 라인(Si)은 i 번째 주사 라인이고, 제2 주사 라인(S(i-1))은 (i-1) 번째 주사 라인일 수 있다.
- [0083] 한 실시예에 따르면, 제3 주사 라인(S(i-2))은 제1 및 제2 주사 라인들(Si, S(i-1))과 다른 노드에 위치할 수 있다. 즉, 제3 주사 라인(S(i-2))에 인가되는 제3 주사 신호와 제1 및 제2 주사 신호들은 다를 수 있다. 예를 들어, 제3 주사 라인(S(i-2))은 (i-2) 번째 주사 라인일 수 있다.
- [0084] 다른 실시예에 따르면, 제3 주사 라인(S(i-2))은 제1 주사 라인(Si) 또는 제2 주사 라인(S(i-1))과 동일한 노드에 위치할 수도 있다. 예를 들어, 제3 주사 라인(S(i-2))은 제1 및 제2 주사 라인들(Si, S(i-1))과 물리적으로 다른 배선이지만, 제1 주사 라인(Si) 또는 제2 주사 라인(S(i-1))과 전기적으로 동일한 노드일 수도 있다. 이때, 제3 주사 라인(S(i-2))과 제1 주사 라인(Si) 또는 제2 주사 라인(S(i-1))을 전기적으로 연결하기 위해, 다른 층의 전극이 브릿지 전극(bridge electrode)으로 사용될 수도 있다.
- [0085] 다만, 이하에서는 설명의 편의를 위해서, 제3 주사 라인(S(i-2))은 제1 및 제2 주사 라인들(Si, S(i-1))과 다른 노드에 위치하는 경우로 설명한다.
- [0086] 제1 초기화 전압 라인(VINT1)과 제2 초기화 전압 라인(VINT2)은 물리적으로 다른 배선일 수 있다. 실시예에 따라, 제1 초기화 전압 라인(VINT1)과 제2 초기화 전압 라인(VINT2)은 서로 다른 노드에 위치하여, 제1 초기화 전

압과 제2 초기화 전압은 서로 다를 수 있다. 다른 실시예에서, 제1 초기화 전압 라인(VINT1)과 제2 초기화 전압 라인(VINT2)은 서로 동일한 노드에 위치하여, 제1 초기화 전압과 제2 초기화 전압은 서로 동일할 수 있다. 이러한 경우, 제1 초기화 전압 라인(VINT1)과 제2 초기화 전압 라인(VINT2)은 다른 층의 전극을 브릿지 전극으로 사용하여 서로 연결될 수도 있다.

- [0087] 도 6은 본 발명의 한 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다.
- [0088] 도 6을 참조하면, 제1 발광 라인(E_i)에 인가되는 제1 발광 신호(E_is), 제2 발광 라인(E_(i-1))에 인가되는 제2 발광 신호(E_(i-1)s), 제1 주사 라인(S_i)에 인가되는 제1 주사 신호(S_is), 제2 주사 라인(S_(i-1))에 인가되는 제2 주사 신호(S_(i-1)s), 제3 주사 라인(S_(i-2))에 인가되는 제3 주사 신호(S_(i-2)s)가 도시된다.
- [0089] 제1 발광 신호(E_is)의 위상은 제2 발광 신호(E_(i-1)s)의 위상보다 지연될 수 있다. 제1 주사 신호(S_is)의 위상은 제2 주사 신호(S_(i-1)s)의 위상보다 지연될 수 있다. 제2 주사 신호(S_(i-1)s)의 위상은 제3 주사 신호(S_(i-2)s)의 위상보다 지연될 수 있다.
- [0090] 제1 주사 신호(S_is)의 턴-온 레벨의 펄스는 제1 발광 신호(E_is)의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다. 제2 주사 신호(S_(i-1)s)의 턴-온 레벨의 펄스는 제2 발광 신호(E_(i-1)s)의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다. 제2 주사 신호(S_(i-1)s)의 턴-온 레벨의 펄스는 제1 발광 신호(E_is)가 턴-온 레벨일 때 발생할 수 있다. 제3 주사 신호(S_(i-2)s)의 턴-온 레벨의 펄스는 제1 및 제2 발광 신호들(E_is, E_(i-1)s)이 턴-온 레벨일 때 발생할 수 있다.
- [0091] 먼저, 제3 주사 신호(S_(i-2)s)가 턴-온 레벨일 때, 제7 트랜지스터(M7)가 턴-온된다. 이에 따라, 유기 발광 다이오드(OLED)의 애노드 전극이 제2 초기화 전압 라인(VINT2)에 연결되고, 애노드 전극에 축적된 전하가 제2 초기화 전압으로 초기화된다.
- [0092] 이때, 제1 전원 전압 라인(ELVDD), 트랜지스터들(M5, M1, M6, M7), 및 제2 초기화 전압 라인(VINT2)을 연결하는 전류 경로가 발생한다. 하지만 도 3의 경우와 비교했을 때, 제1 트랜지스터(M1)의 게이트 전극에 초기화 전압이 인가되지 않으므로, 발생한 전류 경로에 과전류가 흐르지는 않는다. 즉, 이때 제1 트랜지스터(M1)의 게이트 전극에는 해당 계조에 대응하는 데이터 전압이 인가되고 있으므로, 해당 계조에 대응하는 전류량이 흐르게 되어, 소비 전류가 증가되지는 않는 장점이 있다.
- [0093] 다음으로, 제2 발광 신호(E_(i-1)s)가 턴-오프 레벨이 되어, 제6 트랜지스터(M6)가 턴-오프된다. 또한, 제2 주사 신호(S_(i-1)s)가 턴-온 레벨이 되어, 제4 트랜지스터(M4)가 턴-온된다. 이때, 제5 트랜지스터(M5)는 턴-온 레벨의 제1 발광 신호(E_is)에 의해 턴-온 상태이다. 따라서, 제1 트랜지스터(M1)의 소스 전극은 제1 전원 전압 라인(ELVDD)에 연결되고, 제1 트랜지스터(M1)의 게이트 전극은 제1 초기화 전압 라인(VINT1)에 연결되므로, 제1 트랜지스터(M1)는 온-바이어스된다.
- [0094] 도 3의 구동 방법과 비교했을 때, 제6 트랜지스터(M6)가 턴-오프 상태이고 유기 발광 다이오드(OLED)가 발광하지 않으므로, 의도하지 않은 발광이 발생하지 않는 장점이 있다. 또한, 블랙 계조를 표현하는 경우, 블랙 계조가 이상없이 잘 표시될 수 있다.
- [0095] 도 4의 구동 방법과 비교했을 때, 제1 트랜지스터(M1)의 게이트 전극에 매 프레임마다 다를 수 있는 전전단 화소행 또는 전단 화소행의 데이터 전압들이 인가되는 것이 아니라, 항상 제1 초기화 전압이 인가되므로, 제1 트랜지스터(M1)가 안정적으로 온-바이어스될 수 있다는 장점이 있다.
- [0096] 다음으로, 제1 발광 신호(E_is)가 턴-오프 레벨이 되어, 제5 트랜지스터(M5)가 턴-오프된다. 또한, 제1 주사 신호(S_is)가 턴-온 레벨이 되어, 트랜지스터들(M2, M3)이 턴-온된다. 이에 따라, 데이터 라인(D_j) 및 트랜지스터들(M2, M1, M3)을 통해서 데이터 전압이 스토리지 커패시터(C_{st})의 일전극에 인가되고, 스토리지 커패시터(C_{st})는 데이터 전압과 제1 전원 전압의 차이를 기록한다. 이때, 기록된 데이터 전압은 제1 트랜지스터(M1)의 문턱 전압 감소분이 반영될 수 있다.
- [0097] 다음으로, 제2 및 제1 발광 신호들(E_(i-1)s, E_is)이 순차적으로 턴-온 레벨이 됨에 따라, 제6 및 제5 트랜지스터들(M6, M5)이 순차적으로 턴-온된다. 이에 따라, 제1 전원 전압 라인(ELVDD), 트랜지스터들(M5, M1, M6), 유기 발광 다이오드(OLED), 및 제2 전원 전압 라인(ELVSS)을 연결하는 구동 전류 경로가 생성된다. 구동 전류 경로를 흐르는 구동 전류량은 제1 트랜지스터(M1)의 게이트 전극에 인가되는 스토리지 커패시터(C_{st})에 저장된 전압량에 따라 결정될 수 있다.
- [0098] 도 4의 구동 방법과 비교했을 때, 주사 신호들(S_(i-2)s, S_(i-1)s, S_is)은 복수의 펄스들을 포함할 필요가 없으

므로, 발광 신호들($E(i-1)s$, Eis)의 턴-오프 레벨의 펄스들이 길게 유지될 필요가 없다. 따라서, 유기 발광 다이오드(OLED)의 발광 시간 감소 문제가 없으며, 발광 구동부(14)의 소비 전력이 증가하는 문제도 발생하지 않는 장점이 있다.

- [0099] 도 7은 본 발명의 다른 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다.
- [0100] 도 7을 참조하면, 제1 발광 라인(Ei)에 인가되는 제1 발광 신호(Eis'), 제2 발광 라인($E(i-1)$)에 인가되는 제2 발광 신호($E(i-1)s'$), 제1 주사 라인(Si)에 인가되는 제1 주사 신호(Sis'), 제2 주사 라인($S(i-1)$)에 인가되는 제2 주사 신호($S(i-1)s'$), 제3 주사 라인($S(i-2)$)에 인가되는 제3 주사 신호($S(i-2)s'$)가 도시된다.
- [0101] 제2 주사 신호($S(i-1)s'$)의 턴-온 레벨의 펄스는 제1 발광 신호(Eis')의 턴-오프 레벨의 펄스의 천이 시점과 시간적으로 중첩될 수 있다. 예를 들어, 시점($t5$)에서, 제2 주사 신호($S(i-1)s'$)의 턴-온 레벨의 펄스는 제1 발광 신호(Eis')의 상승 천이 시점과 시간적으로 중첩될 수 있다.
- [0102] 제3 주사 신호($S(i-2)s'$)의 턴-온 레벨의 펄스는 제2 발광 신호($E(i-1)s'$)의 턴-오프 레벨의 펄스의 천이 시점과 시간적으로 중첩될 수 있다. 예를 들어, 시점($t2$)에서, 제3 주사 신호($S(i-2)s'$)의 턴-온 레벨의 펄스는 제2 발광 신호($E(i-1)s'$)의 상승 천이 시점과 시간적으로 중첩될 수 있다.
- [0103] 먼저, 기간($t1-t2$) 동안, 제3 주사 신호($S(i-2)s'$), 제1 발광 신호(Eis'), 및 제2 발광 신호($E(i-1)s'$)가 턴-온 레벨이므로, 구동 전류가 제2 초기화 전압 라인(VINT2) 또는 유기 발광 다이오드(OLED)로 흐르게 된다. 각 전압의 조건에 따라 흐르는 전류는 달라질 수도 있다. 이때, 제1 트랜지스터(M1)의 게이트 전극에는 초기화 전압이 인가되는 것이 아니라, 계조에 대응하는 데이터 전압이 인가되고 있으므로, 소비 전류가 증가하지는 않는다.
- [0104] 다음으로, 기간($t2-t3$)에서, 제2 발광 신호($E(i-1)s'$)가 턴-오프 레벨이 되므로, 제6 트랜지스터(M6)가 턴-오프된다. 따라서, 유기 발광 다이오드(OLED)의 발광이 중지되고, 유기 발광 다이오드(OLED)에 축적된 전하들에 대한 초기화가 수행된다.
- [0105] 다음으로, 기간($t4-t5$) 동안, 제2 주사 신호($S(i-1)s'$)가 턴-온 레벨이 되고, 제4 트랜지스터(M4)가 턴-온된다. 이때, 제1 트랜지스터(M1)의 소스 전극은 제5 트랜지스터(M5)를 통해서 제1 전원 전압 라인(ELVDD)과 연결되고, 제1 트랜지스터(M1)의 게이트 전극은 제4 트랜지스터(M4)를 통해서 제1 초기화 전압 라인(VINT1)에 연결되므로, 제1 트랜지스터(M1)는 온-바이어스된다.
- [0106] 다음으로, 기간($t5-t6$) 동안, 제1 발광 신호(Eis')가 턴-오프 레벨이 되고, 제5 트랜지스터(M5)가 턴-오프된다. 기간($t5-t6$) 동안에, 스토리지 커패시터(Cst)에 축적된 전하에 대한 초기화가 수행된다.
- [0107] 이후 기간의 구동 방법에 대해서는 도 6에 대한 설명을 참조한다. 또한, 도 7의 실시예에 대한 효과는 도 6에 대한 설명을 참조한다.
- [0108] 도 8 내지 10은 본 발명의 한 실시예에 따른 화소 회로의 예시적인 레이아웃을 설명하기 위한 도면이다.
- [0109] 도 8은 도 5의 화소 회로($PXij_a$)에 대한 예시적인 평면도이고, 도 9는 도 8의 I-I' 선에 따른 단면도이고, 도 10은 도 8의 II-II' 선에 따른 단면도이다.
- [0110] 기판(SUB)은 경성(Rigid) 기판 또는 가요성(Flexibility) 기판일 수 있다.
- [0111] 경성 기판은 유리 기판, 석영 기판, 유리 세라믹 기판, 및 결정질 유리 기판을 포함할 수 있다.
- [0112] 가요성 기판은 고분자 유기물을 포함하는 필름 기판 및 플라스틱 기판을 포함할 수 있다. 예를 들면, 상기 가요성 기판은 폴리에테르술폰(PES, polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(PET, polyethylene terephthalate), 폴리페닐렌 설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(PAR, polyarylate), 폴리이미드(PI, polyimide), 폴리카보네이트(PC, polycarbonate), 트리아세테이트 셀룰로오스(TAC, triacetate cellulose), 및 셀룰로오스아세테이트 프로피오네이트(CAP, cellulose acetate propionate) 중 하나를 포함할 수 있다. 또한, 가요성 기판은 유리 섬유 강화플라스틱(FRP, fiber glass reinforced plastic)을 포함할 수도 있다.
- [0113] 버퍼 층(BUF)은 기판(SUB)을 커버할 수 있다. 버퍼 층(BUF)은 기판(SUB)으로부터 액티브 층(ACT)으로 불순물들이 확산되는 것을 방지할 수 있다. 버퍼 층(BUF)은 무기 절연 층일 수 있다. 예를 들어, 버퍼 층(BUF)은 질화규

소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있으며, 기판(SUB)의 재료 및 공정 조건에 따라 생략될 수도 있다.

- [0114] 액티브 층(ACT)은 버퍼 층(BUF)을 커버할 수 있다. 액티브 층(ACT)은 반도체 소재로 형성될 수 있다. 예를 들어, 액티브 층(ACT)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 구성될 수 있다. 액티브 층(ACT)에서 불순물이 도핑되지 않은 부분은 트랜지스터들(M1~M7)의 채널(CH1~CH7)을 구성하고, 액티브 층(ACT)에서 불순물이 도핑된 부분은 전극들(SE1~SE7, DE1~DE7) 또는 배선들을 구성할 수 있다. 불순물은 p 형 불순물일 수 있다. 실시예에 따라, 불순물은 p 형 불순물, n 형 불순물, 기타 금속 중 적어도 하나일 수 있다.
- [0115] 제1 게이트 절연 층(GI1)은 기판(SUB) 및 액티브 층(ACT)을 커버할 수 있다. 제1 게이트 절연 층(GI1)은 트랜지스터들(M1~M7)의 소스 전극들(SE1~SE7), 드레인 전극들(DE1~DE7), 및 채널들(CH1~CH7)을 커버할 수 있다. 제1 게이트 절연 층(GI1)은 무기 절연 층일 수 있다. 예를 들어, 제1 게이트 절연 층(GI1)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있다.
- [0116] 트랜지스터들(M1~M7)의 게이트 전극들(GE1~GE7), 제1 내지 제3 주사 라인들(Si, S(i-1), S(i-2)), 제1 및 제2 발광 라인들(Ei, E(i-1)), 제1 및 제2 초기화 전압 라인들(VINT1, VINT2), 및 스토리지 커패시터(Cst)의 일전극(LE)은 제1 게이트 절연 층(GI1) 상에 위치할 수 있다. 제1 게이트 절연 층(GI1) 상의 전극들 및 배선들은 동일한 도전성 물질로 구성될 수 있다. 예를 들어, 제1 게이트 절연 층(GI1) 상의 전극들 및 배선들은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 은(Ag), 금(Au), 구리(Cu), 또는 이들의 조합 등으로 구성될 수 있다.
- [0117] 제2 게이트 절연 층(GI2)은 제1 게이트 절연 층(GI1), 트랜지스터들(M1~M7)의 게이트 전극들(GE1~GE7), 제1 내지 제3 주사 라인들(Si, S(i-1), S(i-2)), 제1 및 제2 발광 라인들(Ei, E(i-1)), 제1 및 제2 초기화 전압 라인들(VINT1, VINT2), 및 스토리지 커패시터(Cst)의 일전극(LE)을 커버할 수 있다. 제2 게이트 절연 층(GI2)은 무기 절연 층일 수 있다. 예를 들어, 제2 게이트 절연 층(GI2)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있다.
- [0118] 스토리지 커패시터(Cst)의 타전극(UE)은 제2 게이트 절연 층(GI2) 상에 위치할 수 있다. 예를 들어, 스토리지 커패시터(Cst)의 타전극(UE)은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 은(Ag), 금(Au), 구리(Cu), 또는 이들의 조합 등으로 구성될 수 있다.
- [0119] 층간 절연 층(ILD)은 제2 게이트 절연 층(GI2) 및 스토리지 커패시터(Cst)의 타전극(UE)을 커버할 수 있다. 층간 절연 층(ILD)은 무기 절연 층일 수 있다. 예를 들어, 층간 절연 층(ILD)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있다.
- [0120] 제1 콘택 전극(CNT1)은 층간 절연 층(ILD) 상에 위치하고, 제7 트랜지스터(M7)의 소스 전극(SE7)과 연결될 수 있다. 데이터 라인(Dj) 및 제1 전원 전압 라인(ELVDD)은 층간 절연 층(ILD) 상에 위치할 수 있다. 층간 절연 층(ILD) 상의 전극들 및 배선들은 동일한 도전성 물질로 구성될 수 있다. 예를 들어, 층간 절연 층(ILD) 상의 전극들 및 배선들은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 은(Ag), 금(Au), 구리(Cu), 또는 이들의 조합 등으로 구성될 수 있다.
- [0121] 비아 층(VIA)은 층간 절연 층(ILD), 제1 콘택 전극(CNT1), 데이터 라인(Dj), 및 제1 전원 전압 라인(ELVDD)을 커버할 수 있다. 비아 층(VIA)은 유기 절연 층일 수 있다. 예를 들어, 비아 층(VIA)은 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA, polymethylmethacrylate), 폴리아크릴로니트릴(PAN, polyacrylonitrile), 폴리아미드(PA, polyamide), 폴리이미드(PI, polyimide), 폴리아릴에테르(PAE, polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 에폭시(epoxy), 벤조시클로부텐(BCB, benzocyclobutene), 실록산계 수지(siloxane based resin) 및 실란계 수지(silane based resin) 중 적어도 하나를 포함할 수 있다. 다른 실시예에서, 비아 층(VIA)은 무기 절연 층일 수도 있고, 유기 절연 층 및 무기 절연 층을 반복 적층한 다중 층 구조일 수도 있다.
- [0122] 유기 발광 다이오드(OLED)의 애노드 전극(AE)은 비아 층(VIA) 상에 위치할 수 있다. 애노드 전극(AE)은 제1 콘택 전극(CNT1)을 통해서 제7 트랜지스터(M7)의 소스 전극(SE7)과 연결될 수 있다. 예를 들어, 애노드 전극(AE)은 은(Ag) 및 ITO(Indium Tin Oxide)를 적층한 구조일 수 있다.
- [0123] 애노드 전극(AE) 상에 발광 영역을 정의하는 발광 영역 정의 층, 발광 영역 정의 층의 개구부를 커버하는 유기 발광 다이오드(OLED)의 발광 층, 발광 영역 정의 층 및 발광 층을 커버하는 캐소드 전극이 형성될 수 있다. 유기 발광 다이오드(OLED)의 발광 영역은 RGB-stripe 구조, pentile 구조 등 제품에 따라 적절히 선택될 수 있다.

므로, 본 실시예에서 도시는 생략한다.

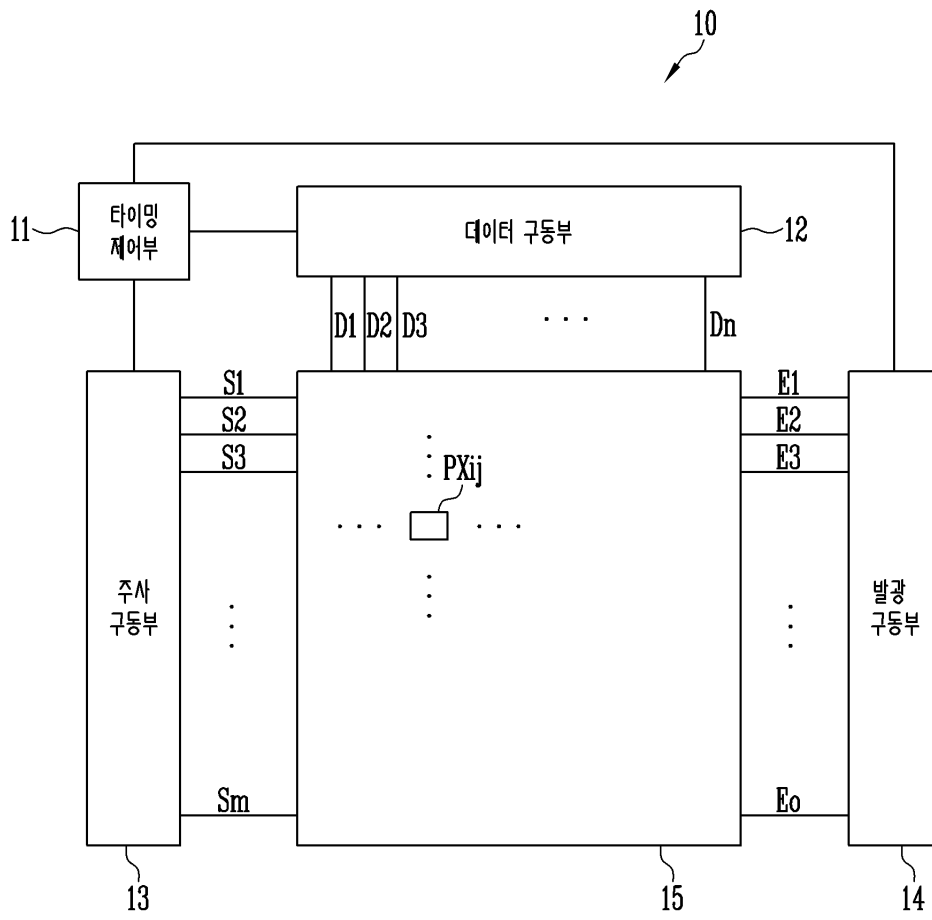
- [0124] 제3 주사 라인(S(i-2)), 제2 발광 라인(E(i-1)), 제2 초기화 전압 라인(VINT2), 제1 주사 라인(Si), 제2 주사 라인(S(i-1)), 제1 발광 라인(Ei), 및 제1 초기화 전압 라인(VINT1)이 동일 평면 상에서 제1 방향(DR1)으로 순차적으로 위치할 수 있다. 제3 주사 라인(S(i-2)), 제2 발광 라인(E(i-1)), 제2 초기화 전압 라인(VINT2), 제1 주사 라인(Si), 제2 주사 라인(S(i-1)), 제1 발광 라인(Ei), 및 제1 초기화 전압 라인(VINT1)은 대략 제2 방향(DR2)으로 연장될 수 있다.
- [0125] 제2 초기화 전압 라인(VINT2)은 제6 트랜지스터(M6)의 소스 전극(SE6)과 제1 트랜지스터(M1)의 드레인 전극(DE1)이 접하는 지점과 수직적으로 중첩될 수 있다. 달리 표현하면, 제2 초기화 전압 라인(VINT2)은 제6 트랜지스터(M6)의 소스 전극(SE6)과 제3 트랜지스터(M3)의 드레인 전극(DE3-2)이 접하는 지점과 수직적으로 중첩될 수 있다. 또한, 제2 초기화 전압 라인(VINT2)은 전단 화소의 제4 트랜지스터의 드레인 전극과 연결될 수 있다. 여기서, 전단 화소 회로란 제1 방향(DR1)의 반대 방향에 위치하는 최인접한 화소 회로를 의미한다. 또한, 제3 주사 라인(S(i-2))은 전단 화소 회로의 제4 트랜지스터의 게이트 전극과 연결될 수 있다.
- [0126] 제1 초기화 전압 라인(VINT1)은 다음단 화소 회로의 제7 트랜지스터의 드레인 전극과 연결될 수 있다. 여기서, 다음단 화소 회로란 제1 방향(DR1)에 위치하는 최인접한 화소 회로를 의미한다.
- [0127] 제3 트랜지스터(M3)는 직렬로 연결된 서브 트랜지스터들(M3-1, M3-2)을 포함할 수 있다. 서브 트랜지스터(M3-1)는 드레인 전극(DE3-1), 소스 전극(SE3-1), 게이트 전극(GE3-1), 및 채널(CH3-1)을 포함할 수 있다. 서브 트랜지스터(M3-2)는 드레인 전극(DE3-2), 소스 전극(SE3-2), 게이트 전극(GE3-2), 및 채널(CH3-2)을 포함할 수 있다.
- [0128] 제4 트랜지스터(M4)는 직렬로 연결된 서브 트랜지스터들(M4-1, M4-2)을 포함할 수 있다. 서브 트랜지스터(M4-1)는 드레인 전극(DE4-1), 소스 전극(SE4-1), 게이트 전극(GE4-1), 및 채널(CH4-1)을 포함할 수 있다. 서브 트랜지스터(M4-2)는 드레인 전극(DE4-2), 소스 전극(SE4-2), 게이트 전극(GE4-2), 및 채널(CH4-2)을 포함할 수 있다.
- [0129] 도 10의 레이아웃을 참조하면, 종래 기술에 비해 별도의 도전 층이나 절연 층을 추가할 필요 없이, 도 5의 화소 회로(PXij_a)를 구성할 수 있음을 확인할 수 있다.
- [0130] 도 11은 본 발명의 다른 실시예에 따른 화소 회로를 설명하기 위한 도면이다.
- [0131] 도 11의 화소 회로(PXij_b)는 도 5의 화소 회로(PXij_a)에 비해, 제7 트랜지스터(M7)가 생략되었다.
- [0132] 이때, 화소 회로(PXij_b)에 도 6 및 7의 구동 방법을 적용하는 경우, 트랜지스터들(M5, M6)이 턴-온되더라도, 도 5와 같이 제1 전원 전압 라인(ELVDD), 트랜지스터들(M5, M1, M6, M7), 및 제2 초기화 전압 라인(VINT2)을 연결하는 전류 경로가 발생하지 않는 점에서, 소비 전류를 저감할 수 있다.
- [0133] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

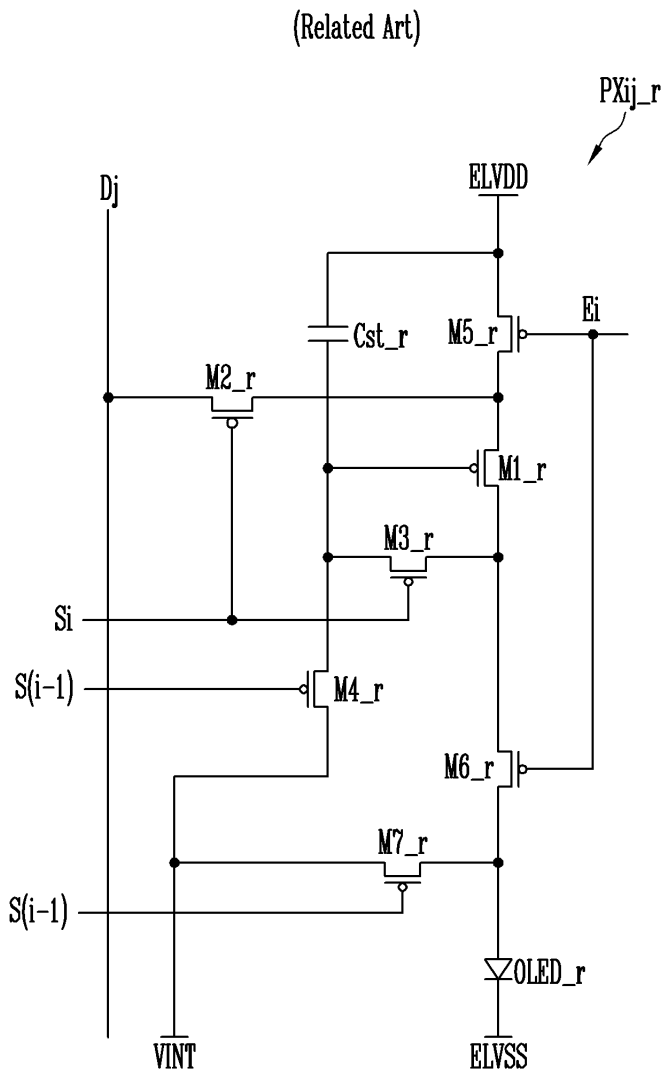
- [0134] PXij_a: 화소 회로
- M1~M7: 트랜지스터
- Cst: 스토리지 커패시터
- OLED: 유기 발광 다이오드

도면

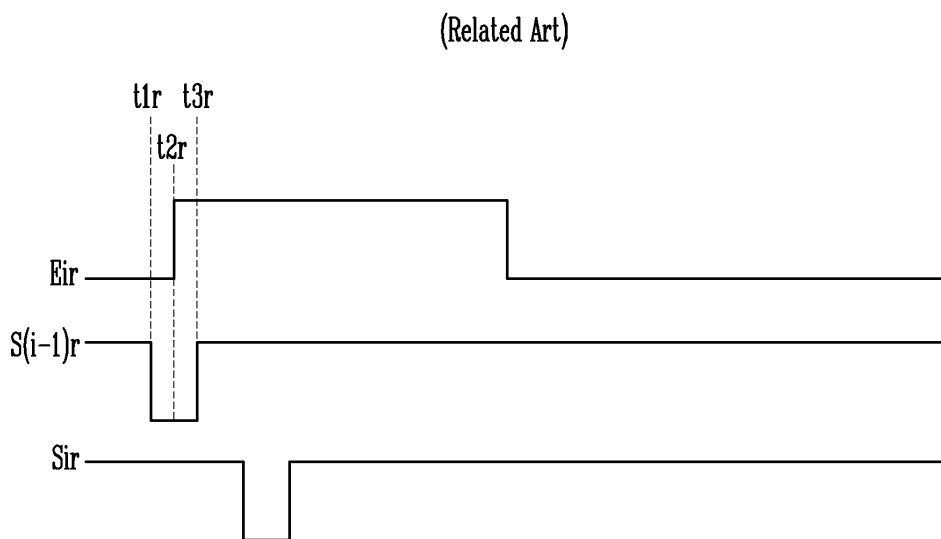
도면1



도면2

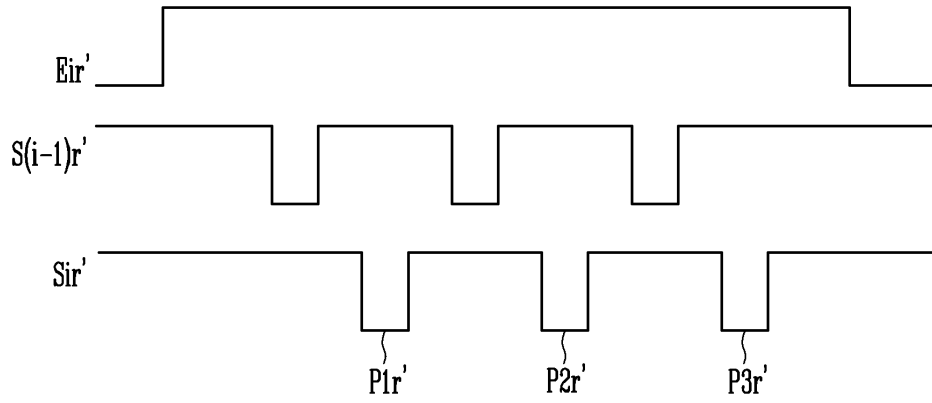


도면3

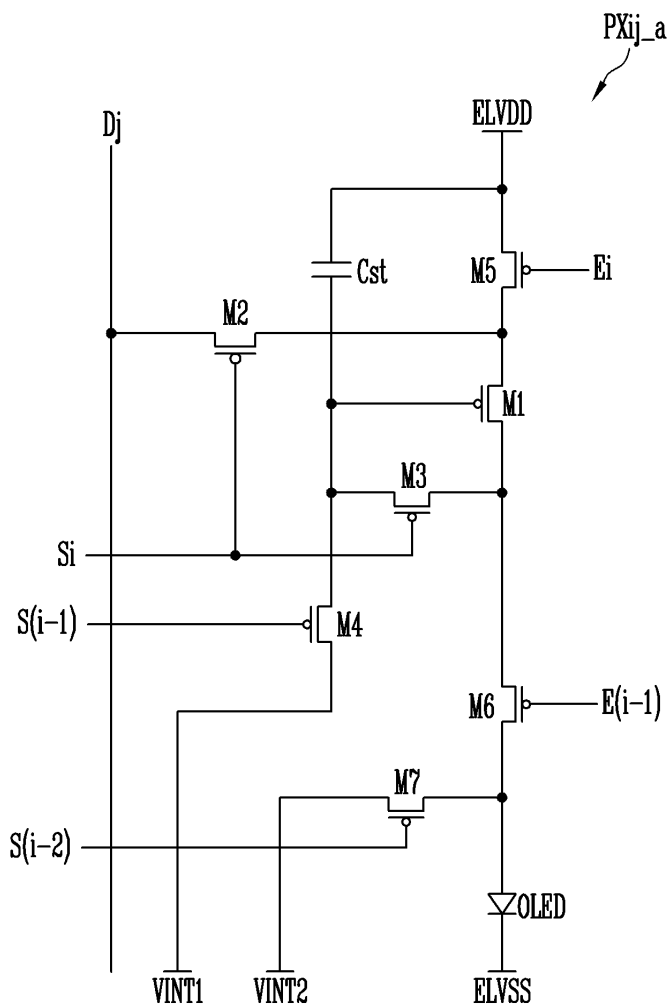


도면4

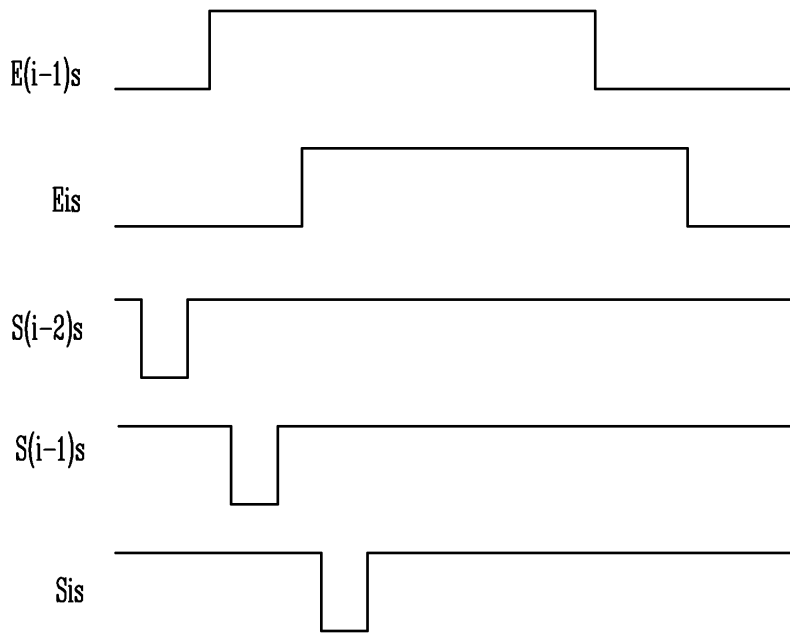
(Related Art)



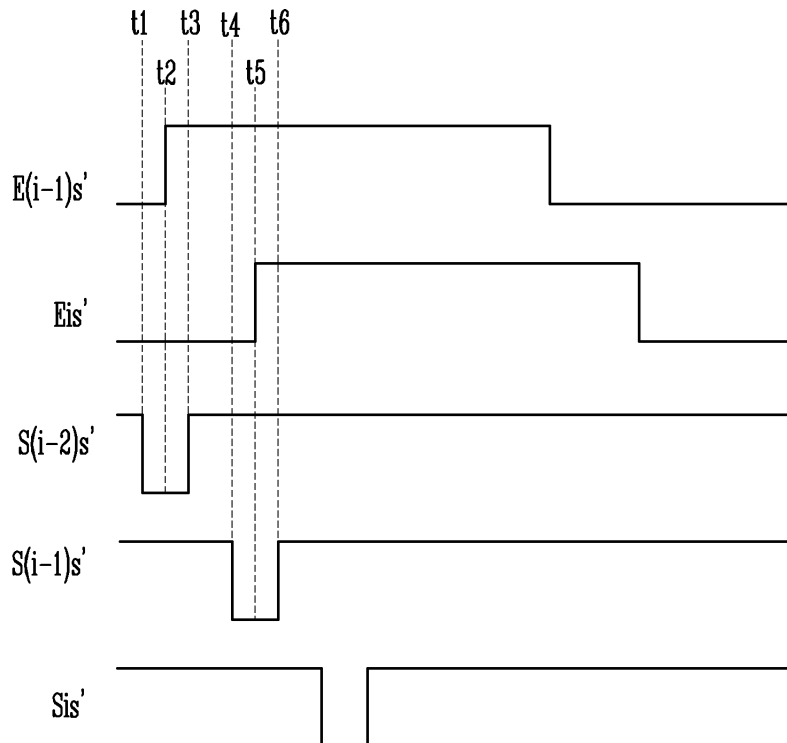
도면5



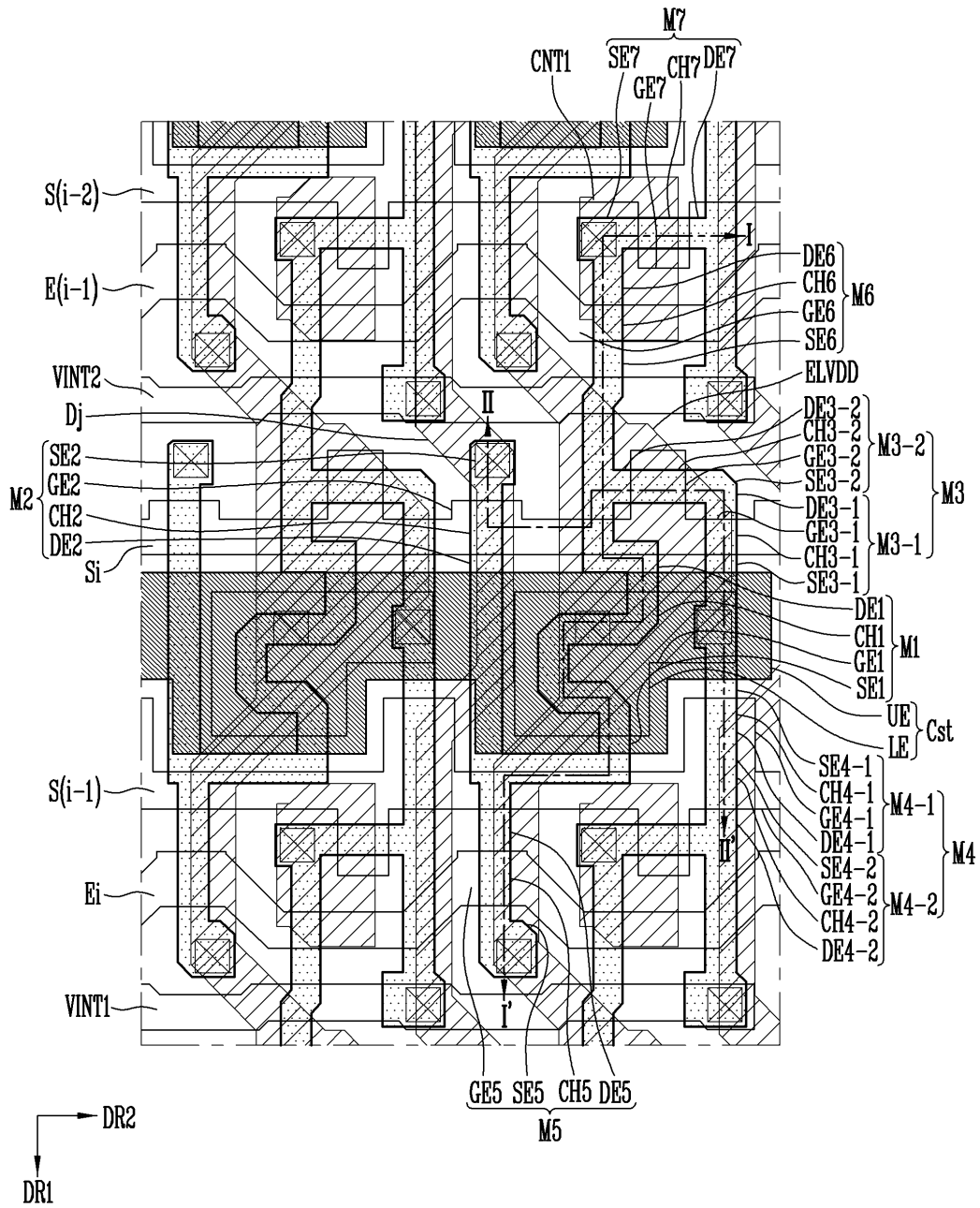
도면6



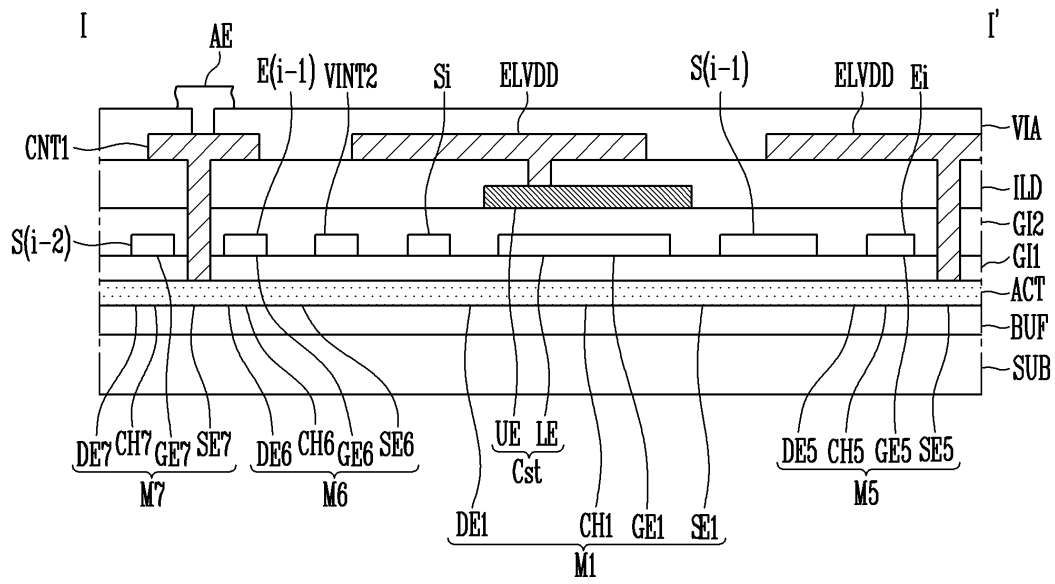
도면7



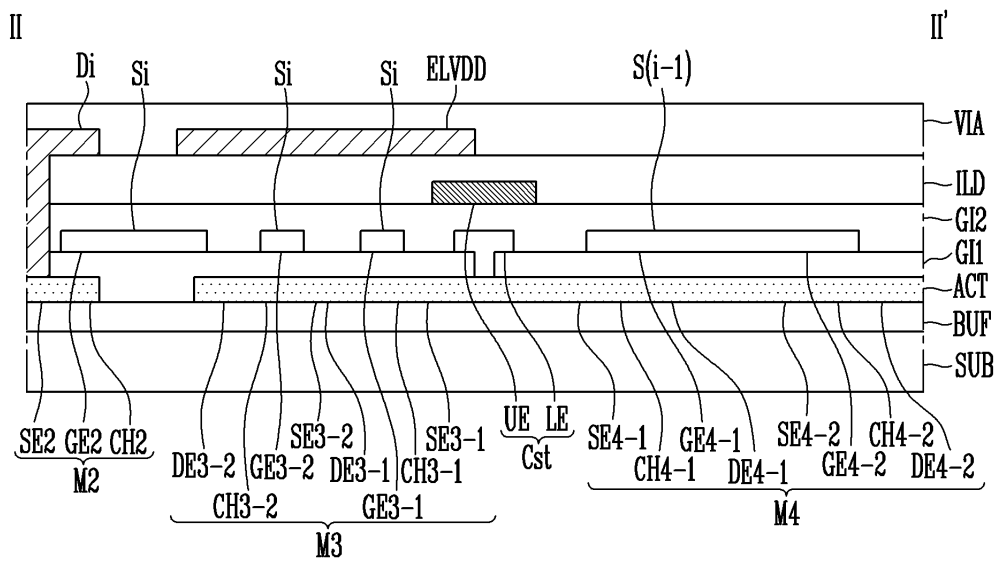
도면8



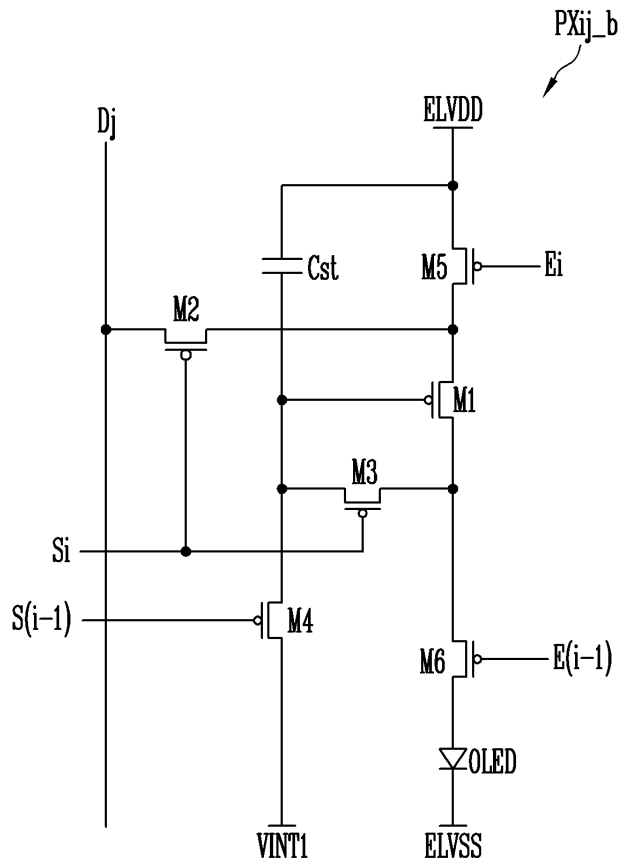
도면9



도면10



도면11



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 像素电路 | | |
| 公开(公告)号 | KR1020200023566A | 公开(公告)日 | 2020-03-05 |
| 申请号 | KR1020180098582 | 申请日 | 2018-08-23 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | 김성환 최상무 김대현 오수희 이동선 | | |
| 发明人 | 김성환 최상무 김대현 오수희 이동선 | | |
| IPC分类号 | G09G3/3233 H01L27/32 H01L51/50 | | |
| CPC分类号 | G09G3/3233 H01L27/3244 H01L51/50 G09G2310/08 G09G2330/021 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/0233 G09G2320/045 G09G3/3266 G09G2320/0214 | | |
| 代理人(译) | Gimdusik Munyongho Ohjonghan | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明的目的是提供一种能够降低功耗的像素电路。根据本发明,像素电路包括:有机发光二极管;第一晶体管,其包括源电极,漏电极和栅电极;第二晶体管,其源极连接到数据线,漏极连接到第一晶体管的源极,栅极连接到第一扫描线。第三晶体管,其源极连接到第一电极的漏极,漏极连接到第一晶体管的栅极,栅极连接到第一扫描线。第四晶体管,其源极连接到第一电极的栅极,漏极连接到第一初始化电压线,并且栅极连接到第二扫描线。第五晶体管,其源极连接到第一电源电压线,漏极连接到第一晶体管的源极,并且栅极连接到第一发光线。第六晶体管,其源极连接到第一电极的漏极,漏极连接到有机发光二极管的阳极,栅极连接到第二发光线。存储电容器,其一个电极连接到第一晶体管的栅极,而另一个电极连接到第一电源电压线。第一和第二发光线位于不同的节点上。

