



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0000513
(43) 공개일자 2020년01월03일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
G09G 3/3275 (2016.01) H01L 21/8234 (2006.01)
H01L 27/32 (2006.01)</p> <p>(52) CPC특허분류
G09G 3/3275 (2013.01)
H01L 21/823475 (2013.01)</p> <p>(21) 출원번호 10-2018-0071966</p> <p>(22) 출원일자 2018년06월22일
심사청구일자 없음</p> | <p>(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(72) 발명자
윤주원
경기도 수원시 권선구 수성로 47, 8동 102호 (구운동, 삼환아파트)</p> <p>김건희
경기도 화성시 동탄대로시범길 122, 1462동 404호 (청계동, 시범호반베르디움)
(뒷면에 계속)</p> <p>(74) 대리인
팬코리아특허법인</p> |
|---|--|

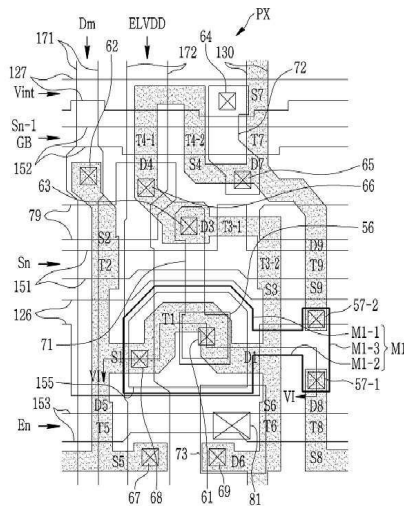
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명에 따른 유기 발광 표시 장치는 기판위에 위치하는 중첩층을 포함하며, 화소는 유기 발광 소자; 상기 스캔선 및 상기 데이터선에 연결되어 있는 제2 트랜지스터; 게이트 전극, 입력 단자와 출력 단자를 가지며, 상기 출력 단자로부터 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 및 상기 중첩층에 전압을 인가하는 전압 인가 트랜지스터를 포함하며, 상기 제2 트랜지스터의 출력은 상기 구동 트랜지스터의 입력 단자로 연결되며, 상기 중첩층은 상기 구동 트랜지스터와 평면상 중첩하며, 상기 구동 트랜지스터와 상기 기판의 사이에 위치할 수 있다.

대표도 - 도5



(52) CPC특허분류

H01L 27/3262 (2013.01)
G09G 2230/00 (2013.01)
G09G 2300/0426 (2013.01)
G09G 2300/0842 (2013.01)
G09G 2330/028 (2013.01)

(72) 발명자

박상호

경기도 화성시 동탄순환대로26길 55, 411동 1802호
(영천동, 반도유보라2차)

이승찬

경기도 화성시 동탄숲속로 66, 871동 1004호 (능동)

전주희

경기도 화성시 동탄대로12길 17, 1807동 702호 (오산동, 반도유보라 아이비파크 3)

명세서

청구범위

청구항 1

기관;

상기 기관위에 위치하는 중첩층;

상기 기관 및 상기 중첩층 위에 위치하는 화소; 및

상기 화소에 연결되어 있는 스캔선, 데이터선, 구동 전압선, 초기화 전압선을 포함하며,

상기 화소는

유기 발광 소자;

상기 스캔선 및 상기 데이터선에 연결되어 있는 제2 트랜지스터;

게이트 전극, 입력 단자와 출력 단자를 가지며, 상기 출력 단자로부터 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 및

상기 중첩층에 전압을 인가하는 전압 인가 트랜지스터를 포함하며,

상기 제2 트랜지스터의 출력은 상기 구동 트랜지스터의 입력 단자로 연결되며,

상기 중첩층은 상기 구동 트랜지스터와 평면상 중첩하며, 상기 구동 트랜지스터와 상기 기관의 사이에 위치하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 전압 인가 트랜지스터는 제8 트랜지스터이며,

상기 제8 트랜지스터는 상기 중첩층에 구동 전압을 인가하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 전압 인가 트랜지스터는 제9 트랜지스터를 더 포함하며,

상기 제9 트랜지스터는 상기 중첩층에 초기화 전압을 인가하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 제8 트랜지스터는 발광 구간 동안 턴 온되어 상기 중첩층에 상기 구동 전압을 인가하며,

상기 제9 트랜지스터는 기입 구간 동안 턴 온되어 상기 중첩층에 상기 초기화 전압을 인가하는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 전압 인가 트랜지스터는 제9 트랜지스터이며,

상기 제9 트랜지스터는 상기 중첩층에 초기화 전압을 인가하는 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 증첩층은 발광 구간에는 상기 제1 전압이 인가되며, 기입 구간에는 상기 제1 전압과 다른 제2 전압이 인가 되는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 제1 전압은 상기 제2 전압에 비하여 높은 전압값을 가지는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 전압은 상기 트랜지스터의 문턱 전압 보다 높으며, 상기 제2 전압은 상기 트랜지스터의 문턱 전압 보다 낮은 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 제1 전압은 구동 전압이며, 상기 제2 전압은 초기화 전압인 유기 발광 표시 장치.

청구항 10

제1항에서,

상기 화소는 제3 트랜지스터를 더 포함하며,

상기 제3 트랜지스터의 제1 전극은 상기 구동 트랜지스터의 상기 출력 단자와 연결되며, 제2 전극은 상기 구동 트랜지스터의 게이트 전극과 연결되는 유기 발광 표시 장치.

청구항 11

기관;

상기 기관위에 위치하는 증첩층;

상기 증첩층 위에 위치하는 버퍼층;

상기 버퍼층위에 위치하는 반도체층;

상기 반도체층을 덮는 제1 게이트 절연막;

상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체;

상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막;

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체;

상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막;

상기 층간 절연막 위에 위치하는 데이터 도전체;

상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 포함하며,

구동 트랜지스터는 상기 반도체층에 채널이 형성되며, 상기 제1 게이트 도전체에 게이트 전극을 가지며,

상기 증첩층 은 상기 구동 트랜지스터의 채널과 평면상 중첩하며,

상기 버퍼층, 상기 제1 게이트 절연막, 상기 제2 게이트 절연막 및 상기 층간 절연막 중 적어도 일부는 상기 증첩층을 노출시키는 오프닝이 형성되며,

상기 오프닝을 통하여 상기 증첩층은 전압을 인가받으며,

상기 전압은 기입 구간에서는 초기화 전압이 인가되며, 발광 구간에는 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 오프닝을 통하여 상기 중첩층과 연결되는 층은 상기 반도체층인 유기 발광 표시 장치.

청구항 13

제11항에서,

상기 오프닝을 통하여 상기 중첩층과 연결되는 층은 상기 제2 게이트 도전체층에 형성된 추가 연결 부재인 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 추가 연결 부재는 상기 반도체층과 연결되어 있으며,

상기 중첩층은 상기 반도체층에서 인가되는 전압이 상기 추가 연결 부재를 통하여 전달되는 유기 발광 표시 장치.

청구항 15

제11항에서,

제2 트랜지스터는 상기 반도체층에 채널이 형성되며, 스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 입력 단자는 제2 트랜지스터의 출력을 인가 받는 유기 발광 표시 장치.

청구항 16

제15항에서,

전압 인가 트랜지스터는 상기 반도체층에 채널이 형성되며, 상기 중첩층은 상기 전압 인가 트랜지스터로부터 상기 전압을 인가받는 유기 발광 표시 장치.

청구항 17

제16항에서,

상기 전압 인가 트랜지스터는 제8 트랜지스터이며, 상기 제8 트랜지스터는 상기 중첩층에 상기 구동 전압을 인가하는 유기 발광 표시 장치.

청구항 18

제17항에서,

상기 전압 인가 트랜지스터는 제9 트랜지스터를 더 포함하며, 상기 제9 트랜지스터는 상기 중첩층에 상기 초기화 전압을 인가하는 유기 발광 표시 장치.

청구항 19

제16항에서,

상기 전압 인가 트랜지스터는 제9 트랜지스터이며, 상기 제9 트랜지스터는 상기 중첩층에 상기 초기화 전압을 인가하는 유기 발광 표시 장치.

청구항 20

제11항에서,

상기 구동 트랜지스터의 상기 게이트 전극과 중첩하는 유지 축전기를 더 포함하며,
상기 중첩층은 상기 유지 축전기와도 중첩하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판, 기판 상에 위치하는 복수의 박막 트랜지스터, 박막 트랜지스터를 구성하는 배선들 사이에 배치되는 복수의 절연층 및 박막 트랜지스터에 연결된 유기 발광 소자를 포함한다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 유기 발광 표시 장치 내에 형성되는 구동 트랜지스터가 위치에 따라서 다른 특성을 가지더라도 이를 완화시켜 표시 품질을 균일하게 하기 위한 것이다. 한편, 실시예들은 유기 발광 표시 장치 내에 형성되는 구동 트랜지스터에서 데이터 전압의 충전율이 향상되도록 하기 위한 것이다.

과제의 해결 수단

[0006] 일 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판위에 위치하는 중첩층; 상기 기판 및 상기 중첩층 위에 위치하는 화소; 및 상기 화소에 연결되어 있는 스캔선, 데이터선, 구동 전압선, 초기화 전압선을 포함하며, 상기 화소는 유기 발광 소자; 상기 스캔선 및 상기 데이터선에 연결되어 있는 제2 트랜지스터; 게이트 전극, 입력 단자와 출력 단자를 가지며, 상기 출력 단자로부터 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 및 상기 중첩층에 전압을 인가하는 전압 인가 트랜지스터를 포함하며, 상기 제2 트랜지스터의 출력은 상기 구동 트랜지스터의 입력 단자로 연결되며, 상기 중첩층은 상기 구동 트랜지스터와 평면상 중첩하며, 상기 구동 트랜지스터와 상기 기판의 사이에 위치한다.

[0007] 상기 전압 인가 트랜지스터는 제8 트랜지스터이며, 상기 제8 트랜지스터는 상기 중첩층에 구동 전압을 인가할 수 있다.

[0008] 상기 전압 인가 트랜지스터는 제9 트랜지스터를 더 포함하며, 상기 제9 트랜지스터는 상기 중첩층에 초기화 전압을 인가할 수 있다.

[0009] 상기 제8 트랜지스터는 발광 구간 동안 턴 온되어 상기 중첩층에 상기 구동 전압을 인가하며, 상기 제9 트랜지스터는 기입 구간 동안 턴 온되어 상기 중첩층에 상기 초기화 전압을 인가할 수 있다.

[0010] 상기 전압 인가 트랜지스터는 제9 트랜지스터이며, 상기 제9 트랜지스터는 상기 중첩층에 초기화 전압을 인가할 수 있다.

[0011] 상기 중첩층은 발광 구간에는 상기 제1 전압이 인가되며, 기입 구간에는 상기 제1 전압과 다른 제2 전압이 인가될 수 있다.

[0012] 상기 제1 전압은 상기 제2 전압에 비하여 높은 전압값을 가질 수 있다.

- [0013] 상기 제1 전압은 상기 트랜지스터의 문턱 전압 보다 높으며, 상기 제2 전압은 상기 트랜지스터의 문턱 전압 보다 낮을 수 있다.
- [0014] 상기 제1 전압은 구동 전압이며, 상기 제2 전압은 초기화 전압일 수 있다.
- [0015] 상기 화소는 제3 트랜지스터를 더 포함하며, 상기 제3 트랜지스터의 제1 전극은 상기 구동 트랜지스터의 상기 출력 단자와 연결되며, 제2 전극은 상기 구동 트랜지스터의 게이트 전극과 연결될 수 있다.
- [0016] 일 실시예에 따른 유기 발광 표시 장치는 기관; 상기 기관위에 위치하는 증첩층; 상기 증첩층 위에 위치하는 버퍼층; 상기 버퍼층위에 위치하는 반도체층; 상기 반도체층을 덮는 제1 게이트 절연막; 상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체; 상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막; 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체; 상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막; 상기 층간 절연막 위에 위치하는 데이터 도전체; 상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 포함하며, 구동 트랜지스터는 상기 반도체층에 채널이 형성되며, 상기 제1 게이트 도전체에 게이트 전극을 가지며, 상기 증첩층은 상기 구동 트랜지스터의 채널과 평면상 중첩하며, 상기 버퍼층, 상기 제1 게이트 절연막, 상기 제2 게이트 절연막 및 상기 층간 절연막 중 적어도 일부는 상기 증첩층을 노출시키는 오프닝이 형성되며, 상기 오프닝을 통하여 상기 증첩층은 전압을 인가받으며, 상기 전압은 기입 구간에서는 초기화 전압이 인가되며, 발광 구간에는 구동 전압이 인가된다.
- [0017] 상기 오프닝을 통하여 상기 증첩층과 연결되는 층은 상기 반도체층일 수 있다.
- [0018] 상기 오프닝을 통하여 상기 증첩층과 연결되는 층은 상기 제2 게이트 도전체층에 형성된 추가 연결 부재일 수 있다.
- [0019] 상기 추가 연결 부재는 상기 반도체층과 연결되어 있으며, 상기 증첩층은 상기 반도체층에서 인가되는 전압이 상기 추가 연결 부재를 통하여 전달될 수 있다.
- [0020] 제2 트랜지스터는 상기 반도체층에 채널이 형성되며, 스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 입력 단자는 제2 트랜지스터의 출력을 인가 받을 수 있다.
- [0021] 전압 인가 트랜지스터는 상기 반도체층에 채널이 형성되며, 상기 증첩층은 상기 전압 인가 트랜지스터로부터 상기 전압을 인가받을 수 있다.
- [0022] 상기 전압 인가 트랜지스터는 제8 트랜지스터이며, 상기 제8 트랜지스터는 상기 증첩층에 상기 구동 전압을 인가할 수 있다.
- [0023] 상기 전압 인가 트랜지스터는 제9 트랜지스터를 더 포함하며, 상기 제9 트랜지스터는 상기 증첩층에 상기 초기화 전압을 인가할 수 있다.
- [0024] 상기 전압 인가 트랜지스터는 제9 트랜지스터이며, 상기 제9 트랜지스터는 상기 증첩층에 상기 초기화 전압을 인가할 수 있다.
- [0025] 상기 구동 트랜지스터의 상기 게이트 전극과 중첩하는 유지 축전기를 더 포함하며, 상기 증첩층은 상기 유지 축전기와도 중첩할 수 있다.

발명의 효과

- [0026] 실시예들에 따르면, 구동 트랜지스터와 중첩하는 증첩층에 특정 전압이 인가되도록 하여 구동 트랜지스터의 데이터 범위(data range)를 증가시킨다. 그 결과 구동 트랜지스터가 게이트-소스 전압(Vgs)에 의하여 영향을 적게 받도록 하여 특성 편차가 있더라도 이를 완화시켜 화상을 표시하도록 한다. 그 결과 표시 품질이 구동 트랜지스터의 특성 편차에 영향을 적게 받는다.
- [0027] 한편, 실시예들에 따르면, 구동 트랜지스터와 중첩하는 증첩층에 또 다른 특정 전압이 인가되도록 하여 구동 트랜지스터의 데이터 범위(data range)를 감소시킨다. 그 결과 구동 트랜지스터를 통하여 데이터 전압이 용이하게 충전되도록 한다.

도면의 간단한 설명

- [0028] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.

- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- 도 3은 일 실시예에 따른 유기 발광 표시 장치에서 구동 트랜지스터의 특성 변화를 도시한 그래프이다.
- 도 4는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 6은 도 5에서 VI-VI선을 따라 자른 단면도이다.
- 도 7은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 8은 도 7에서 VIII-VIII선을 따라 자른 단면도이다.
- 도 9은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 10은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 11은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 12는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0030] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0031] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0032] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0033] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0034] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0035] 이하에서는 도 1 및 도 2를 통하여 일 실시예에 따른 유기 발광 표시 장치를 살펴본다.
- [0036] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- [0037] 도 1을 참고하면, 유기 발광 표시 장치의 화소(PX)는 여러 신호선들(127, 151, 152, 153, 158, 171, 172, 74 1)에 연결되어 있는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9), 유지 축전기(Cst), 그리고 유기 발광 다이오드(OLED)를 포함한다.
- [0038] 도 1에 의하면 유기 발광 다이오드(OLED)에 전류를 제공하는 구동 트랜지스터(T1)는 이와 중첩하는 중첩층(M1)을 더 포함하며, 중첩층(M1)은 구동 트랜지스터(T1)의 채널이 형성되는 반도체층을 기준으로 구동 트랜지스터(T1)의 게이트 전극과 반대측에 위치한다. 중첩층(M1)은 구동 트랜지스터(T1)의 제2 게이트 전극의 역할을 수행할 수도 있어 제2 게이트 전극이라고도 불릴 수 있다.
- [0039] 중첩층(M1)은 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)와 연결되어 있으며, 제8 트랜지스터(T8)를 통하여 구동 전압(ELVDD)을 인가 받고, 제9 트랜지스터(T9)를 통하여 초기화 전압(Vint)을 인가 받는다. 중첩층(M1)에 구

동 전압(ELVDD)이 인가되는 구간과 초기화 전압(Vint)이 인가되는 구간은 서로 중첩하지 않을 수 있다. 이하에서는 제8 트랜지스터(T8) 및 제9 트랜지스터(T9) 중 하나 또는 모두를 전압 인가 트랜지스터라고도 한다. 한편, 본 실시예에서는 구동 전압(ELVDD) 및 초기화 전압(Vint)을 사용하고 있지만, 이는 서로 다른 전압으로 일측 전압이 타측 전압 보다 높을 수 있고, 구동 트랜지스터(T1)의 문턱 전압보다 높은 전압과 낮은 전압이 사용될 수 있다.

- [0040] 중첩층(M1)에 인가되는 전압에 따라서 구동 트랜지스터(T1)의 특성이 변화되며, 이에 대해서는 도 3에서 상세하게 살펴본다.
- [0041] 도 1에 도시되어 있는 화소(PX)는 총 9개의 트랜지스터를 포함하고 있다.
- [0042] 9개의 트랜지스터는 유기 발광 다이오드(OLED)에 전류를 제공하는 구동 트랜지스터(T1)를 포함하며, 스캔선(151) 및 데이터선에 연결되어 데이터 전압을 화소(PX)내로 제공하는 제2 트랜지스터(T2)도 포함한다. 그 외의 트랜지스터는 유기 발광 다이오드(OLED)를 동작시키는데 필요한 동작을 하기 위한 트랜지스터(이하 '보상 트랜지스터'라 함)로, 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)를 포함할 수 있다.
- [0043] 복수의 신호선(127, 151, 152, 153, 158, 171, 172, 741)은 스캔선(151), 전단 스캔선(152), 발광 제어선(153), 바이패스 제어선(158), 데이터선(171), 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)을 포함할 수 있다. 바이패스 제어선(158)은 전단 스캔선(152)의 일부이거나 전기적으로 연결되어 있을 수 있다.
- [0044] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(Sn)를 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제9 트랜지스터(T9)에 전달한다. 전단 스캔선(152)은 게이트 구동부에 연결되어 전단에 위치하는 화소(PX)에 인가되는 전단 스캔 신호(Sn-1)를 제4 트랜지스터(T4)에 전달한다. 발광 제어선(153)은 발광 제어부(도시되지 않음)에 연결되어 있으며, 유기 발광 다이오드(OLED)가 발광하는 시간을 제어하는 발광 제어 신호(EM)를 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제8 트랜지스터(T8)에 전달한다. 바이패스 제어선(158)은 바이패스 신호(GB)를 제7 트랜지스터(T7)에 전달하며, 실시예에 따라서는 전단 스캔 신호(Sn-1)와 동일한 신호를 전달할 수 있다.
- [0045] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 전압(Dm)을 전달하는 배선으로 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED; '유기 발광 소자'라고도 함)가 발광하는 휘도가 변한다. 구동 전압선(172)은 구동 전압(ELVDD)을 인가하며, 초기화 전압선(127)은 구동 트랜지스터(T1)를 초기화시키는 초기화 전압(Vint)을 전달하며, 공통 전압선(741)은 공통 전압(ELVSS)을 인가한다. 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)에 인가되는 전압은 각각 일정한 전압이 인가될 수 있다.
- [0046] 이하에서는 복수의 트랜지스터에 대하여 구체적으로 살펴본다.
- [0047] 먼저, 구동 트랜지스터(T1)는 인가되는 데이터 전압(Dm)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(Id)가 유기 발광 다이오드(OLED)로 인가되어 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED)의 밝기가 조절된다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(S1; 입력 단자라고도 함)은 구동 전압(ELVDD)을 인가 받을 수 있도록 배치되어, 제5 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 제1 전극(S1)은 제2 트랜지스터(T2)의 제2 전극(D2)과도 연결되어 데이터 전압(Dm)도 인가 받는다. 제2 전극(D1; 출력 단자라고도 함)은 유기 발광 다이오드(OLED)를 향하여 전류를 출력할 수 있도록 배치되어, 제6 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다. 한편, 게이트 전극(G1)은 유지 축전기(Cst)의 일 전극(제2 유지 전극(E2))과 연결되어 있다. 이에 유지 축전기(Cst)에 저장된 전압에 따라서 게이트 전극(G1)의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(Id)가 변경된다.
- [0048] 또한, 구동 트랜지스터(T1)는 이와 중첩하는 중첩층(M1)을 더 포함한다. 중첩층(M1)은 구동 트랜지스터(T1)의 또 다른 게이트 전극 역할을 수행할 수도 있다.
- [0049] 제2 트랜지스터(T2)는 데이터 전압(Dm)을 화소(PX)내로 받아들이는 트랜지스터이다. 게이트 전극(G2)은 스캔선(151)과 연결되어 있고, 제1 전극(S2)은 데이터선(171)과 연결되어 있다. 제2 트랜지스터(T2)의 제2 전극(D2)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(Sn)에 따라 제2 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 전압(Dm)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 전달된다.

- [0050] 제3 트랜지스터(T3)는 데이터 전압(Dm)이 구동 트랜지스터(T1)를 거치면서 변화된 보상 전압(Dm + Vth의 전압)이 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달되도록 하는 트랜지스터이다. 제3 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(S1)과 연결되어 있다. 제3 트랜지스터(T3)의 제1 전극(S3)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있고, 제3 트랜지스터(T3)의 제2 전극(D3)은 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 제3 트랜지스터(T3)는 스캔선(S1)을 통해 전달받은 스캔 신호(Sn)에 따라 켜져서 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D1)을 연결시키고, 구동 트랜지스터(T1)의 제2 전극(D1)과 유지 축전기(Cst)의 제2 유지 전극(E2)도 연결시킨다.
- [0051] 제4 트랜지스터(T4)는 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)을 초기화시키는 역할을 한다. 게이트 전극(G4)은 전단 스캔선(S2)과 연결되어 있고, 제1 전극(S4)은 초기화 전압선(Vint)과 연결되어 있다. 제4 트랜지스터(T4)의 제2 전극(D4)은 제3 트랜지스터(T3)의 제2 전극(D3)을 경유하여 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되어 있다. 제4 트랜지스터(T4)는 전단 스캔선(S2)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달한다. 이에 따라 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)은 저 전압값을 가져 구동 트랜지스터(T1)를 턴 온 시킬 수 있는 전압일 수 있다.
- [0052] 제5 트랜지스터(T5)는 구동 전압(ELVDD)을 구동 트랜지스터(T1)에 전달시키는 역할을 한다. 게이트 전극(G5)은 발광 제어선(S3)과 연결되어 있고, 제1 전극(S5)은 구동 전압선(VDD)과 연결되어 있다. 제5 트랜지스터(T5)의 제2 전극(D5)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.
- [0053] 제6 트랜지스터(T6)는 구동 트랜지스터(T1)에서 출력되는 구동 전류(Id)를 유기 발광 다이오드(OLED)로 전달하는 역할을 한다. 게이트 전극(G6)은 발광 제어선(S3)과 연결되어 있고, 제1 전극(S6)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제6 트랜지스터(T6)의 제2 전극(D6)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다.
- [0054] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 발광 제어선(S3)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 켜지며, 제5 트랜지스터(T5)를 통하여 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 제1 전극(S1)에 인가되면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압(즉, 유지 축전기(Cst)의 제2 유지 전극(E2)의 전압)에 따라서 구동 트랜지스터(T1)가 구동 전류(Id)를 출력한다. 출력된 구동 전류(Id)는 제6 트랜지스터(T6)를 통하여 유기 발광 다이오드(OLED)에 전달된다. 유기 발광 다이오드(OLED)에 전류(Ioled)가 흐르게 되면서 유기 발광 다이오드(OLED)가 빛을 방출한다.
- [0055] 제7 트랜지스터(T7)는 유기 발광 다이오드(OLED)의 애노드를 초기화시키는 역할을 한다. 게이트 전극(G7)은 바이패스 제어선(S4)과 연결되어 있고, 제1 전극(S7)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있고, 제2 전극(D7)은 초기화 전압선(Vint)과 연결되어 있다. 바이패스 제어선(S4)은 전단 스캔선(S2)에 연결되어 있을 수 있으며, 바이패스 신호(GB)는 전단 스캔 신호(Sn-1)와 동일한 타이밍의 신호가 인가된다. 바이패스 제어선(S4)은 전단 스캔선(S2)에 연결되지 않고 전단 스캔 신호(Sn-1)와 별개의 신호를 전달할 수도 있다. 바이패스 신호(GB)에 따라 제7 트랜지스터(T7)가 턴 온 되면 초기화 전압(Vint)이 유기 발광 다이오드(OLED)의 애노드로 인가되어 초기화된다.
- [0056] 제8 트랜지스터(T8)는 구동 트랜지스터(T1)와 중첩하는 중첩층(M1)에 구동 전압(ELVDD)을 전달하는 역할을 한다. 게이트 전극(G8)은 발광 제어선(S3)과 연결되어 있고, 제1 전극(S8)은 구동 전압선(VDD)과 연결되어 있으며, 제2 전극(D8)은 중첩층(M1)과 연결되어 있다.
- [0057] 제8 트랜지스터(T8)도 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)와 함께 발광 제어선(S3)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 켜지며, 구동 전압(ELVDD)을 중첩층(M1)으로 전달한다.
- [0058] 제9 트랜지스터(T9)는 중첩층(M1)에 초기화 전압(Vint)을 전달하는 역할을 한다. 게이트 전극(G9)은 스캔선(S1)과 연결되어 있고, 제1 전극(S9)은 중첩층(M1)과 연결되며, 제2 전극(D9)은 초기화 전압선(Vint)과 연결되어 있다. 제9 트랜지스터(T9)는 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)와 함께 스캔 신호(Sn)에 따라 동시에 켜지며, 중첩층(M1)의 전압을 초기화시킨다.
- [0059] 화소(PX)는 유지 축전기(Cst)도 포함한다. 유지 축전기(Cst)는 데이터 전압이 구동 트랜지스터(T1)를 지나서 인가되어 저장된다.

- [0060] 유지 축전기(Cst)의 제1 유지 전극(E1)은 구동 전압선(172)과 연결되어 있으며, 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1), 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다. 그 결과 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압(구동 트랜지스터(T1)의 게이트-소스 전압(Vgs))을 결정하며, 제3 트랜지스터(T3)의 제2 전극(D3)을 통하여 데이터 전압(Dm)을 인가 받거나, 제4 트랜지스터(T4)의 제2 전극(D4)을 통하여 초기화 전압(Vint)을 인가 받는다.
- [0061] 한편, 화소(PX)는 유기 발광 다이오드(OLED)도 포함하며, 유기 발광 다이오드(OLED)의 애노드는 제6 트랜지스터(T6)의 제2 전극(D6) 및 제7 트랜지스터(T7)의 제1 전극(S7)과 연결되어 있으며, 캐소드는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결되어 있다.
- [0062] 도 1의 실시예에서 화소 회로는 9개의 트랜지스터(T1-T9)와 1개의 축전기(Cst)를 포함하지만 이에 제한되지 않으며, 트랜지스터의 수와 축전기의 수, 그리고 이들의 연결은 다양하게 변경 가능하다.
- [0063] 도시되지 않았지만, 유기 발광 표시 장치는 영상이 표시되는 표시 영역을 포함하고, 표시 영역에는 이러한 화소(PX)가 행렬 등 다양한 방식으로 배열되어 있다.
- [0064] 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작에 대해 도 1 및 도 2를 참고하여 설명한다.
- [0065] 초기화 구간 동안 로우 레벨의 전단 스캔 신호(Sn-1)가 전단 스캔선(152)을 통해 화소(PX)로 공급된다. 그러면, 이를 인가 받은 제4 트랜지스터(T4)가 켜져, 초기화 전압(Vint)이 제4 트랜지스터(T4)를 통해 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 인가된다. 그 결과 구동 트랜지스터(T1) 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)의 전압이 저전압을 가져 구동 트랜지스터(T1)이 턴 온 될 수 있다.
- [0066] 한편, 초기화 구간 동안에는 로우 레벨의 바이패스 신호(GB)도 제7 트랜지스터(T7)로 인가된다. 이를 인가 받은 제7 트랜지스터(T7)가 턴 온 되어 초기화 전압(Vint)이 제7 트랜지스터(T7)를 통해 유기 발광 다이오드(OLED)의 애노드로 인가된다. 그 결과 유기 발광 다이오드(OLED)의 애노드도 초기화된다.
- [0067] 이후, 데이터 기입 구간(이하 기입 구간이라고도 함) 동안 스캔선(151)을 통해 로우 레벨의 스캔 신호(Sn)가 화소(PX)로 공급된다. 로우 레벨의 스캔 신호(Sn)에 의하여 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제9 트랜지스터(T9)가 켜진다.
- [0068] 제2 트랜지스터(T2)가 턴 온 되면, 데이터 전압(Dm)이 제2 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력된다.
- [0069] 또한, 데이터 기입 구간 동안 제3 트랜지스터(T3)가 턴 온 되고, 그 결과 구동 트랜지스터(T1)의 제2 전극(D2)는 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)과 전기적으로 연결된다. 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D2)이 연결되어 다이오드 연결된다. 또한, 구동 트랜지스터(T1)는 초기화 구간 동안 게이트 전극(G1)에 저전압(초기화 전압(Vint))이 인가되어 있어 턴 온 된 상태이다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력되는 데이터 전압(Dm)은 구동 트랜지스터(T1)의 채널을 지나 제2 전극(D1)에서 출력된 후 제3 트랜지스터(T3)를 거쳐 유지 축전기(Cst)의 제2 유지 전극(E2)에 저장된다. 이 때, 제2 유지 전극(E2)에 인가되는 전압은 구동 트랜지스터(T1)의 문턱전압(Vth)에 따라 변경되며, 구동 트랜지스터(T1)의 제1 전극(S1)에 데이터 전압(Dm)이 걸리고, 구동 트랜지스터(T1)의 게이트 전극(G1)에 초기화 전압(Vint)이 걸리는 경우, 제2 전극(D1)으로 출력되는 전압은 $V_{gs} + V_{th}$ 를 가질 수 있다. 여기서 V_{gs} 는 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압의 차이이므로 $Dm - V_{int}$ 값을 가질 수 있다. 그러므로 제2 전극(D1)에서 출력되어 제2 유지 전극(E2)에 저장되는 전압은 $Dm - V_{int} + V_{th}$ 값을 가질 수 있다.
- [0070] 또한, 데이터 기입 구간 동안 제9 트랜지스터(T9)가 턴 온 되고, 증첩층(M1)에 초기화 전압(Vint)이 인가된다. 증첩층(M1)은 구동 트랜지스터(T1)의 또 다른 게이트 전극(제2 게이트 전극이라고도 함)으로 볼 수 있어, 증첩층(M1)에 초기화 전압(Vint)이 인가되면, 구동 트랜지스터(T1)는 특성이 변한다. 이에 대해서는 도 3에서 상세하게 살펴본다.
- [0071] 그 후, 발광 구간 동안, 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 로우 레벨의 값을 가져, 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제8 트랜지스터(T8)가 켜진다.
- [0072] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 되므로, 구동 트랜지스터(T1)의 제1 전극(S1)에는 구동 전압(ELVDD)이 인가되며, 구동 트랜지스터(T1)의 제2 전극(D1)은 유기 발광 다이오드(OLED)와 연결된다. 구동 트랜지스터(T1)는 게이트 전극(G1)의 전압과 제1 전극(S1)의 전압(즉, 구동 전압(ELVDD)) 간의 전압 차에 따라 구

동 전류(I_d)가 발생한다. 구동 트랜지스터(T1)의 구동 전류(I_d)는 $V_{gs} - V_{th}$ 의 제곱값에 비례한 값을 가질 수 있다. 여기서 V_{gs} 의 값은 유지 축전기(Cst)의 양단에 걸리는 전압차와 같으며, V_{gs} 값은 $V_g - V_s$ 의 값이므로 $D_m - V_{int} + V_{th} - ELVDD$ 값을 가진다. 여기서 V_{th} 값을 빼서 $V_{gs} - V_{th}$ 의 값을 구하면, $D_m - V_{int} - ELVDD$ 값을 가진다. 즉, 구동 트랜지스터(T1)의 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 무관한 전류를 출력으로 가진다.

- [0073] 그러므로, 각 화소(PX)에 위치하는 구동 트랜지스터(T1)가 공정 산포로 인해 서로 다른 문턱 전압(V_{th})을 가지더라도 구동 트랜지스터(T1)의 출력 전류를 일정하게 할 수 있어, 특성의 불균일성을 개선할 수 있다.
- [0074] 이상의 계산식에서 V_{th} 값은 다결정 반도체를 사용하는 P형 트랜지스터인 경우 0보다 약간 큰 값이나 또는 음의 값을 가질 수 있다. 또한, 전압을 계산하는 방향에 따라 + 및 -의 표현이 변경될 수 있다. 하지만, 구동 트랜지스터(T1)의 출력 전류인 구동 전류(I_d)를 문턱 전압(V_{th})에 무관한 값을 가지도록 할 수 있다는 점에는 변함이 없다.
- [0075] 또한, 발광 구간 동안에는 제8 트랜지스터(T8)도 턴 온 되어 중첩층(M1)에 구동 전압(ELVDD)을 인가한다. 중첩층(M1)은 구동 트랜지스터(T1)의 또 다른 게이트 전극(제2 게이트 전극이라고도 함)으로 볼 수 있어, 중첩층(M1)에 구동 전압(ELVDD)이 인가되면, 구동 트랜지스터(T1)는 특성이 변한다. 이에 대해서는 도 3에서 상세하게 살펴본다.
- [0076] 이상과 같은 발광 구간이 종료하면 다시 초기화 구간이 위치하여 처음부터 다시 같은 동작을 반복하게 된다.
- [0077] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극은 전압 또는 전류가 인가되는 방향에 따라서 하나는 소스 전극이고 다른 하나는 드레인 전극이 될 수 있다.
- [0078] 한편, 실시예에 따라서는 초기화 구간에서의 제7 트랜지스터(T7)가 유기 발광 다이오드(OLED)의 애노드를 초기화시키면서, 구동 트랜지스터(T1)가 실제 턴 온 되지 않는 조건에서 방출하는 소량의 전류도 유기 발광 다이오드(OLED)쪽으로 흐르지 못하도록 할 수 있다. 이때 소량의 전류는 바이패스 전류(I_{bp})로 제7 트랜지스터(T7)를 통해 초기화 전압(V_{int})단으로 방출된다. 그 결과 유기 발광 다이오드(OLED)가 불필요한 빛을 방출하지 않게 되어, 블랙 계조를 더욱 명확하게 표시하고, 대비비(contrast ratio)도 향상시키도록 할 수 있다. 이러한 경우 바이패스 신호(GB)가 전단 스캔 신호($Sn-1$)와 다른 타이밍의 신호일 수도 있다. 실시예에 따라서는 제7 트랜지스터(T7)가 생략될 수도 있다.
- [0079] 이상과 같이 동작하는 화소(PX)에서 중첩층(M1)에 인가되는 전압은 구동 트랜지스터(T1)의 특성을 변경시킨다. 그러므로 구동 트랜지스터(T1)는 기입 구간과 발광 구간 동안 서로 다른 특성을 가진다.
- [0080] 이러한 특성의 변화에 대해서는 도 3을 통하여 상세하게 살펴본다.
- [0081] 도 3은 일 실시예에 따른 유기 발광 표시 장치에서 구동 트랜지스터의 특성 변화를 도시한 그래프이다.
- [0082] 도 3에서 가로축은 구동 트랜지스터(T1)의 게이트-소스간의 전압(V_{gs})이며, 세로축은 구동 트랜지스터(T1)에 흐르는 전류를 나타낸다. 도 3에서는 세로축에 V_0 및 V_{255} 가 표시되어 있는데, 이는 256계조를 기준으로 최대 계조(255계조)를 표시하는 전류값과 최소 계조(0계조)를 표시하는 전류값의 위치를 표시한 것이다.
- [0083] 도 3에서 도시된 두 그래프는 "Low DR range"와 "High DR range"로 구분된다. 먼저, "Low DR range"로 표시된 그래프는 구동 트랜지스터(T1)와 중첩하는 중첩층(M1)에 초기화 전압(V_{int})이 인가된 경우의 구동 트랜지스터(T1)의 특성을 도시하고 있다. 한편, "High DR range"로 표시된 그래프는 구동 트랜지스터(T1)와 중첩하는 중첩층(M1)에 구동 전압(ELVDD)이 인가된 경우의 구동 트랜지스터(T1)의 특성을 도시하고 있다.
- [0084] 또한, 도 3에서는 "데이터 범위(Data range)"라는 표현을 사용하고 있는데, 이는 최소 계조를 표시하는 전류값을 제공하기 위한 게이트-소스간의 전압(V_{gs})과 최대 계조를 표시하는 전류값을 제공하기 위한 게이트-소스간의 전압(V_{gs})간의 간격을 의미한다.
- [0085] 도 3에서 도시하고 있는 바와 같이 중첩층(M1)에 초기화 전압(V_{int})이 인가하는 경우에는 게이트-소스간의 전압(V_{gs})이 커질수록 구동 트랜지스터(T1)의 그래프 기울기가 급하게 하강한다. 그 결과 최대 계조(255계조; V_{255})에서 사용하는 전류값을 공급할 수 있는 게이트-소스간의 전압(V_{gs})이 상승하여 데이터 범위(Data range)가 줄어든다. (Low Data range)
- [0086] 이에 반하여, 중첩층(M1)에 구동 전압(ELVDD)을 인가하는 경우에는 게이트-소스간의 전압(V_{gs})이 커질수록 구동 트랜지스터(T1)의 그래프 기울기가 상대적으로 완만하게 하강한다. 그 결과 최대 계조(255계조; V_{255})에서 사용

하는 전류값을 공급할 수 있는 게이트-소스간의 전압(Vgs)이 상대적으로 작은 값으로 유지되어 데이터 범위(Data range)가 크게 유지된다. (High Data range)

- [0087] 이와 같은 두 구동 트랜지스터(T1)의 특성은 기입 구간 및 발광 구간과 만나면서 보다 바람직한 효과를 나타낸다.
- [0088] 즉, 기입 구간 동안에는 초기화 전압(Vint)이 중첩층(M1)에 인가되어 구동 트랜지스터(T1)가 작은 데이터 범위(low Data range)를 가지게 되므로, 게이트-소스간의 전압(Vgs)이 조금만 변하더라도 출력이 증가하므로 데이터 전압이 커패시터에 잘 충전될 수 있다.
- [0089] 한편, 발광 구간 동안에는 구동 전압(ELVDD)이 중첩층(M1)에 인가되어 구동 트랜지스터(T1)가 큰 데이터 범위(high Data range)를 가지게 되므로, 게이트-소스간의 전압(Vgs)의 변화에 출력이 덜 민감하게 변경된다. 그 결과 각 구동 트랜지스터(T1)가 가지는 특성에 따른 출력의 변화도 덜 민감해진다. 그러므로 발광 구간에서 발광하는 특성의 변화가 화소의 위치에 따라 적어져 표시 품질이 균일해지게 된다.
- [0090] 이하에서는 도 4를 통하여 또 다른 실시예에 대하여 살펴본다.
- [0091] 도 4는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0092] 도 4의 회로도는 도 1의 회로도와 차이점은 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)에 있다.
- [0093] 도 4의 실시예에 따른 제3 트랜지스터(T3)는 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)로 이루어져 있다. 여기서, 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)과 제3-2 트랜지스터(T3-2)의 게이트 전극(G3-2)은 서로 연결되어 있으며, 제3-1 트랜지스터(T3-1)의 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)도 서로 연결되어 있다. 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있고, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)은 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다.
- [0094] 두 트랜지스터(T3-1, T3-2)의 게이트 전극이 연결되어 동일한 신호를 인가 받으며, 일 트랜지스터의 출력이 타 트랜지스터의 입력으로 인가되는 구조를 가진다.
- [0095] 한편, 도 4의 실시예에 따른 제4 트랜지스터(T4)도 제4-1 트랜지스터(T4-1) 및 제4-2 트랜지스터(T4-2)로 이루어져 있다. 여기서, 제4-1 트랜지스터(T4-1)의 게이트 전극(G4-1)과 제4-2 트랜지스터(T4-2)의 게이트 전극(G4-2)은 서로 연결되어 있으며, 제4-1 트랜지스터(T4-1)의 제1 전극(S4-1)과 제4-2 트랜지스터(T4-2)의 제2 전극(D4-2)도 서로 연결되어 있다. 제4-2 트랜지스터(T4-2)의 제1 전극(S4-2)은 초기화 전압선(127)과 연결되어 있고, 제4-1 트랜지스터(T4-1)의 제2 전극(D4-1)은 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다.
- [0096] 두 트랜지스터(T4-1, T4-2)의 게이트 전극이 연결되어 동일한 신호를 인가 받으며, 일 트랜지스터의 출력이 타 트랜지스터의 입력으로 인가되는 구조를 가진다.
- [0097] 이와 같이 두 트랜지스터를 포함하도록 형성하는 것은 트랜지스터의 누설 특성을 감소시킬 수 있다는 장점을 가진다.
- [0098] 도 4의 실시예에서는 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)를 모두 두 트랜지스터를 포함하도록 구성하였지만, 두 트랜지스터(T3, T4) 중 하나만 두 트랜지스터를 포함하도록 구성할 수도 있다.
- [0099] 이하에서는 도 4와 같은 구조를 가지는 화소(PX)의 일 예에 따른 배치도 및 단면도를 도 5 및 도 6을 통하여 살펴본다.
- [0100] 도 5는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 6은 도 5에서 VI-VI선을 따라 자른 단면도이다.
- [0101] 도 5 및 도 6을 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 주로 제1 방향(x)을 따라 연장하며 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 초기화 전압(Vint)을 각각 전달하는 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 초기화 전압선(127)을 포함한다. 바이패스 신호(GB)는 전단 스캔선(152)을 통해 전달된다. 유기 발광 표시 장치는 제1 방향(x)과 교차하는 제2 방향(y)을 따라 연장하며 데이터 전압(Dm) 및 구동 전압(ELVDD)을 각각 전달하는 데이터선(171) 및 구동 전압선(172)을 포함한다.
- [0102] 유기 발광 표시 장치는 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4),

제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 제8 트랜지스터(T8), 제9 트랜지스터(T9), 유지 축전기(Cst), 및 유기 발광 다이오드(OLED)를 포함한다.

- [0103] 또한, 도 5 및 도 6에 따른 유기 발광 표시 장치는 도전 특성을 가지는 금속이나 이에 준하는 반도체 물질로 형성된 중첩층(M1)을 포함한다. 도 5에서 중첩층(M1)은 굽은 선으로 도시되어 있다.
- [0104] 중첩층(M1)은 접촉부(M1-3), 연장부(M1-2) 및 확장부(M1-1)를 포함한다. 확장부(M1-1)는 구동 트랜지스터(T1)의 채널 및 게이트 전극(155)과 중첩하도록 형성되어 있다. 접촉부(M1-3)는 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)와 전기적으로 연결되는 부분이며, 확장부(M1-1)와 접촉부(M1-3)는 연장부(M1-2)를 통하여 연결된 구조를 가진다.
- [0105] 도 6에 의하면, 중첩층(M1)은 유리, 플라스틱, 또는 폴리 이미드(PI) 등으로 형성된 기판(110)과 반도체층의 사이에 위치한다. 또한, 중첩층(M1)은 구동 트랜지스터(T1)의 채널과 평면상 중첩하며, 구동 트랜지스터(T1)의 제1 전극 및 제2 전극과는 적어도 일부 중첩할 수 있다. 또한, 반도체층의 위에는 구동 트랜지스터(T1)의 게이트 전극(155)이 위치하므로 중첩층(M1)과 게이트 전극(155)도 중첩한다.
- [0106] 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9) 각각의 채널(channel)은 길게 연장되어 있는 반도체층(130) 내에 위치한다. 뿐만 아니라 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)의 제1 전극 및 제2 전극 중 적어도 일부도 반도체층(130)에 위치한다. 반도체층(130; 도 5에서 음영이 추가된 부분으로 이하 동일함)은 다양한 형상으로 굴곡되어 형성될 수 있다. 반도체층(130)은 폴리 실리콘 같은 다결정 반도체 또는 산화물 반도체를 포함할 수 있다.
- [0107] 반도체층(130)은 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널과, 채널의 양측에 위치하며 채널에 도핑된 불순물보다 도핑 농도가 높은 제1 도핑 영역 및 제2 도핑 영역을 포함한다. 제1 도핑 영역 및 제2 도핑 영역은 각각 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)의 제1 전극 및 제2 전극에 대응되며, 제1 도핑 영역 및 제2 도핑 영역 중 하나가 소스 영역이면, 나머지 하나는 드레인 영역에 해당한다. 또한, 반도체층(130)에서 서로 다른 트랜지스터의 제1 전극과 제2 전극의 사이 영역도 도핑되어 두 트랜지스터가 서로 전기적으로 연결될 수 있다.
- [0108] 도 5의 실시예에 따른 반도체층(130)의 평면 모양을 살펴보면 아래와 같다.
- [0109] 구동 트랜지스터(T1)의 채널은 말굽 모양을 가지며, 그 양측에 제1 전극(S1) 및 제2 전극(D1)이 위치한다.
- [0110] 제1 전극(S1)에서 반도체층(130)이 상하로 연장되며, 제1 전극(S1)에서 위로 연장된 반도체층(130)에는 제2 트랜지스터(T2)의 채널이 위치한다. 한편, 제1 전극(S1)에서 아래로 연장된 반도체층(130)은 제5 트랜지스터(T5)의 채널을 지나 좌우로 다시 연장되는 구조를 가지며, 좌측으로 연장된 부분은 다시 위로 연장되어 제8 트랜지스터(T8)의 채널이 위치한다.
- [0111] 또한, 제2 전극(D1)에서도 반도체층(130)이 상하로 연장되며, 아래로 연장된 반도체층(130)은 제6 트랜지스터(T6)의 채널을 지나 좌측으로 꺾이는 구조를 가진다. 한편, 제2 전극(D1)에서 위로 연장된 반도체층(130)도 좌측으로 꺾이는 구조를 가지며, 이 부분에서 제3-2 트랜지스터(T3-2)의 채널 및 제3-1 트랜지스터(T3-1)의 채널이 위치한다. 이를 지나 반도체층(130)은 위로 다시 꺾이고, 그 후 다시 아래로 꺾이는 구조를 가지는데, 이 부분에서 제4-1 트랜지스터(T4-1)의 채널 및 제4-2 트랜지스터(T4-2)의 채널이 위치한다. 그 후 반도체층(130)은 우측으로 연장된 후 두 갈래로 나뉜다. 하나는 위로 연장되면서 제7 트랜지스터(T7)의 채널을 지나, 위에 위치하는 화소(PX)의 제6 트랜지스터(T6)와 연결된다. 또 다른 하나는 비스듬히 아래쪽으로 연장되면서 꺾여 제3-2 트랜지스터(T3-2)의 채널에 평행한 방향으로 연장되며, 해당 위치에 제9 트랜지스터(T9)의 채널이 위치한다.
- [0112] 이와 같은 반도체층(130)의 구체적인 구조는 실시예 별로 변경될 수 있다.
- [0113] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)의 채널 각각은 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)의 게이트 전극과 중첩하고, 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)의 제1 전극과 제2 전극 사이에 위치한다. 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)는 실질적으로 동일한 적층 구조를 가질 수 있다. 이하에서는 구동 트랜지스터(T1)를 위주로 상세하게 설명하고, 나머지 트랜지스터(T2, T3, T4, T5, T6, T7, T8, T9)는 간략하게 설명한다.
- [0114] 구동 트랜지스터(T1)는 채널, 게이트 전극(155), 제1 전극(S1) 및 제2 전극(D1)을 포함한다. 구동 트랜지스터(T1)의 채널은 제1 전극(S1)과 제2 전극(D1) 사이이며, 게이트 전극(155)과 평면상 중첩한다. 채널은 굴곡되어

있는데, 이는 제한된 영역내에서 채널의 길이를 길게 형성하기 위함이다. 채널의 길이가 길어짐에 따라 구동 트랜지스터(T1)의 게이트 전극(155)에 인가되는 게이트 전압(Vg)의 구동 범위(driving range)가 넓어지며, 게이트 전압(Vg)에 따라 구동 전류(Id)가 일정하게 증가하게 된다. 그 결과, 게이트 전압(Vg)의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 광의 계조를 보다 세밀하게 제어할 수 있으며, 유기 발광 표시 장치의 표시 품질도 향상시킬 수 있다. 또한, 채널이 한 방향으로 연장되지 않고 여러 방향으로 연장되므로, 제조 공정에서 방향성에 따른 영향이 상쇄되어 공정 산포 영향이 줄어드는 장점도 있다. 따라서 공정 산포로 인해 구동 트랜지스터(T1)의 특성이 표시 장치의 영역에 따라 달라짐으로 인해 발생할 수 있는 얼룩 불량(예컨대, 동일한 데이터 전압(Dm)이 인가되더라도 화소에 따라 휘도 차가 발생) 같은 화질 저하를 방지할 수 있다. 이러한 채널의 형상은 도시된 말굽 모양(Ω형)에 제한되지 않고 다양할 수 있으며, 일자형 또는 S형 등의 모양도 가능하다.

[0115] 게이트 전극(155) 및 중첩층(M1)은 평면도상 채널과 중첩한다. 도 5의 실시예에서는 중첩층(M1)의 확장부(M1-1)는 게이트 전극(155)보다 더 넓게 형성되어 있다. 게이트 전극(155)은 반도체층(130)의 상부에 위치하고, 중첩층(M1)은 반도체층(130)과 기판(110)의 사이에 위치한다. 구동 트랜지스터(T1)의 제1 전극(S1) 및 제2 전극(S2)은 채널의 양측에 각각 위치한다. 게이트 전극(155)의 위에는 유지선(126)의 확장된 부분이 절연되어 위치한다. 중첩층(M1)도 평면도상 유지선(126)의 확장된 부분과 중첩한다. 유지선(126)의 확장된 부분은 게이트 전극(155)과 제2 게이트 절연막을 사이에 두고 평면상 중첩하여 유지 축전기(Cst)를 구성한다. 유지선(126)의 확장된 부분은 유지 축전기(Cst)의 제1 전극(도 1의 E1)이며, 게이트 전극(155)은 제2 유지 전극(도 1의 E2)을 이룬다. 유지선(126)의 확장된 부분은 게이트 전극(155)이 제1 데이터 연결 부재(71)와 연결될 수 있도록 개구(56)가 형성되어 있다. 개구(56)의 내에서 게이트 전극(155)의 상부면과 제1 데이터 연결 부재(71)가 오프닝(61)을 통하여 전기적으로 연결된다. 제1 데이터 연결 부재(71)는 제3 트랜지스터(T3)의 제2 전극(D3)과 연결되어 구동 트랜지스터(T1)의 게이트 전극(155)과 제3 트랜지스터(T3)의 제2 전극(D3)을 연결시킨다.

[0116] 제2 트랜지스터(T2)의 게이트 전극은 스캔선(151)의 일부일 수 있다. 제2 트랜지스터(T2)의 제1 전극에는 데이터선(171)이 오프닝(62)을 통해 연결되어 있으며, 제1 전극(S2) 및 제2 전극(D2)이 반도체층(130) 상에 위치할 수 있다.

[0117] 제3 트랜지스터(T3)는 서로 인접하는 두 개의 트랜지스터로 구성될 수 있다. 즉, 도 3의 화소(PX)의 내에는 T3 표시가 반도체층(130)이 꺾이는 부분을 기준으로 좌측 및 아래측에 각각 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)가 도시되어 있다. 이 두 부분이 합쳐져서 제3 트랜지스터(T3)의 역할을 수행하며, 하나의 제3 트랜지스터(T3)의 제1 전극이 다른 하나의 제3 트랜지스터(T3)의 제2 전극과 연결되는 구조를 가진다. 두 트랜지스터(T3-1, T3-2)의 게이트 전극은 각각 스캔선(151)의 상측으로 돌출된 부분 또는 스캔선(151)의 일부분일 수 있다. 이와 같은 구조는 누설 전류가 흐르는 것을 차단하는 역할을 수행할 수 있다. 제3 트랜지스터(T3)의 제1 전극(S3)은 제6 트랜지스터(T6)의 제1 전극(S6) 및 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제3 트랜지스터(T3)의 제2 전극(D3)은 제1 데이터 연결 부재(71)가 오프닝(63)을 통해 연결되어 있다.

[0118] 제4 트랜지스터(T4)도 두 개의 제4 트랜지스터(T4-1, T4-2)로 이루어져 있으며, 두 개의 제4 트랜지스터(T4-1, T4-2)는 전단 스캔선(152)과 반도체층(130)이 만나는 부분에 형성되어 있다. 두 개의 제4 트랜지스터(T4-1, T4-2)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 하나의 제4 트랜지스터(T4)의 제1 전극이 다른 하나의 제4 트랜지스터(T4)의 제2 전극과 연결되는 구조를 가진다. 이와 같은 구조를 통하여 누설 전류를 차단하는 역할을 수행할 수 있다. 제4 트랜지스터(T4)의 제1 전극(S4)에는 제2 데이터 연결 부재(72)가 오프닝(65)을 통해 연결되어 있으며, 제4 트랜지스터(T4)의 제2 전극(D2)에는 제1 데이터 연결 부재(71)가 오프닝(63)을 통해 연결되어 있다. 한편, 제4 트랜지스터(T4)의 제1 전극(S4)에는 제7 트랜지스터(T7)의 제2 전극(D7) 및 제9 트랜지스터(T9)의 제2 전극(D9)도 연결되어 있다.

[0119] 이상과 같이, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)가 두 개의 트랜지스터를 포함하는 구조로 형성되어 오프 상태에서 채널의 전자 이동 경로를 차단하여 누설 전류가 발생하는 것을 효과적으로 방지할 수 있다.

[0120] 제5 트랜지스터(T5)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제5 트랜지스터(T5)의 제1 전극(S5)에는 구동 전압선(172)이 오프닝(67)을 통해 연결되어 있으며, 제2 전극(D5)은 반도체층(130)을 통하여 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 또한, 제5 트랜지스터(T5)의 제1 전극(S5)에는 제8 트랜지스터(T8)의 제1 전극(S8)도 연결되어 있다.

[0121] 제6 트랜지스터(T6)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제6 트랜지스터(T6)의 제2 전극(D6)에는 제3 데이터 연결 부재(73)가 오프닝(69)을 통해 연결되어 있으며, 제1 전극(S6)은 반도체층(130)을 통하여 구동 트랜지스터의 제2 전극(D1)과 연결되어 있다.

- [0122] 제7 트랜지스터(T7)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 제7 트랜지스터(T7)의 제1 전극(S7)에는 제3 데이터 연결 부재(73)가 오프닝(81)을 통해 연결되어 있고, 제2 전극(D7)은 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있다. 또한, 제7 트랜지스터(T7)의 제2 전극(D7)은 제9 트랜지스터(T9)의 제2 전극(D9)과도 연결되어 있다.
- [0123] 유지 축전기(Cst)는 제2 게이트 절연막(142)을 사이에 두고 중첩하는 제1 유지 전극(E1)과 제2 유지 전극(E2)을 포함한다. 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(155)에 해당하고, 제1 유지 전극(E1)은 유지선(126)의 확장된 부분일 수 있다. 여기서, 제2 게이트 절연막(142)은 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 제1 및 제2 유지 전극들(E1, E2) 사이의 전압에 의해 정전 용량(capacitance)이 결정된다. 게이트 전극(155)을 제2 유지 전극(E2)으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 트랜지스터(T1)의 채널에 의해 좁아진 공간에서 유지 축전기(Cst)를 형성할 수 있는 공간을 확보할 수 있다.
- [0124] 제1 유지 전극(E1)에는 구동 전압선(172)이 오프닝(68)을 통해 연결되어 있다. 따라서 유지 축전기(Cst)는 구동 전압선(172)을 통해 제1 유지 전극(E1)에 전달된 구동 전압(ELVDD)과 게이트 전극(155)의 게이트 전압(Vg) 간의 차에 대응하는 전하를 저장한다.
- [0125] 제2 데이터 연결 부재(72)는 오프닝(64)을 통해 초기화 전압선(127)과 연결되어 있다. 제3 데이터 연결 부재(73)에는 화소 전극으로 불리는 화소 전극이 오프닝(81)을 통해 연결되어 있다.
- [0126] 제3 트랜지스터(T3)의 듀얼 게이트 전극 사이에는 기생 축전기 제어 패턴(79)이 위치할 수 있다. 화소 내에는 기생 축전기가 존재하는데, 기생 축전기에 인가되는 전압이 변하면 화질 특성이 바뀔 수 있다. 기생 축전기 제어 패턴(79)에는 구동 전압선(172)이 오프닝(66)을 통해 연결되어 있다. 이로 인해, 기생 축전기에 일정한 직류 전압인 구동 전압(ELVDD)을 인가됨으로써 화질 특성이 바뀌는 것을 방지할 수 있다. 기생 축전기 제어 패턴(79)은 도시된 것과 다른 영역에 위치할 수도 있고, 구동 전압(ELVDD) 외의 전압이 인가될 수도 있다.
- [0127] 도 6을 참고하여 일 실시예에 따른 유기 발광 표시 장치의 단면상 구조에 대해 적층 순서에 따라 설명한다.
- [0128] 도 6에서는 유기 발광 표시 장치 중 중첩층(M1) 부분의 단면선 VI-VI에서의 단면도를 도시하고 있다. 이에 일 부분의 층상 관계를 도 6을 통하여 상세 설명하기 전에 먼저 일 실시예에 따른 유기 발광 표시 장치의 단면 층상 구조를 먼저 살펴본다.
- [0129] 일 실시예에 따른 유기 발광 표시 장치는 유리, 플라스틱이나 폴리 이미드(PI)와 같은 재질로 형성된 기판(110)을 사용한다. 기판(110) 위에는 배리어층(111)이 위치하고, 배리어층(111) 위에는 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성된 중첩층(M1)이 위치한다. 중첩층(M1)의 위에는 버퍼층(112)이 위치한다. 배리어층(111) 및 버퍼층(112)은 산화 규소, 질화 규소, 산화 알루미늄 등의 무기 절연 물질을 포함할 수 있으며, 또한, 폴리이미드, 폴리 아크릴(에폭시 첨가) 등의 유기 절연 물질도 포함할 수 있다.
- [0130] 버퍼층(112) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)의 채널, 제1 전극 및 제2 전극을 포함하는 반도체층(130)이 위치한다. 반도체층(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9)의 게이트 전극(제2 유지 전극(E2)), 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)을 포함하는 제1 게이트 도전체가 위치한다. 제1 게이트 도전체 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있다. 제2 게이트 절연막(142) 위에는 유지선(126), 제1 유지 전극(E1), 초기화 전압선(127) 및 기생 축전기 제어 패턴(79)을 포함하는 제2 게이트 도전체가 위치한다.
- [0131] 제2 게이트 도전체 위에는 이를 덮는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다. 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(71), 제2 데이터 연결 부재(72) 및 제3 데이터 연결 부재(73)를 포함하는 데이터 도전체가 위치한다.
- [0132] 데이터 도전체 위에는 이를 덮는 보호막(180)이 위치한다. 평탄화막으로도 불리는 보호막(180)은 유기 절연 물질을 포함할 수 있다. 보호막(180) 위에는 화소 전극(도시하지 않음)이 위치한다. 화소 전극은 보호막(180)에 형성된 오프닝(81)을 통하여 제3 데이터 연결 부재와 연결되어 있다. 보호막(180) 및 화소 전극의 위에는 격벽(도시하지 않음)이 위치한다. 격벽은 화소 전극과 중첩하는 오픈 부분을 가지며, 오픈 부분에 유기 발광층이 위치한다. 유기 발광층 및 격벽의 위에는 공통 전극(도시하지 않음)이 위치한다. 화소 전극, 유기 발광층 및 공

통 전극은 유기 발광 다이오드(OLED)를 이룬다.

- [0133] 실시예에 따라서는 화소 전극이 정공 주입 전극인 애노드일 수 있고, 공통 전극이 전자 주입 전극인 캐소드일 수 있다. 이와 반대로, 화소 전극이 캐소드일 수 있고, 공통 전극이 애노드일 수도 있다. 화소 전극 및 공통 전극으로부터 각각 정공과 전자가 유기 발광층 내부로 주입되면, 주입된 정공과 전자가 결합한 엑시톤이 여기 상태에서 기저 상태로 떨어질 때 발광하게 된다.
- [0134] 제1 게이트 도전체로 형성되는 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)은 가로 방향으로 연장되며, 제2 게이트 도전체로 형성되는 유지선(126) 및 초기화 전압선(127)도 가로 방향으로 연장되어 있다. 한편, 데이터 도전체로 형성되는 데이터선(171) 및 구동 전압선(172)은 세로 방향으로 연장되어 있다.
- [0135] 데이터선(171)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(62)을 통해 제2 트랜지스터(T2)의 제1 전극과 연결되어 있다.
- [0136] 구동 전압선(172)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(67)을 통해 제5 트랜지스터(T5)의 제1 전극(S5)에 연결되어 있고, 층간 절연막(160)에 형성된 오프닝(68)을 통해 유지선(126)의 확장된 부분(제1 유지 전극(E1))과 연결되어 있고, 층간 절연막(160)에 형성된 오프닝(66)을 통해 기생 축전기 제어 패턴(79)에 연결되어 있다. 또한, 구동 전압선(172)은 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(57)을 통해 중첩층(M1)과 전기적으로 연결되어 있다.
- [0137] 제1 데이터 연결 부재(71)의 일단은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(61)을 통하여 게이트 전극(155)과 연결되어 있으며, 타단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(63)을 통해 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다.
- [0138] 제2 데이터 연결 부재(72)의 일단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(65)을 통해 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있고, 타단은 층간 절연막(160)에 형성된 오프닝(64)을 통해 초기화 전압선(127)에 연결되어 있다.
- [0139] 제3 데이터 연결 부재(도시하지 않음, 도 8의 73 참고)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(69)을 통해 제6 트랜지스터(T6)의 제2 전극과 연결되어 있다.
- [0140] 도시하지 않았으나, 공통 전극의 위에는 유기 발광 다이오드(OLED)를 보호하는 봉지층(도시되지 않음)이 위치한다. 봉지층은 공통 전극과 접할 수 있고, 공통 전극과 이격되어 있을 수도 있다. 봉지층은 무기막과 유기막이 적층된 박막 봉지층일 수 있으며, 무기막, 유기막, 무기막으로 구성된 3중층을 포함할 수 있다. 공통 전극과 봉지층 사이에는 캐핑층 및 기능층이 위치할 수도 있다.
- [0141] 도 6에서는 중첩층(M1)이 전기적으로 연결되는 구조를 상세하게 도시하고 있다.
- [0142] 도 6을 살펴보면, 기관(110)위에 베리어층(111)이 위치하며, 그 위에는 중첩층(M1)이 위치한다. 중첩층(M1) 중 확장부(M1-1)의 위치는 도 5에서 도시하고 있는 바와 같이 구동 트랜지스터(T1)와 평면상 중첩하는 위치이다. 중첩층(M1)의 위에는 버퍼층(112)이 위치하고 있다. 버퍼층(112)에는 오프닝(57-1, 57-2)이 형성되어 있으며, 중첩층(M1) 중 접촉부(M1-3)의 양단을 각각 노출시킨다.
- [0143] 버퍼층(112)의 위에는 반도체층(130)이 위치하며, 도 6에서는 구동 트랜지스터(T1)의 채널 영역 및 제8 트랜지스터(T8)의 제2 전극(D8)이 도시되어 있다. 제8 트랜지스터(T8)의 제2 전극(D8)은 오프닝(57-1)을 통하여 중첩층(M1)의 접촉부(M1-3)와 연결되어 있다.
- [0144] 중첩층(M1)의 접촉부(M1-3)와 반도체층(130)이 연결되는 구조가 두 오프닝(57-1, 57-2)에서 서로 동일하여 일측만 도 6에 도시하였다. 즉, 도 6에서는 도시하고 있지 않지만, 도 5를 참고하면, 제9 트랜지스터(T9)의 제1 전극(S9)은 버퍼층(112)에 위치하는 오프닝(57-2)을 통하여 중첩층(M1)의 접촉부(M1-3)와 연결되어 있다.
- [0145] 구동 트랜지스터(T1)의 채널 영역, 8 트랜지스터(T8)의 제2 전극(D8)과 버퍼층(112)의 위에는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141)위에는 구동 트랜지스터(T1)의 게이트 전극(155)이 위치하고 있다. 구동 트랜지스터(T1)의 게이트 전극(155)의 위에는 제2 게이트 절연막(142)이 형성되어 있다.
- [0146] 제2 게이트 절연막(142)의 위에는 유지선(126)의 확장된 부분이 위치한다. 제2 게이트 절연막(142) 및 유지선(126)의 확장된 부분은 개구(56)를 가져, 그 아래에 위치하는 게이트 전극(155)을 노출시킨다.

- [0147] 제2 게이트 절연막(142) 및 유지선(126)의 확장된 부분의 위에는 층간 절연막(160)이 형성된다. 층간 절연막(160)에는 오프닝(61, 68)이 위치하여, 각각 게이트 전극(155) 및 유지선(126)의 확장된 부분을 노출시킨다.
- [0148] 층간 절연막(160)의 위에는 제1 데이터 연결 부재(71)와 구동 전압선(172)이 위치한다. 제1 데이터 연결 부재(71)는 오프닝(61)을 통하여 게이트 전극(155)과 전기적으로 연결되며, 구동 전압선(172)은 오프닝(68)을 통하여 유지선(126)의 확장된 부분과 전기적으로 연결된다.
- [0149] 제1 데이터 연결 부재(71)와 구동 전압선(172)의 위에는 보호막(180)이 위치한다. 그 위에는 화소 전극, 유기 발광층, 공통 전극 및 봉지층이 위치할 수 있으나 도시하지 않고 생략하였다.
- [0150] 도 5 및 도 6의 실시예에 따른 중첩층(M1)은 제8 트랜지스터(T8) 또는 제9 트랜지스터(T9)가 턴 온 되면, 각각 구동 전압(ELVDD) 또는 초기화 전압(Vint)을 인가 받는다.
- [0151] 이러한 특징을 가지는 중첩층(M1)은 도 7 및 도 8과 같은 구조로 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)와 연결될 수도 있다.
- [0152] 도 7은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 8은 도 7에서 VIII-VIII선을 따라 자른 단면도이다.
- [0153] 도 7 및 도 8의 실시예에서는 도 5 및 도 6과 달리 중첩층(M1)의 접촉부(M1-3)과 두 트랜지스터(T8, T9)를 연결하는데 있어서 별도의 추가 연결 부재(C-1, C-2)를 사용하는 실시예이다.
- [0154] 도 8에서는 두 개의 추가 연결 부재 중 하나의 추가 연결 부재(C-1)쪽의 단면만을 도시하고 있다. 이는 양측의 추가 연결 부재(C-1, C-2)가 모두 동일한 단면 구조를 가져 한쪽만 도시한 것이다.
- [0155] 도 7 및 도 8을 참고하면, 배리어층(111)의 위에 위치하는 중첩층(M1) 중 접촉부(M1-3)는 그 위에 위치하는 버퍼층(112) 및 제1 게이트 절연막(141)에 위치하는 오프닝(57-1)에 의하여 노출되어 있다. 또한, 버퍼층(112)위에 위치하는 반도체층(130) 중 제8 트랜지스터(T8)의 제2 전극(D8)은 이를 덮는 제1 게이트 절연막(141)에 위치하는 오프닝(57-1)에 의하여 상부면이 노출되어 있다. 그 결과 제1 게이트 절연막(141)의 오프닝(57-1)을 덮으면서 형성되는 추가 연결 부재(C-1)에 의하여 노출된 접촉부(M1-3)와 제8 트랜지스터(T8)의 제2 전극(D8)이 전기적으로 연결된다.
- [0156] 한편, 접촉부(M1-3)와 제9 트랜지스터(T9)의 제1 전극(S1)의 연결구조도 이와 같으며, 설명하면 아래와 같다.
- [0157] 배리어층(111)의 위에 위치하는 중첩층(M1) 중 접촉부(M1-3)는 그 위에 위치하는 버퍼층(112) 및 제1 게이트 절연막(141)에 위치하는 오프닝(57-2)에 의하여 노출되어 있다. 또한, 버퍼층(112)위에 위치하는 반도체층(130) 중 제9 트랜지스터(T9)의 제1 전극(S9)은 이를 덮는 제1 게이트 절연막(141)에 위치하는 오프닝(57-2)에 의하여 상부면이 노출되어 있다. 그 결과 제1 게이트 절연막(141)의 오프닝(57-2)을 덮으면서 형성되는 추가 연결 부재(C-2)에 의하여 노출된 접촉부(M1-3)와 제9 트랜지스터(T9)의 제1 전극(S9)이 전기적으로 연결된다.
- [0158] 도 7 및 도 8의 실시예에 따른 추가 연결 부재(C-1, C-2)는 제2 게이트 도전체층으로 형성되어 있다. 하지만, 제1 게이트 도전체층으로도 형성될 수 있다.
- [0159] 이상에서는 도 7 및 도 8을 통하여 도 5 및 도 6과 다른 방식으로 중첩층(M1)과 제8 또는 제9 트랜지스터(T8, T9)가 연결되는 구조를 살펴보았다. 하지만, 실시예에 따라서는 다양한 다른 방식으로 전기적으로 연결될 수 있다. 특히, 실시예에 따라서는 제8 트랜지스터의 제2 전극(D8)과 제9 트랜지스터의 제1 전극(S9)이 서로 연결되어 있고, 하나의 오프닝을 통하여 중첩층(M1)과 연결될 수도 있다. 이 때, 반도체층(130)이 제8 트랜지스터의 제2 전극(D8)에서부터 제9 트랜지스터의 제1 전극(S9)까지 연결된 구조를 가질 수도 있다.
- [0160] 이상의 실시예에서는 중첩층(M1)에 인가되는 전압으로 구동 전압(ELVDD) 및 초기화 전압(Vint)을 기술하였다. 하지만, 실시예에 따라서는 이에 한정되지 않으며, 다른 높은 전압 또는 낮은 전압을 사용할 수 있다. 여기서 높은 전압과 낮은 전압은 구동 트랜지스터(T1)의 문턱 전압(Vth)을 기준으로 이로부터 일정 정도의 전압 차이가 있는 전압을 사용할 수 있다.
- [0161] 이러한 실시예에서는 기입 구간 동안에는 중첩층(M1)에는 구동 트랜지스터(T1)의 문턱 전압(Vth)보다 낮은 전압 중 하나를 인가하여 작은 데이터 범위(low Data range)를 가지도록 하고, 발광 구간 동안에는 중첩층(M1)에 인가되는 구동 트랜지스터(T1)의 문턱 전압(Vth)보다 높은 전압 중 하나를 인가하여 큰 데이터 범위(high Data range)를 가지도록 할 수 있다.

- [0162] 한편, 실시예에 따라서는 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)를 통하여 중첩층(M1)과 연결되는 부분이 특정 전압선이 아니고 화소(PX)내의 일 트랜지스터의 일측 전극과 연결되도록 구성할 수도 있다.
- [0163] 또한, 실시예에 따라서는 제8 트랜지스터(T8) 또는 제9 트랜지스터(T9)가 없이 직접 중첩층(M1)과 연결되는 실시예로 구성할 수도 있다.
- [0164] 이상에서는 화소(PX)에 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)가 모두 형성되는 실시예를 살펴보았다.
- [0165] 하지만, 실시예에 따라서는 중첩층(M1)이 둘 중 하나의 트랜지스터와 연결될 수도 있다.
- [0166] 이하에서는 이러한 구조에 대하여 살펴본다.
- [0167] 먼저, 도 9 및 도 10을 통하여 화소(PX)가 제8 트랜지스터(T8)와 중첩층(M1)만을 더 포함하는 실시예를 살펴본다.
- [0168] 도 9은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0169] 도 9는 도 1과 비교하면 제9 트랜지스터(T9) 및 그에 연결된 배선이 생략되어 있다. 도 9의 실시예에서는 중첩층(M1)은 제8 트랜지스터(T8)와만 연결되어 있다.
- [0170] 즉, 제8 트랜지스터(T8)는 구동 트랜지스터(T1)와 중첩하는 중첩층(M1)에 구동 전압(ELVDD)을 전달하는 역할을 한다. 제8 트랜지스터(T8)의 게이트 전극(G8)는 발광 제어선(153)과 연결되어 있고, 제1 전극(S8)은 구동 전압선(172)과 연결되어 있으며, 제2 전극(D8)은 중첩층(M1)과 연결되어 있다.
- [0171] 제8 트랜지스터(T8)는 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)와 함께 발광 제어선(153)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 켜지며, 구동 전압(ELVDD)을 중첩층(M1)으로 전달한다.
- [0172] 한편, 도 9의 실시예에서는 제9 트랜지스터(T9)가 없어 중첩층(M1)에는 초기화 전압(Vint)이 인가되지 않는다. 그 결과 중첩층(M1)이 계속 구동 전압(ELVDD)이 인가되어 있으며, 실시예에 따라서는 제8 트랜지스터(T8)도 생략되고, 중첩층(M1)이 직접 구동 전압선(172)과 연결될 수도 있다.
- [0173] 도 9의 실시예를 배치도로 도시하면 도 10과 같다.
- [0174] 도 10은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0175] 도 10의 실시예에서는 반도체층(130)이 제4-1 트랜지스터(T4-1)의 채널 및 제4-2 트랜지스터(T4-2)의 채널을 지나 우측으로 연장된 후, 두 갈래로 나뉘지 않으며, 위로 연장되면서 제7 트랜지스터(T7)의 채널을 지나, 위에 위치하는 화소(PX)의 제6 트랜지스터(T6)와 연결된다. 그 결과, 반도체층(130)에는 제9 트랜지스터(T9)의 채널, 제1 전극(S9) 및 제2 전극(D9)이 형성되지 않는다.
- [0176] 또한, 중첩층(M1)의 접촉부(M1-3)는 위로 확장되지 않고, 아래쪽으로부터 꺼여 있는 구조를 가진다. 또한, 중첩층(M1)의 접촉부(M1-3)는 하나의 오프닝(57-1)에 의하여 제8 트랜지스터(T8)의 제2 전극(D8)이 위치하는 반도체층(130)과만 전기적으로 연결된다.
- [0177] 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)를 모두 형성한 도 1 내지 도 8의 실시예에서는 구동 트랜지스터(T1)가 기입 구간 동안에는 중첩층(M1)에 인가되는 초기화 전압(Vint)으로 인하여 작은 데이터 범위(low Data range)를 가져 데이터 전압이 커패시터에 잘 충전되고, 발광 구간 동안에는 중첩층(M1)에 인가되는 구동 전압(ELVDD)으로 인하여 큰 데이터 범위(high Data range)를 가져 구동 트랜지스터(T1)의 게이트-소스간의 전압(Vgs)의 변화에 덜 민감해 지는 장점을 가지게 된다.
- [0178] 하지만, 도 9 및 도 10의 실시예에서는 제9 트랜지스터(T9)에 의한 효과는 나타나지 않으며, 발광 구간 동안에 중첩층(M1)에 구동 전압(ELVDD)이 형성되어 있어 큰 데이터 범위(high Data range)를 가져 구동 트랜지스터(T1)의 게이트-소스간의 전압(Vgs)의 변화에 덜 민감해 지는 장점만을 가질 수 있다.
- [0179] 이하에서는, 도 11 및 도 12를 통하여 화소(PX)가 제9 트랜지스터(T9)와 중첩층(M1)만을 더 포함하는 실시예를 살펴본다.
- [0180] 도 11은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0181] 도 11는 도 1과 비교하면 제8 트랜지스터(T8) 및 그에 연결된 배선이 생략되어 있다. 도 11의 실시예에서는 중첩층(M1)은 제9 트랜지스터(T9)와만 연결되어 있다.

- [0182] 즉, 제9 트랜지스터(T9)는 구동 트랜지스터(T1)와 중첩하는 중첩층(M1)에 초기화 전압(Vint)만을 전달하는 역할을 한다. 제9 트랜지스터(T9)의 게이트 전극(G9)은 스캔선(151)과 연결되어 있고, 제1 전극(S9)은 중첩층(M1)과 연결되며, 제2 전극(D9)은 초기화 전압선(127)과 연결되어 있다. 제9 트랜지스터(T9)는 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)와 함께 스캔 신호(Sn)에 따라 동시에 켜지며, 중첩층(M1)의 전압을 초기화시킨다.
- [0183] 한편, 도 11의 실시예에서는 제8 트랜지스터(T8)가 없어 중첩층(M1)에는 구동 전압(ELVDD)이 인가되지 않는다. 그 결과 중첩층(M1)이 계속 초기화 전압(Vint)만이 인가되어 있으며, 실시예에 따라서는 제9 트랜지스터(T9)도 생략되고, 중첩층(M1)이 직접 초기화 전압선(127)과 연결될 수도 있다.
- [0184] 도 11의 실시예를 배치도로 도시하면 도 12와 같다.
- [0185] 도 12는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0186] 도 12의 실시예에서는 반도체층(130)이 제5 트랜지스터(T5)의 채널을 지나 좌우로 연장되지 않고 우측으로만 꺾이는 구조를 가진다. 그 결과, 반도체층(130)에는 제8 트랜지스터(T8)의 채널, 제1 전극(S8) 및 제2 전극(D8)이 형성되지 않는다.
- [0187] 또한, 중첩층(M1)의 접촉부(M1-3)는 아래로 확장되지 않고, 윗쪽으로만 꺾여 있는 구조를 가진다. 또한, 중첩층(M1)의 접촉부(M1-3)는 하나의 오프닝(57-2)에 의하여 제9 트랜지스터(T9)의 제1 전극(S9)이 위치하는 반도체층(130)과만 전기적으로 연결된다.
- [0188] 도 1 내지 도 8의 실시예에서는 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)를 모두 형성되어 있어 구동 트랜지스터(T1)가 기입 구간 동안에는 중첩층(M1)에 인가되는 초기화 전압(Vint)으로 인하여 작은 데이터 범위(low Data range)를 가져 데이터 전압이 커패시터에 잘 충전되고, 발광 구간 동안에는 중첩층(M1)에 인가되는 구동 전압(ELVDD)으로 인하여 큰 데이터 범위(high Data range)를 가져 구동 트랜지스터(T1)의 게이트-소스간의 전압(Vgs)의 변화에 덜 민감해 지는 장점을 가지게 된다.
- [0189] 하지만, 도 11 및 도 12의 실시예에서는 제9 트랜지스터(T9)만 형성되어 있어, 기입 구간 동안에 중첩층(M1)에 인가되는 초기화 전압(Vint)으로 인하여 작은 데이터 범위(low Data range)를 가져 데이터 전압이 커패시터에 잘 충전되는 장점만을 가진다.
- [0190] 도 9 내지 도 12의 실시예는 도 1 내지 도 8의 실시예에 비하여 효과면에서 상대적인 단점을 가질 수 있다. 하지만, 표시 장치가 고해상도로 갈수록 화소(PX)를 형성할 수 있는 공간의 제약이 있을 수 있어 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)를 모두 형성할 수 없을 수도 있다. 그러한 경우에는 두 트랜지스터 중 하나만을 형성하고 중첩층(M1)과 연결하는 실시예가 적용될 수 있다.
- [0191] 이상에서는 화소(PX)에 형성되는 반도체가 다결정 반도체를 사용하여 P-mos 트랜지스터인 경우를 중심으로 살펴 보았다. 하지만, 실시예에 따라서는 비정질 반도체 또는 산화물 반도체가 사용될 수 있으며, 그때에는 n-mos 트랜지스터의 특성을 가질 수 있다. 이 때, 중첩층(M1)에 인가되는 전압의 크기는 반대가 될 수 있다. 즉, 기입 구간에 높은 전압이 인가되고, 발광 구간에 낮은 전압이 인가될 수 있다.
- [0192] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

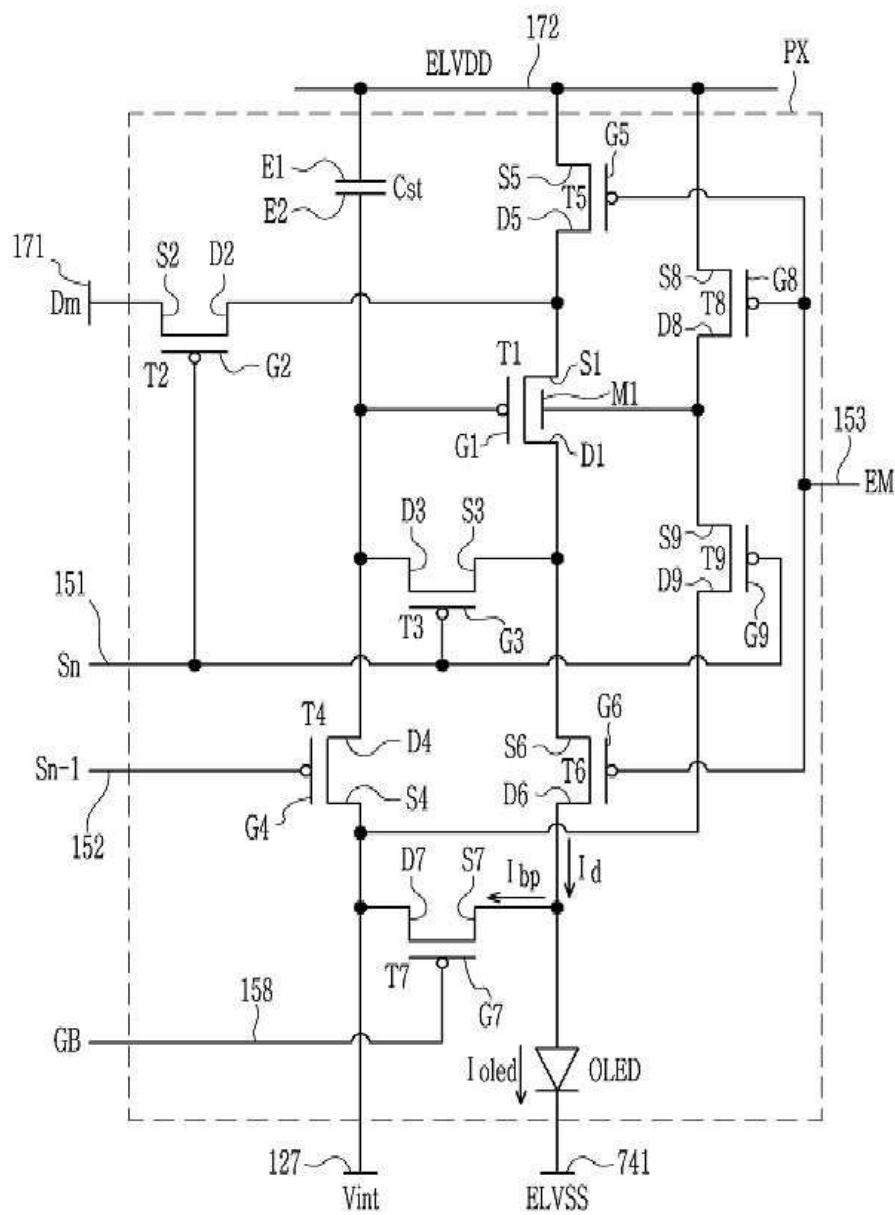
부호의 설명

- [0193] M1: 중첩층 M1-1: 확장부
- M1-2: 연장부 M1-3: 접촉부
- 110: 기판 111: 베리어층
- 112: 버퍼층 130: 반도체층
- 141: 제1 게이트 절연막 142: 제2 게이트 절연막
- 160: 층간 절연막 180: 보호막
- 56: 개구 57, 57-1, 57-2, 61-69, 81: 오프닝

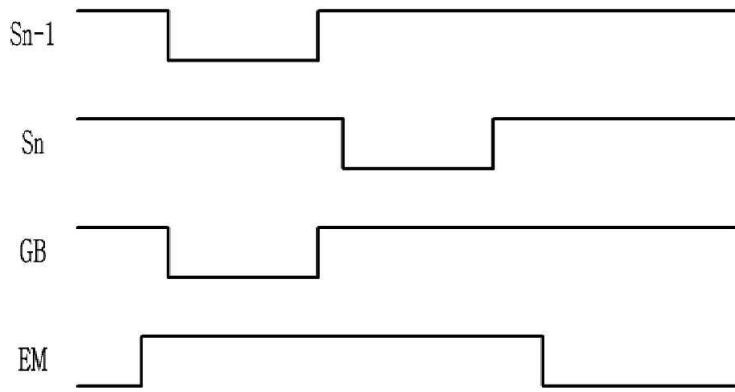
- 126: 유지선 127: 초기화 전압선
- 151: 스캔선 152: 진단 스캔선
- 153: 발광 제어선 155: 게이트 전극
- 158: 바이패스 제어선 171: 데이터선
- 172: 구동 전압선 71, 72, 73: 데이터 연결 부재
- C-1, C-2: 추가 연결 부재 741: 공통 전압선
- 79: 축전기 제어 패턴

도면

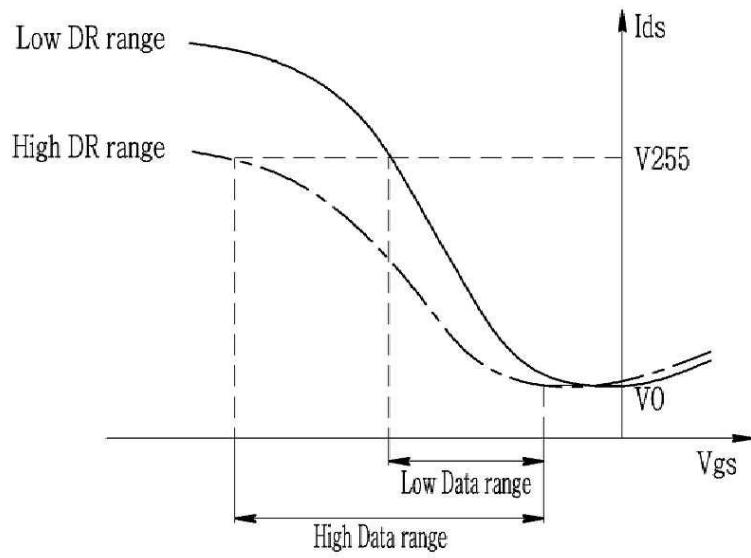
도면1



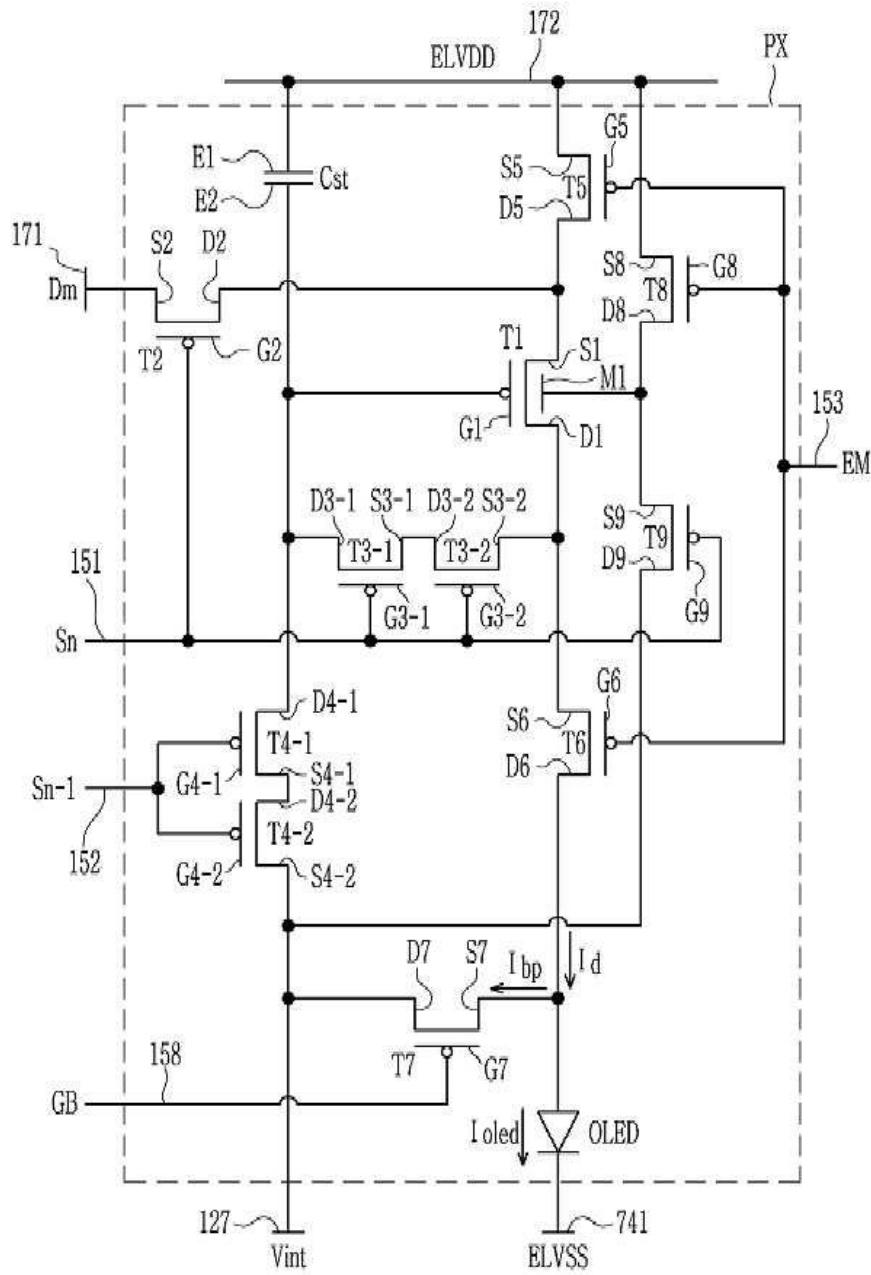
도면2



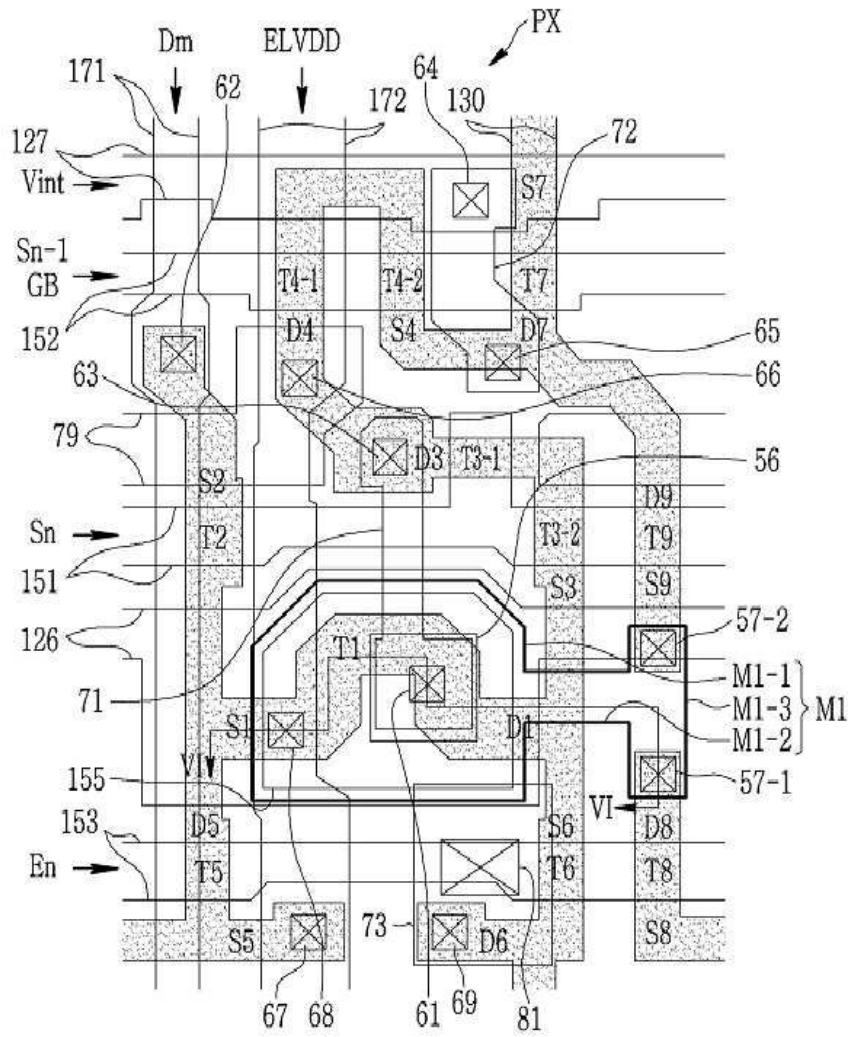
도면3



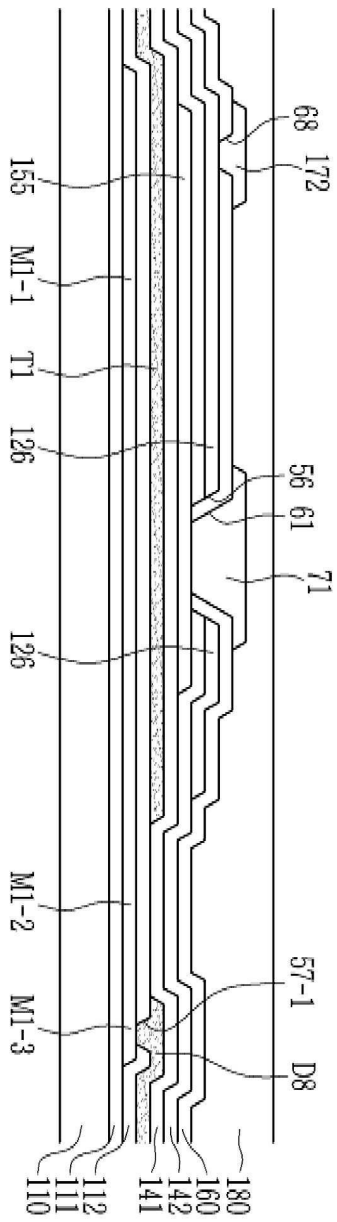
도면4



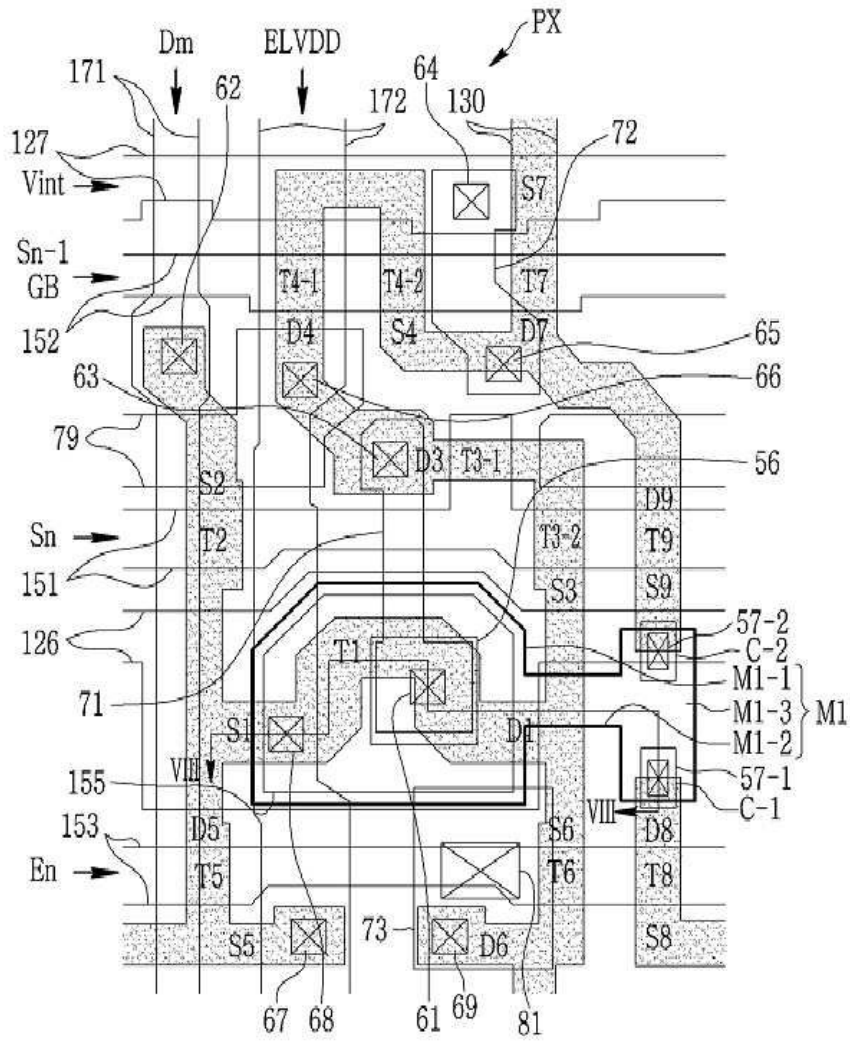
도면5



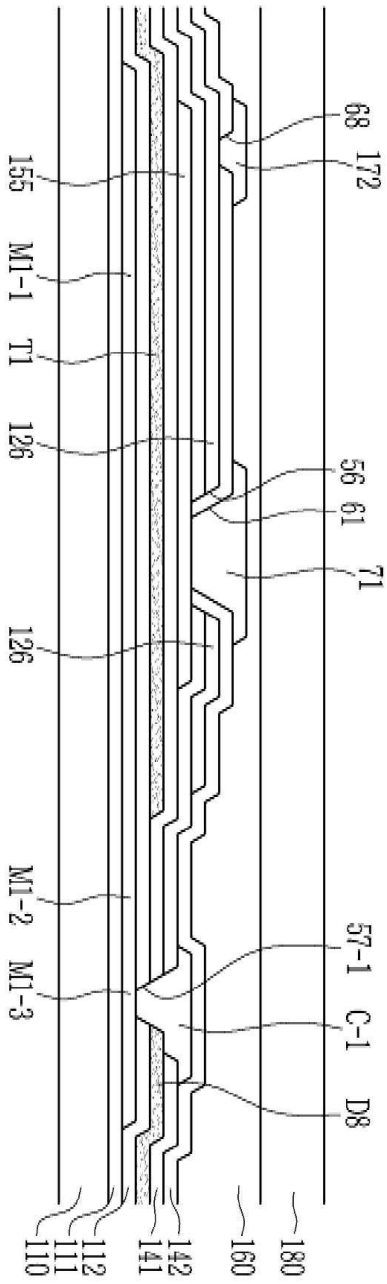
도면6



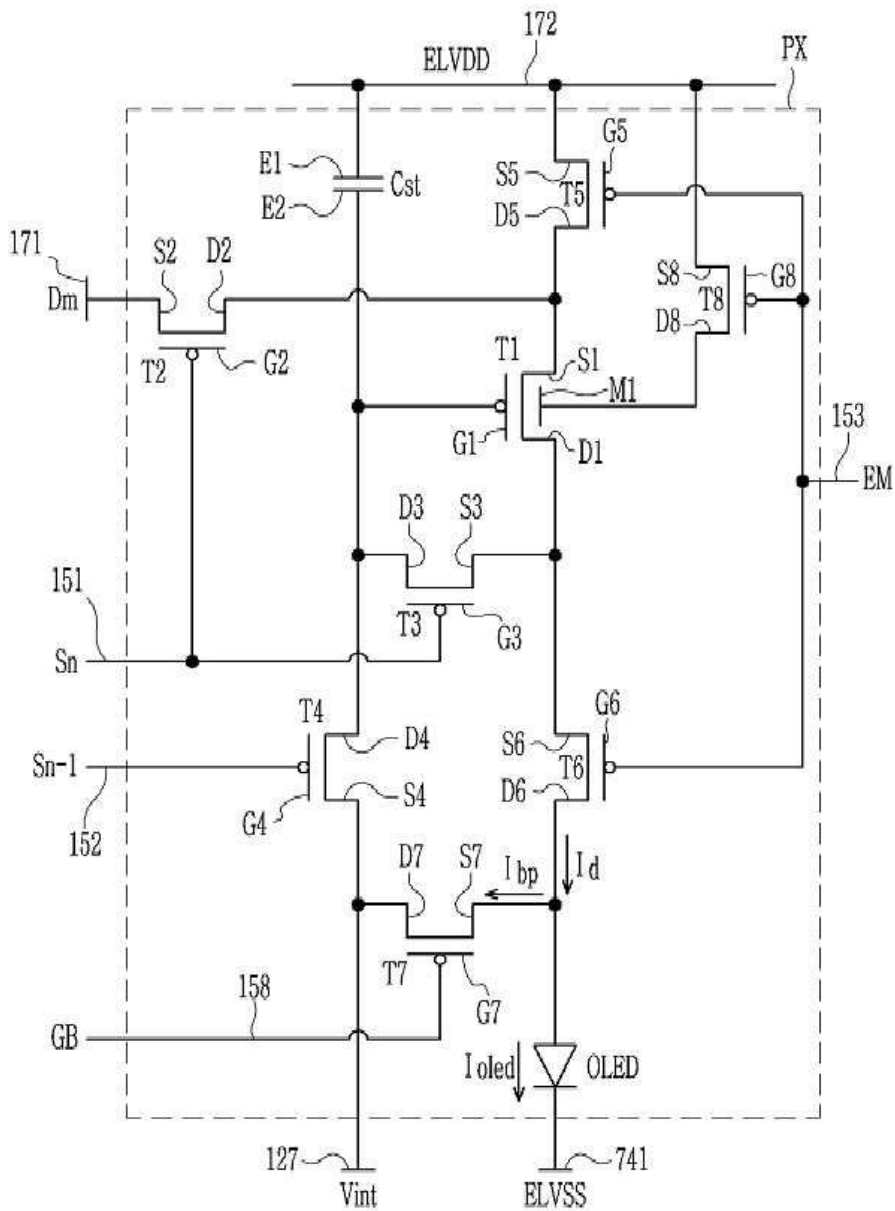
도면7



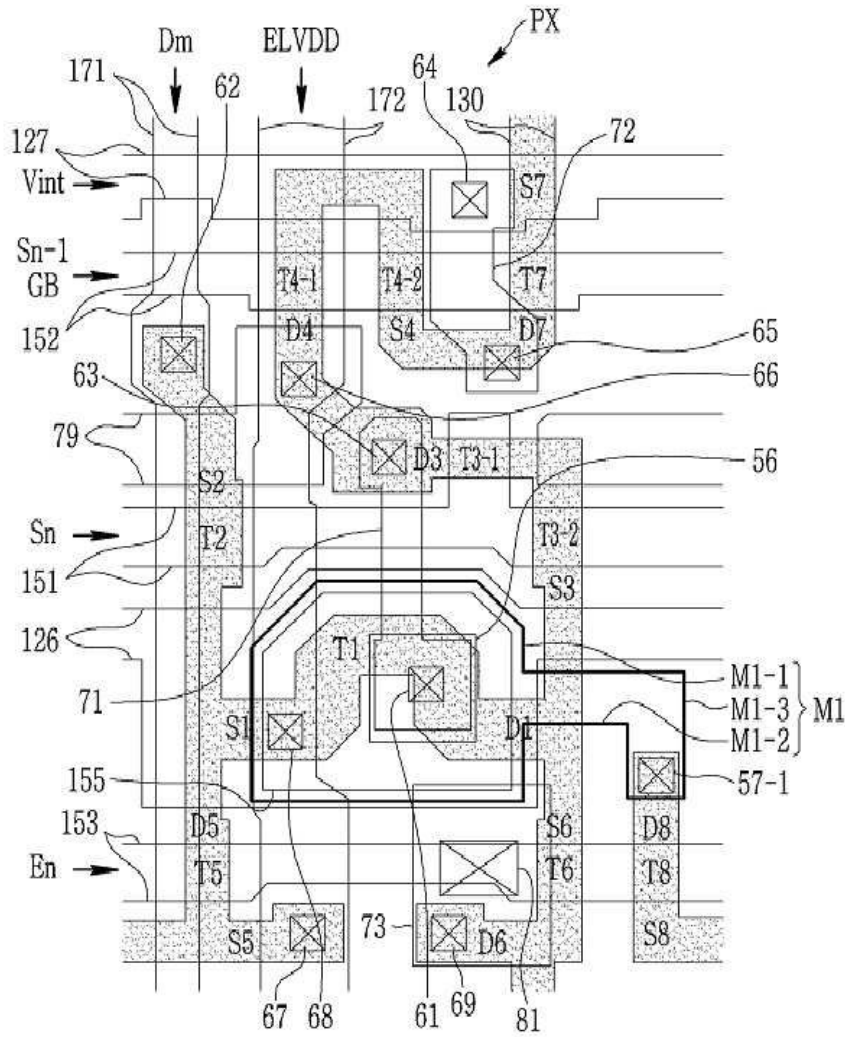
도면8



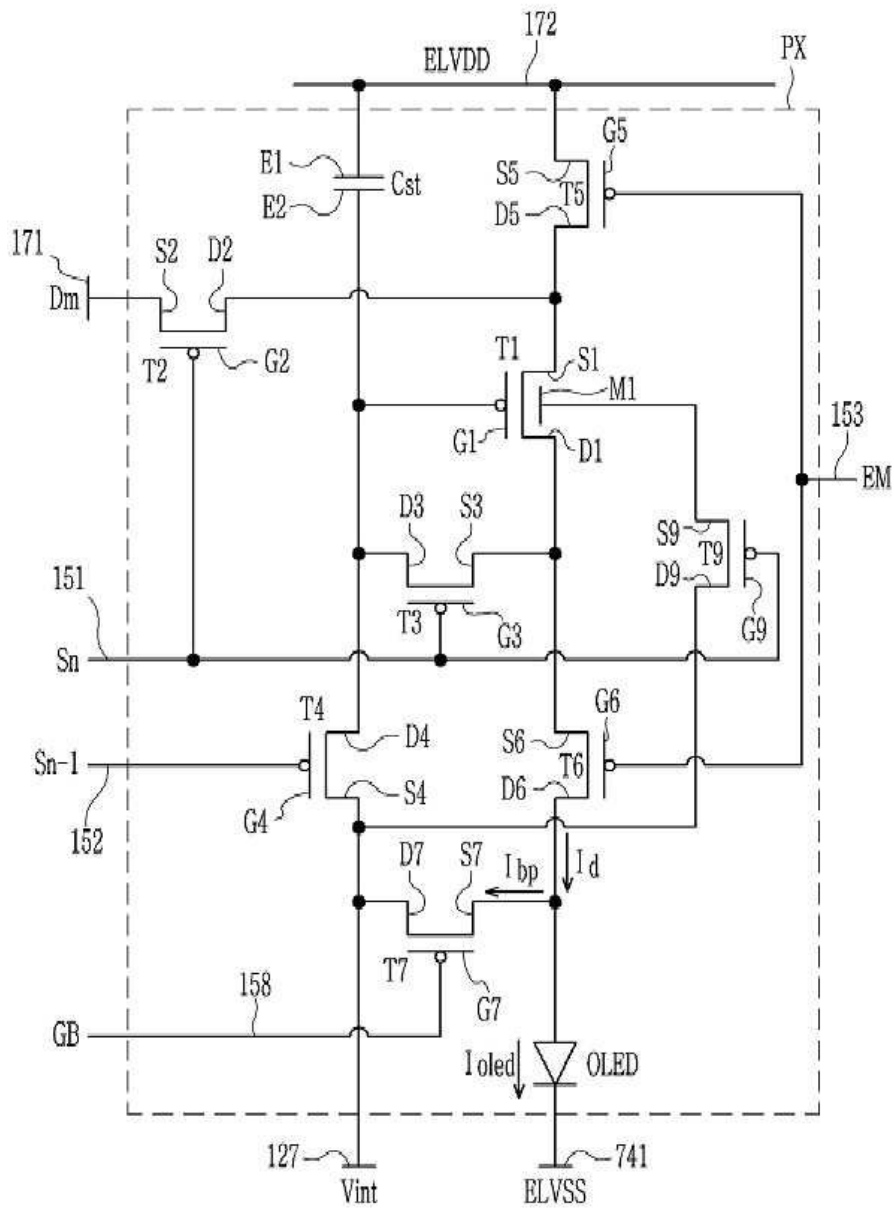
도면9



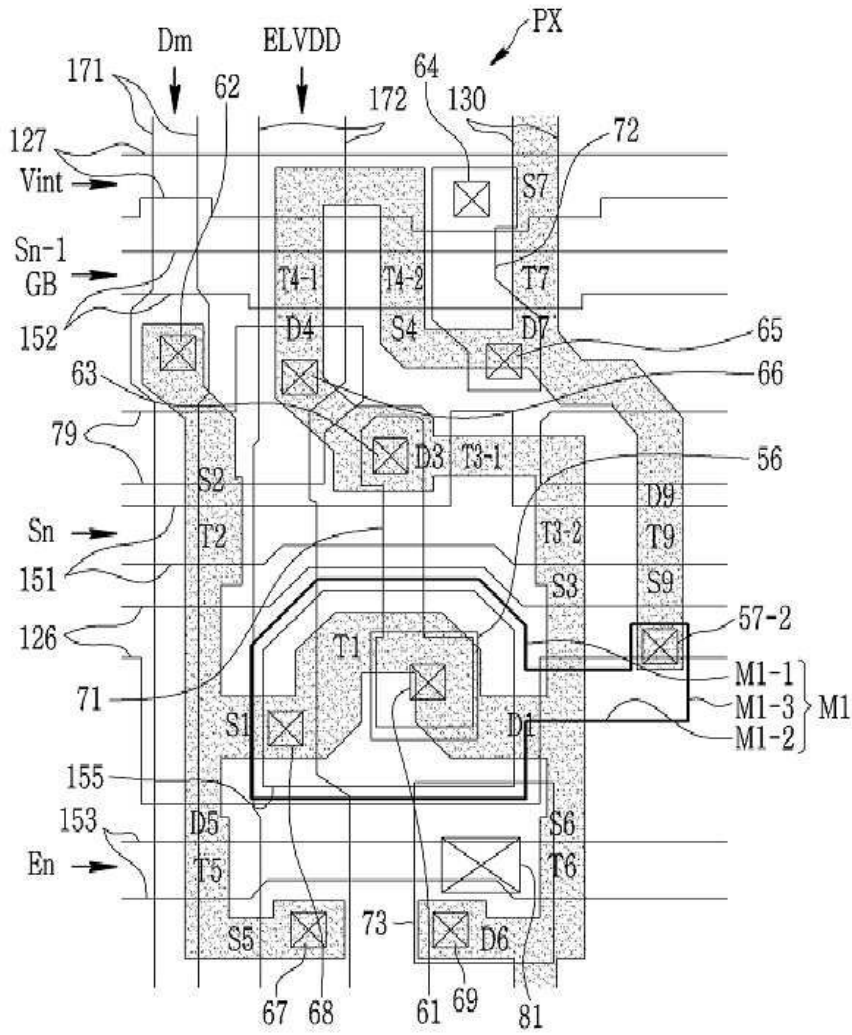
도면10



도면11



도면12



专利名称(译)	有机发光二极管显示装置		
公开(公告)号	KR1020200000513A	公开(公告)日	2020-01-03
申请号	KR1020180071966	申请日	2018-06-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	윤주원 김건희 박상호 이승찬 전주희		
发明人	윤주원 김건희 박상호 이승찬 전주희		
IPC分类号	G09G3/3275 H01L21/8234 H01L27/32		
CPC分类号	G09G3/3275 H01L21/823475 H01L27/3262 G09G2230/00 G09G2300/0426 G09G2300/0842 G09G2330/028 H01L21/8234 H01L27/32		
外部链接	Espacenet		

摘要(译)

根据本发明，用于提高驱动晶体管中的数据电压的充电率的有机发光二极管显示装置包括位于基板上的重叠层。像素包括有机发光元件，连接到扫描线和数据线的第二晶体管，具有栅电极，输入端子和输出端子并将来自输出端子的电流施加到有机发光元件的驱动晶体管，电压施加晶体管向重叠层施加电压。第二晶体管的输出可以连接到驱动晶体管的输入端子。重叠层可以在平面上与驱动晶体管重叠，并且重叠层可以位于驱动晶体管和基板之间。

