



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0104088
(43) 공개일자 2019년09월06일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0024722

(22) 출원일자 2018년02월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

이탁영

경기도 용인시 기흥구 삼성로 1 (농서동)

정윤모

경기도 용인시 기흥구 삼성로 1 (농서동)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

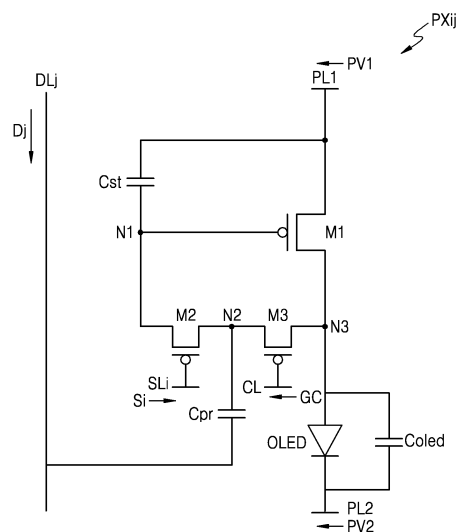
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 화소 회로 및 유기 발광 표시 장치

(57) 요약

다양한 실시예들에 따라서, 데이터선과 제1 및 제2 전원선들에 접속되는 화소 회로가 제공된다. 상기 화소 회로는 상기 제1 전원선과 상기 제2 전원선 사이에 접속되는 발광 소자, 제1 노드의 전압에 따라서 상기 제1 전원선으로부터 상기 발광 소자를 통해 상기 제2 전원선으로 흐르는 전류를 제어하는 구동 트랜지스터, 상기 제1 노드와 제2 노드 사이에 접속되는 제1 스위칭 소자, 상기 제2 노드와 제3 노드 사이에 접속되는 제2 스위칭 소자, 상기 제1 전원선과 상기 제1 노드 사이에 접속되는 제1 커패시터, 및 상기 제2 노드와 상기 데이터선 사이에 접속되는 제2 커패시터를 포함한다. 이러한 화소 회로를 갖는 표시 장치는 초고해상도로 제작될 수 있다.

대표도 - 도2



(52) CPC특허분류

G09G 2300/0842 (2013.01)

(72) 발명자

서일훈

경기도 용인시 기흥구 삼성로 1 (농서동)

조미연

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

데이터선과 제1 및 제2 전원선들에 접속되는 화소 회로에 있어서,

상기 제1 전원선과 상기 제2 전원선 사이에 접속되는 발광 소자;

제1 노드의 전압에 따라서 상기 제1 전원선으로부터 상기 발광 소자를 통해 상기 제2 전원선으로 흐르는 전류를 제어하는 구동 트랜지스터;

상기 제1 노드와 제2 노드 사이에 접속되는 제1 스위칭 소자;

상기 제2 노드와 제3 노드 사이에 접속되는 제2 스위칭 소자;

상기 제1 전원선과 상기 제1 노드 사이에 접속되는 제1 커패시터; 및

상기 제2 노드와 상기 데이터선 사이에 접속되는 제2 커패시터를 포함하는 화소 회로.

청구항 2

제1 항에 있어서,

상기 구동 트랜지스터는 상기 제1 노드에 접속되는 게이트 전극, 상기 제1 전원선에 접속되는 소스 전극, 및 상기 제3 노드에 접속되는 드레인 전극을 갖는 화소 회로.

청구항 3

제1 항에 있어서,

상기 발광 소자는 상기 제3 노드와 상기 제2 전원선 사이에 접속되는 유기 발광 다이오드인 화소 회로.

청구항 4

제1 항에 있어서,

상기 제1 스위칭 소자는 주사선에 접속되는 게이트 전극, 상기 제1 노드에 접속되는 제1 전극, 및 상기 제2 노드에 접속되는 제2 전극을 갖는 제1 스위칭 트랜지스터인 화소 회로.

청구항 5

제1 항에 있어서,

상기 제2 스위칭 소자는 제어선에 접속되는 게이트 전극, 상기 제2 노드에 접속되는 제1 전극, 및 상기 제3 노드에 접속되는 제3 전극을 갖는 제2 스위칭 트랜지스터인 화소 회로.

청구항 6

제1 항에 있어서,

상기 발광 소자가 발광하는 발광 기간 동안, 상기 제1 전원선에 제1 레벨 전압이 인가되고, 상기 제2 전원선에 제2 레벨 전압이 인가되며,

상기 발광 소자가 발광하지 않는 비발광 기간 중에서 적어도 일부 구간 동안, 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압이 인가되며,

상기 비발광 기간 동안 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압이 인가되는 화소 회로.

청구항 7

제6 항에 있어서,

상기 비발광 기간 중에, 상기 제2 스위칭 소자와 제1 스위칭 소자는 상기 제1 전원선에 상기 제3 레벨 전압이 인가된 후에 순차적으로 단락되는 화소 회로.

청구항 8

제7 항에 있어서,

상기 비발광 기간 중에, 상기 제2 스위칭 소자와 제1 스위칭 소자가 순차적으로 단락된 후, 상기 제1 전원선에 상기 제1 레벨 전압이 인가되는 화소 회로.

청구항 9

제8 항에 있어서,

상기 비발광 기간 중에, 상기 제1 전원선에 상기 제1 레벨 전압이 인가된 후, 상기 데이터 선에 기준 전압이 인가되고 있는 순간에 상기 제1 및 제2 스위칭 소자들이 개방되는 화소 회로.

청구항 10

제8 항에 있어서,

상기 비발광 기간 중에, 상기 제1 전원선에 상기 제1 레벨 전압이 인가된 후, 상기 제2 스위칭 소자는 개방 상태를 유지하고, 상기 데이터선에 데이터 전압이 인가되고 있는 순간에 상기 제1 스위칭 소자는 단락 상태에서 개방 상태로 천이하는 화소 회로.

청구항 11

제1 전원선;

제2 전원선;

데이터선;

제1 노드와 제2 노드 사이에 접속되는 제1 스위칭 소자, 상기 제2 노드와 제3 노드 사이에 접속되는 제2 스위칭 소자, 상기 제1 노드의 전압에 따라서 상기 제1 전원선에서 상기 제3 노드로 흐르는 전류를 제어하는 구동 트랜지스터, 상기 제3 노드와 상기 제2 전원선 사이에 접속되는 발광 소자, 상기 제1 전원선과 상기 제1 노드 사이에 접속되는 제1 커패시터, 및 상기 제2 노드와 상기 데이터선 사이에 접속되는 제2 커패시터를 포함하는 화소; 및

순차적으로 진행되는 제1 내지 제7 구간을 포함하는 한 프레임 기간 동안, 상기 제1 및 제2 스위칭 소자들 및 상기 제1 및 제2 전원선들과 상기 데이터선을 제어하는 제어부를 포함하는 표시 장치.

청구항 12

제11 항에 있어서,

상기 제7 구간 동안, 상기 제어부는 상기 제1 전원선에 제1 레벨 전압을 인가하고 상기 제2 전원선에 제2 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 개방하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 13

제12 항에 있어서,

상기 제1 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 개방하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 14

제12 항에 있어서,

상기 제2 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 개방하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 15

제12 항에 있어서,

상기 제3 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 스위칭 소자를 개방하고 제2 스위칭 소자를 단락하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 16

제12 항에 있어서,

상기 제4 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 단락하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 17

제12 항에 있어서,

상기 제5 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 단락하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 18

제12 항에 있어서,

상기 제6 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제2 스위칭 소자를 개방하고, 상기 데이터선에 데이터 전압을 인가하고 있는 도중에 상기 제1 스위칭 소자를 단락 상태에서 개방 상태로 변경하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 19

제12 항에 있어서,

상기 제어부는 적어도 상기 제4 및 제5 구간 동안 상기 데이터선에 기준 전압을 인가하도록 제어하는 것을 특징으로 하는 표시 장치.

청구항 20

제1 전원선, 제2 전원선, 주사선, 제어선, 및 데이터선에 접속되는 화소; 및

순차적으로 진행되는 제1 내지 제7 구간을 포함하는 한 프레임 기간 동안 상기 제1 전원선, 상기 제2 전원선, 상기 주사선, 상기 제어선, 및 상기 데이터선을 제어하는 구동부를 포함하며,

상기 화소는,

제1 전극과 상기 제2 전원선에 접속되는 제2 전극을 갖는 유기 발광 다이오드;

게이트 전극, 상기 제1 전원선에 접속되는 제1 전극, 및 상기 유기 발광 다이오드의 상기 제1 전극에 접속되는 제2 전극을 갖는 제1 트랜지스터;

상기 주사선에 접속되는 제어 전극, 상기 제1 트랜지스터의 상기 게이트 전극에 접속되는 제1 전극, 및 제2 전극을 갖는 제2 트랜지스터;

상기 제어선에 접속되는 제어 전극, 상기 제2 트랜지스터의 상기 제2 전극에 접속되는 제1 전극, 및 상기 제1

트랜지스터의 상기 제2 전극에 접속되는 제2 전극을 갖는 제3 트랜지스터;

상기 제1 전원선과 상기 제1 트랜지스터의 상기 게이트 전극 사이에 접속되는 제1 커패시터; 및

상기 제2 트랜지스터의 상기 제2 전극과 상기 데이터선 사이에 접속되는 제2 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 21

제20 항에 있어서,

상기 구동부는 상기 제1 전원선에 상기 제1, 제5, 제6, 및 제7 구간 동안 제1 레벨 전압을 인가하고 상기 제2 내지 제4 구간 동안 제1 레벨 전압과 다른 제2 레벨 전압을 인가하도록 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 22

제20 항에 있어서,

상기 구동부는 상기 제2 전원선에 상기 제1 내지 제6 구간 동안 제3 레벨 전압을 인가하고 상기 제7 구간 동안 제3 레벨 전압과 다른 제4 레벨 전압을 인가하도록 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 23

제20 항에 있어서,

상기 구동부는 상기 제어선에 상기 제1, 제2, 제6 및 제7 구간 동안 상기 제3 트랜지스터를 턴오프하기 위한 턴오프 전압을 인가하고 상기 제3 내지 제5 구간 동안 상기 제3 트랜지스터를 턴온하기 위한 턴온 전압을 인가하도록 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 24

제20 항에 있어서,

상기 구동부는 상기 주사선에 상기 제1, 제2, 제3 및 제7 구간 동안 상기 제2 트랜지스터를 턴오프하기 위한 턴오프 전압을 인가하고 상기 제4 내지 제5 구간 동안 상기 제2 트랜지스터를 턴온하기 위한 턴온 전압을 인가하고, 제6 구간 중에 상기 데이터선에 인가되는 데이터 전압에 동기화되어 일시적으로 턴온 전압을 인가하도록 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 25

제20 항에 있어서,

상기 구동부는 상기 데이터선에 상기 제6 구간 동안 데이터 전압을 인가하고, 적어도 상기 제4 및 제5 구간 동안 기준 전압을 인가하도록 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소 회로 및 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(Organic Light Emitting Display)는 전류에 의해 휘도가 달라지는 발광 소자, 예컨대, 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기 발광 표시 장치 내의 한 화소는 유기 발광 다이오드, 게이트 전극과 소스 전극 사이의 전압에 따라 유기 발광 다이오드에 공급되는 전류량을 제어하는 구동 트랜지스터, 및 유기 발광 다이오드의 휘도를 제어하기 위한 데이터 전압을 구동 트랜지스터로 전달하는 스위칭 트랜지스터를 포함한다.

[0003] 제조 공정 오차에 의해 구동 트랜지스터들은 서로 상이한 문턱 전압을 가질 수 있으며, 동일한 데이터 전압이 인가되더라도 문턱 전압에 따라 구동 트랜지스터가 출력하는 전류량은 상이할 수 있다. 또한, 구동 트랜지스터

는 이전 프레임 기간 동안 출력한 전류량에 따라 현재 프레임 기간 동안 출력할 전류량이 달라질 수 있다. 또한, 유기 발광 다이오드가 이전 프레임 기간 동안 발광한 경우, 현재 프레임 기간 동안 풀 블랙을 표시해야 함에도 유기 발광 다이오드가 미세하게 발광할 수도 있다.

[0004] 이러한 문제들을 개선하기 위해 화소는 구동 트랜지스터와 스위칭 트랜지스터 외에 복수의 트랜지스터들을 더 포함할 수 있다. 또한, 추가된 트랜지스터들을 제어하기 위한 제어선들이 추가로 요구될 수 있다. 이와 같이 하나의 화소에 트랜지스터들과 이들을 제어하기 위한 제어선들이 추가될 경우, 하나의 화소가 차지하는 면적은 증가하게 되고, 해상도를 높이기 어려워진다. 그러나, 헤드 마운트 디스플레이와 같이 눈과 표시 장치의 간격이 매우 가까운 경우, 자연스러운 영상을 표시하기 위해, 표시 장치의 해상도가 높아야 한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 전술한 문제들을 해결하면서도 높은 해상도를 갖는 표시 장치에 적합한 화소 회로를 제공할 수 있다.

[0006] 본 발명의 실시예들은 전술한 문제들을 해결하면서도 높은 해상도를 갖는 유기 발광 표시 장치를 제공할 수 있다.

[0007] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 본 발명의 기재로부터 당해 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 측면에 따른 화소 회로는 데이터선과 제1 및 제2 전원선들에 접속된다. 상기 화소 회로는 상기 제1 전원선과 상기 제2 전원선 사이에 접속되는 발광 소자, 제1 노드의 전압에 따라서 상기 제1 전원선으로부터 상기 발광 소자를 통해 상기 제2 전원선으로 흐르는 전류를 제어하는 구동 트랜지스터, 상기 제1 노드와 제2 노드 사이에 접속되는 제1 스위칭 소자, 상기 제2 노드와 제3 노드 사이에 접속되는 제2 스위칭 소자, 상기 제1 전원선과 상기 제1 노드 사이에 접속되는 제1 커패시터, 및 상기 제2 노드와 상기 데이터선 사이에 접속되는 제2 커패시터를 포함한다.

[0009] 상기 구동 트랜지스터는 상기 제1 노드에 접속되는 게이트 전극, 상기 제1 전원선에 접속되는 소스 전극, 및 상기 제3 노드에 접속되는 드레인 전극을 가질 수 있다.

[0010] 상기 발광 소자는 상기 제3 노드와 상기 제2 전원선 사이에 접속되는 유기 발광 다이오드일 수 있다.

[0011] 상기 제1 스위칭 소자는 주사선에 접속되는 게이트 전극, 상기 제1 노드에 접속되는 제1 전극, 및 상기 제2 노드에 접속되는 제2 전극을 갖는 제1 스위칭 트랜지스터일 수 있다.

[0012] 상기 제2 스위칭 소자는 제어선에 접속되는 게이트 전극, 상기 제2 노드에 접속되는 제1 전극, 및 상기 제3 노드에 접속되는 제2 전극을 갖는 제2 스위칭 트랜지스터일 수 있다.

[0013] 상기 발광 소자가 발광하는 발광 기간 동안, 상기 제1 전원선에 제1 레벨 전압이 인가되고, 상기 제2 전원선에 제2 레벨 전압이 인가될 수 있다. 상기 발광 소자가 발광하지 않는 비발광 기간 중에서 적어도 일부 구간 동안, 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압이 인가될 수 있다. 상기 비발광 기간 동안 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압이 인가될 수 있다.

[0014] 상기 비발광 기간 중에, 상기 제2 스위칭 소자와 제1 스위칭 소자는 상기 제1 전원선에 상기 제3 레벨 전압이 인가된 후에 순차적으로 단락될 수 있다.

[0015] 상기 비발광 기간 중에, 상기 제2 스위칭 소자와 제1 스위칭 소자가 순차적으로 단락된 후, 상기 제1 전원선에 상기 제1 레벨 전압이 인가될 수 있다.

[0016] 상기 비발광 기간 중에, 상기 제1 전원선에 상기 제1 레벨 전압이 인가된 후, 상기 데이터 선에 기준 전압이 인가되고 있는 순간에 상기 제1 및 제2 스위칭 소자들이 개방될 수 있다.

[0017] 상기 비발광 기간 중에, 상기 제1 전원선에 상기 제1 레벨 전압이 인가된 후, 상기 제2 스위칭 소자는 개방 상태를 유지하고, 상기 데이터선에 데이터 전압이 인가되고 있는 순간에 상기 제1 스위칭 소자는 단락 상태에서

개방 상태로 천이할 수 있다.

- [0018] 본 발명의 일 측면에 따른 표시 장치는 제1 전원선, 제2 전원선, 데이터선, 제1 노드와 제2 노드 사이에 접속되는 제1 스위칭 소자, 상기 제2 노드와 제3 노드 사이에 접속되는 제2 스위칭 소자, 상기 제1 노드의 전압에 따라서 상기 제1 전원선에서 상기 제3 노드로 흐르는 전류를 제어하는 구동 트랜지스터, 상기 제3 노드와 상기 제2 전원선 사이에 접속되는 발광 소자, 상기 제1 전원선과 상기 제1 노드 사이에 접속되는 제1 커패시터, 및 상기 제2 노드와 상기 데이터선 사이에 접속되는 제2 커패시터를 포함하는 화소, 및 순차적으로 진행되는 제1 내지 제7 구간을 포함하는 한 프레임 기간 동안, 상기 제1 및 제2 스위칭 소자들 및 상기 제1 및 제2 전원선들과 상기 데이터선을 제어하는 제어부를 포함한다.
- [0019] 상기 제7 구간 동안, 상기 제어부는 상기 제1 전원선에 제1 레벨 전압을 인가하고 상기 제2 전원선에 제2 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 개방하도록 제어할 수 있다.
- [0020] 상기 제1 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 개방하도록 제어할 수 있다.
- [0021] 상기 제2 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 개방하도록 제어할 수 있다.
- [0022] 상기 제3 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 스위칭 소자를 개방하고 제2 스위칭 소자를 단락하도록 제어할 수 있다.
- [0023] 상기 제4 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압과 다른 제3 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 단락하도록 제어할 수 있다.
- [0024] 상기 제5 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제1 및 제2 스위칭 소자들을 단락하도록 제어할 수 있다.
- [0025] 상기 제6 구간 동안, 상기 제어부는 상기 제1 전원선에 상기 제1 레벨 전압을 인가하고 상기 제2 전원선에 상기 제2 레벨 전압과 다른 제4 레벨 전압을 인가하고 상기 제2 스위칭 소자를 개방하고, 상기 데이터선에 데이터 전압을 인가하고 있는 도중에 상기 제1 스위칭 소자를 단락 상태에서 개방 상태로 변경하도록 제어할 수 있다.
- [0026] 상기 제어부는 적어도 상기 제4 및 제5 구간 동안 상기 데이터선에 기준 전압을 인가하도록 제어할 수 있다.
- [0027] 본 발명의 일 측면에 따른 유기 발광 표시 장치는 제1 전원선, 제2 전원선, 주사선, 제어선, 및 데이터선에 접속되는 화소, 및 순차적으로 진행되는 제1 내지 제7 구간을 포함하는 한 프레임 기간 동안 상기 제1 전원선, 상기 제2 전원선, 상기 주사선, 상기 제어선, 및 상기 데이터선을 제어하는 구동부를 포함한다. 상기 화소는, 제1 전극과 상기 제2 전원선에 접속되는 제2 전극을 갖는 유기 발광 다이오드; 게이트 전극, 상기 제1 전원선에 접속되는 제1 전극, 및 상기 유기 발광 다이오드의 상기 제1 전극에 접속되는 제2 전극을 갖는 제1 트랜지스터; 상기 주사선에 접속되는 제어 전극, 상기 제1 트랜지스터의 상기 게이트 전극에 접속되는 제1 전극, 및 제2 전극을 갖는 제2 트랜지스터; 상기 제어선에 접속되는 제어 전극, 상기 제2 트랜지스터의 상기 제2 전극에 접속되는 제1 전극, 및 상기 제1 트랜지스터의 상기 제2 전극에 접속되는 제2 전극을 갖는 제3 트랜지스터; 상기 제1 전원선과 상기 제1 트랜지스터의 상기 게이트 전극 사이에 접속되는 제1 커패시터; 및 상기 제2 트랜지스터의 상기 제2 전극과 상기 데이터선 사이에 접속되는 제2 커패시터를 포함한다.
- [0028] 상기 구동부는 상기 제1 전원선에 상기 제1, 제5, 제6, 및 제7 구간 동안 제1 레벨 전압을 인가하고 상기 제2 내지 제4 구간 동안 제1 레벨 전압과 다른 제2 레벨 전압을 인가하도록 구성될 수 있다.
- [0029] 상기 구동부는 상기 제2 전원선에 상기 제1 내지 제6 구간 동안 제3 레벨 전압을 인가하고 상기 제7 구간 동안 제3 레벨 전압과 다른 제4 레벨 전압을 인가하도록 구성될 수 있다.
- [0030] 상기 구동부는 상기 제어선에 상기 제1, 제2, 제6 및 제7 구간 동안 상기 제3 트랜지스터를 턴오프하기 위한 턴오프 전압을 인가하고 상기 제3 내지 제5 구간 동안 상기 제3 트랜지스터를 턴온하기 위한 턴온 전압을 인가하도록 구성될 수 있다.
- [0031] 상기 구동부는 상기 주사선에 상기 제1, 제2, 제3 및 제7 구간 동안 상기 제2 트랜지스터를 턴오프하기 위한 턴

오프 전압을 인가하고 상기 제4 내지 제5 구간 동안 상기 제2 트랜지스터를 턴온하기 위한 턴온 전압을 인가하고, 제6 구간 중에 상기 데이터선에 인가되는 데이터 전압에 동기화되어 일시적으로 턴온 전압을 인가하도록 구성될 수 있다.

[0032] 상기 구동부는 상기 데이터선에 상기 제6 구간 동안 데이터 전압을 인가하고, 적어도 상기 제4 및 제5 구간 동안 기준 전압을 인가하도록 구성될 수 있다.

발명의 효과

[0033] 본 발명의 다양한 실시예들에 따르면, 화소 회로는 구동 트랜지스터 외에 오직 2개의 스위칭 트랜지스터만을 포함하고, 주사선과 데이터선 외에 오직 하나의 제어선에 접속된다. 따라서, 화소의 면적은 감소될 수 있으며, 이와 같은 화소를 포함하는 표시 장치의 해상도는 높아질 수 있다. 또한, 본 발명의 다양한 실시예에 따른 화소 회로는 구동 트랜지스터의 문턱 전압의 불균일 문제, 구동 트랜지스터가 히스테리시스 특성을 갖는 문제, 및 유기 발광 다이오드가 미세하게 발광하는 문제를 모두 해결할 수 있다. 따라서, 본 발명의 다양한 실시예들에 따른 표시 장치는 초고해상도의 영상을 표시할 수 있다.

도면의 간단한 설명

[0034] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 개략적인 블록도이다.

도 2는 일 실시예에 따른 화소의 회로도이다.

도 3는 도 2의 화소를 구동하기 위한 타이밍도이다.

도 4는 다른 실시예에 따라서 도 2의 화소를 구동하기 위한 타이밍도이다.

도 5는 일 실시예에 따른 표시 장치의 일 예로서 헤드 마운트 장치의 사시도를 도시한다.

도 6은 도 5의 헤드 마운트 장치의 사용도를 도시한다.

도 7은 도 5의 헤드 마운트 장치의 일부를 분해한 분해 사시도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0035] 본 발명은 다양하게 변형되고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 도시하고 상세한 설명을 통해 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0036] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들이 상세히 설명된다. 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0037] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 명세서 전체에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0038] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 개략적인 블록도이다.

[0039] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시부(110), 주사 구동부(120), 데이터 구동부(130), 타이밍 제어부(140), 전압 생성부(150), 및 제어 구동부(160)를 포함한다.

[0040] 표시부(110)는 화소(PX)들을 포함한다. 도 1에는 오직 하나의 화소(PX)만이 도시되었지만, 이는 용이한 이해를 위한 것이며, 화소들(PX)은 예컨대 매트릭스 형태로 배열될 수 있다.

[0041] 화소들(PX)은 주사선들(SL1 내지 SLn)과 데이터선들(DL1 내지 DLm)에 접속된다. 주사선들(SL1 내지 SLn) 각각은 주사 구동부(120)로부터 출력되는 주사 신호들(S1 내지 Sn)을 동일 행의 화소들(PX)에게 전달하고, 데이터선들(DL1 내지 DLm) 각각은 데이터 구동부(130)로부터 출력되는 데이터 신호(D1 내지 Dm)를 동일 열의 화소들(P

X)에게 전달한다. 화소(PX)는 주사선들(SL1 내지 SLn) 중 동일 행에 위치하는 주사선(SL)과 데이터선들(DL1 내지 DLm) 중 동일 열에 위치하는 데이터선(DL)에 접속된다.

[0042] 화소들(PX)은 제어선(CL) 및 제1 및 제2 전원선들(PL1, PL2)에 공통적으로 접속된다. 제어선(CL) 및 제1 및 제2 전원선들(PL1, PL2)은 제어 구동부(160)에 의해 구동될 수 있다.

[0043] 제어선(CL)은 매트릭스 형태로 배열되는 화소들(PX)에 접속하기 위해 복수의 서브 제어선들을 포함할 수 있다. 서브 제어선들은 주사선들(SL1 내지 SLn)과 평행하게 행 방향으로 연장될 수 있다. 주사선들(SL1 내지 SLn)은 주사 신호들(S1 내지 Sn)을 서로 다른 타이밍에 전달하지만, 서브 제어선들은 모두 동일 타이밍에 제어 신호(GC)를 화소들(PX)에게 전달할 수 있다. 서브 제어선들은 모두 전기적으로 접속될 수 있다. 전기적으로 접속되는 서브 제어선들은 하나의 제어선(CL)으로 지칭될 수 있다.

[0044] 제1 전원선(PL1)은 매트릭스 형태로 배열되는 화소들(PX)에 접속하기 위해 복수의 서브 전원선들을 포함할 수 있다. 서브 전원선들은 데이터선들(DL1 내지 DLm)과 평행하게 열 방향으로 연장될 수 있다. 다른 예에 따르면, 서브 전원선들은 주사선들(SL1 내지 SLn)과 평행하게 행 방향으로 연장될 수도 있다. 서브 전원선들은 동일 타이밍에 전압 레벨이 변동하며 모두 전기적으로 접속될 수 있다. 전기적으로 접속되는 서브 전원선들은 하나의 제1 전원선(PL1)으로 지칭될 수 있다. 제1 전원선(PL1)에 인가되는 전압은 한 프레임 기간 내에서 변동할 수 있으며, 제1 전원 전압(PV1)으로 지칭된다. 제1 전원 전압(PV1)은 서로 다른 2가지 레벨, 즉, 제1 레벨과 제2 레벨을 가질 수 있다. 제1 레벨의 제1 전원 전압(PV1)은 제1 레벨 전압(PV1_h)으로 지칭되고, 제2 레벨의 제1 전원 전압(PV1)은 제2 레벨 전압(PV1_l)으로 지칭될 수 있다. 제1 레벨 전압(PV1_h)은 제2 레벨 전압(PV1_l)보다 높은 레벨을 가질 수 있다.

[0045] 제2 전원선(PL2)은 공통 전극의 형태로 화소들(PX)의 발광 소자들에 공통적으로 접속될 수 있다. 제2 전원선(PL2)에 인가되는 전압은 한 프레임 기간 내에서 변동할 수 있으며, 제2 전원 전압(PV2)으로 지칭된다. 제2 전원 전압(PV2)은 서로 다른 2가지 레벨, 즉, 제3 레벨과 제4 레벨을 가질 수 있다. 제3 레벨의 제2 전원 전압(PV2)은 제3 레벨 전압(PV2_h)으로 지칭되고, 제4 레벨의 제2 전원 전압(PV2)은 제4 레벨 전압(PV2_l)으로 지칭될 수 있다. 제3 레벨 전압(PV2_h)은 제4 레벨 전압(PV2_l)보다 높은 레벨을 가질 수 있다.

[0046] 일 예에 따르면, 제1 전원선(PL1)에 인가되는 제1 레벨 전압(PV1_h)는 제2 전원선(PL2)에 인가되는 제3 레벨 전압(PV2_h)과 실질적으로 동일할 수 있다. 이 경우, 제1 레벨 전압(PV1_h)과 제3 레벨 전압(PV2_h)은 하이 레벨 전압(PVh)로부터 형성될 수 있다. 또한, 제1 전원선(PL1)에 인가되는 제2 레벨 전압(PV1_l)은 제2 전원선(PL2)에 인가되는 제3 레벨 전압(PV2_l)과 실질적으로 동일할 수 있다. 이 경우, 제2 레벨 전압(PV1_l)과 제4 레벨 전압(PV2_l)은 로우 레벨 전압(PVl)로부터 형성될 수 있다. 하이 레벨 전압(PVh)과 로우 레벨 전압(PVl)은 각각 제1 구동 전압(ELVDD) 및 제2 구동 전압(ELVSS)으로 지칭될 수 있다.

[0047] 화소(PX)는 발광 소자, 및 수신되는 데이터 신호(D)의 데이터 전압(Vdata)에 기초하여 발광 소자에 흐르는 전류량을 제어하는 구동 트랜지스터를 포함한다. 데이터 신호(D)는 대응하는 데이터선(DL)을 통해 데이터 구동부(130)로부터 전달되며, 기준 전압(Vref)과 데이터 전압(Vdata)을 포함할 수 있다. 발광 소자는 데이터 전압(Vdata)을 기초로 결정되는 휘도로 발광한다. 단위 화소가 풀 컬러를 표시하기 위해 복수의 부화소(subpixel)로 구성되는 경우, 화소(PX)는 단위 화소의 일부, 즉, 부화소에 해당할 수 있다. 발광 소자는 유기 발광 다이오드일 수 있다.

[0048] 화소(PX)에 대하여 도 2 및 도 3을 참조로 아래에서 더욱 자세히 설명한다.

[0049] 전압 생성부(150)는 주사 구동부(120) 및 제어 구동부(160)의 동작에 필요한 전압들을 생성할 수 있다.

[0050] 예를 들면, 전압 생성부(150)는 제1 전원선(PL1)에 인가되는 제1 레벨 전압(PV1_h) 및 제2 레벨 전압(PV1_l), 및 제2 전원선(PL2)에 인가되는 제3 레벨 전압(PV2_h) 및 제4 레벨 전압(PV2_l)을 생성하여 제어 구동부(160)에 제공할 수 있다. 제1 레벨 전압(PV1_h)과 제4 레벨 전압(PV2_l)은 각각 발광 소자가 발광하는 발광 기간 동안 제1 전원선(PL1)과 제2 전원선(PL2)에 인가되는 전압일 수 있다. 제2 레벨 전압(PV1_l)은 발광 소자가 발광하지 않는 비발광 기간 중에서 적어도 일부 구간 동안 제1 전원선(PL1)에 인가되는 전압이고, 제3 레벨 전압(PV2_h)은 비발광 기간 동안 제2 전원선(PL2)에 인가되는 전압일 수 있다.

[0051] 다른 예에 따라서, 제1 레벨 전압(PV1_h)과 제3 레벨 전압(PV2_h)은 하이 레벨 전압(PVh)로부터 형성되고, 제2 레벨 전압(PV1_l)과 제4 레벨 전압(PV2_l)은 로우 레벨 전압(PVl)로부터 형성되는 경우, 전압 생성부(150)는 하이 레벨 전압(PVh)과 로우 레벨 전압(PVl)을 생성하여 제어 구동부(160)에 제공할 수도 있다.

- [0052] 또한, 전압 생성부(150)는 화소(PX)의 스위칭 소자, 예컨대 스위칭 트랜지스터를 제어하기 위한 턴오프 전압(Voff) 및 턴온 전압(Von)을 생성하여 주사 구동부(120) 및 제어 구동부(160)에 제공할 수 있다. 턴오프 전압(Voff)이 스위칭 트랜지스터의 게이트 전극에 인가되면 스위칭 트랜지스터는 턴오프되고, 턴온 전압(Von)이 스위칭 트랜지스터의 게이트 전극에 인가되면 스위칭 트랜지스터는 턴온될 수 있다. 스위칭 트랜지스터가 p형 MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)인 경우, 턴오프 전압(Voff)의 레벨은 턴온 전압(Von)의 레벨보다 높을 수 있다. 스위칭 트랜지스터가 n형 MOSFET인 경우, 턴오프 전압(Voff)의 레벨은 턴온 전압(Von)의 레벨보다 낮을 수 있다.
- [0053] 전압 생성부(150)는 전술한 전압들 외에, 다른 레벨의 전압들을 생성하여 주사 구동부(120) 및 제어 구동부(160)에 제공할 수도 있다. 또한, 전압 생성부(150)는 감마 기준 전압들을 생성하여 데이터 구동부(130)에 제공할 수도 있다.
- [0054] 타이밍 제어부(140)는 표시부(110)의 화소들(PX)을 제어하기 위하여 주사 구동부(120), 데이터 구동부(130) 및 제어 구동부(160)의 동작 타이밍을 제어할 수 있다. 화소들(PX) 각각이 매 프레임(frame)마다 새로운 데이터 전압(Vdata)을 수신하고 수신된 데이터 전압(Vdata)에 대응하는 휘도로 발광함으로써, 표시부(110)는 한 프레임의 영상 데이터(RGB)에 대응하는 영상을 표시할 수 있다. 일 실시예에 따르면, 한 프레임 기간은 복수의 구간들, 예컨대, 발광 오프 구간, 제1 내지 제3 초기화 구간, 보상 구간, 데이터 기입 구간, 및 발광 구간 등을 포함할 수 있다. 일 실시예에 따르면, 표시부(110) 내의 화소들(PX)은 모두 동시에 발광할 수 있다. 다른 실시예에 따르면, 표시부(110)가 복수의 영역으로 구분되는 경우, 예컨대, 좌안용 영상을 표시하는 영역과 우안용 영상을 표시하는 영역으로 구분되는 경우, 각 영역 내의 화소들(PX)은 동시에 발광할 수 있다.
- [0055] 타이밍 제어부(140)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭 신호(CLK), 영상 데이터(RGB) 등을 수신할 수 있다. 타이밍 제어부(140)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭 신호(CLK) 등의 타이밍 신호를 이용하여 주사 구동부(120), 데이터 구동부(130) 및 제어 구동부(160)의 동작 타이밍을 제어할 수 있다. 타이밍 제어부(140)는 1 수평 주사 기간(horizontal scanning period)의 데이터 인에이블 신호(DE)를 카운트하여 프레임 기간을 판단할 수 있으며, 이 경우, 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 영상 데이터(RGB)는 화소들(PX)의 휘도(luminance) 정보를 포함한다. 휘도는 정해진 수효, 예를 들어, $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 갖는다.
- [0056] 타이밍 제어부(140)는 주사 구동부(120)의 동작 타이밍을 제어하기 위한 제1 게이트 타이밍 제어 신호(GDC1), 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC), 및 제어 구동부(160)의 동작 타이밍을 제어하기 위한 제2 게이트 타이밍 제어 신호(GDC2)를 포함하는 제어 신호들을 생성할 수 있다.
- [0057] 제1 게이트 타이밍 제어 신호(GDC1)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블(Gate Output Enable, GOE) 신호 등을 포함할 수 있다. 게이트 스타트 펄스(GSP)는 주사 기간의 시작 시점에 첫 번째 주사 신호를 생성하는 주사 구동부(120)에 공급된다. 게이트 시프트 클럭(GSC)은 주사 구동부(120)에 공통으로 입력되는 클럭 신호로서, 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭 신호이다. 게이트 출력 인에이블(GOE) 신호는 주사 구동부(120)의 출력을 제어한다.
- [0058] 데이터 타이밍 제어 신호(DDC)는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블(Source Output Enable, SOE) 신호 등을 포함할 수 있다. 소스 스타트 펄스(SSP)는 데이터 구동부(130)의 데이터 샘플링 시작 시점을 제어하며, 주사 기간의 시작 시점에 데이터 구동부(130)에 제공된다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동부(130) 내에서 데이터의 샘플링 동작을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동부(130)의 출력을 제어한다. 한편, 데이터 구동부(130)에 공급되는 소스 스타트 펄스(SSP)는 데이터 전송 방식에 따라 생략될 수도 있다.
- [0059] 제2 게이트 타이밍 제어 신호(GDC2)는 각 프레임 기간 내의 복수의 구간들을 구분하기 위해 제어 구동부(160)에 제공될 수 있다.
- [0060] 주사 구동부(120)는 전압 생성부(150)로부터 제공되는 턴온 전압(Von) 및 턴오프 전압(Voff)을 이용하여 타이밍 제어부(140)로부터 공급된 제1 게이트 타이밍 제어 신호(GDC1)에 응답하여 주사 신호들(S1 내지 Sn)을 생성한다. 주사 구동부(120)는 주사선들(SL1 내지 SLn)을 통해 주사 신호들(S1 내지 Sn)을 화소들(PX)에 제공한다. 일 실시예에 따르면, 주사 구동부(120)는 제3 초기화 구간과 보상 구간 동안 턴온 전압(Von)을 주사선들

(SL1 내지 SLn)에 인가할 수 있다. 주사 구동부(120)는 데이터 기입 구간 동안 주사선들(SL1 내지 SLn)에 턴온 전압(Von)을 순차적으로 인가할 수 있다. 주사 구동부(120)는 나머지 구간에는 턴오프 전압(Voff)을 주사선들(SL1 내지 SLn)에 인가할 수 있다.

[0061] 데이터 구동부(130)는 타이밍 제어부(140)로부터 공급된 데이터 타이밍 제어 신호(DDC)에 응답하여 타이밍 제어부(140)로부터 공급되는 디지털 형태의 데이터 신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터 구동부(130)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준 전압으로 변환하여 아날로그 형태의 데이터 전압으로 변환한다. 데이터 구동부(130)는 데이터선들(DL1 내지 DLm)을 통해 데이터 전압(Vdata)을 표시부(110)의 화소들(PX)에 제공한다. 화소들(PX)은 주사 신호(S)에 응답하여 데이터 전압(Vdata)을 수신할 수 있다. 또한, 데이터 구동부(130)는 데이터선들(DL1 내지 DLm)을 통해 기준 전압(Vref)을 표시부(110)의 화소들(PX)에 제공한다.

[0062] 데이터 구동부(130)는 데이터 타이밍 제어 신호(DDC)에 따라 적어도 일부 구간 동안 기준 전압(Vref)을 데이터선들(DL1 내지 DLm)에 출력할 수 있다. 데이터 구동부(130)는 데이터 기입 구간 동안 데이터 신호(RGB)에 따라 데이터선들(DL1 내지 DLm)에 서로 다른 데이터 전압(Vdata)을 출력할 수 있다. 데이터 구동부(130)는 일부 구간 동안 데이터선들(DL1 내지 DLm)에 기준 전압(Vref)을 동일하게 출력할 수 있다.

[0063] 제어 구동부(160)는 전압 생성부(150)로부터 제공되는 상이한 레벨을 갖는 전압들을 이용하여 타이밍 제어부(140)로부터 공급된 제2 게이트 타이밍 제어 신호(GDC2)에 응답하여 제1 및 제2 전원선들(PL1, PL2) 및 제어선(CL)을 구동한다. 예를 들면, 제어 구동부(160)는 제1 레벨 전압(PV1_h) 및 제2 레벨 전압(PV1_l)을 이용하여 제1 전원선(PL1)을 구동하고, 제3 레벨 전압(PV2_h) 및 제4 레벨 전압(PV2_l)을 이용하여 제2 전원선(PL2)을 구동하고, 턴온 전압(Von) 및 턴오프 전압(Voff)을 이용하여 제어선(CL)을 구동할 수 있다.

[0064] 일 실시예에 따르면, 제어 구동부(160)는 제1 내지 제3 초기화 구간 동안 제2 레벨 전압(PV1_l)을 제1 전원선(PL1)에 인가하고, 나머지 구간 동안 제1 레벨 전압(PV1_h)을 제1 전원선(PL1)에 인가할 수 있다. 제어 구동부(160)는 비발광 구간 동안 제3 레벨 전압(PV2_h)을 제2 전원선(PL2)에 인가하고, 발광 구간 동안 제4 레벨 전압(PV2_l)을 제2 전원선(PL2)에 인가할 수 있다. 그러나, 이는 예시적이며, 제어 구동부(160)는 제2 게이트 타이밍 제어 신호(GDC2)에 응답하여 다른 레벨의 전압들을 제1 및 제2 전원선들(PL1, PL2)에 인가할 수도 있다. 제어 구동부(160)는 제2 및 제3 초기화 구간, 및 보상 구간 동안 턴온 전압(Von)을 제어선(CL)에 인가하고 나머지 구간 동안 턴오프 전압(Voff)을 제어선(CL)에 인가할 수 있다.

[0065] 본 실시예에서는 제어 구동부(160)가 제1 및 제2 전원선들(PL1, PL2) 및 제어선(CL)을 모두 구동하는 것으로 설명되었지만, 제어 구동부(160)는 제어선(CL)을 구동하는 제1 제어 구동부와 제1 및 제2 전원선들(PL1, PL2)을 구동하는 제2 제어 구동부로 구분될 수도 있다. 다른 예에 따르면, 제1 및 제2 전원선들(PL1, PL2)은 전압 생성부(150)에 의해 직접 구동되고, 제어선(CL)은 주사 구동부(120)에 의해 구동될 수도 있다. 본 명세서에서 제어 구동부(160)는 제1 및 제2 전원선들(PL1, PL2)을 구동하는 구성요소와 제어선(CL)을 구동하는 구성요소를 통합하여 지칭하는 것이다.

[0066] 본 명세서에서는 제1 및 제2 전원선들(PL1, PL2), 데이터선(DL), 주사선(SL), 및 제어선(CL)을 구동 또는 제어하는 구성요소를 제어부 또는 구동부로 지칭한다. 제어부 또는 구동부는 주사 구동부(120), 데이터 구동부(130), 타이밍 제어부(140), 전압 생성부(150), 및 제어 구동부(160) 중 적어도 하나를 포함할 수 있다. 예를 들면, 제어부 또는 구동부는 주사 구동부(120), 데이터 구동부(130), 및 제어 구동부(160)를 통합하여 지칭하는 것일 수 있다.

[0067] 유기 발광 표시 장치(100)는 영상을 표시하는 장치로서, 고해상도 디스플레이를 포함하는 휴대 장치, 예컨대, 스마트폰, 헤드 마운트 디스플레이 장치일 수 있다. 유기 발광 표시 장치(100)는 큰 화면을 갖는 텔레비전나 모니터일 수도 있다. 본 실시예에 따른 유기 발광 표시 장치(100)는 약 1200 ppi(pixel per inch) 이상, 예컨대, 약 1600 ppi의 초고해상도 디스플레이 패널을 구현할 수 있다.

[0068] 도 2는 일 실시예에 따른 화소의 회로도이다.

[0069] 도 2를 참조하면, 화소(PXij)는 발광 소자(OLED), 제1 내지 제3 트랜지스터(M1-M3), 및 제1 및 제2 커패시터(Cst, Cpr)를 포함한다. 화소(PXij)는 제1 내지 제3 노드(N1-N3)를 갖는다. 화소(PXij)는 주사선들(SL1-SLn) 중 동일 행에 위치하는 주사선(SLi)에 접속되어 주사 구동부(120)로부터 주사 신호(Si)를 수신한다. 화소(PXij)는 데이터선들(DL1-DLm) 중 동일 열에 위치하는 데이터선(DLj)에 접속되어 데이터 구동부(130)로부터 데이터 신호(Dj)를 수신한다. 화소(PXij)는 제어선(CL) 및 제1 및 제2 전원선들(PL1, PL2)에 접속되어 제어 구동

부(160)로부터 제어 신호(GC) 및 제1 및 제2 전원 전압들(PV1, PV2)을 수신한다.

- [0070] 제1 트랜지스터(M1)는 발광 소자(OLED)를 통해 흐르는 전류를 제어하는 구동 트랜지스터로 동작할 수 있다. 제1 트랜지스터(M1)는 구동 트랜지스터로 지칭될 수 있다. 제2 트랜지스터(M2)와 제3 트랜지스터(M3)는 게이트 전극에 인가되는 전압, 즉, 게이트 전압에 따라 턴온 또는 턴오프되므로써 스위칭 기능을 수행할 수 있다. 제2 및 제3 트랜지스터(M2, M3)는 각각 제1 및 제2 스위칭 소자, 또는 제1 및 제2 스위칭 트랜지스터로 지칭될 수 있다.
- [0071] 제1 내지 제3 트랜지스터(M1-M3)는 p형 MOSFET인 것으로 도시되었지만, 이는 예시적이며, 제1 내지 제3 트랜지스터(M1-M3) 중 적어도 하나는 본 발명의 사상의 범위 내에서 다른 도전형(n형)의 트랜지스터로 변형될 수 있다. 일 예에 따르면, 제1 트랜지스터(M1)는 n형 MOSFET일 수도 있다. 이 경우, 발광 소자(OLED)의 애노드는 제2 전원선(PL2)에 접속되고, 캐소드는 제1 트랜지스터(M1)에 접속될 수 있다. 또한, 발광 소자(OLED)가 발광할 때 제2 전원선(PL2)에 인가되는 전압 레벨은 제1 전원선(PL1)에 인가되는 전압 레벨보다 높을 수 있다. 다른 예에 따르면, 제2 및 제3 트랜지스터들(M2, M3)은 n형 MOSFET일 수도 있다. 또 다른 예에 따르면, 제1 내지 제3 트랜지스터들(M1-M3)은 모두 n형 MOSFET일 수도 있다.
- [0072] 발광 소자(OLED)는 제1 전원선(PL1)과 제2 전원선(PL2) 사이에 접속될 수 있다. 발광 소자(OLED)는 제1 트랜지스터(M1)를 통해 제1 전원선(PL1)에 접속될 수 있다. 발광 소자(OLED)는 유기 발광 다이오드일 수 있다. 발광 소자(OLED)는 제3 노드(N3)에 접속되는 애노드와 제2 전원선(PL2)에 접속되는 캐소드를 갖는 유기 발광 다이오드일 수 있다.
- [0073] 제1 트랜지스터(M1)는 제1 노드(N1)의 전압에 따라서 제1 전원선(PL1)으로부터 발광 소자(OLED)를 통해 제2 전원선(PL2)으로 흐르는 전류를 제어하는 구동 트랜지스터일 수 있다. 제1 트랜지스터(M1)는 제1 노드(N1)에 접속되는 게이트 전극을 가지고 제1 전원선(PL1)과 제3 노드(N3) 사이에 접속될 수 있다. 예컨대, 제1 트랜지스터(M1)는 제1 전원선(PL1)에 접속되는 소스 전극과 제3 노드(N3)에 접속된 드레인 전극을 가질 수 있다. 제1 트랜지스터(M1)에서 제어하는 전류는 발광 기간에 발광 소자(OLED)로 제공되며, 발광 소자(OLED)는 전류의 크기에 대응하는 휘도로 발광한다.
- [0074] 제2 트랜지스터(M2)는 제1 노드(N1)과 제2 노드(N2) 사이에 접속되어 제1 노드(N1)와 제2 노드(N2) 사이를 단락 또는 개방하는 제1 스위칭 소자일 수 있다. 제2 트랜지스터(M2)는 주사선(SLi)으로부터 제공되는 주사 신호(Si)에 의해 제어될 수 있다. 제2 트랜지스터(M2)는 주사선(SLi)에 접속되는 게이트 전극, 제1 노드(N1)에 접속되는 제1 전극 및 제2 노드(N2)에 접속되는 제2 전극을 가질 수 있다. 주사선(SLi)을 통해 제2 트랜지스터(M2)의 게이트 전극에 턴온 전압(Von)이 인가되면, 제2 트랜지스터(M2)는 턴온되어 제1 노드(N1)와 제2 노드(N2)를 서로 접속할 수 있다. 제2 트랜지스터(M2)의 게이트 전극에 턴오프 전압(Voff)이 인가되면, 제2 트랜지스터(M2)는 턴오프되어 제1 노드(N1)와 제2 노드(N2)를 서로 절연할 수 있다.
- [0075] 제3 트랜지스터(M3)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속되어 제2 노드(N2)와 제3 노드(N3) 사이를 단락 또는 개방하는 제2 스위칭 소자일 수 있다. 제3 트랜지스터(M3)는 제어선(CL)으로부터 제공되는 제어 신호(GC)에 제어될 수 있다. 제3 트랜지스터(M3)는 제어선(CL)에 접속되는 게이트 전극, 제2 노드(N2)에 접속되는 제1 전극 및 제3 노드(N3)에 접속되는 제2 전극을 가질 수 있다. 제어선(CL)을 통해 제3 트랜지스터(M3)의 게이트 전극에 턴온 전압(Von)이 인가되면, 제3 트랜지스터(M3)는 턴온되어 제2 노드(N2)와 제3 노드(N3)를 서로 접속할 수 있다. 제3 트랜지스터(M3)의 게이트 전극에 턴오프 전압(Voff)이 인가되면, 제3 트랜지스터(M3)는 턴오프되어 제2 노드(N2)와 제3 노드(N3)를 서로 절연할 수 있다.
- [0076] 제1 커패시터(Cst)는 제1 전원선(PL1)과 제1 노드(N1) 사이에 접속될 수 있다. 제1 커패시터(Cst)는 제1 트랜지스터(M1)의 게이트 전극과 소스 전극 사이에 접속될 수 있다. 제1 커패시터(Cst)는 발광 기간 동안 제1 트랜지스터(M1)의 게이트 전압을 유지할 수 있다. 제1 전원선(PL1)의 전압 레벨이 변동하더라도 제1 트랜지스터(M1)의 게이트 전극과 소스 전극 사이의 전압은 제1 커패시터(Cst)에 의해 일정하게 유지되므로, 제1 트랜지스터(M1)가 출력하는 전류는 일정할 수 있다. 표시부(110)의 화소들(PX)이 소모하는 전류의 양에 따라 제1 전원선(PL1)의 전압 레벨은 낮아질 수 있지만, 제1 커패시터(Cst)는 제1 트랜지스터(M1)의 게이트 전극과 소스 전극 사이의 전압을 일정하게 유지하므로, 발광 소자(OLED)가 방출하는 광의 휘도는 일정하게 유지될 수 있다. 그에 따라, 표시부(110)의 밝기 균일도는 높아질 수 있다.
- [0077] 제2 커패시터(Cpr)는 데이터선(DLj)과 제2 노드(N2) 사이에 접속될 수 있다. 데이터선(DLj)을 통해 전달되는 데이터 신호(Dj)의 데이터 전압(Vdata)은 제2 커패시터(Cpr)와 제2 트랜지스터(M2)를 통해 제1 노드(N1)에 전달

될 수 있다. 제2 커패시터(Cpr)의 커패시턴스는 제1 커패시터(Cst)에 비해 클 수 있다. 예컨대, 제2 커패시터(Cpr)의 커패시턴스는 제1 커패시터(Cst)의 커패시턴스의 약 2~3배 정도일 수 있다.

[0078] 도 3은 도 2의 화소를 구동하기 위한 한 프레임 기간 동안의 타이밍도이다.

[0079] 도 2와 함께 도 3을 참조하면, 제1 및 제2 전원 전압(PV1, PV2), 제어 신호(GC), 제1 내지 제n 주사 신호(S1 내지 Sn) 및 데이터 신호(Dj)가 도시된다. 한 프레임 기간은 복수의 구간들을 포함한다. 복수의 구간들은 제1 내지 제7 구간(T1-T7)을 포함할 수 있다. 제1 내지 제7 구간들(T1-T7)은 순차적으로 진행될 수 있다. 그러나, 일부 실시예에 따르면, 제1 내지 제7 구간들(T1-T7) 중에서 일부 구간들(예컨대, 제3 및 제4 구간들(T3, T4))은 복수 횟수로 반복될 수도 있다. 또한, 제1 내지 제7 구간들(T1-T7)은 연속적으로 진행되지 않고, 다른 구간이 더 포함될 수도 있다. 예컨대, 제5 구간(T5)과 제6 구간(T6) 사이에 제어선(CL)에 의해 제3 트랜지스터(M3)가 턴오프되는 구간이 포함될 수 있다.

[0080] 제1 구간(T1)은 발광 오프 구간(T1)으로 지칭될 수 있다. 제2 내지 제4 구간(T2-T4)는 제1 내지 제3 초기화 구간으로 지칭될 수 있다. 제5 구간(T5)은 보상 구간으로 지칭될 수 있다. 제6 구간(T6)은 데이터 기입 구간으로 지칭될 수 있다. 제7 구간(T7)은 발광 구간으로 지칭될 수 있다. 제1 내지 제6 구간(T1-T6)은 발광 소자(OLED)가 발광하지 않는 비발광 기간에 포함되고, 제7 구간(T7)은 발광 소자(OLED)가 발광하는 발광 기간에 포함될 수 있다.

[0081] 도 1에 도시된 제어 구동부(160)는 도 3에 도시된 바와 같이 제1 및 제2 전원선(PL1, PL2)에 제1 및 제2 전원 전압(PV1, PV2)을 인가한다. 또한, 제어 구동부(160)는 도 3에 도시된 바와 같이 제어선(CL)에 제어 신호(GC)를 출력한다. 주사 구동부(120)는 도 3에 도시된 바와 같이 제1 내지 제n 주사선(SL1 내지 SLn)에 제1 내지 제n 주사 신호(S1 내지 Sn)를 출력한다. 데이터 구동부(130)는 도 3에 도시된 바와 같이 데이터 타이밍 제어 신호(DDC)에 따라 데이터선(DLj)에 데이터 신호(Dj)로서 기준 전압(Vref)과 데이터 전압(Vdata)을 출력한다.

[0082] 제어 구동부(160)는 제1 전원선(PL1)에 제1, 제5, 제6, 및 제7 구간(T1, T5-T7) 동안 제1 레벨 전압(PV1_h)을 인가하고 제2 내지 제4 구간(T2-T4) 동안 제2 레벨 전압(PV1_l)을 인가할 수 있다. 제2 레벨 전압(PV1_l)은 제1 레벨 전압(PV1_h)보다 낮은 레벨일 수 있다. 그러나, 다른 실시예에 따라서 제1 트랜지스터(M1)가 p형 MOSFET인 경우에는 제2 레벨 전압(PV1_l)은 제1 레벨 전압(PV1_h)보다 높은 레벨일 수도 있다.

[0083] 제어 구동부(160)는 제2 전원선(PL2)에 제1 내지 제6 구간(T1-T6) 동안 제3 레벨 전압(PV2_h)을 인가하고 제7 구간(T7) 동안 제4 레벨 전압(PV2_l)을 인가할 수 있다. 제4 레벨 전압(PV2_l)은 제3 레벨 전압(PV2_h)보다 낮은 레벨일 수 있다. 그러나, 다른 실시예에 따라서 제1 트랜지스터(M1)가 p형 MOSFET인 경우에는 제4 레벨 전압(PV2_l)은 제3 레벨 전압(PV2_h)보다 높은 레벨일 수도 있다.

[0084] 제어 구동부(160)는 제어선(CL)에 제1, 제2, 제6 및 제7 구간(T1, T2, T6, T7) 동안 제3 트랜지스터(M3)를 턴오프하기 위한 턴오프 전압(Voff)을 출력하고 제3 내지 제5 구간(T3-T5) 동안 제3 트랜지스터(M3)를 턴온하기 위한 턴온 전압(Von)을 출력할 수 있다.

[0085] 주사 구동부(160)는 주사선(SLi)에 제1, 제2, 제3 및 제7 구간(T1-T3, T7) 동안 제2 트랜지스터(M2)를 턴오프하기 위한 턴오프 전압(Voff)을 출력하고 제4 내지 제5 구간(T4, T5) 동안 제2 트랜지스터(M2)를 턴온하기 위한 턴온 전압(Von)을 출력할 수 있다. 주사 구동부(160)는 제6 구간(T6) 중에 데이터선(DLj)에 출력되는 데이터 전압(Vdata)에 동기화되어 일시적으로 펄스 형태의 턴온 전압(Von)을 출력할 수 있다. 주사 구동부(160)는 제6 구간(T6) 중에 주사선들(SL1 내지 SLn)에 순차적으로 펄스 형태의 턴온 전압(Von)을 인가할 수 있다. 주사 구동부(160)는 제6 구간(T6) 중에 주사선들(SL1 내지 SLn)에 턴온 전압(Von)이 인가되지 않는 시간에는 주사선들(SL1 내지 SLn)에 턴오프 전압(Voff)을 인가할 수 있다.

[0086] 데이터 구동부(130)는 주사선들(SL1 내지 SLn)에 순차적으로 인가되는 펄스 형태의 턴온 전압(Von)에 동기화되어 데이터선(DLj)에 데이터 전압(Vdata)을 출력할 수 있다. 예를 들면, 데이터 구동부(130)는 주사선들(SL1 내지 SLn)에 턴온 전압(Von)이 인가되다가 턴오프 전압(Voff)이 인가되는 순간에, 예를 들면, 도 3에서 주사 신호(S1 내지 Sn)가 상승 에지를 갖는 순간에 데이터선(DLj)에 데이터 전압(Vdata)을 출력하고 있는 상태일 수 있다. 여기서, 데이터 전압(Vdata)은 화소(PXij)이 수신하는 데이터 전압을 의미한다.

[0087] 데이터 구동부(130)는 데이터선(DLj)에 제6 구간(T6) 동안 데이터 전압(Vdata)을 인가하고, 적어도 제4 및 제5 구간(T4, T5) 동안 기준 전압(Vref)을 인가할 수 있다. 여기서, 데이터 전압(Vdata)은 화소(PXij)이 수신하는 데이터 전압을 포함하여, 데이터선(DLj)에 접속되는 복수의 화소들(PX)이 각각 수신되는 데이터 전압들을 통칭한다. 데이터선(DLj)은 데이터 전압(Vdata)이나 기준 전압(Vref)이 인가되지 않을 때에는 하이-임피던스 상태일

수 있다. 다른 예에 따르면, 도 3에 도시된 바와 같이 데이터 구동부(130)는 데이터선(DLj)에 제6 구간(T6) 동안 데이터 전압(Vdata)을 인가하고 제1 내지 제5 구간, 및 제7 구간(T1-T5, T7) 동안 기준 전압(Vref)을 인가할 수도 있다.

[0088] 발광 구간으로도 지칭되는 제7 구간(T7) 동안, 제1 전원선(PL1)에 제1 레벨 전압(PV1_h)이 인가되고, 제2 전원선(PL2)에 제4 레벨 전압(PV2_1)이 인가된다. 또한, 제2 및 제3 트랜지스터(M2, M3)는 턴오프되어, 제1 노드(N1)와 제2 노드(N2)는 서로 전기적으로 분리되고, 제2 노드(N2)와 제3 노드(N3)는 서로 전기적으로 분리된다. 제1 트랜지스터(M1)가 도 2에 도시된 바와 같이 p형 MOSFET인 경우, 제1 레벨 전압(PV1_h)의 레벨은 제4 레벨 전압(PV2_1)보다 높을 수 있다. 제1 트랜지스터(M1)는 게이트 전압, 즉, 제1 노드(N1)의 전압에 따라 제1 전원선(PL1)에서 발광 소자(OLED)를 통해 제2 전원선(PL2)으로 흐르는 전류의 크기를 제어할 수 있다. 이때 발광 소자(OLED)를 통해 흐르는 전류는 제1 트랜지스터(M1)가 출력하는 구동 전류로 지칭될 수 있다.

[0089] 아래에서는 제1 트랜지스터(M1)가 p형 MOSFET이라고 가정하여 설명한다. 그러나, 제1 트랜지스터(M1)가 n형 MOSFET인 경우에 대해서도 본 발명적 사상의 범위 내에서 도 3의 타이밍도가 변형되어 동일한 원리로 적용될 수 있을 것이다.

[0090] 발광 오프 구간으로도 지칭되는 제1 구간(T1)이 시작되면, 제2 전원선(PL2)에는 제3 레벨 전압(PV2_h)이 인가된다. 제3 레벨 전압(PV2_h)은 제1 구간(T1)의 시작부터 제6 구간(T6)이 끝날 때까지 계속하여 제2 전원선(PL2)에 인가될 수 있다. 제7 구간(T7)에 계속하여 제1 구간(T1) 동안, 제1 전원선(PL1)에는 제1 레벨 전압(PV1_h)이 인가되고, 제2 및 제3 트랜지스터(M2, M3)는 턴오프 상태를 유지한다. 제2 전원선(PL2)에 인가되는 제3 레벨 전압(PV2_h)은 제1 전원선(PL1)에 인가되는 제1 레벨 전압(PV1_h)과 실질적으로 동일 레벨일 수 있다. 예컨대, 제3 레벨 전압(PV2_h)과 제1 레벨 전압(PV1_h)의 차이는 발광 소자(OLED)의 문턱 전압보다 작을 수 있다. 그에 따라, 제1 전원선(PL1)과 제2 전원선(PL2) 사이에는 실질적으로 전류가 흐르지 않을 수 있으며, 발광 소자(OLED)는 더 이상 발광하지 않을 수 있다. 다른 예에 따르면, 제3 레벨 전압(PV2_h)의 레벨은 제1 레벨 전압(PV1_h)의 레벨보다 높을 수도 있다. 또한, 제3 노드(N3)의 전압 레벨은 발광 소자 커패시터(Coled)에 의해 제3 레벨 전압(PV2_h)과 제4 레벨 전압(PV2_1) 간의 제2 전압차('ΔV2'이라 지칭함)만큼 높아진다. 제2 전압차(ΔV2)는 제3 레벨 전압(PV2_h)과 제4 레벨 전압(PV2_1) 간의 전압차의 절대값으로 정의한다. 발광 소자(OLED)가 발광 다이오드로 기능할 뿐만 아니라 커패시턴스를 갖는 커패시터로도 기능하므로, 발광 소자(OLED)는 발광 다이오드와 발광 소자 커패시터(Coled)가 병렬로 연결된 것으로 모델링될 수 있다. 발광 소자 커패시터(Coled)는 발광 소자(OLED)의 커패시턴스 성분을 나타내기 위한 것이다.

[0091] 제1 초기화 구간으로도 지칭되는 제2 구간(T2)이 시작되면, 제1 전원선(PL1)에는 제2 레벨 전압(PV1_1)이 인가된다. 제2 레벨 전압(PV1_1)은 제2 구간(T2)의 시작부터 제4 구간(T4)이 끝날 때까지 계속하여 제1 전원선(PL1)에 인가될 수 있다. 제1 구간(T1)에 계속하여 제2 구간(T2) 동안, 제2 전원선(PL2)에는 제3 레벨 전압(PV2_h)이 인가되고, 제2 및 제3 트랜지스터(M2, M3)는 턴오프 상태를 유지한다. 제1 전원선(PL1)에 인가되는 제2 레벨 전압(PV1_1)의 레벨은 제2 전원선(PL2)에 인가되는 제3 레벨 전압(PV2_h)의 레벨보다 낮을 수 있다.

[0092] 제1 전원선(PL1)의 전압 레벨이 제1 레벨 전압(PV1_h)과 제2 레벨 전압(PV1_1) 간의 제1 전압차('ΔV1'이라 지칭함)만큼 낮아짐에 따라, 제1 전원선(PL1)과 제1 노드(N1) 사이에 접속되는 제1 커패시터(Cst)에 의해 제1 노드(N1)의 전압 레벨도 제1 전압차(ΔV1)만큼 낮아진다. 제1 전압차(ΔV1)는 제1 레벨 전압(PV1_h)과 제2 레벨 전압(PV1_1) 간의 전압차의 절대값으로 정의한다. 그에 따라 제1 트랜지스터(M1)는 턴온되며, 제3 노드(N3)에서 제1 전원선(PL1)으로, 즉, 역방향으로 전류가 흐르게 된다. 제1 전압차(ΔV1)만큼 낮아진 제1 노드(N1)의 전압 레벨은 제2 전압차(ΔV2)만큼 높아진 제3 노드(N3)의 전압 레벨에 비해 충분히 낮기 때문에, 제1 트랜지스터(M1)는 완전히(fully) 턴온된다. 제1 트랜지스터(M1)가 역방향으로 완전히(fully) 턴온되므로, 직전 프레임에서 제1 트랜지스터(M1)가 출력했던 구동 전류의 크기가 현재 프레임에서 제1 트랜지스터(M1)가 출력하는 구동 전류의 크기에 영향을 주는 히스테리시스 특성이 제거될 수 있다.

[0093] 또한, 제3 노드(N3)의 전압 레벨은 대략 제2 레벨 전압(PV1_1)의 레벨 정도로 낮아진다. 구체적으로, 직전 프레임의 발광 기간 동안 제1 트랜지스터(M1)가 턴온되었다면, 제3 노드(N3)의 전압 레벨이 제2 레벨 전압(PV1_1)의 레벨로 낮아질 때까지 제1 트랜지스터(M1)를 통해 전류가 흐를 수 있으므로, 제3 노드(N3)의 전압 레벨은 제2 레벨 전압(PV1_1)의 레벨과 동일해진다. 직전 프레임의 발광 기간 동안 제1 트랜지스터(M1)가 턴오프되어 발광 소자(OLED)가 발광하지 않았다면, 제2 전압차(ΔV2)만큼 높아진 제3 노드(N3)의 전압 레벨로 인하여 제1 트랜지스터(M1)는 역방향으로 턴온되지만, 제3 노드(N3)의 전압 레벨이 제2 레벨 전압(PV1_1)의 레벨로 낮아지기 전에 제1 트랜지스터(M1)가 턴오프된다. 이때 제3 노드(N3)의 전압 레벨은 제2 레벨 전압(PV1_1)의 레벨보

다는 높지만 제2 레벨 전압(PV1_l)보다 크게 높지는 않다. 따라서, 제2 구간(T2) 동안 제3 노드(N3)의 전압 레벨은 제2 전원선(PL2)에 인가되는 제3 레벨 전압(PV2_h)보다 낮아지므로 제3 노드(N3)가 초기화되고, 제1 트랜지스터(M1)의 히스테리시스 특성이 제거될 수 있다.

[0094] 제2 초기화 구간으로도 지칭되는 제3 구간(T3)이 시작되면, 제3 트랜지스터(M3)가 턴온된다. 제3 트랜지스터(M3)는 제3 구간(T3)의 시작부터 제5 구간(T5)이 끝날 때까지 턴온될 수 있다. 제2 구간(T2)에 계속하여 제3 구간(T3) 동안, 제1 전원선(PL1)에는 제2 레벨 전압(PV2_l)이 인가되고, 제2 전원선(PL2)에는 제3 레벨 전압(PV2_h)이 인가되고, 제2 트랜지스터(M2)는 턴오프 상태를 유지한다.

[0095] 제3 트랜지스터(M3)가 턴온됨에 따라, 제2 노드(N2)와 제3 노드(N3)는 서로 접속되며, 제2 노드(N2)의 전압 레벨은 제3 노드(N3)의 전압 레벨과 동일해진다. 역방향으로 턴온되는 제1 트랜지스터(M1)에 의해, 제2 노드(N2)의 전압 레벨도 대략 제1 전원선(PL1)에 인가되는 제2 레벨 전압(PV1_l)의 레벨 정도로 낮아진다. 제3 구간(T3) 동안 제2 노드(N2)의 전압 레벨이 낮아지므로, 제2 노드(N2)가 초기화될 수 있다.

[0096] 제3 초기화 구간으로도 지칭되는 제4 구간(T4)이 시작되면, 제2 트랜지스터(M2)가 턴온된다. 제2 트랜지스터(M2)는 제4 구간(T4)의 시작부터 제5 구간(T5)이 끝날 때까지 턴온될 수 있다. 제3 구간(T3)에 계속하여 제4 구간(T4) 동안, 제1 전원선(PL1)에는 제2 레벨 전압(PV2_l)이 인가되고, 제2 전원선(PL2)에는 제3 레벨 전압(PV2_h)이 인가되고, 제3 트랜지스터(M3)는 턴온 상태를 유지한다.

[0097] 제2 트랜지스터(M2)가 턴온됨에 따라 제1 노드(N1)와 제2 노드(N2)는 서로 접속되어 제1 커패시터(Cst)와 제2 커패시터(Cpr) 사이에 전하 공유가 이루어질 수 있다. 제1 커패시터(Cst)와 제2 커패시터(Cpr) 간의 전하 공유가 이루어진 후의 제1 노드(N1)의 전압이 제1 전원선(PL1)의 제2 레벨 전압(PV1_l)에서 문턱 전압($|V_{th}|$)을 감산한 전압(PV1_l - $|V_{th}|$)보다 낮으면, 제1 트랜지스터(M1)는 턴온된다. 제1 트랜지스터(M1)의 게이트 전극과 소스 전극이 턴온 상태의 제2 및 제3 트랜지스터들(M2, M3)에 의해 접속되므로, 제1 트랜지스터(M1)는 다이오드 연결되며, 제1 노드(N1)의 전압은 제2 레벨 전압(PV1_l)에서 문턱 전압($|V_{th}|$)을 감산한 전압(즉, PV1_l - $|V_{th}|$)과 동일해진다. 제1 및 제2 커패시터들(Cst, Cpr) 간의 전하 공유가 이루어진 후의 제1 노드(N1)의 전압이 제1 전원선(PL1)의 제2 레벨 전압(PV1_l)에서 문턱 전압($|V_{th}|$)을 감산한 전압(PV1_l - $|V_{th}|$)보다 낮지 않을 경우, 제1 트랜지스터(M1)가 턴온되지 않는다. 이 경우에도, 제1 노드(N1)의 전압은 제1 전원선(PL1)의 제2 레벨 전압(PV1_l)보다는 낮을 수 있다. 문턱 전압($|V_{th}|$)은 제1 트랜지스터(M1)의 문턱 전압의 절대값을 의미하며, 제조 공차 등의 이유로 화소들(PX)마다 제1 트랜지스터(M1)의 문턱 전압($|V_{th}|$)은 서로 다를 수 있다.

[0098] 제4 구간(T4) 동안 제1 노드(N1)의 전압은 제2 및 제3 노드들(N2, N3)의 전압과 동일해지며, 제1 노드(N1)의 전압 레벨은 제2 레벨 전압(PV1_l)보다 낮아지므로, 제1 노드(N1)가 초기화될 수 있다.

[0099] 적어도 제4 구간(T4)이 끝나기 전에 데이터선(DLj)에는 기준 전압(Vref)이 인가될 수 있다. 기준 전압(Vref)은 제4 구간(T4)의 시작부터 데이터선(DLj)에 인가될 수도 있다. 다른 예에 따르면, 기준 전압(Vref)은 이전 프레임의 발광 기간의 시작부터 데이터선(DLj)에 인가될 수도 있다.

[0100] 기준 전압(Vref)은 제5 구간(T5) 중에 제1 노드(N1)의 전압이 제1 레벨 전압(PV1_h)에서 문턱 전압($|V_{th}|$)을 감산한 전압(PV1_h - $|V_{th}|$)과 실질적으로 동일해질 때까지 데이터선(DLj)에 인가될 수 있다. 기준 전압(Vref)은 제5 구간(T5)이 끝날 때까지 데이터선(DLj)에 인가될 수 있다.

[0101] 보상 구간으로도 지칭되는 제5 구간(T5)이 시작되면, 제1 전원선(PL1)에는 제1 레벨 전압(PV1_h)이 인가된다. 제1 레벨 전압(PV1_h)은 제4 구간(T4)의 시작부터 다음 프레임의 제1 구간(T1)이 끝날 때까지 계속하여 제1 전원선(PL1)에 인가될 수 있다. 제4 구간(T4)에 계속하여 제5 구간(T5) 동안, 제2 전원선(PL2)에는 제3 레벨 전압(PV2_h)이 인가되고, 제2 및 제3 트랜지스터(M2, M3)는 턴온 상태를 유지한다. 제1 전원선(PL1)에 인가되는 제1 레벨 전압(PV1_h)은 제2 전원선(PL2)에 인가되는 제3 레벨 전압(PV2_h)과 실질적으로 동일할 수 있다. 제1 레벨 전압(PV1_h)과 제3 레벨 전압(PV2_h)의 전압차는 발광 소자(OLED)의 문턱 전압보다 낮을 수 있다. 제5 구간(T5) 동안 기준 전압(Vref)이 데이터선(DLj)에 인가될 수 있다.

[0102] 제1 전원선(PL1)의 전압 레벨이 제1 레벨 전압(PV1_h)과 제2 레벨 전압(PV1_l) 간의 제1 전압차(ΔV_1)이라 지칭함)만큼 높아짐에 따라, 제1 전원선(PL1)과 제1 노드(N1) 사이에 접속되는 제1 커패시터(Cst)에 의해 제1 노드(N1)의 전압 레벨도 높아진다. 그러나, 제1 노드(N1)는 제2 노드(N2)를 통해 제2 커패시터(Cpr), 및 제3 노드(N3)를 통해 발광 소자 커패시터(Coled)와 접속되어 있으므로, 제1 노드(N1)의 전압 레벨은 제1 전압차(ΔV_1)보다 작게 높아진다. 예를 들면, 제1 노드(N1)의 전압은 제1 커패시터(Cst), 제2 커패시터(Cpr) 및 발광 소자 커패시터(Coled)의 커패시턴스들의 합에 대한 제1 커패시터(Cst)의 커패시턴스의 비율과 제1 전압차(ΔV_1)를

급한 값만큼 높아질 수 있다. 제2 커패시터(Cpr)와 발광 소자 커패시터(Coled)의 커패시턴스들의 합은 제1 커패시터(Cst)의 커패시턴스보다 크므로, 제1 노드(N1)의 전압은 제1 레벨 전압(PV1_h)에서 문턱 전압(|Vth|)을 감산한 전압(PV1_h - |Vth|)에 비해 상당히 낮아질 수 있다. 그에 따라, 제1 트랜지스터(M1)는 완전히 턴온될 수 있으며, 제1 전원선(PL1)에서 제3 노드(N3)로, 즉, 순방향으로 전류가 흐를 수 있다. 제2 구간(T2)에서 역방향으로 완전히 턴온되었던 제1 트랜지스터(M1)가 제5 구간(T6)에는 순방향으로 완전히 턴온되므로, 제1 트랜지스터(M1)의 히스테리시스 특성은 제거될 수 있다.

[0103] 턴온 상태의 제1 트랜지스터(M1)의 게이트 전극과 소스 전극이 턴온 상태의 제2 및 제3 트랜지스터들(M2, M3)에 의해 접속되므로, 제1 트랜지스터(M1)는 다이오드 연결되며, 제1 노드(N1)의 전압은 제1 레벨 전압(PV1_h)에서 문턱 전압(|Vth|)을 감산한 전압(즉, PV1_h - |Vth|)과 동일해진다. 따라서, 제1 커패시터(Cst)의 양 전극 사이에는 문턱 전압(|Vth|)에 대응하는 전하가 저장될 수 있다. 제5 구간(T5) 동안 제1 트랜지스터(M1)의 문턱 전압(|Vth|)을 보상하기 위하여 문턱 전압(|Vth|)에 대응하는 전하가 제1 커패시터(Cst)의 양 전극 사이에 저장될 수 있다.

[0104] 제2 노드(N2)의 전압도 제1 레벨 전압(PV1_h)에서 문턱 전압(|Vth|)을 감산한 전압(즉, PV1_h - |Vth|)과 동일해진다. 데이터선(DLj)에는 기준 전압(Vref)이 인가되므로, 제2 커패시터(Cpr)의 양 전극 사이에는 Vref - PV1_h + |Vth|에 대응하는 전하가 저장될 수 있다.

[0105] 제3 노드(N3)의 전압도 제1 레벨 전압(PV1_h)에서 문턱 전압(|Vth|)을 감산한 전압(즉, PV1_h - |Vth|)과 동일해진다. 이때의 제3 노드(N3)의 전압은 제2 전원선(PL2)의 제3 레벨 전압(PV2_h)보다 낮을 수 있다.

[0106] 제5 구간(T5)은 제2 트랜지스터(M2)가 턴오프되면서 종료될 수 있다. 제2 트랜지스터(M2)가 턴오프된 후에, 제6 구간(T6)이 시작하기 전에, 제3 트랜지스터(M3)가 턴오프될 수 있다. 다른 예에 따르면, 제5 구간(T5)의 종료 시점에 제2 트랜지스터(M2)와 제3 트랜지스터(M3)가 턴오프될 수 있다. 또 다른 예에 따르면, 제5 구간(T5)의 종료 시점에 제3 트랜지스터(M3)가 턴오프되고, 제2 내지 제n 주사선(SL2-SLn)에 연결된 화소(PX)들의 제2 트랜지스터(T2)들만 턴오프되고, 제1 주사선(SL1)에 연결된 화소(PX)의 제2 트랜지스터(T2)는 턴온 상태를 유지할 수도 있다.

[0107] 데이터 기입 구간으로도 지칭되는 제6 구간(T6) 동안, 제4 구간(T4)에 계속하여, 제1 전원선(PL1)에는 제1 레벨 전압(PV1_h)이 인가되고, 제2 전원선(PL2)에는 제3 레벨 전압(PV2_h)이 인가되고, 제3 트랜지스터(M3)는 턴오프 상태를 유지한다. 제6 구간(T6)에 걸쳐 주사선들(SL1 내지 SLn)에 미리 설정된 순서에 따라 펄스 형태의 턴온 전압(Von)이 인가될 수 있다. 주사선들(SL1 내지 SLn)에 미리 설정된 순서에 따라 인가되는 펄스 형태의 턴온 전압(Von)에 동기화되어, 데이터선(DLj)에는 데이터 전압(Vdata)이 인가될 수 있다. 여기서, 데이터 전압(Vdata)은 데이터선(DLj)에 접속되는 복수의 화소들(PX)이 각각 수신되는 데이터 전압들을 의미한다.

[0108] 화소(PXij)의 제2 트랜지스터(M2)는 제i 주사선(SLi)을 통해 전달되는 주사 신호(Si)에 응답하여, 즉, 제i 주사선(SLi)에 턴온 전압(Von)이 인가될 때 턴온된다. 이때, 데이터선(DLj)에는 화소(PXij)에 대응하는 데이터 전압(Vdata)이 인가될 수 있다. 이때, 데이터 전압(Vdata)은 데이터선(DLj)에 접속되는 복수의 화소들(PX) 중에서 화소(PXij)가 수신하는 데이터 전압을 의미한다.

[0109] 제2 노드(N2)는 턴온 상태의 제2 트랜지스터(M2)를 통해 제1 노드(N1)와 접속되고, 턴오프 상태의 제3 트랜지스터(M3)에 의해 제3 노드(N3)와 전기적으로 분리된다. 제2 노드(N2)와 제1 노드(N1)가 접속되어 있으므로, 데이터선(DLj)의 전압 변동은 제1 및 제2 커패시터들(Cst, Cpr)의 전하 공유를 통해 제1 노드(N1)의 전압을 변동시킨다.

[0110] 데이터선(DLj)이 기준 전압(Vref)이 인가되고 있을 때, 제2 커패시터(Cpr)의 양 전극에는 Vref - PV1_h + |Vth|에 대응하는 전하가 저장되고, 제1 커패시터(Cst)의 양 전극에는 문턱 전압(|Vth|)에 대응하는 전하가 저장되어 있었다. 이 상태에서, 데이터선(DLj)에 데이터 전압(Vdata)이 인가되면, 제1 노드(N1)의 전압은 데이터 전압(Vdata)과 기준 전압(Vref)의 차에 비례하는 값만큼 변동할 수 있다. 예를 들면, 제1 노드(N1)의 전압은 Cst/(Cst+Cpr)*(Vdata-Vref)만큼 변동할 수 있다. 제5 구간(T5)에서 제1 노드(N1)의 전압은 PV1_h - |Vth|이 있으므로, 화소(PXij)에 데이터 전압(Vdata)이 수신되면, 제1 노드(N1)의 전압은 PV1_h - |Vth| + Cst/(Cst+Cpr)*(Vdata-Vref)이 될 수 있다.

[0111] 이러한 방식으로 데이터선(DLj)에 접속되는 복수의 화소들(PX)의 제1 노드(N1)에는 각각의 데이터 전압(Vdata)이 기입될 수 있다. 제6 구간(T6)이 끝나면, 모든 화소들(PX)의 제2 트랜지스터(M2)는 턴오프된다.

[0112] 발광 구간으로도 지칭되는 제7 구간(T7)이 시작되면, 제2 전원선(PL2)에는 제4 레벨 전압(PV2_1)이 인가된다.

제4 레벨 전압(PV2_1)은 제7 구간(T7)의 시작부터 다음 프레임의 제1 구간(T1)이 시작되기 전까지 계속하여 제2 전원선(PL2)에 인가될 수 있다. 제7 구간(T7) 동안, 제1 전원선(PL1)에는 제1 레벨 전압(PV1_h)이 인가되고, 제2 및 제3 트랜지스터(M2, M3)는 턴오프 상태를 유지한다.

[0113] 제1 트랜지스터(M1)는 게이트 전압, 즉, 제1 노드(N1)의 전압에 따라 구동 전류를 출력한다. 제1 트랜지스터(M1)는 제1 트랜지스터(M1)의 소스-게이트 전압에서 문턱 전압($|V_{th}|$)을 감산한 값의 제곱에 비례하는 구동 전류를 출력할 수 있다. 제1 트랜지스터(M1)의 소스 전극은 제1 전원선(PL1)에 접속되므로, 제1 트랜지스터(M1)의 소스 전압은 제1 레벨 전압(PV1_h)과 동일하다. 따라서, 제1 트랜지스터(M1)는 $Cst/(Cst+Cpr)*(Vdata-Vref)$ 의 제곱에 비례하는 구동 전류를 출력할 수 있다. 구동 전류는 제1 레벨 전압(PV1_h)의 레벨 및 문턱 전압($|V_{th}|$)의 레벨에 무관하게 결정되므로, 표시부(110)의 화소들(PX)은 균일한 휘도의 광을 방출할 수 있다.

[0114] 예를 들면, 화소들(PX) 각각은 공정 오차 등의 이유로 제1 트랜지스터(M1)의 문턱 전압($|V_{th}|$)은 서로 다를 수 있지만, 본 실시예에 따르면, 문턱 전압($|V_{th}|$)의 편차가 구동 전류의 크기에 반영되지 않으므로, 문턱 전압($|V_{th}|$)의 편차가 보상될 수 있다. 또한, 제1 전원선(PL1)에 접속되는 화소들(PX)이 전류를 많이 소모할 경우, 제1 전원선(PL1)의 끝쪽에 접속된 화소들(PX)에는 제1 레벨 전압(PV1_h)의 목표 레벨보다 낮은 레벨의 전압이 전달될 수 있다. 그러나, 본 실시예에 따르면, 제1 전원선(PL1)을 통해 전달되는 전압의 레벨이 구동 전류의 크기에 반영되지 않으므로, 본 실시예에 따른 표시 장치(100)는 균일한 표시 품질을 가질 수 있다.

[0115] 비교예에 따르면, 화소(PX)는 복수의 레벨을 갖는 초기화 전압(Vinit)이 전달되는 초기화 전압선에 접속되고, 제1 커패시터가 초기화 전압선과 구동 트랜지스터의 게이트 전극 사이에 접속될 수 있다. 초기화 전압(Vinit)의 레벨을 조절함으로써 구동 트랜지스터의 턴온 및 턴오프 동작을 더 자유롭게 제어할 수 있지만, 화소(PX)를 구동하기 위해서는 표시부(110)에 초기화 전압선이 배치되어야 하며, 초기화 전압선을 구동하기 위한 구동 회로가 더 필요하다. 본 실시예에 따르면, 초기화 전압선이 존재하지 않으므로 화소(PX)의 크기, 즉, 면적을 더 줄일 수 있으므로, 동일 공간에 더 많은 수의 화소들(PX)을 배치할 수 있다. 또한, 초기화 전압선을 구동하기 위한 별도의 구동 회로가 필요하지 않으므로, 제조 비용 및 유지 비용을 낮출 수 있다.

[0116] 일 실시예에 따른 화소(PX)는 오직 3개의 트랜지스터를 포함하면서도, 제1 트랜지스터(M1)를 초기화하여 히스테리시스 특성을 제거할 수 있고, 제1 트랜지스터(M1)의 문턱 전압(V_{th})을 보상할 수 있으며, 유기 발광 다이오드(OLED)가 완전히 비발광하지 못하는 문제도 해결할 수 있다. 따라서, 화소(PX)를 포함하는 유기 발광 표시 장치(100)는 1200ppi 이상, 예컨대, 대략 1600ppi의 초고해상도로 제조될 수 있으므로, 더욱 선명한 화질의 영상을 표시할 수 있다. 특히 헤드 마운트 디스플레이 장치와 같이 눈과 화면이 매우 가까운 경우에 유용할 수 있다. 유기 발광 표시 장치(100)는 헤드 마운트 디스플레이 장치로 구현될 수 있다.

[0117] 도 4는 다른 실시예에 따라서 도 2의 화소를 구동하기 위한 타이밍도이다.

[0118] 도 4를 참조하면, 제1 및 제2 전원 전압(PV1, PV2), 제어 신호(GC), 제1 내지 제n 주사 신호(S1 내지 Sn) 및 데이터 신호(Dj)가 도시된다.

[0119] 도 4에 도시된 타이밍도를 참조하면, 도 3에 도시된 제3 구간(T3)과 제4 구간(T4)은 복수 횟수로 반복될 수 있다. 즉, 제2 구간(T2) 다음에 제3 구간(T3a)과 제4 구간(T4a)이 진행되고, 다시 제3 구간(T3b)과 제4 구간(T4b)이 진행될 수 있다. 제4 구간(T4b)이 종료되면 도 3에 도시된 타이밍도에서와 마찬가지로 제5 내지 제7 구간(T5-T7)이 순차적으로 진행될 수 있다. 그에 따라, 제1 노드(N1)의 전압 레벨을 더욱 확실하게 제2 레벨 전압(PV1_1)보다 낮출 수 있다.

[0120] 도 5는 일 실시예에 따른 표시 장치의 일 예로서 헤드 마운트 장치(Head Mounted Device)의 사시도를 도시한다. 도 6은 도 5의 헤드 마운트 장치의 사용도를 도시한다. 도 7은 도 5의 헤드 마운트 장치의 일부를 분해한 분해 사시도를 도시한다.

[0121] 도 5 및 도 6을 참조하면, 헤드 마운트 장치(200)는 사용자(USER)의 머리에 착용되는 장치이다. 헤드 마운트 장치(200)는 케이스부(210, case), 스트랩부(220, strap part), 및 쿠션부(230, cushion part)를 포함할 수 있다. 헤드 마운트 장치(200)는 본 발명에 따른 다양한 실시예들에 따른 표시 패널을 포함하거나 이와 결합할 수 있다.

[0122] 케이스부(210)는 사용자(USER)의 머리에 착용될 수 있다. 케이스부(210) 내부에는 일 실시예에 따른 표시 패널, 및 가속도 센서(미도시) 등이 수납될 수 있다. 가속도 센서는 사용자(USER)의 움직임을 감지하고, 표시 패널로 소정의 신호를 전달할 수 있다. 이에 따라, 표시 패널은 사용자(USER)의 시선 변화에 대응하는 영상을

제공할 수 있다. 따라서, 사용자(USER)는 실제의 현실과 같은 가상 현실을 체험할 수 있다.

- [0123] 케이스부(210)에는 표시 패널과 가속도 센서 외에 다양한 기능을 갖는 부품들이 수납될 수 있다. 예컨대, 케이스부(210)에는 사용자(USER)의 착용 여부를 판단하는 근접 센서(미도시)가 수납될 수도 있다. 또한, 케이스부(210) 외부에는 음량이나, 화면의 밝기 등을 조절하기 위한 조작부(미도시)등이 추가로 배치될 수 있다. 상기 조작부는 물리적 버튼으로 제공되거나, 터치 센서 등의 형태로 제공될 수 있다.
- [0124] 스트랩부(220)는 케이스부(210)와 결합하여, 사용자(USER)가 헤드 마운트 장치(200)를 용이하게 착용할 수 있게끔 할 수 있다. 스트랩부(220)는 메인 스트랩(221) 및 상단 스트랩(222)을 포함할 수 있다.
- [0125] 메인 스트랩(221)은 사용자(USER)의 머리의 둘레를 따라 착용될 수 있다. 메인 스트랩(221)은 케이스부(210)가 사용자(USER)의 머리에 밀착될 수 있도록 케이스부(210)를 사용자(USER)에 고정시킬 수 있다. 상단 스트랩(222)은 사용자(USER)의 머리 윗부분을 따라 케이스부(210)와 메인 스트랩(221)을 연결할 수 있다. 상단 스트랩(222)은 케이스부(210)가 흘러내리는 것을 방지할 수 있다. 상단 스트랩(222)은 케이스부(210)의 하중을 분산시켜 사용자(USER)의 착용감을 더욱 향상시킬 수 있다.
- [0126] 도 5에서는 메인 스트랩(221)과 상단 스트랩(222)이 길이를 조절할 수 있는 부분을 갖는 것으로 예시적으로 도시되었으나, 이에 한정되는 것은 아니다. 예컨대, 다른 실시예에 따르면 메인 스트랩(221)과 상단 스트랩(222)이 탄성을 갖고, 길이 조절할 수 있는 부분이 생략될 수 있다.
- [0127] 케이스부(210)를 사용자(USER)에게 고정할 수 있다면, 스트랩부(220)는 도 5 및 도 6에 개시된 형태 외에도 다양한 형태로 변형될 수 있다. 예를 들어, 다른 실시예에 따르면 상단 스트랩(222)은 생략될 수도 있다. 또 다른 실시예에 따르면 스트랩부(220)는 케이스부(210)와 결합된 헬멧, 또는 케이스부(210)와 결합된 안경 다리 등의 다양한 형태로 변형될 수 있다.
- [0128] 쿠션부(230)는 케이스부(210)와 사용자(USER)의 머리 사이에 배치될 수 있다. 쿠션부(230)는 그 형상의 변형이 자유로운 물질로 구성될 수 있다. 예컨대, 쿠션부(230)는 고분자 수지(예를 들어, 폴리우레탄(polyurethane), 폴리카보네이트(polycarbonate), 폴리프로필렌(polypropylene), 및 폴리에틸렌(polyethylene))로 형성되거나, 고무액, 우레탄 계열 물질, 또는 아크릴 계열 물질을 발포 성형한 스폰지로 형성될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0129] 쿠션부(230)는 케이스부(210)가 사용자(USER)에게 밀착될 수 있도록 하여, 사용자(USER)의 착용감을 향상시킬 수 있다. 쿠션부(230)는 케이스부(210)로부터 탈착될 수 있다. 본 발명의 다른 실시예에서 쿠션부(230)는 생략될 수도 있다.
- [0130] 도 7을 참조하면, 케이스부(210)는 몸통부(211)와 덮개부(212)로 분리될 수 있다. 몸통부(211)와 덮개부(212) 사이에는 표시 패널(DP)이 안착할 수 있는 안착 공간(DPS)이 제공되고, 덮개부(212)는 안착 공간(DPS)을 커버할 수 있다. 도 7에서는 몸통부(211)와 덮개부(212)가 분리되는 형태를 예시적으로 도시하였으나, 이에 제한되는 것은 아니다. 예컨대, 몸통부(211)와 덮개부(212)는 일체형으로 제공될 수 있으며, 서로 분리되지 않을 수 있다.
- [0131] 몸통부(211)와 덮개부(212) 사이의 안착 공간(DPS)에는 표시 패널(DP)이 배치될 수 있다. 표시 패널(DP)은 도 2에 도시된 화소 회로를 갖는 화소들(PX)을 포함할 수 있으며, 화소들(PX)은 도 3 또는 도 4에 도시된 타이밍도에 따라서 제어 또는 구동될 수 있다. 표시 패널(DP)은 헤드 마운트 장치(200) 내부에 일체로 내장되어 영상을 제공할 수 있다.
- [0132] 다른 실시예에 따르면, 표시 장치(예컨대, 휴대용 단말기)가 헤드 마운트 장치(200)와 결합하여 영상을 제공할 수도 있다. 표시 장치는 도 2에 도시된 화소 회로를 갖는 화소들(PX)을 포함할 수 있으며, 화소들(PX)은 도 3 또는 도 4에 도시된 타이밍도에 따라서 제어 또는 구동될 수 있다.
- [0133] 도 7에서는 좌안 이미지와 우안 이미지가 하나의 표시 패널(DP)을 통해 표시되는 것을 예로 들어 설명한다. 표시 패널(DP)은 좌안 이미지가 표시되는 좌안 이미지 표시 영역(L_DA)과 우안 이미지가 표시되는 우안 이미지 표시 영역(R_DA)으로 구분될 수 있다. 좌안 이미지 표시 영역(L_DA)과 우안 이미지 표시 영역(R_DA)은 별개의 구동부에 의해 구동될 수 있다. 다른 실시예에 따르면, 하나의 구동부에 의해 좌안 이미지 표시 영역(L_DA)과 우안 이미지 표시 영역(R_DA)이 모두 구동될 수도 있다. 또한, 또 다른 실시예에 따르면, 표시 패널(DP)은 서로 분리된 좌안용 표시 패널과 우안용 표시 패널을 포함할 수도 있다.
- [0134] 표시 패널(DP)은 입력된 영상 데이터에 대응하는 영상을 생성한다. 표시 패널(DP)은 도 2에 도시된 화소 회로

를 갖는 화소들(PX)을 포함할 수 있다. 화소(PX)는 3개의 트랜지스터와 2개의 커패시터를 포함할 수 있으며, 제1 및 제2 전원선(PL1, PL2), 데이터선(DL), 주사선(SL) 및 제어선(CL)에 접속될 수 있다. 화소들(PX)은 도 3 또는 도 4에 도시된 타이밍도에 따라서 제어 또는 구동될 수 있다.

[0135] 케이스부(210)의 몸통부(211) 내부에는 광학계(OL)가 배치될 수 있다. 광학계(OL)는 표시 패널(DP)으로부터 제공된 영상을 확대할 수 있다. 표시 패널(DP)에 표시되는 영상은 광학계(OL)에 의해 확대되어 사용자(USER)에게 인식되므로, 표시 패널(DP)의 해상도가 매우 높아야지만 사용자(USER)에게 고품질의 영상을 제공할 수 있다. 일 실시예에 따른 표시 패널(DP)은 3개의 트랜지스터, 2개의 커패시터 및 발광 소자로 구성되는 화소 회로를 갖는 화소(PX)들을 포함한다. 따라서, 화소(PX)를 포함하는 유기 발광 표시 장치(100)는 1200ppi 이상, 예컨대, 약 1600ppi의 초고해상도로 제조될 수 있으므로, 더욱 선명한 화질의 영상을 표시할 수 있다.

[0136] 광학계(OL)는 표시 패널(DP)에 대해 제1 방향(DR1)으로 이격되어 배치될 수 있다. 광학계(OL)는 표시 패널(DP)과 사용자(USER)의 안구 사이에 배치될 수 있다. 사용자(USER)의 시력에 따라 광학계(OL)와 표시 패널(DP) 사이의 거리가 조정될 수도 있다.

[0137] 광학계(OL)는 우안 광학계(OL_R)와 좌안 광학계(OL_L)를 포함할 수 있다. 좌안 광학계(OL_L)는 사용자(USER)의 좌측 동공에 영상을 확대하여 제공하고, 우안 광학계(OL_R)는 사용자(USER)의 우측 동공에 영상을 확대하여 제공할 수 있다. 좌안 광학계(OL_L)와 우안 광학계(OL_R)는 제1 방향(DR1)과 교차하는 제2 방향(DR2)으로 이격되어 배치될 수 있다. 사용자(USER)의 두 안구 사이의 거리에 대응하여 우안 광학계(OL_R)와 좌안 광학계(OL_L) 사이의 거리는 조절될 수 있다.

[0138] 광학계(OL)는 볼록한 형태의 비구면 렌즈일 수 있다. 좌안 광학계(OL_L)와 우안 광학계(OL_R) 각각이 하나의 렌즈로만 이루어질 수 있다. 그러나, 이에 제한되지 않으며, 좌안 광학계(OL_L)와 우안 광학계(OL_R) 각각은 복수의 렌즈를 포함할 수도 있다.

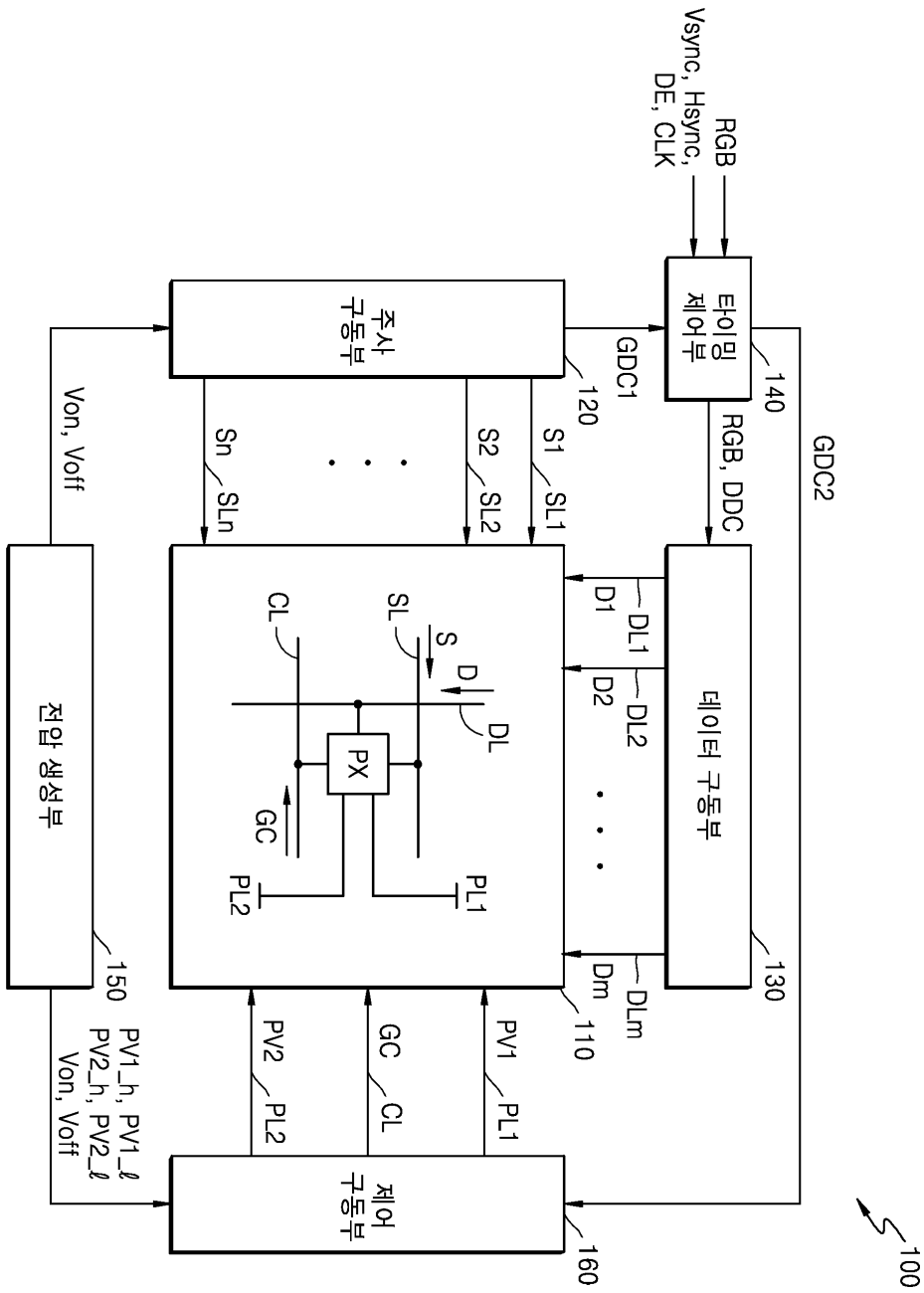
[0139] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

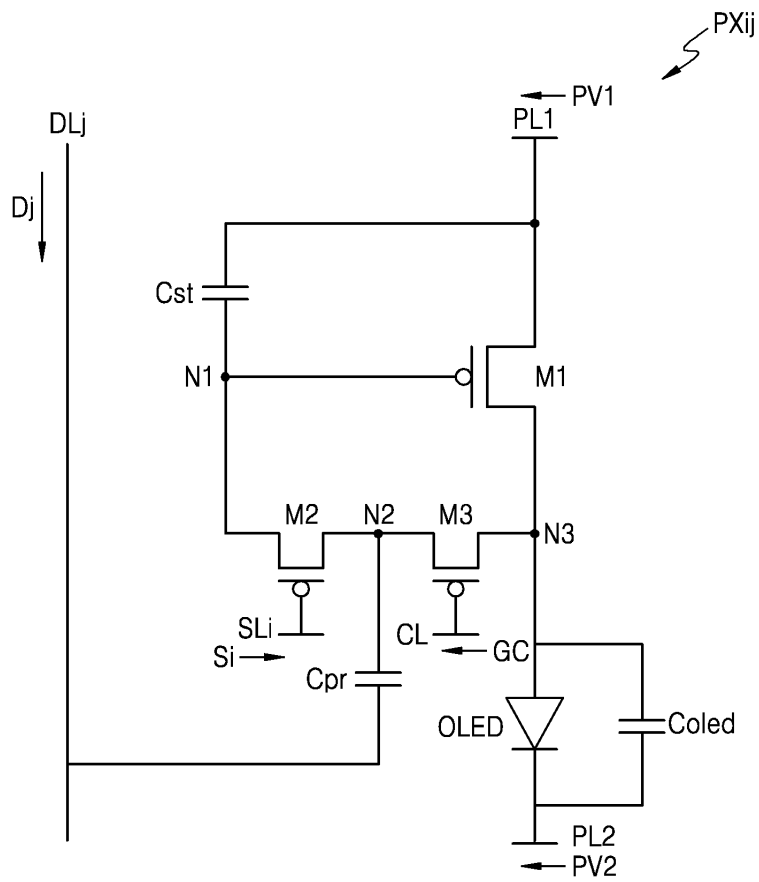
- [0140] 100: 유기 발광 표시 장치
110: 표시부
120: 주사 구동부
130: 데이터 구동부
140: 타이밍 제어부
150: 전압 생성부
160: 제어 구동부

도면

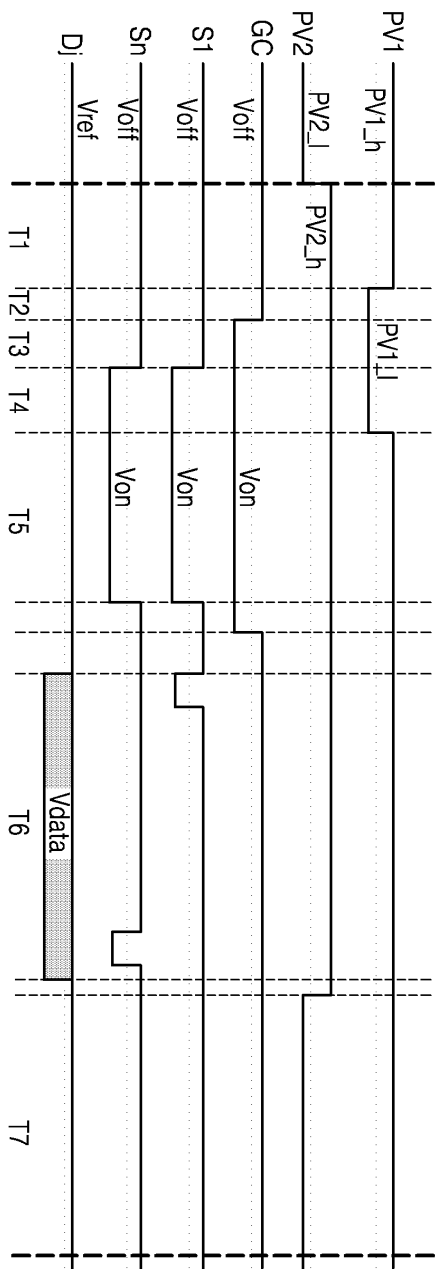
도면1



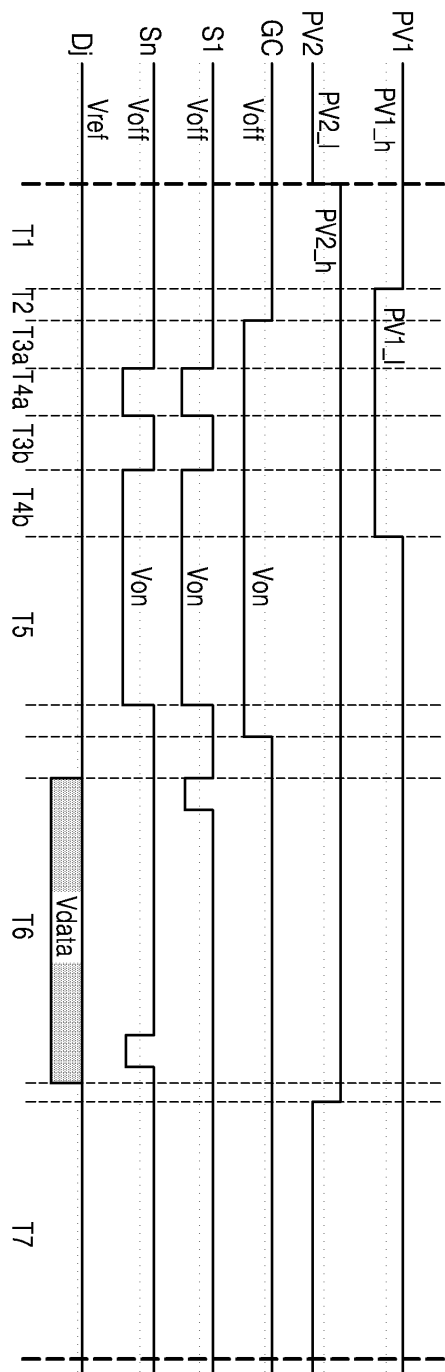
도면2



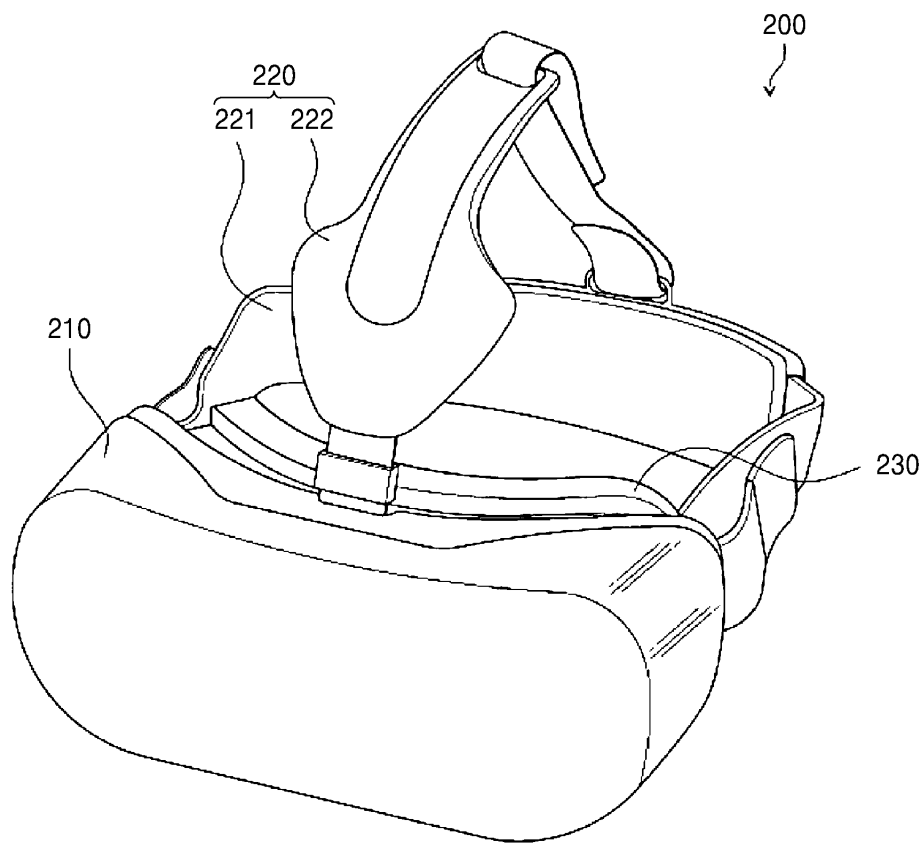
도면3



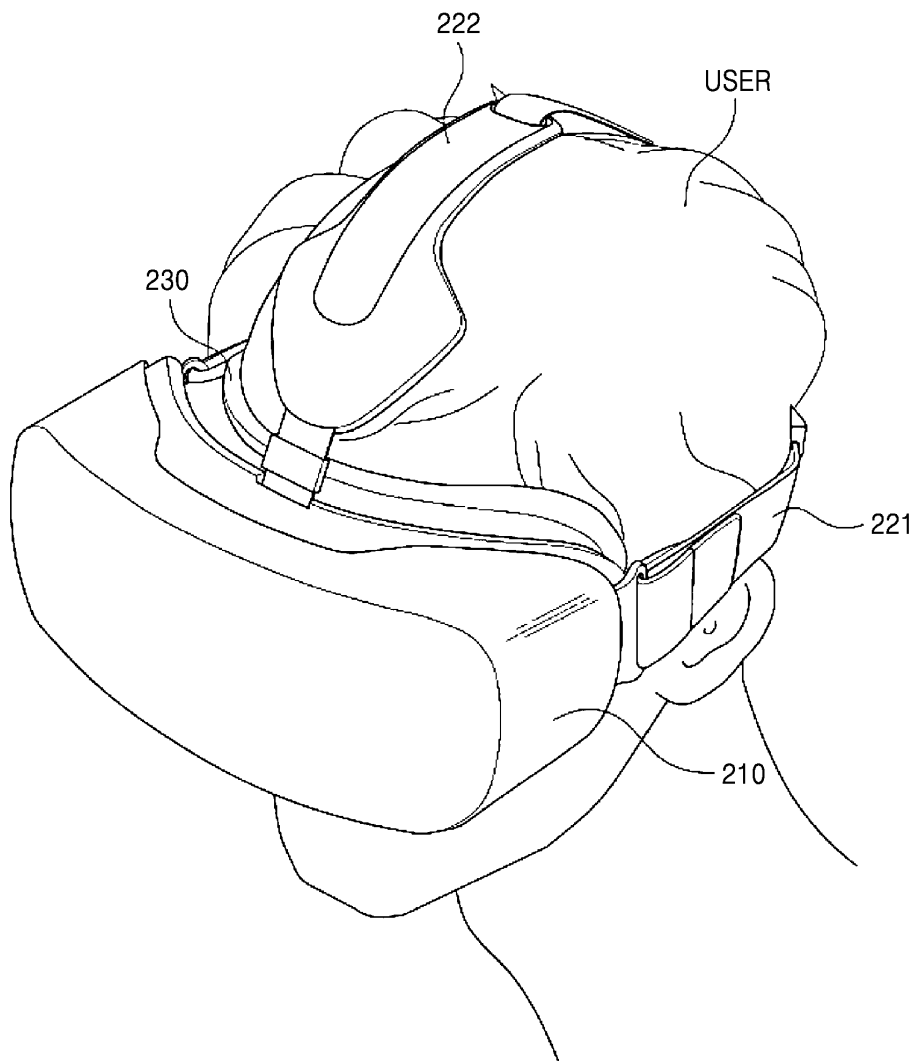
도면4



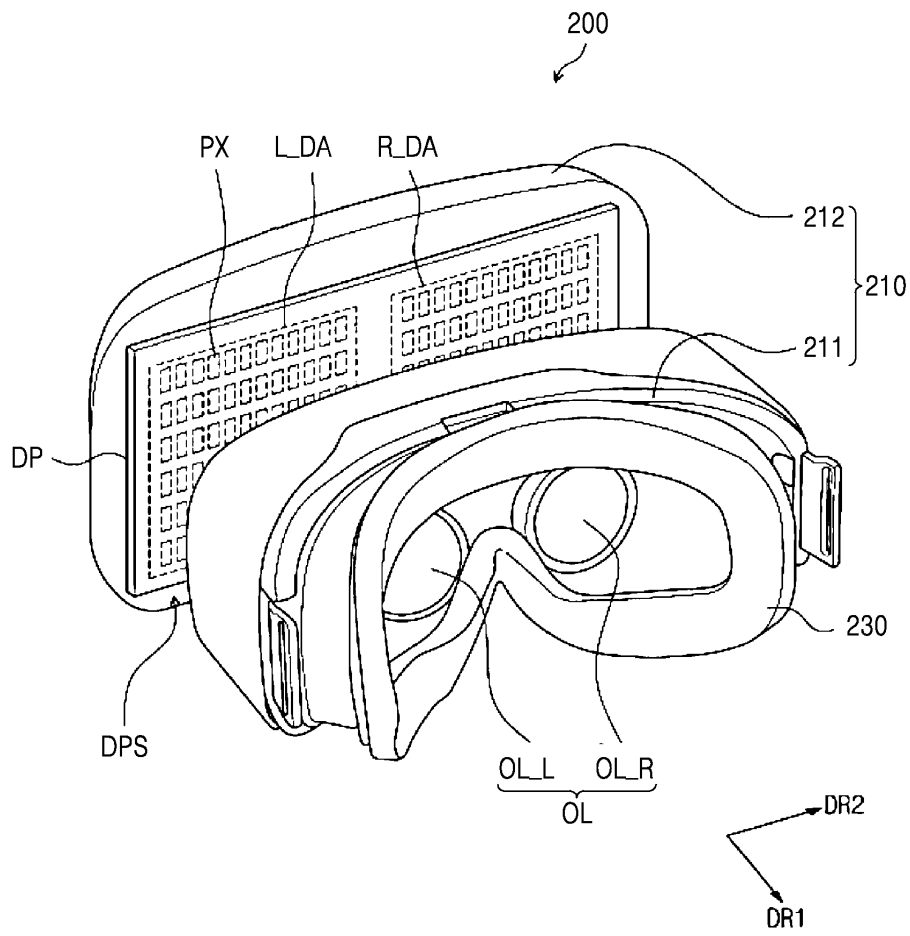
도면5



도면6



도면7



专利名称(译)	像素电路和有机发光显示装置		
公开(公告)号	KR1020190104088A	公开(公告)日	2019-09-06
申请号	KR1020180024722	申请日	2018-02-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이탁영 정윤모 서일훈 조미연		
发明人	이탁영 정윤모 서일훈 조미연		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G3/3208 G09G3/3266 G09G3/3275 G09G2300/0465 G09G2300/0819 G09G2300/0852 G09G2300/0866 G09G2320/0257 G02B27/0172 G09G3/3291 G09G2300/0426 G09G2300/0439 G09G2300/0809 G09G2310/08 G09G2320/0233 G09G2330/028 H01L27/3276		
外部链接	Espacenet		

摘要(译)

根据本发明的各个实施例，提供了一种连接到数据线以及第一和第二电源线的像素电路。像素电路包括：发光元件，连接在第一和第二电源线之间；以及驱动晶体管根据第一节点的电压来控制从第一电源线通过发光元件流向第二电源线的电流。第一开关元件，其连接在第一节点和第二节点之间；第二开关元件，其连接在第二节点和第三节点之间；第一电容器，连接在第一电源线和第一节点之间；第二电容器，连接在第二节点和数据线之间。具有像素电路的显示装置可以以超高清制造。

