(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0079948
(43) 공개일자 2019년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H01L 27/32* (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 51/5012 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2017-0182067
(22) 출원일자 2017년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박은지
경기도 파주시 월롱면 엘지로 245
한성만
경기도 파주시 월롱면 엘지로 245
이기형
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

전체 청구항 수 : 총 20 항

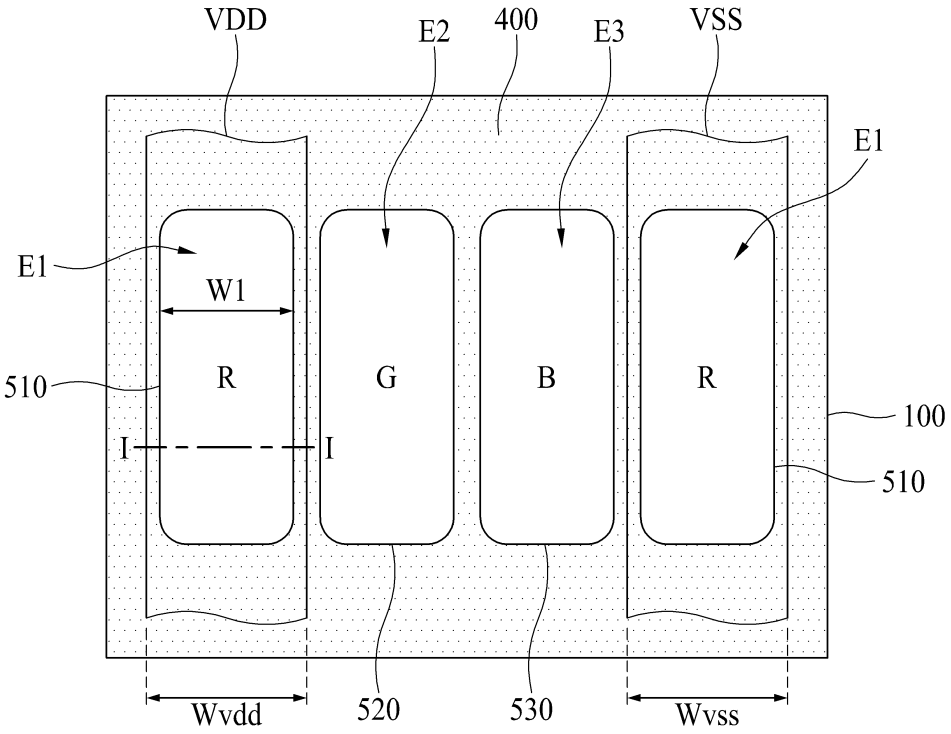
(54) 발명의 명칭 **전계 발광 표시장치**

(57) 요 약

본 발명은 기판; 상기 기판 상에 구비되며, 신호 라인을 포함하여 이루어진 회로 소자층; 상기 회로 소자층 상에 구비되며 제1 발광 영역 및 제2 발광 영역을 정의하도록 구비된 뱅크; 및 상기 제1 발광 영역에 구비된 제1 발광층 및 상기 제2 발광 영역에 구비된 제2 발광층을 포함하여 이루어지고, 상기 제1 발광 영역은 상기 신호 라인과

(뒷면에 계속)

대 표 도 - 도2



중첩되며 상기 제1 발광 영역의 폭은 상기 신호 라인의 폭 이하인 전계 발광 표시장치에 관한 것으로서,

본 발명의 일 실시예에 따르면, 신호 라인의 폭을 제1 발광 영역의 폭 이상으로 형성하고, 상기 제1 발광 영역을 상기 신호 라인과 중첩되도록 형성함으로써, 상기 신호 라인으로 인해서 상기 제1 발광 영역에 단차가 발생되는 것이 방지될 수 있고, 그에 따라, 용액 공정으로 상기 제1 발광 영역에 제1 발광층을 형성할 때 상기 제1 발광층이 상기 제1 발광 영역에 균일한 프로파일을 가지면서 형성될 수 있어 상기 제1 발광 영역에서 균일한 발광이 일어날 수 있다.

(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/5203 (2013.01)

명 세 서

청구범위

청구항 1

기판;

상기 기판 상에 구비되며, 신호 라인을 포함하여 이루어진 회로 소자층;

상기 회로 소자층 상에 구비되며 제1 발광 영역 및 제2 발광 영역을 정의하도록 구비된 뱅크; 및

상기 제1 발광 영역에 구비된 제1 발광층 및 상기 제2 발광 영역에 구비된 제2 발광층을 포함하여 이루어지고,

상기 제1 발광 영역은 상기 신호 라인과 중첩되며 상기 제1 발광 영역의 폭은 상기 신호 라인의 폭 이하인 전계 발광 표시장치.

청구항 2

제1항에 있어서,

상기 신호 라인은 전원 라인으로 이루어진 전계 발광 표시장치.

청구항 3

제2항에 있어서,

상기 회로 소자층은 상기 전원 라인과 동일한 방향으로 배열된 데이터 라인 또는 기준 라인을 추가로 포함하여 이루어지고,

상기 제2 발광 영역은 상기 데이터 라인 또는 상기 기준 라인과 중첩되며 상기 제2 발광 영역의 폭은 상기 데이터 라인의 폭 또는 상기 기준 라인의 폭보다 큰 전계 발광 표시장치.

청구항 4

제3항에 있어서,

상기 제2 발광 영역의 폭은 상기 제1 발광 영역의 폭보다 큰 전계 발광 표시장치.

청구항 5

제1항에 있어서,

상기 제1 발광층의 폭은 상기 신호 라인의 폭 이하인 전계 발광 표시장치.

청구항 6

기판;

상기 기판 상에서 제1 방향으로 배열된 고전원 라인과 저전원 라인;

상기 기판 상에서 상기 고전원 라인과 상기 저전원 라인 사이에 구비되며, 발광을 제어하는 복수의 박막 트랜지스터를 각각 구비하는 복수의 회로 소자열;

상기 고전원 라인, 상기 저전원 라인, 및 상기 복수의 회로 소자열 상에 구비되며, 복수의 발광 영역을 정의하는 뱅크; 및

상기 복수의 발광 영역에 각각 구비된 발광층을 포함하여 이루어지고,

상기 복수의 발광 영역은 상기 고전원 라인 또는 상기 저전원 라인과 중첩되며 상기 고전원 라인의 폭 또는 상기 저전원 라인의 폭 이하의 폭을 가지는 제1 발광 영역을 포함하여 이루어진 전계 발광 표시장치.

청구항 7

제6항에 있어서,

상기 복수의 발광 영역은 상기 복수의 회로 소자열 중에서 하나 또는 두 개의 회로 소자열과 중첩되는 제2 발광 영역을 추가로 포함하여 이루어진 전계 발광 표시장치.

청구항 8

제7항에 있어서,

상기 복수의 발광 영역은 상기 복수의 회로 소자열 중에서 두 개의 회로 소자열과 중첩되는 제3 발광 영역을 추가로 포함하고, 상기 제3 발광 영역의 폭은 상기 제1 발광 영역의 폭 및 상기 제2 발광 영역의 폭보다 큰 전계 발광 표시장치.

청구항 9

제6항에 있어서,

상기 기판 상에서 상기 복수의 회로 소자열 사이에 구비된 기준 라인 및 제1 내지 제3 데이터 라인을 추가로 포함하여 이루어지고,

상기 복수의 회로 소자열은 상기 고전원 라인과 상기 제1 데이터 라인 사이에 구비된 제1 회로 소자열, 상기 제2 데이터 라인과 상기 기준 라인 사이에 구비된 제2 회로 소자열, 및 상기 기준 라인과 상기 제3 데이터 라인 사이에 구비된 제3 회로 소자열을 포함하여 이루어진 전계 발광 표시장치.

청구항 10

제9항에 있어서,

상기 제1 회로 소자열에 구비된 구동 박막 트랜지스터의 단자와 연결되며 상기 고전원 라인과 중첩되는 제1 전극, 상기 제2 회로 소자열에 구비된 구동 박막 트랜지스터의 단자와 연결되며 상기 제1 회로 소자열과 중첩되는 제1 전극, 및 상기 제3 회로 소자열에 구비된 구동 박막 트랜지스터의 단자와 연결되며 상기 제3 회로 소자열과 중첩되는 제1 전극을 추가로 포함하여 이루어진 전계 발광 표시장치.

청구항 11

제9항에 있어서,

상기 제3 회로 소자열에 구비된 구동 박막 트랜지스터의 단자와 연결되며 상기 저전원 라인과 중첩되는 제1 전극, 상기 제1 회로 소자열에 구비된 구동 박막 트랜지스터의 단자와 연결되며 상기 제1 회로 소자열과 중첩되는 제1 전극, 및 상기 제2 회로 소자열에 구비된 구동 박막 트랜지스터의 단자와 연결되며 상기 제3 회로 소자열과 중첩되는 제1 전극을 추가로 포함하여 이루어진 전계 발광 표시장치.

청구항 12

제9항에 있어서,

상기 고전원 라인에서 상기 제1 회로 소자열, 상기 제2 회로 소자열, 상기 제3 회로 소자열, 및 상기 저전원 라인까지 연장된 제1 연결 라인을 추가로 포함하고, 상기 제1 연결 라인은 상기 고전원 라인과 상기 제1 내지 제3 회로 소자열에 각각 구비된 구동 박막 트랜지스터의 단자를 연결하는 전계 발광 표시장치.

청구항 13

제9항에 있어서,

상기 기준 라인에서 상기 제1 회로 소자열, 상기 제2 회로 소자열, 및 상기 제3 회로 소자열까지 연장된 제2 연결 라인을 추가로 포함하고, 상기 제2 연결 라인은 상기 기준 라인과 상기 제1 내지 제3 회로 소자열에 각각 구비된 센싱 박막 트랜지스터의 단자를 연결하는 전계 발광 표시장치.

청구항 14

제6항에 있어서,

상기 고전원 라인의 폭과 상기 저전원 라인의 폭은 동일하고,

상기 제1 발광 영역은 상기 고전원 라인 및 상기 저전원 라인 위에 각각 구비되고 상기 고전원 라인 및 상기 저전원 라인과 각각 중첩되면서 상기 고전원 라인의 폭 및 상기 저전원 라인의 폭 이하의 폭을 가지는 전계 발광 표시장치.

청구항 15

기판;

상기 기판 상에 구비되며, 제1 회로 소자열, 제2 회로 소자열, 및 제3 회로 소자열을 포함하는 회로 소자층;

상기 회로 소자층 상에 구비되며, 제1 발광 영역, 제2 발광 영역, 및 제3 발광 영역을 정의하도록 구비된 뱅크; 및

상기 제1 발광 영역, 상기 제2 발광 영역, 및 상기 제3 발광 영역에 개별적으로 중첩된 제1 전극을 포함하여 이루어지고,

상기 제1 내지 제3 회로 소자열은 각각 발광을 제어하는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함하여 이루어지고,

상기 제1 발광 영역에 중첩된 제1 전극은 상기 제1 회로 소자열 또는 상기 제3 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고,

상기 제1 발광 영역은 상기 제1 회로 소자열 및 상기 제3 회로 소자열과 중첩되지 않도록 구비되어 있는 전계 발광 표시장치.

청구항 16

제15항에 있어서,

상기 회로 소자층은 상기 제1 내지 제3 회로 소자열에 구비된 구동 박막 트랜지스터의 다른 단자에 고전원을 각각 공급하는 고전원 라인을 추가로 포함하고,

상기 제1 발광 영역은 상기 고전원 라인과 중첩되는 전계 발광 표시장치.

청구항 17

제15항에 있어서,

상기 제1 전극 상에 구비된 발광층 및 상기 발광층 상에 구비된 제2 전극을 추가로 포함하고,

상기 회로 소자층은 상기 제2 전극에 저전원을 각각 공급하는 저전원 라인을 추가로 포함하고,

상기 제1 발광 영역은 상기 저전원 라인과 중첩되는 전계 발광 표시장치.

청구항 18

제15에 있어서,

상기 제1 발광 영역에 중첩된 제1 전극은 상기 제1 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고,

상기 제2 발광 영역에 중첩된 제1 전극은 상기 제2 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고,

상기 제3 발광 영역에 중첩된 제1 전극은 상기 제3 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고,

상기 제2 발광 영역은 상기 제1 회로 소자열과 중첩되고, 상기 제3 발광 영역은 상기 제3 회로 소자열과 중첩되는 전계 발광 표시장치.

청구항 19

제15에 있어서,

상기 제1 발광 영역에 중첩된 제1 전극은 상기 제3 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고,

상기 제2 발광 영역에 중첩된 제1 전극은 상기 제1 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고,

상기 제3 발광 영역에 중첩된 제1 전극은 상기 제2 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고,

상기 제2 발광 영역은 상기 제1 회로 소자열과 중첩되고, 상기 제3 발광 영역은 상기 제3 회로 소자열과 중첩되는 전계 발광 표시장치.

청구항 20

제15항에 있어서,

상기 회로 소자층은 동일한 방향으로 배열된 고전원 라인, 저전원 라인, 제1 내지 제3 데이터 라인, 및 기준 라인을 추가로 포함하여 이루어지고,

상기 제1 회로 소자열은 상기 고전원 라인과 상기 제1 데이터 라인 사이에 구비되고, 상기 제2 회로 소자열은 상기 제2 데이터 라인과 상기 기준 라인 사이에 구비되고, 상기 제3 회로 소자열은 상기 기준 라인과 상기 제3 데이터 라인 사이에 구비된 전계 발광 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 전계 발광 표시장치에 관한 것으로서, 보다 구체적으로는 용액 공정으로 발광층을 형성하는 전계 발광 표시장치에 관한 것이다.

배 경 기 술

[0002] 전계 발광 표시장치는 두 개의 전극 사이에 발광층이 형성된 구조로 이루어져, 상기 두 개의 전극 사이의 전계에 의해 상기 발광층이 발광함으로써 화상을 표시하는 장치이다.

[0003] 상기 발광층은 전자와 정공의 결합에 의해 엑시톤(exciton)이 생성되고 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광을 하는 유기물로 이루어질 수도 있고, 퀀텀 도트(Quantum dot)와 같은 무기물로 이루어질 수도 있다.

[0004] 이하, 도면을 참조로 하여 종래의 전계 발광 표시장치에 대해서 설명하기로 한다.

[0005] 도 1은 종래의 전계 발광 표시장치의 개략적인 단면도이다.

[0006] 도 1에서 알 수 있듯이, 종래의 전계 발광 표시장치는 기판(10), 회로 소자층(20), 제1 전극(30), 뱅크(40), 및 발광층(50)을 포함하여 이루어진다.

[0007] 상기 회로 소자층(20)은 상기 기판(10) 상에 형성되어 있다. 상기 회로 소자층(20)에는 각종 신호 라인들, 박막 트랜지스터, 및 커패시터 등이 형성되어 있다.

[0008] 상기 제1 전극(30)은 상기 회로 소자층(20) 상에 형성되어 있다. 상기 제1 전극(30)은 화소 별로 패턴 형성되어 있으며, 전계 발광 표시장치의 양극(Anode)으로 기능한다.

[0009] 상기 뱅크(40)는 매트릭스 구조로 형성되어 복수의 발광 영역(E)을 정의한다.

[0010] 상기 발광층(50)은 상기 뱅크(40)에 의해 정의된 복수의 발광 영역(E)에 형성되어 있다. 특히, 상기 발광층(50)은 잉크젯 장비 등을 이용한 용액 공정을 통해 상기 발광 영역(E)에 노출된 상기 제1 전극(30) 상에 형성된다.

[0011] 도 1의 화살표로 인출된 확대도를 참조하면, 상기 회로 소자층(20)은 그 내부에 형성된 각종 신호 라인들과 박막 트랜지스터 등에 의해서 단차를 가지게 된다. 상기 단차진 회로 소자층(20) 부분에 발광 영역(E)이 마련되면 상기 발광 영역(E)에 노출된 상기 제1 전극(30)의 상면에도 단차가 발생된다

[0012] 이와 같이, 단차가 발생된 상기 제1 전극(30) 상에 용액 공정으로 상기 발광층(50)을 형성하게 되면, 상기 발광층(50)이 상기 발광 영역(E) 내에서 균일하게 형성되지 못하게 되고, 그에 따라 상기 발광 영역(E)에서 불균일한 발광이 일어나는 문제가 있다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 발광 영역 내에 단차 발생을 최소화함으로써 발광 영역에 균일한 발광층을 형성하고 그에 따라 발광 영역에서 균일한 발광이 일어날 수 있는 전계 발광 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0014] 상기 목적을 달성하기 위해서, 본 발명은 기판; 상기 기판 상에 구비되며, 신호 라인을 포함하여 이루어진 회로 소자층; 상기 회로 소자층 상에 구비되며 제1 발광 영역 및 제2 발광 영역을 정의하도록 구비된 뱅크; 및 상기 제1 발광 영역에 구비된 제1 발광층 및 상기 제2 발광 영역에 구비된 제2 발광층을 포함하여 이루어지고, 상기 제1 발광 영역은 상기 신호 라인과 중첩되며 상기 제1 발광 영역의 폭은 상기 신호 라인의 폭 이하인 전계 발광 표시장치를 제공한다.

[0015] 본 발명은 또한 기판; 상기 기판 상에서 제1 방향으로 배열된 고전원 라인과 저전원 라인; 상기 기판 상에서 상기 고전원 라인과 상기 저전원 라인 사이에 구비되며, 발광을 제어하는 복수의 박막 트랜지스터를 각각 구비하는 복수의 회로 소자열; 상기 고전원 라인, 상기 저전원 라인, 및 상기 복수의 회로 소자열 상에 구비되며, 복수의 발광 영역을 정의하는 뱅크; 및 상기 복수의 발광 영역에 각각 구비된 발광층을 포함하여 이루어지고, 상기 복수의 발광 영역은 상기 고전원 라인 또는 상기 저전원 라인과 중첩되며 상기 고전원 라인의 폭 또는 상기 저전원 라인의 폭 이하의 폭을 가지는 제1 발광 영역을 포함하여 이루어진 전계 발광 표시장치를 제공한다.

[0016] 본 발명은 또한 기판; 상기 기판 상에 구비되며, 제1 회로 소자열, 제2 회로 소자열, 및 제3 회로 소자열을 포함하는 회로 소자층; 상기 회로 소자층 상에 구비되며, 제1 발광 영역, 제2 발광 영역, 및 제3 발광 영역을 정의하도록 구비된 뱅크; 및 상기 제1 발광 영역, 상기 제2 발광 영역, 및 상기 제3 발광 영역에 각각 구비된 제1 전극을 포함하여 이루어지고, 상기 제1 내지 제3 회로 소자열은 각각 발광을 제어하는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함하여 이루어지고, 상기 제1 발광 영역에 구비된 제1 전극은 상기 제1 회로 소자열 또는 상기 제3 회로 소자열에 구비된 구동 박막 트랜지스터의 하나의 단자와 연결되고, 상기 제1 발광 영역은 상기 제1 회로 소자열 및 상기 제3 회로 소자열과 중첩되지 않도록 구비되어 있는 전계 발광 표시장치를 제공한다.

발명의 효과

[0017] 본 발명의 일 실시예에 따르면, 전원 라인(VDD, VSS)의 폭을 제1 발광 영역의 폭 이상으로 형성하고, 상기 제1 발광 영역을 상기 전원 라인(VDD, VSS)과 중첩되도록 형성함으로써, 상기 전원 라인(VDD, VSS)으로 인해서 상기 제1 발광 영역에 단차가 발생되는 것이 방지될 수 있다. 그에 따라, 용액 공정으로 상기 제1 발광 영역에 제1 발광층을 형성할 때 상기 제1 발광층이 상기 제1 발광 영역에 균일한 프로파일을 가지면서 형성될 수 있어 상기 제1 발광 영역에서 균일한 발광이 일어날 수 있다.

도면의 간단한 설명

[0018] 도 1은 종래의 전계 발광 표시장치의 개략적인 단면도이다.

도 2는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 평면도이다.

도 3은 도 2의 I-I라인의 단면에 해당하는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다.

도 4는 도 2의 I-I라인의 단면에 해당하는 본 발명의 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면

도이다.

도 5는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 회로 구성도이다.

도 6은 도 5에 따른 회로 구성에 복수의 발광 영역이 배치되는 모습을 보여주는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 평면도이다.

도 7은 도 5에 따른 회로 구성에 복수의 발광 영역이 배치되는 모습을 보여주는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 평면도이다.

도 8는 전술한 도 5의 회로 구성을 가지는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 평면도이다.

도 9는 도 8에 따른 전계 발광 표시장치에서 복수의 발광 영역이 배치되는 본 발명의 일 실시예에 따른 모습을 보여주는 평면도이다.

도 10은 도 8에 따른 전계 발광 표시장치에서 복수의 발광 영역이 배치되는 본 발명의 다른 실시예에 따른 모습을 보여주는 평면도이다.

도 11은 도 9 및 도 10의 A-B라인의 단면도이다.

도 12는 도 9 및 도 10의 C-D라인의 단면도이다.

도 13은 도 9 및 도 10의 E-F라인의 단면도이다.

도 14는 본 발명의 일 실시예에 따른 전계 발광 표시장치에서 고전압 라인과 저전압 라인이 각각 표시부와 비표시부에 배열되는 모습을 보여주는 개략적인 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0020] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0021] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0023] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0024] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0025] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0026] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0027] 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 평면도이다.

[0028] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시장치는 기판(100), 고전원 라인(VDD), 저전원 라인(VSS), 뱅크(400), 및 발광층(510, 520, 530)을 포함하여 이루어진다.

[0029] 상기 기판(100)은 유리 또는 플라스틱으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 기판(100)은 투명한 재료로 이루어질 수도 있고 불투명한 재료로 이루어질 수도 있다. 본 발명의 일 실시예에 따른 전계 발광 표시장치는 발광된 광이 상부쪽으로 방출되는 소위 상부 발광(Top emisison) 방식으로 이루어질 수 있고, 그 경우 상기 기판(100)의 재료로는 투명한 재료뿐만 아니라 불투명한 재료가 이용될 수 있다.

[0030] 상기 고전원 라인(VDD)은 상기 기판(100) 상에서 제1 방향, 예로서 세로 방향으로 형성되어 있다. 상기 고전원 라인(VDD)은 유기 발광 소자를 구동하는 구동 박막 트랜지스터의 단자에 고전원을 공급할 수 있다.

[0031] 상기 저전원 라인(VSS)은 상기 기판(100) 상에서 상기 제1 방향으로 형성되어 있다. 즉, 상기 저전원 라인(VSS)은 상기 고전원 라인(VDD)과 평행하게 형성되어 있다. 상기 저전원 라인(VSS)은 상기 유기 발광 소자의 음극에 저전원을 공급한다.

[0032] 상기 유기 발광 소자는 상기 발광층(510, 520, 530), 및 상기 발광층(510, 520, 530)의 아래와 위에 각각 구비되는 양극과 음극을 포함하여 이루어질 수 있다. 이때, 상기 양극은 상기 구동 박막 트랜지스터의 소스 단자에 연결되고, 상기 음극은 상기 저전원 라인(VSS)에 연결될 수 있다. 또한, 상기 구동 트랜지스터의 드레인 단자는 상기 고전원 라인(VDD)과 연결될 수 있다. 상기 저전원 라인(VSS)은 상대적으로 낮은 전원을 공급하는 라인이고, 상기 고전원 라인(VDD)은 상대적으로 높은 전원을 공급하는 라인이다.

[0033] 상기 기판(100) 상에는 상기 고전원 라인(VDD)과 상기 저전원 라인(VSS) 이외에도 게이트 라인, 데이트 라인, 기준 라인, 및 센싱 제어 라인 등의 신호 라인이 추가로 형성될 수 있다. 이와 같은, 고전원 라인(VDD), 저전원 라인(VSS), 게이트 라인, 데이트 라인, 기준 라인, 및 센싱 제어 라인 등의 신호 라인의 구체적인 구성은 후술하는 도 5에 따른 실시예를 참고하면 용이하게 이해할 수 있을 것이다.

[0034] 상기 뱅크(400)는 상기 기판(100) 상에서 매트릭스 구조로 형성되면서 복수의 발광 영역(E1, E2, E3)을 정의한다. 즉, 상기 뱅크(400)가 형성되지 않은 개구부가 상기 발광 영역(E1, E2, E3)이 된다. 상기 발광 영역(E1, E2, E3)은 제1 발광 영역(E1), 제2 발광 영역(E2), 및 제3 발광 영역(E3)을 포함하여 이루어질 수 있다. 각각의 발광 영역(E1, E2, E3)에서는 서로 상이한 광이 발광될 수 있다.

[0035] 상기 제1 발광 영역(E1)은 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 중첩되도록 구비된다. 특히, 상기 제1 발광 영역(E1)의 전체 영역이 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 중첩되도록 구비된다. 따라서, 상기 제1 발광 영역(E1)의 폭(W1)은 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss) 보다 작거나 또는 동일하게 형성된다. 본 명세서에서 상기 발광 영역(E1, E2, E3)의 폭(W1, W2, W3)은 상기 고전원 라인(VDD) 또는 상기 저전원 라인(VSS)의 길이 방향과 수직 방향에서의 폭을 의미한다.

[0036] 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)은 개별 화소 마다 형성되는 것이 아니라 복수의 화소를 주기로 하여 형성될 수 있다. 이와 같이 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)이 복수의 화소를 주기로 형성될 경우에는, 전원의 안정적인 공급을 위해서 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss)을 개별 화소 마다 형성되는 데이터 라인의 폭보다 크게 형성하는 것이 바람직하다.

[0037] 따라서, 본 발명의 일 실시예에서는, 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)을 복수의 화소를 주기로 형성하면서 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss)을 상기 제1 발광 영역(E1)의 폭(W1)과 같거나 그보다 크게 형성하고, 상기 제1 발광 영역(E1)을 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 중첩되도록 형성함으로써, 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)으로 인해서 상기 제1 발광 영역(E1)에 단차가 발생되는 것이 방지될 수 있다. 그에 따라, 용액 공정으로 상기 제1 발광 영역(E1)에 제1 발광층(510)을 형성할 때 상기 제1 발광층(510)이 상기 제1 발광 영역(E1)에 균일한 프로파일을 가지면서 형성될 수 있어 상기 제1 발광 영역(E1)에서 균일한 발광이 일어날 수 있다.

[0038] 도시된 바와 같이, 상기 제1 발광 영역(E1)은 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 각각 중첩되고, 상기 제2 발광 영역(E2) 및 상기 제3 발광 영역(E3)은 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 중첩되지 않도록 구비될 수 있지만, 반드시 그에 한정되는 것은 아니고, 상기 제1 발광 영역(E1), 상기 제2 발광 영역(E2) 및 상기 제3 발광 영역(E3) 중 하나 이상의 발광 영역(E1, E2, E3)이 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS) 중 적어도 하나의 전원 라인(VDD, VSS)과 중첩되도록 형성될 수도 있다.

[0039] 상기 발광층(510, 520, 530)은 상기 뱅크(400)에 의해 정의된 발광 영역(E1, E2, E3)에 형성되어 있다. 상기 발

광층(510, 520, 530)은 제1 발광 영역(E1)에 구비된 제1 발광층(510), 제2 발광 영역(E2)에 구비된 제2 발광층(520), 및 제3 발광 영역(E3)에 구비된 제3 발광층(530)을 포함하여 이루어진다. 상기 제1 발광층(510)은 적색(R) 발광층으로 이루어지고, 상기 제2 발광층(520)은 녹색(G) 발광층으로 이루어지고, 상기 제3 발광층(530)은 청색(B) 발광층으로 이루어질 수 있다. 즉, 각각의 발광층(510, 520, 530)은 서로 상이한 색상의 광을 발광하는 발광층으로 이루어질 수 있다.

[0040] 일반적으로 청색(B) 발광층의 효율이 적색(R) 및 녹색(G) 발광층의 효율보다 낮기 때문에, 상기 청색(B) 발광층의 면적을 상기 적색(R) 및 녹색(G) 발광층의 면적보다 크게 형성할 수 있다. 또한, 녹색(G) 발광층의 효율이 적색(R) 발광층의 효율보다 낮을 수 있으며, 그 경우 상기 녹색(G) 발광층의 면적을 상기 적색(R) 발광층의 면적보다 크게 형성할 수도 있다. 결국, 상기 적색(R) 발광층의 면적을 상기 청색(B) 발광층의 면적 및 상기 녹색(G) 발광층의 면적보다 작게 형성할 수 있다.

[0041] 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss)을 너무 크게 형성하게 되면 상기 기판(100)의 정해진 면적을 고려할 때 다른 신호 라인의 폭을 줄여야 하는데, 이는 다른 신호 라인의 형성 공정 측면이나 안정적인 신호 공급 측면에서 바람직하지 않다. 따라서, 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss)을 일정 크기 이상으로 증가시키는 것은 어렵다.

[0042] 본 발명의 일 실시예에서는 가장 작은 면적으로 형성될 수 있는 상기 적색(R) 발광층으로 이루어진 제1 발광층(510)을 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 중첩되도록 형성함으로써, 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss)을 다른 신호 라인 형성에 문제가 발생하지 않는 소정 크기 이하로 형성할 수 있다. 다만, 상기 녹색(G) 발광층의 면적을 상기 적색(R) 발광층의 면적과 동일하게 형성할 수도 있으며, 이 경우에는 상기 녹색(G) 발광층으로 이루어진 제2 발광층(520)을 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 중첩되도록 형성할 수도 있다. 또한, 경우에 따라서, 상기 적색(R) 발광층, 상기 녹색(G) 발광층, 및 상기 청색(B) 발광층을 모두 동일한 면적으로 형성할 수도 있으며, 이 경우에는 상기 청색(B) 발광층으로 이루어진 제3 발광층(530)을 상기 고전원 라인(VDD) 및 상기 저전원 라인(VSS)과 중첩되도록 형성할 수도 있다.

[0043] 도 3은 도 2의 I-I라인의 단면에 해당하는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다.

[0044] 도 3에서 알 수 있듯이, 기판(100) 상에는 고전원 라인(VDD)이 패턴 형성되어 있다. 상기 고전원 라인(VDD)의 아래에는 하부 절연층(201)이 형성되고 상기 고전원 라인(VDD)의 위에는 상부 절연층(202)이 형성된다. 상기 하부 절연층(201)은 버퍼층, 게이트 절연막, 또는 층간 절연막 중 적어도 하나로 이루어질 수 있고, 상기 상부 절연층(202)은 패시베이션층 및 평탄화층 중 적어도 하나로 이루어질 수 있다.

[0045] 상기 상부 절연층(202) 상에는 제1 전극(310)이 형성되어 있다. 상기 제1 전극(310)은 제1 발광 영역(E1)보다 넓은 면적으로 가진다. 이와 같은 제1 전극(310)은 전계 발광 표시장치의 양극(Anode)으로 기능할 수 있다. 본 발명의 일 실시예에 따른 전계 발광 표시장치가 상부 발광 방식으로 이루어진 경우 상기 제1 전극(310)은 제1 발광층(510)에서 발광된 광을 상부쪽으로 반사시키기 위한 반사물질을 포함하여 이루어질 수 있다. 이 경우, 상기 제1 전극(310)은 투명한 도전물질과 상기 반사물질의 적층구조로 이루어질 수 있다.

[0046] 상기 제1 전극(310) 상에는 뱅크(400)가 형성되어 있다. 상기 뱅크(400)는 상기 제1 전극(310)의 양 끝단을 가리면서 제1 발광 영역(E1)을 정의하도록 구비된다. 상기 뱅크(400)에 의해 가려지지 않고 노출되는 상기 제1 전극(310)의 노출 영역이 상기 제1 발광 영역(E1)에 해당한다.

[0047] 상기 뱅크(400)는 친수성 성질을 가지는 유기 절연물로 이루어질 수 있다. 이 경우, 제1 발광층(510)이 상기 뱅크(400)의 측면으로 잘 퍼지게 되어 제1 발광 영역(E1)에 균일하게 형성될 수 있다. 한편, 상기 뱅크(400)의 전체가 친수성 성질을 가지게 되면, 상기 제1 발광 영역(E1)에 형성되는 제1 발광층(510)이 상기 뱅크(400)의 상면을 경유하여 이웃하는 발광 영역(E2, E3)으로 넘쳐 흘러가서 이웃하는 발광층(520, 530)과 섞일 수 있다. 따라서, 제1 발광층(510)이 이웃하는 발광층(520, 530)과 섞이는 것을 방지하기 위해서 상기 뱅크(400)의 상면은 소수성 성질을 가지도록 구비될 수 있다. 이를 위해서, 상기 뱅크(400)는 친수성 성질을 가지는 유기 절연물에 불소(fluorine)와 같은 소수성 물질을 혼합한 용액을 도포한 후 포토리소그라피 공정을 통해 패턴 형성될 수 있다. 상기 포토리소그라피 공정시 조사되는 광에 의해 상기 불소와 같은 소수성 물질이 뱅크(400)의 상부로 이동할 수 있고, 그에 따라 상기 뱅크(400)의 상부는 소수성 성질을 가지게 되고 그 외의 부분은 친수성 성질을 가지게 될 수 있다. 이 경우, 상기 뱅크(400)의 상면이 소수성 성질을 가지게 되므로, 상기 제1 발광층(510)이 상

기 뱅크(400)의 상면으로 퍼지는 정도가 줄어들어 이웃하는 발광층(520, 530)과의 섞임 문제가 줄어들 수 있다.

[0048] 상기 뱅크(400)에 정의된 상기 제1 발광 영역(E1)에는 적색(R) 발광층으로 이루어진 제1 발광층(510)이 형성되어 있다. 상기 제1 발광층(510)은 상기 제1 전극(300)의 노출 영역 상에 형성된다. 상기 제1 발광층(510)은 정공 주입층(HIL; Hole Injecting Layer), 정공 수송층(HTL; Hole Transporting Layer), 발광 물질층(EML; Emitting Material Layer), 및 전자 수송층(ETL; Electron Transporting Layer) 중 적어도 하나의 유기층을 포함하여 이루어지며, 이는 다른 발광층(520, 530)도 마찬가지이다.

[0049] 상기 제1 발광층(510)은 잉크젯 공정으로 마스크 없이 제1 발광 영역(E1)에 형성된다. 이때, 상기 제1 발광층(510)을 위한 용액이 건조된 이후에 제1 발광 영역(E1)의 중앙부의 상기 제1 발광층(510)의 상단의 높이(h1)가 제1 발광 영역(E1)의 끝단부, 구체적으로 상기 뱅크(400)와 접하는 끝단부에서의 제1 발광층(510)의 상단의 높이(h2)보다 낮게 될 수 있다. 특히, 도시된 바와 같이, 상기 뱅크(400)와 접하는 제1 발광 영역(E1)의 끝단부에서 제1 발광 영역(E1)의 중앙부로 갈수록 상기 제1 발광층(510)의 높이가 낮아지는 형태의 프로파일(profile)이 얻어질 수 있다. 그에 따라, 상기 제1 발광층(510) 위에 형성되는 제2 전극(600)의 부분도 상기 제1 발광층(510)의 프로파일에 대응하는 프로파일을 가지도록 형성된다.

[0050] 상기 제1 발광층(510) 상에는 제2 전극(600)이 형성되어 있다. 상기 제2 전극(600)은 전계 발광 표시장치의 음극(Cathode)으로 기능할 수 있다. 상기 제2 전극(600)은 상기 제1 발광층(510)뿐만 아니라 상기 뱅크(400) 상에도 형성되면서 복수의 화소 및 그들 사이의 경계에 전체적으로 형성될 수 있다. 따라서, 상기 제2 전극(600)은 복수의 화소에 공통된 전압을 인가하는 공통 전극으로 기능할 수 있다.

[0051] 본 발명의 일 실시예에 따른 전계 발광 표시장치가 상부 발광 방식으로 이루어진 경우 상기 제2 전극(600)은 상기 제1 발광층(510)에서 발광된 광을 상부쪽으로 투과시키기 위해서 투명한 도전물질로 이루어지거나 투과도를 높이기 위해서 얇은 두께로 형성될 수 있다.

[0052] 구체적으로 도시하지는 않았지만, 상기 제2 전극(600) 상에는 봉지층이 추가로 형성될 수 있다. 상기 봉지층은 상기 제1 발광층(510)으로 외부의 수분이 침투하는 것을 방지하는 역할을 한다. 이와 같은 봉지층은 무기절연물로 이루어질 수도 있고 무기절연물과 유기절연물이 교대로 적층된 구조로 이루어질 수도 있지만, 반드시 그에 한정되는 것은 아니다.

[0053] 본 발명의 일 실시예에 따르면, 상기 고전원 라인(VDD)이 형성된 영역과 상기 고전원 라인(VDD)이 형성되지 않은 영역 사이에는 단차가 발생할 수 있고, 그에 따라 상기 고전원 라인(VDD) 위에 형성된 상부 절연층(202)에 단차가 형성될 수 있다. 상기 상부 절연층(202)이 비교적 두꺼운 두께의 평탄화층을 포함할 경우 상기 단차가 줄어들게 되지만 상기 단차가 완전히 제거되지는 못할 수 있다. 따라서, 상기 상부 절연층(202) 위에 형성되는 제1 전극(310)에도 단차가 발생할 수 있다.

[0054] 그러나, 상기 제1 발광 영역(E1)의 폭(W1)이 상기 고전원 라인(VDD)의 폭(Wvdd) 이하로 형성되어 상기 제1 발광 영역(E1)의 전체 영역이 상기 고전원 라인(VDD)과 중첩되어 있다. 따라서, 상기 제1 발광 영역(E1)에 노출된 상기 제1 전극(300)의 표면에는 상기 고전원 라인(VDD)으로 인한 단차가 발생하지 않는다. 결국, 용액 공정으로 상기 제1 발광 영역(E1)에 제1 발광층(510)을 형성할 때 상기 제1 발광층(510)이 상기 제1 발광 영역(E1)에 균일한 프로파일을 가지면서 형성될 수 있어 상기 제1 발광 영역(E1)에서 균일한 발광이 일어날 수 있다.

[0055] 이 경우, 상기 제1 발광층(510)의 폭(We)도 상기 고전원 라인(VDD)의 폭(Wvdd) 이하로 형성될 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 제1 발광층(510)이 상기 뱅크(400)의 상면으로 넘쳐 흘러갈 경우에는 상기 제1 발광층(510)의 폭(We)이 상기 고전원 라인(VDD)의 폭(Wvdd)보다 크게 형성될 수도 있다.

[0056] 도 4는 도 2의 I-I라인의 단면에 해당하는 본 발명의 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다. 도 4는 뱅크(400)의 구성이 변경된 것을 제외하고, 전술한 도 3에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

[0057] 도 4에 따르면, 뱅크(400)는 제1 뱅크(410) 및 제2 뱅크(420)를 포함하여 이루어진다.

[0058] 상기 제1 뱅크(410)는 제1 전극(310)의 끝단을 가리면서 상부 절연층(202) 상에 형성되어 있다. 상기 제1 뱅크(410)는 상기 제2 뱅크(420)보다 얇은 두께로 형성되며, 상기 제2 뱅크(420)보다 넓은 폭을 가지도록 형성된다. 이와 같은 구조를 가지는 제1 뱅크(410)는 제1 발광층(510)과 동일한 친수성 성질을 가지고 있다. 상기 친수성 성질을 가지는 제1 뱅크(410)는 실리콘 산화물과 같은 무기 절연물로 이루어질 수 있다. 따라서, 상기 제1 발광

층(510)을 용액 공정으로 형성할 때 상기 제1 뱅크(410) 상에서 상기 제1 발광층(510) 형성을 위한 용액이 쉽게 퍼질 수 있게 된다.

[0059] 상기 제2 뱅크(420)은 상기 제1 뱅크(410) 상에 형성되어 있다. 상기 제2 뱅크(420)는 상기 제1 뱅크(410)보다 좁은 폭을 가지도록 형성된다. 상기 제2 뱅크(420)는 친수성을 가지는 유기 절연물에 불소(fluorine)와 같은 소수성 물질을 혼합한 용액을 도포한 후 포토리소그라피 공정을 통해 패턴 형성될 수 있다. 상기 포토리소그라피 공정시 조사되는 광에 의해 상기 불소와 같은 소수성 물질이 제2 뱅크(420)의 상부로 이동할 수 있고, 그에 따라 상기 제2 뱅크(420)의 상부는 소수성 성질을 가지게 되고 그 외의 부분은 친수성 성질을 가지게 된다. 즉, 상기 제1 뱅크(410)와 접하는 상기 제2 뱅크(420)의 하부는 친수성 성질을 가지고, 상기 제2 뱅크(420)의 상부는 소수성 성질을 가지게 된다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 제2 뱅크(420)의 전체 부분이 소수성 성질을 가지도록 구비될 수도 있다.

[0060] 상기 친수성 성질을 가지는 제1 뱅크(410)와 제2 뱅크(420)의 하부에 의해서 상기 제1 발광층(510) 형성을 위한 용액의 퍼짐성이 향상될 수 있다. 특히, 상기 제1 뱅크(410)가 상기 제2 뱅크(420)보다 얇은 두께로 넓은 폭을 가지도록 형성되어 있기 때문에, 상기 제1 뱅크(410)와 상기 제2 뱅크(420)의 조합에 의해서 친수성 성질의 2단(step) 구조가 마련되어 상기 제1 발광층(510) 형성을 위한 용액이 제1 발광 영역(E1)의 좌우 끝단 쪽으로 용이하게 퍼져나갈 수 있게 된다.

[0061] 또한, 상기 소수성 성질을 가지는 제2 뱅크(420)의 상부에 의해서 상기 제1 발광층(510) 형성을 위한 용액이 이웃하는 다른 발광 영역(E2, E3)으로 퍼져나가는 것이 방지되어, 이웃하는 발광 영역(E1, E2)에서 다른 발광층(520, 530)과 섞이는 문제가 방지될 수 있다.

[0062] 도 5는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 회로 구성도이고, 도 6 및 도 7은 도 5에 따른 회로 구성에 복수의 발광 영역이 다양하게 배치되는 모습을 보여주는 본 발명의 다양한 실시예에 따른 전계 발광 표시 장치의 평면도이다.

[0063] 도 5에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시장치는 게이트 라인(GL), 센싱 제어 라인(SCL), 고전원 라인(VDD), 저전원 라인(VSS), 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6), 기준 라인(Ref1, Ref2), 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터(C), 및 유기 발광 소자(OLED)를 포함하여 이루어진다.

[0064] 상기 게이트 라인(GL)은 가로 방향으로 배열되어 있다. 상기 게이트 라인(GL)은 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 구비된 상기 스위칭 박막 트랜지스터(T1)의 게이트 단자에 게이트 신호를 공급한다.

[0065] 상기 센싱 제어 라인(SCL)은 상기 게이트 라인(GL)과 소정 간격으로 이격되면서 상기 게이트 라인(GL)과 평행하게 가로 방향으로 배열되어 있다. 상기 센싱 제어 라인(SCL)은 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 구비된 상기 센싱 박막 트랜지스터(T3)의 게이트 단자에 센싱 제어 신호를 공급한다.

[0066] 상기 고전원 라인(VDD)은 상기 게이트 라인(GL) 및 상기 센싱 제어 라인(SCL)과 교차하면서 세로 방향으로 배열되어 있다. 상기 고전원 라인(VDD)은 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 구비된 상기 구동 박막 트랜지스터(T2)의 드레인 단자에 고전원을 공급한다.

[0067] 본 발명의 일 실시예에 따르면, 하나의 고전원 라인(VDD)이 6개의 회로 소자열(C1, C2, C3, C4, C5, C6)에 각각 구비된 구동 박막 트랜지스터(T2)의 드레인 단자에 고전원을 동시에 공급하도록 구비된다. 따라서, 하나의 고전원 라인(VDD)을 각각의 구동 박막 트랜지스터(T2)의 드레인 단자와 연결하기 위해서 제1 연결 라인(CL1)이 형성되어 있다. 상기 제1 연결 라인(CL1)은 하나의 고전원 라인(VDD)에서 제1 내지 제3 회로 소자열(C1, C2, C3), 저전원 라인(VSS), 및 제4 내지 제5 회로 소자열(C4, C5)을 차례로 경유하여 제6 회로 소자열(C6)까지 가로 방향으로 연장되어 있다. 따라서, 상기 제1 연결 라인(CL1)은 상기 고전원 라인(VDD)과 연결되고, 또한 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 구비된 구동 박막 트랜지스터(T2)의 드레인 단자와도 연결되어 있다.

[0068] 상기 저전원 라인(VSS)은 상기 고전원 라인(VDD)과 평행하게 세로 방향으로 배열되어 있다. 상기 저전원 라인(VSS)은 상기 유기 발광 소자(OLED)의 음극에 저전원을 공급한다. 상기 음극은 기판의 전체 면에 형성되기 때문에, 상기 저전원 라인(VSS)을 개별 유기 발광 소자(OLED)의 음극에 연결하기 위해서 전술한 제1 연결 라인(CL1)과 같은 연결라인은 필요하지 않다. 구체적으로, 기판의 전체 면에 형성된 음극은 소정의 콘택홀을 통해서 상기 저전원 라인(VSS)과 연결된다. 따라서, 도면에서 개별 유기 발광 소자(OLED)에서 상기 저전원 라인(VSS)까지 연장된 라인은 유기 발광 소자(OLED)의 음극이 상기 저전원 라인(VSS)과 전기적으로 연결됨을 보여주기 위한 것

일 뿐, 실제로 그와 같은 라인은 구성될 필요가 없다.

[0069] 상기 고전원 라인(VDD)의 폭과 상기 저전원 라인(VSS)의 폭은 상기 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6)의 폭과 상기 기준 라인(Ref1, Ref2)의 폭보다 크게 형성된다.

[0070] 상기 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6)은 상기 세로 방향으로 배열되어 있다. 상기 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6)은 상기 고전원 라인(VDD과 상기 저전원 라인(VSS) 사이에 형성되어 있다.

[0071] 상기 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6)은 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제3 데이터 라인(DL3), 제4 데이터 라인(DL4), 제5 데이터 라인(DL5), 및 제6 데이터 라인(DL6)을 포함하여 이루어진다.

[0072] 상기 제1 데이터 라인(DL1)은 좌측으로는 상기 고전원 라인(VDD)과 마주하고 있고 우측으로는 상기 제2 데이터 라인(DL2)과 마주하고 있다. 이때, 상기 제1 데이터 라인(DL1)과 상기 고전원 라인(VDD)은 서로 소정 간격을 두고 멀게 이격되어 있지만, 상기 제1 데이터 라인(DL1)과 상기 제2 데이터 라인(DL2)은 서로 가깝게 인접되어 있다. 구체적으로, 상기 제1 데이터 라인(DL1)과 상기 고전원 라인(VDD) 사이에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 및 커패시터(C) 등과 같은 회로 소자를 구비한 제1 회로 소자열(C1)이 형성되어 있지만, 상기 제1 데이터 라인(DL1)과 상기 제2 데이터 라인(DL2) 사이에는 상기와 같은 회로 소자를 구비한 회로 소자열(C1, C2, C3)이 형성되어 있지 않다. 본 명세서에서 어느 하나의 라인과 다른 하나의 라인이 인접되어 있다는 것은 그들 사이에 상기 회로 소자가 형성되어 있지 않다는 것을 의미한다.

[0073] 상기 제2 데이터 라인(DL2)은 좌측으로는 상기 제1 데이터 라인(DL1)과 인접하고 있고 우측으로는 제2 회로 소자열(C2)을 사이에 두고 제1 기준 라인(Ref1)과 이격되어 있다. 상기 제3 데이터 라인(DL3)은 좌측으로는 제3 회로 소자열(C3)을 사이에 두고 상기 제1 기준 라인(Ref1)과 이격되어 있고 우측으로는 상기 저전원 라인(VSS)과 인접하고 있다. 상기 제4 데이터 라인(DL4)은 좌측으로는 제4 회로 소자열(C4)을 사이에 두고 상기 저전원 라인(VSS)과 이격되어 있고 우측으로는 상기 제5 데이터 라인(DL5)과 인접하고 있다. 상기 제5 데이터 라인(DL5)은 좌측으로는 상기 제4 데이터 라인(DL4)과 인접하고 있고 우측으로는 제5 회로 소자열(C5)을 사이에 두고 제2 기준 라인(Ref2)과 이격되어 있다. 상기 제6 데이터 라인(DL4)은 좌측으로는 제6 회로 소자열(C6)을 사이에 두고 상기 제2 기준 라인(Ref2)과 이격되어 있고 우측으로는 다른 고전원 라인(VDD)과 이격되어 있다.

[0074] 이와 같은 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6)은 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 구비된 상기 스위칭 박막 트랜지스터(T1)의 소스 단자에 데이터 전압을 공급한다.

[0075] 상기 기준 라인(Ref1, Ref2)은 상기 고전원 라인(VDD과 상기 저전원 라인(VSS) 사이에서 상기 세로 방향으로 배열되어 있다. 상기 기준 라인(Ref1, Ref2)은 제1 기준 라인(Ref1) 및 제2 기준 라인(Ref2)을 포함하여 이루어진다.

[0076] 상기 제1 기준 라인(Ref1)은 좌측으로는 상기 제2 회로 소자열(C2)을 사이에 두고 상기 제2 데이터 라인(DL2)과 이격되어 있고 우측으로는 상기 제3 회로 소자열(C3)을 사이에 두고 상기 제3 데이터 라인(DL3)과 이격되어 있다.

[0077] 상기 제2 기준 라인(Ref2)은 좌측으로는 상기 제5 회로 소자열(C5)을 사이에 두고 상기 제5 데이터 라인(DL5)과 이격되어 있고 우측으로는 상기 제6 회로 소자열(C6)을 사이에 두고 상기 제6 데이터 라인(DL6)과 이격되어 있다.

[0078] 이와 같은 기준 라인(Ref1, Ref2)은 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 구비된 상기 센싱 박막 트랜지스터(T3)의 드레인 단자에 연결되어 있다.

[0079] 본 발명의 일 실시예에 따르면, 제1 기준 라인(Ref1)이 3개의 회로 소자열(C1, C2, C3)에 각각 구비된 상기 센싱 박막 트랜지스터(T3)의 드레인 단자에 연결된다. 따라서, 상기 제1 기준 라인(Ref1)을 각각의 센싱 박막 트랜지스터(T3)의 드레인 단자와 연결하기 위해서 제2 연결 라인(CL2)이 형성되어 있다. 상기 제2 연결 라인(CL2)은 제1 기준 라인(Ref1)에서 좌측 방향으로 제2 회로 소자열(C2)을 경유하여 제1 회로 소자열(C1)까지 연장됨과 더불어 우측 방향으로 제3 회로 소자열(C4)까지 연장되어 있다. 따라서, 상기 제2 연결 라인(CL2)은 상기 제1 기준 라인(Ref1)과 연결되고, 또한 각각의 회로 소자열(C1, C2, C3)에 구비된 센싱 박막 트랜지스터(T3)의 드레인 단자와도 연결되어 있다.

[0080] 유사하게, 제2 기준 라인(Ref2)은 3개의 회로 소자열(C4, C5, C6)에 각각 구비된 상기 센싱 박막 트랜지스터(T3)의 드레인 단자에 연결된다. 따라서, 상기 제2 기준 라인(Ref2)을 각각의 센싱 박막 트랜지스터(T3)의 드레인 단자와 연결하기 위해서 제3 연결 라인(CL3)이 형성되어 있다. 상기 제3 연결 라인(CL3)은 제2 기준 라인

(Ref2)에서 좌측 방향으로 제5 회로 소자열(C5)을 경유하여 제4 회로 소자열(C4)까지 연장됨과 더불어 우측 방향으로 제6 회로 소자열(C6)까지 연장되어 있다. 따라서, 상기 제3 연결 라인(CL3)은 상기 제2 기준 라인(Ref2)과 연결되고, 또한 각각의 회로 소자열(C4, C5, C6)에 구비된 센싱 박막 트랜지스터(T3)의 드레인 단자와도 연결되어 있다.

[0081] 상기 스위칭 박막 트랜지스터(T1), 상기 구동 박막 트랜지스터(T2), 상기 센싱 박막 트랜지스터(T3), 및 상기 커패시터(C)는 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 구비되어 있다.

[0082] 상기 스위칭 박막 트랜지스터(T1)는 상기 게이트 라인(GL)에 공급되는 게이트 신호에 따라 스위칭되어 상기 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6)으로부터 공급되는 데이터 전압을 상기 구동 박막 트랜지스터(T2)에 공급한다.

[0083] 상기 구동 박막 트랜지스터(T2)는 상기 스위칭 박막 트랜지스터(T1)로부터 공급되는 데이터 전압에 따라 스위칭되어 상기 고전원 라인(VDD)에서 공급되는 고전원으로부터 데이터 전류를 생성하여 상기 유기 발광 소자(OLED)에 공급한다.

[0084] 상기 센싱 박막 트랜지스터(T3)는 화질 저하의 원인이 되는 상기 구동 박막 트랜지스터(T2)의 문턱 전압 편차를 센싱하기 위한 것이다. 이와 같은 문턱 전압 편차의 센싱은 센싱 모드에서 수행할 수 있다. 이와 같은 센싱 박막 트랜지스터(T3)는 상기 센싱 제어 라인(SCL)에서 공급되는 센싱 제어 신호에 응답하여 상기 구동 박막 트랜지스터(T2)의 전압을 상기 기준 라인(Ref1, Ref2)으로 공급한다.

[0085] 상기 커패시터(C)는 상기 구동 박막 트랜지스터(T2)에 공급되는 데이터 전압을 한 프레임 동안 유지시키는 것으로서, 상기 구동 박막 트랜지스터(T2)의 게이트 단자 및 소스 단자에 각각 연결된다.

[0086] 상기 유기 발광 소자(OLED)는 상기 구동 박막 트랜지스터(T2)에서 공급되는 데이터 전류에 따라 소정의 광을 발광한다. 상기 유기 발광 소자(OLED)는 양극과 음극, 및 상기 양극과 음극 사이에 구비된 발광층을 포함하여 이루어진다. 상기 유기 발광 소자(OLED)의 양극은 상기 구동 박막 트랜지스터(T2)의 소스 단자에 연결되고, 상기 유기 발광 소자(OLED)의 음극은 상기 저전원 라인(VSS)에 연결된다.

[0087] 도면에는 편의상 상기 유기 발광 소자(OLED)를 각각의 회로 소자열(C1, C2, C3, C4, C5, C6)에 도시하였지만, 일부의 유기 발광 소자(OLED)는 상기 고전원 라인(VDD)과 중첩되거나 상기 저전원 라인(VSS)과 중첩되도록 형성된다. 또한, 일부의 유기 발광 소자(OLED)는 서로 이웃하는 복수의 회로 소자열(C1, C2, C3, C4, C5, C6)에 동시에 중첩되도록 형성될 수 있다. 이는 후술하는 도 6 및 도 7을 참조하면 용이하게 이해할 수 있을 것이다.

[0088] 상기 제1 회로 소자열(C1)의 구성은 상기 제4 회로 소자열(C4)의 구성과 동일하게 형성될 수 있다. 즉, 상기 제1 회로 소자열(C1) 내의 박막 트랜지스터(T1, T2, T3) 및 커패시터(C)의 배열 구조는 상기 제4 회로 소자열(C4) 내의 박막 트랜지스터(T1, T2, T3) 및 커패시터(C)의 배열 구조와 동일하게 형성될 수 있다. 또한, 상기 제2 회로 소자열(C2)의 구성은 상기 제5 회로 소자열(C5)의 구성과 동일하게 형성될 수 있다. 또한, 상기 제3 회로 소자열(C3)의 구성은 상기 제6 회로 소자열(C6)의 구성과 동일하게 형성될 수 있다.

[0089] 본 발명의 일 실시예에 따르면, 도 5에 도시한 구조가 하나의 반복 단위가 되어 도 5에 도시한 구조가 기판 상에 반복구성 될 수 있다. 즉, 하나의 고전원 라인(VDD)과 하나의 저전원 라인(VSS)을 이용하여 총 6개의 회로 소자열(C1, C2, C3, C4, C5, C6)을 구성할 수 있으며, 이 경우 상기 고전원 라인(VDD)의 폭(Wvdd)과 상기 저전원 라인(VSS)의 폭(Vss)을 상대적으로 작은 면적으로 형성되는 적색 발광 영역의 폭 이상으로 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 하나의 고전원 라인(VDD)과 하나의 저전원 라인(VSS)을 이용하여 6개보다 많은 회로 소자열을 구성하는 것도 가능하고, 경우에 따라 6개보다 작은 회로 소자열을 구성할 수도 있다.

[0090] 전술한 바와 같이, 상기 제1 회로 소자열(C1)의 구성이 상기 제4 회로 소자열(C4)의 구성과 동일하게 형성되는 점을 고려할 때, 상기 제1 회로 소자열(C1)의 좌측에 인접하는 상기 고전원 라인(VDD)의 폭(Wvdd)과 상기 제4 회로 소자열(C4)의 좌측에 인접하는 상기 저전원 라인(VSS)의 폭(Wvss)을 서로 동일하게 형성하는 것이 바람직하다. 만약 상기 고전원 라인(VDD)의 폭(Wvdd)과 상기 저전원 라인(VSS)의 폭(Wvss)을 서로 상이하게 형성하게 되면, 상기 고전원 라인(VDD)과 상기 제1 회로 소자열(C1) 내의 회로 소자 사이의 커패시턴스와 상기 저전원 라인(VSS)과 상기 제4 회로 소자열(C4) 내의 회로 소자 사이의 커패시턴스가 상이하게 되어, 상기 제1 회로 소자열(C1) 내의 회로 소자의 특성과 상기 제4 회로 소자열(C4) 내의 회로 소자의 특성이 불균일하게 될 수 있기 때문이다.

[0091] 도 6에서 알 수 있듯이, 본 발명의 일 실시예에 따르면, 도 5에 따른 회로 구성 위에 적색(R)을 발광하는 제1

발광 영역(E1), 녹색(G)을 발광하는 제2 발광 영역(E2), 및 청색(B)을 발광하는 제3 발광 영역(E3)이 마련된다.

[0092] 상기 제1 발광 영역(E1)은 고전원 라인(VDD) 및 저전원 라인(VSS)과 중첩되도록 마련된다. 상기 제1 발광 영역(E1)의 폭(W1)은 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss) 이하로 형성된다.

[0093] 상기 제2 발광 영역(E2)은 상기 제1 발광 영역(E1) 옆에 마련된다. 상기 제2 발광 영역(E2)의 폭(W2)은 상기 제1 발광 영역(E1)의 폭(W1)보다 크게 형성된다. 이와 같은 제2 발광 영역(E2)은 제1 회로 소자열(C1)과 중첩됨과 더불어 제2 회로 소자열(C2)의 일부와 중첩되도록 형성될 수 있다. 특히, 상기 제2 발광 영역(E2)은 제1 회로 소자열(C1) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩되고, 제1 회로 소자열(C1)과 제2 회로 소자열(C2) 사이에 구비된 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)과 중첩될 수 있다. 경우에 따라서, 상기 제2 발광 영역(E2)은 제2 회로 소자열(C2) 내에 구비된 박막 트랜지스터(T1, T2, T3)의 일부와도 중첩될 수 있다. 따라서, 상기 제2 발광 영역(E2)의 폭(W2)은 상기 제1 데이터 라인(DL1)의 폭 및 상기 제2 데이터 라인(DL2)의 폭보다 크다.

[0094] 또한, 제2 발광 영역(E2)은 제4 회로 소자열(C4)과 중첩됨과 더불어 제5 회로 소자열(C5)의 일부와 중첩되도록 형성될 수 있다. 특히, 상기 제2 발광 영역(E2)은 제4 회로 소자열(C4) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩되고, 제4 회로 소자열(C4)과 제5 회로 소자열(C5) 사이에 구비된 제4 데이터 라인(DL4) 및 제5 데이터 라인(DL5)과 중첩될 수 있다. 경우에 따라서, 상기 제2 발광 영역(E2)은 제5 회로 소자열(C5) 내에 구비된 박막 트랜지스터(T1, T2, T3)의 일부와도 중첩될 수 있다. 따라서, 상기 제2 발광 영역(E2)의 폭(W2)은 상기 제4 데이터 라인(DL4)의 폭 및 상기 제5 데이터 라인(DL5)의 폭보다 크다.

[0095] 상기 제3 발광 영역(E3)은 상기 제2 발광 영역(E2) 옆에 마련된다. 상기 제3 발광 영역(E3)의 폭(W3)은 상기 제2 발광 영역(E2)의 폭(W2)보다 크게 형성된다. 이와 같은 제3 발광 영역(E3)은 제2 회로 소자열(C2)의 일부와 중첩됨과 더불어 제3 회로 소자열(C3)과 중첩되도록 형성될 수 있다. 특히, 상기 제3 발광 영역(E3)은 제3 회로 소자열(C3) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩되고, 제2 회로 소자열(C2)과 제3 회로 소자열(C3) 사이에 구비된 제1 기준 라인(Ref1)과 중첩되고, 제2 회로 소자열(C2) 내에 구비된 박막 트랜지스터(T1, T2, T3)의 일부와도 중첩될 수 있다. 따라서, 상기 제3 발광 영역(E3)의 폭(W3)은 상기 제1 기준 라인(Ref1)의 폭보다 크다. 이때, 상기 제3 발광 영역(E3)의 폭(W3)이 상기 제2 발광 영역(E2)의 폭(W2)보다 크기 때문에, 제2 회로 소자열(C2)과 제3 발광 영역(E3) 사이의 중첩 면적은 제2 회로 소자열(C2)과 제2 발광 영역(E2) 사이의 중첩 면적보다 클 수 있다. 한편, 상기 제3 발광 영역(E3)은 제3 데이터 라인(DL3)과 중첩될 수도 있다.

[0096] 또한, 상기 제3 발광 영역(E3)은 제5 회로 소자열(C5)의 일부와 중첩됨과 더불어 제6 회로 소자열(C6)과 중첩되도록 형성될 수 있다. 특히, 상기 제3 발광 영역(E3)은 제6 회로 소자열(C6) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩되고, 제5 회로 소자열(C5)과 제6 회로 소자열(C6) 사이에 구비된 제2 기준 라인(Ref2)과 중첩되고, 제5 회로 소자열(C5) 내에 구비된 박막 트랜지스터(T1, T2, T3)의 일부와도 중첩될 수 있다. 따라서, 상기 제3 발광 영역(E3)의 폭(W3)은 상기 제2 기준 라인(Ref2)의 폭보다 크다. 이때, 상기 제3 발광 영역(E3)의 폭(W3)이 상기 제2 발광 영역(E2)의 폭(W2)보다 크기 때문에, 제5 회로 소자열(C5)과 제3 발광 영역(E3) 사이의 중첩 면적은 제5 회로 소자열(C5)과 제2 발광 영역(E2) 사이의 중첩 면적보다 클 수 있다. 한편, 상기 제3 발광 영역(E3)이 제6 데이터 라인(DL6)과 중첩될 수도 있다.

[0097] 도 7에서 알 수 있듯이, 본 발명의 다른 실시예에 따르면, 도 5에 따른 회로 구성 위에 적색(R)을 발광하는 제1 발광 영역(E1), 녹색(G)을 발광하는 제2 발광 영역(E2), 및 청색(B)을 발광하는 제3 발광 영역(E3)이 마련된다.

[0098] 상기 제1 발광 영역(E1)은 전술한 도 6에서와 동일하게 고전원 라인(VDD) 및 저전원 라인(VSS)과 중첩되도록 마련되고, 상기 제1 발광 영역(E1)의 폭(W1)은 상기 고전원 라인(VDD)의 폭(Wvdd) 및 상기 저전원 라인(VSS)의 폭(Wvss) 이하로 형성된다.

[0099] 상기 제2 발광 영역(E2)은 상기 제1 발광 영역(E1) 옆에 마련된다. 상기 제2 발광 영역(E2)의 폭(W2)은 상기 제1 발광 영역(E1)의 폭(W1)과 동일하게 형성된다. 이와 같은 제2 발광 영역(E2)은 제1 회로 소자열(C1)과 중첩되도록 형성될 수 있다. 따라서, 상기 제2 발광 영역(E2)은 제1 회로 소자열(C1) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩된다. 경우에 따라서, 상기 제2 발광 영역(E2)이 제1 회로 소자열(C1)과 제2 회로 소자열(C2) 사이에 구비된 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2) 중 적어도 하나와 중첩되도록 형성될 수도 있다.

[0100] 또한, 제2 발광 영역(E2)은 제4 회로 소자열(C4)과 중첩되도록 형성될 수 있다. 따라서, 상기 제2 발광 영역(E2)은 제4 회로 소자열(C4) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩된다. 경우에 따라서, 상기 제2

발광 영역(E2)이 제4 회로 소자열(C4)과 제5 회로 소자열(C5) 사이에 구비된 제4 데이터 라인(DL4) 및 제5 데이터 라인(DL5) 중 적어도 하나와 중첩되도록 형성될 될 수 있다.

[0101] 상기 제3 발광 영역(E3)은 상기 제2 발광 영역(E2) 옆에 마련된다. 상기 제3 발광 영역(E3)의 폭(W3)은 상기 제1 발광 영역(E1)의 폭(W1) 및 상기 제2 발광 영역(E2)의 폭(W2)보다 크게 형성된다. 이와 같은 제3 발광 영역(E3)은 제2 회로 소자열(C2) 및 제3 회로 소자열(C3)과 중첩되도록 형성될 수 있다. 따라서, 상기 제3 발광 영역(E3)은 제2 회로 소자열(C2) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩되고, 제2 회로 소자열(C2)과 제3 회로 소자열(C3) 사이에 구비된 제1 기준 라인(Ref1)과 중첩되고, 제3 회로 소자열(C3) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩될 수 있다. 경우에 따라서, 상기 제3 발광 영역(E2)이 제1 회로 소자열(C1)과 제2 회로 소자열(C2) 사이에 구비된 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2) 중 적어도 하나와 추가로 중첩되도록 형성될 될 수도 있다. 또한, 상기 제3 발광 영역(E3)이 제3 데이터 라인(DL3)과 중첩될 수도 있다.

[0102] 또한, 상기 제3 발광 영역(E3)은 제5 회로 소자열(C5) 및 제6 회로 소자열(C6)과 중첩되도록 형성될 수 있다. 따라서, 상기 제3 발광 영역(E3)은 제5 회로 소자열(C5) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩되고, 제5 회로 소자열(C5)과 제6 회로 소자열(C6) 사이에 구비된 제2 기준 라인(Ref2)과 중첩되고, 제6 회로 소자열(C6) 내에 구비된 박막 트랜지스터(T1, T2, T3)와 중첩될 수 있다. 경우에 따라서, 상기 제3 발광 영역(E2)이 제4 회로 소자열(C4)과 제5 회로 소자열(C5) 사이에 구비된 제4 데이터 라인(DL4) 및 제5 데이터 라인(DL5) 중 적어도 하나와 추가로 중첩되도록 형성될 될 수도 있다. 또한, 상기 제3 발광 영역(E3)이 제6 데이터 라인(DL6)과 중첩될 수도 있다.

[0103] 도 8은 전술한 도 5의 회로 구성을 가지는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 평면도이다. 도 8에는 전술한 도 5에서 제4 회로 소자열(C4) 내지 제6 회로 소자열(C6)의 구성은 생략하였다.

[0104] 도 8에서 알 수 있듯이, 가로 방향으로 게이트 라인(GL)과 센싱 제어 라인(SCL)이 배열되어 있고, 세로 방향으로 고전원 라인(VDD), 저전원 라인(VSS), 데이터 라인(DL1, DL2, DL3), 및 제1 기준 라인(Ref1)이 배열되어 있다.

[0105] 상기 게이트 라인(GL)과 상기 센싱 제어 라인(SCL)은 서로 동일한 층에서 동일한 물질로 이루어질 수 있다. 상기 고전원 라인(VDD), 상기 저전원 라인(VSS), 상기 데이터 라인(DL1, DL2, DL3), 및 상기 제1 기준 라인(Ref1)은 서로 동일한 층에서 동일한 물질로 이루어질 수 있다. 각각의 라인의 구체적인 구성은 전술한 도 5에서와 동일하므로 반복 설명은 생략하기로 한다.

[0106] 상기 고전원 라인(VDD)과 상기 제1 데이터 라인(DL1) 사이에는 제1 회로 소자열(C1)이 마련되어 있고, 상기 제1 회로 소자열(C1)에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 센싱 박막 트랜지스터(T3)가 구비되어 있다.

[0107] 상기 제1 회로 소자열(C1)에 구비된 스위칭 박막 트랜지스터(T1)는 제1 게이트 전극(G1), 제1 소스 전극(S1), 제1 드레인 전극(D1), 및 제1 액티브층(A1)을 포함하여 이루어진다.

[0108] 상기 제1 게이트 전극(G1)은 상기 게이트 라인(GL)의 일 부분으로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니고 상기 게이트 라인(GL)에서 분기된 구조로 이루어질 수도 있다.

[0109] 상기 제1 소스 전극(S1)은 상기 제1 데이터 라인(DL1)에서 분기된 구조로 이루어질 수 있다.

[0110] 상기 제1 드레인 전극(D1)은 상기 제1 소스 전극(S1)과 동일한 층에서 상기 제1 소스 전극(S1)과 마주하고 있다. 상기 제1 드레인 전극(D1)은 연결 전극(CE1, CE2)을 통해서 상기 구동 박막 트랜지스터(T2)의 제2 게이트 전극(G2)과 연결되어 있다.

[0111] 상기 연결 전극(CE1, CE2)은 제1 연결 전극(CE1) 및 제2 연결 전극(CE2)을 포함하여 이루어질 수 있다. 상기 제1 연결 전극(CE1)은 하나의 콘택홀(x)을 통해서 상기 제1 드레인 전극(D1)과 연결되어 있고, 다른 하나의 콘택홀(x)을 통해서 상기 제2 연결 전극(CE2)과 연결되어 있다. 상기 제1 연결 전극(CE1)은 비교적 넓은 면적으로 가지도록 구비되어 커패시턴스(C)의 용량을 향상시킬 수 있다. 상기 제2 연결 전극(CE2)은 개별 콘택홀(x)을 통해서 상기 제1 연결 전극(CE1) 및 상기 구동 박막 트랜지스터(T2)의 제2 게이트 전극(G2)과 각각 연결되어 있다. 상기 제1 연결 전극(CE1)은 상기 제1 액티브층(A1)과 동일한 층에 형성되고, 상기 제2 연결 전극(CE2)은 상기 제1 소스 전극(S1) 및 상기 제1 드레인 전극(D1)과 동일한 층에 형성될 수 있다.

[0112] 상기 제1 액티브층(A1)은 개별 콘택홀(x)을 통해서 상기 제1 소스 전극(S1) 및 상기 제1 드레인 전극(D1)과 각

각 연결되어 전자 이동 채널로 기능한다.

[0113] 상기 제1 회로 소자열(C1)에 구비된 구동 박막 트랜지스터(T2)는 제2 게이트 전극(G2), 제2 소스 전극(S2), 제2 드레인 전극(D2), 및 제2 액티브층(A2)을 포함하여 이루어진다.

[0114] 상기 제2 게이트 전극(G2)은 전술한 바와 같이 연결 전극(CE1, CE2)을 통해서 상기 스위칭 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결될 수 있다. 상기 제2 게이트 전극(G2)은 상기 제1 게이트 전극(G1)과 동일한 층에 형성될 수 있다.

[0115] 상기 제2 소스 전극(S2)은 상기 제2 드레인 전극(D2)과 마주하면서 상하 방향으로 길게 연장될 수 있다. 상기 제2 소스 전극(S2)은 비교적 넓은 면적으로 가지도록 구비되어 커패시턴스(C)의 용량을 향상시킬 수 있다. 상기 제2 소스 전극(S2)의 위쪽 부분은 제1 콘택홀(CH1)을 통해서 제1 화소 내의 유기 발광 소자의 양극과 연결된다. 상기 제2 소스 전극(S2)의 아래쪽 부분은 센싱 박막 트랜지스터(T3)의 제3 소스 전극(S3)과 연결되어 있다. 상기 제2 소스 전극(S2)과 상기 제3 소스 전극(S3)은 일체(one body)로 형성될 수 있다.

[0116] 상기 제2 드레인 전극(D2)은 제1 연결 라인(CL1)을 통해서 상기 고전원 라인(VDD)과 연결되어 있다. 상기 제1 연결 라인(CL1)은 개별 콘택홀(x)을 통해서 상기 고전원 라인(VDD) 및 상기 제2 드레인 전극(D2)과 각각 연결되어 있다. 상기 제1 연결 라인(CL1)은 기판의 맨 아래층, 즉 기판의 상면 바로 위에 형성될 수 있다. 상기 제2 소스 전극(S2) 및 상기 제2 드레인 전극(D2)은 상기 제1 소스 전극(S1) 및 상기 제1 드레인 전극(D1)과 서로 동일한 층에서 동일한 물질로 이루어질 수 있다.

[0117] 상기 제2 액티브층(A2)은 개별 콘택홀(x)을 통해서 상기 제2 소스 전극(S2) 및 상기 제2 드레인 전극(D2)과 각각 연결되어 전자 이동 채널로 기능한다. 상기 제2 액티브층(A2)은 상기 제1 액티브층(A1)과 동일한 층에서 동일한 물질로 이루어질 수 있다.

[0118] 상기 제1 회로 소자열(C1)에 구비된 센싱 박막 트랜지스터(T3)는 제3 게이트 전극(G3), 제3 소스 전극(S3), 제3 드레인 전극(D3), 및 제3 액티브층(A3)을 포함하여 이루어진다.

[0119] 상기 제3 게이트 전극(G3)은 상기 센싱 제어 라인(SCL)의 일 부분으로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니고 상기 센싱 제어 라인(SCL)에서 분기된 구조로 이루어질 수도 있다.

[0120] 상기 제3 소스 전극(S3)은 전술한 바와 같이 상기 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 일체로 이루어질 수 있다.

[0121] 상기 제3 드레인 전극(D3)은 상기 제3 소스 전극(S3)과 동일한 층에서 상기 제3 소스 전극(S3)과 마주하고 있다. 상기 제3 드레인 전극(D3)은 제2 연결 라인(CL2)을 통해서 상기 제1 기준 라인(Ref1)과 연결되어 있다. 상기 제2 연결 라인(CL2)은 개별 콘택홀(x)을 통해서 상기 제3 드레인 전극(D3) 및 상기 제1 기준 라인(Ref1)과 각각 연결되어 있다. 상기 제2 연결 라인(CL2)은 상기 제1 연결 라인(CL1)과 동일한 층에서 동일한 물질로 이루어질 수 있다.

[0122] 상기 제3 액티브층(A3)은 개별 콘택홀(x)을 통해서 상기 제3 소스 전극(S3) 및 상기 제3 드레인 전극(D3)과 각각 연결되어 전자 이동 채널로 기능한다. 상기 제3 액티브층(A3)은 상기 제1 액티브층(A1)과 동일한 층에서 동일한 물질로 이루어질 수 있다.

[0123] 또한, 상기 제1 회로 소자열(C1)에는 차광층(LS)이 형성되어 있다. 상기 차광층(LS)은 상기 구동 박막 트랜지스터(T2)의 제2 액티브층(A2)으로 광이 입사되는 것을 차단하는 역할을 한다. 따라서, 상기 차광층(LS)은 상기 제2 액티브층(A2)보다 넓은 면적을 가지면서 상기 제2 액티브층(A2)과 오버랩되도록 형성된다. 상기 차광층(LS)은 상기 제2 소스 전극(S2)의 아래쪽 영역까지 연장되면서 상기 연결 전극(CE1, CE2)과도 중첩되도록 형성되어 커패시턴스(C)의 용량을 향상시킬 수 있다. 이 경우, 상기 차광층(LS)은 도전물질로 이루어지며 콘택홀(x)을 통해서 상기 제2 소스 전극(S2)과 연결될 수 있다. 상기 차광층(LS)은 상기 제1 연결 라인(CL1) 및 상기 제2 연결 라인(CL2)과 동일한 층에서 동일한 물질로 이루어질 수 있다.

[0124] 상기 제2 데이터 라인(DL2)과 상기 제1 기준 라인(Ref1) 사이에는 제2 회로 소자열(C2)이 마련되어 있고, 상기 제2 회로 소자열(C2)에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 센싱 박막 트랜지스터(T3)가 구비되어 있다.

[0125] 상기 제2 회로 소자열(C2)에 구비된 스위칭 박막 트랜지스터(T1)는 제1 소스 전극(S1)이 상기 제2 데이터 라인(DL2)에서 분기된 것을 제외하고 전술한 제1 회로 소자열(C1)에 구비된 스위칭 박막 트랜지스터(T1)와 전기적

연결 구성이 동일하다.

[0126] 상기 제2 회로 소자열(C2)에 구비된 구동 박막 트랜지스터(T2)는 제2 소스 전극(S2)이 제2 콘택홀(CH2)을 통해서 제2 화소 내의 유기 발광 소자의 양극과 연결되는 것을 제외하고 전술한 제1 회로 소자열(C1)에 구비된 구동 박막 트랜지스터(T2)와 전기적 연결 구성이 동일하다.

[0127] 상기 제2 회로 소자열(C2)에 구비된 센싱 박막 트랜지스터(T3)는 전술한 제1 회로 소자열(C1)에 구비된 센싱 박막 트랜지스터(T2)와 전기적 연결 구성이 동일하다.

[0128] 또한, 상기 제2 회로 소자열(C2)에도 전술한 제1 회로 소자열(C2)에서와 동일한 차광층(LS)이 형성되어 있다.

[0129] 상기 제1 기준 라인(Ref1) 과 상기 제3 데이터 라인(DL3) 사이에는 제3 회로 소자열(C3)이 마련되어 있고, 상기 제3 회로 소자열(C3)에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 센싱 박막 트랜지스터(T3)가 구비되어 있다.

[0130] 상기 제3 회로 소자열(C3)에 구비된 스위칭 박막 트랜지스터(T1)는 제1 소스 전극(S1)이 상기 제3 데이터 라인(DL3)에서 분기된 것을 제외하고 전술한 제1 회로 소자열(C1)에 구비된 스위칭 박막 트랜지스터(T1)와 전기적 연결 구성이 동일하다.

[0131] 상기 제3 회로 소자열(C3)에 구비된 구동 박막 트랜지스터(T2)는 제2 소스 전극(S2)이 제3 콘택홀(CH3)을 통해서 제3 화소 내의 유기 발광 소자의 양극과 연결되는 것을 제외하고 전술한 제1 회로 소자열(C1)에 구비된 구동 박막 트랜지스터(T2)와 전기적 연결 구성이 동일하다.

[0132] 상기 제2 회로 소자열(C2)에 구비된 센싱 박막 트랜지스터(T3)는 전술한 제1 회로 소자열(C1)에 구비된 센싱 박막 트랜지스터(T2)와 전기적 연결 구성이 동일하다.

[0133] 또한, 상기 제3 회로 소자열(C3)에도 전술한 제1 회로 소자열(C2)에서와 동일한 차광층(LS)이 형성되어 있다.

[0134] 한편, 상기 고전원 라인(VDD)과 상기 저전원 라인(VSS)은 각각 보조 전극(AE1, AE2)과 중첩될 수 있다. 제1 보조 전극(AE1)은 콘택홀(x)을 통해서 상기 고전원 라인(VDD)과 연결되고, 제2 보조 전극(AE2)은 콘택홀(x)을 통해서 상기 상기 저전원 라인(VSS)과 연결될 수 있다. 상기 제1 보조 전극(AE1)은 상기 고전원 라인(VDD) 아래에서 상기 고전원 라인(VDD)의 길이 방향으로 연장되면서 상기 고전원 라인(VDD)과 중첩될 수 있고, 상기 제2 보조 전극(AE2)은 상기 저전원 라인(VSS) 아래에서 상기 저전원 라인(VSS)의 길이 방향으로 연장되면서 상기 저전원 라인(VSS)과 중첩될 수 있다. 상기 제1 보조 전극(AE1)과 상기 제2 보조 전극(AE2)은 상기 제1 연결 라인(CL1), 상기 제2 연결 라인(CL2), 및 상기 차광층(LS)과 동일한 층에서 동일한 물질로 이루어질 수 있다. 따라서, 쇼트 방지를 위해서 상기 제1 보조 전극(AE1)과 상기 제2 보조 전극(AE2) 각각은 상기 제1 연결 라인(CL1)과 이격되도록 형성된다.

[0135] 또한, 상기 저전원 라인(VSS)은 제3 보조 전극(AE3)과 추가로 중첩될 수 있다. 상기 제3 보조 전극(AE3)은 상기 저전원 라인(VSS)과 유기 발광 소자의 음극 사이에 형성되어 상기 저전원 라인(VSS)과 유기 발광 소자의 음극 사이를 연결시킨다. 상기 제3 보조 전극(AE3)은 제4 콘택홀(CH4)을 통해서 상기 저전원 라인(VSS)과 연결되고, 제5 콘택홀(CH5)을 통해서 유기 발광 소자의 음극과 연결된다. 상기 제3 보조 전극(AE3)은 유기 발광 소자의 양극과 동일한 재료로 동일한 층에 형성될 수 있다.

[0136] 도 9는 도 8에 따른 전계 발광 표시장치에서 복수의 발광 영역이 배치되는 본 발명의 일 실시예에 따른 모습을 보여주는 평면도이다. 도 9는 전술한 도 6과 같이 제2 발광 영역(E2)의 폭이 제1 발광 영역(E1)의 폭보다 크고 제3 발광 영역(E3)의 폭이 제2 발광 영역(E2)이 폭보다 큰 경우를 도시한 것이다.

[0137] 도 9에서 알 수 있듯이, 제1 발광 영역(E1)은 고전원 라인(VDD)과 중첩되도록 형성된다. 또한, 상기 제1 발광 영역(E1)은 유기 발광 소자의 양극으로 기능하는 제1 전극(310)과 중첩된다. 상기 제1 전극(310)은 상기 제1 발광 영역(E1)보다 넓은 면적을 가지도록 형성되어 있다. 상기 제1 발광 영역(E1)에 중첩된 상기 제1 전극(310)은 제1 콘택홀(CH1)로 연장되어 상기 제1 콘택홀(CH1)을 통해서 제1 회로 소자열(C1) 내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결되어 있다.

[0138] 따라서, 상기 제1 발광 영역(E1) 및 상기 제1 발광 영역(E1)에 중첩된 제1 전극(310)은 각각 상기 고전원 라인(VDD)과 중첩되고, 상기 제1 발광 영역(E1)에서의 발광을 제어하는 회로소자가 마련되어 있는 상기 제1 회로 소자열(C1)과는 중첩되지 않도록 형성된다.

[0139] 제2 발광 영역(E2)은 제1 회로 소자열(C1), 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)과 중첩되도록 형성

되며, 제2 회로 소자열(C2)의 일부와 중첩될 수 있다. 다만, 전술한 도 7에서와 같이 상기 제2 발광 영역(E2)의 폭이 상기 제1 발광 영역(E1)의 폭과 동일하게 형성될 경우, 상기 제2 발광 영역(E2)은 제2 회로 소자열(C2)과는 중첩되지 않도록 형성될 수 있다.

[0140] 상기 제2 발광 영역(E2)은 유기 발광 소자의 양극으로 기능하는 제1 전극(320)과 중첩되어 있다. 상기 제1 전극(320)은 상기 제2 발광 영역(E2)보다 넓은 면적을 가지도록 형성되어 있다. 상기 제2 발광 영역(E2)에 중첩된 상기 제1 전극(320)은 제2 콘택홀(CH2)로 연장되어 상기 제2 콘택홀(CH2)을 통해서 제2 회로 소자열(C2) 내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결되어 있다.

[0141] 상기 제2 발광 영역(E2) 및 상기 제2 발광 영역(E2)에 중첩된 제1 전극(320)은 각각 상기 제1 회로 소자열(C1)과 중첩되고, 경우에 따라서 상기 제2 발광 영역(E2)에서의 발광을 제어하는 회로소자가 마련되어 있는 상기 제2 회로 소자열(C2)과는 일부 중첩될 수 있다.

[0142] 제3 발광 영역(E3)은 제2 회로 소자열(C2), 제1 기준 라인(Ref1) 및 제3 회로 소자열(C3)과 중첩되도록 형성될 수 있다. 상기 제3 발광 영역(E3)은 유기 발광 소자의 양극으로 기능하는 제1 전극(330)과 중첩된다. 상기 제1 전극(330)은 상기 제3 발광 영역(E3)보다 넓은 면적을 가지도록 형성되어 있다. 상기 제3 발광 영역(E3)에 중첩된 상기 제1 전극(330)은 제3 콘택홀(CH3)로 연장되어 상기 제3 콘택홀(CH3)을 통해서 제3 회로 소자열(C3) 내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결되어 있다.

[0143] 상기 제3 발광 영역(E3) 및 상기 제3 발광 영역(E3)에 중첩된 제1 전극(330)은 상기 제3 발광 영역(E3)에서의 발광을 제어하는 회로소자가 마련되어 있는 상기 제3 회로 소자열(C3)과 중첩될 수 있다.

[0144] 이와 같이, 각각의 발광 영역(E1, E2, E3)은 각각의 회로 소자열(C1, C2, C3)에 구비된 회로 소자에 의해서 발광이 제어된다. 이때, 상기 제3 발광 영역(E3)의 경우는 그 발광을 제어하는 제3 회로 소자열(C3)과 중첩되지만 상기 제1 발광 영역(E1)의 경우는 그 발광을 제어하는 제1 회로 소자열(C1)과 중첩되지 않는다. 또한, 제2 발광 영역(E2)의 경우는 그 발광을 제어하는 제2 회로 소자열(C2)과 중첩될 수도 있고 중첩되지 않을 수도 있다.

[0145] 도 10은 도 8에 따른 전계 발광 표시장치에서 복수의 발광 영역이 배치되는 본 발명의 다른 실시예에 따른 모습을 보여주는 평면도이다. 도 10은 제1 전극(310, 320, 330)이 연결되는 회로 소자열(C1, C2, C3)이 변경된 것을 제외하고 전술한 도 9와 동일하며, 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

[0146] 도 10에서 알 수 있듯이, 제1 발광 영역(E1)에 중첩된 상기 제1 전극(310)은 제3 콘택홀(CH3)로 연장되어 상기 제3 콘택홀(CH3)을 통해서 제3 회로 소자열(C3) 내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결되어 있다.

[0147] 따라서, 상기 제1 발광 영역(E1) 및 상기 제1 발광 영역(E1)에 중첩된 제1 전극(310)은 각각 저전원 라인(VSS)과 중첩되고, 상기 제1 발광 영역(E1)에서의 발광을 제어하는 회로소자가 마련되어 있는 상기 제3 회로 소자열(C3)과 중첩되지 않도록 형성된다.

[0148] 제2 발광 영역(E2)에 중첩된 상기 제1 전극(320)은 제1 콘택홀(CH1)로 연장되어 상기 제1 콘택홀(CH1)을 통해서 제1 회로 소자열(C1) 내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결되어 있다.

[0149] 따라서, 상기 제2 발광 영역(E2) 및 상기 제2 발광 영역(E2)에 중첩된 제1 전극(320)은 상기 제2 발광 영역(E2)에서의 발광을 제어하는 회로소자가 마련되어 있는 상기 제1 회로 소자열(C1)과 중첩될 수 있다.

[0150] 제3 발광 영역(E3)에 중첩된 상기 제1 전극(330)은 제2 콘택홀(CH2)로 연장되어 상기 제2 콘택홀(CH2)을 통해서 제2 회로 소자열(C2) 내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결되어 있다.

[0151] 따라서, 상기 제3 발광 영역(E3) 및 상기 제3 발광 영역(E3)에 중첩된 제1 전극(330)은 상기 제3 발광 영역(E3)에서의 발광을 제어하는 회로소자가 마련되어 있는 상기 제2 회로 소자열(C2)과 중첩됨과 더불어 상기 제1 발광 영역(E1)에서의 발광을 제어하는 회로소자가 마련되어 있는 상기 제3 회로 소자열(C3)과 중첩된다.

[0152] 따라서, 도 10의 경우, 상기 제2 발광 영역(E2)과 상기 제3 발광 영역(E3)의 경우는 각각 그 발광을 제어하는 제1 회로 소자열(C1) 및 제2 회로 소자열(C2)과 중첩되지만 상기 제1 발광 영역(E1)의 경우는 그 발광을 제어하는 제3 회로 소자열(C3)과 중첩되지 않는다.

[0153] 이하에서는 본 발명에 따른 전계 발광 표시장치의 단면 구조에 대해서 보다 구체적으로 설명하기로 한다.

[0154] 도 11은 도 9의 A-B라인의 단면도이다. 즉, 도 11은 개별 회로 소자열(C1, C2, C3)에 구비된 구동 박막 트랜지

스터(T2)가 형성된 영역의 단면에 해당한다.

[0155] 도 11에서 알 수 있듯이, 기판(100) 상에 회로 소자층(200), 제1 전극(310, 320, 330), 뱅크(400), 발광층(510, 520, 530), 및 제2 전극(600)이 형성되어 있다.

[0156] 상기 회로 소자층(200)은 보조 전극(AE1, AE2), 차광층(LS), 고전원 라인(VDD), 저전원 라인(VSS), 구동 박막 트랜지스터(T2), 데이터 라인(DL1, DL2, DL3), 제1 기준 라인(Ref1), 버퍼층(210), 층간 절연막(220), 패시베이션층(230), 및 평탄화층(240)을 포함하여 이루어진다.

[0157] 상기 보조 전극(AE1, AE2)은 상기 기판(100) 상에 형성된 제1 보조 전극(AE1) 및 제2 보조 전극(AE2)을 포함하여 이루어진다. 상기 제1 보조 전극(AE1)은 상기 고전원 라인(VDD) 아래에 구비되어 있고, 상기 제2 보조 전극(AE2)은 상기 저전원 라인(VSS) 아래에 구비되어 있다.

[0158] 상기 차광층(LS)은 상기 기판(100) 상에서 제1 내지 제 3 회로 소자열(C1, C2, C3)에 각각 형성되어 있다. 상기 차광층(LS)은 상기 보조 전극(AE1, AE2)과 동일한 층에서 동일한 물질로 이루어질 수 있다.

[0159] 상기 고전원 라인(VDD)은 상기 제1 보조 전극(AE1) 위에 구비되어 있다. 보다 구체적으로 상기 제1 보조 전극(AE1) 위에 버퍼층(210)과 층간 절연막(220)이 차례로 형성되어 있고, 상기 층간 절연막(220) 위에 상기 고전원 라인(VDD)이 형성되어 있다. 상기 고전원 라인(VDD)은 상기 버퍼층(210)과 상기 층간 절연막(220)에 구비된 콘택홀을 통해서 상기 제1 보조 전극(AE1)과 연결되어 있다.

[0160] 상기 저전원 라인(VSS)은 상기 제2 보조 전극(AE2) 위에 구비되어 있다. 보다 구체적으로 상기 제2 보조 전극(AE2) 위에 버퍼층(210)과 층간 절연막(220)이 차례로 형성되어 있고, 상기 층간 절연막(220) 위에 상기 저전원 라인(VSS)이 형성되어 있다. 상기 저전원 라인(VSS)은 상기 버퍼층(210)과 상기 층간 절연막(220)에 구비된 콘택홀을 통해서 상기 제2 보조 전극(AE2)과 연결되어 있다.

[0161] 상기 구동 박막 트랜지스터(T2)는 제1 내지 제3 회로 소자열(C1, C2, C3)에 각각 구비되어 있다. 상기 구동 박막 트랜지스터(T2)는 상기 버퍼층(210) 위에 구비된 제2 액티브층(A2), 상기 제2 액티브층(A2) 위에 구비된 게이트 절연막(GI), 상기 게이트 절연막(GI) 위에 구비된 제2 게이트 전극(G2), 상기 층간 절연막(220) 위에 형성되며 상기 층간 절연막(220)에 구비된 콘택홀을 통해서 상기 제2 액티브층(A2)과 각각 연결되어 있는 제2 소스 전극(S2) 및 제2 드레인 전극(D2)을 포함하여 이루어진다. 상기 제2 액티브층(A2)의 폭은 상기 차광층(LS)의 폭보다 작게 형성된다.

[0162] 상기 데이터 라인(DL1, DL2, DL3)은 상기 층간 절연막(220) 위에 형성되어 있다. 상기 데이터 라인(DL1, DL2, DL3)은 상기 제1 회로 소자열(C1)과 상기 제2 회로 소자열(C2) 사이에 구비된 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2), 및 상기 제3 회로 소자열(C3)과 상기 저전원 라인(VSS) 사이에 구비된 제3 데이터 라인(DL3)을 포함하여 이루어진다.

[0163] 상기 제1 기준 라인(Ref1)은 상기 층간 절연막(220) 위에 형성되어 있다. 상기 제1 기준 라인(Ref1)은 상기 제2 회로 소자열(C2)과 상기 제3 회로 소자열(C3) 사이에 구비되어 있다.

[0164] 상기 층간 절연막(220) 위에 각각 구비되는 상기 고전원 라인(VDD), 상기 저전원 라인(VSS), 상기 제2 소스 전극(S2), 상기 제2 드레인 전극(D2), 상기 데이터 라인(DL1, DL2, DL3), 및 제1 기준 라인(Ref1)은 서로 동일한 물질로 이루어질 수 있다.

[0165] 상기 패시베이션층(230)은 상기 고전원 라인(VDD), 상기 저전원 라인(VSS), 상기 제2 소스 전극(S2), 상기 제2 드레인 전극(D2), 상기 데이터 라인(DL1, DL2, DL3), 및 제1 기준 라인(Ref1) 상에 형성되어 있다.

[0166] 상기 평탄화층(240)은 상기 패시베이션층(230) 상에 형성되어 있다.

[0167] 상기 제1 전극(310, 320, 330)은 상기 평탄화층(240) 상에 형성되어 있다. 상기 제1 전극(310, 320, 330)은 발광 영역(E1, E2, E3)에 대응하는 영역 별로 패턴 형성되어 있다.

[0168] 상기 뱅크(400)는 상기 제1 전극(310, 320, 330)의 양 끝단을 가리면서 상기 평탄화층(240) 상에 형성되어 있다. 상기 뱅크(400)에 의해서 상기 발광 영역(E1, E2, E3)이 정의된다. 상기 발광 영역(E1, E2, E3)의 위치, 다시 말하면 상기 발광 영역(E1, E2, E3)과 회로 소자열(C1, C2, C3) 사이의 중첩 영역, 및 상기 발광 영역(E1, E2, E3)과 전원 라인(VDD, VSS) 사이의 중첩 영역은 전술한 바와 동일하므로 반복설명은 생략하기로 한다.

[0169] 상기 발광층(510, 520, 530)은 상기 제1 전극(310, 320, 330) 상에 개별적으로 형성된다. 상기 발광층(510,

520, 530)은 제1 발광 영역(E1)에 구비된 적색(R) 발광층으로 이루어진 제1 발광층(510), 제2 발광 영역(E2)에 구비된 녹색(G) 발광층으로 이루어진 제2 발광층(520), 및 제3 발광 영역(E3)에 구비된 청색(B) 발광층으로 이루어진 제3 발광층(530)을 포함하여 이루어진다.

[0170] 상기 제2 전극(600)은 상기 발광층(510, 520, 530) 상에 형성되어 있다. 상기 제2 전극(600)은 상기 뱅크(400) 상에도 형성되어 복수의 화소 및 그들 사이의 경계에 전체적으로 형성될 수 있다.

[0171] 도 12는 도 9 의 C-D라인의 단면도이다. 즉, 도 12은 개별 회로 소자열(C1, C2, C3)에 구비된 제1 연결 전극(CE1)과 제2 소스 전극(S2) 사이의 중첩 영역의 단면에 해당한다.

[0172] 도 12에서 알 수 있듯이, 기판(100) 상에 회로 소자층(200), 제1 전극(310, 320, 330), 뱅크(400), 발광층(510, 520, 530), 및 제2 전극(600)이 형성되어 있다.

[0173] 상기 회로 소자층(200)은 보조 전극(AE1, AE2), 차광층(LS), 고전원 라인(VDD), 저전원 라인(VSS), 제1 연결 전극(CE1), 제2 소스 전극(S2), 데이터 라인(DL1, DL2, DL3), 제1 기준 라인(Ref1), 버퍼층(210), 층간 절연막(220), 패시베이션층(230), 및 평탄화층(240)을 포함하여 이루어진다.

[0174] 상기 보조 전극(AE1, AE2), 상기 차광층(LS), 상기 고전원 라인(VDD), 상기 저전원 라인(VSS), 상기 데이터 라인(DL1, DL2, DL3), 상기 제1 기준 라인(Ref1), 상기 버퍼층(210), 상기 층간 절연막(220), 상기 패시베이션층(230), 및 상기 평탄화층(240)은 전술한 도 11에서와 동일하므로 반복 설명은 생략하기로 한다.

[0175] 상기 제1 연결 전극(CE1) 및 상기 제2 소스 전극(S2)은 제1 내지 제 3 회로 소자열(C1, C2, C3)에 각각 형성되어 있다. 상기 제1 연결 전극(CE1)은 버퍼층(210)과 층간 절연막(220) 사이에 형성되어 있고, 상기 제2 소스 전극(S2)은 상기 층간 절연막(220)과 패시베이션층(230) 사이에 형성되어 있다. 따라서, 상기 제1 연결 전극(CE1)은 상기 버퍼층(210)을 사이에 두고 차광층(LS)과 이격되어 있고, 상기 층간 절연막(220)을 사이에 두고 상기 제2 소스 전극(S2)과 이격되어 있다. 상기 제1 연결 전극(CE1), 상기 차광층(LS), 및 상기 제2 소스 전극(S2)은 서로 중첩되도록 형성되어 커패시턴스를 형성한다. 상기 제1 연결 전극(CE1)은 액티브층(A1, A2, A3)과 동일한 층에 형성된다. 상기 액티브층(A1, A2, A3)은 산화물 반도체로 이루어질 수 있고, 상기 제1 연결 전극(CE1)은 상기 산화물 반도체에 열을 가하는 도체화 공정을 통해 얻은 도전물질로 이루어질 수 있다.

[0176] 상기 제1 전극(310, 320, 330), 상기 뱅크(400), 상기 발광층(510, 520, 530), 및 상기 제2 전극(600) 은 전술한 도 11에서와 동일하므로 반복 설명은 생략하기로 한다.

[0177] 도 13은 도 9 의 E-F라인의 단면도이다. 즉, 도 13은 개별 회로 소자열(C1, C2, C3)에 구비된 콘택홀(CH1, CH2, CH3, CH4, CH5) 영역의 단면에 해당한다.

[0178] 도 13에서 알 수 있듯이, 기판(100) 상에 회로 소자층(200), 제1 전극(310, 320, 330), 제3 보조 전극(AE3), 뱅크(400), 및 제2 전극(600)이 형성되어 있다.

[0179] 상기 회로 소자층(200)은 제1 연결 라인(CL1), 고전원 라인(VDD), 저전원 라인(VSS), 제2 소스 전극(S2), 데이터 라인(DL1, DL2, DL3), 제1 기준 라인(Ref1), 버퍼층(210), 층간 절연막(220), 패시베이션층(230), 및 평탄화층(240)을 포함하여 이루어진다.

[0180] 상기 제1 연결 라인(CL1)은 상기 기판(100) 상에 형성되어 있다. 상기 제1 연결 라인(CL1)은 상기 고전원 라인(VDD) 아래에 구비되어 있다. 상기 제1 연결 라인(CL1)은 전술한 제1 및 제2 보조 전극(AE1, AE2) 및 차광층(LS)과 동일한 층에서 동일한 물질로 이루어질 수 있다.

[0181] 상기 고전원 라인(VDD)은 상기 제1 연결 라인(CL1) 위에 구비되어 있다. 보다 구체적으로 상기 제1 연결 라인(CL1) 위에 버퍼층(210)과 층간 절연막(220)이 차례로 형성되어 있고, 상기 층간 절연막(220) 위에 상기 고전원 라인(VDD)이 형성되어 있다. 상기 고전원 라인(VDD)은 상기 버퍼층(210)과 상기 층간 절연막(220)에 구비된 콘택홀을 통해서 상기 제1 연결 라인(CL1)과 연결되어 있다.

[0182] 상기 저전원 라인(VSS)은 상기 층간 절연막(220) 상에 형성되어 있다.

[0183] 상기 제2 소스 전극(S2)은 제1 내지 제 3 회로 소자열(C1, C2, C3)에 각각 형성되며, 특히, 상기 층간 절연막(220) 상에 형성되어 있다.

[0184] 상기 데이터 라인(DL1, DL2, DL3), 상기 제1 기준 라인(Ref1), 상기 버퍼층(210), 상기 층간 절연막(220), 상기 패시베이션층(230), 및 상기 평탄화층(240)은 전술한 도 11에서와 동일하다.

[0185] 상기 제1 전극(310, 320, 330)은 상기 평탄화층(240) 상에 형성되어 있다. 제1 발광 영역(E1)에 대응하는 영역으로 연장되는 제1 전극(310)은 상기 패시베이션층(230)과 상기 평탄화층(240)에 구비된 제1 콘택홀(CH1)을 통해서 제1 회로 소자열(C1)에 구비된 제2 소스 전극(S2)과 연결된다. 제2 발광 영역(E2)에 대응하는 영역으로 연장되는 제1 전극(320)은 상기 패시베이션층(230)과 상기 평탄화층(240)에 구비된 제2 콘택홀(CH2)을 통해서 제2 회로 소자열(C2)에 구비된 제2 소스 전극(S2)과 연결된다. 제3 발광 영역(E3)에 대응하는 영역으로 연장되는 제1 전극(330)은 상기 패시베이션층(230)과 상기 평탄화층(240)에 구비된 제3 콘택홀(CH3)을 통해서 제3 회로 소자열(C3)에 구비된 제2 소스 전극(S2)과 연결된다.

[0186] 다만, 도 10의 구조의 경우에는, 제1 발광 영역(E1)에 대응하는 영역으로 연장되는 제1 전극(310)이 상기 제3 콘택홀(CH3)을 통해서 제3 회로 소자열(C3)에 구비된 제2 소스 전극(S2)과 연결되고, 제2 발광 영역(E2)에 대응하는 영역으로 연장되는 제1 전극(320)이 상기 제1 콘택홀(CH1)을 통해서 제1 회로 소자열(C3)에 구비된 제2 소스 전극(S2)과 연결되고, 제3 발광 영역(E3)에 대응하는 영역으로 연장되는 제1 전극(330)이 상기 제2 콘택홀(CH2)을 통해서 제2 회로 소자열(C2)에 구비된 제2 소스 전극(S2)과 연결된다.

[0187] 상기 제3 보조 전극(AE3)은 상기 평탄화층(240) 상에 형성되어 있다. 상기 제3 보조 전극(AE3)은 상기 패시베이션층(230)과 상기 평탄화층(240)에 구비된 제4 콘택홀(CH4)을 통해서 상기 저전원 라인(VSS)과 연결되어 있다. 상기 제3 보조 전극(AE3)은 상기 제1 전극(310, 320, 330)과 동일한 물질로 이루어질 수 있다.

[0188] 상기 뱅크(400)는 상기 제1 전극(310, 320, 330)과 상기 제3 보조 전극(AE3) 상에 형성되어 있다. 도 13은 화소와 화소 사이의 경계 영역에 해당하므로 상기 뱅크(400)가 상기 기판(100)의 전체면 상에 형성된다.

[0189] 상기 제2 전극(600)은 상기 뱅크(400) 상에 형성되어 있다. 상기 제2 전극(600)은 상기 뱅크(400)에 형성된 제5 콘택홀(CH5)을 통해서 상기 제3 보조 전극(AE3)과 연결된다. 따라서, 상기 제2 전극(600)은 상기 제3 보조 전극(AE3)을 통해서 상기 저전원 라인(VSS)과 연결된다.

[0190] 이상은 제1 발광 영역(E1)이 전원 라인(VDD, VSS)과 중첩되고 제1 발광 영역(E1)의 폭(W1)이 상기 전원 라인(VDD, VSS)의 폭(Wvdd, Wvss) 이하인 경우에 대해서만 설명하였지만, 본 발명이 반드시 그에 한정되는 것은 아니고, 상기 전원 라인(VDD, VSS) 이외의 다른 신호 라인의 폭을 상기 제1 발광 영역(E1)의 폭(W1) 이상으로 형성하고 상기 제1 발광 영역(E1)을 상기 다른 신호 라인에 중첩되도록 형성할 수도 있다.

[0191] 도 14는 본 발명의 일 실시예에 따른 전계 발광 표시장치에서 고전압 라인과 저전압 라인이 각각 표시부와 비표시부에 배열되는 모습을 보여주는 개략적인 평면도이다.

[0192] 도 14에서 알 수 있듯이, 기판(100)의 중앙에는 표시부(DA)가 마련되어 있고, 상기 표시부(DA)의 외곽에는 비표시부(NDA)가 마련되어 있다. 상기 표시부(DA)는 발광이 일어나서 화상이 표시되는 영역이고, 상기 비표시부(NDA)는 발광이 일어나지 않아서 화상이 표시되지 않는 영역이다. 전술한 다양한 실시예에 따른 화소 구조는 상기 표시부(DA)에 형성된다.

[0193] 상기 비표시부(NDA)에는 복수의 더미 화소가 형성될 수 있다. 상기 복수의 더미 화소는 상기 표시부(DA) 내에 형성된 복수의 화소를 둘러싸도록 구비될 수 있다. 상기 복수의 더미 화소는 뱅크층에 의해 마련된 복수의 더미 발광 영역에 각각 형성된 더미 발광층을 포함하여 이루어질 수 있다. 상기 더미 화소는 화상을 표시하지 않기 때문에 상기 더미 발광층에서는 발광이 일어나지 않는다. 이와 같은 더미 발광층은 상기 표시부(DA) 내의 중앙의 발광층의 프로파일과 가장 자리의 발광층의 프로파일이 서로 균일하게 형성되도록 하는 역할을 한다.

[0194] 상기 표시부(DA) 내의 발광층을 용액공정으로 형성할 경우 상기 발광층의 건조속도가 상기 표시부(DA)의 중앙과 가장자리 사이에 차이가 발생할 수 있고, 그에 따라, 상기 표시부(DA)의 중앙의 발광층의 프로파일과 상기 표시부(DA)의 가장 자리의 발광층의 프로파일이 서로 불균일하게 형성되어 상기 표시부(DA)에서 균일한 발광을 얻지 못할 수 있다. 따라서, 상기 비표시부(NDA)에 더미 화소를 형성하고 용액 공정으로 상기 표시부(DA)에 발광층을 형성할 때 상기 비표시부(NDA)에 더미 발광층도 함께 형성함으로써, 비록 상기 더미 발광층의 프로파일과 상기 발광층의 프로파일이 서로 불균일할 수는 있다 하더라도 상기 표시부(DA) 전체에서 상기 발광층의 프로파일은 서로 균일하게 될 수 있다.

[0195] 상기 표시부(DA)에는 복수의 고전원 라인(VDD)과 복수의 저전원 라인(VSS)이 제1 방향, 예로서 세로 방향으로 교대로 배열되어 있다. 상기 복수의 고전원 라인(VDD)과 상기 복수의 저전원 라인(VSS)은 상기 비표시부(NDA)까지 연장되어 있다.

[0196] 상기 복수의 저전원 라인(VSS)의 하단은 제1 쇼팅바(SB1)에 의해 연결되고, 상기 복수의 저전원 라인(VSS)의 상

단은 제2 쇼팅바(SB2)에 의해 연결될 수 있다. 따라서, 상기 복수의 저전원 라인(VSS)은 서로 전기적으로 연결될 수 있다. 상기 제1 쇼팅바(SB1)와 상기 제2 쇼팅바(SB2)는 각각 상기 비표시부(NDA)에 형성되며, 전술한 제1 전극(310, 320, 330)과 동일한 층에서 동일한 물질로 이루어질 수 있다. 상기 제2 쇼팅바(SB2)는 콘택 와이어(CW)를 통해서 상기 비표시부(NDA)에 구비된 구동 회로부(DC)에 연결될 수 있다. 따라서, 상기 구동 회로부(DC)를 통해 인가되는 저전원은 상기 콘택 와이어(CW)와 제2 쇼팅바(SB2)를 통해서 복수의 저전원 라인(VSS)으로 전달 수 있다.

[0197] 상기 복수의 고전원 라인(VDD)의 하단은 제3 쇼팅바(SB3)에 의해 연결될 수 있다. 따라서, 상기 복수의 고전원 라인(VDD)은 서로 전기적으로 연결될 수 있다. 또한, 상기 복수의 고전원 라인(VDD)의 상단은 각각 상기 구동 회로부(DC)에 연결될 수 있다. 따라서, 상기 구동 회로부(DC)를 통해 상기 복수의 고전원 라인(VDD)에 고전원이 인가될 수 있다.

[0198] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

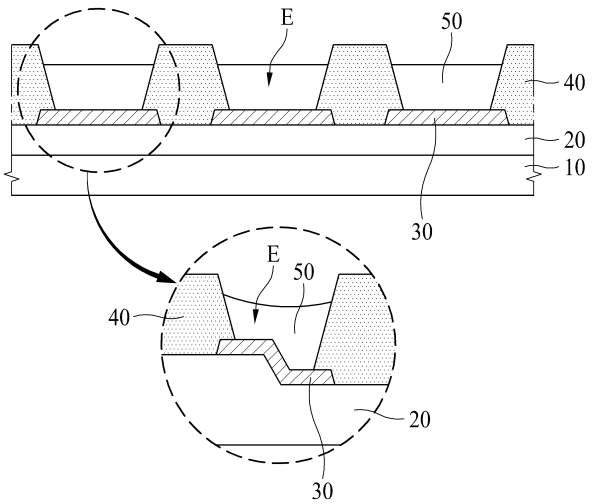
부호의 설명

[0199]

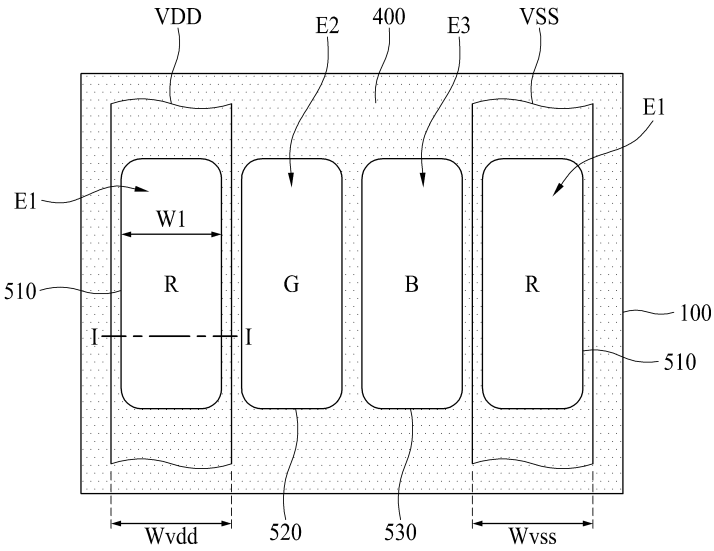
100: 제1 기판	200: 회로 소자층
310, 320, 330: 제1 전극	400: 뱅크
510, 520, 530: 발광층	600: 제2 전극

도면

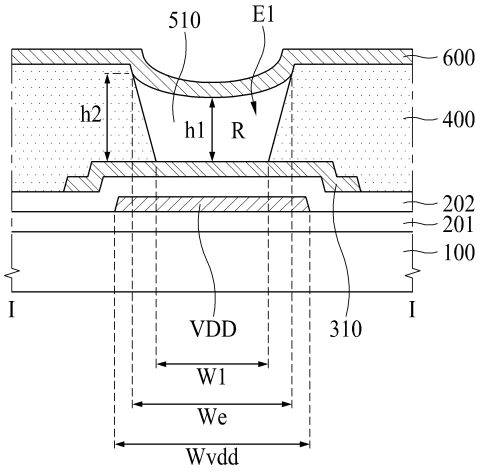
도면1



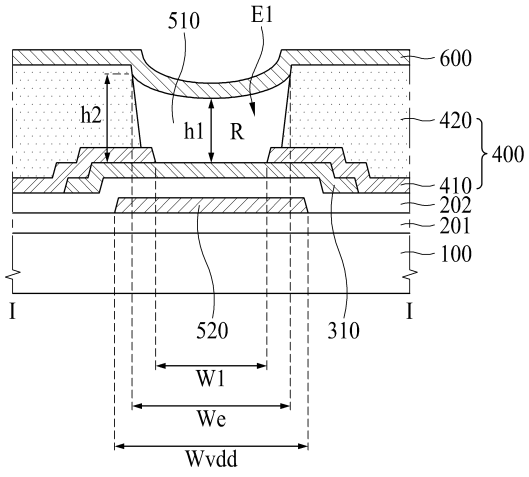
도면2


VDD
E2
400
E3
VSS
E1
E1
W1
510
R
G
B
R
100
I
I
510
Wvdd
520
530
Wvss

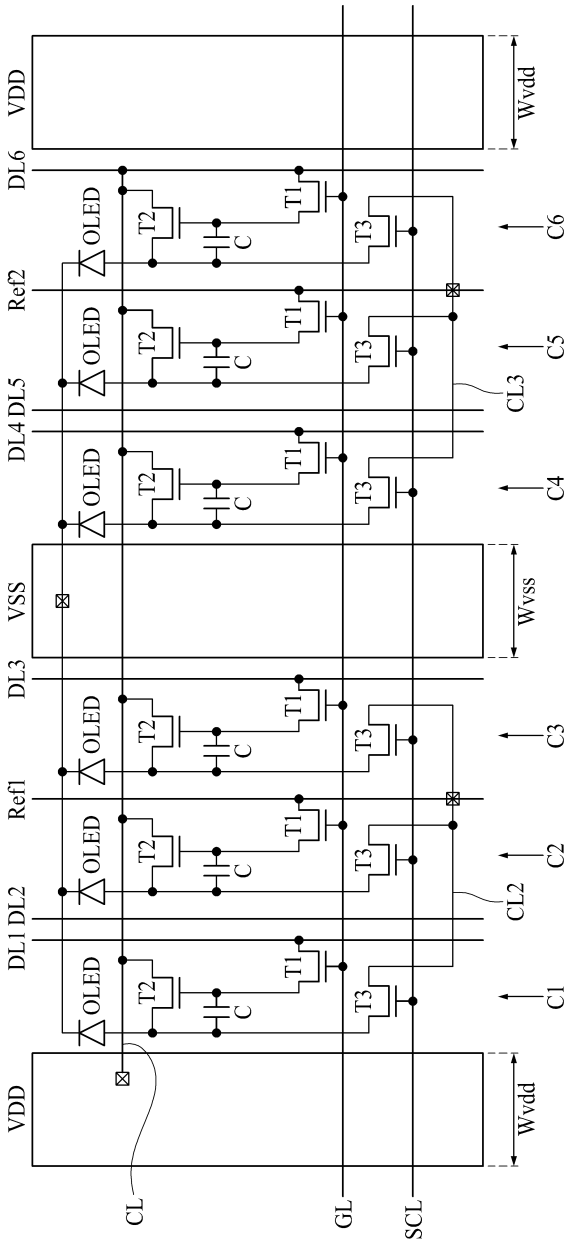
도면3


510
E1
600
h2
h1
R
400
202
201
100
I
I
VDD
310
W1
We
Wvdd

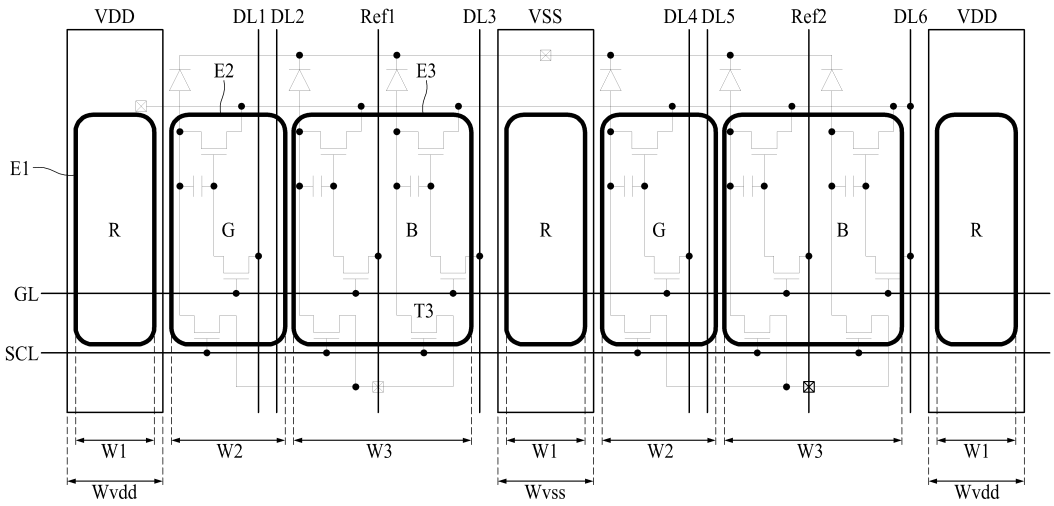
도면4


510
E1
600
h2
h1
R
420
400
410
202
201
100
I
I
520
310
W1
We
Wvdd

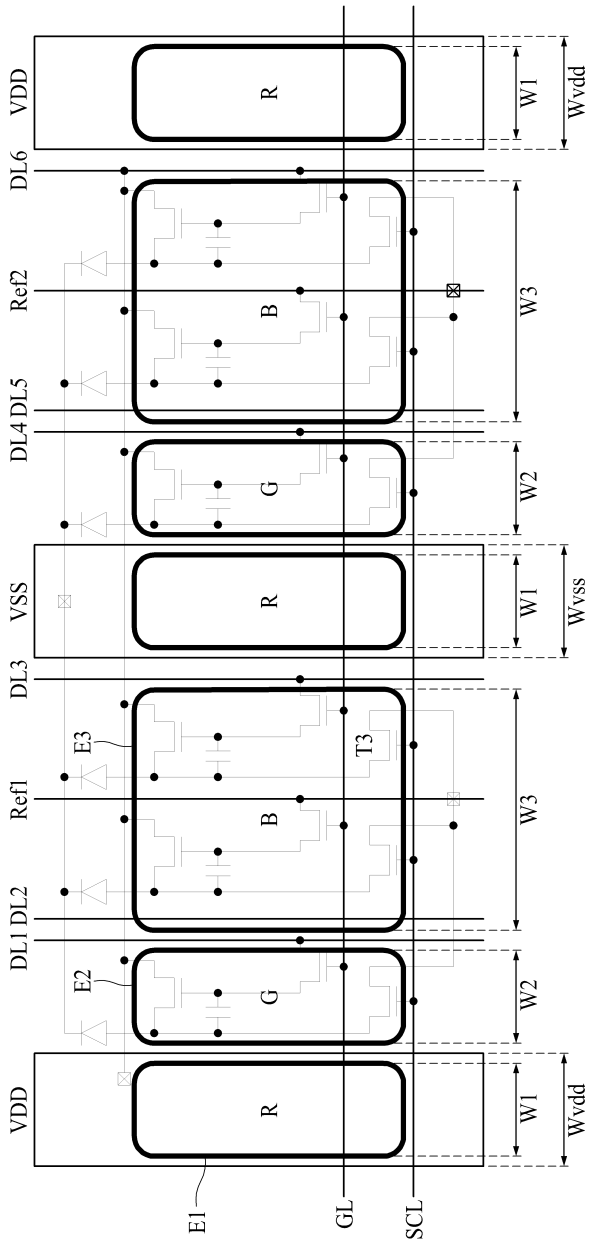
도면5


VDD
DL6
Ref2
DL4 DL5
VSS
DL3
Ref1
DL1 DL2
VDD
Wvdd
Wvss
OLED
T1
T2
T3
C
C1
C2
C3
C4
C5
C6
CL2
CL3
CL
GL
SCL

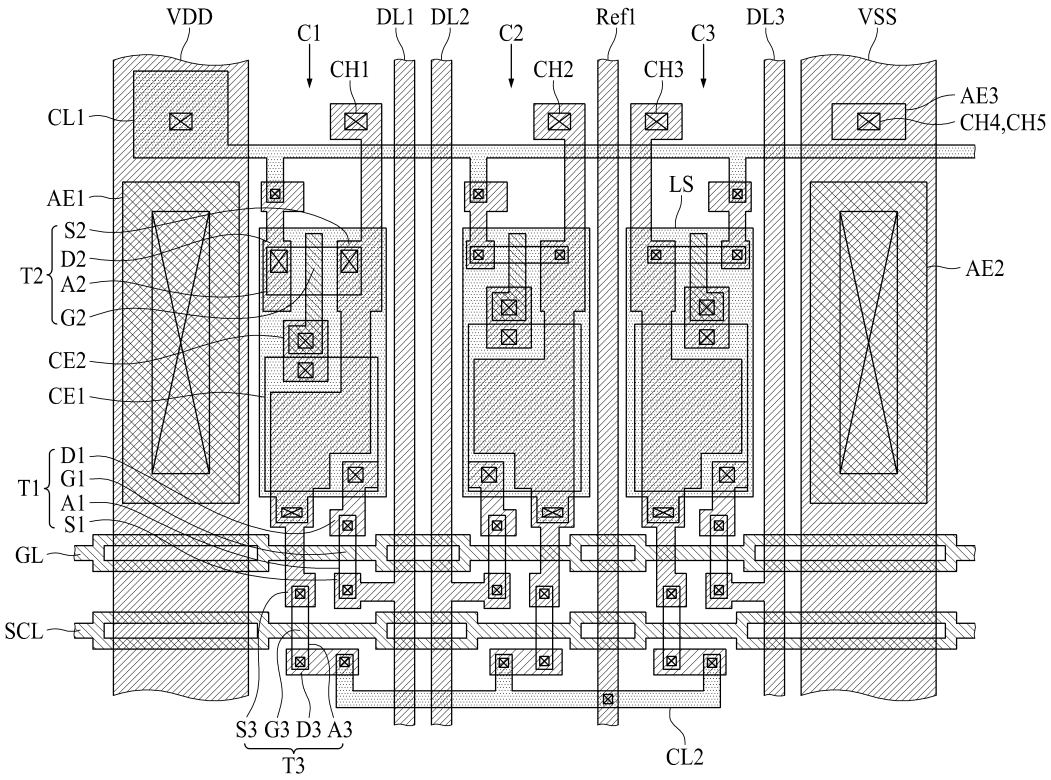
도면6


VDD
DL1
DL2
Ref1
DL3
VSS
DL4
DL5
Ref2
DL6
VDD
E1
E2
E3
R
G
B
R
G
B
R
GL
T3
SCL
W1
W2
W3
W1
W2
W3
W1
Wvdd
Wvss
Wvdd

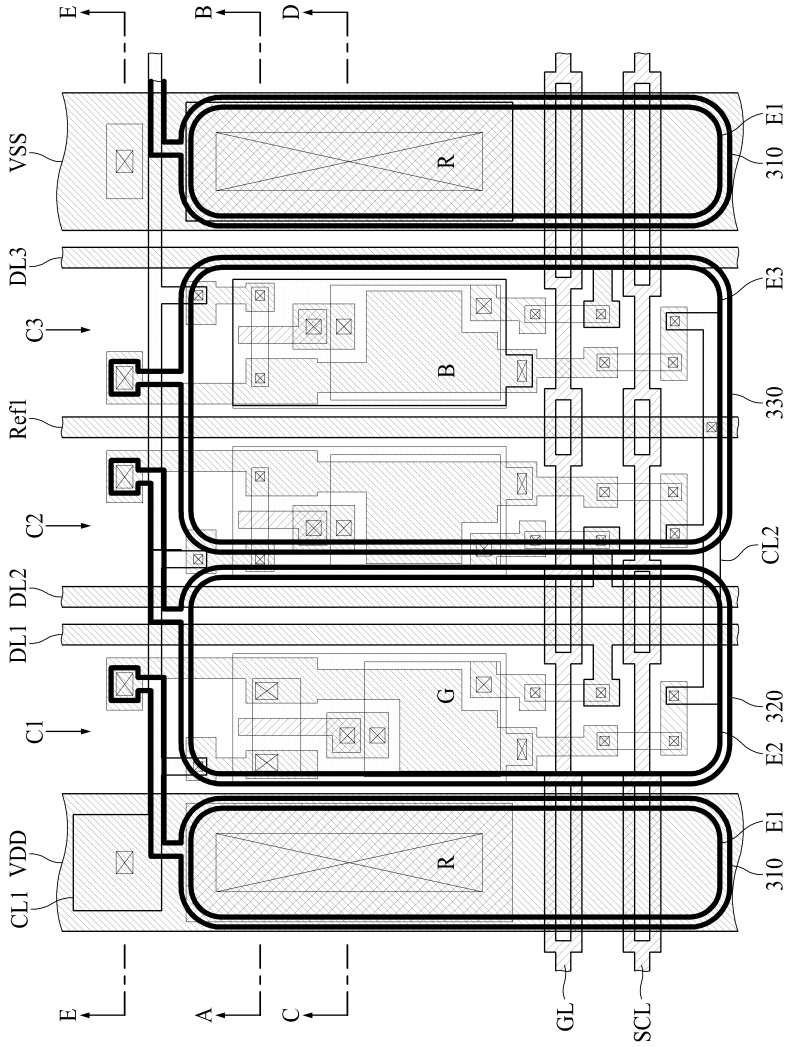
도면7


VDD
DL6
Ref2
DL4 DL5
VSS
DL3
Ref1
DL1 DL2
VDD
R
B
G
R
B
G
R
E1
E2
E3
T3
GL
SCL
W1
Wvdd
W3
W2
W1
Wvss
W3
W2
W1
Wvdd

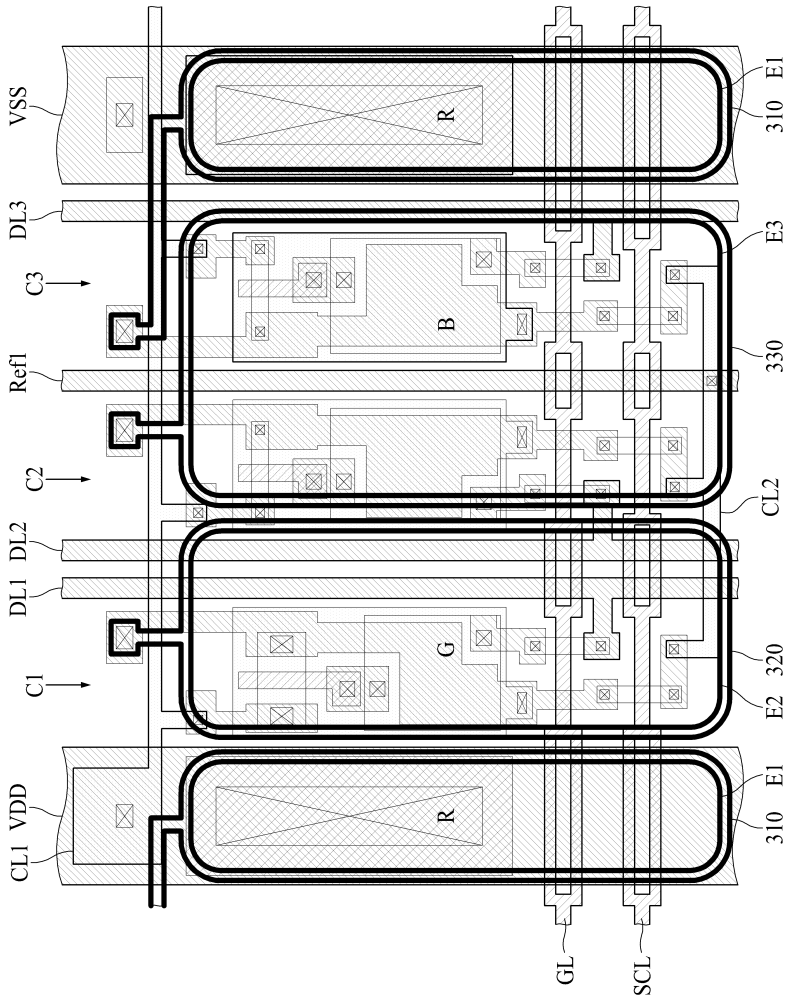
도면8


VDD
C1
DL1
DL2
C2
Refl
C3
DL3
VSS
CH1
CH2
CH3
AE3
CH4,CH5
CL1
LS
AE1
S2
D2
A2
G2
T2
AE2
CE2
CE1
D1
G1
A1
S1
T1
GL
SCL
S3 G3 D3 A3
T3
CL2

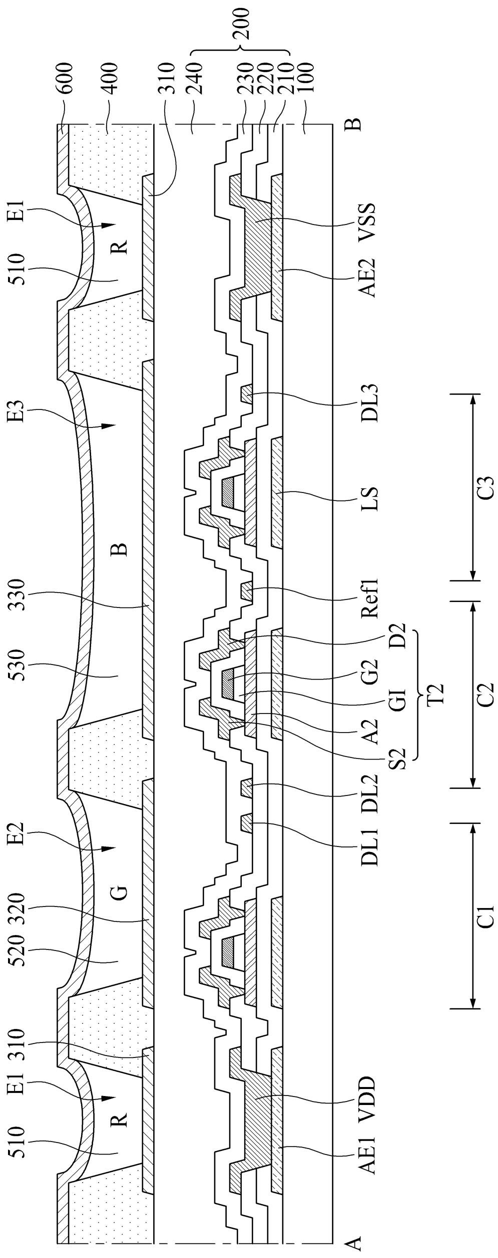
도면9


E
B
D
VSS
DL3
C3
Ref1
C2
DL2
DL1
C1
VDD
CL1
R
B
G
R
E1
310
E3
330
CL2
320
E2
E1
310
E
A
C
GL
SCL

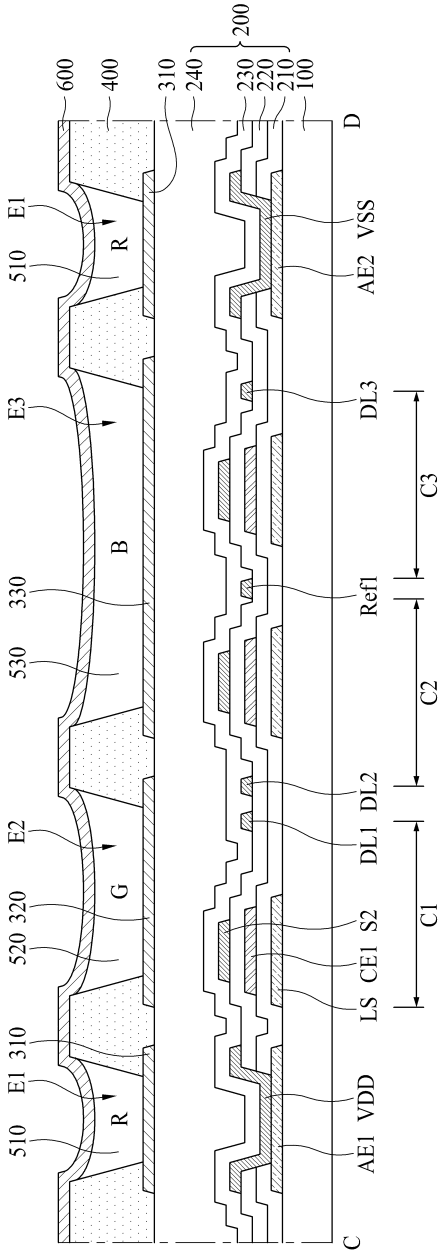
도면10


VSS
DL3
C3
Ref1
C2
DL2
DL1
C1
VDD
CL1
R
B
G
R
E1
310
E3
330
CL2
320
E2
E1
310
GL
SCL

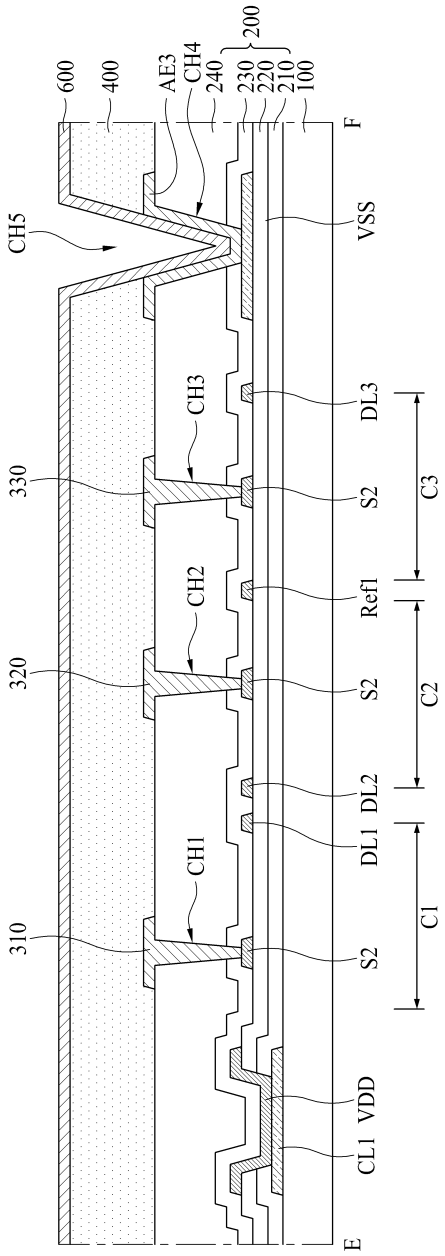
도면11


600
400
310
240
230
220
210
100
200
B
A
E1
510
E3
330
530
E2
520 320
E1 310
510
R
B
G
R
VSS
AE2
DL3
LS
Ref1
D2
G2
GI
A2
S2
T2
DL2
DL1
VDD
AE1
C3
C2
C1

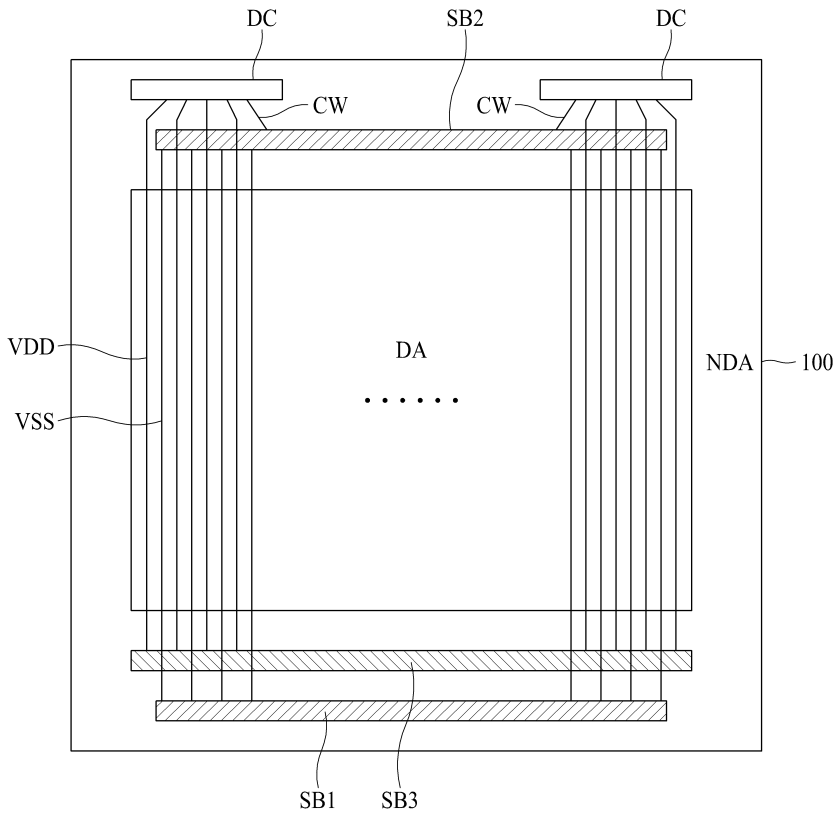
도면12


600
400
310
240
200
230
220
210
100
D
E1
510
R
E3
B
330
530
E2
G
520
320
E1
310
510
R
C
AE1
VDD
LS
CE1
S2
DL1
DL2
Ref1
DL3
AE2
VSS
C1
C2
C3

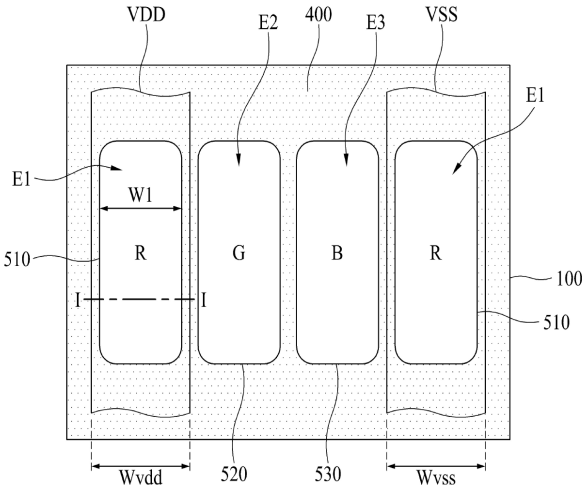
도면13


600
400
AE3
CH4
240
230
220
210
100
200
F
CH5
VSS
CH3
DL3
330
S2
C3
CH2
Ref1
320
S2
C2
DL2
DL1
CH1
C1
310
S2
VDD
CL1
E

도면14



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190079948A	公开(公告)日	2019-07-08
申请号	KR1020170182067	申请日	2017-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박은지 한성만 이기형		
发明人	박은지 한성만 이기형		
IPC分类号	H01L51/50 H01L27/32 H01L51/52		
CPC分类号	H01L51/5012 H01L27/3246 H01L27/3262 H01L27/3276 H01L51/5203 H01L27/3218 H01L27/3248 H01L27/326 H01L27/3216		
外部链接	Espacenet		

摘要(译)

电致发光显示装置技术领域本发明涉及一种电致发光显示装置，该电致发光显示装置包括：基板；以及基板。电路元件层设置在基板上并包括信号线；设置在电路元件层上并限定第一和第二发光区域的堤；分别设置在第一和第二发光区域中的第一和第二发光层。第一发光区域与信号线重叠，并且第一发光区域的宽度小于信号线的宽度。根据本发明的实施例，信号线的宽度形成为大于或等于第一发光区域的宽度，并且第一发光区域形成为与信号线交叠，从而防止了由于信号线，在第一发光区域中产生的光的相位差。因此，当通过溶液工艺在第一发光区域中形成第一发光层时，第一发光层可以形成为在第一发光区域中具有均匀的轮廓，从而在第一光中可以发生均匀的发光。发射区。