(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0044961
(43) 공개일자 2019년05월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2017-0137632
(22) 출원일자 2017년10월23일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정문수
경기도 파주시 월롱면 엘지로 245
상우규
경기도 파주시 월롱면 엘지로 245
신승환
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로알

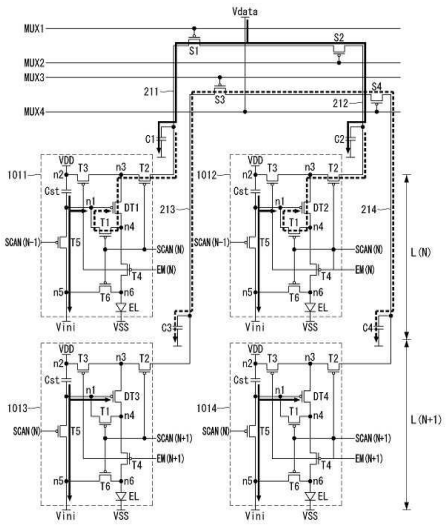
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **표시패널과 이를 이용한 전계 발광 표시장치**

(57) 요 약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널은 제1 게이트 신호에 동기되는 제1 및 제2 스위치 제어 신호에 응답하여 제1 데이터 신호를 제1 데이터 라인에 공급하고 제2 데이터 신호를 제2 데이터 라인에 공급한 후에, 제2 게이트 신호에 동기되는 제3 및 제4 스위치 제어 신호에 응답하여 제3 데이터 신호를 제3 데이터 라인에 공급하고 제4 데이터 신호를 제4 데이터 라인에 공급하는 디멀티플렉서를 구비한다.

대 표 도 - 도5



(52) CPC특허분류
G09G 2310/0297 (2013.01)
G09G 2330/021 (2013.01)
G09G 2330/045 (2013.01)

명 세 서

청구범위

청구항 1

하나의 채널을 통해 제1 내지 제4 데이터 신호를 순차적으로 출력하는 데이터 구동부;

상기 제1 및 제2 데이터 신호에 동기되는 제1 게이트 신호를 제N(N은 양의 정수) 표시 라인의 픽셀에 연결된 제1 게이트 라인 그룹에 공급한 후, 상기 제3 및 제4 데이터 신호에 동기되는 제2 게이트 신호를 제N+1 표시 라인의 픽셀에 연결된 제2 게이트 라인 그룹에 공급하는 게이트 구동부;

상기 제1 게이트 신호에 동기되는 제1 및 제2 스위치 제어 신호에 응답하여 상기 제1 데이터 신호를 제1 데이터 라인에 공급하고 상기 제2 데이터 신호를 제2 데이터 라인에 공급한 후에, 상기 제2 게이트 신호에 동기되는 제3 및 제4 스위치 제어 신호에 응답하여 상기 제3 데이터 신호를 제3 데이터 라인에 공급하고 상기 제4 데이터 신호를 제4 데이터 라인에 공급하는 디멀티플렉서를 구비하고,

상기 제N 표시라인의 픽셀은

상기 제1 데이터 라인에 연결된 제1 서브 픽셀과, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀을 포함하고,

상기 제N+1 표시라인의 픽셀은

상기 제3 데이터 라인에 연결된 제3 서브 픽셀과, 상기 제4 데이터 라인에 연결된 제4 서브 픽셀을 포함하는 표시패널.

청구항 2

제 1 항에 있어서,

상기 제1 내지 제4 데이터 라인들 각각은

데이터 신호의 전압이 충전되는 커패시터를 포함하는 표시패널.

청구항 3

제 1 항에 있어서,

상기 디멀티플렉서는,

상기 제1 스위치 제어 신호에 따라 턴-온되어 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자;

상기 제2 스위치 제어 신호에 따라 턴-온되어 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자;

발생되는 상기 제3 스위치 제어 신호에 따라 턴-온되어 상기 제3 데이터 신호를 상기 제3 데이터 라인에 공급하는 제3 스위치 소자; 및

상기 제4 스위치 제어 신호에 따라 턴-온되어 상기 제4 데이터 신호를 상기 제4 데이터 라인에 공급하는 제4 스위치 소자를 포함하는 표시패널.

청구항 4

제 3 항에 있어서,

상기 제1 게이트 신호는,

상기 제1 및 제2 스위치 제어 신호에 동기되는 게이트 온 전압의 펄스로 발생되어 제N-1 스캔 신호;

상기 제3 및 제4 스위치 제어 신호에 동기되는 게이트 온 전압의 펄스로 발생되는 제N 스캔 신호; 및

상기 제N-1 스캔 신호와 상기 제N 스캔 신호와 중첩되는 게이트 오프 전압의 펄스로 발생되어 상기 제3 게이트 라인에 공급되는 제N 발광 신호를 포함하고,

상기 제2 게이트 신호는,

상기 제N 스캔 신호;

상기 제N 스캔 신호에 이어서 발생되는 제N+1 스캔 신호; 및

상기 제N 스캔 신호와 상기 제N+1 스캔 신호와 중첩되는 게이트 오프 전압의 펄스로 발생되는 제N+1 발광 신호를 포함하는 표시패널.

청구항 5

제 4 항에 있어서,

상기 스캔 신호들 각각은

1 수평 기간의 펄스로 발생되고,

상기 제1 내지 제4 스위치 제어 신호 각각은 1/2 수평 기간의 펄스로 발생되는 표시패널.

청구항 6

제 4 항에 있어서,

상기 제1 게이트 라인 그룹은,

상기 제N-1 스캔 신호가 공급되는 제1 게이트 라인;

상기 제N 스캔 신호가 공급되는 제2 게이트 라인; 및

상기 제N 발광 신호가 공급되는 제3 게이트 라인을 포함하고,

상기 제2 게이트 라인 그룹은,

상기 제N 스캔 신호가 공급되는 제4 게이트 라인;

상기 제N+1 스캔 신호가 공급되는 제5 게이트 라인; 및

상기 제N+1 발광 신호가 공급되는 제6 게이트 라인을 포함하는 표시패널.

청구항 7

제 1 항에 있어서,

상기 제1 및 제2 서브 픽셀들이 초기화됨과 동시에 상기 제1 데이터 신호가 상기 제1 데이터 라인에 공급되고 상기 제2 데이터 신호가 제2 데이터 라인에 공급된 후,

상기 제1 데이터 라인에 충전된 제1 데이터 신호의 전압이 상기 제1 서브 픽셀에 공급됨과 동시에 상기 제2 데이터 라인에 충전된 제2 데이터 신호의 전압이 상기 제2 서브 픽셀에 공급되는 표시패널.

청구항 8

제 7 항에 있어서,

상기 제1 및 제2 서브 픽셀들에 데이터 신호의 전압이 공급됨과 동시에 상기 제3 및 제4 서브 픽셀들이 초기화되고,

상기 제3 및 제4 서브 픽셀들이 초기화됨과 동시에 상기 제3 데이터 신호가 상기 제3 데이터 라인에 공급되고 상기 제4 데이터 신호가 제4 데이터 라인에 공급되는 표시패널.

청구항 9

제 4 항에 있어서,

상기 제1 내지 제4 서브 픽셀들 각각은

발광 소자;

상기 발광 소자를 구동하는 구동 트랜지스터;

게이트 신호에 따라 온/오프되는 다수의 스위치 트랜지스터들; 및

상기 구동 트랜지스터의 게이트와 소정의 픽셀 구동 전압이 공급되는 전원 라인 사이에 형성된 커패시터를 포함하고,

상기 커패시터는

제1 노드를 통해 상기 구동 트랜지스터의 게이트에 연결되고, 제2 노드를 통해 상기 전원 라인에 연결되고,

상기 구동 트랜지스터는 상기 제1 노드에 연결된 게이트, 제3 노드에 연결된 제1 전극, 및 제4 노드에 연결된 제2 전극을 포함하는 표시패널.

청구항 10

제 9 항에 있어서,

상기 제1 및 제2 서브픽셀들은,

상기 제N 스캔 신호에 응답하여 상기 제1 노드와 상기 제4 노드를 연결하는 제1 스위치 트랜지스터;

상기 제N 스캔 신호에 응답하여 데이터 신호의 전압을 상기 제3 노드에 공급하는 제2 스위치 트랜지스터;

상기 제N 발광 신호에 응답하여 상기 제2 노드를 상기 제3 노드에 연결하는 제3 스위치 트랜지스터;

상기 제N 발광 신호에 응답하여 상기 제4 노드를 제6 노드에 연결하는 제4 스위치 트랜지스터;

상기 제N-1 스캔 신호에 응답하여 상기 제1 노드를 제5 노드에 연결하는 제5 스위치 트랜지스터; 및

상기 제N 스캔 신호에 응답하여 상기 제5 노드를 제6 노드에 연결하는 제6 스위치 트랜지스터를 포함하고,

상기 제5 노드에 소정의 초기화 전압이 공급되고,

상기 제6 노드에 상기 발광 소자의 애노드가 연결되는 표시패널.

청구항 11

제 9 항에 있어서,

상기 제3 및 제4 서브픽셀들은,

상기 제N+1 스캔 신호에 응답하여 상기 제1 노드와 상기 제4 노드를 연결하는 제1 스위치 트랜지스터;

상기 제N+1 스캔 신호에 응답하여 데이터 신호의 전압을 상기 제3 노드에 공급하는 제2 스위치 트랜지스터;

상기 제N+1 발광 신호에 응답하여 상기 제2 노드를 상기 제3 노드에 연결하는 제3 스위치 트랜지스터;

상기 제N+1 발광 신호에 응답하여 상기 제4 노드를 제6 노드에 연결하는 제4 스위치 트랜지스터;

상기 제N 스캔 신호에 응답하여 상기 제1 노드를 제5 노드에 연결하는 제5 스위치 트랜지스터; 및

상기 제N+1 스캔 신호에 응답하여 상기 제5 노드를 제6 노드에 연결하는 제6 스위치 트랜지스터를 포함하고,

상기 제5 노드에 상기 초기화 전압이 공급되고,

상기 제6 노드에 상기 발광 소자의 애노드가 연결되는 표시패널.

청구항 12

하나의 채널을 통해 제1 내지 제4 데이터 신호를 순차적으로 출력하는 데이터 구동부;

상기 제1 및 제2 데이터 신호에 동기되는 제1 게이트 신호를 제N(N은 양의 정수) 표시 라인의 픽셀에 연결된 제1 게이트 라인 그룹에 공급한 후, 상기 제3 및 제4 데이터 신호에 동기되는 제2 게이트 신호를 제N+1 표시 라인

의 픽셀에 연결된 제2 게이트 라인 그룹에 공급하는 게이트 구동부;

상기 제1 게이트 신호에 동기되는 제1 및 제2 스위치 제어 신호에 응답하여 상기 제1 데이터 신호를 제1 데이터 라인에 공급하고 상기 제2 데이터 신호를 제2 데이터 라인에 공급한 후에, 상기 제2 게이트 신호에 동기되는 제3 및 제4 스위치 제어 신호에 응답하여 상기 제3 데이터 신호를 제3 데이터 라인에 공급하고 상기 제4 데이터 신호를 제4 데이터 라인에 공급하는 디멀티플렉서를 구비하고,

상기 제N 표시라인의 픽셀은

상기 제1 데이터 라인에 연결된 제1 서브 픽셀과, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀을 포함하고,

상기 제N+1 표시라인의 픽셀은

상기 제3 데이터 라인에 연결된 제3 서브 픽셀과, 상기 제4 데이터 라인에 연결된 제4 서브 픽셀을 포함하는 전계 발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 디멀티플렉서는 상기 데이터 구동부와 함께 집적 회로에 내장되거나 상기 서브 픽셀들과 상기 게이트 구동부가 형성된 표시패널 상에 형성되는 전계 발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 제1 게이트 신호는,

상기 제1 및 제2 스위치 제어 신호에 동기되는 게이트 온 전압의 펄스로 발생되어 제N-1 스캔 신호;

상기 제3 및 제4 스위치 제어 신호에 동기되는 게이트 온 전압의 펄스로 발생되는 제N 스캔 신호; 및

상기 제N-1 스캔 신호와 상기 제N 스캔 신호와 중첩되는 게이트 오프 전압의 펄스로 발생되어 상기 제3 게이트 라인에 공급되는 제N 발광 신호를 포함하고,

상기 제2 게이트 신호는,

상기 제N 스캔 신호;

상기 제N 스캔 신호에 이어서 발생되는 제N+1 스캔 신호; 및

상기 제N 스캔 신호와 상기 제N+1 스캔 신호와 중첩되는 게이트 오프 전압의 펄스로 발생되는 제N+1 발광 신호를 포함하는 전계 발광 표시장치.

청구항 15

제 12 항에 있어서,

상기 제1 및 제2 서브 픽셀들이 초기화됨과 동시에 상기 제1 데이터 신호가 상기 제1 데이터 라인에 공급되고 상기 제2 데이터 신호가 제2 데이터 라인에 공급된 후,

상기 제1 데이터 라인에 충전된 제1 데이터 신호의 전압이 상기 제1 서브 픽셀에 공급됨과 동시에 상기 제2 데이터 라인에 충전된 제2 데이터 신호의 전압이 상기 제2 서브 픽셀에 공급되는 전계 발광 표시장치.

청구항 16

제 15 항에 있어서,

상기 제1 및 제2 서브 픽셀들에 데이터 신호의 전압이 공급됨과 동시에 상기 제3 및 제4 서브 픽셀들이 초기화되고,

상기 제3 및 제4 서브 픽셀들이 초기화됨과 동시에 상기 제3 데이터 신호가 상기 제3 데이터 라인에 공급되고 상기 제4 데이터 신호가 제4 데이터 라인에 공급되는 전계 발광 표시장치.

청구항 17

제 12 항에 있어서,

상기 제1 및 제2 서브픽셀들은,

발광 소자;

제1 노드에 연결된 게이트, 제3 노드에 연결된 제1 전극, 및 제4 노드에 연결된 제2 전극을 포함한 구동 트랜지스터;

상기 제1 노드를 통해 상기 구동 트랜지스터의 게이트에 연결되고, 전원 라인에 연결된 제2 노드를 통해 소정의 픽셀 구동 전압이 공급되는 커패시터;

상기 제N 스캔 신호에 응답하여 상기 제1 노드와 상기 제4 노드를 연결하는 제1 스위치 트랜지스터;

상기 제N 스캔 신호에 응답하여 데이터 신호의 전압을 상기 제3 노드에 공급하는 제2 스위치 트랜지스터;

상기 제N 발광 신호에 응답하여 상기 제2 노드를 상기 제3 노드에 연결하는 제3 스위치 트랜지스터;

상기 제N 발광 신호에 응답하여 상기 제4 노드를 제6 노드에 연결하는 제4 스위치 트랜지스터;

상기 제N-1 스캔 신호에 응답하여 상기 제1 노드를 제5 노드에 연결하는 제5 스위치 트랜지스터; 및

상기 제N 스캔 신호에 응답하여 상기 제5 노드를 제6 노드에 연결하는 제6 스위치 트랜지스터를 포함하고,

상기 제5 노드에 소정의 초기화 전압이 공급되고,

상기 제6 노드에 상기 발광 소자의 애노드가 연결되는 전계 발광 표시장치.

청구항 18

제 12 항에 있어서,

상기 제3 및 제4 서브픽셀들은,

발광 소자;

제1 노드에 연결된 게이트, 제3 노드에 연결된 제1 전극, 및 제4 노드에 연결된 제2 전극을 포함한 구동 트랜지스터;

상기 제1 노드를 통해 상기 구동 트랜지스터의 게이트에 연결되고, 전원 라인에 연결된 제2 노드를 통해 소정의 픽셀 구동 전압이 공급되는 커패시터;

상기 제N+1 스캔 신호에 응답하여 상기 제1 노드와 상기 제4 노드를 연결하는 제1 스위치 트랜지스터;

상기 제N+1 스캔 신호에 응답하여 데이터 신호의 전압을 상기 제3 노드에 공급하는 제2 스위치 트랜지스터;

상기 제N+1 발광 신호에 응답하여 상기 제2 노드를 상기 제3 노드에 연결하는 제3 스위치 트랜지스터;

상기 제N+1 발광 신호에 응답하여 상기 제4 노드를 제6 노드에 연결하는 제4 스위치 트랜지스터;

상기 제N 스캔 신호에 응답하여 상기 제1 노드를 제5 노드에 연결하는 제5 스위치 트랜지스터; 및

상기 제N+1 스캔 신호에 응답하여 상기 제5 노드를 제6 노드에 연결하는 제6 스위치 트랜지스터를 포함하고,

상기 제5 노드에 소정의 초기화 전압이 공급되고,

상기 제6 노드에 상기 발광 소자의 애노드가 연결되는 전계 발광 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 데이터 구동회로와 데이터 라인들 사이에 디멀티플렉서(Demultiplexer, DEMUX)가 배치된 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

배 경 기 술

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 유기 발광 표시장치의 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드와 캐소드에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0005] 유기 발광 표시장치의 픽셀들 각각은 OLED에 흐르는 전류를 제어하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 구동 소자의 전기적 특성은 모든 픽셀들에서 동일하여야 하지만, 공정 조건, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않다. 구동 소자는 구동 시간이 길어질수록 많은 스트레스(stress)를 받게 된다. 또한, 입력 영상의 데이터에 따라 구동 소자의 스트레스가 달라진다. 구동 소자의 전기적 특성은 스트레스에 영향을 받는다. 따라서, 구동 소자들은 구동 시간이 경과되면 전기적 특성이 달라진다.

[0006] 유기 발광 표시장치의 화질과 수명을 개선하기 위하여 픽셀들의 구동 특성 차이를 보상하기 위한 보상 회로가 유기 발광 표시장치에 적용되고 있다. 유기 발광 표시장치에서 픽셀들의 구동 특성 차이를 보상하기 위한 보상 회로는 내부 보상 회로와 외부 보상 회로로 나뉘어질 수 있다. 내부 보상 회로는 서브 픽셀들 각각에 배치된 내부 보상 회로를 이용하여 구동 소자의 문턱 전압을 샘플링한다. 내부 보상 회로는 구동 소자의 문턱 전압 만큼 데이터 신호의 전압을 보상함으로써 구동 소자의 문턱 전압 편차를 픽셀 회로 내부에서 자동으로 보상한다. 외부 보상 회로는 픽셀들에 연결된 센싱 경로를 통해 구동 소자들의 전기적 특성을 센싱(sensing)하고, 그 센싱 결과를 바탕으로 입력 영상의 픽셀 데이터를 변조하여 픽셀들 각각의 구동 특성 변화를 보상한다.

[0007] 내부 보상 회로는 샘플링 시간을 충분히 확보하여야 한다. 표시패널의 해상도가 높아질수록 그리고 표시패널의 구동 주파수가 높아질수록 표시패널에서 1 라인의 픽셀들에 데이터를 기입하는 1 수평 기간이 감소되기 때문에 1 수평 기간 내에서 할당된 구동 소자의 문턱 전압 샘플링 기간이 감소될 수 밖에 없다. 구동 소자의 문턱 전압 샘플링에 필요한 시간이 부족하게 되면, 구동 전압의 문턱 전압이 정확하게 샘플링될 수 없다.

[0008] 한편, 전계 발광 표시장치에서 데이터 구동부와 데이터 라인들 사이에 디멀티플렉서(Demultiplexer, DEMUX)를 배치하여 데이터 구동부의 채널 수를 줄일 수 있다. 그런데 디멀티플렉서는 데이터 구동부로부터 연속으로 출력되는 데이터 전압을 데이터 라인들로 시분할하여 분배하기 때문에 내부 보상 회로가 적용된 픽셀 회로의 경우에 샘플링 시간의 부족을 초래할 수 있다. 예를 들어, 1:2 디멀티플렉서의 경우에, 1 수평 기간 내에서 두 개의 데이터 라인들로 데이터 전압을 시분할 분배한다. 두 개의 데이터 라인들에 연결된 두 개의 서브 픽셀들 각각은 1/2 수평 기간 내에서 초기화 단계와 샘플링 단계를 거쳐 발광 단계로 이행하여 구동되기 때문에 샘플링 시간이 부족하게 된다.

[0009] 특정 구조의 픽셀 회로의 경우, 디멀티플렉서를 통해 두 개의 서브 픽셀들에 데이터 전압을 공급할 때 그 중 하나의 서브 픽셀에 데이터 전압이 공급되는 반면, 이전 데이터 전압의 영향으로 다른 서브 픽셀에서 초기화 전압이 변하여 구동 소자가 정상적으로 구동되지 않는 문제가 있다. 따라서, 디멀티플렉서에 연결되는 픽셀 회로의 구조에 제약이 있다.

[0010] 이와 같은 문제를 해결하기 위하여, 디멀티플렉서를 통해 데이터 전압을 시분할 분배 받는 두 개의 서브 픽셀들 데이터 중 어느 하나에 데이터 전압이 인가될 때 다른 서브 픽셀에 초기화 전압을 공급하는 방안이 고려될 수 있다. 그런데, 이 방법은 매 1/2 수평 기간마다 초기화 전압을 서브 픽셀들에 공급하기 때문에 데이터 전압의 스윙폭과 인가 시간이 길어져 데이터 구동부의 발열과 소비 전력 증가를 유발한다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 표시패널의 데이터 라인들에 디멀티플렉서를 연결하여 데이터 구동부의 채널 개수를 줄이고, 서브 픽셀들의 샘플링 시간을 길게 할 수 있고 오동작을 방지할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0012] 본 발명의 표시패널은 하나의 채널을 통해 제1 내지 제4 데이터 신호를 순차적으로 출력하는 데이터 구동부; 상기 제1 및 제2 데이터 신호에 동기되는 제1 게이트 신호를 제N(N은 양의 정수) 표시 라인의 픽셀에 연결된 제1 게이트 라인 그룹에 공급한 후, 상기 제3 및 제4 데이터 신호에 동기되는 제2 게이트 신호를 제N+1 표시 라인의 픽셀에 연결된 제2 게이트 라인 그룹에 공급하는 게이트 구동부; 상기 제1 게이트 신호에 동기되는 제1 및 제2 스위치 제어 신호에 응답하여 상기 제1 데이터 신호를 제1 데이터 라인에 공급하고 상기 제2 데이터 신호를 제2 데이터 라인에 공급한 후에, 상기 제2 게이트 신호에 동기되는 제3 및 제4 스위치 제어 신호에 응답하여 상기 제3 데이터 신호를 제3 데이터 라인에 공급하고 상기 제4 데이터 신호를 제4 데이터 라인에 공급하는 디멀티플렉서를 구비한다.

[0013] 상기 제N 표시라인의 픽셀은 상기 제1 데이터 라인에 연결된 제1 서브 픽셀과, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀을 포함한다.

[0014] 상기 제N+1 표시라인의 픽셀은 상기 제3 데이터 라인에 연결된 제3 서브 픽셀과, 상기 제4 데이터 라인에 연결된 제4 서브 픽셀을 포함한다.

발명의 효과

[0015] 본 발명은 표시패널의 데이터 라인들에 디멀티플렉서를 연결하여 데이터 구동부의 채널 개수를 줄일 수 있음은 물론, 서브 픽셀들의 초기화, 데이터 라인들의 충전 및 구동 소자의 문턱 전압 샘플링을 동시에 실시함으로써 샘플링 오류를 방지하고 샘플링 시간을 충분히 확보할 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.

도 2는 디멀티플렉서와 서브 픽셀들의 연결 구조를 간략하게 보여 주는 도면이다.

도 3은 도 2에 도시된 픽셀 구동 신호를 보여 주는 파형도이다.

도 4는 본 발명의 실시예에 따른 픽셀 회로의 예를 보여 주는 회로도이다.

도 5는 본 발명의 실시예에 따른 전계 발광 표시장치의 동작을 간략히 보여 주는 회로도이다.

도 6 내지 도 13은 본 발명의 실시예에 따른 전계 발광 표시장치의 동작을 단계적으로 보여 주는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0018] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0019] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 ' ~ 만'이 사용

되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.

[0020] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0021] 위치 관계에 대한 설명일 경우, 예를 들어, ' ~ 상에', ' ~ 상부에', ' ~ 하부에', ' ~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.

[0022] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다. 예컨대, 도 4의 픽셀 회로에서 구성 요소들 앞에 붙여진 제1, 제2, 제3 및 제4와 같은 서수는 스위치 소자들(S1~S4)을 통해 데이터 라인들에 순차적으로 충전되는 순서를 기준으로 붙여진 것이다.

[0023] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0024] 본 발명의 전계 발광 표시장치에서 픽셀 회로들, 픽셀 회로들에 연결된 신호 배선들, 디멀티플렉서, 게이트 구동부는 다수의 트랜지스터들을 포함할 수 있다. 트랜지스터들은 n 채널 MOSFET(NMOS) 또는 p 채널 MOSFET(PMOS)을 포함할 수 있고, 표시패널의 기판 상에서 TFT(Thin film transistor)로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터는 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 채널 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 MOSFET(NMOS)에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 채널 MOSFET(PMOS) 의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 MOSFET(PMOS)에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 소스와 드레인의 명칭으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.

[0025] 게이트 라인들에 공급되는 게이트 신호와 디멀티플렉서의 스위치 소자들에 인가되는 스위치 제어 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙(swing)한다. 게이트 온 전압은 트랜지스터가 턴-온되는 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 오프 전압이다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 채널 MOSFET(NMOS)의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 MOSFET(PMOS)의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

[0026] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.

[0027] 본 발명은 디멀티플렉서(Demultiplexer, DEMUX)를 이용하여 하나의 채널을 통해 데이터 구동부로부터 출력되는 데이터 전압을 N(N은 2 이상의 짝수) 개의 데이터 라인들에 시분할 방법으로 분배한다.

[0028] 도 1을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.

[0029] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(102)과 교차되는 다수의 게이트 라인들(103), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.

[0030] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 내부 보상 회로를 포함할 수 있다. 일 예로, 픽셀 회로는 도 4의 예와 같은 회로로 구현될 수 있으나 이

에 한정되지 않는다.

[0031] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.

[0032] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)를 더 구비한다.

[0033] 표시패널 구동회로는 타이밍 콘트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 콘트롤러(130) 그리고 전원 회로는 하나의 집적 회로에 집적될 수 있다.

[0034] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 프레임 개수 만큼 변화가 없을 때 표시장치의 소비 전력을 줄이기 위하여 설정될 수 있다. 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate)를 낮춤으로써 픽셀들의 데이터 업데이트 주기를 길게 제어함으로써 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 예컨대, 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.

[0035] 데이터 구동부(110)는 매 프레임 기간마다 타이밍 콘트롤러(130)로부터 수신되는 입력 영상의 디지털 데이터를 감마 보상 전압으로 변환하여 데이터 신호를 발생한다. 데이터 구동부(110)는 채널들 각각에서 출력 버퍼를 통해 데이터 신호의 전압(이하 “데이터 전압”이라 함)을 출력한다.

[0036] 디멀티플렉서(112)는 다수의 스위치 소자들을 이용하여 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 시분할 방법으로 분배한다. 도 2에서 “S1~S4”는 디멀티플렉서(112)의 스위치 소자들을 나타낸다.

[0037] 게이트 구동부(120)는 액티브 영역(AA)의 TFT 어레이와 함께 표시패널(100) 상의 베젤 영역(BZ) 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 콘트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호는 데이터가 기입될 라인의 픽셀들을 선택하기 위한 스캔 신호와, 데이터 전압이 충전된 픽셀들의 발광 시간을 정의하는 발광 신호(이하, “EM 신호”라 함)를 포함할 수 있으나 이에 한정되지 않는다.

[0038] 게이트 라인들(103)은 도 2에 도시된 바와 같이 제N 표시라인(L(N))의 서브 픽셀들에 연결되는 제1 게이트 라인 그룹과, 제N+1 표시라인(L(N+1))의 서브 픽셀들에 연결되는 제2 게이트 라인 그룹을 포함한다. 제1 게이트 라인 그룹은 제1 내지 제3 게이트 라인들(31~33)을 포함한다. 제2 게이트 라인 그룹은 제4 내지 제6 게이트 라인들(34~36)을 포함한다. 제1 게이트 신호는 제1 내지 제3 게이트 라인들(31~33)에 공급된다. 제2 게이트 신호는 제4 내지 제6 게이트 라인들(34~36)에 공급된다. 제1 및 제2 게이트 신호는 도 3에 도시된 바와 같이 스캔 신호와 EM 신호를 포함한다. 제1 및 제2 게이트 신호는 하나의 스캔 신호를 공유한다.

[0039] 게이트 구동부(120)는 제1 게이트 구동부(121)와 제2 게이트 구동부(122)를 포함할 수 있다. 제1 게이트 구동부(121)는 스캔 신호를 출력하고, 시프트 클럭에 따라 스캔 신호를 순차적으로 시프트한다. 제2 게이트 구동부(122)는 EM 신호를 출력하고, 시프트 클럭에 따라 EM 신호를 순차적으로 시프트한다. 베젤(BZ)이 없는 모델의 경우에, 제1 및 제2 게이트 구동부들(121, 122)를 구성하는 스위치 소자들이 액티브 영역(AA) 내에 분산 배치될 수 있다.

[0040] 타이밍 콘트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기의 시스템 중 어느 하나일 수 있다.

[0041] 타이밍 콘트롤러(130)는 입력 프레임 주파수를 i(i는 0 보다 큰 양의 정수) 배 체배하여 입력 프레임 주파수×i Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에

서 50Hz이다. 타이밍 콘트롤러(130)는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.

[0042] 타이밍 콘트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)의 동작 타이밍을 제어하기 위한 스위치 제어신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터(Level shifter)를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.

[0043] 도 2는 디멀티플렉서와 서브 픽셀들의 연결 구조를 간략하게 보여 주는 도면이다. 도 3은 도 2에 도시된 픽셀 구동 신호를 보여 주는 파형도이다.

[0044] 도 2 및 도 3을 참조하면, 표시패널(100)은 다수의 표시라인들(L(N), L(N+1))을 포함한다. 표시라인들(L(N), L(N+1))은 게이트 신호에 의해 동시에 선택되는 다수의 서브 픽셀들(1011~1014)을 포함한다. 제N(N은 양의 정수) 표시라인(L(N))은 게이트 라인들(31~33)과 데이터 라인들(211, 212)에 연결된 제1 및 제2 서브 픽셀들(1011, 1012)을 포함한다. 제N+1 표시라인(L(N+1))은 게이트 라인들(34~36)과 데이터 라인들(213, 214)에 연결된 제3 및 제4 서브 픽셀들(1013, 1014)을 포함한다.

[0045] 데이터 구동부(110)는 출력 버퍼(AMP)를 통해 데이터 전압(Vdata)을 출력한다. 데이터 구동부(110)에서 임의의 채널을 통해 출력되는 데이터 신호의 전압(이하, “데이터 전압”이라 함)(Vdata)는 제1 서브 픽셀(1011)에 공급될 제1 데이터 신호, 제2 서브 픽셀(1012)에 공급될 제2 데이터 신호, 제3 서브 픽셀(1013)에 공급될 제3 데이터 신호, 제4 서브 픽셀(1014)에 공급될 제4 데이터 신호 순으로 데이터 전압을 출력한다. 데이터 구동부(110)에서 하나의 채널은 출력 버퍼(AMP)를 통해 디멀티플렉서(112)에 연결된다.

[0046] 디멀티플렉서(112)는 도 2에 도시된 바와 같이 스위치 제어신호(MUX1~MUX4)에 응답하여 데이터 구동부(110)의 하나의 채널을 네 개의 데이터 라인들(211~214)에 순차적으로 연결할 수 있다. 따라서, 디멀티플렉서(112)는 데이터 라인들(211~214)에 비하여 데이터 구동부(110)의 채널 수를 1/4로 줄일 수 있다.

[0047] 디멀티플렉서(112)는 제1 내지 제4 스위치 소자들(S1~S4)을 포함한다. 제1 스위치 소자(S1)는 제1 스위치 제어신호(MUX1)에 응답하여 출력 버퍼(AMP)를 제1 데이터 라인(211)에 연결한다. 제2 스위치 소자(S2)는 제1 스위치 제어신호(MUX1)에 이어서 발생되는 제2 스위치 제어신호(MUX2)에 응답하여 출력 버퍼(AMP)를 제2 데이터 라인(212)에 연결한다. 제3 스위치 소자(S3)는 제2 스위치 제어신호(MUX2)에 이어서 발생되는 제3 스위치 제어신호(MUX3)에 응답하여 출력 버퍼(AMP)를 제3 데이터 라인(213)에 연결한다. 제4 스위치 소자(S4)는 제3 스위치 제어신호(MUX3)에 이어서 발생되는 제4 스위치 제어신호(MUX4)에 응답하여 출력 버퍼(AMP)를 제4 데이터 라인(214)에 연결한다. 제1 내지 제4 스위치 제어신호(MUX1~DMUX4)는 데이터 라인들(211~214)에 데이터 전압이 시분할 방법으로 공급될 수 있도록 순차적으로 발생될 수 있다. 제1 스위치 소자(S1)가 제1 스위치 제어신호(MUX1)에 의해 턴-온(turn-on)되어 제1 데이터 라인(211)에 데이터 전압(Vdata)이 인가된 후에, 제2 스위치 소자(S2)가 제2 스위치 제어신호(MUX2)에 의해 턴-온되어 제2 데이터 라인(212)에 데이터 전압(Vdata)이 인가된다. 이어서, 제3 스위치 소자(S3)가 제3 스위치 제어신호(MUX3)에 의해 턴-온되어 제3 데이터 라인(213)에 데이터 전압(Vdata)이 인가된 후에, 제4 스위치 소자(S4)가 제4 스위치 제어신호(MUX4)에 의해 턴-온되어 제4 데이터 라인(214)에 데이터 전압(Vdata)이 인가된다.

[0048] 디멀티플렉서(112)는 데이터 구동부(110)의 IC가 접착될 표시패널(100)의 가장자리에 배치되거나 데이터 구동부(110)의 IC에 내장될 수 있다. 표시패널(100) 상에 디멀티플렉서(112)가 형성되면 데이터 구동부(110)의 IC 크기가 감소되어 IC 비용이 저감된다. 디멀티플렉서(112)가 데이터 구동부(110)의 IC에 내장되면 표시패널의 구동 성능이 향상될 수 있다.

[0049] 데이터 라인들(211~214) 각각에는 커패시터(C1~C4)가 연결된다. 커패시터(C1~C4)는 데이터 라인들(211~214)에 연결된 기생 용량(parasitic capacitance) 일 수 있다. 기생 용량이 작으면, 데이터 라인들(211, 214)에 별도의 커패시터가 연결될 수도 있다. 제1 및 제3 데이터 라인들(211, 213)은 그 사이에 서브 픽셀 없이 이웃한다. 제2 및 제4 데이터 라인들(212, 214)은 그 사이에 서브 픽셀 없이 이웃한다. 따라서, 좌우로 이웃한 서브 픽셀들 사이에 두 개의 데이터 라인들이 이웃한다. 이 데이터 라인들 간의 기생 용량이 최소화되도록 설계되어야

한다. 일 예로 이웃한 데이터 라인들 사이의 절연층이 유전율이 낮은 절연 물질로 두껍게 형성될 수 있다.

[0050] 디멀티플렉서(112)의 스위치 소자들(S1~S4)과 커패시터(C1~C4)는 데이터 전압을 샘플링한다. 제1 및 제2 데이터 라인들(211, 214)에 연결된 스위치 소자(S1, S2)와 커패시터(C1, C2)는 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)에 공급될 데이터 전압(Vdata)을 샘플링하고 유지한다. 제3 및 제4 데이터 라인들(213, 214)에 연결된 스위치 소자(S3, S4)와 커패시터(C3, C4)는 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014)에 공급될 데이터 전압(Vdata)을 샘플링하고 유지한다.

[0051] 서브 픽셀들 각각에 형성된 픽셀 회로에 픽셀 구동 전압(VDD), 저전위 전원 전압(VSS), 초기화 전압(VINI) 등의 전원 전압이 공급된다. 전원 전압은 VDD=5V, VSS=-5V, VINI=1V~-1V 일 수 있으나 이에 한정되지 않는다. 게이트 신호와 스위치 제어 신호는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙한다. VGH와 VGL은 VGH=10V, VGL=-5V일수 있으나 이에 한정되지 않는다. 데이터 전압(Vdata)은 5V ~ 1V 사이의 전압일 수 있으나 이에 한정되지 않는다. 이러한 전압은 표시패널의 구동특성이나 제품 모델에 따라 달라질 수 있다.

[0052] 제1 서브 픽셀(1011)은 제1 스위치 소자(S1), 제1 커패시터(C1), 제1 데이터 라인(211) 및 제1 내지 제3 게이트 라인들(31~33)에 연결된다. 제2 서브 픽셀(1012)은 제2 스위치 소자(S2), 제2 커패시터(C2), 제2 데이터 라인(212) 및 제1 내지 제3 게이트 라인들(31~33)에 연결된다. 제3 서브 픽셀(1013)은 제3 스위치 소자(S3), 제3 커패시터(C3), 제3 데이터 라인(213) 및 제4 내지 제6 게이트 라인들(34~36)에 연결된다. 제4 서브 픽셀(1014)은 제4 스위치 소자(S4), 제4 커패시터(C4), 제4 데이터 라인(214) 및 제4 내지 제6 게이트 라인들(34~36)에 연결된다.

[0053] 게이트 신호는 스캔 신호와 EM 신호를 포함한다. 제1 게이트 라인(31)에 제N-1 스캔 신호(SCAN(N-1))가 인가된다. 제N-1 스캔 신호(SCAN(N-1)는 제1 및 제2 서브 픽셀들(1011, 1012)에 기입될 제1 및 제2 데이터 신호(D1, D2)와 동기되는 게이트 온 전압의 펄스로 발생된다. 제N-1 스캔 신호(SCAN(N-1))에 이어서 제N 스캔 신호(SCAN(N))가 발생된다. 제N 스캔 신호(SCAN(N))는 제3 및 제4 서브 픽셀들(1013, 1014)에 기입될 제3 및 제4 데이터 신호(D3, D4)와 동기되는 게이트 온 전압의 펄스로 발생된다. 제N 스캔 신호(SCAN(N))에 이어서 제N+1 스캔 신호(SCAN(N))가 발생된다. 제N+1 스캔 신호(SCAN(N+1))는 도시하지 않은 제N+1 표시라인의 제5 및 제6 서브 픽셀들에 기입될 제5 및 제6 데이터 신호(D5, D6)와 동기되는 게이트 온 전압의 펄스로 발생된다. 스캔 신호(SCAN(N-1)~SCAN(N+1)) 각각은 1 수평 기간(1H)의 펄스폭을 갖는다.

[0054] 제N-1 스캔 신호(SCAN(N-1)는 제1 및 제2 스위치 제어신호(MUX1, MUX2)와 중첩되도록 이 스위치 제어신호(MUX1, MUX2)에 동기된다. 제N 스캔 신호(SCAN(N)는 제3 및 제4 스위치 제어신호(MUX3, MUX4)와 중첩되도록 이 스위치 제어신호(MUX3, MUX4)에 동기된다. 스위치 제어신호(MUX1~MUX4) 각각의 펄스폭은 대략 1/2 수평 기간이다.

[0055] 제N EM 신호(EM(N))는 제N 표시라인(L(N))의 발광 시간을 정의한다. 제N EM 신호(EM(N))는 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)이 초기화되고 샘플링되는 기간 동안 그 서브 픽셀들(1011, 1012)의 발광을 차단한 후에, 서브 픽셀들(1011, 1012)을 발광시키는 제N 표시라인(L(N))의 발광 시간을 정의한다. 제N EM 신호(EM(N))는 게이트 오프 전압의 펄스로 발생된다. 제N EM 신호(EM(N))는 제N-2 및 제N+1 스캔 신호(SCAN(N-2), SCAN(N))와 중첩되는 대략 4 수평 기간의 펄스폭을 갖는다. 제N+1 EM 신호(EM(N+1))는 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014)이 초기화되고 샘플링되는 기간 동안 그 서브 픽셀들(1013, 1014)의 발광을 차단한 후에, 서브 픽셀들(1013, 1014)을 발광시키는 제N+1 표시라인(L(N+1))의 발광 시간을 정의한다. 제N+1 EM 신호(EM(N+1))는 게이트 오프 전압의 펄스로 발생된다. 제N+1 EM 신호(EM(N+1))는 제N-1 및 제N+2 스캔 신호(SCAN(N-1) ~ SCAN(N+2))와 중첩되는 대략 4 수평 기간의 펄스폭을 갖는다. 도면에서 생략된 제N+2 스캔 신호(SCAN(N+2)는 제N+1 스캔 신호(SCAN(N+1))에 이어서 1 수평 기간(1H)의 펄스폭으로 발생된다.

[0056] 도 4는 본 발명의 실시예에 따른 픽셀 회로의 예를 보여 주는 회로도이다. 도 4의 픽셀 회로는 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)에 적용된 픽셀 회로이다. 제N+1 표시라인(L(N+1))의 서브 픽셀들(1011, 1012)의 경우에, 게이트 신호가 도 3에 도시된 제2 게이트 신호(SCAN(N), SCAN(N+1), EM(N+1)이 도 4에 도시된 픽셀 회로에 인가된다.

[0057] 도 4를 참조하면, 픽셀 회로의 일 예는 발광 소자(EL)와, 다수의 TFT들(Thin Film Transistor)(T1~T6, DT), 스토리지 커패시터(Cst) 등을 포함한다. TFT들(T1~T6, DT)은 p 타입 TFT(PMOS)로 구현될 수 있으나 이에 한정되지 않는다.

[0058] 스위치 TFT들(T1, T2, T5, T6)은 게이트 신호에 따라 온/오프되어 픽셀 회로를 초기화한 후, 샘플링 단계에서 구동 소자(DT)의 문턱 전압 샘플링 패스(path)를 형성하고, 데이터 전압(Vdata)을 스토리지 커패시터(Cst)에 공

급한다. 스위치 TFT들(T3, T4)은 구동 소자(DT)와 발광 소자(DT) 사이의 전류 패스를 스위칭한다. 구동 소자(DT)의 게이트와 드레인이 연결될 때, 구동 소자(DT)가 다이오드 형태로 동작하여 구동 소자(DT)의 소스-게이트 간 전압이 구동 소자(DT)의 문턱 전압까지 상승하여 스토리지 커패시터(Cst)에 샘플링된다.

[0059] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제6 노드(n6)를 통해 제4 및 제6 스위치 TFT들(T4, T6)에 연결된다. OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극에 연결된다. OLED는 구동 TFT(DT)를 통해 공급되는 전류로 발광한다. OLED의 전류 패스는 제3 및 제4 스위치 TFT(T3, T4)에 의해 스위칭된다.

[0060] 스토리지 커패시터(Cst)는 제1 노드(n1)와 제2 노드(n2) 사이에 연결된다. 구동 TFT(DT)의 문턱 전압(Vth)만큼 보상된 데이터 전압(Vdata)이 스토리지 커패시터(Cst)에 충전된다. 서브 픽셀들(101) 각각에서 데이터 전압(Vdata)은 구동 TFT(DT)의 문턱 전압(Vth)만큼 보상되기 때문에서 서브 픽셀들(101)에서 구동 TFT(DT)의 특성 편차가 보상되어 균일한 구동 특성으로 구동될 수 있다.

[0061] 제1 스위치 TFT(T1)는 제N 스캔 신호(SCAN(N))에 응답하여 제1 노드(n1)와 제4 노드(n4)를 연결한다. 제1 노드(n1)는 구동 TFT(DT)의 게이트, 스토리지 커패시터(Cst)의 제1 전극, 및 제1 스위치 TFT(T1)의 제1 전극에 연결된다. 제4 노드(n4)는 구동 TFT(DT)의 제2 전극, 제1 스위치 TFT(T1)의 제2 전극, 및 제4 스위치 TFT(T4)의 제1 전극에 연결된다. 제1 스위치 TFT(T1)의 게이트는 제N 스캔 신호(SCAN(N))를 공급 받는다. 제1 스위치 TFT(T)의 제1 전극은 제1 노드(n1)에 연결되고, 제1 스위치 TFT(T1)의 제2 전극은 제4 노드(n4)에 연결된다.

[0062] 제2 스위치 TFT(T2)는 제N 스캔 신호(SCAN1)에 응답하여 데이터 전압(Vdata)을 제3 노드(n3)에 공급한다. 제2 스위치 TFT(T2)의 게이트는 제N 스캔 신호(SCAN(N))를 공급 받는다. 제2 스위치 TFT(T2)의 제1 전극은 제3 노드(n3)에 연결된다. 제2 스위치 TFT(T2)의 제2 전극은 데이터 라인을 통해 데이터 전압(Vdata)을 공급 받는다. 제3 노드(n3)는 제2 스위치 TFT(T20의 제1 전극, 제3 TFT(T3)의 제2 전극, 및 구동 TFT(DT)의 제2 전극에 연결된다.

[0063] 제3 스위치 TFT(T3)는 EM 신호(EM(N))에 응답하여 제2 노드(n2)를 제3 노드(n3)에 연결한다. 제3 스위치 TFT(T3)의 게이트는 EM 신호(EM(N))를 공급 받는다. 제3 스위치 TFT(T3)의 제1 전극은 제2 노드(n2)에 연결된다. 제3 스위치 TFT(T3)의 제2 전극은 제3 노드(n3)에 연결된다. 제2 노드(n2)는 픽셀 구동 전압(VDD)이 공급되는 VDD 라인과, 스토리지 커패시터(Cst)의 제2 전극에 연결된다.

[0064] 제4 스위치 TFT(T4)는 EM 신호(EM(N))에 응답하여 제4 노드(n4)를 제6 노드(n6)에 연결한다. 제5 노드(n5)는 제4 스위치 TFT(T4)의 제2 전극, 제6 스위치 TFT(T6)의 제2 전극, 및 발광 소자(EL)의 애노드에 연결된다. 제4 스위치 TFT(T4)의 게이트는 EM 신호(EM(N))를 공급 받는다. 제4 스위치 TFT(T4)의 제1 전극은 제4 노드(n4)에 연결되고, 제2 전극은 제6 노드(n6)에 연결된다. 제6 노드(n6)는 제4 스위치 TFT(T4)의 제2 전극, 제6 스위치 TFT(T6)의 제2 전극, 및 발광 소자(EL)의 애노드에 연결된다.

[0065] 제5 스위치 TFT(T5)는 제N-1 스캔 신호(SCAN(N-1))에 응답하여 제1 노드(n1)를 제5 노드(n1)에 연결한다. 제5 노드(n5)는 초기화 전압(Vini)이 공급되는 Vini 라인, 제5 스위치 TFT(T5)의 제2 전극, 및 제6 스위치 TFT(T6)의 제1 전극에 연결된다. 제5 스위치 TFT(T5)의 게이트는 제N-1 스캔 신호(SCAN(N-1))를 공급 받는다. 제5 스위치 TFT(T5)의 제1 전극은 제1 노드(n1)에 연결되고, 제2 전극은 제5 노드(n5)에 연결된다.

[0066] 제6 스위치 TFT(T6)는 제N 스캔 신호(SCAN(N))에 응답하여 제5 노드(n5)를 제6 노드(n6)에 연결한다. 제6 스위치 TFT(T6)의 게이트는 제N 스캔 신호(SCAN(N))를 공급 받는다. 제6 스위치 TFT(T6)의 제1 전극은 제5 노드(n5)에 연결되고, 제2 전극은 제6 노드(n6)에 연결된다.

[0067] 구동 TFT(DT)는 소스-게이트 간 전압(Vsg)에 따라 발광 소자(EL)에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 제1 노드(n1)에 연결된 게이트, 제3 노드(n3) 에 연결된 제1 전극, 및 제2 노드(n2)에 연결된 제3 전극을 포함한다.

[0068] 도 5는 본 발명의 실시예에 따른 전계 발광 표시장치의 동작을 간략히 보여 주는 회로도이다. 도 5는 도 2와 같은 네 개의 서브 픽셀들(1011~1014)에 도 4에 도시된 픽셀 회로가 적용된 예이다.

[0069] 도 5를 참조하면, 본 발명은 서브 픽셀들(1011~1014)의 초기화, 데이터 라인들(211~214)의 충전, 및 구동 TFT들(DT1~DT4)의 문턱 전압 샘플링을 동시에 실시함으로써 샘플링 오류로 인한 서브 픽셀들의 오동작을 방지하고 샘

플링 시간을 충분히 확보할 수 있다. 기존의 디멀티플렉서가 적용된 표시장치에 비하여 서브 픽셀들의 샘플링 시간이 두 배 확보될 수 있다.

[0070] 본 발명은 1 수평 기간(1H) 동안, 굵은 실선으로 도시된 바와 같이 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)을 초기화함과 동시에 데이터 라인들(211, 212)의 커패시터(C1, C2)에 데이터 전압(Vdata)을 충전한다. 본 발명은 다음 1 수평 기간(1H) 동안, 굵은 점선으로 도시된 바와 같이 커패시터(C1, C2)에 충전된 데이터 전압(Vdata)을 서브 픽셀들(1011, 1012)에 공급하고 구동 TFT들(DT1, DT2)의 문턱 전압을 샘플링함과 동시에, 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014)을 초기화하고 데이터 라인들(213, 214)의 커패시터(C1, C2)에 충전한다.

[0071] 도 6 내지 도 13은 본 발명의 실시예에 따른 전계 발광 표시장치의 동작을 단계적으로 보여 주는 도면들이다.

[0072] 도 6 및 도 7을 참조하면, 제1 기간(t01) 동안 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)에 제N-1 스캔 신호(SCAN(N-1))가 인가된다. 제1 기간(t01) 동안, 데이터 구동부(110)는 디멀티플렉서(112)를 통해 제1 내지 제4 데이터 라인들(211~214)에 연결된 하나의 채널을 통해 제1 기간(t01) 동안 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012))에 공급될 데이터 전압(Vdata)을 제N-1 스캔 신호(SCAN(N-1))에 동기하여 순차적으로 출력한다. 도 7에서 "D1"은 제1 서브 픽셀(1011)에 공급될 제1 데이터 전압(D1)이고, "D2"는 제2 서브 픽셀(1012)에 공급될 제2 데이터 전압(D2)이다. 제N-1 스캔 신호(SCAN(N-1))는 제1 및 제2 스위치 제어신호(MUX1, MUX2)와 중첩된다.

[0073] 제1 기간(t01) 동안, 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)에서 제5 스위치 TFT(T5)가 턴-온됨과 동시에 제1 스위치 소자(S1)가 턴-온된 후, 제2 스위치 소자(S2)가 턴-온된다. 따라서, 제1 및 제2 서브 픽셀들(1011, 1012)이 초기화됨과 동시에 이 서브 픽셀들(1011, 1012)에 연결된 데이터 라인들(211, 212)의 커패시터(C1, C2)에 데이터 전압(D1, D2)이 충전된다. 서브 픽셀들(1011, 1012)에서, 초기화 전압(VINI)이 제1 노드(n1)에 공급되어 구동 TFT(DT1, DT2)는 턴-온되고 스토리지 커패시터(Cst)는 초기화 전압(VINI)으로 초기화된다.

[0074] 도 8 및 도 9를 참조하면, 제2 기간(t02) 동안 제N 및 제N+1 표시라인들(L(N), L(N+1))의 서브 픽셀들(1011, 1012)에 제N 스캔 신호(SCAN(N))가 인가된다. 따라서, 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)에서 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되어 데이터 라인들(211, 212)에 충전된 데이터 전압(D1, D2)이 제1 노드(n1)에 인가된다. 그 결과, 서브 픽셀들(1011, 1012)에서 구동 TFT(DT1, DT2)의 문턱 전압(Vth) 만큼 보상된 데이터 전압 Vdata+Vth이 스토리지 커패시터(Cst)에 저장된다. 이 데이터 전압 Vdata+Vth이 서브 픽셀들(1011, 1012)의 휘도를 표현하는 전압이다. 이와 동시에, 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014)은 초기화되고, 이 서브 픽셀들(1013, 1014)에 연결되는 데이터 라인들(213, 214)에 데이터 전압(Vdata)이 충전된다.

[0075] 제2 기간(t02) 동안, 데이터 구동부(110)는 하나의 채널을 통해 제2 기간(t02) 동안 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014))에 공급될 데이터 전압(Vdata)을 제N 스캔 신호(SCAN(N))에 동기하여 순차적으로 출력한다. 도 9에서 "D3"는 제3 서브 픽셀(1013)에 공급될 제3 데이터 전압(D3)이고, "D4"는 제4 서브 픽셀(1014)에 공급될 제4 데이터 전압(D4)이다. 제N 스캔 신호(SCAN(N))는 제3 및 제4 스위치 제어신호(MUX3, MUX4)와 중첩된다.

[0076] 제2 기간(t02) 동안, 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014)에서 제5 스위치 TFT(T5)가 턴-온됨과 동시에 제3 스위치 소자(S3)가 턴-온된 후, 제4 스위치 소자(S4)가 턴-온된다. 따라서, 제3 및 제4 서브 픽셀들(1013, 1014)이 초기화됨과 동시에 이 서브 픽셀들(1013, 1014)에 연결된 데이터 라인들(213, 214)의 커패시터(C3, C4)에 데이터 전압(D3, D4)이 충전된다. 서브 픽셀들(1013, 1014)에서, 초기화 전압(VINI)이 제1 노드(n1)에 공급되어 구동 TFT(DT3, DT4)는 턴-온되고 스토리지 커패시터(Cst)는 초기화 전압(VINI)으로 초기화된다.

[0077] 도 10 및 도 11을 참조하면, 제3 기간(t03) 동안 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014)에 제N+1 스캔 신호(SCAN(N+1))가 인가된다. 따라서, 제N+1 표시라인(L(N+1))의 서브 픽셀들(1013, 1014)에서 제1 및 제2 스위치 TFT들(T1, T2)이 턴-온되어 데이터 라인들(213, 214)에 충전된 데이터 전압(D3, D4)이 제1 노드(n1)에 인가된다. 그 결과, 서브 픽셀들(1013, 1014)에서 구동 TFT(DT3, DT4)의 문턱 전압(Vth) 만큼 보상된 데이터 전압 Vdata+Vth이 스토리지 커패시터(Cst)에 저장된다. 이 데이터 전압 Vdata+Vth이 서브 픽셀들(1013, 1014)의 휘도를 표현하는 전압이다.

[0078] 도 12 및 도 13을 참조하면, 제3 기간(t03) 동안 샘플링이 끝난 제N 표시라인(L(N))의 서브 픽셀들(1013, 1014)에 EM 신호(EM(N))가 게이트 온 전압(VGL)으로 인가된다. 이 때, 제N 표시라인(L(N))의 서브 픽셀들(1011, 1012)에서 발광 소자들(EL)이 구동 TFT(DT1, DT2)를 통해 흐르는 전류로 발광한다.

[0079] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0080] 100 : 표시패널 101, 1011~1014 : 서브 픽셀

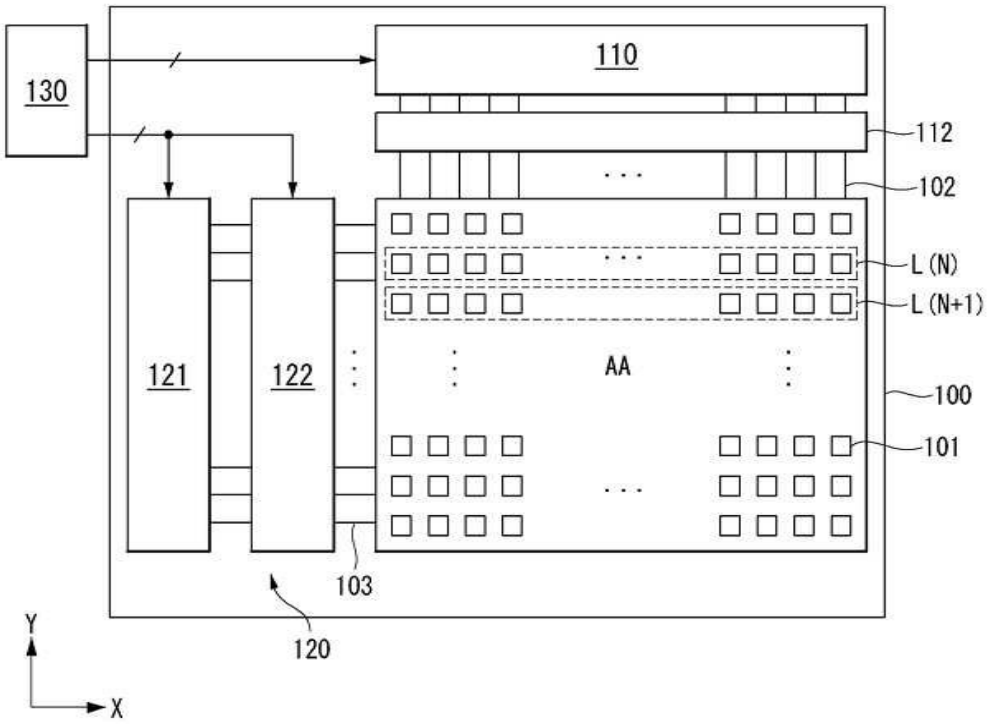
102, 211~214 : 데이터 라인 103, 31~36 : 게이트 라인

110 : 데이터 구동부 120 : 게이트 구동부

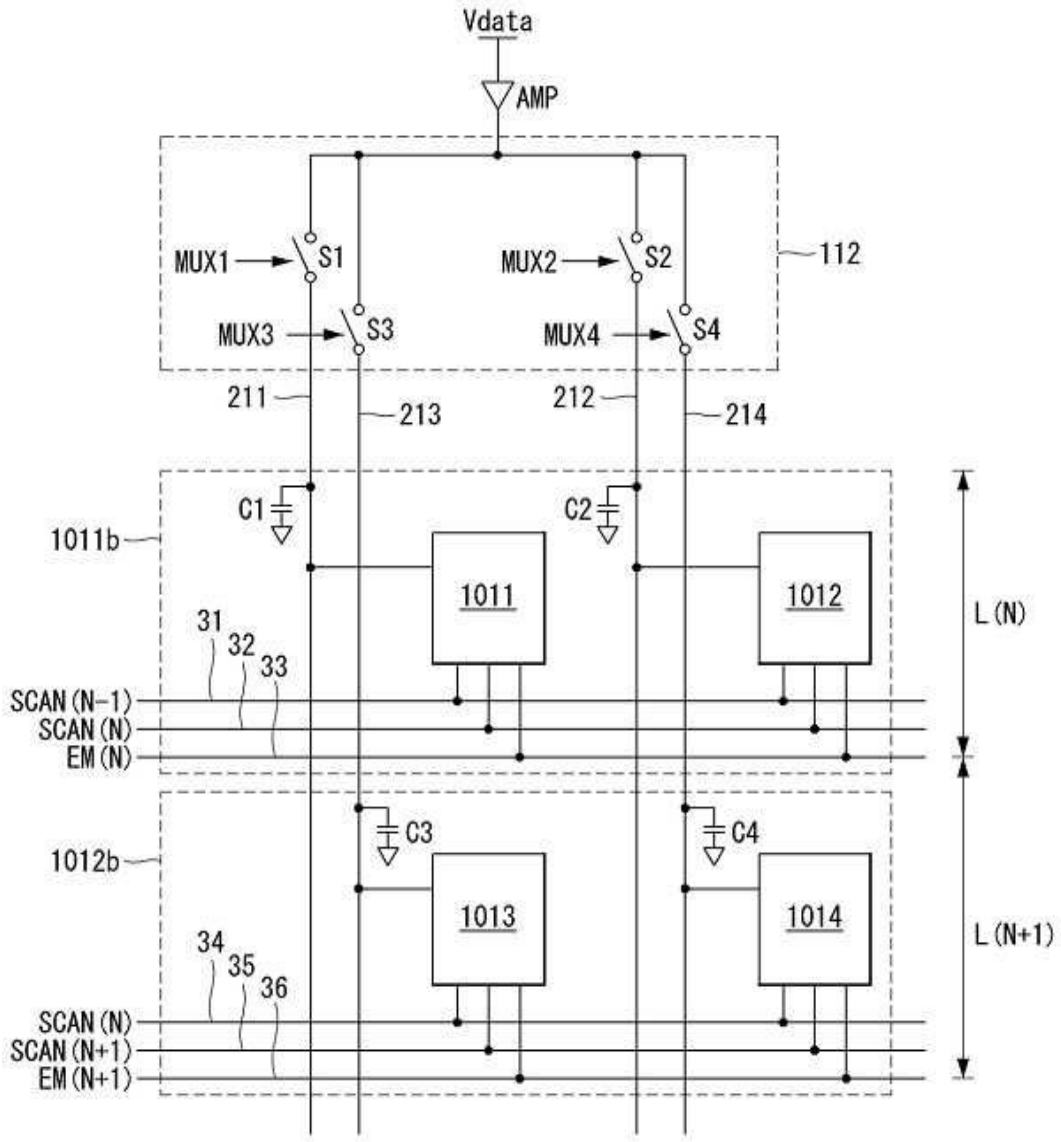
130 : 타이밍 콘트롤러

도면

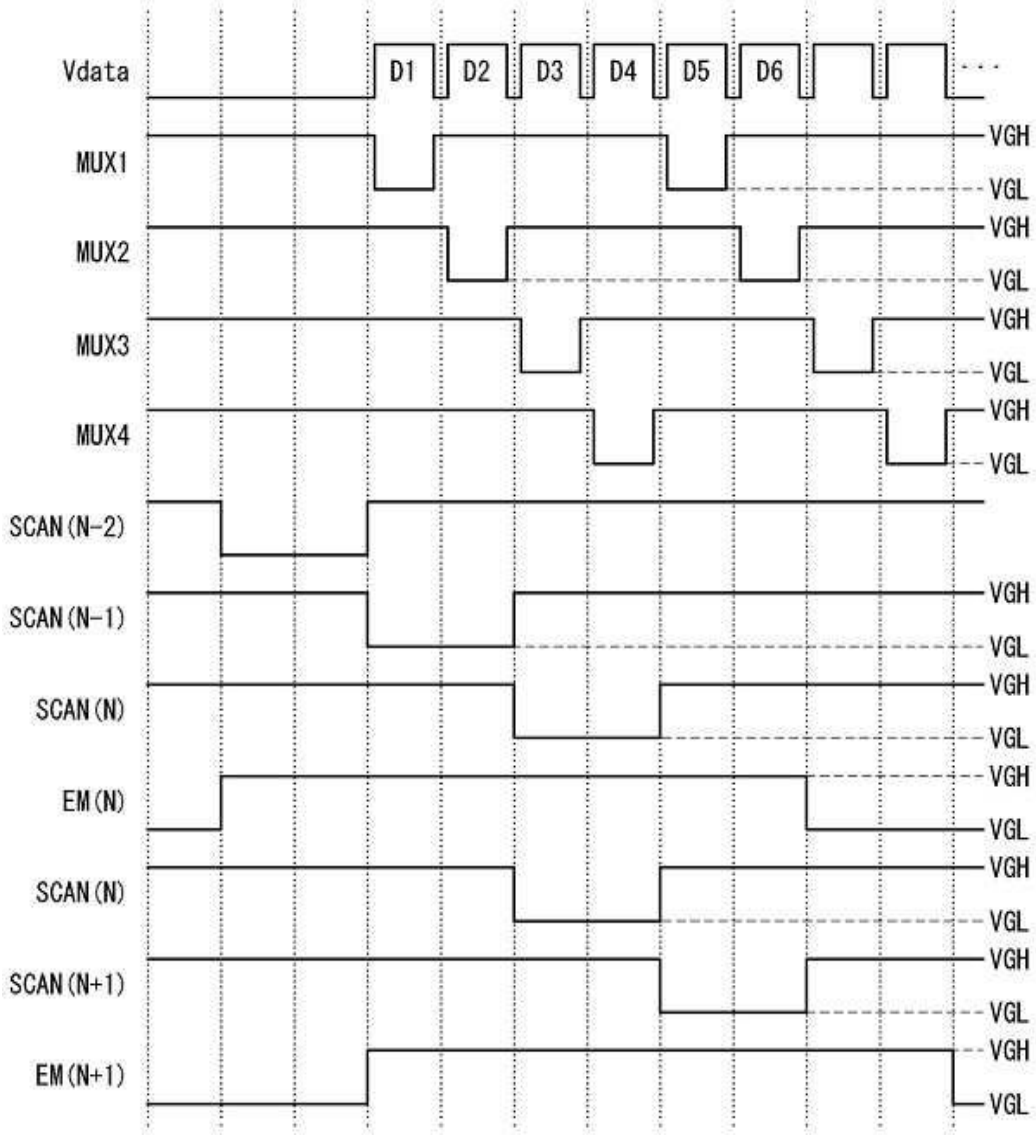
도면1



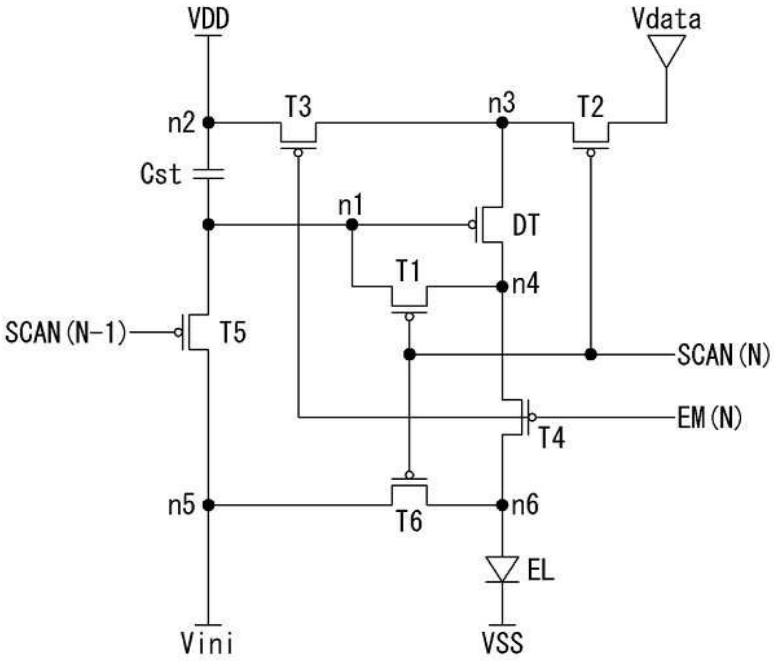
도면2


Vdata
AMP
MUX1
S1
MUX2
S2
112
MUX3
S3
MUX4
S4
211
213
212
214
C1
C2
1011b
1011
1012
L(N)
31
32
33
SCAN(N-1)
SCAN(N)
EM(N)
C3
C4
1012b
1013
1014
L(N+1)
34
35
36
SCAN(N)
SCAN(N+1)
EM(N+1)

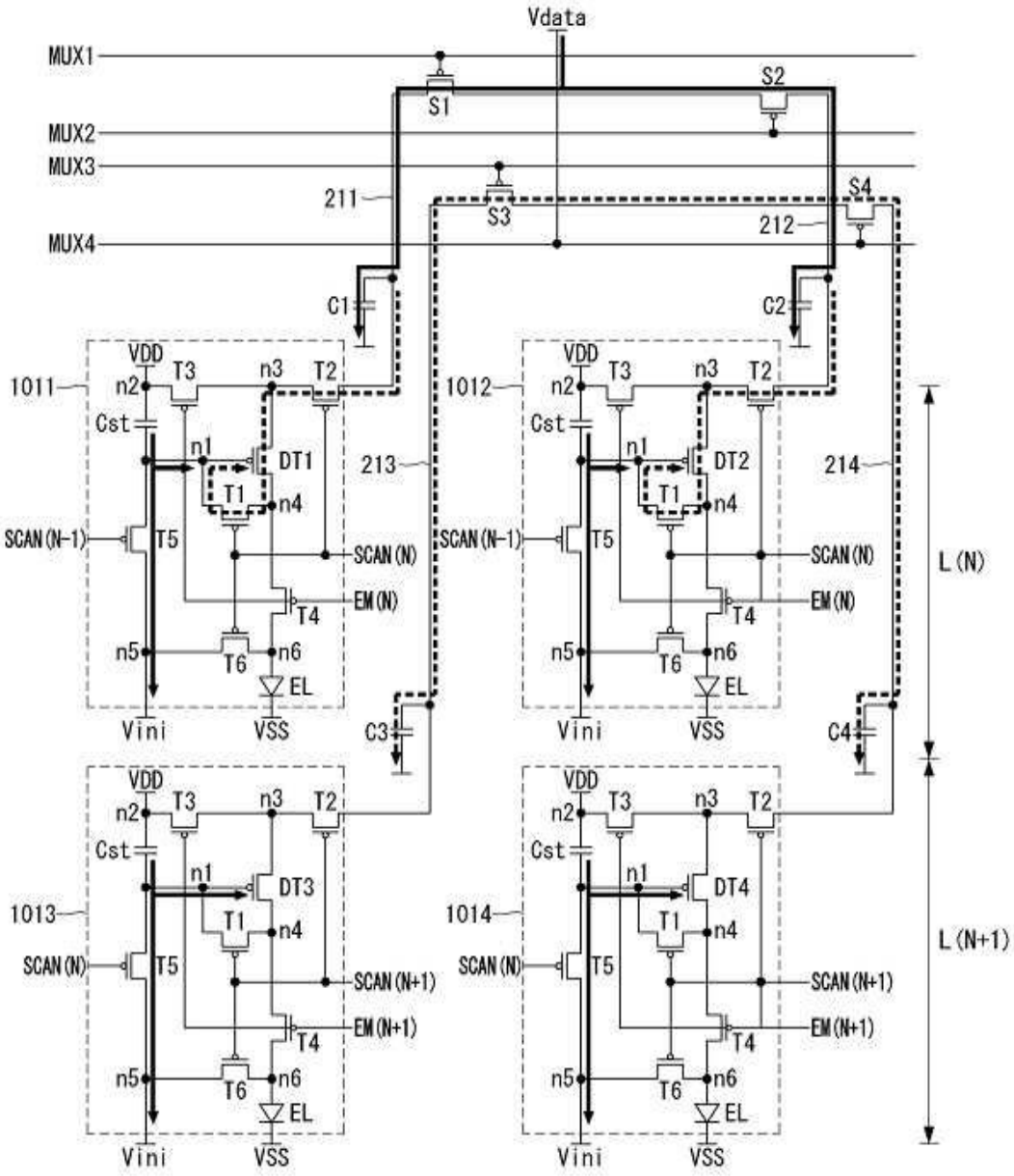
도면3


Vdata
D1
D2
D3
D4
D5
D6
MUX1
MUX2
MUX3
MUX4
SCAN(N-2)
SCAN(N-1)
SCAN(N)
EM(N)
SCAN(N)
SCAN(N+1)
EM(N+1)
VGH
VGL

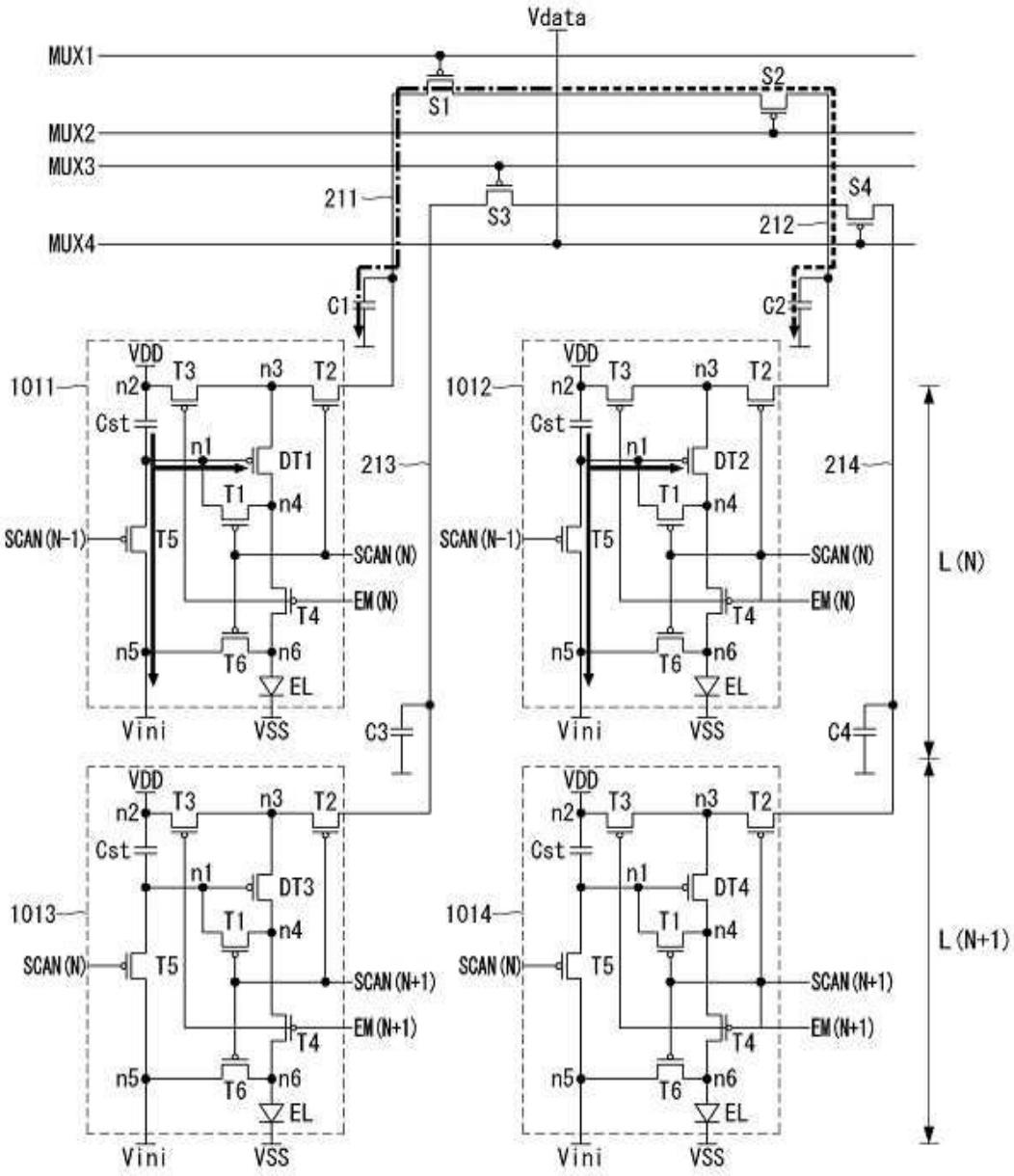
도면4


VDD
Vdata
n2
T3
n3
T2
Cst
n1
DT
T1
n4
SCAN(N-1)
T5
SCAN(N)
EM(N)
T4
n5
T6
n6
EL
Vini
VSS

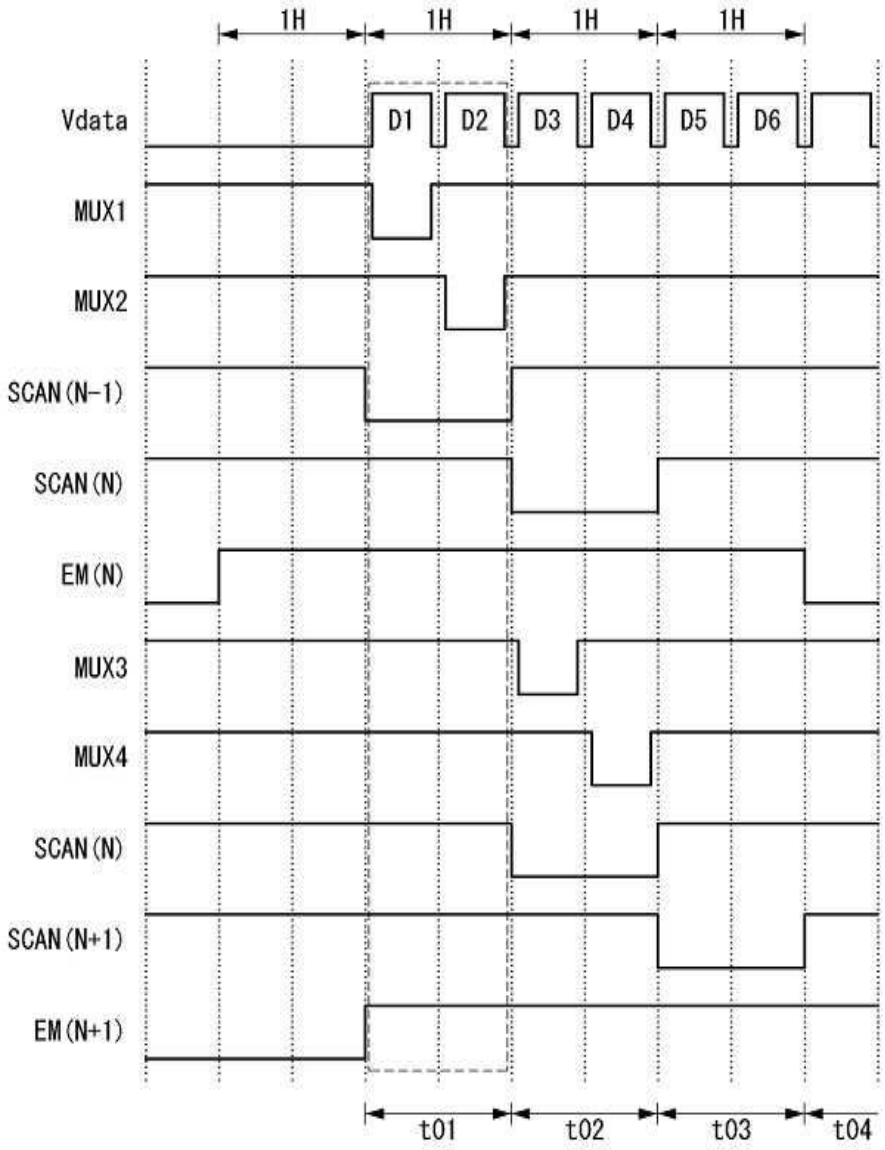
도면5


Vdata
MUX1
MUX2
MUX3
MUX4
S1
S2
S3
S4
211
212
213
214
C1
C2
C3
C4
1011
1012
1013
1014
VDD
T1
T2
T3
T4
T5
T6
n1
n2
n3
n4
n5
n6
Cst
DT1
DT2
DT3
DT4
EL
Vini
VSS
SCAN(N-1)
SCAN(N)
SCAN(N+1)
EM(N)
EM(N+1)
L(N)
L(N+1)

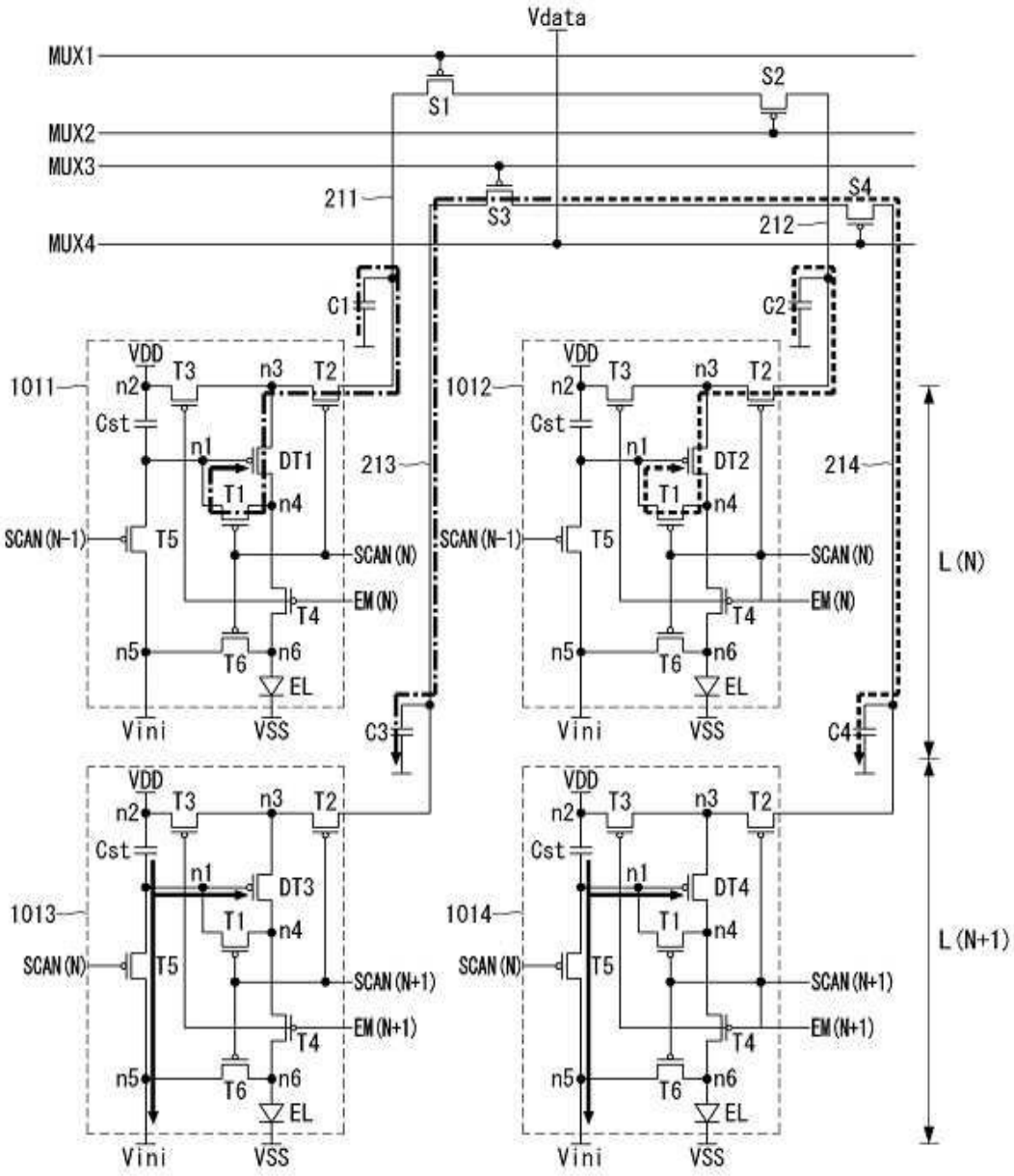
도면6


Vdata
MUX1
MUX2
MUX3
MUX4
S1
S2
S3
S4
211
212
213
214
C1
C2
C3
C4
1011
1012
1013
1014
VDD
T1
T2
T3
T4
T5
T6
n1
n2
n3
n4
n5
n6
Cst
DT1
DT2
DT3
DT4
EL
Vini
VSS
SCAN (N-1)
SCAN (N)
SCAN (N+1)
EM (N)
EM (N+1)
L (N)
L (N+1)

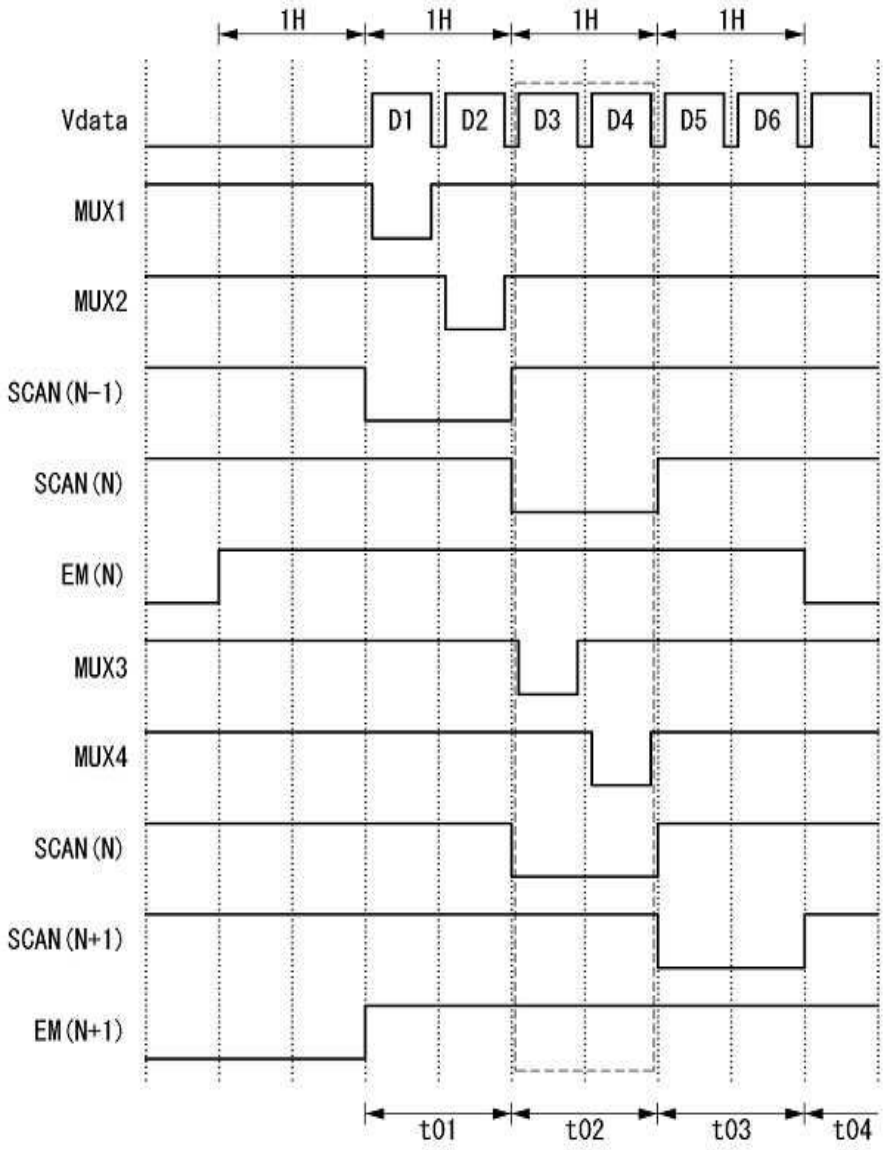
도면7


1H
1H
1H
1H
Vdata
D1
D2
D3
D4
D5
D6
MUX1
MUX2
SCAN(N-1)
SCAN(N)
EM(N)
MUX3
MUX4
SCAN(N)
SCAN(N+1)
EM(N+1)
t01
t02
t03
t04

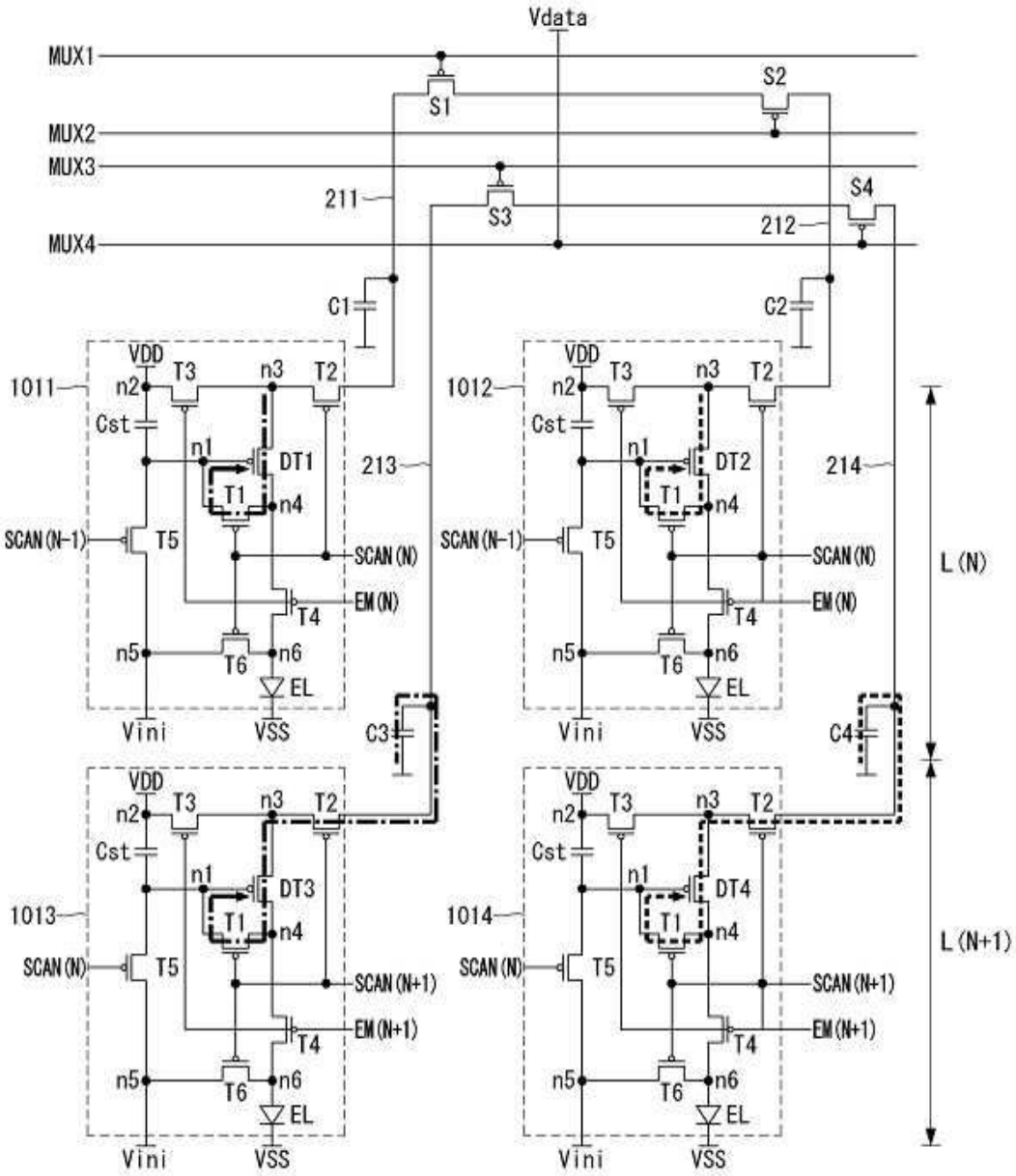
도면8


Vdata
MUX1
MUX2
MUX3
MUX4
S1
S2
S3
S4
211
212
213
214
C1
C2
C3
C4
1011
1012
1013
1014
VDD
T1
T2
T3
T4
T5
T6
n1
n2
n3
n4
n5
n6
Cst
DT1
DT2
DT3
DT4
EL
Vini
VSS
SCAN(N-1)
SCAN(N)
SCAN(N+1)
EM(N)
EM(N+1)
L(N)
L(N+1)

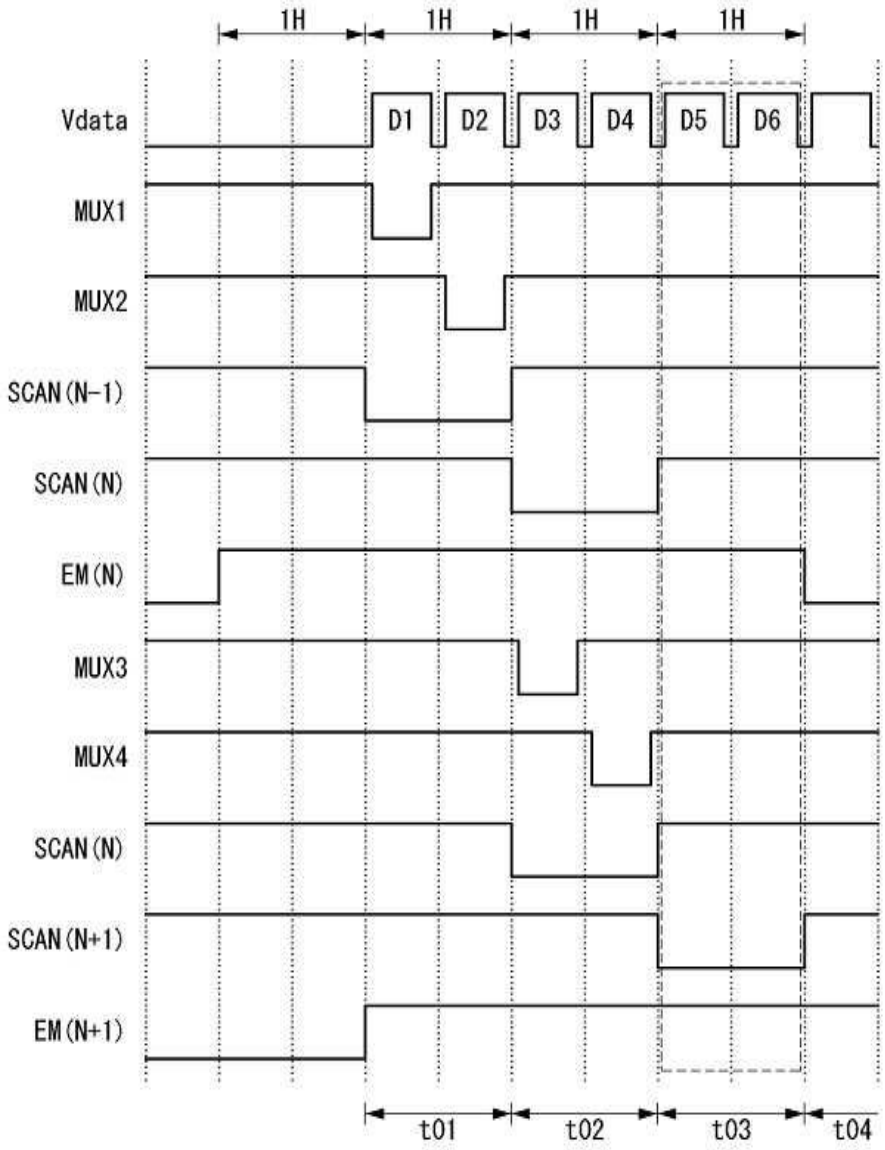
도면9


1H
1H
1H
1H
Vdata
D1
D2
D3
D4
D5
D6
MUX1
MUX2
SCAN(N-1)
SCAN(N)
EM(N)
MUX3
MUX4
SCAN(N)
SCAN(N+1)
EM(N+1)
t01
t02
t03
t04

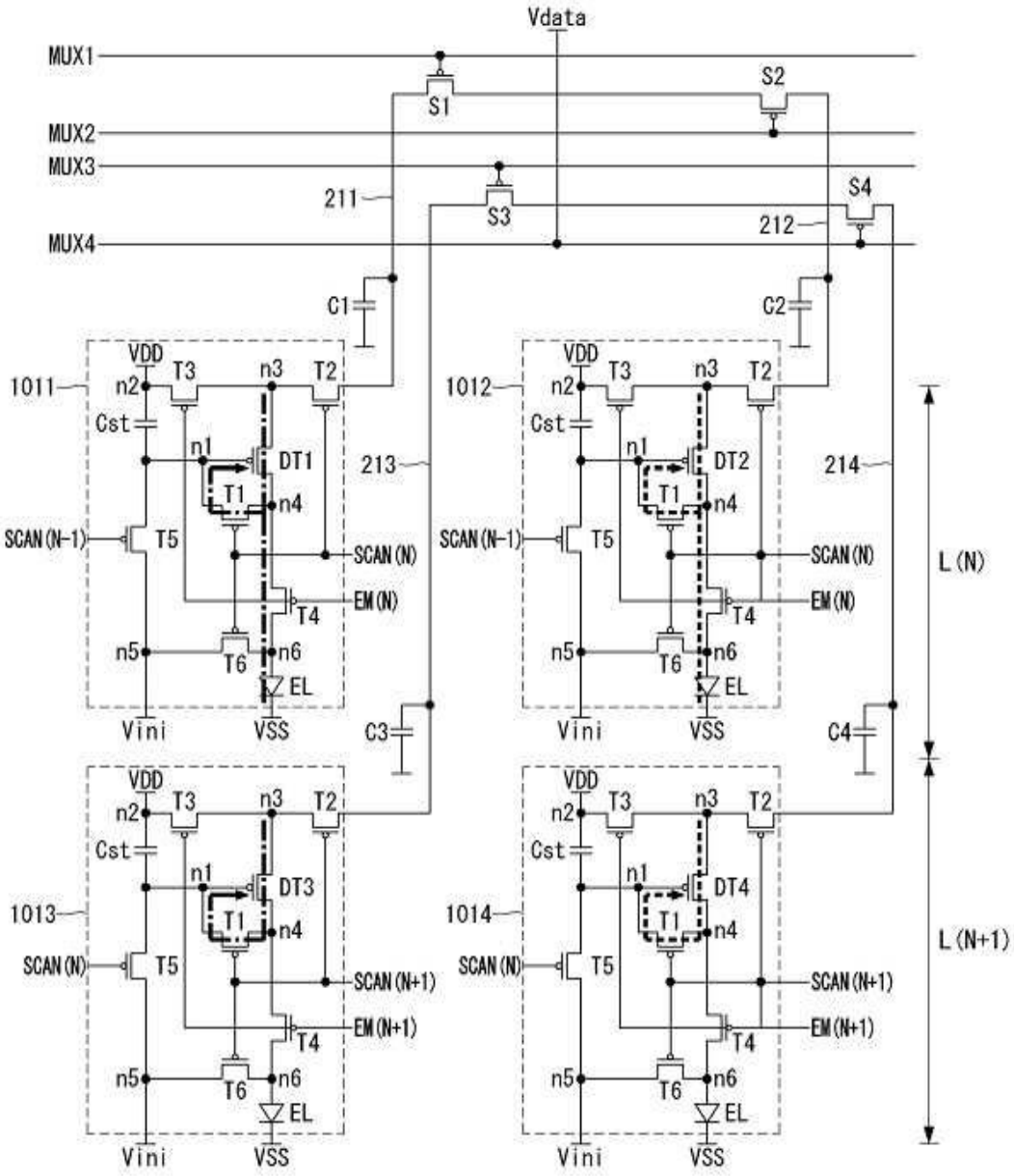
도면10


Vdata
MUX1
MUX2
MUX3
MUX4
S1
S2
S3
S4
211
212
213
214
C1
C2
C3
C4
1011
1012
1013
1014
VDD
T1
T2
T3
T4
T5
T6
DT1
DT2
DT3
DT4
Cst
n1
n2
n3
n4
n5
n6
EL
Vini
VSS
SCAN (N-1)
SCAN (N)
SCAN (N+1)
EM (N)
EM (N+1)
L (N)
L (N+1)

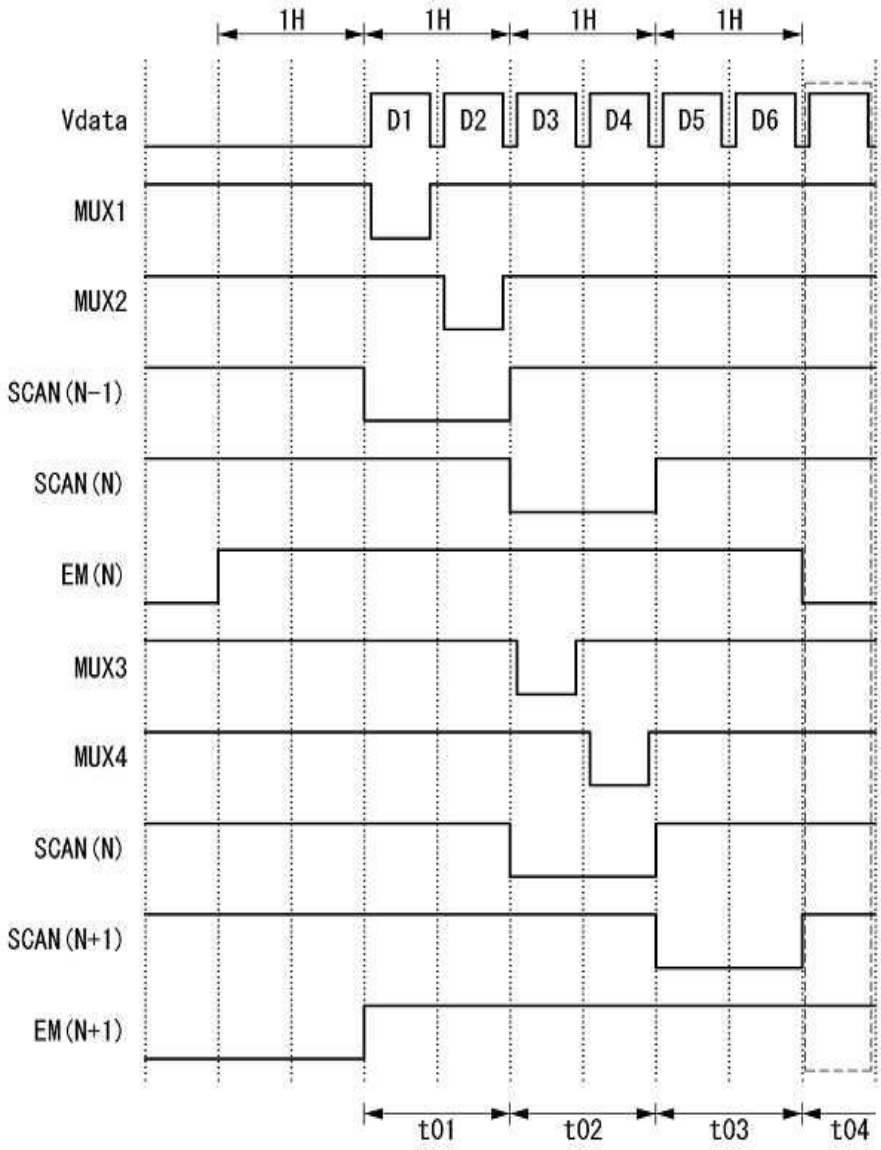
도면11


1H
1H
1H
1H
Vdata
D1
D2
D3
D4
D5
D6
MUX1
MUX2
SCAN(N-1)
SCAN(N)
EM(N)
MUX3
MUX4
SCAN(N)
SCAN(N+1)
EM(N+1)
t01
t02
t03
t04

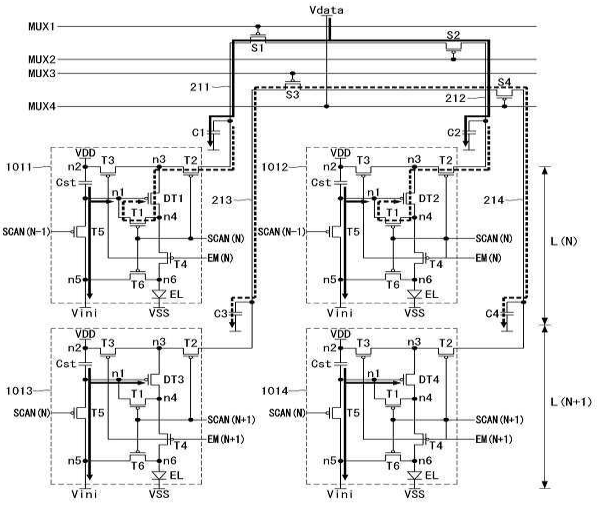
도면12


Vdata
MUX1
MUX2
MUX3
MUX4
S1
S2
S3
S4
211
212
213
214
C1
C2
C3
C4
1011
1012
1013
1014
VDD
T1
T2
T3
T4
T5
T6
DT1
DT2
DT3
DT4
n1
n2
n3
n4
n5
n6
Cst
EL
Vini
VSS
SCAN (N-1)
SCAN (N)
SCAN (N+1)
EM (N)
EM (N+1)
L (N)
L (N+1)

도면13


1H
1H
1H
1H
Vdata
D1
D2
D3
D4
D5
D6
MUX1
MUX2
SCAN(N-1)
SCAN(N)
EM(N)
MUX3
MUX4
SCAN(N)
SCAN(N+1)
EM(N+1)
t01
t02
t03
t04

专利名称(译)	显示面板和使用其的电致发光显示器		
公开(公告)号	KR1020190044961A	公开(公告)日	2019-05-02
申请号	KR1020170137632	申请日	2017-10-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정문수 상우규 신승환		
发明人	정문수 상우규 신승환		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2310/0297 G09G2330/021 G09G2330/045		
外部链接	Espacenet		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域本发明涉及显示面板和使用该显示面板的电致发光显示器。显示面板响应于与第一栅极信号同步的第一和第二开关控制信号，将第一数据信号提供给第一数据线，并将第二数据信号提供给第二数据线。并且解复用器被配置为响应于与选通信号同步的第三和第四开关控制信号，将第三数据信号提供给第三数据线，将第四数据信号提供给第四数据线。