



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0035265  
(43) 공개일자 2019년04월03일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0124291  
(22) 출원일자 2017년09월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
정유채  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
특허법인로얄

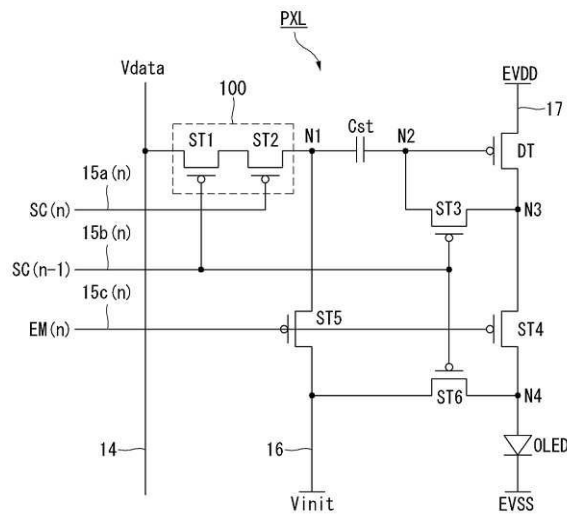
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 전계 발광 표시장치

**(57) 요약**

본 발명은 다수의 화소들(PXL)에 데이터전압(Vdata)이 공급되는 데이터라인(14) 및 고전위 전원전압(EVDD)이 공급되는 제1 전원라인(17)에 연결된 표시패널(10)을 구비한다. 제n 수평 화소 라인(Ln)에 배치된 각 화소(PXL)는, 노드 N2, 상기 제1 전원라인(17) 및 노드 N3에 각각 게이트전극, 소스전극 및 드레인전극이 접속된 구동 TFT(DT); 제n-1 스캔 신호(SC(n-1))에 따라 스위칭되는 제1 스위치 TFT(ST3); 상기 제n 스캔 신호(SC(n))에 따라 스위칭되는 제2 스위치 TFT(ST2); 제n-1 스캔 신호(SC(n-1))에 따라 스위칭되는 제3 스위치 TFT(ST1); 제n 에미션 신호(EM(n))에 따라 스위칭되는 제4 스위치 TFT(ST4); 상기 노드 N4와 저전위 전원전압(EVSS) 사이에 접속된 유기발광 다이오드; 및 상기 노드 N1과 상기 노드 N2 사이에 접속된 스토리지 커패시터(Cst)를 포함한다.

**대표도 - 도5**



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2330/028 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 화소들(PXL)에 데이터전압(Vdata)이 공급되는 데이터라인(14) 및 고전위 전원전압(EVDD)이 공급되는 제1 전원라인(17)에 연결된 표시패널(10)을 구비하고,

제 $n$  수평 화소 라인(L $n$ )에 배치된 각 화소(PXL)는,

노드 N2, 상기 제1 전원라인(17) 및 노드 N3에 각각 게이트전극, 소스전극 및 드레인전극이 접속된 구동 TFT(DT);

상기 노드 N2와 상기 노드 N3 사이에 접속되며, 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 스위칭되는 제1 스위치 TFT(ST3);

상기 데이터라인(14)과 노드 N1 사이에 접속되며, 상기 제 $n$  스캔 신호(SC( $n$ ))에 따라 스위칭되는 제2 스위치 TFT(ST2);

상기 데이터라인(14)과 노드 N1 사이에 접속되며, 상기 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 스위칭되는 제3 스위치 TFT(ST1);

상기 노드 N3과 노드 N4 사이에 접속되며, 제 $n$  에미션 신호(EM( $n$ ))에 따라 스위칭되는 제4 스위치 TFT(ST4);

상기 노드 N4와 저전위 전원전압(EVSS) 사이에 접속된 유기발광 다이오드; 및

상기 노드 N1과 상기 노드 N2 사이에 접속된 스토리지 커패시터(Cst)를 포함하고,

상기 제2 스위치 TFT 및 상기 제3 스위치 TFT는 직렬로 연결된 전계 발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 구동 TFT(DT)의 문턱전압(Vth)을 샘플링하기 위한 보상 기간(B)에서, 상기 제2 및 제3 스위치 TFT(ST2, ST1)는 동시에 턴 온 되는 전계 발광 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 표시패널(10)에는, 상기 제 $n$  수평 화소 라인(L( $n$ ))에 이웃하며 상기 제 $n$  스캔 신호(SC( $n$ ))보다 위상이 앞선 제 $n-1$  스캔 신호(SC( $n-1$ ))가 입력되는 제 $n-1$  수평 화소 라인(L( $n-1$ ))이 배치되고,

상기 제 $n$  수평 화소 라인(L( $n$ ))에는 초기화 전압(Vinit)이 공급되는 제2 전원라인(16)에 더 연결되고,

상기 제 $n$  수평 화소 라인(L( $n$ ))에 배치된 각 화소(PXL)는,

상기 노드 N1과 상기 제2 전원라인(16) 사이에 접속되며, 상기 제 $n$  에미션 신호(EM( $n$ ))에 따라 스위칭되는 제5 스위치 TFT(ST5); 및

상기 노드 N4와 상기 제2 전원라인(16) 사이에 접속되며, 상기 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 스위칭되는 제 6 스위치 TFT(ST6)를 더 포함하는 전계 발광 표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 보상 기간에서,

상기 제4 스위치 TFT(ST4) 및 상기 제5 스위치 TFT(ST5)는 오프 레벨의 상기 제 $n$  에미션 신호(EM( $n$ ))에 따라 턴

오프 되고, 상기 제6 스위치 TFT(ST6)는 온 레벨의 상기 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 턴 온 되는 전계 발광 표시장치.

**청구항 5**

제 3 항에 있어서,

상기 보상 기간(B)에 앞서 상기 노드 N2 및 상기 노드 N4를 초기화하기 위한 초기화 기간(A)에서,

상기 제1, 제3, 및 제6 스위치 TFT(ST3,ST1,ST2)는 온 레벨의 상기 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 턴 온 되고, 상기 제2 스위치 TFT(ST2)는 오프 레벨의 상기 제 $n$  스캔 신호(SC( $n$ ))에 따라 턴 오프 되며, 상기 제4 및 제5 스위치 TFT(ST4,ST5)는 온 레벨의 상기 제 $n$  에미션 신호(EM( $n$ ))에 따라 턴 온 되는 전계 발광 표시장치.

**청구항 6**

제 3 항에 있어서,

상기 보상 기간(B)에 이어 상기 유기발광 다이오드를 발광시키기 위한 발광 기간(D)에서,

상기 제2 스위치 TFT(ST2)는 오프 레벨의 상기 제 $n$  스캔 신호(SC( $n$ ))에 따라 턴 오프 되고, 상기 제1, 제3, 및 제6 스위치 TFT(ST3,ST1,ST6)는 오프 레벨의 상기 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 턴 오프 되며, 상기 제4 및 제5 스위치 TFT(ST4,ST5)는 온 레벨의 상기 제 $n$  에미션 신호(EM( $n$ ))에 따라 턴 온 되는 전계 발광 표시장치.

**청구항 7**

제 6 항에 있어서,

상기 발광 기간에서 상기 유기발광 다이오드에 흐르는 전류는,

상기 구동 TFT(DT)의 문턱전압 변화와 상기 고전위 전원전압(EVDD)의 변화에 무관한 전계 발광 표시장치.

**청구항 8**

제 6 항에 있어서,

상기 발광 기간에서 상기 유기발광 다이오드에 흐르는 전류는,

상기 데이터전압(Vdata)과 상기 초기화전압(Vinit) 간의 차 값의 제곱근에 비례하는 전계 발광 표시장치.

**청구항 9**

제 3 항에 있어서,

상기 제 $n$  스캔 신호(SC( $n$ ))와 상기 제 $n-1$  스캔 신호(SC( $n-1$ ))는 펄스 폭이 동일한 전계 발광 표시장치.

**청구항 10**

제 3 항에 있어서,

다수의 제1 출력 노드들을 통해 다수의 스캔 신호들을 출력하고, 다수의 제2 출력 노드들을 통해 다수의 에미션 신호들을 출력하는 게이트 드라이버를 더 구비하고,

상기 제1 출력 노드들 중 어느 하나와 상기 제2 출력 노드들 중 어느 하나를 포함한 2개의 출력 노드들이 매 수평 화소 라인에 연결되는 전계 발광 표시장치.

**청구항 11**

제 10 항에 있어서,

상기 제1 출력 노드들 각각은 이웃한 2개의 수평 화소 라인들에 공통으로 연결되는 전계 발광 표시장치.

**청구항 12**

다수의 화소들(PXL)에 데이터전압(Vdata)이 공급되는 데이터라인(14) 및 고전위 전원전압(EVDD)이 공급되는 제1

전원라인(17)에 연결된 표시패널(10)을 구비하고,

제 $n$  수평 화소 라인(L(n))에 배치된 각 화소(PXL)는,

유기발광소자에 전류를 공급하는 구동 TFT(DT); 및

상기 구동 TFT(DT)와 상기 데이터라인 사이에서 직렬 연결 구성을 가진 노드 제어부(100) 및 스토리지 커패시터(Cst)를 포함하고,

상기 노드 제어부(100)는 제1 입력단 및 제2 입력단을 포함하고, 상기 제1 입력단 및 상기 제2 입력단은 위상이 서로 다른 제1 입력신호 및 제2 입력신호를 공급받는 전계 발광 표시장치.

**청구항 13**

제 12 항에 있어서,

상기 노드 제어부는 상기 게이트전극이 상기 제1 입력단과 접속된 제1 스위치 TFT 및 게이트전극이 상기 제2 입력단과 접속된 제2 스위치 TFT를 포함하고, 상기 제1 스위치 TFT 및 상기 제2 스위치 TFT는 직렬 연결 구성을 가지는 전계 발광 표시장치.

**청구항 14**

상기 제 13 항에 있어서,

상기 제1 입력단은 제 $n-1$  수평 화소 라인(L(n-1))에 배치된 화소(PXL)의 제2 입력단과 연결된 전계 발광 표시장치.

**청구항 15**

상기 제 14 항에 있어서,

상기 제1 입력신호 및 상기 제2 입력신호가 온 레벨을 유지하는 제1 구간 동안 상기 제1 스위치 TFT 및 상기 제2 스위치 TFT는 턴 온 되고, 상기 제1 구간 동안 상기 스토리지 커패시터에 보상 전압이 저장되는 전계 발광 표시장치.

**청구항 16**

상기 제 15 항에 있어서,

상기 제1 입력신호 및 상기 제2 입력신호가 오프 레벨을 유지하는 제2 구간 동안 상기 제1 스위치 TFT 및 상기 제2 스위치 TFT는 턴 오프 되고, 상기 제2 구간 동안 상기 구동 TFT는 상기 유기발광소자에 전류를 공급하는 전계 발광 표시장치.

**청구항 17**

제 12 항에 있어서,

상기 제1 입력신호 및 상기 제2 입력신호는 진폭 및 듀티비(duty ratio)가 서로 동일한 신호인 전계 발광 표시장치.

**발명의 설명**

**기술 분야**

본 발명은 전계 발광 표시장치에 관한 것이다.

**배경 기술**

전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0001]

[0002]

[0003] 유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(SThin Film Transistor)와, 구동 TFT의 게이트-소스 간 전압을 프로그래밍하기 위한 하나 이상의 스위치 TFT를 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다.

[0004] 화소들 간 휘도, 색감 차이 없는 균일한 화질을 구현하기 위해서는 구동 TFT의 문턱 전압( $V_{th}$ )과 같은 화소의 구동 특성이 모든 화소들에서 동일해야 한다. 하지만, 공정 편차 등을 포함한 다양한 원인에 의해 화소들 간 구동 특성에 편차가 있을 수 있다. 또한, 표시장치의 구동 시간에 따라 화소들 간의 열화 진행 속도가 다르게 되어 화소들 간에 구동 특성에서 차이가 커질 수 있다. 따라서, 화소들 간에 구동 특성 편차에 따라 OLED로 흐르는 구동 전류량이 변화되고, 이에 의해 화질의 불균일이 초래되게 된다.

[0005] 이에 표시장치의 화질과 수명을 개선하기 위하여 화소들 간의 구동 특성 차이를 보상하기 위한 내부 보상 회로가 유기 발광 표시장치에 적용되고 있다. 내부 보상 회로는 화소 내에 적용될 수 있다. 유기 발광 표시장치는 화소 내의 보상 회로를 이용하여 구동 TFT의 전기적 특성에 따라 변하는 구동 TFT의 게이트-소스 간 전압을 샘플링하고 샘플링된 전압으로 데이터 전압을 보상한다.

### 발명의 내용

#### 해결하려는 과제

[0006] 내부 보상 회로에서 OLED의 구동 전류가 화소의 고전위 전원 전압(이하, “EVDD”라 함)에 영향을 받을 수 있다. 이 경우, EVDD의 전압 강하(IR drop)에 의해 패널 내에서 화소의 위치에 따라 EVDD가 다르다면 OLED의 구동 전류가 화소의 요구 전류와 차이가 발생하여 균일한 화질을 얻을 수 없다. EVDD의 전압 강하를 줄이기 위하여 EVDD 배선의 선 폭을 증가시키는 방안을 고려할 수 있으나, 고해상도 패널의 경우 화소 면적이 작으므로 선 폭 증가를 위한 보강 설계에 어려움이 존재한다.

[0007] 현재 유기발광 표시장치는 고해상도, 대면적, 고휘도의 추세로 기술 개발이 진행되고 있으므로 EVDD 배선의 폭이 감소될 수 밖에 없고 EVDD 배선이 길어지기 때문에 EVDD 저항 감소 방법으로 EVDD 전압 강하를 개선하는데 한계가 있다.

[0008] 한편, 각 화소 내에 구비된 내부 보상 회로는 보상의 정확도를 높이기 위해 다수의 스위치 TFT들을 필요로 한다. 이 스위치 TFT들의 게이트전극은 게이트라인들을 통해 게이트 드라이버에 연결된다. 게이트 드라이버는 스위치 TFT들의 스위칭 동작을 제어하기 위한 게이트신호를 생성하여 게이트라인들에 공급한다. 스위치 TFT들의 개수가 많을수록 게이트 드라이버의 구성이 복잡해진다.

[0009] 따라서, 본 발명의 목적은 EVDD 전압 강하와 무관하게 화소의 구동 특성 변화를 실시간 보상할 수 있는 전계 발광 표시장치를 제공하는 데 있다.

[0010] 본 발명의 다른 목적은 EVDD 전압 강하와 무관하게 화소의 구동 특성 변화를 실시간 보상하되, 게이트 드라이버의 구성을 간소화할 수 있도록 한 전계 발광 표시장치를 제공하는 데 있다.

#### 과제의 해결 수단

[0011] 상기 목적을 해결하기 위하여, 본 발명에 따른 전계 발광 표시장치는 다수의 화소들에 데이터전압이 공급되는 데이터라인 및 고전위 전원전압이 공급되는 제1 전원라인에 연결된 표시패널을 구비한다. 제 $n$  수평 화소 라인에 배치된 각 화소는, 노드 N2, 상기 제1 전원라인 및 노드 N3에 각각 게이트전극, 소스전극 및 드레인전극이 접속된 구동 TFT; 상기 노드 N2와 상기 노드 N3 사이에 접속되며, 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 스위칭되는 제1 스위치 TFT; 상기 데이터라인과 노드 N1 사이에 접속되며, 상기 제 $n$  스캔 신호(SC( $n$ ))에 따라 스위칭되는 제2 스위치 TFT; 상기 데이터라인과 노드 N1 사이에 접속되며, 상기 제 $n-1$  스캔 신호(SC( $n-1$ ))에 따라 스위칭되는 제3 스위치 TFT; 상기 노드 N3과 노드 N4 사이에 접속되며, 제 $n$  에미션 신호(EM( $n$ ))에 따라 스위칭되는 제4 스위치 TFT; 상기 노드 N4와 저전위 전원전압 사이에 접속된 유기발광 다이오드; 및 상기 노드 N1과 상기 노드 N2 사이에 접속된 스토리지 커패시터를 포함한다. 여기서, 상기 제2 스위치 TFT 및 상기 제3 스위치 TFT는 직렬로 연결된다.

#### 발명의 효과

[0012] 본 발명은 화소의 OLED 전류가 EVDD에 영향을 받지 않으므로 EVDD 배선의 저저항 설계 없이 화면 전체에서 균일

한 화질을 구현할 수 있고 고해상도 및 대화면의 전계 발광 표시장치를 구현할 수 있다.

- [0013] 또한, 본 발명은 전단 게이트신호를 이용하여 화소를 구동시키기 때문에 게이트 드라이버의 구성을 간소화할 수 있고, 협 베젤(narrow bezel) 구현이 용이한 효과가 있다.
- [0014] 또한, 본 발명의 화소는 데이터라인과 구동 TFT 사이의 기생캡이 현저히 작으므로, 이웃한 화소에 대응하는 데이터 전압에 영향 받지 않고 안정적으로 발광할 수 있는 효과가 있다.
- [0015] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0016] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다.
- 도 2는 유기발광 표시장치의 각 화소에 포함된 OLED 구조를 보여주는 도면이다.
- 도 3a 및 도 3b는 본 발명의 실시예에 따른 유기발광 표시장치의 화소 어레이를 보여주는 도면이다.
- 도 4는 도 3의 화소 어레이를 구동하기 위한 게이트 드라이버의 일 예를 보여주는 도면이다.
- 도 5는 도 3에 도시된 화소의 일 등가회로를 보여 주는 도면이다.
- 도 6은 도 5의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 보여주는 파형도이다.
- 도 7a는 도 6의 초기화 기간에 대응되는 화소의 등가 회로도이다.
- 도 7b는 도 6의 보상 기간에 대응되는 화소의 등가 회로도이다.
- 도 7c는 도 6의 홀딩 기간에 대응되는 화소의 등가 회로도이다.
- 도 7d는 도 6의 발광 기간에 대응되는 화소의 등가 회로도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0018] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0019] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0020] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0021] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0022] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0023] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관

관계로 함께 실시 가능할 수도 있다.

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성 요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 본 발명의 실시예에서는 유기발광 표시장치를 중심으로 기술한다.
- [0025] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다. 도 2는 유기발광 표시장치의 각 화소에 포함된 OLED 구조를 보여주는 도면이다. 도 3a 및 도 3b는 본 발명의 실시예에 따른 유기발광 표시장치의 화소 어레이를 보여주는 도면이다. 그리고, 도 4는 도 3a 또는 도 3b의 화소 어레이를 구동하기 위한 게이트 드라이버의 일 예를 보여주는 도면이다.
- [0026] 도 1 내지 도 4를 참조하면, 본 발명에 따른 유기발광 표시장치는 화소들(PXL)이 구비된 표시패널(10), 화소들(PXL)에 연결된 신호라인들을 구동하는 표시패널 구동회로(12,13), 및 표시패널 구동회로(12,13)를 제어하는 타이밍 컨트롤러(11)를 포함한다.
- [0027] 표시패널 구동회로(12,13)는 표시패널(10)의 화소들(PXL)에 입력 영상 데이터(DATA)를 기입한다. 표시패널 구동회로(12,13)는 화소들(PXL)에 연결된 데이터라인들(14)을 구동하는 소스 드라이버(12)와, 화소들(PXL)에 연결된 게이트라인들(15)을 구동하는 게이트 드라이버(13)를 포함한다.
- [0028] 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 화소들(PXL)이 매트릭스 형태로 배치된다. 화소들(PXL)은 도 2와 같은 OLED를 포함한다. 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.
- [0029] 표시패널(10)의 화소 어레이(Pixel array)에는 도 3a 또는 도 3b와 같이 다수의 수평 화소 라인들(HL1~HL4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a,15b)에 공통으로 연결된 다수의 화소들(PXL)이 배치된다. 여기서, 수평 화소 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 화소들(PXL)에 의해 구현되는 1라인 분량의 화소 블록을 의미한다. 화소 어레이에는 고전위 전원 전압(EVDD)을 화소들(PXL)에 공급하는 제1 전원라인(17), 초기화 전압(Vinit)을 화소들(PXL)에 공급하는 제2 전원라인(16)이 포함될 수 있다. 또한, 화소들(PXL)은 저전위 전원 전압(EVSS)에 연결될 수 있다.
- [0030] 게이트 라인들(15) 각각은 스캔 신호(SC)가 공급되는 제1 게이트 라인(15a)과 제2 게이트 라인(15b), 및 에미션 신호(EM)가 공급되는 제3 게이트 라인(15c)을 포함한다. 제n 수평 화소 라인(L(n))에 배치된 각 화소(PXL)에는 제n 수평 화소 라인(L(n))에 할당된 제n 스캔 신호(SC(n))와 제n 에미션 신호(EM(n)) 이외에 제n-1 수평 화소 라인(L(n-1))에 할당된 제n-1 스캔 신호(SC(n-1))가 더 공급된다.
- [0031] 화소들(PXL) 각각은 다양한 컬러 구현을 위하여 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나일 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소는 하나의 단위 화소를 구성할 수 있다. 단위 화소에서 구현되는 컬러는 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소의 발광 비율에 따라 결정될 수 있다. 화소들(PXL) 각각에는 하나의 데이터라인(14), 하나의 제1 게이트 라인(15a), 하나의 제2 게이트 라인(15b), 하나의 제3 게이트 라인(15c), 제1 전원라인(17), 제2 전원 라인(16) 등이 연결될 수 있다. 화소들(PXL) 각각은 전단 수평 화소 라인에 배치된 제1 게이트 라인(15a)에 더 연결될 수 있다.
- [0032] 도 3a를 참조하면, 제n 수평 화소 라인(L(n))에 포함된 하나의 화소(PXL)와 연결된 제2 게이트 라인(15b)은 수평으로 이웃한 제2 게이트 라인(15b)과는 직접적인 연결 없이, 제n-1 수평 화소 라인(L(n-1))에 포함된 하나의 화소(PXL)와 연결될 수 있다. 또는, 도 3b를 참조하면, 제n 수평 화소 라인(L(n))에 포함된 각 화소들(PXL)은 하나의 제2 게이트 라인(15b)을 서로 공유하며, 상기 제2 게이트 라인(15b)은 제1 게이트 구동부(13A)에 포함된 전단 스테이지(G-STGn-1)의 출력단과 전기적으로 연결된 구조일 수 있다. 본 발명의 일 실시예에 따른 유기발광 표시장치의 화소 어레이는 상기의 구조에 한정되지 않으며, 개구율 또는 RC 딜레이 등을 고려하여 다른 구성으로 구현될 수 있다.
- [0033] 제n 수평 화소 라인(L(n))에 포함된 제2 게이트 라인(15b(n))은 제n-1 수평 화소 라인(L(n-1))에 포함된 제1 게이트 라인(15a(n-1))과 접촉되므로, 제2 게이트 라인(15b)은 이웃한 수평 화소 라인에 가깝게 배치됨이 바람직

하다.

- [0034] 소스 드라이버(12)는 매 프레임 마다 타이밍 콘트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 데이터 전압(Vdata)으로 변환한 후, 그 데이터 전압(Vdata)을 데이터라인들(14)에 공급한다. 소스 드라이버(12)는 입력 영상 데이터(DATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter)를 이용하여 데이터 전압(Vdata)을 출력한다.
- [0035] 소스 드라이버(12)와 표시패널(10)의 데이터라인들(14) 사이에는 멀티플렉서(미도시)가 더 배치될 수 있다. 멀티플렉서는 소스 드라이버(12)에서 하나의 출력 채널을 통해 출력되는 데이터 전압을 복수개의 데이터라인들로 분배함으로써, 데이터라인의 개수 대비 소스 드라이버(12)의 출력 채널 개수를 줄일 수 있다. 멀티플렉서는 표시장치의 해상도, 용도에 따라 생략 가능하다.
- [0036] 소스 드라이버(12)는 초기화 전압(Vinit)을 생성하여 제2 전원 라인(16)에 공급하고, 고전위 전원 전압(EVDD)을 생성하여 제1 전원 라인(17)에 공급할 수 있다. 이를 위해, 소스 드라이버(12)는 전원 생성부(미도시)를 더 포함할 수 있다. 전원 생성부는 저전위 전원 전압(EVSS)을 더 생성할 수 있다. 전원 생성부는 소스 드라이버(12) 외부에 장착된 후에 도전성 필름 등을 통해 소스 드라이버에 전기적으로 연결될 수도 있다. 초기화 기간 동안에 불필요한 OLED의 발광이 방지되도록, 초기화 전압(Vinit)은 저전위 전원 전압(EVSS)과 같거나 또는 그보다 낮은 전압으로 선택될 수 있다.
- [0037] 게이트 드라이버(13)는, 도 4와 같이 제1 게이트 구동부(13A)와 제2 게이트 구동부(13B)를 포함한다.
- [0038] 제1 게이트 구동부(13A)는 수평 화소 라인(L1~Ln)의 개수만큼의 제1 스테이지들(G-STG1~G-STGn)를 가지며, 타이밍 콘트롤러(11)의 제어 하에 스캔 신호들(SC(1)~SC(n))을 출력하여 데이터 전압(Vdata)이 충전되는 수평 화소 라인(L1~Ln)을 선택한다. 제1 게이트 구동부(13A)는 쉬프트 레지스터(Shift register)로 구현되고 제1 출력 노드들을 통해 스캔 신호들(SC(1)~SC(n))을 제1 게이트 라인들(15a(1)~15a(n)) 또는 제2 게이트 라인들(15b(1)~15b(n))에 순차적으로 공급할 수 있다.
- [0039] 제2 게이트 구동부(13B)는 수평 화소 라인(L1~Ln)의 개수만큼의 제2 스테이지들(E-STG1~E-STGn)를 가지며, 타이밍 콘트롤러(11)의 제어 하에 에미션 신호들(EM(1)~EM(n))을 출력하여 데이터 전압(Vdata)이 충전되는 수평 화소 라인(L1~Ln)의 발광 타이밍을 제어한다. 제2 게이트 구동부(13B)는 쉬프트 레지스터와 인버터를 포함하고 제2 출력 노드들을 통해 에미션 신호들(EM(1)~EM(n))을 제3 게이트 라인들(15c(1)~15c(n))에 순차적으로 공급할 수 있다.
- [0040] 도 4에서, G-DUM, E-DUM, G-MNT, 및 E-MNT 은 더미 스테이지를 의미한다. L Dummy는 더미 화소라인을 지시한다. 그리고, 스테이지들에 인가되는 VGH 및 VGL은 구동 전원을 의미하며, VGH는 게이트 하이전압을, 그리고 VGL은 게이트 로우전압을 지시한다. 더미 스테이지와 더미 화소라인은 선택적으로 포함하거나 제외될 수 있다. 더미 화소라인의 화소는 수평 화소라인의 화소(PXL)와 유사하나, 발광하지 않도록 구성될 수 있다. 즉, 더미 화소라인은 적어도 OLED를 포함하지 않거나 또는, 데이터전압을 인가받지 않도록 구성되거나 또는, 스캔신호와 에미션신호를 인가받지 않도록 구성될 수 있다.
- [0041] 게이트 드라이버(13)의 제1 출력 노드들 중 어느 하나와 제2 출력 노드들 중 어느 하나를 포함한 2개의 출력 노드들이 매 수평 화소 라인(L1~Ln)에 연결될 수 있다. 특히 게이트 드라이버(13)의 구성이 간소해지도록, 제1 출력 노드들 각각은 이웃한 2개의 수평 화소 라인들에 공통으로 연결될 수 있다. 각 수평 화소라인(L1~Ln)의 화소들(PXL)은 서로 다른 타이밍을 갖는 3개의 게이트신호들이 필요하다. 예를 들어, 제n 수평 화소라인(Ln)의 화소들(PXL)은 2개의 스캔신호들과 1개의 에미션 신호가 필요하다. 여기서, 2개의 스캔신호들을 제n-1 스캔신호(SC(n-1))와 제n 스캔신호(SC(n))로 구성하고, 1개의 에미션 신호를 제n 에미션신호(EM(n))로 구성하면, 2개의 스테이지들로 제n 수평 화소라인(Ln)의 화소들(PXL)을 구동시킬 수 있으므로, 게이트 드라이버(13)의 구성을 간소화할 수 있는 이점이 있다. 이 경우, 제n 스캔 신호(SC(n))와 제n-1 스캔 신호(SC(n-1))는 펄스 폭이 동일하고 위상이 서로 다르다.
- [0042] 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 공정으로 화소 어레이와 함께 표시패널(10)의 기판 상에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 드라이버(13)는 IC 타입으로 제작된 후 도전성 필름을 통해 표시패널(10)에 접합될 수도 있다.
- [0043] 타이밍 콘트롤러(11)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(STelevision) 시스템, 셋톱박스, 네

비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

- [0044] 타이밍 콘트롤러(11)는 입력 프레임 주파수를  $i$  배 체배하여 입력 프레임 주파수 $\times i$ ( $i$ 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동회로(12,13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.
- [0045] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.
- [0046] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 소스 드라이버(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭은 데이터 샘플링 타이밍을 쉬프트시키는 클럭이다. 타이밍 콘트롤러(11)와 소스 드라이버(12)사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.
- [0047] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 에미션 쉬프트 클럭(Emission Shift Clock), 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함한다. GIP 회로의 경우에, 게이트 출력 인에이블신호(Gate Output Enable)는 생략될 수 있다. 게이트 스타트 펄스는 매 프레임 기간마다 프레임 기간의 초기에 발생되어 게이트 드라이버(13) 각각의 쉬프트 레지스터에 입력된다. 게이트 스타트 펄스는 매 프레임 기간마다 스캔 신호(SC(1)~SC(n))와 에미션 신호(EM(1)~EM(n))가 출력되는 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭은 게이트 드라이버(13)의 쉬프트 레지스터에 입력되어 쉬프트 레지스터의 쉬프트 타이밍(shift timing)을 제어한다. 에미션 쉬프트 클럭은 게이트 드라이버(13)의 인버터에 입력되어 인버터의 쉬프트 타이밍(shift timing)을 제어한다.
- [0048] 도 5는 도 3에 도시된 화소의 일 등가회로를 보여 주는 도면이다.
- [0049] 도 5를 참조하면, 본 발명의 화소(PXL)는, OLED, 다수의 TFT들(SThin Film Transistor)(ST1~ST6, DT) 및 스토리지 커패시터(Cst)를 포함한다. TFT들(ST1~ST6, DT)은 PMOS형 LTPS TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 스위치 TFT들(ST1~ST6) 중에서 적어도 하나의 TFT는 오프 커런트 특성이 좋은 NMOS형 옥사이드 TFT로 구현되고, 나머지 TFT들은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.
- [0050] 이하, 제 $n$  수평 화소 라인 상에 배치된 일 화소(PXL)의 접속 구성을 구체적으로 설명한다.
- [0051] OLED는 구동 TFT(DT)의 게이트-소스 간 전압에 따라 조절되는 전류량으로 발광한다. OLED는 애노드 전극은 노드 N4에 연결되고, OLED의 캐소드 전극은 저전위 전원전압(EVSS)에 연결된다. 애노드 전극과 캐소드 전극 사이에는 유기 화합물층이 구비된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다.
- [0052] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 노드 N2에 접속된 게이트 전극, 제1 전원라인(17)에 접속된 소스 전극, 및 노드 N3에 접속된 드레인 전극을 포함한다.
- [0053] 노드 제어부(100)는 데이터라인(14)과 노드 N1 사이에 접속되고, 제 $n$  스캔 신호(SC(n)) 및 제 $n-1$  스캔 신호(SC(n-1))에 따라 노드 N1을 제어한다. 노드 제어부(100)는 복수 개의 TFT로 구성되며, 도 5에 도시된 바와 같이 노드 제어부(100)는 제1 스위치 TFT(ST1) 및 제2 스위치 TFT(ST2)를 포함할 수 있다. 이 때, 제1 스위치 TFT(ST1)는 데이터라인(14)과 노드 N1 사이에서 상기 제2 스위치 TFT(ST2)와 직렬로 연결된다.
- [0054] 제1 스위치 TFT(ST1)의 게이트 전극은 제 $n-1$  스캔 신호(SC(n-1))가 인가되는  $n$ 번째 제2 게이트라인(15b(n))에 접속되고, 제1 스위치 TFT(ST1)의 소스 전극은 데이터라인(14)에 접속되고, 제1 스위치 TFT(ST1)의 드레인 전극은 제2 스위치 TFT(ST2)의 소스 전극에 접속된다.
- [0055] 제2 스위치 TFT(ST2)의 게이트 전극은 제 $n$  스캔 신호(SC(n))가 인가되는  $n$ 번째 제1 게이트라인(15a(n))에 접속되고, 제2 스위치 TFT(ST2)의 소스 전극은 제1 스위치 TFT(ST1)의 드레인 전극과 접속되고, 제2 스위치

TFT(ST2)의 드레인 전극은 노드 N2에 접속된다.

- [0056] 상기 제1 스위치 TFT(ST1)와 상기 제2 스위치 TFT(ST2)의 위치는 바뀔 수 있다. 예를 들어, 제2 스위치 TFT(ST2)의 소스 전극이 데이터라인(14)에 접속되고, 제2 스위치 TFT(ST2)의 드레인 전극은 제1 스위치 TFT(ST1)의 소스 전극과 접속되고, 제1 스위치 TFT(ST1)의 드레인 전극은 노드 N1에 접속되도록 구성될 수 있다.
- [0057] 제3 스위치 TFT(ST3)는 노드 N2와 노드 N3 사이에 접속되며, 제n-1 스캔 신호(SC(n-1))에 따라 스위칭된다. 제3 스위치 TFT(ST3)의 게이트 전극은 제n-1 스캔 신호(SC(n-1))가 인가되는 n번째 제2 게이트라인(15b(n))에 접속되고, 제3 스위치 TFT(ST3)의 소스 전극은 노드 N3에 접속되며, 제3 스위치 TFT(ST3)의 드레인 전극은 노드 N2에 접속된다.
- [0058] 제4 스위치 TFT(ST4)는 노드 N3과 노드 N4 사이에 접속되며, 제n 에미션 신호(EM(n))에 따라 스위칭된다. 제4 스위치 TFT(ST4)의 게이트 전극은 제n 에미션 신호(EM(n))가 인가되는 n번째 제3 게이트라인(15c(n))에 접속되고, 제4 스위치 TFT(ST4)의 소스 전극은 노드 N3에 접속되며, 제4 스위치 TFT(ST4)의 드레인 전극은 노드 N4에 접속된다.
- [0059] 제5 스위치 TFT(ST5)는 노드 N1과 제2 전원라인(16) 사이에 접속되며, 제n 에미션 신호(EM(n))에 따라 스위칭된다. 제5 스위치 TFT(ST5)의 게이트 전극은 제n 에미션 신호(EM(n))가 인가되는 n번째 제3 게이트라인(15c(n))에 접속되고, 제5 스위치 TFT(ST5)의 소스 전극은 노드 N1에 접속되며, 제5 스위치 TFT(ST5)의 드레인 전극은 제2 전원라인(16)에 접속된다.
- [0060] 제6 스위치 TFT(ST6)는 노드 N4와 제2 전원라인(16) 사이에 접속되며, 제n-1 스캔 신호(SC(n-1))에 따라 스위칭된다. 제6 스위치 TFT(ST6)의 게이트 전극은 제n-1 스캔 신호(SC(n-1))가 인가되는 n번째 제2 게이트라인(15b(n))에 접속되고, 제6 스위치 TFT(ST6)의 소스 전극은 노드 N4에 접속되며, 제6 스위치 TFT(ST6)의 드레인 전극은 제2 전원라인(16)에 접속된다.
- [0061] 스토리지 커패시터(Cst)는 노드 N1과 노드 N2 사이에 접속된다.
- [0062] 도 6은 도 5의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 보여주는 파형도이다. 도 7a는 도 6의 초기화 기간에 대응되는 화소의 등가 회로도이다. 도 7b는 도 6의 보상 기간에 대응되는 화소의 등가 회로도이다. 그리고, 도 7c는 도 6의 홀딩 기간에 대응되는 화소의 등가 회로도이다. 도 7d는 도 6의 발광 기간에 대응되는 화소의 등가 회로도이다.
- [0063] 도 6을 참조하면, 제n 수평 화소 라인(Ln) 상에 배치된 각 화소(PXL)는, 초기화 기간(A), 상기 초기화 기간(A)에 이은 보상 기간(B), 상기 보상 기간(B)에 이은 홀딩 기간(C), 및 상기 홀딩 기간(C)에 이은 발광 기간(D)을 통해 구동될 수 있다.
- [0064] 도 6을 참조하면, 초기화 기간(A)에서, 제n-1 스캔 신호(SC(n-1))와 제n 에미션 신호(EM(n))는 온 레벨(ON)로 입력되고, 제n 스캔 신호(SC(n))는 오프 레벨(OFF)로 입력된다.
- [0065] 도 7a를 참조하면, 초기화 기간(A) 동안 온 레벨(ON)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제1 스위치 TFT(ST1), 제3 스위치 TFT(ST3), 및 제6 스위치 TFT(ST6)가 턴 온 되고, 온 레벨(ON)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ST4) 및 제5 스위치 TFT(ST5)가 턴 온 된다. 제5 스위치 TFT(ST5)의 턴 온에 의해 노드 N1에 초기화 전압(Vinit)이 인가된다. 노드 N1은 이전 발광 기간(D)에 이어 초기화 기간(A)에도 초기화 전압(Vinit)으로 유지된다. 제6 스위치 TFT(ST6), 제4 스위치 TFT(ST4), 및 제3 스위치 TFT(ST3)의 턴 온에 의해 노드 N2, 노드 N3, 노드 N4에 초기화 전압(Vinit)이 인가되어 리셋된다. 초기화 전압(Vinit)은 고전위 전원전압(EVDD)보다 낮은 전압이고, 저전위 전원전압(EVSS)와 같거나 또는 저전위 전원전압(EVSS)보다 낮은 전압이다. 초기화 기간(A) 동안 노드 N4에 인가된 초기화 전압(Vinit)은 OLED의 동작점 전압보다 낮으므로 OLED는 발광되지 않는다.
- [0066] 도 7a를 참조하면, 초기화 기간(A) 동안 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 응답하여 제2 스위치 TFT(ST2)가 턴 오프 된다. 초기화 기간(A) 동안 제1 스위치 TFT(ST1)가 턴 온 되고 제2 스위치 TFT(ST2)는 턴 오프 되므로, 데이터전압(Vdata)은 노드 N1으로 유입되지 않는다.
- [0067] 결과적으로, 표 1과 같이 초기화 기간(A) 동안 노드 N1 내지 노드 N4의 전위는 초기화 전압(Vinit)이 된다.
- [0068] 도 7b를 참조하면, 보상 기간(B) 동안 온 레벨(ON)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제3 스위치

TFT(ST3)가 턴 온 되고, 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ST4)가 턴 오프 된다. 제3 스위치 TFT(ST3)의 턴 온에 의해 구동 TFT(DT)의 게이트전극과 드레인전극이 쇼트되어 구동 TFT(DT)가 다이오드 결선(Diode-connection)된다. 구동 TFT(DT)의 다이오드 결선에 의해 구동 TFT(DT)의 문턱전압(Vth)이 샘플링되어 노드 N2에 저장된다.

[0069] 보상 기간(B) 동안 온 레벨(ON)의 제n 스캔 신호(SC(n))에 응답하여 제2 스위치 TFT(ST2)가 턴 온 된다. 제1 스위치 TFT(ST1)는 초기화 기간(A)에 이어 보상 기간(B)에도 온 레벨(ON)로 유지되는 제n-1 스캔 신호(SC(n-1))에 응답하여 턴 온 상태로 유지된다. 이에 따라, 데이터 전압(Vdata)은 노드 제어부(100)를 통해 노드 N1에 인가되어, 보상 기간(B) 동안 노드 N1은 이전 기간의 초기화 전압(Vinit)에서 데이터 전압(Vdata)으로 상승한다.

[0070] 도 7b를 참조하면, 보상 기간(B) 동안 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제5 스위치 TFT(ST5)가 턴 오프 된다. 그리고, 보상 기간(B) 동안 온 레벨(ON)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제6 스위치 TFT(ST6)가 턴 온 된다.

[0071] 결과적으로, 표 1과 같이 보상 기간(B) 동안 노드 N1의 전위는 데이터전압(Vdata)이 되고, 노드 N2 및 노드 N3의 전위는 "EVDD-Vth"이 되고, 노드 N4의 전위는 초기화 전압(Vinit)이 된다.

[0072] 도 7c를 참조하면, 홀딩 기간(C) 동안 오프 레벨(OFF)의 제n-1 스캔 신호(SC(n-1)) 및 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 대응하여, 제1 스위치 TFT(ST1), 제3 스위치 TFT(ST3), 제4 스위치 TFT(ST4), 제5 스위치 TFT(ST5), 및 제6 스위치 TFT(ST6)가 턴 오프 된다. 이에 따라, 노드 N2, 노드 N3, 및 노드 N4는 플로팅되어 이전 구간인 보상 기간(B) 동안의 상태로 유지된다.

[0073] 한편, 홀딩 기간(C) 동안 제2 스위치 TFT(ST2)는 온 레벨(ON)의 제n 스캔 신호(SC(n))에 대응하여 턴 온 되지만, 제1 스위치 TFT(ST1)이 턴 오프 상태이므로, 결국 노드 N1 역시 플로팅된다. 이에 따라, 홀딩 기간(C) 동안 노드 N1은 이전 구간인 보상 기간(B) 동안의 상태로 유지된다.

[0074] 결과적으로, 표 1과 같이 홀딩 기간(C) 동안 노드 N1의 전위는 데이터 전압(Vdata)으로 유지되고, 노드 N2 및 노드 N3의 전위는 "EVDD-Vth"으로 유지되고, 노드 N4의 전위는 초기화 전압(Vinit)으로 유지된다.

[0075] 도 7d를 참조하면, 발광 기간(D) 동안 온 레벨(ON)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ST4)와 제5 스위치 TFT(ST5)가 턴 온 된다. 발광 기간(D) 동안 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 응답하여 제2 스위치 TFT(ST2)가 턴 오프 된다. 그리고, 발광 기간(D)동안 오프 레벨(OFF)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제1 스위치 TFT(ST1), 제3 스위치 TFT(ST3), 및 제6 스위치 TFT(ST6)가 턴 오프 된다.

[0076] 발광 기간(D) 동안 제5 스위치 TFT(ST5)의 턴 온에 의해 노드 N1에는 초기화 전압(Vinit)이 인가되어, 노드 N1의 전위가 보상 기간(B) 또는 홀딩 기간(C)에서의 데이터전압(Vdata)에서 초기화 전압(Vinit)으로 낮아진다.

[0077] 발광 기간(D) 동안 노드 N2는 플로팅(Floating)되고 스토리지 커패시터(Cst)를 통해 노드 N1에 커플링된다. 따라서, 발광 기간(D) 동안 노드 N1의 전위 변화분 "Vdata-Vinit"은 노드 N2에 반영된다. 그 결과 발광 기간(D) 동안 노드 N2의 전위가 직전 보상 기간(B)의 "EVDD-Vth"에 비해 "Vdata-Vinit"만큼 낮아진다. 다시 말해, 발광 기간(D) 동안 노드 N2의 전위는 표 1과 같이 "EVDD-Vth-Vdata+Vinit"이 된다. 한편, 발광 기간(D) 동안 노드 N3와 노드 N4의 전위는 표 1과 같이 "EVDD-Vth"가 되거나, 데이터 전압(Vdata)에 따라 "EVDD-Vth"보다 더 낮아질 수도 있다.

[0078] 이를 통해, OLED의 구동 전류량을 결정하는 구동 TFT(DT)의 Vgs 전압이 설정된다. 이 때, OLED에는 아래의 수학적 식 1과 같은 구동 전류(Ioled)가 흐르게 된다.

**수학적 식 1**

$$\begin{aligned}
 [0079] \quad I_{oled} &= K(V_{gs} - |V_{th}|)^2 \\
 [0080] \quad &= K(EVDD - \{EVDD - |V_{th}| - V_{data} + V_{init}\} - |V_{th}|)^2 \\
 [0081] \quad &= K(V_{data} - V_{init})^2
 \end{aligned}$$

[0082] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의

문턱 전압이다.

[0083] 수학식 1에서 알 수 있는 바와 같이, OLED의 구동 전류(Ioled)가 구동 TFT(DT)의 문턱전압(Vth)뿐만 아니라 고전위 전원전압(EVDD)에 영향을 받지 않게 된다. 본 발명의 실시예는 OLED의 구동 전류(Ioled)가 고전위 전원전압(EVDD)에 영향을 받지 않으므로, 제1 전원 라인(17)의 저저항 설계 없이 또는 제1 전원 라인(17)을 메쉬(mesh) 형태로 구성하지 않고 화면 전체에서 화소들의 휘도와 색감을 균일하게 할 수 있다. 이에 의해, 본 발명은 화소 크기가 작은 고해상도 패널에서 균일한 화질을 구현하는데 매우 유리하다. 그리고, 본 발명은 휘도 및 화질이 향상된 대화면의 패널을 제공할 수 있는 효과가 있다.

표 1

	A	B	C	D
N1	Vinit	Vdata	Vdata	Vinit
N2	Vinit	EVDD-Vth	EVDD-Vth	EVDD-Vth-Vdata+Vinit
N3	Vinit	EVDD-Vth	EVDD-Vth	(EVDD-Vth)
N4	Vinit	Vinit	Vinit	(EVDD-Vth)

[0085] 전술한 바와 같이, 상술한 본 발명의 노드 제어부(100)는 복수 개의 TFT가 데이터라인(14)과 노드 N1 사이에서 직렬로 연결된다. 따라서, 데이터라인(14)과 노드 N1 사이에 형성되는 기생커패의 크기는 종래의 화소에서보다 감소한다. 이에 따라, 노드 N1 및 노드 N2는 발광 기간(D) 동안 지속적으로 변화하는 데이터 전압(Vdata)의 영향을 최소화할 수 있다. 즉, 본 발명의 일 실시예에 따른 전계 발광 표시장치는 상술한 노드 제어부(100)를 포함함으로써 안정적으로 발광할 수 있는 효과가 있다.

[0086] 또한, 본 발명은 화소의 OLED 전류가 EVDD에 영향을 받지 않으므로 EVDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고 고해상도 및 대화면의 전계 발광 표시장치를 구현할 수 있다.

[0087] 또한, 본 발명은 전단 게이트신호를 이용하여 화소를 구동시키기 때문에 게이트 드라이버의 구성을 간소화할 수 있고, 협 베젤(narrow bezel) 구현이 용이한 효과가 있다.

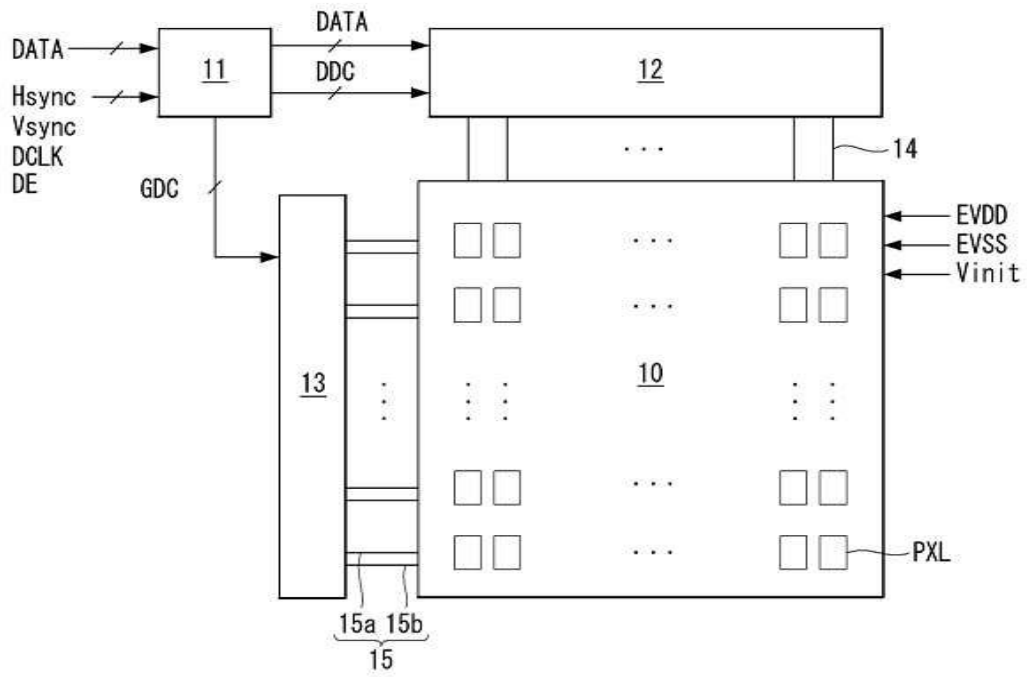
[0088] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

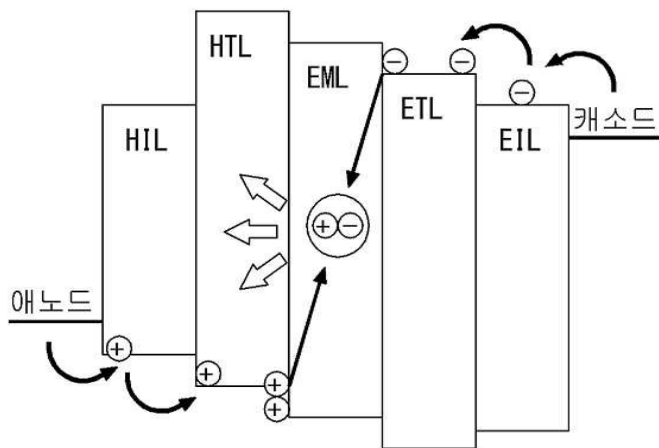
- [0089] 10 : 표시패널    11 : 타이밍 콘트롤러  
 12 : 소스 드라이버    13 : 게이트 드라이버

도면

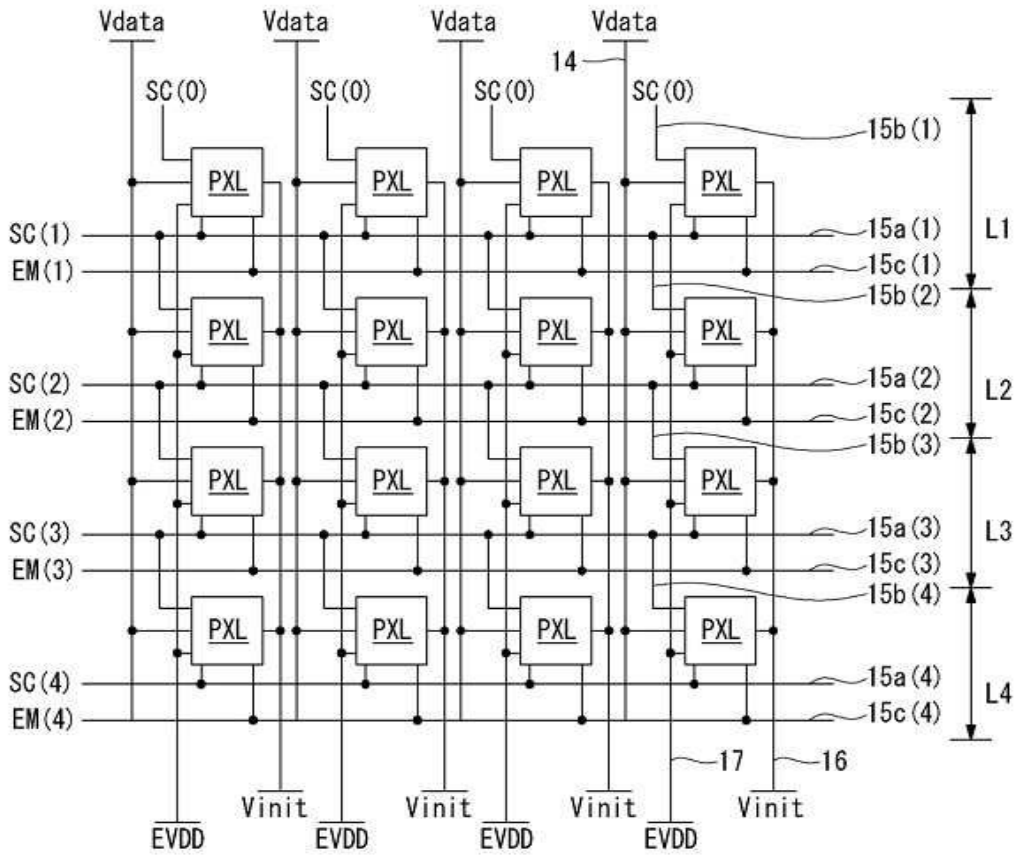
도면1



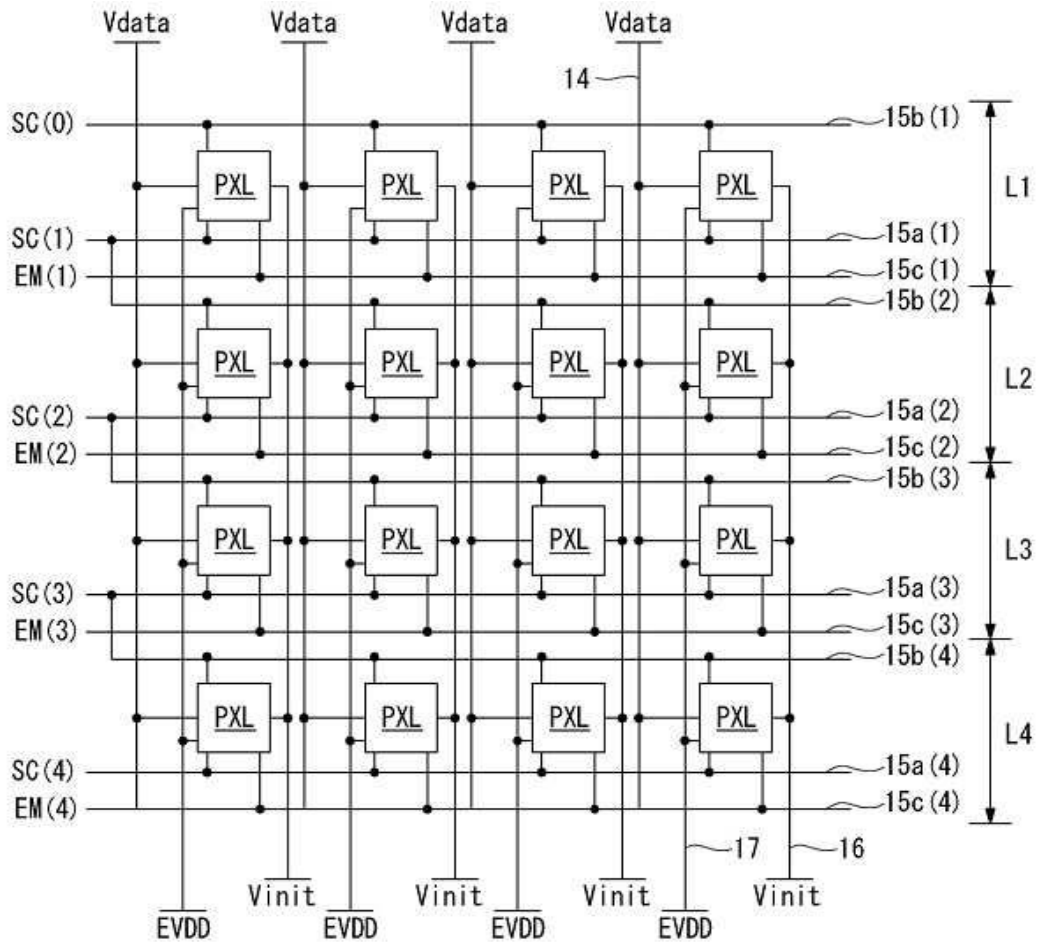
도면2



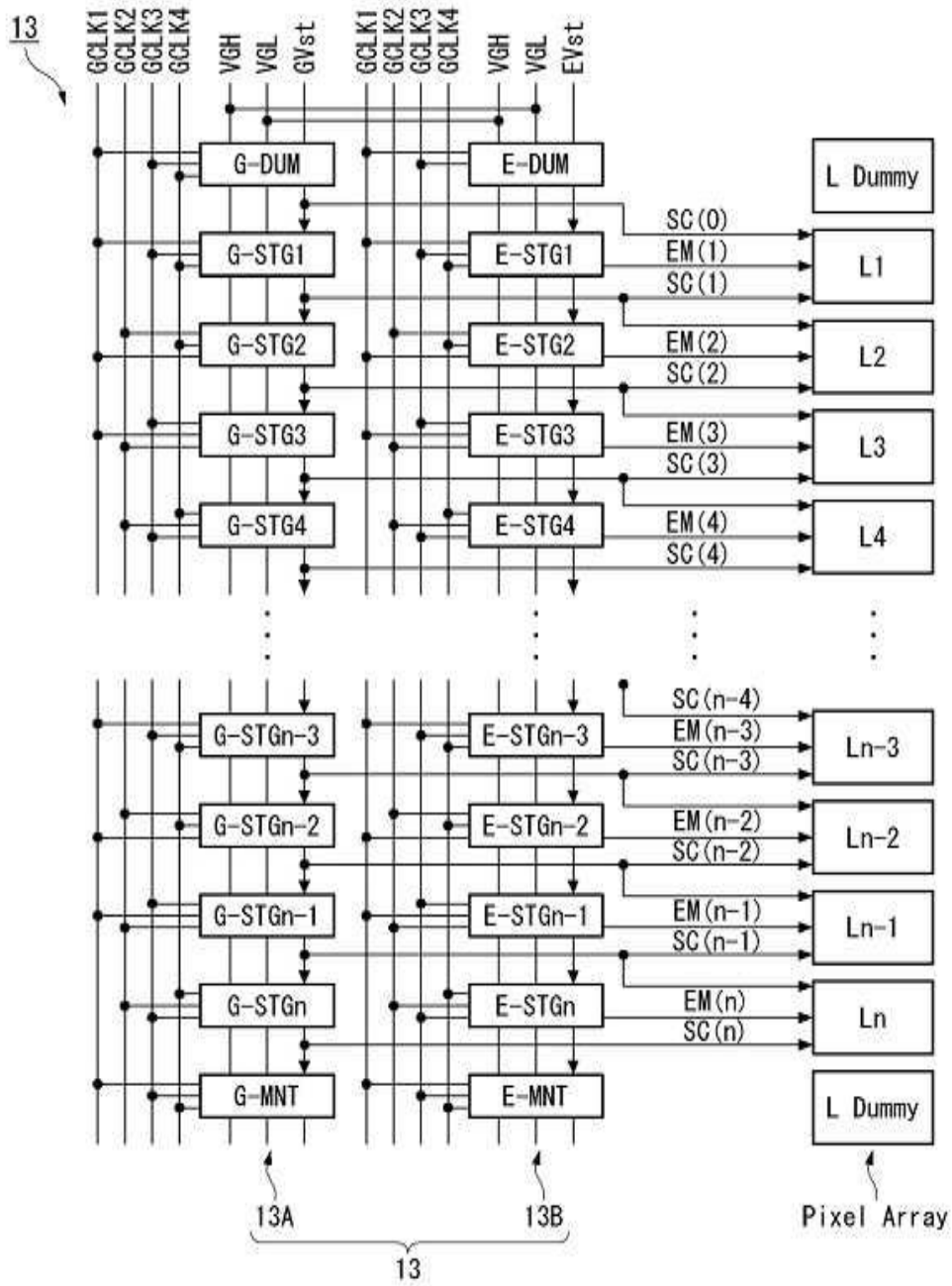
도면3a



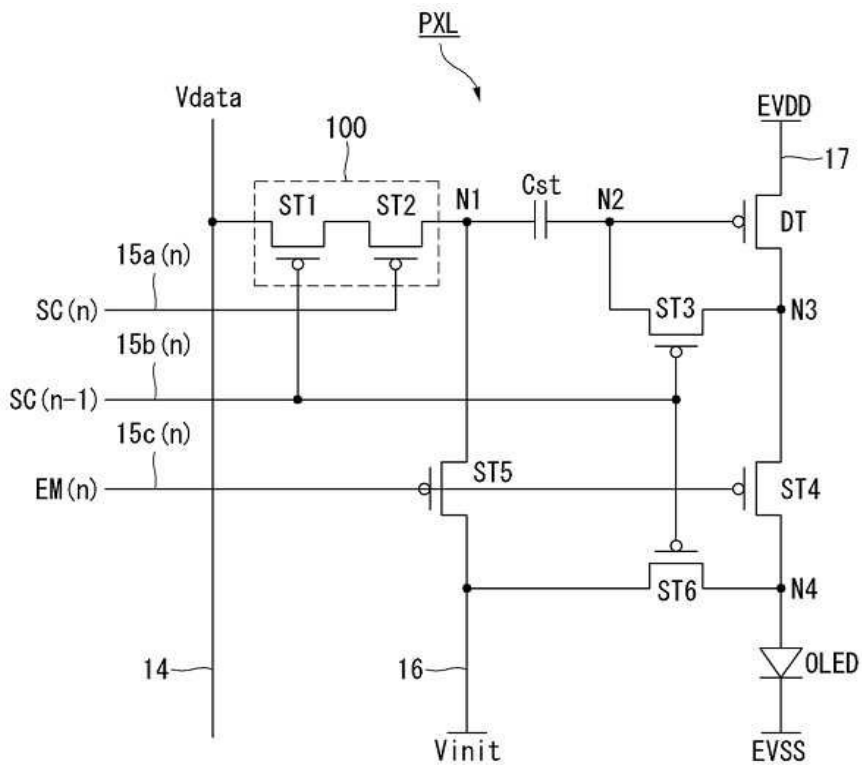
도면3b



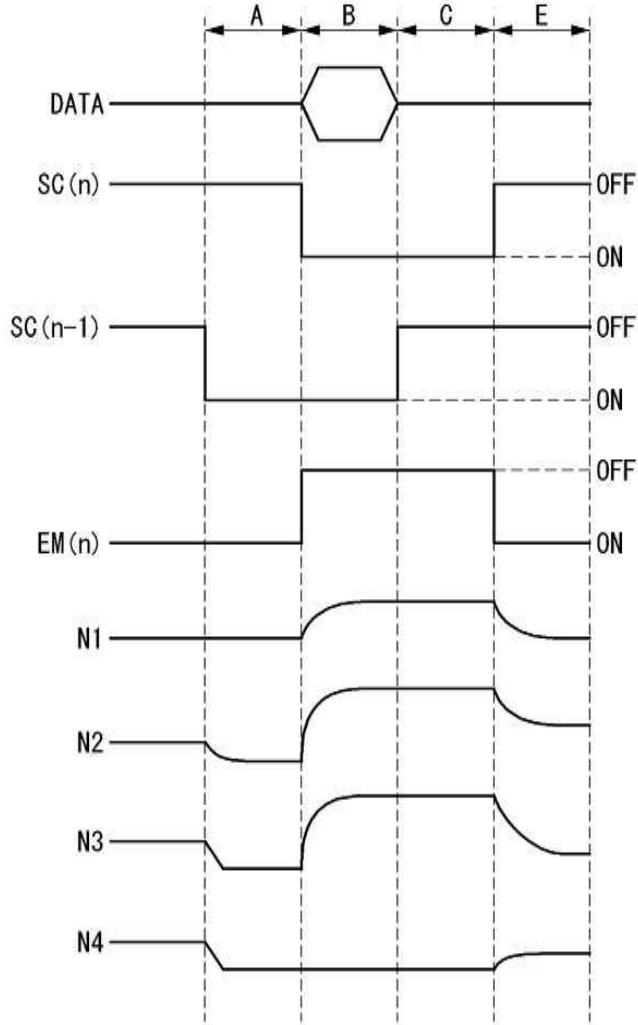
도면4



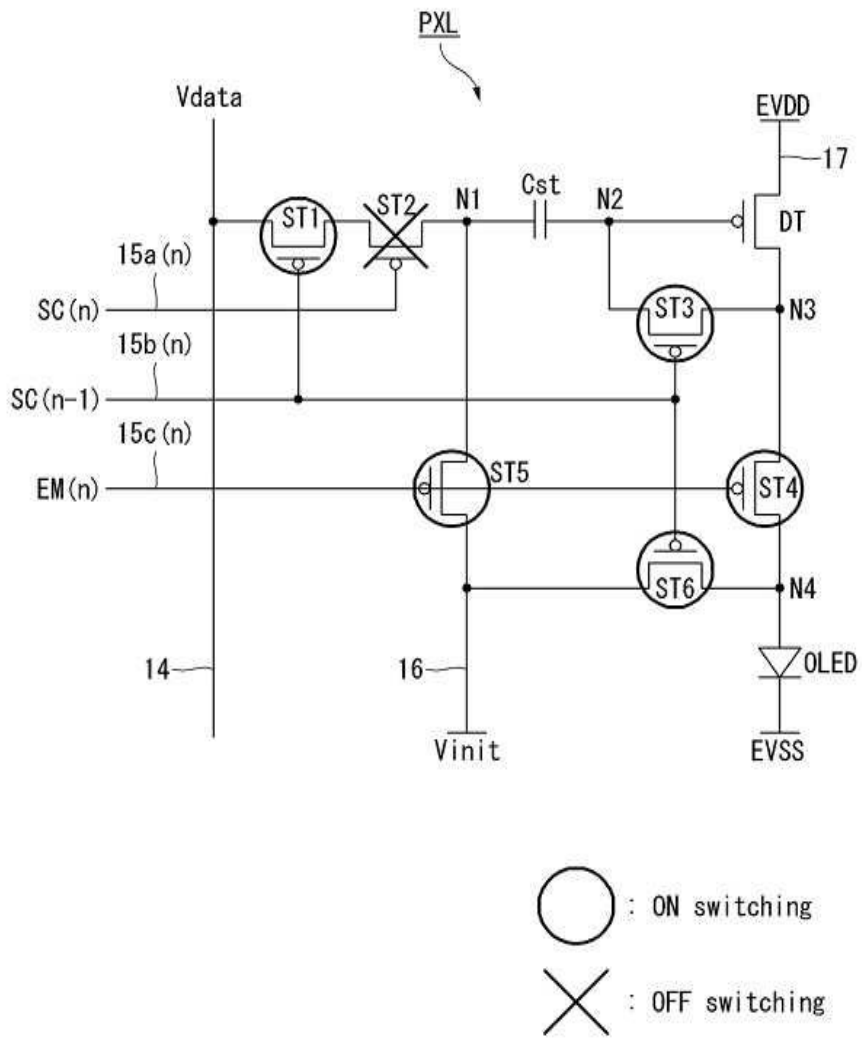
도면5



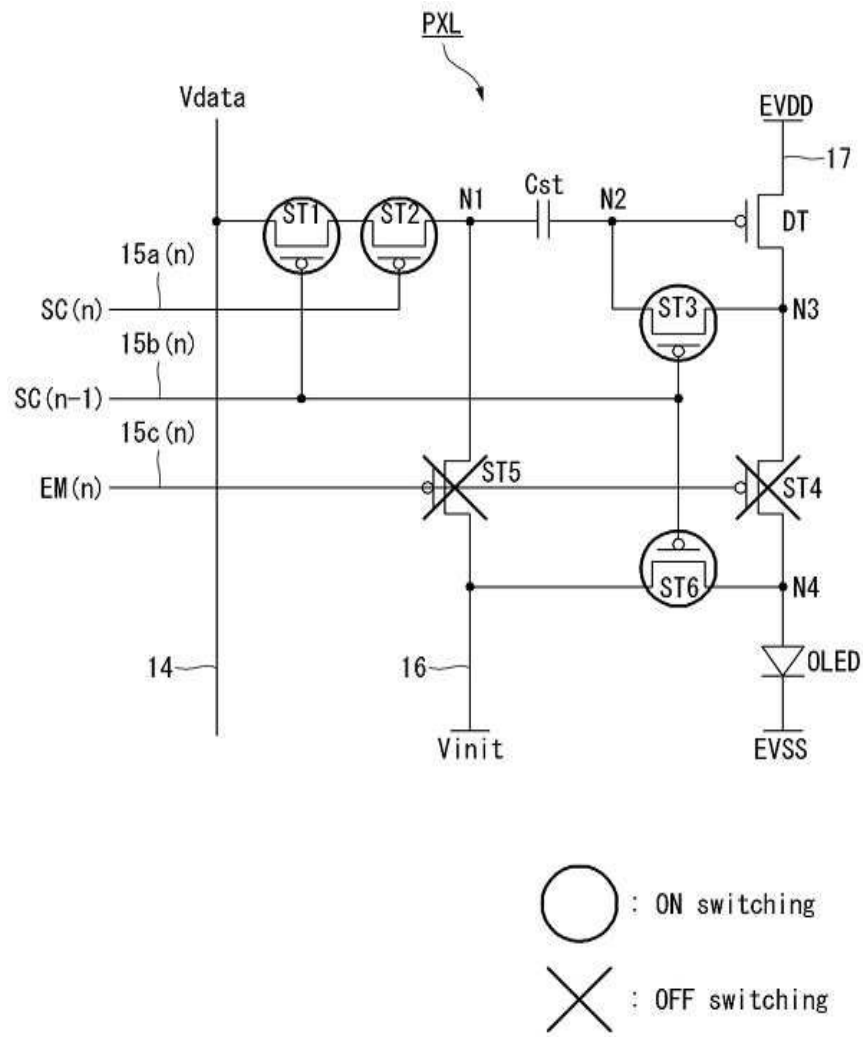
도면6



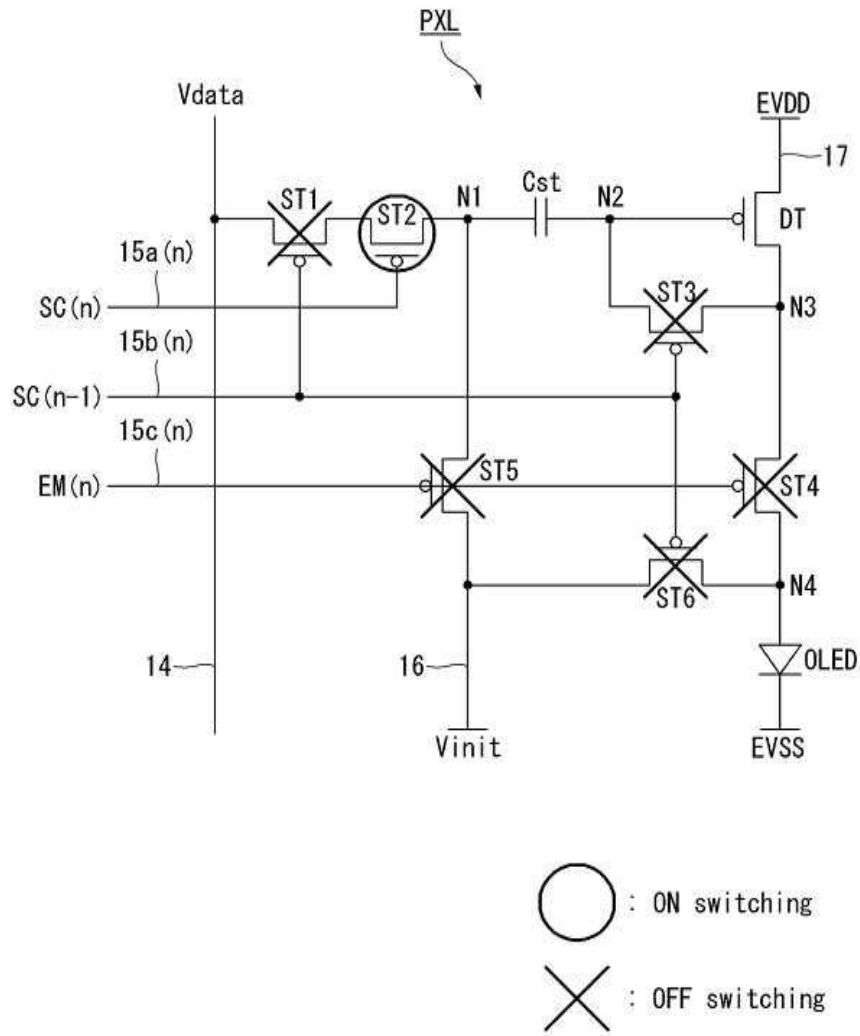
도면7a



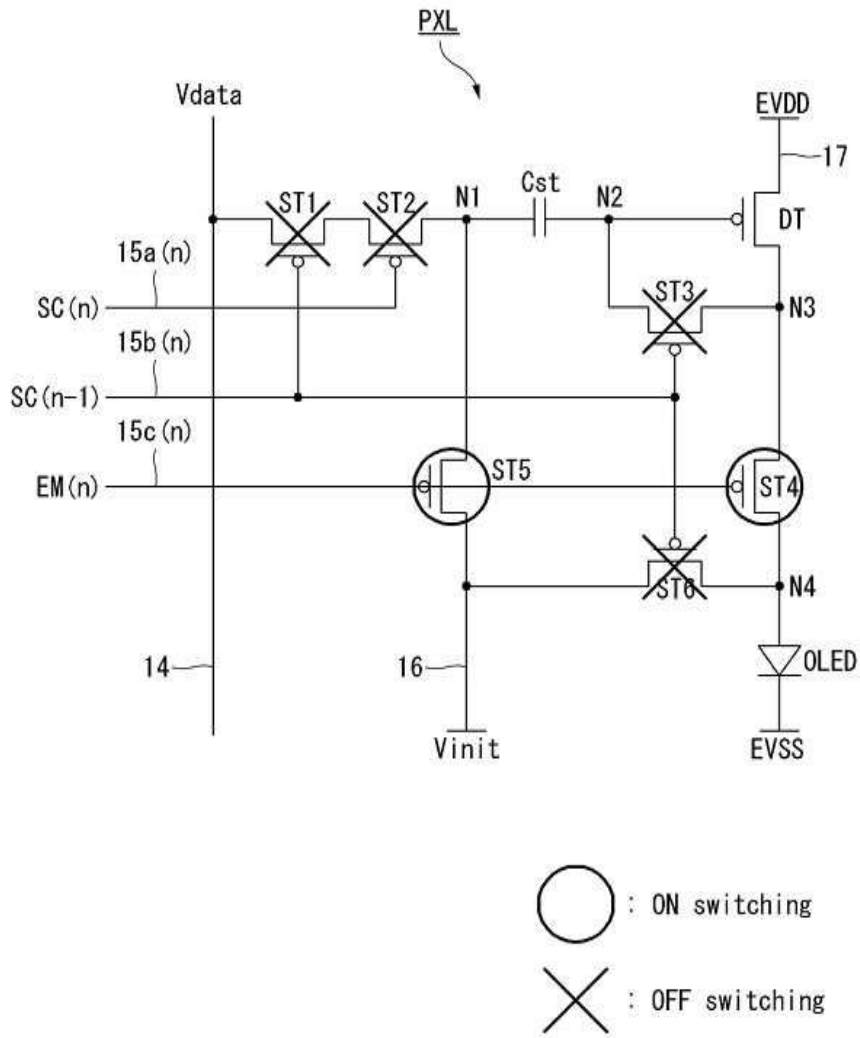
도면7b



도면7c



도면7d



专利名称(译)	电致发光显示器		
公开(公告)号	<a href="#">KR1020190035265A</a>	公开(公告)日	2019-04-03
申请号	KR1020170124291	申请日	2017-09-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정유채		
发明人	정유채		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G2330/028		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

显示面板10连接到数据线14和第一电源线17，数据线14被提供数据电压Vdata到多个像素PXL，第一电源线17被提供高电位电源电压EVDD。配备。布置在第n水平像素线Ln中的每个像素PXL包括驱动TFT DT，该驱动TFT DT具有分别连接到节点N2，第一电源线17和节点N3的栅极，源极和漏极。；第一开关TFT ST3根据第n扫描信号SC ( n-1 ) 进行切换；第二开关TFT ST2根据第n个扫描信号SC ( n ) 进行切换；第三开关TFT ST1根据第n扫描信号SC ( n-1 ) 进行切换；第四开关TFT ST4根据第n个发射信号EM ( n ) 进行开关；有机发光二极管连接在节点N4和低电位电源电压EVSS之间；并且在节点N1和节点N2之间连接有存储电容器Cst。

