



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0013134  
(43) 공개일자 2019년02월11일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/32* (2016.01)  
(52) CPC특허분류  
*G09G 3/32* (2013.01)  
*G09G 2230/00* (2013.01)  
(21) 출원번호 10-2017-0097236  
(22) 출원일자 2017년07월31일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
주성환  
경기도 파주시 월롱면 엘지로 245  
손현호  
경기도 파주시 월롱면 엘지로 245  
(뒷면에 계속)  
(74) 대리인  
특허법인로얄

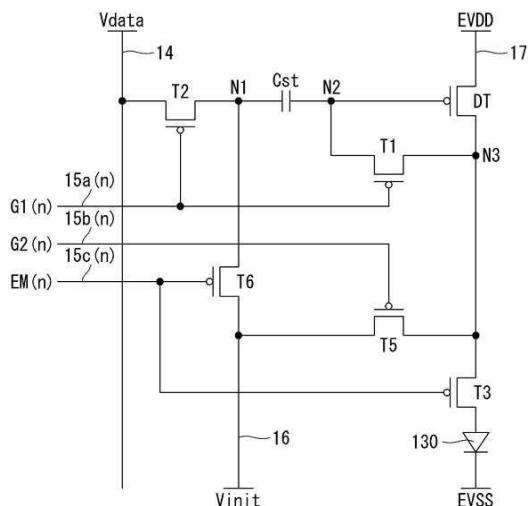
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 전계발광 표시장치

### (57) 요 약

본 발명은 다수의 화소들(PXL)이 데이터전압(Vdata)이 공급되는 데이터라인(14) 및 고전위 전원전압(EVDD)이 공급되는 제1 전원라인(17)에 연결된 전계발광 표시장치를 구비한다. 제 n 수평 화소 라인(Ln)에 배치된 각 화소(PXL)는, 노드 N2, 상기 제 1 전원라인(17) 및 노드 N3에 각각 게이트전극, 소스전극 및 드레인전극이 접속된 구동 TFT(DT); 제 n 스캔A 신호(G1(n))에 따라 스위칭되는 제 1 스위치 TFT(T1); 상기 제 n 스캔A 신호(G1(n))에 따라 스위칭되는 제 2 스위치 TFT(T2); 제 n 에미션 신호(EM(n))에 따라 스위칭되는 제 3 스위치 TFT(T3); 상기 제 3 스위치 TFT(T3)와 저전위 전원전압 사이에 접속된 발광소자; 및 상기 노드 N1과 상기 노드 N2 사이에 접속된 스토리지 커패시터(Cst)를 포함한다.

**대 표 도** - 도7



(52) CPC특허분류

G09G 2310/027 (2013.01)

G09G 2320/0233 (2013.01)

(72) 발명자

김진영

경기도 파주시 월롱면 엘지로 245

손정은

경기도 파주시 월롱면 엘지로 245

---

박한철

경기도 파주시 월롱면 엘지로 245

## 명세서

### 청구범위

#### 청구항 1

데이터전압(Vdata)이 공급되는 데이터라인(14) 및 고전위 전원전압(EVDD)이 공급되는 제 1 전원라인(17)에 연결되는 화소를 포함하는 전계발광 표시장치에 있어서,

상기 화소는,

노드 N2, 상기 제 1 전원라인 및 노드 N3에 각각 게이트전극, 소스전극 및 드레인전극이 접속된 구동 TFT(DT);

상기 노드 N2와 상기 노드 N3 사이에 접속되며, 제 n 스캔1 신호(G1(n))에 따라 스위칭되는 제 1 스위치 TFT(T1);

상기 데이터라인과 노드 N1 사이에 접속되며, 상기 제 n 스캔1 신호(G1(n))에 따라 스위칭되는 제 2 스위치 TFT(T2);

상기 노드 N3과 저전위 전원전압(EVSS) 사이에 접속되며, 제 n 에미션 신호(EM(n))에 따라 스위칭되는 제 3 스위치 TFT(T3);

상기 제 3 스위치 TFT(T3)와 상기 저전위 전원전압(EVSS) 사이에 접속된 발광소자; 및

상기 노드 N1과 상기 노드 N2 사이에 접속된 스토리지 커패시터를 포함하고,

상기 구동 TFT(DT)의 문턱전압을 샘플링하기 위한 보상 구간(③)에서, 상기 제 1 및 상기 제 2 스위치 TFT(T1, T2)는 온 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 온 되고, 상기 제 3 스위치 TFT(T3)는 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 화소는 초기화 전압(Vinit)이 공급되는 제 2 전원라인(16)에 더 연결되고,

상기 화소는, 상기 노드 N3과 상기 제 2 전원라인(16) 사이에 접속되고, 제 n 스캔2 신호(G2(n))에 따라 스위칭되는 제 5 스위치 TFT(T5); 및

상기 노드 N1과 상기 제 2 전원라인(16) 사이에 접속되고, 상기 제 n 에미션 신호(EM(n))에 따라 스위칭되는 제 4 스위치 TFT(T6)를 더 포함하는 전계발광 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 제 3 스위치 TFT(T3)는 상기 노드 N2 및 상기 노드 N3에 상기 초기화 전압(Vinit)이 인가되는 동안 상기 발광소자가 발광하지 않도록 턴 오프 되는 전계발광 표시장치.

#### 청구항 4

제 2 항에 있어서,

상기 보상 구간(③)에서,

상기 제 3 및 제 4 스위치 TFT(T3, T6)는 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

#### 청구항 5

제 2 항에 있어서,

상기 보상 구간(③)에 앞서 상기 노드 N1을 초기화하기 위한 제 1 초기화 구간(①)에서,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 오프 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 오프 되고, 상기 제 5 스위치 TFT(T5)는 온 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 온 되고, 상기 제 3 및 제 4 스위치 TFT(T3, T6)는 온 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 온 되는 전계발광 표시장치.

### 청구항 6

제 5 항에 있어서,

상기 제 1 초기화 구간(①)에서 상기 발광소자는 상기 구동 TFT의 게이트-소스 간 전압에 따라 발광하는 전계발광 표시장치.

### 청구항 7

제 2 항에 있어서,

상기 보상 구간(③)에 앞서 상기 노드 N2를 초기화하기 위한 제 2 초기화 구간(②)에서,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 온 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 온 되고, 상기 제 5 스위치 TFT(T5)는 오프 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 온 되고, 상기 제 3 및 제 4 스위치 TFT(T3, T6)는 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

### 청구항 8

제 2 항에 있어서,

상기 보상 구간(③)에 이어 상기 구동 TFT의 게이트 전압을 유지하기 위한 유지 구간(④)에서,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 오프 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 오프 되고, 상기 제 5 스위치 TFT(T5)는 오프 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 오프 되고, 상기 제 3 및 제 4 스위치 TFT(T3, T6)는 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

### 청구항 9

제 2 항에 있어서,

상기 보상 구간(③)에 이어 상기 발광소자를 발광시키기 위한 발광 구간(⑤)에서,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 오프 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 오프 되고, 상기 제 5 스위치 TFT(T5)는 오프 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 오프 되고, 상기 제 3 및 제 4 스위치 TFT(T3, T6)는 온 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 온 되는 전계발광 표시장치.

### 청구항 10

제 9 항에 있어서,

상기 발광 구간(⑤)에서 상기 발광소자에 흐르는 전류는,

상기 구동 TFT(DT)의 문턱전압 변화 및 상기 고전위 전원전압(EVDD)의 변화와 무관한 전계발광 표시장치.

### 청구항 11

제 9 항에 있어서,

상기 발광 구간(⑤)에서 상기 발광소자에 흐르는 전류는,

상기 데이터전압(Vdata)과 상기 초기화전압(Vinit) 간의 차 값의 제곱근에 비례하는 전계발광 표시장치.

### 청구항 12

초기화 구간, 보상 구간, 및 발광 구간을 포함하는 화소회로와 상기 화소회로와 연결된 발광소자를 포함하는 전계발광 표시장치에 있어서,

상기 화소회로는,

고전위 전원전압이 공급되는 제 1 전원라인(17);

데이터전압이 공급되는 데이터라인(14);

초기화전압이 공급되는 제 2 전원라인(16);

노드 N1 과 노드 N2 사이에 접속되는 스토리지 커패시터;

상기 제 1 전원라인과 노드 N3 사이에 접속되어 상기 노드 N2의 전압에 따라 상기 노드 N3의 전류를 제어하는 구동 TFT(DT);

상기 제 2 전원라인(16)과 상기 노드 N2 사이에 접속되어, 상기 보상 구간에 앞선 상기 초기화 구간동안 상기 노드 N2에 상기 초기화전압을 인가하도록 구성된 제 1 및 제 5 스위치 TFT(T1, T5);

상기 노드 N3과 상기 발광소자 사이에 접속되어, 상기 초기화 구간 동안 상기 발광소자의 동작을 제어하는 제 3 스위치 TFT(T3)를 포함하고,

상기 발광소자는 상기 제 3 스위치 TFT(T3)와 저전위 전원전압 사이에 접속되고,

상기 제 5 스위치 TFT(T5)는 상기 제 2 전원라인(16)과 상기 노드 N3 사이에 접속되도록 구성된 전계발광 표시장치.

### 청구항 13

제 12 항에 있어서,

상기 제 2 전원라인(16)과 상기 노드 N1 사이에 접속되어, 상기 보상 구간에 앞선 상기 초기화 구간 동안 상기 노드 N1을 초기화전압으로 충전하는 제 4 스위치 TFT(T6); 및

상기 데이터라인(14)과 상기 노드 N1 사이에 접속되어, 상기 초기화 구간 이후의 상기 보상 구간 동안 상기 노드 N1을 데이터전압으로 충전하는 제 2 스위치 TFT(T2)를 더 포함하는 전계발광 표시장치.

### 청구항 14

제 13 항에 있어서,

상기 제 1 스위치 TFT(T1)는 상기 노드 N2와 상기 노드 N3 사이에 접속되어 제 n 스캔1 신호(G1(n))에 따라 스위칭되고,

상기 제 2 스위치 TFT(T2)는 상기 데이터라인(14)과 상기 노드 N1 사이에 접속되어 상기 제 n 스캔1 신호(G1(n))에 따라 스위칭되고,

상기 제 3 스위치 TFT(T3)는 상기 노드 N3과 상기 발광소자 사이에 접속되어 제 n 애미션 신호(EM(n))에 따라 스위칭되고,

상기 제 4 스위치 TFT(T6)는 상기 제 2 전원라인(16)과 상기 노드 N1 사이에 접속되어 상기 제 n 애미션 신호(EM(n))에 따라 스위칭되고,

상기 제 5 스위치 TFT(T5)는 상기 제 2 전원라인(16)과 상기 노드 N3 사이에 접속되어 제 n 스캔2 신호(G2(n))에 따라 스위칭되는 전계발광 표시장치.

### 청구항 15

제 13 항에 있어서,

상기 초기화 구간 동안,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 턴 오프 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 오프 되고,

상기 제 3 및 상기 제 4 스위치 TFT(T3, T6)는 턴 온 레벨의 상기 제 n 애미션 신호(EM(n))에 따라 턴 온 되고,

상기 제 5 스위치 TFT(T5)는 턴 온 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 온 되는 전계발광 표시장치.

**청구항 16**

제 13 항에 있어서,

상기 초기화 구간동안,

상기 제 3 스위치 TFT(T3)는 턴 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 되고,

상기 제 5 스위치 TFT(T5)는 턴 온 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 온 되는 전계발광 표시장치.

**청구항 17**

제 16 항에 있어서,

상기 초기화 구간동안,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 턴 온 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 온 되고,

상기 제 4 스위치 TFT(T6)는 턴 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

**청구항 18**

제 13 항에 있어서,

상기 초기화전압은 상기 저전위 전원전압 보다 높은 전압인 전계발광 표시장치.

**청구항 19**

제 13 항에 있어서,

상기 보상 구간 동안,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 턴 온 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 온 되고,

상기 제 3 및 상기 제 4 스위치 TFT(T3, T6)는 턴 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 되고,

상기 제 5 스위치 TFT(T5)는 턴 오프 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 오프 되는 전계발광 표시장치.

**청구항 20**

제 13 항에 있어서,

상기 화소회로는 상기 보상 구간과 상기 발광 구간 사이에 유지 구간을 더 포함하고,

상기 유지 구간 동안,

상기 제 1 내지 제 5 스위치 TFT(T1, T2, T3, T6, T5)는 모두 턴 오프 되어, 상기 스토리지 커페시터는 직전 상태의 전압을 유지하도록 구성된 전계발광 표시장치.

**청구항 21**

제 13 항에 있어서,

상기 제 1 및 제 2 스위치 TFT(T1, T2)는 턴 오프 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 오프 되고,

상기 제 3 및 상기 제 4 스위치 TFT(T3, T6)는 턴 온 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 온 되고,

상기 제 5 스위치 TFT(T5)는 턴 오프 레벨의 상기 제 n 스캔2 신호(G2(n))에 따라 턴 오프 되는 전계발광 표시장치.

**발명의 설명**

## 기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것이다.

## 배경 기술

[0002] 전계발광 표시장치는 발광소자의 종류에 따라 유기발광 표시장치 또는 무기발광 표시장치로 대별된다. 이 중에서, 무기발광 표시장치는 LED 표시장치를 포함한다.

[0003] 유기발광 표시장치는 스스로 발광하는 유기발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하고, LED 표시장치는 스스로 발광하는 LED(Light Emitting Diode)를 포함한다. OLED 표시장치 또는 LED 표시장치는 발광소자를 포함하는 화소들을 특정 패턴으로 배열하고 영상 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 발광소자에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor)와, 구동 TFT의 게이트-소스 간 전압을 프로그래밍하기 위한 하나 이상의 스위치 TFT를 포함하며, 구동전류에 비례하는 발광소자의 발광량으로 표시 계조(휘도)를 조절한다.

[0004] 최근에는 무기층을 포함하는 발광소자인 LED를 이용한 LED 표시장치에 대한 관심과 개발이 증가하고 있다. LED는 OLED에 비해 더욱 고휘도의 계조를 출력할 수 있고, 열, 수분, 산소 등에 대한 신뢰성이 뛰어나다. 또한, LED 표시장치는 베젤이 보이지 않도록 제로 베젤(Zero bezel)을 구현할 수 있다. 따라서 복수 개의 LED 표시장치를 조합하여 타일링 디스플레이(Tiling Display)를 구현할 경우 표시장치 간의 경계부가 시인되지 않는다는 큰 장점이 있다.

[0005] 화소들 간 휘도, 색감 차이 없는 균일한 화질을 구현하기 위해서는 구동 TFT의 문턱전압( $V_{th}$ )과 같은 화소의 구동 특성이 모든 화소들에서 동일해야 한다. 하지만, 공정 편차 등을 포함한 다양한 원인에 의해 화소들 간 구동 특성에 편차가 있을 수 있다. 또한, 표시장치의 구동 시간에 따라 화소들 간의 열화 진행 속도가 다르게 되어 화소들 간에 구동 특성에서 차이가 커질 수 있다. 따라서, 화소들 간에 구동 특성 편차에 따라 발광소자로 흐르는 구동 전류량이 변화되고, 이에 의해 화질의 불균일이 초래되게 된다.

[0006] 이에, 표시장치의 화질과 수명을 개선하기 위하여 화소들 간의 구동 특성 차이를 보상하기 위한 보상 회로가 전계발광 표시장치에 적용되고 있다. 전계발광 표시장치는 화소에 위치한 보상 회로를 이용하여 구동 TFT의 전기적 특성에 따라 변할 수 있는 구동 TFT의 게이트-소스 간 전압을 보상하고 보상된 전압으로 데이터전압을 보상한다.

[0007] 한편, 전계발광 표시장치에 적용된 보상 회로를 구동함에 있어서, 의도치 않은 구간에서 발광소자가 미세하게 발광할 수 있다. 특히 블랙 계조 영상을 구동하는 동안에 발광소자가 발광할 경우, 명암비(Contrast ratio)의 특성이 낮아질 수 있다.

## 발명의 내용

### 해결하려는 과제

[0008] 내부 보상 회로에서 발광소자의 구동 전류는 화소의 고전위 전원전압(이하, "EVDD"라 함)에 영향을 받을 수 있다. 이 경우, EVDD의 전압 강하(IR drop)에 의해 패널 내에서 화소의 위치에 따라 EVDD가 다르면 발광소자에 인가되는 구동 전류가 화소에서 요구되는 전류와 차이가 발생하여 균일한 화질을 얻을 수 없다. EVDD의 전압 강하를 줄이기 위하여 EVDD 배선의 선 폭을 증가시키는 방안을 고려할 수 있으나, 고해상도 패널의 경우 화소 면적이 작으므로 선 폭 증가를 위한 보강 설계에 어려움이 존재한다.

[0009] 현재 전계발광 표시장치는 고해상도, 대면적, 고휘도의 추세로 기술 개발이 진행되고 있으므로 EVDD 배선의 폭이 감소될 수 밖에 없고 EVDD 배선이 길어지기 때문에 EVDD 저항 감소 방법으로 EVDD 전압 강하를 개선하는데 한계가 있다.

[0010] 한편, 특정 노드를 초기화 시키는 과정에서 발광노드의 일 전극에 특정 전압이 인가될 수 있다. 발광소자에 인가되는 전압의 전위 레벨에 따라서 발광소자는 발광할 수 있다. 특히 발광소자가 발광을 시작하는 문턱전압은 LED의 경우가 OLED의 경우보다 낮기 때문에, LED 표시장치가 명암비에 있어서 더 취약할 수 있다.

[0011] 따라서, 본 발명의 목적은 EVDD 전압 강하와 무관하게 화소의 구동 특성 변화를 실시간 보상할 수 있는 전계발광 표시장치를 제공하는 데 있다.

[0012] 본 발명의 다른 목적은 EVDD 전압 강하와 무관하게 화소의 구동 특성 변화를 실시간 보상하되, 명암비 특성이 뛰어난 전계발광 표시장치를 제공하는 데 있다.

### 과제의 해결 수단

[0013] 상기 목적을 해결하기 위하여, 본 발명에 따른 전계발광 표시장치는 데이터전압(Vdata)이 공급되는 데이터라인(14) 및 고전위 전원전압(EVDD)이 공급되는 제 1 전원라인(17)에 연결되는 화소(PXL)을 포함한다. 상기 화소(PXL)는, 노드 N2, 상기 제 1 전원라인 및 노드 N3에 각각 게이트전극, 소스전극 및 드레인전극이 접속된 구동 TFT(DT); 상기 노드 N2와 상기 노드 N3 사이에 접속되며, 제 n 스캔1 신호(G1(n))에 따라 스위칭되는 제 1 스위치 TFT(T1); 상기 데이터라인과 노드 N1 사이에 접속되며, 상기 제 n 스캔1 신호(G1(n))에 따라 스위칭되는 제 2 스위치 TFT(T2); 상기 노드 N3과 저전위 전원전압(EVSS) 사이에 접속되며, 제 n 에미션 신호(EM(n))에 따라 스위칭되는 제 3 스위치 TFT(T3); 상기 제 3 스위치 TFT와 상기 저전위 전원전압 사이에 접속된 발광소자; 및 상기 노드 N1과 상기 노드 N2 사이에 접속된 스토리지 커패시터(Cst)를 포함한다. 여기서, 상기 구동 TFT(DT)의 문턱전압(Vth)을 샘플링하기 위한 보상 구간(③)에서, 상기 제 1 및 상기 제 2 스위치 TFT(T1, T2)는 온 레벨의 상기 제 n 스캔1 신호(G1(n))에 따라 턴 온 되고, 상기 제 3 스위치 TFT(T3)는 오프 레벨의 상기 제 n 에미션 신호(EM(n))에 따라 턴 오프 된다.

### 발명의 효과

[0014] 본 발명은 발광소자에 인가되는 전류가 EVDD에 영향을 받지 않으므로 EVDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고 고해상도 및 대화면의 전계발광 표시장치를 구현할 수 있다.

[0015] 또한, 본 발명은 발광소자에 인가되는 전류가 화소별 문턱전압 편차의 영향을 받지 않으므로 화면 전체에서 화소들의 휙도와 색감을 균일하게 유지할 수 있다.

[0016] 또한, 본 발명은 초기화 구간 동안 발광소자가 발광하지 않도록 제어할 수 있다. 특히, 초기화 전압을 저전위 전압 보다 낮게 설정하지 않더라도 명암비를 향상시킬 수 있는 장점을 가진다.

[0017] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

### 도면의 간단한 설명

[0018] 도 1은 본 발명의 실시예에 따른 전계발광 표시장치를 보여주는 블록도이다.

도 2는 전계발광 표시장치의 각 화소에 포함된 발광소자의 일 실시예를 보여주는 도면이다.

도 3은 본 발명의 실시예에 따른 전계발광 표시장치의 화소 어레이를 보여주는 도면이다.

도 4는 도 3에 도시된 화소의 일 실시예에 따른 등가회로를 보여 주는 도면이다.

도 5는 도 4의 화소에 입력되는 구동 신호들의 전위 변화를 보여주는 과정도이다.

도 6a는 도 5의 제 1 초기화 구간에 대응되는 화소의 등가 회로도이다.

도 6b는 도 5의 제 2 초기화 구간에 대응되는 화소의 등가 회로도이다.

도 6c는 도 5의 보상 구간에 대응되는 화소의 등가 회로도이다.

도 6d는 도 5의 유지 구간에 대응되는 화소의 등가 회로도이다.

도 6e는 도 5의 발광준비 구간에 대응되는 화소의 등가 회로도이다.

도 6f는 도 5의 발광 구간에 대응되는 화소의 등가 회로도이다.

도 7은 도 3에 도시된 화소의 일 실시예에 따른 등가회로를 보여 주는 도면이다.

도 8은 도 7의 화소에 입력되는 구동 신호들의 전위 변화를 보여주는 과정도이다.

도 9a는 도 7의 제 1 초기화 구간에 대응되는 화소의 등가 회로도이다.

도 9b는 도 7의 제 2 초기화 구간에 대응되는 화소의 등가 회로도이다.

도 9c는 도 7의 보상 구간에 대응되는 화소의 등가 회로도이다.

도 9d는 도 7의 유지 구간에 대응되는 화소의 등가 회로도이다.

도 9e는 도 7의 발광 구간에 대응되는 화소의 등가 회로도이다.

### 발명을 실시하기 위한 구체적인 내용

[0019]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0020]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0021]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0022]

위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0023]

비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0024]

명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0025]

본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0026]

이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성 요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 이하에서는, 설명의 편의를 위해, 전계발광 표시장치가 무기 발광 물질을 포함하는 표시장치, 예를 들어, LED 표시장치로 구현되는 경우를 예로 들어 설명한다. 본 발명의 기술적 사상은 LED 표시장치에 국한되지 않고, 유기발광 물질을 포함하는 표시장치, 예를 들어, OLED 표시장치에 적용될 수 있다.

[0027]

도 1은 본 발명의 실시예에 따른 전계발광 표시장치를 보여주는 블록도이다. 도 2는 전계발광 표시장치의 각 화소에 포함된 발광소자의 일 실시예를 보여주는 도면이다. 도 3은 본 발명의 실시예에 따른 전계발광 표시장치의 화소 어레이를 보여주는 도면이다.

[0028]

도 1 내지 도 3을 참조하면, 본 발명에 따른 전계발광 표시장치는 화소들(PXL)이 구비된 표시패널(10), 화소들(PXL)에 연결된 신호라인들을 구동하는 표시패널 구동회로(12, 13), 및 표시패널 구동회로(12, 13)를 제어하는 타이밍 콘트롤러(11)를 포함한다.

[0029]

표시패널 구동회로(12, 13)는 표시패널(10)의 화소들(PXL)에 입력 영상 데이터(DATA)를 기입한다. 표시패널 구동 회로(12, 13)는 화소들(PXL)에 연결된 데이터 라인들(14)을 구동하는 소스 드라이버(12)와, 화소들(PXL)에 연결된 게이트 라인들(15)을 구동하는 게이트 드라이버(13)를 포함한다.

[0030]

표시패널(10)에는 다수의 데이터 라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 화소들(PXL)은 데이터 라인들(14)과 게이트 라인들(15)이 서로 교차되는 인근에 배치될 수 있다. 화소들(PXL)은 도 2에 도시된 LED와 같은 발광소자(130)를 포함할 수 있다.

- [0031] 일 예에 따른 발광소자(130)는 발광층(EL), 제 1 전극(E1), 및 제 2 전극(E2)을 포함한다.
- [0032] 발광층(EL)은 제 1 전극(E1) 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 일 예에 따른 발광층(EL)은 제 1 반도체층(131), 활성층(133), 및 제 2 반도체층(135)을 포함한다.
- [0033] 제 1 반도체층(131)은 활성층(133)에 전자를 제공한다. 일 예에 따른 제 1 반도체층(131)은 n-GaN계 반도체 물질로 이루어질 수 있으며, n-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 1 반도체층(131)의 도핑에 사용되는 불순물로는 Si, Ge, Se, Te, 또는 C 등이 사용될 수 있다.
- [0034] 활성층(133)은 제 1 반도체층(131)의 일측 상에 마련된다. 이러한 활성층(133)은 우물층과 우물층보다 밴드 갭이 높은 장벽층을 갖는 다중 양자 우물(MQW; Multi Quantum Well) 구조를 갖는다. 일 예에 따른 활성층(133)은 InGaN/GaN 등의 다중 양자 우물 구조를 가질 수 있다.
- [0035] 제 2 반도체층(135)은 활성층(133) 상에 마련되어, 활성층(133)에 정공을 제공한다. 일 예에 따른 제 2 반도체층(135)은 p-GaN계 반도체 물질로 이루어질 수 있으며, p-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 2 반도체층(135)의 도핑에 사용되는 불순물로는 Mg, Zn, 또는 Be 등이 이용될 수 있다.
- [0036] 부가적으로, 제 1 반도체층(131)과 활성층(133) 및 제 2 반도체층(135) 각각은 반도체 기판 상에 순차적으로 적층되는 구조로 마련될 수 있다. 여기서, 반도체 기판은 사파이어(Sapphire) 기판 또는 실리콘 기판 등의 반도체 물질을 포함한다. 이러한 반도체 기판은 제 1 반도체층(131)과 활성층(133) 및 제 2 반도체층(135) 각각을 성장시키기 위한 성장용 기판으로 사용된 후, 기판 분리 공정에 의해 제 1 반도체층(131)으로부터 분리될 수 있다. 여기서, 기판 분리 공정은 레이저 리프트 오프(Laser Lift Off) 또는 케미컬 리프트 오프(Chemical Lift Off) 등이 될 수 있다. 기판이 분리된 발광소자(130)는 각각의 화소(PXL)에 안착되어 화소 회로와 연결된다.
- [0037] 제 1 전극(E1)은 제 2 반도체층(135) 상에 마련된다. 제 2 전극(E2)은 활성층(133)과 제 2 반도체층(135)으로부터 전기적으로 분리되도록 제 1 반도체층(131)의 타측 상에 마련될 수 있다. 일 예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 투명 도전성 물질로 이루어질 수 있으며, 상기 투명 도전성 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 물질로 이루어질 수 있지만, 이에 한정되지 않는다. 다른 예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 Au, W, Pt, Si, Ir, Ag, Cu, Ni, Ti, 또는 Cr 등의 금속 물질 및 그 합금 중 하나 이상을 포함한 물질로 이루어질 수 있다.
- [0038] 이와 같은, 발광소자(130)는 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 이때, 발광소자(130)에서 발생되는 광은 제 1 및 제 2 전극(E1, E2) 각각을 투과하여 외부로 방출되어 영상을 표시한다. 발광소자(130)의 제 1 전극(E1)은 애노드 전극, 제 2 전극(E2)은 캐소드 전극으로 표현될 수 있다.
- [0039] 표시패널(10)의 화소 어레이(Pixel array)에는 도 3과 같이 다수의 수평 화소 라인들(L1~L4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a, 15b, 15c)에 공통으로 연결된 다수의 화소들(PXL)이 배치된다. 여기서, 수평 화소 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 화소들(PXL)에 의해 구현되는 1라인 분량의 화소 블록을 의미한다. 화소 어레이에는 고전위 전원전압(EVDD)을 화소들(PXL)에 공급하는 제 1 전원라인(17), 초기화전압(Vinit)을 화소들(PXL)에 공급하는 제 2 전원라인(16)이 포함될 수 있다. 또한, 화소들(PXL)은 저전위 전원전압(EVSS)에 연결될 수 있다.
- [0040] 도 3에 도시된 게이트 라인들(15) 각각은 제 1 스캔 신호(G1)가 공급되는 제 1 게이트 라인(15a), 제 2 스캔 신호(G2)가 공급되는 제 2 게이트 라인(15b), 및 에미션 신호(EM)가 공급되는 제 3 게이트 라인(15c)을 포함한다. 게이트 라인은 또다른 에미션 신호(EM2)가 공급되는 제 4 게이트 라인을 더 포함하도록 구성될 수 있다.
- [0041] 화소들(PXL) 각각은 다양한 컬러 구현을 위하여 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나일 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소는 하나의 단위 화소를 구성할 수 있다. 단위 화소에서 구현되는 컬러는 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소의 발광 비율에 따라 결정될 수 있다. 화소들(PXL) 각각은 복수 개의 게이트 라인 중 적어도 하나의 게이트 라인과 데이터 라인(14), 제 1 전원라인(17), 및 제 2 전원라인(16) 하나씩과 연결될 수 있다.
- [0042] 소스 드라이버(12)는 매 프레임마다 타이밍 콘트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 데이터전압(Vdata)으로 변환한 후, 그 데이터전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 드라이버(12)는 입력

영상 데이터(DATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter)를 이용하여 데이터전압(Vdata)을 출력한다.

[0043] 소스 드라이버(12)는 초기화전압(Vinit)을 생성하여 제 2 전원라인(16)에 공급하고, 고전위 전원전압(EVDD)을 생성하여 제 1 전원라인(17)에 공급할 수 있다. 이를 위해, 소스 드라이버(12)는 전원 생성부(미도시)를 더 포함할 수 있다. 전원 생성부는 저전위 전원전압(EVSS)을 더 생성할 수 있다. 전원 생성부는 소스 드라이버(12) 외부에 장착된 후에 도전성 필름 등을 통해 소스 드라이버에 전기적으로 연결될 수도 있다.

[0044] 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 공정으로 화소 어레이와 함께 표시패널(10)의 기판 상에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 드라이버(13)는 IC 타입으로 제작된 후 도전성 필름을 통해 표시패널(10)에 접합될 수도 있다.

[0045] 타이밍 콘트롤러(11)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0046] 타이밍 콘트롤러(11)는 입력 프레임 주파수를  $i$  배 체배하여 입력 프레임 주파수  $\times i$  ( $i$ 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동회로(12, 13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0047] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.

[0048] 도 4는 도 3에 도시된 화소의 일 실시예에 따른 등가회로를 보여 주는 도면이다.

[0049] 도 4를 참조하면, 본 발명의 화소(PXL)는, 발광소자(130), 다수의 TFT들(Thin Film Transistor)(T1~T6, DT) 및 스토리지 커패시터(Cst)를 포함한다. TFT들(T1~T6, DT)은 PMOS형(P형금속산화막반도체, P-channel Metal Oxide Semiconductor) TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 스위치 TFT들(T1~T6) 중에서 적어도 하나의 TFT는 오프 커런트(Off-current) 특성이 좋은 NMOS형(N형금속산화막반도체, N-channel Metal Oxide Semiconductor) TFT로 구현되고, 나머지 TFT들은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.

[0050] 이하, 제 n 수평 화소 라인 상에 배치된 일 화소(PXL)의 접속 구성을 구체적으로 설명한다.

[0051] 발광소자(130)는 구동 TFT(DT)의 게이트-소스 간 전압에 따라 조절되는 전류량으로 발광한다. 발광소자(130)의 애노드 전극은 제 4 스위치 TFT(T4)의 드레인 전극과 연결되고, 발광소자(130)의 캐소드 전극은 저전위 전원전압(EVSS)에 연결된다.

[0052] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 발광소자에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 노드 N2에 접속된 게이트 전극, 제 1 전원라인(17)에 접속된 소스 전극, 및 노드 N3에 접속된 드레인 전극을 포함한다.

[0053] 제1 스위치 TFT(T1)는 노드 N2와 상기 노드 N3 사이에 접속되며, 제 n 스캔B 신호(G2(n))에 따라 스위칭된다. 제 1 스위치 TFT(T1)의 게이트 전극은 제 n 스캔B 신호(G2(n))가 인가되는 n번째 제 2 게이트라인(15b(n))에 접속되고, 제 1 스위치 TFT(T1)의 소스 전극은 노드 N3에 접속되며, 제 1 스위치 TFT(T1)의 드레인 전극은 노드 N2에 접속된다.

[0054] 제 2 스위치 TFT(T2)는 데이터라인(14)과 노드 N1 사이에 접속되며, 제 n 스캔A 신호(G1(n))에 따라 스위칭된다. 제 2 스위치 TFT(T2)의 게이트 전극은 제 n 스캔A 신호(G1(n))가 인가되는 n번째 제 1 게이트라인(15a(n))에 접속되고, 제 2 스위치 TFT(T2)의 소스 전극은 데이터라인(14)에 접속되며, 제 2 스위치 TFT(T2)의 드레인 전극은 노드 N1에 접속된다.

[0055] 제 3 스위치 TFT(T3)는 노드 N3과 노드 N4 사이에 접속되며, 제 n 에미션A 신호(EM1(n))에 따라 스위칭된다. 제 3 스위치 TFT(T3)의 게이트 전극은 제 n 에미션A 신호(EM1(n))가 인가되는 n번째 제 3 게이트라인(15c(n))에 접속되고, 제 3 스위치 TFT(T3)의 소스 전극은 노드 N3에 접속되며, 제 3 스위치 TFT(T3)의 드레인 전극은 노드

N4에 접속된다.

[0056] 제 4 스위치 TFT(T4)는 노드 N4와 발광소자(130) 사이에 접속되며, 제 n 에미션B 신호(EM2(n))에 따라 스위칭된다. 제 4 스위치 TFT(T4)의 게이트 전극은 제 n 에미션B 신호(EM2(n))가 인가되는 n번째 제 4 게이트라인(15d(n))에 접속되고, 제 4 스위치 TFT(T4)의 소스 전극은 노드 N4에 접속되며, 제 4 스위치 TFT(T3)의 드레인 전극은 발광소자(130)의 애노드 전극에 접속된다. 한편, 제 n 에미션B 신호(EM2(n))가 인가되는 n번째 제 4 게이트라인(15d(n))은 n-m(m은 1 이상의 정수)번째 제 3 게이트라인(15d(n-m))과 연결되거나, 게이트 드라이버(13)와 직접 연결될 수 있다.

[0057] 제 5 스위치 TFT(T5)는 노드 N1과 제 2 전원라인(16) 사이에 접속되며, 제 n 에미션A 신호(EM1(n))에 따라 스위칭된다. 제 5 스위치 TFT(T5)의 게이트 전극은 제 n 에미션A 신호(EM1(n))가 인가되는 n번째 제 3 게이트라인(15c(n))에 접속되고, 제 5 스위치 TFT(T5)의 소스 전극은 노드 N1에 접속되며, 제 5 스위치 TFT(T5)의 드레인 전극은 제 2 전원라인(16)에 접속된다.

[0058] 제 6 스위치 TFT(T6)는 노드 N4와 제 2 전원라인(16) 사이에 접속되며, 제 n 스캔B 신호(G2(n))에 따라 스위칭된다. 제 6 스위치 TFT(T6)의 게이트 전극은 제 n 스캔B 신호(G2(n))가 인가되는 n번째 제 2 게이트라인(15b(n))에 접속되고, 제 6 스위치 TFT(T6)의 소스 전극은 노드 N4에 접속되며, 제 6 스위치 TFT(T6)의 드레인 전극은 제 2 전원라인(16)에 접속된다.

[0059] 스토리지 커패시터(Cst)는 노드 N1과 노드 N2 사이에 접속된다.

[0060] 도 5는 도 4의 화소에 입력되는 구동 신호들의 전위 변화를 보여주는 과정도이다. 도 6a 내지 도 6f 는 도 5의 제 1 초기화 구간, 제 2 초기화 구간, 보상 구간, 유지 구간, 발광준비 구간, 및 발광 구간에 각각 대응되는 화소의 등가 회로도이다.

[0061] 도 5를 참조하면, 제 n 수평 화소 라인(Ln) 상에 배치된 각 화소(PXL)는, 제 1초기화 구간(①), 제 2 초기화 구간(②), 보상 구간(③), 유지 구간(④), 발광준비 구간(⑤), 및 발광 구간(⑥)을 통해 구동될 수 있다.

[0062] 도 5 및 도 6a를 참조하면, 제 1 초기화 구간(①)에서 제 n 스캔A 신호(G1(n)), 제 n 스캔B 신호(G2(n)), 및 제 n 에미션B 신호(EM2(n))는 오프 레벨(OFF)로 입력되고, 제 n 에미션A 신호(EM1(n))는 온 레벨(ON)로 입력된다.

[0063] 제 1 초기화 구간(①) 동안 온 레벨(ON)의 제 n 에미션A 신호(EM1(n))에 응답하여 제 3 스위치 TFT(T3)와 제 5 스위치 TFT(T5)가 턴 온 된다. 제 5 스위치 TFT(T5)의 턴 온에 의해 노드 N1에 초기화전압(Vinit)이 인가된다. 이 때, 제 3 스위치 TFT(T3)는 제 1 초기화 구간(①) 이후의 제 2 초기화 구간(②)의 안정적인 동작을 위해 턴 온 된다. 제 1 초기화 구간(①)의 노드 N1은 직전 구간인 발광 구간(⑥)에서 충전된 초기화전압(Vinit)을 계속 유지한다.

[0064] 제 1 초기화 구간(①) 동안, 오프 레벨(OFF)의 제 n 스캔A 신호(G1(n)) 및 제 n 스캔B 신호(G2(n))에 응답하여 제 1 스위치 TFT(T1), 제 2 스위치 TFT(T2), 및 제 6 스위치 TFT(T6)는 턴 오프 된다. 그리고 오프 레벨(OFF)의 제 n 에미션B 신호(EM2(n))에 응답하여 제 4 스위치 TFT(T4)는 턴 오프 된다.

[0065] 초기화전압(Vinit)은 고전위 전원전압(EVDD)보다 낮은 전압이고, 저전위 전원전압(EVSS)보다 큰 전압으로 설정될 수 있다. 제 1 초기화 구간(①) 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 구동 TFT(DT)의 문턱전압(Vth)보다 작으므로 구동 TFT(DT)는 턴 온 조건을 만족한다. 따라서, 제 1 초기화 구간(①) 동안 노드 N3은 구동 TFT(DT)로부터 고전위 전원전압을 인가받는 동시에, 제 3 스위치 TFT(T3)로부터는 초기화전압(Vinit)을 인가받는다. 따라서, 노드 N3은 초기화전압(Vinit)보다 높은 전압으로 세틀될 수 있다. 다만, 표 1에서는 설명의 편의를 위해 직전 구간의 전위를 유지하는 것으로 표시하였다. 반면, 제 4 스위치 TFT(T4)는 제 1 초기화 구간(①) 동안 턴 오프 상태로 유지된다. 따라서 발광소자(130)가 제 1 초기화 구간(①) 동안 노드 N3 또는 노드 N4에 인가된 전압에 의해 발광하지 못하도록 미리 차단한다.

[0066] 발광소자(130)의 애노드 전극에 인가되는 초기화전압(Vinit)으로 인해 발광소자(130)가 발광하지 못하도록 초기화전압(Vinit)의 전위를 낮게 설정할 수 있다. 하지만, 수학식 1을 참조하면, 초기화전압(Vinit)의 전위가 데이터전압(Vdata) 보다 낮을수록, 발광 소자(130)의 구동 전류(I)가 커지게 되고, 이에 따라 어두운 계조를 구현하기가 어렵게 된다. 하지만, 본 발명의 일 실시예에 따른 보상 회로는 초기화전압(Vinit)에 의해 발광소자(130)가 턴 온 되는 것을 방지할 수 있다. 이에 따라, 본 발명의 일 실시예에 따른 보상 회로를 적용하면, 블랙 계조를 보다 효율적으로 구동시킬 수 있다.

- [0067] 표 1을 참조하면, 제 1 초기화 구간(①) 동안 노드 N1의 전위는 초기화전압(Vinit)이 되고, 노드 N2, 노드 N3, 및 노드 N4의 전위는 직전 구간인 발광 구간(⑥)에서의 전압으로 유지된다.
- [0068] 도 5 및 도 6b를 참조하면, 제 2 초기화 구간(②)에서 제 n 스캔A 신호(G1(n)) 및 제n 에미션B 신호(EM2(n))는 오프 레벨(OFF)로 입력되고, 제 n 스캔B 신호(G2(n)) 및 제 n 에미션A 신호(EM1(n))는 온 레벨(ON)로 입력된다.
- [0069] 제 2 초기화 구간(②) 동안 온 레벨(ON)의 제 n 스캔B 신호(G2(n)) 및 제 n 에미션A 신호(EM1(n))에 응답하여 제 1 스위치 TFT(T1), 제 3 스위치 TFT(T3), 제 5 스위치 TFT(T5), 및 제 6 스위치 TFT(T6)가 턴 온 된다. 제 1 스위치 TFT(T1), 제 3 스위치 TFT(T3), 및 제 6 스위치 TFT(T6)의 턴 온에 의해 제 2 전원라인(16)으로부터 노드 N2로의 전류 패스가 형성된다. 따라서, 노드 N2, 노드 N3, 및 노드 N4는 초기화전압(Vinit)으로 충전된다. 노드 N1은 제 5 스위치 TFT(T5)에 의해 제 1 초기화 구간(①)에 이어 제 2 초기화 구간(②)에서도 초기화전압(Vinit)으로 유지된다.
- [0070] 도 5를 참조하면, 제 1 초기화 구간(①)과 제 2 초기화 구간(②)이 구분되었지만, 반드시 이에 한정하는 것은 아니다. 제 1 초기화 구간(①)는 생략될 수 있으며, 예를 들어, 이전 프레임의 발광 구간(⑥)에 이어 도 5에 도시된 제 2 초기화 구간(②)이 바로 이어질 수 있다.
- [0071] 도 5 및 도 6c를 참조하면, 보상 구간(③)에서 제 n 스캔A 신호(G1(n)) 및 제 n 스캔B 신호(G2(n))는 온 레벨(ON)로 입력되고, 제 n 에미션A 신호(EM1(n)) 및 제 n 에미션B 신호(EM2(n))는 오프 레벨(OFF)로 입력된다.
- [0072] 보상 구간(③) 동안 온 레벨(ON)의 제 n 스캔B 신호(G2(n))에 응답하여 제 1 스위치 TFT(T1)가 턴 온 된다. 제1 스위치 TFT(T1)의 턴 온에 의해 구동 TFT(DT)의 게이트전극과 드레인전극이 쇼트되어 구동 TFT(DT)가 다이오드 결선(Diode-connection)된다. 구동 TFT(DT)의 다이오드 결선에 의해 구동 TFT(DT)의 문턱전압(Vth)이 보상되어 노드 N2 및 노드 N3의 전위는 “EVDD + Vth” 가 된다.
- [0073] 보상 구간(③) 동안 온 레벨(ON)의 제 n 스캔A 신호(G1(n))에 응답하여 제 2 스위치 TFT(T2)가 턴 온 되고, 데이터라인(14)의 데이터전압(Vdata)이 노드 N1에 인가된다.
- [0074] 보상 구간(③) 동안 오프 레벨(OFF)의 제 n 에미션A 신호(EM1(n)) 및 제 n 에미션B 신호(EM2(n))에 응답하여 제 3 스위치 TFT(T3), 제 4 스위치 TFT(T4), 및 제 5 스위치 TFT(T5)가 턴 오프 된다.
- [0075] 표 1을 참조하면, 보상 구간(③) 동안 노드 N1의 전위는 데이터전압(Vdata)이 되고, 노드 N2 및 노드 N3의 전위는 “EVDD + Vth” 이 되고, 노드 N4의 전위는 초기화전압(Vinit)이 된다.
- [0076] 도 5 및 도 6d를 참조하면, 발광준비 구간(④)에서 제 n 스캔A 신호(G1(n)), 제 n 스캔B 신호(G2(n)), 제 n 에미션A 신호(EM1(n)), 및 제 n 에미션B 신호(EM2(n))는 오프 레벨(OFF)로 입력된다.
- [0077] 따라서, 발광준비 구간(④) 동안 제 1 내지 제 6 스위치 TFT(T1 ~ T6)는 턴 오프 된다. 노드 N1 및 노드 N2는 발광준비 구간(④) 동안 플로팅(Floating) 상태로 바뀌지만 스토리지 커페시터(Cst)에 의해 직전 단계에서의 전위로 유지된다. 즉, 노드 N1의 전위는 데이터전압(Vdata)으로 유지되고, 노드 N2의 전위는 “EVDD + Vth” 로 유지된다. 노드 N1 및 노드 N2를 제외한 다른 노드들은 직전 단계의 전압으로부터 다소 방전될 수 있지만, 표 1에서는 설명의 편의를 위해 직전 단계의 전압을 유지하는 것으로 표시하였다.
- [0078] 한편, 노드 N4의 전위가 초기화전압(Vinit)보다 충분히 낮은 전압으로 방전될수 있도록 유지 구간(④)의 길이를 결정하는 것이 바람직하다. 이로써, 유지 구간(④) 이후에 연속되는 발광준비 구간(⑤) 동안 발광소자(130)가 발광하지 못하도록 제어할 수 있다.
- [0079] 도 5 및 도 6e를 참조하면, 발광준비 구간(⑤) 동안 제 n 에미션B 신호(EM2(n))는 온 레벨(ON)로 입력되고, 제 n 스캔A 신호(G1(n)), 제 n 스캔B 신호(G2(n)), 및 제 n 에미션A 신호(EM1(n))는 오프 레벨(OFF)로 입력된다.
- [0080] 발광준비 구간(⑤) 동안 온 레벨(ON)의 제 n 에미션B 신호(EM2(n))에 응답하여 제 4 스위치 TFT(T4)는 턴 온 된다. 발광준비 구간(⑤)은 직전 단계인 유지 구간(④)과 비교하여 제 4 스위치 TFT(T4)의 동작 상태만 다르고 나머지 TFT들은 동일한 동작상태를 유지한다. 발광 구간(⑥)이 시작되기에 앞서 제 4 스위치 TFT(T4)를 턴 온 상태로 제어함으로써, 발광 구간(⑥) 동안 발광소자(130)가 보다 안정적으로 발광할 수 있도록 한다.
- [0081] 발광대기 구간(⑤)은 생략될 수 있으며, 예를 들어, 발광준비 구간(⑤) 이후에 발광 구간(⑥)이 연속으로 이어질 수 있다.
- [0082] 도 5 및 도 6f를 참조하면, 발광 구간(⑥) 동안 제 n 에미션A 신호(EM1(n)) 및 제 n 에미션B 신호(EM2(n))는 온

레벨(ON)로 입력되고, 제 n 스캔1 신호(G1(n)) 및 제 n 스캔2 신호(G2(n))는 오프 레벨(OFF)로 입력된다.

[0083] 발광 구간(⑥) 동안 온 레벨(ON)의 제 n 에미션A 신호(EM1(n)) 및 제 n 에미션B 신호(EM2(n))에 응답하여 제 3 스위치 TFT(T3), 제 4 스위치 TFT(T4), 및 제 5 스위치 TFT(T5)가 턴 온 된다. 그리고, 오프 레벨(OFF)의 제 n 스캔A 신호(G1(n)) 및 제 n 스캔B 신호(G2(n))에 응답하여 제 1 스위치 TFT(T1), 제 2 스위치 TFT(T2), 및 제 6 스위치 TFT(T6)는 턴 오프 된다.

[0084] 발광 구간(⑥) 동안 제 5 스위치 TFT(T5)가 턴 온 되어 노드 N1의 전위는 초기화전압(Vinit)으로 하강한다.

[0085] 발광 구간(⑥) 동안 노드 N2는 플로팅(Floating) 상태가 되어 스토리지 커패시터(Cst)를 통해 노드 N1에 커플링 된다. 따라서, 발광 구간(⑥) 동안 노드 N1의 전위 변화분인 “Vdata - Vinit”은 노드 N2에 반영된다. 그 결과 발광 구간(⑥) 동안 노드 N2의 전위는 직전 발광준비 구간(⑤)의 “EVDD + Vth”에 비해 “Vdata - Vinit” 만큼 낮아진다. 보다 구체적으로 발광 구간(⑥) 동안 노드 N2의 전위는 “EVDD + Vth - Vdata + Vinit” 이 된다. 한편, 발광 구간(⑥) 동안 노드 N3과 노드 N4의 전위는 데이터전압(Vdata)에 비례하며 구동 TFT(DT)의 소자 특성에 따라 달라질 수 있다.

[0086] 이를 통해, 발광소자(130)의 구동 전류량을 결정하는 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 설정된다. 이 때, 발광소자(130)에는 아래의 수학식 1과 같은 구동 전류(I)가 흐르게 된다.

[0087] [수학식 1]

$$I = K(V_{gs} - V_{th})^2$$

$$= K\{(EVDD + V_{th} - V_{data} + V_{init}) - EVDD\} - V_{th}\}^2$$

$$= K(V_{data} - V_{init})^2$$

[0089] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의 문턱전압(Threshold voltage)이다.

[0090] 수학식 1에서 알 수 있는 바와 같이, 발광소자(130)의 구동 전류(I)가 구동 TFT(DT)의 문턱전압(Vth) 뿐 아니라 고전위 전원전압(EVDD)에 영향을 받지 않게 된다. 본 발명의 실시예는 발광소자(130)의 구동 전류(I)가 고전위 전원전압(EVDD)에 영향을 받지 않으므로, 제 1 전원라인(17)의 저저항 설계 없이 또는 제 1 전원라인(17)을 메쉬(mesh) 형태로 구성하지 않고 화면 전체에서 화소들의 휘도와 색감을 균일하게 할 수 있다. 또한, 본 발명의 실시예는 초기화전압(Vinit)의 전위를 저전위 전원전압(EVSS)보다 낮게 설정하지 않고도 빛샘 불량을 해결할 수 있다. 이에 의해, 본 발명은 화소 크기가 작은 고해상도 패널에서 균일한 화질을 구현하는데 매우 유리하다. 그리고, 본 발명은 휘도 및 화질이 향상된 대화면의 패널을 제공할 수 있는 효과가 있다.

### 표 1

|    | ①     | ②     | ③        | ④        | ⑤  | ⑥                    |
|----|-------|-------|----------|----------|----|----------------------|
| N1 | Vinit | Vinit | Vdata    | Vdata    | 유지 | Vinit                |
| N2 | 유지    | Vinit | EVDD+Vth | EVDD+Vth | 유지 | EVDD+Vth-Vdata+Vinit |
| N3 | 유지    | Vinit | EVDD+Vth | 유지       | 유지 |                      |
| N4 | 유지    | Vinit | Vinit    | 유지       | 유지 |                      |

[0094] 도 7는 도 3에 도시된 화소의 일 실시예에 따른 등가회로를 보여 주는 도면이다.

[0095] 도 7을 참조하면, 본 발명의 화소(PXL)는, 발광소자(130), 다수의 TFT들(Thin Film Transistor)(T1, T2, T3, T5, T6, DT) 및 스토리지 커패시터(Cst)를 포함한다. TFT들(T1, T2, T3, T5, T6, DT)은 PMOS형 TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 스위치 TFT들(T1, T2, T3, T5, T6) 중에서 적어도 하나의 TFT는 오프 커런트 특성이 좋은 NMOS형 TFT로 구현되고, 나머지 TFT들은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.

[0096] 이하, 제 n 수평 화소 라인 상에 배치된 일 화소(PXL)의 접속 구성을 구체적으로 설명한다.

[0097] 발광소자(130)는 구동 TFT(DT)의 게이트-소스 간 전압에 따라 조절되는 전류량으로 발광한다. 발광소자(130)의 애노드 전극은 제 3 스위치 TFT(T3)의 드레인 전극과 연결되고, LED의 캐소드 전극은 저전위 전원전압(EVSS)에

연결된다.

[0098] 구동 TFT(DT)는 게이트-소스 간 전압( $V_{gs}$ )에 따라 발광소자(130)에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 노드 N2에 접속된 게이트 전극, 제 1 전원라인(17)에 접속된 소스 전극, 및 노드 N3에 접속된 드레인 전극을 포함한다.

[0099] 제 1 스위치 TFT(T1)는 노드 N2와 상기 노드 N3 사이에 접속되며, 제 n 스캔A 신호(G1(n))에 따라 스위칭된다. 제 1 스위치 TFT(T1)의 게이트 전극은 제 n 스캔A 신호(G1(n))가 인가되는 n번째 제 1 게이트라인(15a(n))에 접속되고, 제 1 스위치 TFT(T1)의 소스 전극은 노드 N3에 접속되며, 제 1 스위치 TFT(T1)의 드레인 전극은 노드 N2에 접속된다.

[0100] 제 2 스위치 TFT(T2)는 데이터라인(14)과 노드 N1 사이에 접속되며, 제 n 스캔A 신호(G1(n))에 따라 스위칭된다. 제 2 스위치 TFT(T2)의 게이트 전극은 제 n 스캔A 신호(G1(n))가 인가되는 n번째 제 1 게이트라인(15a(n))에 접속되고, 제 2 스위치 TFT(T2)의 소스 전극은 데이터라인(14)에 접속되며, 제 2 스위치 TFT(T2)의 드레인 전극은 노드 N1에 접속된다.

[0101] 제 3 스위치 TFT(T3)는 노드 N3과 발광소자(130)의 애노드 전극 사이에 접속되며, 제 n 애미션 신호(EM(n))에 따라 스위칭된다. 제 3 스위치 TFT(T3)의 게이트 전극은 제 n 애미션 신호(EM(n))가 인가되는 n번째 제 3 게이트라인(15c(n))에 접속되고, 제 3 스위치 TFT(T3)의 소스 전극은 노드 N3에 접속되며, 제 3 스위치 TFT(T3)의 드레인 전극은 발광소자(130)의 애노드 전극에 접속된다.

[0102] 제 4 스위치 TFT(T6)는 노드 N1과 제 2 전원라인(16) 사이에 접속되며, 제 n 애미션 신호(EM(n))에 따라 스위칭된다. 제 4 스위치 TFT(T6)의 게이트 전극은 제 n 애미션 신호(EM(n))가 인가되는 n번째 제 3 게이트라인(15c(n))에 접속되고, 제 4 스위치 TFT(T6)의 소스 전극은 노드 N1에 접속되며, 제 4 스위치 TFT(T6)의 드레인 전극은 제 2 전원라인(16)에 접속된다.

[0103] 제 5 스위치 TFT(T5)는 노드 N3과 제 2 전원라인(16) 사이에 접속되며, 제 n 스캔B 신호(G2(n))에 따라 스위칭된다. 제 5 스위치 TFT(T5)의 게이트 전극은 제 n 스캔B 신호(G2(n))가 인가되는 n번째 제 2 게이트라인(15b(n))에 접속되고, 제 5 스위치 TFT(T5)의 소스 전극은 제 3 스위치 TFT(T3)의 소스 전극과 공통으로 노드 N3에 접속되며, 제 5 스위치 TFT(T5)의 드레인 전극은 제 2 전원라인(16)에 접속된다.

[0104] 스토리지 커페시터(Cst)는 노드 N1과 노드 N2 사이에 접속된다.

[0105] 도 8은 도 7의 화소에 입력되는 구동 신호들의 전위 변화를 보여주는 과정도이다. 도 9a 내지 도 9e 는 도 8의 제 1 초기화 구간, 제 2 초기화 구간, 보상 구간, 유지 구간, 및 발광 구간에 각각 대응되는 화소의 등가 회로도이다.

[0106] 도 8을 참조하면, 제 n 수평 화소 라인(Ln) 상에 배치된 각 화소(PXL)는, 제 1초기화 구간(①), 제 2 초기화 구간(②), 보상 구간(③), 유지 구간(④), 및 발광 구간(⑤)을 포함하여 구동될 수 있다.

[0107] 도 8 및 도 9a를 참조하면, 제 1 초기화 구간(①)에서 제 n 스캔A 신호(G1(n))는 오프 레벨(OFF)로 입력되고, 제 n 스캔B 신호(G2(n)) 및 제 n 애미션 신호(EM(n))는 온 레벨(ON)로 입력된다.

[0108] 제 1 초기화 구간(①) 동안 온 레벨(ON)의 제 n 애미션 신호(EM(n))에 응답하여 제 3 스위치 TFT(T3)와 제 4 스위치 TFT(T6)가 턴 온 된다. 제 4 스위치 TFT(T6)의 턴 온에 의해 노드 N1에 초기화전압(Vinit)이 인가된다. 이 때, 제 3 스위치 TFT(T3)는 이전 프레임의 발광 구간(⑤)에 이어 발광소자(130)가 발광하도록 턴 온 된다. 제 1 초기화 구간(①) 동안 노드 N1의 전위는 제 4 스위치 TFT(T6)에 의해 이전 프레임의 발광 구간(⑤)에서 충전된 초기화전압(Vinit)을 유지한다.

[0109] 제 1 초기화 구간(①) 동안, 오프 레벨(OFF)의 제 n 스캔A 신호(G1(n))에 응답하여 제 1 스위치 TFT(T1) 및 제 2 스위치 TFT(T2)는 턴 오프 된다. 따라서, 노드 N2는 플로팅 상태가 되고 스토리지 커페시터(Cst)에 의해 직전 상태에서의 전위를 유지한다.

[0110] 제 1 초기화 구간(①) 동안, 온 레벨(ON)의 제 n 스캔B 신호(G2(n))에 응답하여 제 5 스위치 TFT(T5)는 턴 온 된다.

[0111] 초기화전압(Vinit)은 고전위 전원전압(EVDD)보다는 낮고, 저전위 전원전압(EVSS)보다 큰 전압으로 설정될 수 있다. 제 1 초기화 구간(①) 동안 구동 TFT(DT)의 게이트-소스 간 전압( $V_{gs}$ )은 구동 TFT(DT)의 문턱전압( $V_{th}$ )보다 작으므로 구동 TFT(DT)는 턴 온 조건을 만족한다. 따라서, 제 1 초기화 구간(①) 동안 노드 N3은 구동

TFT(DT)로부터 고전위 전원전압을 인가받는 동시에, 제 3 스위치 TFT(T3)로부터는 초기화전압(Vinit)을 인가받는다. 따라서, 노드 N3은 초기화전압(Vinit)보다 높은 전압으로 세팅될 수 있다. 다만, 표 2에서는 설명의 편의를 위해 직전 구간의 전위를 유지하는 것으로 표시하였다.

[0112] 표 2를 참조하면, 제 1 초기화 구간(①) 동안 노드 N1의 전위는 초기화전압(Vinit)이 되고, 노드 N2 및 노드 N3의 전위는 직전 구간의 상태를 유지한다.

[0113] 도 8 및 도 9b를 참조하면, 제 2 초기화 구간(②)에서 제 n 스캔A 신호(G1(n)) 및 제 n 스캔B 신호(G2(n))는 온 레벨(ON)로 입력되고, 제 n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다.

[0114] 제 2 초기화 구간(②) 동안 온 레벨(ON)의 제 n 스캔A 신호(G1(n))에 응답하여 제 1 스위치 TFT(T1) 및 제 2 스위치 TFT(T2)가 턴 온 된다. 제 2 스위치 TFT(T2)에 의해 노드 N1에는 데이터전압(Vdata)이 인가된다. 또한 온 레벨(ON)의 제 n 스캔B 신호(G2(n))에 응답하여 제 5 스위치 TFT(T5)가 턴 온 된다. 따라서, 제 2 전원라인(16)으로부터 노드 N2 까지 전류패스가 형성된다. 따라서, 노드 N2는 초기화전압(Vinit)으로 충전된다.

[0115] 제 2 초기화 구간(②) 동안 오프 레벨(OFF)의 제 n 에미션 신호(EM(n))에 응답하여 제 3 스위치 TFT(T3) 및 제 4 스위치 TFT(T4)는 턴 오프 된다. 따라서, 발광소자(130)는 발광을 멈추고, 특히, 제 3 스위치 TFT(T3)는 노드 N3의 초기화전압(Vinit)이 발광소자(130)의 애노드 전극에 인가되지 않도록 제어한다. 즉, 제 3 스위치 TFT(T3)는 발광 문턱전압이 낮은 발광소자(130)가 초기화전압(Vinit)으로 인해 발광하지 않도록 제어한다.

[0116] 표 2를 참조하면, 제 2 초기화 구간(②) 동안 노드 N1의 전위는 데이터전압(Vdata)이 되고, 노드 N2 및 노드 N3의 전위는 초기화전압(Vinit)이 된다.

[0117] 한편, 제 1 초기화 구간(①)은 생략될 수 있으며, 예를 들어, 도 8e에 도시된 발광 구간(⑤) 직후에 도 9b에 도시된 제 2 초기화 구간(②)이 연속으로 이어질 수 있다.

[0118] 도 8 및 도 9c를 참조하면, 보상 구간(③)에서 제 n 스캔A 신호(G1(n))는 온 레벨(ON)로 입력되고, 제 n 스캔B 신호(G2(n)) 및 제 n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다.

[0119] 보상 구간(③) 동안 온 레벨(ON)의 제 n 스캔A 신호(G1(n))에 응답하여 제 1 스위치 TFT(T1) 및 제 2 스위치 TFT(T2)가 턴 온 된다. 제 1 스위치 TFT(T1)에 의해 구동 TFT(DT)의 게이트전극과 드레인전극이 쇼트되어 구동 TFT(DT)가 다이오드 결선(Diode-connection)된다. 구동 TFT(DT)의 다이오드 결선에 의해 구동 TFT(DT)의 문턱 전압(Vth)이 보상되어 노드 N2 및 노드 N3의 전위는 “EVDD + Vth” 가 된다. 또한, 온 레벨(ON)의 제 n 스캔A 신호(G1(n))에 응답하여 제 2 스위치 TFT(T2)가 턴 온 된다. 이에 따라 제 2 초기화 구간(②)에 이어 노드 N1의 전위는 데이터전압(Vdata)을 유지한다.

[0120] 보상 구간(③) 동안 오프 레벨(OFF)의 제 n 스캔B 신호(G2(n)) 및 제 n 에미션 신호(EM(n))에 응답하여 제 3 스위치 TFT(T3), 제 4 스위치 TFT(T6), 및 제 5 스위치 TFT(T5)가 턴 오프 된다.

[0121] 표 2를 참조하면, 보상 구간(③) 동안 노드 N1의 전위는 데이터전압(Vdata)이 되고, 노드 N2 및 노드 N3의 전위는 “EVDD + Vth” 가 된다. 그리고, 보상 구간(③) 동안 스토리지 커패시터(Cst)에 저장되는 전압은 “EVDD + Vth - Vdata” 가 된다. PMOS형 TFT의 문턱전압(Vth)은 마이너스 전압일 수 있다.

[0122] 도 8 및 도 9d를 참조하면, 발광준비 구간(④)에서 제 n 스캔A 신호(G1(n)), 제 n 스캔B 신호(G2(n)), 및 제 n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다.

[0123] 발광준비 구간(④)에는 제 1 내지 제 5 스위치 TFT(T1, T2, T3, T6, T5)가 턴 오프 된다. 발광준비 구간(④) 동안 노드 N1 및 노드 N2는 플로팅(Floating) 상태로 바뀌지만 스토리지 커패시터(Cst)에 의해 직전 상태의 전압으로 유지된다. 즉, 노드 N1의 전위는 데이터전압(Vdata)으로 유지되고, 노드 N2의 전위는 “EVDD + Vth” 로 유지된다. 노드 N3의 전위는 차츰 방전될 수 있지만 설명의 편의를 위해 직전 구간에서의 전위를 유지하는 것으로 간주한다.

[0124] 도 8 및 도 9e를 참조하면, 발광 구간(⑤) 동안 제 n 에미션 신호(EM(n))는 온 레벨(ON)로 입력되고, 제 n 스캔 1 신호(G1(n)) 및 제 n 스캔2 신호(G2(n))는 오프 레벨(OFF)로 입력된다.

[0125] 발광 구간(⑤) 동안, 온 레벨(ON)의 제 n 에미션 신호(EM(n))에 응답하여 제 3 스위치 TFT(T3) 및 제 4 스위치 TFT(T6)는 턴 온 된다. 그리고, 오프 레벨(OFF)의 제 n 스캔A 신호(G1(n)) 및 제 n 스캔B 신호(G2(n))에 응답하여 제 1 스위치 TFT(T1), 제 2 스위치 TFT(T2), 및 제 5 스위치 TFT(T5)는 턴 오프 된다.

[0126] 발광 구간(⑤) 동안 노드 N1에는 제 4 스위치 TFT(T6)에 의해 초기화전압(Vinit)이 인가된다. 따라서, 스토리지 커패시터(Cst)에 의해 데이터전압(Vdata)으로 유지되던 노드 N1의 전위는 초기화전압(Vinit)으로 낮아진다.

[0127] 발광 구간(⑤) 동안 노드 N2는 플로팅(Floating) 상태이므로, 노드 N2의 전위는 스토리지 커패시터(Cst)를 통해 노드 N1과 커플링된다. 따라서, 발광 구간(⑤) 동안 노드 N1의 전위 변화분인 “Vdata - Vinit” 가 노드 N2에 반영된다. 그 결과 발광 구간(⑤) 동안 노드 N2의 전위는 이전 발광준비 구간(④)의 “EVDD + Vth”에서 “Vdata - Vinit” 만큼 낮아진다. 즉, 발광 구간(⑤) 동안 노드 N2의 전위는 “EVDD + Vth - Vdata + Vinit” 이 된다. 한편, 발광 구간(⑤) 동안 노드 N3의 전위는 데이터전압(Vdata)에 비례하며 구동 TFT(DT)의 소자 특성에 따라 달라질 수 있다.

[0128] 이를 통해, 발광소자(130)의 구동 전류량을 결정하는 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 설정된다. 이 때, 발광소자(130)에는 아래의 수학식 2와 같은 구동 전류(I)가 흐르게 된다.

[0129] [수학식 2]

$$I = K(V_{gs} - V_{th})^2$$

$$= K((EVDD + V_{th} - V_{data} + V_{init}) - EVDD)^2$$

$$= K(V_{data} - V_{init})^2$$

[0133] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의 문턱전압(Threshold voltage)이다.

[0134] 수학식 2에서 알 수 있는 바와 같이, 발광소자(130)의 구동 전류(I)가 구동 TFT(DT)의 문턱전압(Vth)뿐만 아니라 고전위 전원전압(EVDD)에 영향을 받지 않게 된다. 본 발명의 실시예는 발광소자(130)의 구동 전류(I)가 고전위 전원전압(EVDD)에 영향을 받지 않으므로, 제 1 전원라인(17)의 저저항 설계 없이 또는 제 1 전원라인(17)을 메쉬(mesh) 형태로 구성하지 않고 화면 전체에서 화소들의 휘도와 색감을 균일하게 할 수 있다. 또한, 본 발명의 실시예는 초기화전압(Vinit)의 전위를 저전위 전원전압(EVSS)보다 낮게 설정하지 않고도 빛샘 불량을 해결할 수 있다. 이에 의해, 본 발명은 화소 크기가 작은 고해상도 패널에서 균일한 화질을 구현하는데 매우 유리하다. 그리고, 본 발명은 휘도 및 화질이 향상된 대화면의 패널을 제공할 수 있는 효과가 있다.

표 2

|    | ①     | ②     | ③        | ④        | ⑤                    |
|----|-------|-------|----------|----------|----------------------|
| N1 | Vinit | Vdata | Vdata    | Vdata    | Vinit                |
| N2 | 유지    | Vinit | EVDD+Vth | EVDD+Vth | EVDD+Vth-Vdata+Vinit |
| N3 | 유지    | Vinit | EVDD+Vth | EVDD+Vth |                      |

[0136] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

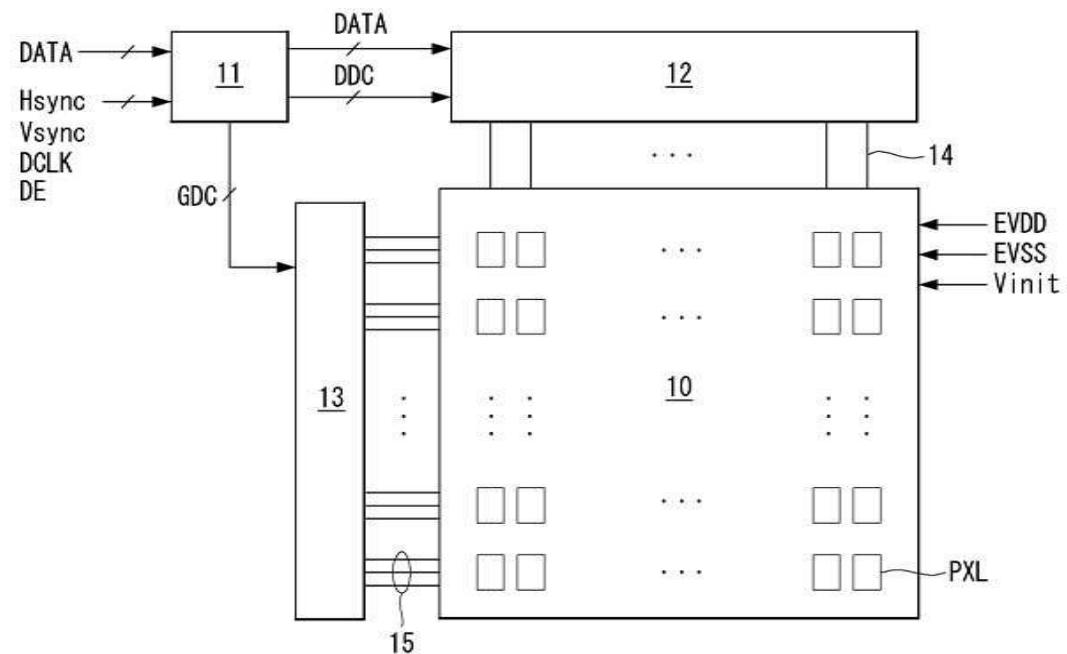
[0137] 10 : 표시패널 11 : 타이밍 콘트롤러

12 : 소스 드라이버 13 : 게이트 드라이버

130 : 발광소자

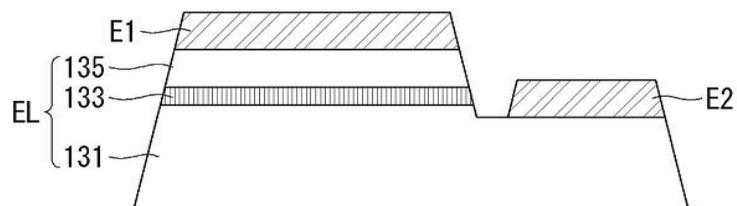
## 도면

## 도면1

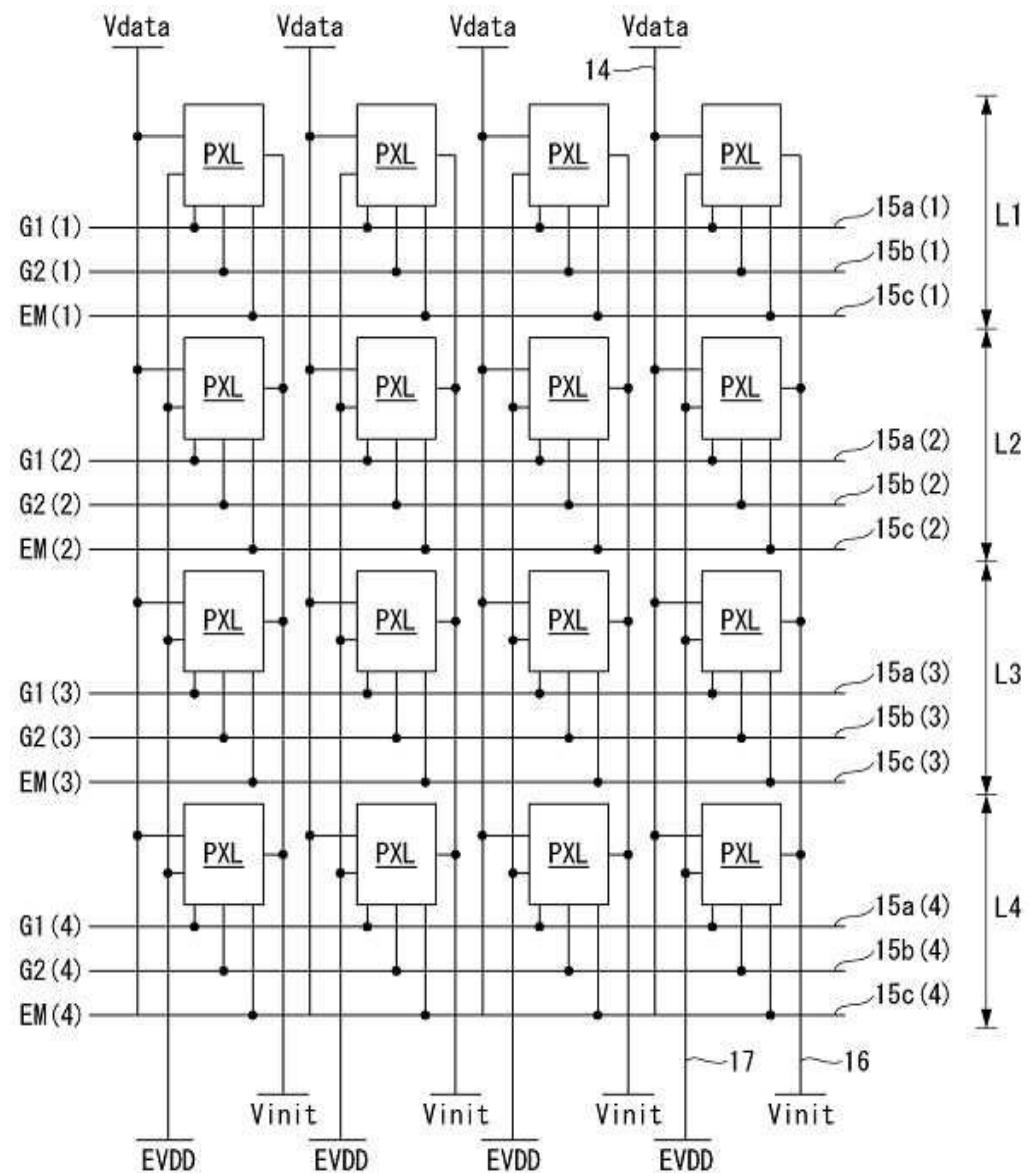


## 도면2

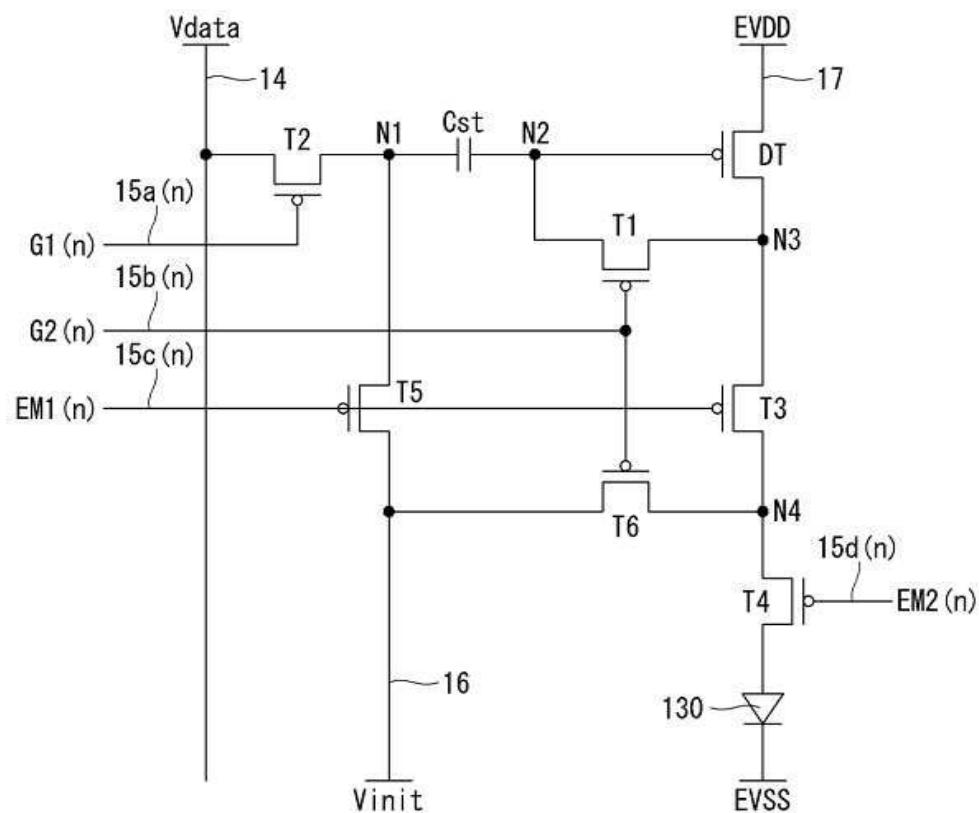
130



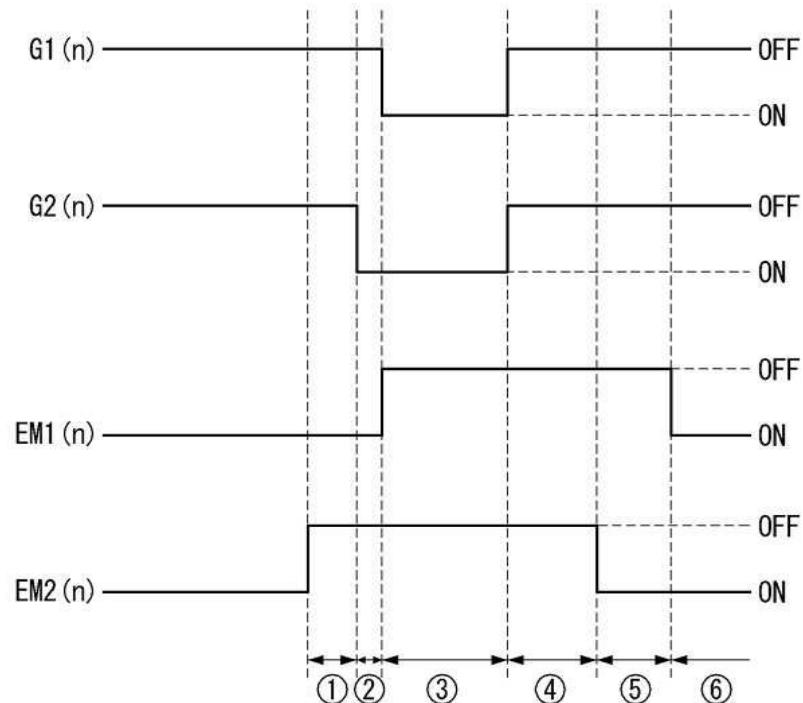
## 도면3



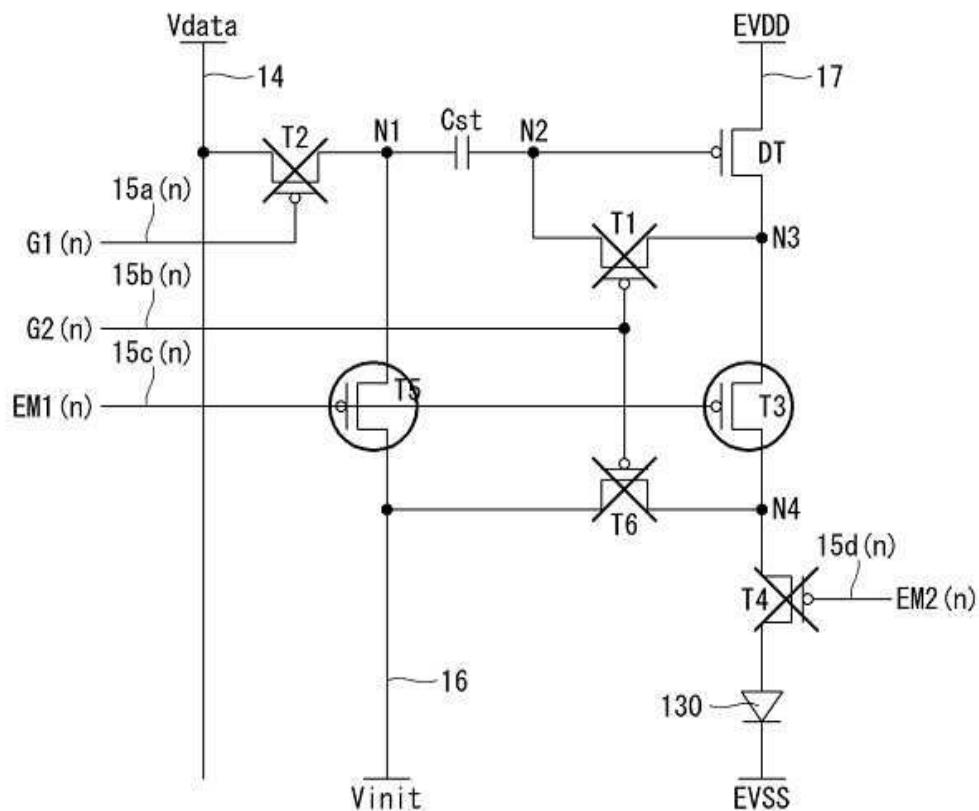
## 도면4



## 도면5



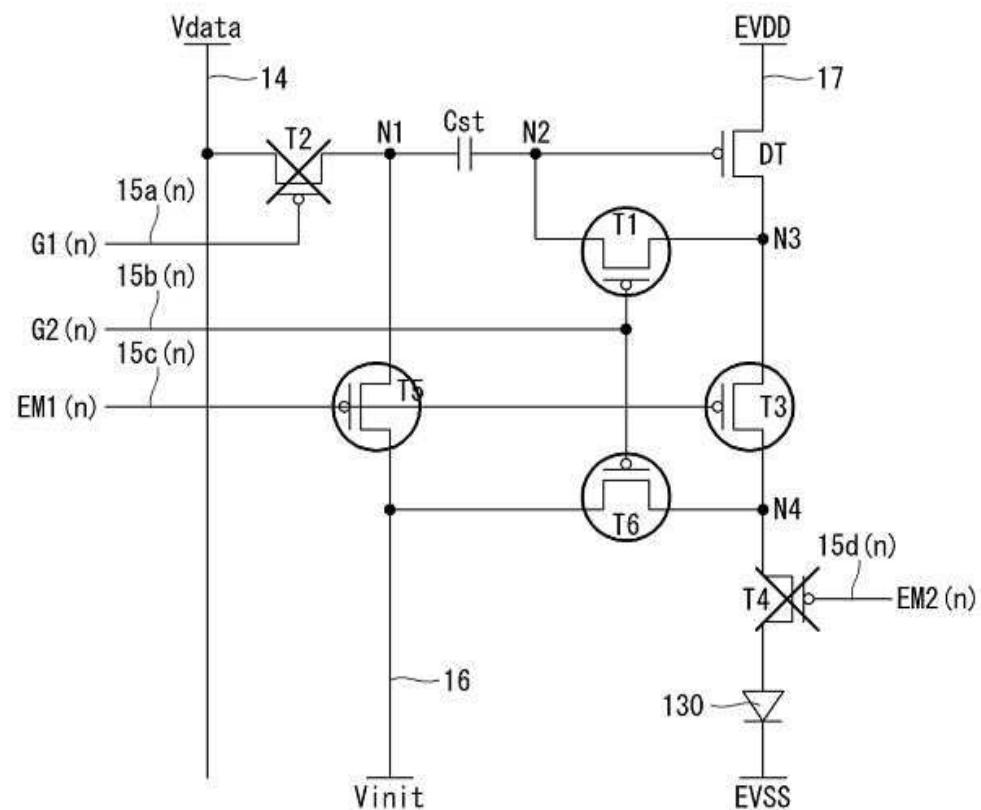
도면6a



○ : ON switching

✗ : OFF switching

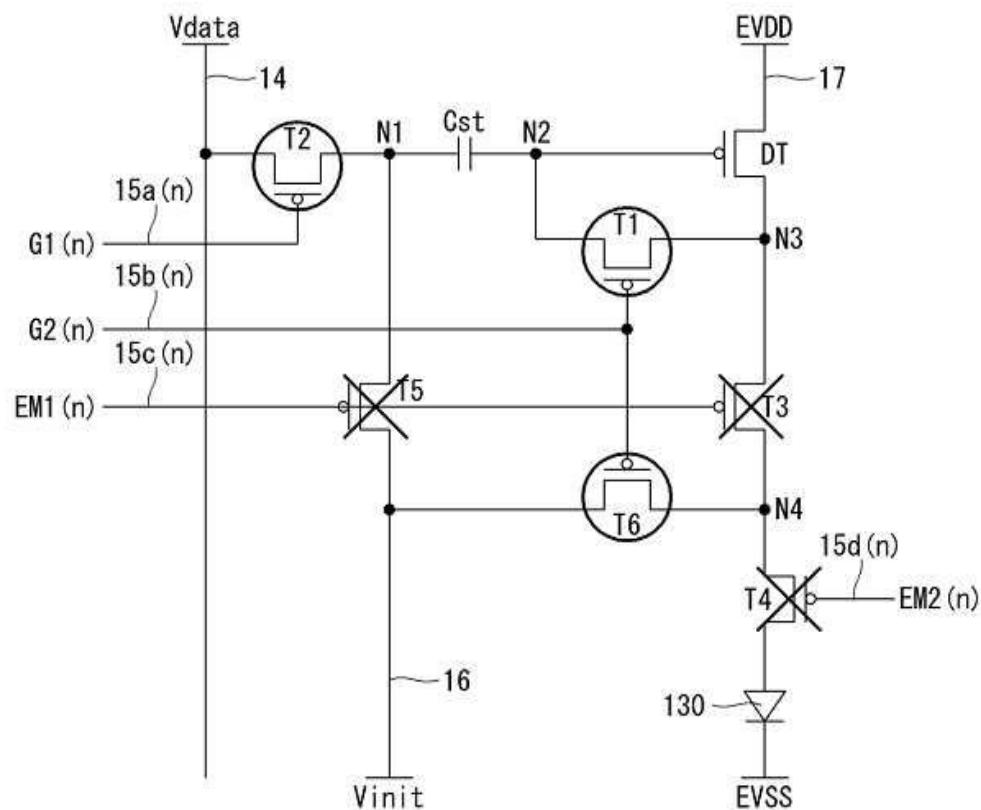
도면6b



○ : ON switching

✗ : OFF switching

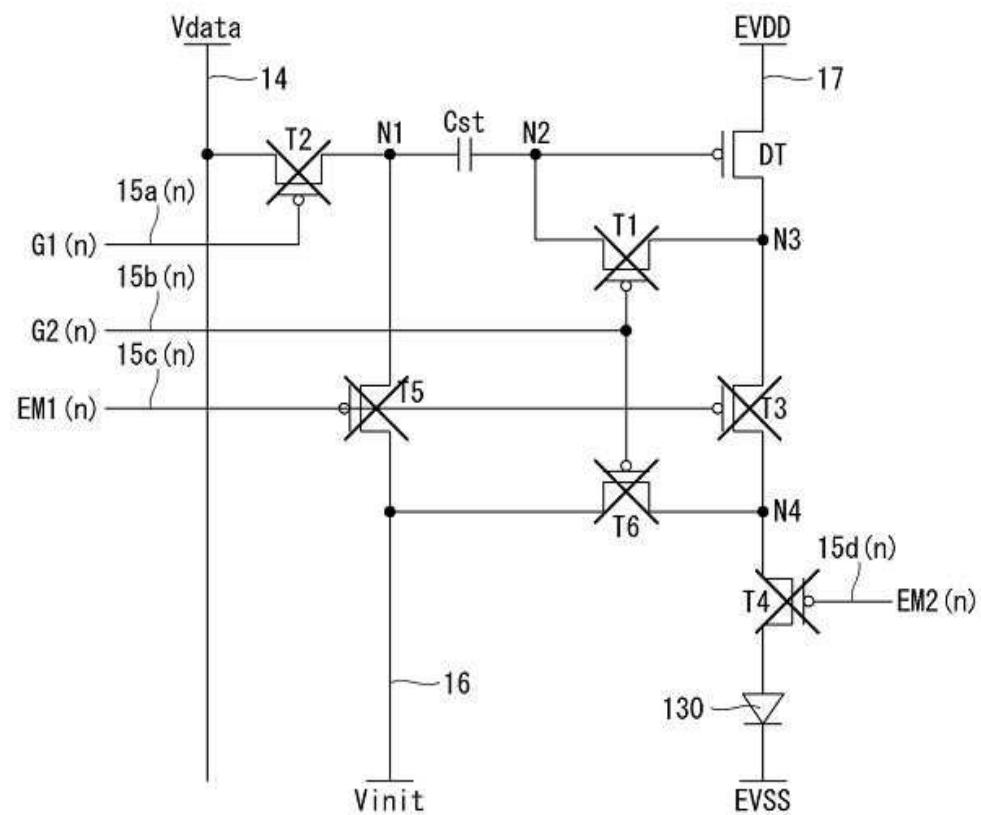
도면6c



○ : ON switching

✗ : OFF switching

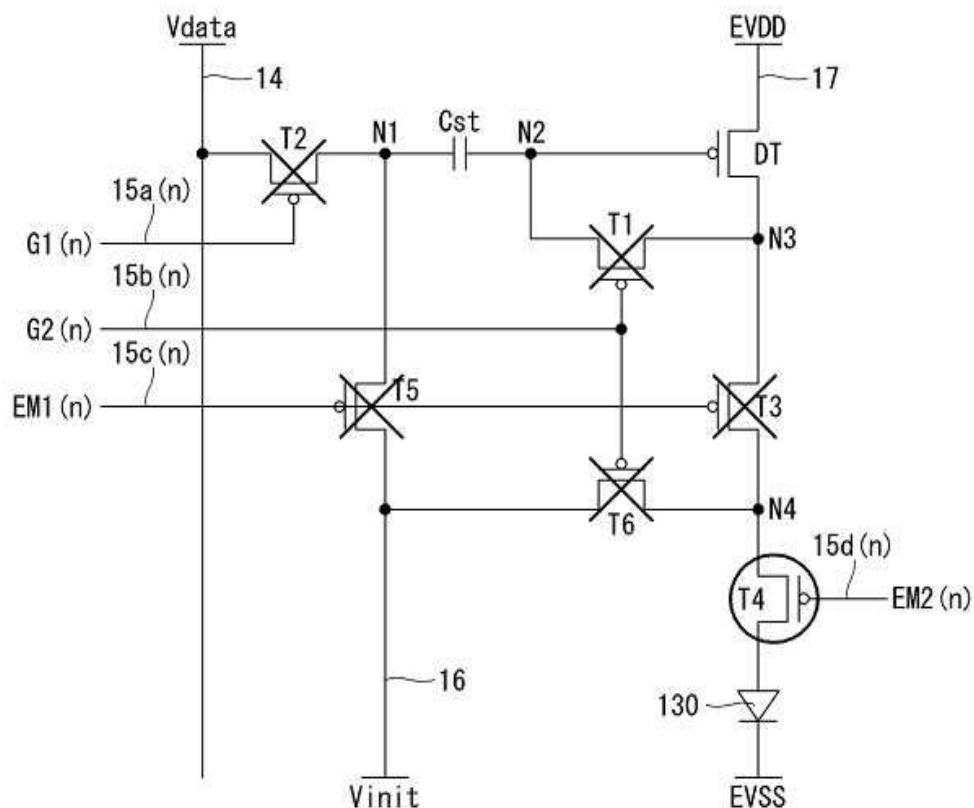
도면6d



○ : ON switching

× : OFF switching

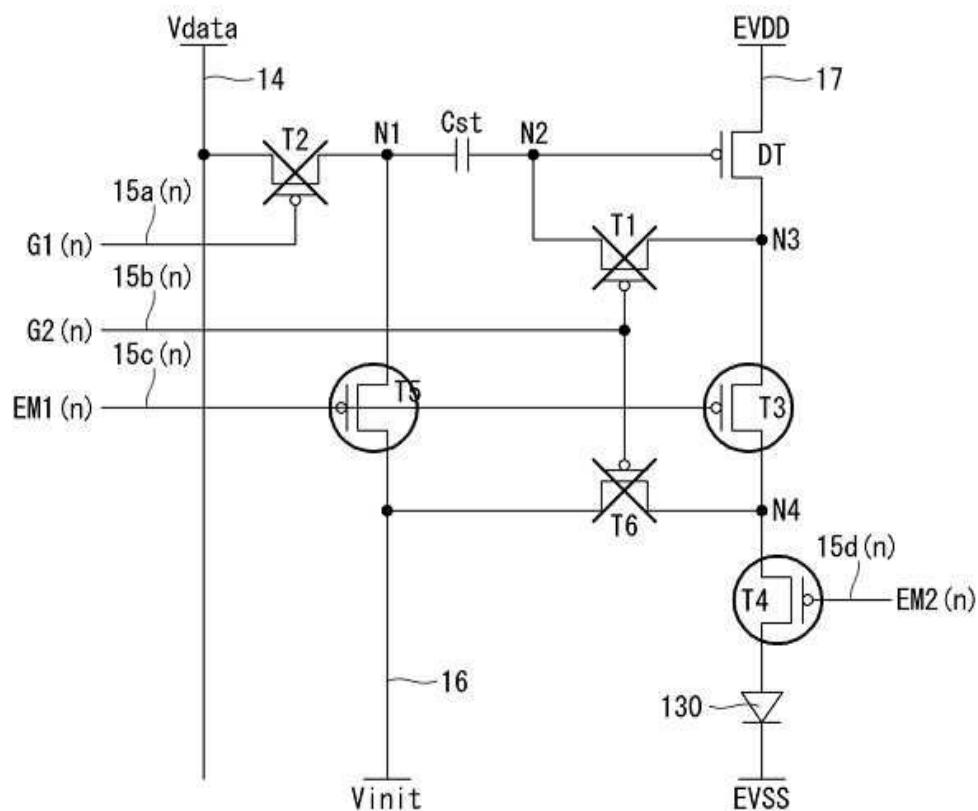
## 도면6e



○ : ON switching

× : OFF switching

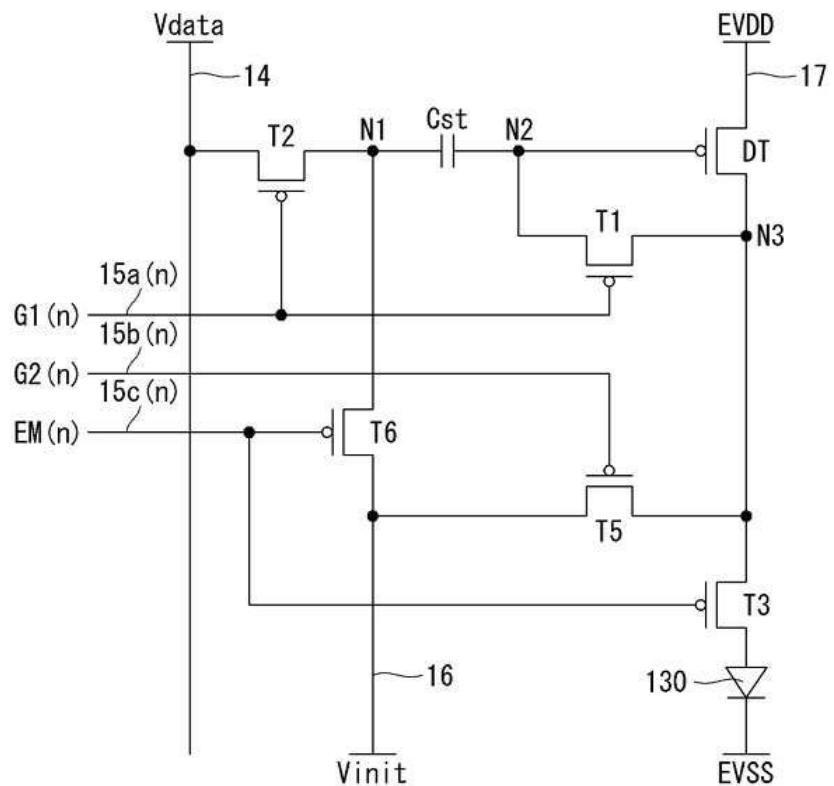
도면6f



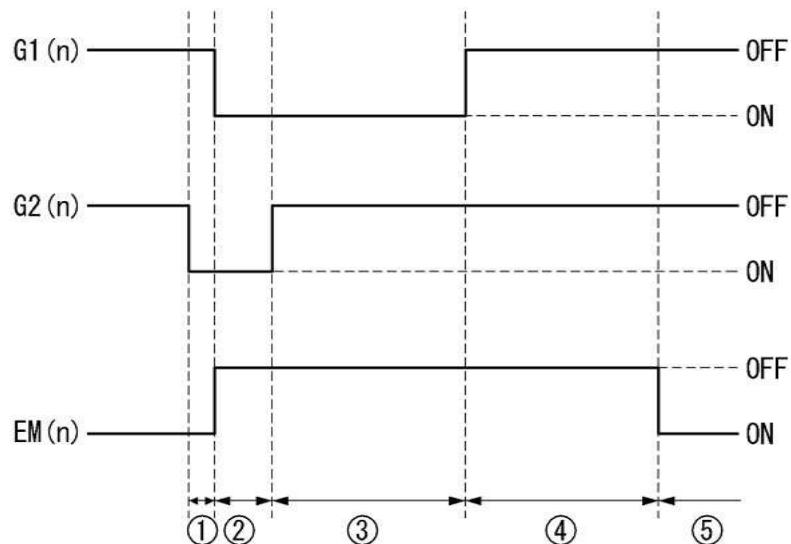
○ : ON switching

× : OFF switching

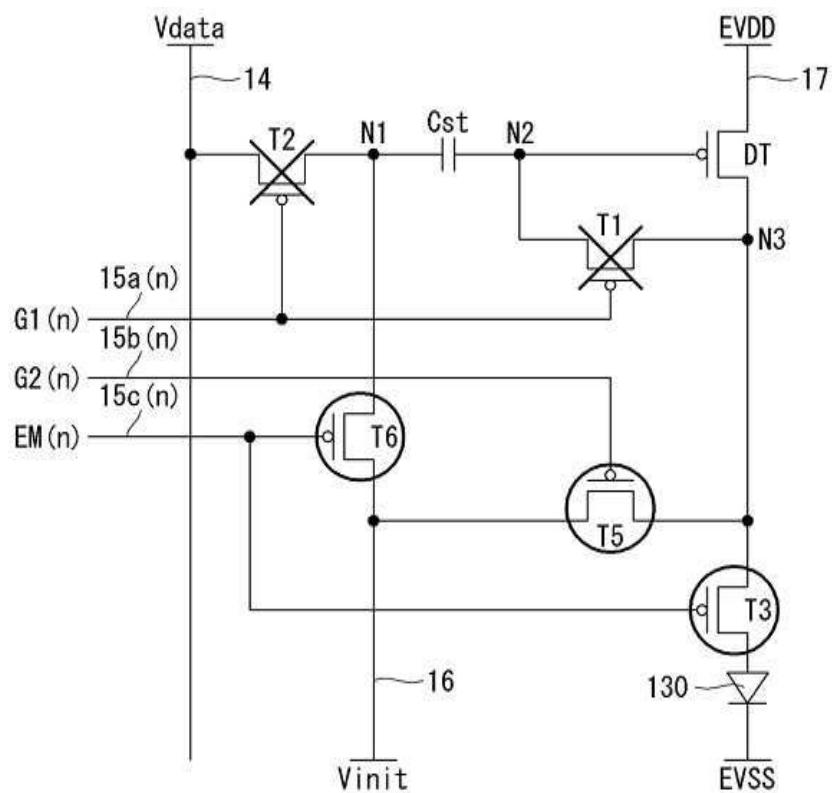
## 도면7



## 도면8



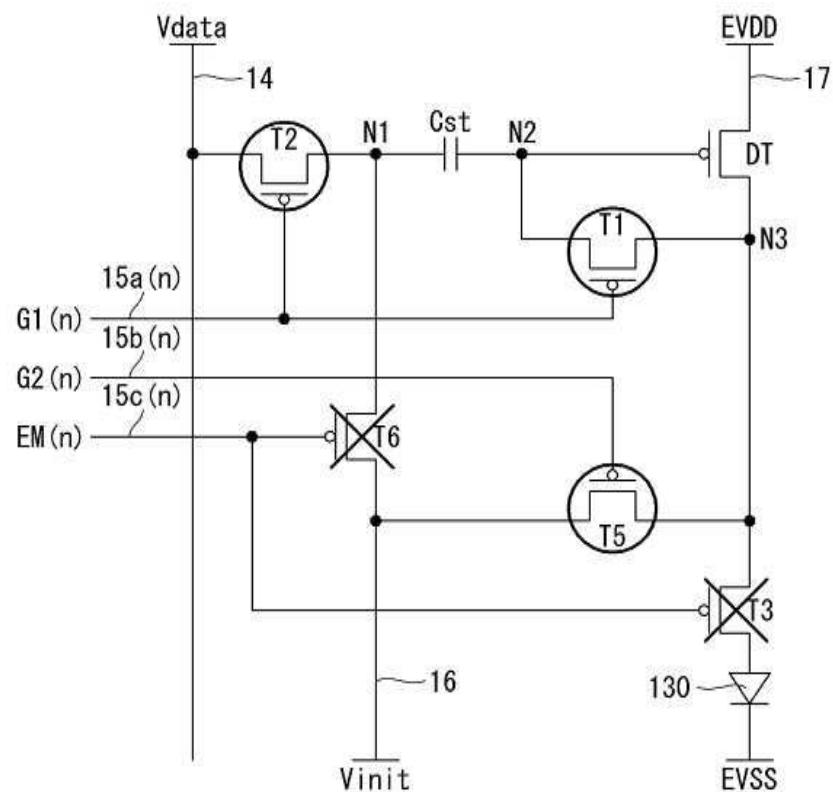
도면9a



○ : ON switching

× : OFF switching

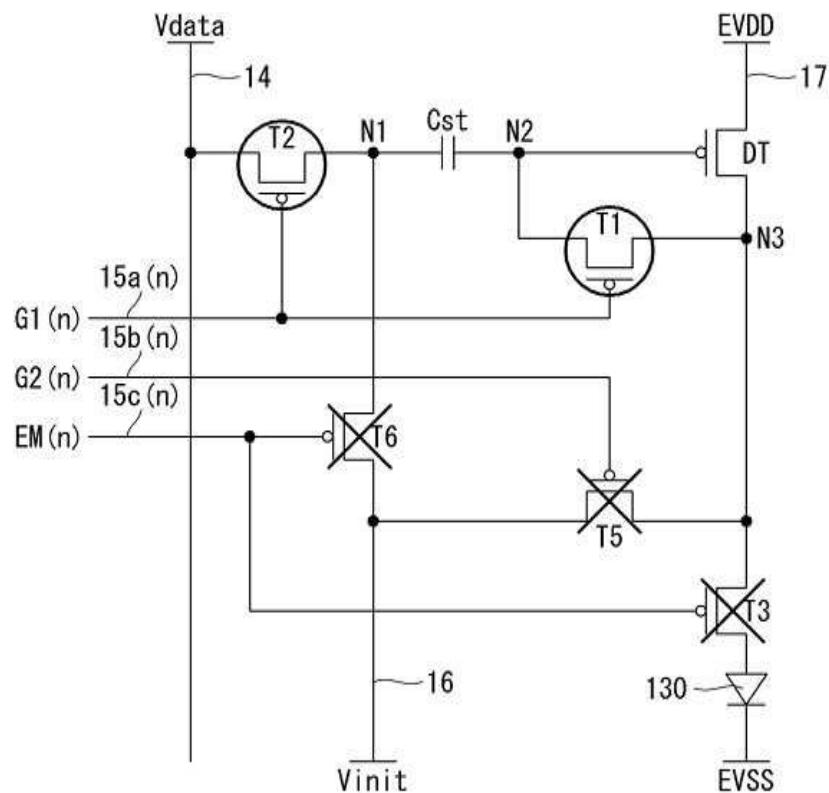
도면9b



○ : ON switching

✗ : OFF switching

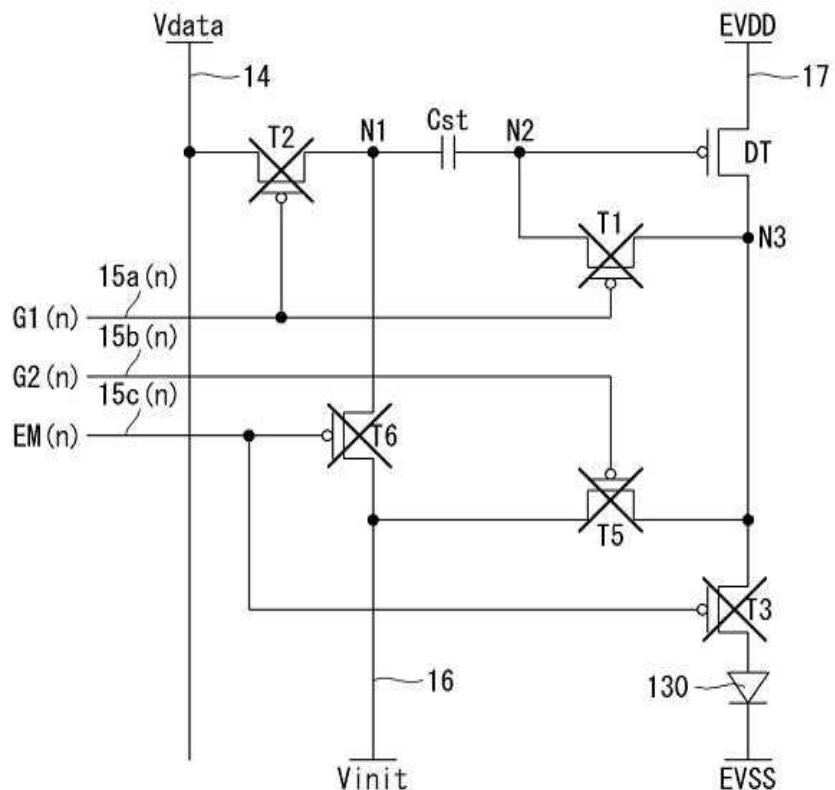
도면9c



○ : ON switching

✗ : OFF switching

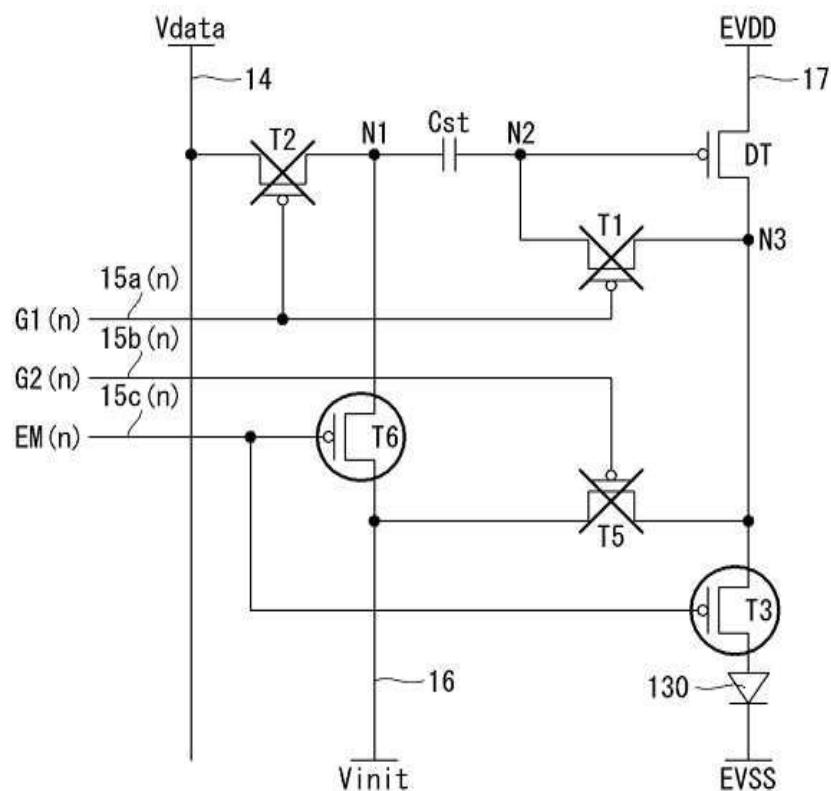
## 도면9d



: ON switching

~~X~~ : OFF switching

도면9e



○ : ON switching

× : OFF switching

|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 电致发光显示器   |         |            |
| 公开(公告)号        | KR1020190013134A                                | 公开(公告)日 | 2019-02-11 |
| 申请号            | KR1020170097236                                 | 申请日     | 2017-07-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司  |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                       |         |            |
| [标]发明人         | 주성환<br>손현호<br>김진영<br>손정은<br>박한철                 |         |            |
| 发明人            | 주성환<br>손현호<br>김진영<br>손정은<br>박한철                 |         |            |
| IPC分类号         | G09G3/32  |         |            |
| CPC分类号         | G09G3/32 G09G2230/00 G09G2310/027 G09G2320/0233 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                       |         |            |

### 摘要(译)

本发明包括一种电致发光显示装置，其中多个像素PXL连接到被提供数据电压Vdata的数据线14和被提供高电位电源电压EVDD的第一电源线17。布置在第n水平像素线Ln上的每个像素PXL包括驱动TFT DT，该驱动TFT DT具有分别连接到节点N2，第一电源线17和节点N3的栅极，源极和漏极。第一开关TFT T1根据第n个扫描A信号G1进行开关( $n$ )；第二开关TFT (T2) 根据第n个扫描A信号 ( $G1(n)$ ) 切换；第三开关TFT T3根据第n个发射信号EM ( $n$ ) 进行开关；发光元件连接在第三开关TFT (T3) 和低电位电源电压之间；并且在节点N1和节点N2之间连接有存储电容器Cst。

