



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0115205
(43) 공개일자 2018년10월22일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
<i>G09G 3/3233</i> (2016.01)</p> <p>(52) CPC특허분류
<i>G09G 3/3233</i> (2013.01)
<i>G09G 2300/0842</i> (2013.01)</p> <p>(21) 출원번호 10-2017-0134878</p> <p>(22) 출원일자 2017년10월17일
심사청구일자 없음</p> <p>(30) 우선권주장
1020170047368 2017년04월12일 대한민국(KR)</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
상우규
경기도 파주시 월롱면 엘지로 245</p> <p>조용완
경기도 파주시 월롱면 엘지로 245</p> <p>김동규
경기도 파주시 월롱면 엘지로 245</p> <p>(74) 대리인
특허법인로얄</p> |
|---|--|

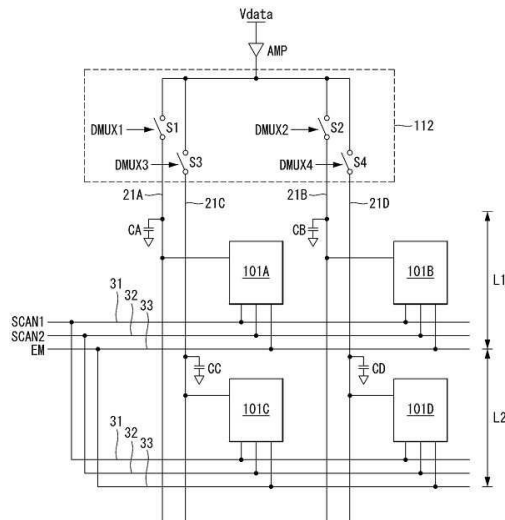
전체 청구항 수 : 총 46 항

(54) 발명의 명칭 표시패널과 이를 이용한 전계 발광 표시장치

(57) 요약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널은 제1 데이터 신호가 충전되는 제1 데이터 라인, 제2 데이터 신호가 충전되는 제2 데이터 라인, 상기 제1 데이터 라인에 연결된 제1 서브 픽셀, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀, 상기 제1 및 제2 서브 픽셀들에 게이트 신호를 공급하는 게이트 라인들을 구비한다.

대표도 - 도4



(52) CPC특허분류

G09G 2310/0262 (2013.01)

G09G 2310/0297 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

제1 데이터 신호가 충전되는 제1 데이터 라인;
제2 데이터 신호가 충전되는 제2 데이터 라인;
상기 제1 데이터 라인에 연결된 제1 서브 픽셀;
상기 제2 데이터 라인에 연결된 제2 서브 픽셀; 및
상기 제1 및 제2 서브 픽셀들에 게이트 신호를 공급하는 게이트 라인들을 구비하고,
상기 제1 데이터 라인에 상기 제1 데이터 신호가 충전된 후, 상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전되고,
상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급되고, 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급되는 표시패널.

청구항 2

제 1 항에 있어서,
상기 게이트 라인들이 상기 제1 및 제2 서브 픽셀들에 공통으로 연결되는 표시패널.

청구항 3

제 1 항에 있어서,
상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급됨과 동시에 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급되는 표시패널.

청구항 4

제 3 항에 있어서,
상기 서브 픽셀들 각각의 픽셀 회로는
발광 소자;
상기 발광 소자에 전류를 공급하는 구동 소자;
상기 구동 소자의 게이트에 연결된 스토리지 커패시터; 및
상기 게이트 라인들로부터의 신호에 따라 온/오프되는 다수의 스위치 소자들을 포함하는 표시패널.

청구항 5

제 3 항에 있어서,
제3 데이터 신호가 충전되는 제3 데이터 라인;
제4 데이터 신호가 충전되는 제4 데이터 라인;
상기 제3 데이터 라인에 연결된 제3 서브 픽셀; 및
상기 제4 데이터 라인에 연결된 제4 서브 픽셀을 더 구비하고,
상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전된 후, 상기 제3 데이터 라인에 상기 제3 데이터 신호가 충전되고,

상기 제3 데이터 라인에 상기 제3 데이터 신호가 충전된 후, 상기 제4 데이터 라인에 상기 제4 데이터 신호가 충전되고,

상기 제3 데이터 라인에 충전된 상기 제3 데이터 신호가 상기 제3 서브 픽셀에 공급되고, 상기 제4 데이터 라인에 충전된 상기 제4 데이터 신호가 상기 제4 서브 픽셀에 공급되고,

상기 제1 내지 제4 데이터 라인들에 순차적으로 충전된 상기 제1 내지 제4 데이터 신호가 상기 제1 내지 제4 서브 픽셀들 중 대응하는 서브 픽셀들에 동시에 공급되는 표시패널.

청구항 6

제 5 항에 있어서,

상기 게이트 라인들이 상기 제3 및 제4 서브 픽셀들에 공통으로 연결되는 표시패널.

청구항 7

제 6 항에 있어서,

상기 제3 데이터 라인에 충전된 상기 제3 데이터 신호가 상기 제3 서브 픽셀에 공급됨과 동시에 상기 제4 데이터 라인에 충전된 상기 제4 데이터 신호가 상기 제4 서브 픽셀에 공급되고,

상기 제1 내지 제4 데이터 라인들에 순차적으로 충전된 상기 제1 내지 제4 데이터 신호가 상기 제1 내지 제4 서브 픽셀들 중 대응하는 서브 픽셀들에 동시에 공급되는 표시패널.

청구항 8

제 7 항에 있어서,

상기 제1 및 제2 서브 픽셀들은 제1 라인에 배치되고,

상기 제3 및 제4 서브 픽셀들은 상기 제1 라인의 아래에 위치한 제2 라인에 배치되고,

상기 제1 및 제3 서브 픽셀들의 좌측에 상기 제1 및 제3 데이터 라인들이 배치되고, 상기 제1 및 제3 서브 픽셀들의 우측에 상기 제2 및 제4 데이터 라인들이 배치되는 표시패널.

청구항 9

제 8 항에 있어서,

상기 제1 내지 제4 서브 픽셀들에서 상기 스토리지 커패시터에 상기 구동 소자의 문턱 전압이 동시에 샘플링되는 표시패널.

청구항 10

제 5 항에 있어서,

상기 데이터 라인들, 상기 게이트 라인들, 상기 서브 픽셀들의 픽셀 회로가 배치된 기판을 더 구비하고,

상기 제1 및 제2 데이터 라인들은 절연막을 사이에 두고 상기 기판에 대하여 수직으로 중첩되고,

상기 제3 및 제4 데이터 라인들은 절연막을 사이에 두고 상기 기판에 대하여 수직으로 중첩되는 표시패널.

청구항 11

제 5 항에 있어서,

상기 데이터 라인들, 상기 게이트 라인들, 상기 서브 픽셀들의 픽셀 회로가 배치된 기판을 더 구비하고,

상기 제1 및 제2 데이터 라인들은 상기 기판 상의 절연막 상에서 동일 평면 상에 나란히 배치되고,

상기 제3 및 제4 데이터 라인들은 상기 절연막 상에서 동일 평면 상에 나란히 배치되는 표시패널.

청구항 12

제 8 항에 있어서,

데이터 구동부로부터의 데이터 신호를 상기 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비하고,
상기 디멀티플렉서는,

제1 스위치 제어신호에 응답하여 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자;

상기 제1 스위치 소자에 이어서 발생하는 제2 스위치 제어신호에 응답하여 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자;

상기 제2 스위치 소자에 이어서 발생하는 제3 스위치 제어신호에 응답하여 상기 제3 데이터 신호를 상기 제3 데이터 라인에 공급하는 제3 스위치 소자; 및

상기 제3 스위치 소자에 이어서 발생하는 제4 스위치 제어신호에 응답하여 상기 제4 데이터 신호를 상기 제4 데이터 라인에 공급하는 제4 스위치 소자를 포함하는 표시패널.

청구항 13

제 12 항에 있어서,

상기 데이터 라인들 중 일부 데이터 라인들이 교차되고,

상기 제1 및 제3 데이터 라인들에 상기 제1 및 제3 데이터 신호가 동시에 공급되고,

상기 제2 및 제4 데이터 라인들에 상기 제2 및 제4 데이터 신호가 동시에 공급되는 표시패널.

청구항 14

제 1 항에 있어서,

데이터 구동부로부터의 데이터 신호를 상기 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비하고,
상기 제1 서브 픽셀은 제1 라인에 배치되고,

상기 제2 서브 픽셀은 상기 제1 라인의 아래에 위치한 제2 라인에 배치되고,

상기 디멀티플렉서는,

제1 스위치 제어신호에 응답하여 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자;
및

상기 제1 스위치 소자에 이어서 발생하는 제2 스위치 제어신호에 응답하여 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자를 포함하는 표시패널.

청구항 15

제 14 항에 있어서,

상기 제1 및 제2 서브 픽셀들에서 상기 스토리지 커패시터에 상기 구동 소자의 문턱 전압이 동시에 샘플링되는 표시패널.

청구항 16

제 15 항에 있어서,

상기 데이터 라인들, 상기 게이트 라인들, 상기 서브 픽셀들의 픽셀 회로가 배치된 기판을 더 구비하고,

상기 제1 및 제2 데이터 라인들은 절연막을 사이에 두고 상기 기판에 대하여 수직으로 중첩되는 표시패널.

청구항 17

제 15 항에 있어서,

상기 데이터 라인들, 상기 게이트 라인들, 상기 서브 픽셀들의 픽셀 회로가 배치된 기판을 더 구비하고,

상기 제1 및 제2 데이터 라인들은 상기 기판 상의 절연막 상에서 동일 평면 상에 나란히 배치되는 표시패널.

청구항 18

제 3 항에 있어서,

상기 게이트 라인들은

제1 스캔 신호가 인가되는 제1 게이트 라인;

제2 스캔 신호가 인가되는 제2 게이트 라인; 및

발광 신호가 인가되는 제3 게이트 라인을 포함하고,

상기 제2 스캔 신호의 펄스는 상기 제1 스캔 신호가 게이트 온 전압으로 변하기에 앞서 상기 게이트 온 전압으로 변하고,

상기 제1 및 제2 스캔 신호는 동시에 게이트 오프 전압으로 변하고,

상기 제1 스캔 신호가 상기 게이트 온 전압으로 변함과 동시에 상기 발광 신호가 상기 게이트 오프 전압으로 변하고,

상기 발광 신호는 상기 제1 및 제2 스캔 신호가 상기 게이트 오프 전압으로 변한 후에 상기 게이트 온 전압으로 변하는 표시패널.

청구항 19

제 18 항에 있어서,

상기 스캔 신호들과 상기 발광 신호를 상기 게이트 라인들에 공급하는 게이트 구동부를 더 구비하고,

상기 제1 및 제2 서브 픽셀들에 연결된 제1 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제1 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제2 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제2 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제3 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제3 출력 단자에 연결되는 표시패널.

청구항 20

제 1 항에 있어서,

상기 게이트 라인들은

제1 스캔 신호가 인가되는 제1 게이트 라인;

제2 스캔 신호가 인가되는 제2 게이트 라인;

제3 스캔 신호가 인가되는 제3 게이트 라인; 및

발광 신호가 인가되는 제4 게이트 라인을 포함하고,

상기 제1 스캔 신호의 펄스가 게이트 온 전압으로 발생된 후, 상기 제2 스캔 신호의 펄스가 상기 게이트 온 전압으로 발생된 다음, 상기 3 스캔 신호의 펄스가 상기 게이트 온 전압으로 발생되고,

상기 제1 스캔 신호가 게이트 오프 전압으로 변한 후에, 상기 제2 스캔 신호가 상기 게이트 온 전압으로 변하고,

상기 제2 스캔 신호가 상기 게이트 오프 전압으로 변한 후에, 상기 제3 스캔 신호의 전압이 상기 게이트 온 전압으로 변하고,

상기 발광 신호의 펄스는 상기 제1 스캔 신호의 펄스가 발생되기 전에 상기 게이트 오프 전압으로 발생된 후, 상기 제3 스캔 신호의 전압이 상기 게이트 오프 전압으로 변환 후에 상기 게이트 온 전압으로 변하는 표시패널.

청구항 21

제 20 항에 있어서,

상기 스캔 신호들과 상기 발광 신호를 상기 게이트 라인들에 공급하는 게이트 구동부를 더 구비하고,

상기 제1 및 제2 서브 픽셀들에 연결된 제1 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제1 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제2 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제2 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제3 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제3 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제4 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제4 출력 단자에 연결되는 표시패널.

청구항 22

제 1 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 데이터 라인들 각각에 연결되어 데이터 신호의 전압을 저장하는 커패시터를 더 구비하는 표시패널.

청구항 23

제 1 항에 있어서,

상기 제1 서브 픽셀과 상기 제2 서브 픽셀이 상기 제1 및 제2 데이터 라인들 사이에서 상하로 배치되는 표시패널.

청구항 24

제 23 항에 있어서,

상기 게이트 라인들은

상기 제1 서브 픽셀에 연결되어 제1 게이트 신호를 상기 제1 서브 픽셀에 공급하는 제1 게이트 라인 그룹과;

상기 제2 서브 픽셀에 연결되어 상기 제1 게이트 신호 보다 위상이 늦은 제2 게이트 신호를 상기 제2 서브 픽셀에 공급하는 제2 게이트 라인 그룹을 포함하는 표시패널.

청구항 25

제 23 항에 있어서,

제3 데이터 신호가 충전되는 제3 데이터 라인;

제4 데이터 신호가 충전되는 제4 데이터 라인;

상기 제3 데이터 라인과 상기 제1 게이트 라인 그룹에 연결된 제3 서브 픽셀; 및

상기 제4 데이터 라인과 상기 제2 게이트 라인 그룹에 연결된 제4 서브 픽셀을 더 구비하고,

상기 제3 서브 픽셀과 상기 제4 서브 픽셀이 상기 제3 및 제4 데이터 라인들 사이에서 상하로 배치되는 표시패널.

청구항 26

제 25 항에 있어서,

상기 제1 서브 픽셀과 상기 제3 서브 픽셀의 픽셀 회로들은 상기 제1 및 제3 데이터 라인들을 사이에 두고 좌우 대칭이고,

상기 제2 서브 픽셀과 상기 제4 서브 픽셀의 픽셀 회로들은 상기 제1 및 제3 데이터 라인들을 사이에 두고 좌우

대칭이고,

상기 제1 서브 픽셀과 상기 제2 서브 픽셀의 픽셀 회로들은 서로 좌우가 반전되고,

상기 제3 서브 픽셀과 상기 제4 서브 픽셀의 픽셀 회로들이 서로 좌우가 반전되는 표시패널.

청구항 27

제1 및 제2 데이터 신호를 순차적으로 출력하는 데이터 구동부;

제1 스위치 제어신호에 응답하여 상기 제1 데이터 신호를 제1 데이터 라인에 공급하는 제1 스위치 소자;

제2 스위치 제어신호에 응답하여 상기 제2 데이터 신호를 제2 데이터 라인에 공급하는 제2 스위치 소자;

상기 제1 데이터 라인에 연결된 제1 서브 픽셀;

상기 제2 데이터 라인에 연결된 제2 서브 픽셀;

상기 제1 및 제2 서브 픽셀들에 공통으로 연결되어 스캔 신호와 발광 신호를 상기 제1 및 제2 서브 픽셀들에 동시에 공급하는 게이트 라인들;

상기 게이트 라인들에 게이트 신호를 공급하는 게이트 구동부를 구비하고,

상기 제1 데이터 라인에 상기 제1 데이터 신호가 충전된 후, 상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전되고,

상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급됨과 동시에 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급되고,

상기 서브 픽셀들 각각의 픽셀 회로는

발광 소자;

상기 발광 소자에 전류를 공급하는 구동 소자;

상기 구동 소자의 게이트에 연결된 스토리지 커패시터; 및

게이트 온 전압에 응답하여 턴-온되고 게이트 오프 전압에 따라 턴-오프되는 다수의 스위치 소자들을 포함하는 전계 발광 표시장치.

청구항 28

제 27 항에 있어서,

상기 스위치 소자들은 상기 픽셀 회로를 초기화한 후, 상기 구동 소자의 게이트와 드레인을 연결한 다음, 데이터 신호의 전압을 상기 스토리지 커패시터에 공급하고 상기 구동 소자와 상기 발광 소자 사이의 전류 패스를 스위칭하는 전계 발광 표시장치.

청구항 29

제 27 항에 있어서,

제3 데이터 신호가 충전되는 제3 데이터 라인;

제4 데이터 신호가 충전되는 제4 데이터 라인;

상기 제3 데이터 라인에 연결된 제3 서브 픽셀; 및

상기 제4 데이터 라인에 연결된 제4 서브 픽셀을 더 구비하고,

상기 게이트 라인들이 상기 제3 및 제4 서브 픽셀들에 공통으로 연결되고,

상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전된 후, 상기 제3 데이터 라인에 상기 제3 데이터 신호가 충전되고,

상기 제3 데이터 라인에 상기 제3 데이터 신호가 충전된 후, 상기 제4 데이터 라인에 상기 제4 데이터 신호가

충전되고,

상기 제3 데이터 라인에 충전된 상기 제3 데이터 신호가 상기 제3 서브 픽셀에 공급됨과 동시에 상기 제4 데이터 라인에 충전된 상기 제4 데이터 신호가 상기 제4 서브 픽셀에 공급되고,

상기 제1 내지 제4 데이터 라인들에 순차적으로 충전된 상기 제1 내지 제4 데이터 신호가 상기 제1 내지 제4 서브 픽셀들 중 대응하는 서브 픽셀들에 동시에 공급되는 전계 발광 표시장치.

청구항 30

제 29 항에 있어서,

상기 제1 내지 제4 서브 픽셀들에서 상기 스토리지 커패시터에 상기 구동 소자의 문턱 전압이 동시에 샘플링되는 전계 발광 표시장치.

청구항 31

제 30 항에 있어서,

상기 데이터 구동부로부터의 데이터 신호를 상기 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비하고,

상기 데이터 구동부는,

상기 제1 내지 제4 데이터 신호를 순차적으로 출력하는 출력 버퍼를 구비하고,

상기 디멀티플렉서는,

제1 스위치 제어신호에 응답하여 상기 출력 버퍼로부터의 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자;

상기 제1 스위치 소자에 이어서 발생하는 제2 스위치 제어신호에 응답하여 상기 출력 버퍼로부터의 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자;

상기 제2 스위치 소자에 이어서 발생하는 제3 스위치 제어신호에 응답하여 상기 출력 버퍼로부터의 상기 제3 데이터 신호를 상기 제3 데이터 라인에 공급하는 제3 스위치 소자; 및

상기 제3 스위치 소자에 이어서 발생하는 제4 스위치 제어신호에 응답하여 상기 출력 버퍼로부터의 상기 제4 데이터 신호를 상기 제4 데이터 라인에 공급하는 제4 스위치 소자를 포함하는 전계 발광 표시장치.

청구항 32

제 31 항에 있어서,

상기 데이터 라인들 중 일부 데이터 라인들이 교차되고,

상기 제1 및 제3 데이터 라인들에 상기 제1 및 제3 데이터 신호가 동시에 공급되고,

상기 제2 및 제4 데이터 라인들에 상기 제2 및 제4 데이터 신호가 동시에 공급되는 전계 발광 표시장치.

청구항 33

제 27 항에 있어서,

상기 데이터 구동부로부터의 데이터 신호를 상기 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비하고,

상기 데이터 구동부는,

상기 제1 및 제2 데이터 신호를 순차적으로 출력하는 출력 버퍼를 구비하고,

상기 제1 서브 픽셀은 제1 라인에 배치되고,

상기 제2 서브 픽셀은 상기 제1 라인의 아래에 위치한 제2 라인에 배치되고,

상기 디멀티플렉서는,

제1 스위치 제어신호에 응답하여 상기 출력 버퍼로부터의 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자; 및

상기 제1 스위치 소자에 이어서 발생하는 제2 스위치 제어신호에 응답하여 상기 출력 버퍼로부터의 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자를 전계 발광 표시장치.

청구항 34

제 33 항에 있어서,

상기 제1 및 제2 서브 픽셀들에서 상기 스토리지 커패시터에 상기 구동 소자의 문턱 전압이 동시에 샘플링되는 전계 발광 표시장치.

청구항 35

제 27 항에 있어서,

상기 게이트 신호는 제1 스캔 신호, 제2 스캔 신호, 및 발광 신호를 포함하고,

상기 게이트 라인들은

상기 제1 스캔 신호가 인가되는 제1 게이트 라인;

상기 제2 스캔 신호가 인가되는 제2 게이트 라인; 및

상기 발광 신호가 인가되는 제3 게이트 라인을 포함하고,

상기 제2 스캔 신호의 펄스는 상기 제1 스캔 신호가 게이트 온 전압으로 변하기에 앞서 상기 게이트 온 전압으로 변하고,

상기 제1 및 제2 스캔 신호는 동시에 게이트 오프 전압으로 변하고,

상기 제1 스캔 신호가 상기 게이트 온 전압으로 변함과 동시에 상기 발광 신호가 상기 게이트 오프 전압으로 변하고,

상기 발광 신호는 상기 제1 및 제2 스캔 신호가 상기 게이트 오프 전압으로 변한 후에 상기 게이트 온 전압으로 변하는 전계 발광 표시장치.

청구항 36

제 35 항에 있어서,

상기 제1 및 제2 서브 픽셀들에 연결된 제1 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제1 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제2 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제2 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제3 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제1 출력 단자에 연결되는 전계 발광 표시장치.

청구항 37

제 27 항에 있어서,

상기 게이트 신호는 제1 스캔 신호, 제2 스캔 신호, 제3 스캔 신호, 및 발광 신호를 포함하고,

상기 게이트 라인들은

상기 제1 스캔 신호가 인가되는 제1 게이트 라인;

상기 제2 스캔 신호가 인가되는 제2 게이트 라인;

상기 제3 스캔 신호가 인가되는 제3 게이트 라인; 및

상기 발광 신호가 인가되는 제4 게이트 라인을 포함하고,

상기 제1 스캔 신호의 펄스가 게이트 온 전압으로 발생된 후, 상기 제2 스캔 신호의 펄스가 상기 게이트 온 전압으로 발생된 다음, 상기 3 스캔 신호의 펄스가 상기 게이트 온 전압으로 발생되고,

상기 제1 스캔 신호가 게이트 오프 전압으로 변환 후에, 상기 제2 스캔 신호가 상기 게이트 온 전압으로 변하고,

상기 제2 스캔 신호가 상기 게이트 오프 전압으로 변환 후에, 상기 제3 스캔 신호의 전압이 상기 게이트 온 전압으로 변하고,

상기 발광 신호의 펄스는 상기 제1 스캔 신호의 펄스가 발생되기 전에 상기 게이트 오프 전압으로 발생된 후, 상기 제3 스캔 신호의 전압이 상기 게이트 오프 전압으로 변환 후에 상기 게이트 온 전압(VGL)으로 변하는 전계 발광 표시장치.

청구항 38

제 37 항에 있어서,

상기 제1 및 제2 서브 픽셀들에 연결된 제1 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제1 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제2 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제2 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제3 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제3 출력 단자에 연결되고,

상기 제1 및 제2 서브 픽셀들에 연결된 제4 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제4 출력 단자에 연결되는 전계 발광 표시장치.

청구항 39

제1 데이터 신호가 충전되는 제1 데이터 라인;

제2 데이터 신호가 충전되는 제2 데이터 라인;

상기 제1 데이터 라인에 연결된 제1 서브 픽셀;

상기 제2 데이터 라인에 연결된 제2 서브 픽셀;

상기 제1 및 제2 서브 픽셀들에 게이트 신호를 공급하는 게이트 라인들; 및

스위치 제어신호에 응답하여 데이터 구동부로부터의 제1 및 제2 데이터 신호를 상기 제1 및 제2 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비하고,

상기 제1 서브 픽셀과 상기 제2 서브 픽셀이 상기 제1 및 제2 데이터 라인들 사이에서 상하로 배치되고,

상기 제1 데이터 라인에 상기 제1 데이터 신호가 충전된 후, 상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전되고,

상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급되고, 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급되고,

상기 스위치 제어 신호의 게이트 온 전압 구간이 상기 게이트 신호의 게이트 온 전압 구간 중 적어도 일부에 중첩되는 전계 발광 표시장치.

청구항 40

제 39 항에 있어서,

상기 게이트 라인들은

상기 제1 서브 픽셀에 연결되어 제1 게이트 신호를 상기 제1 서브 픽셀에 공급하는 제1 게이트 라인 그룹과;

상기 제2 서브 픽셀에 연결되어 상기 제1 게이트 신호 보다 위상이 늦은 제2 게이트 신호를 상기 제2 서브 픽셀에 공급하는 제2 게이트 라인 그룹을 포함하는 전계 발광 표시장치.

청구항 41

제 40 항에 있어서,
 제3 데이터 신호가 충전되는 제3 데이터 라인;
 제4 데이터 신호가 충전되는 제4 데이터 라인;
 상기 제3 데이터 라인과 상기 제1 게이트 라인 그룹에 연결된 제3 서브 픽셀; 및
 상기 제4 데이터 라인과 상기 제2 게이트 라인 그룹에 연결된 제4 서브 픽셀을 더 구비하고,
 상기 제3 서브 픽셀과 상기 제4 서브 픽셀이 상기 제3 및 제4 데이터 라인들 사이에서 상하로 배치되고,
 상기 디멀티플렉서는 상기 스위치 제어신호에 응답하여 상기 데이터 구동부로부터의 제3 및 제4 데이터 신호를 상기 제3 및 제4 데이터 라인들에 시분할 공급하는 전계 발광 표시장치.

청구항 42

제 41 항에 있어서,
 상기 제1 서브 픽셀과 상기 제3 서브 픽셀의 픽셀 회로들은 상기 제1 및 제3 데이터 라인들을 사이에 두고 좌우 대칭이고,
 상기 제2 서브 픽셀과 상기 제4 서브 픽셀의 픽셀 회로들은 상기 제1 및 제3 데이터 라인들을 사이에 두고 좌우 대칭이고,
 상기 제1 서브 픽셀과 상기 제2 서브 픽셀의 픽셀 회로들은 서로 좌우가 반전되고,
 상기 제3 서브 픽셀과 상기 제4 서브 픽셀의 픽셀 회로들이 서로 좌우가 반전되는 전계 발광 표시장치.

청구항 43

제 42 항에 있어서,
 상기 서브 픽셀들 각각의 픽셀 회로는
 발광 소자;
 상기 발광 소자에 전류를 공급하는 구동 트랜지스터;
 상기 구동 소자의 게이트에 연결된 스토리지 커패시터; 및
 상기 게이트 신호의 게이트 온 전압에 따라 턴-온되는 다수의 스위치 트랜지스터들을 포함하는 전계 발광 표시장치.

청구항 44

제 43 항에 있어서,
 상기 게이트 신호는
 게이트 온 전압의 펄스로 발생하는 제1 스캔 신호;
 상기 제1 스캔 신호에 앞서 상기 게이트 온 전압의 펄스로 발생하는 제2 스캔 신호; 및
 상기 제1 스캔 신호의 라이징 에지에서 게이트 오프 전압의 펄스로 발생하는 발광 신호를 포함하고,
 상기 제1 및 제2 스캔 신호는 동시에 상기 게이트 오프 전압으로 반전되고,
 상기 발광 신호는 상기 제1 및 제2 스캔 신호가 상기 게이트 오프 전압으로 반전된 후에 상기 게이트 오프 전압으로 반전되는 전계 발광 표시장치.

청구항 45

제 44 항에 있어서,

상기 픽셀 회로들 각각의 스위치 트랜지스터들은

상기 제1 스캔 신호에 응답하여 데이터 신호를 제1 노드에 공급하는 제1 스위치 트랜지스터;

상기 제2 스캔 신호에 응답하여 상기 구동 트랜지스터의 게이트와 드레인을 연결하는 제2 스위치 트랜지스터;

상기 발광 신호에 응답하여 소정의 기준 전압을 상기 제1 노드에 공급하여 상기 제1 노드를 초기화하는 제3 스위치 트랜지스터;

상기 발광 신호에 응답하여 상기 발광 소자와 상기 구동 트랜지스터 사이의 전류 패스를 스위칭하는 제4 스위치 트랜지스터; 및

상기 제2 스캔 신호에 응답하여 상기 발광 소자의 애노드 전압을 초기화하는 제5 스위치 트랜지스터를 구비하는 전계 발광 표시장치.

청구항 46

제 45 항에 있어서,

상기 디멀티플렉서는,

제1 스위치 제어 신호에 응답하여 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자;

제2 스위치 제어 신호에 응답하여 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자;

상기 제1 스위치 제어 신호에 응답하여 상기 제3 데이터 신호를 상기 제3 데이터 라인에 공급하는 제3 스위치 소자; 및

상기 제2 스위치 제어 신호에 응답하여 상기 제4 데이터 신호를 상기 제4 데이터 라인에 공급하는 제4 스위치 소자를 구비하는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 데이터 구동회로와 데이터 라인들 사이에 디멀티플렉서(Demultiplexer, DEMUX)가 배치된 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 유기 발광 표시장치의 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0005] 평판 표시장치의 구동 회로는 데이터 신호를 데이터 라인들에 공급하는 데이터 구동회로, 게이트 신호(또는 스캔 신호)를 게이트 라인들(또는 스캔 라인들)에 공급하는 게이트 구동회로 등을 포함한다. 게이트 구동회로는

화면을 구성하는 액티브 영역의 TFT(Thin film transistor) 어레이와 함께 동일 기판 상에 직접 형성될 수 있다. 이하에서, 표시패널의 기판 상에 직접 형성되는 게이트 구동회로를 “GIP 회로”로 칭하기로 한다. GIP 회로는 스테이지들(stage)이 종속적으로 연결된 시프트 레지스터를 포함한다. GIP 회로는 스타트 펄스(start pulse) 또는 이전 스테이지로부터 수신된 캐리 신호를 스타트 펄스로서 입력 받아 클럭이 입력될 때 출력을 발생하고, 시프트 클럭 타이밍에 맞추어 출력을 시프트함으로써 게이트 신호를 게이트 라인들에 순차적으로 공급할 수 있다.

- [0006] 평판 표시장치의 픽셀들 각각은 컬러 구현을 위하여 컬러가 서로 다른 다수의 서브 픽셀들로 나뉘어지고, 서브 픽셀들 각각은 스위치 소자 또는 구동 소자로 이용되는 트랜지스터를 포함한다. 이러한 트랜지스터는 TFT(Thin Film Transistor)로 구현될 수 있다. GIP 회로는 픽셀들 각각에 형성된 트랜지스터의 게이트에 게이트 신호를 공급하여 그 트랜지스터를 온/오프 제어한다.
- [0007] 유기 발광 표시장치는 서브 픽셀들마다 배치된 픽셀 회로를 포함한다. 픽셀 회로들 각각은 다수의 트랜지스터들을 포함한다. 이러한 트랜지스터들에 파형이 다른 게이트 신호가 인가될 수 있다. 픽셀 회로에 인가되는 게이트 신호들의 개수 만큼 GIP 회로가 필요하다. GIP 회로 각각은 시프트 레지스터를 포함하고, 시프트 레지스터를 제어하기 위한 스타트 펄스, 시프트 클럭 등이 전송되는 배선들이 필요하다.
- [0008] GIP 회로는 표시패널의 기판 상에서 베젤 영역(Bezel area)에 배치된다. 베젤 영역은 영상이 표시되는 화면 즉, 액티브 영역(Active area) 밖의 비표시 영역이다. GIP 회로가 커지면 표시패널 상에서 베젤 영역이 커지기 때문에 네로우 베젤(narrow bezel)을 구현할 수 없다.
- [0009] 유기 발광 표시장치의 화질과 수명을 개선하기 위하여, 픽셀들의 구동 특성 차이를 보상하기 위한 보상 회로가 픽셀 회로에 적용되고 있다.
- [0010] 유기 발광 표시장치의 고해상도와 고속 구동 추세에서, 기존의 보상 방법으로는 픽셀의 구동 특성 차이를 충분히 보상할 수 없다. 예컨대, 해상도가 높아질수록 그리고 구동 주파수가 높아질수록 표시패널에서 1 라인의 픽셀들에 데이터를 기입하는 1 수평 기간이 감소된다. 1 수평 기간은 화면 상에서 1 수평 라인에 배치된 픽셀들에 데이터를 기입하는 시간이다. 유기 발광 표시장치의 구동 회로는 1 수평 기간 내에서 구동 소자의 문턱 전압을 샘플링하고 그 문턱 전압으로 데이터 전압을 보상하여 데이터를 픽셀들에 기입한다. 1 수평 기간이 작아지면 구동 소자의 문턱 전압 샘플링 기간이 감소된다. 구동 소자의 문턱 전압 샘플링에 필요한 시간의 부족하게 되면, 구동 전압의 문턱 전압이 부정확하게 감지(sensing)되어 픽셀들 간의 구동 특성 차이가 초래될 수 있다. 픽셀들 간 구동 특성 차이는 동일 계조의 데이터를 모든 픽셀들에 기입하더라도 휘도 차이를 초래하여 화면 상에서 얼룩이 보여질 수 있다.

발명의 내용

해결하려는 과제

- [0011] 본 발명은 픽셀들의 구동 특성 차이를 보상할 수 있는 시간을 충분히 확보할 수 있고 네로우 베젤(narrow bezel)을 구현할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

- [0012] 본 발명의 표시패널은 제1 데이터 신호가 충전되는 제1 데이터 라인; 제2 데이터 신호가 충전되는 제2 데이터 라인; 상기 제1 데이터 라인에 연결된 제1 서브 픽셀; 상기 제2 데이터 라인에 연결된 제2 서브 픽셀; 및 상기 제1 및 제2 서브 픽셀들에 게이트 신호를 공급하는 게이트 라인들을 구비한다.
- [0013] 상기 제1 데이터 라인에 상기 제1 데이터 신호가 충전된 후, 상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전된다. 상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급되고, 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급된다.
- [0014] 상기 게이트 라인들이 상기 제1 및 제2 서브 픽셀들에 공통으로 연결된다.
- [0015] 상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급됨과 동시에 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급된다.
- [0016] 상기 서브 픽셀들 각각의 픽셀 회로는 발광 소자, 상기 발광 소자에 전류를 공급하는 구동 소자, 상기 구동 소자의 게이트에 연결된 스토리지 커패시터, 및 상기 게이트 라인들로부터의 신호에 따라 온/오프되는 다수의 스

위치 소자들을 포함한다. 상기 스위치 소자들은 게이트 온 전압에 응답하여 턴-온되고 게이트 오프 전압에 따라 턴-오프되어 상기 픽셀 회로를 초기화한 후, 상기 구동 소자의 소스와 드레인을 연결한 다음, 데이터 신호의 전압을 상기 스토리지 커패시터에 공급하고 상기 구동 소자와 상기 발광 소자 사이의 전류 패스를 스위칭한다.

- [0017] 상기 표시패널은 제3 데이터 신호가 충전되는 제3 데이터 라인, 제4 데이터 신호가 충전되는 제4 데이터 라인, 상기 제3 데이터 라인에 연결된 제3 서브 픽셀, 및 상기 제4 데이터 라인에 연결된 제4 서브 픽셀을 더 구비한다.
- [0018] 상기 제3 데이터 라인에 충전된 상기 제3 데이터 신호가 상기 제3 서브 픽셀에 공급되고, 상기 제4 데이터 라인에 충전된 상기 제4 데이터 신호가 상기 제4 서브 픽셀에 공급된다. 상기 제1 내지 제4 데이터 라인들에 순차적으로 충전된 상기 제1 내지 제4 데이터 신호가 상기 제1 내지 제4 서브 픽셀들 중 대응하는 서브 픽셀들에 동시에 공급된다.
- [0019] 상기 게이트 라인들이 상기 제3 및 제4 서브 픽셀들에 공통으로 연결된다.
- [0020] 상기 제3 데이터 라인에 충전된 상기 제3 데이터 신호가 상기 제3 서브 픽셀에 공급됨과 동시에 상기 제4 데이터 라인에 충전된 상기 제4 데이터 신호가 상기 제4 서브 픽셀에 공급된다. 상기 제1 내지 제4 데이터 라인들에 순차적으로 충전된 상기 제1 내지 제4 데이터 신호가 상기 제1 내지 제4 서브 픽셀들 중 대응하는 서브 픽셀들에 동시에 공급된다.
- [0021] 상기 제1 및 제2 서브 픽셀들은 제1 라인에 배치된다. 상기 제3 및 제4 서브 픽셀들은 상기 제1 라인의 아래에 위치한 제2 라인에 배치된다. 상기 제1 및 제3 서브 픽셀들의 좌측에 상기 제1 및 제3 데이터 라인들이 배치되고, 상기 제1 및 제3 서브 픽셀들의 우측에 상기 제2 및 제4 데이터 라인들이 배치된다.
- [0022] 상기 제1 내지 제4 서브 픽셀들에서 상기 스토리지 커패시터에 상기 구동 소자의 문턱 전압이 동시에 샘플링된다.
- [0023] 상기 표시패널은 상기 데이터 라인들, 상기 게이트 라인들, 상기 서브 픽셀들의 픽셀 회로가 배치된 기판을 더 구비한다. 상기 제1 및 제2 데이터 라인들은 절연막을 사이에 두고 상기 기판에 대하여 수직으로 중첩된다. 상기 제3 및 제4 데이터 라인들은 절연막을 사이에 두고 상기 기판에 대하여 수직으로 중첩된다.
- [0024] 상기 제1 및 제2 데이터 라인들은 상기 기판 상의 절연막 상에서 동일 평면 상에 나란히 배치된다. 상기 제3 및 제4 데이터 라인들은 상기 절연막 상에서 동일 평면 상에 나란히 배치된다.
- [0025] 상기 표시패널은 데이터 구동부로부터의 데이터 신호를 상기 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비한다.
- [0026] 상기 디멀티플렉서는 제1 스위치 제어신호에 응답하여 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자, 상기 제1 스위치 소자에 이어서 발생하는 제2 스위치 제어신호에 응답하여 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자, 상기 제2 스위치 소자에 이어서 발생하는 제3 스위치 제어신호에 응답하여 상기 제3 데이터 신호를 상기 제3 데이터 라인에 공급하는 제3 스위치 소자, 및 상기 제3 스위치 소자에 이어서 발생하는 제4 스위치 제어신호에 응답하여 상기 제4 데이터 신호를 상기 제4 데이터 라인에 공급하는 제4 스위치 소자를 포함한다.
- [0027] 상기 데이터 라인들 중 일부 데이터 라인들이 교차된다. 상기 제1 및 제3 데이터 라인들에 상기 제1 및 제3 데이터 신호가 동시에 공급된다. 상기 제2 및 제4 데이터 라인들에 상기 제2 및 제4 데이터 신호가 동시에 공급된다.
- [0028] 상기 표시패널은 데이터 구동부로부터의 데이터 신호를 상기 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비한다. 상기 제1 서브 픽셀은 제1 라인에 배치된다. 상기 제2 서브 픽셀은 상기 제1 라인의 아래에 위치한 제2 라인에 배치된다. 상기 디멀티플렉서는 제1 스위치 제어신호에 응답하여 상기 제1 데이터 신호를 상기 제1 데이터 라인에 공급하는 제1 스위치 소자, 및 상기 제1 스위치 소자에 이어서 발생하는 제2 스위치 제어신호에 응답하여 상기 제2 데이터 신호를 상기 제2 데이터 라인에 공급하는 제2 스위치 소자를 포함한다.
- [0029] 상기 제1 및 제2 서브 픽셀들에서 상기 스토리지 커패시터에 상기 구동 소자의 문턱 전압이 동시에 샘플링된다.
- [0030] 상기 게이트 라인들은 제1 스캔 신호가 인가되는 제1 게이트 라인, 제2 스캔 신호가 인가되는 제2 게이트 라인, 및 발광 신호가 인가되는 제3 게이트 라인을 포함한다. 상기 제2 스캔 신호의 펄스는 상기 제1 스캔 신호가 게이트 온 전압으로 변하기 전에 앞서 상기 게이트 온 전압으로 변한다. 상기 제1 및 제2 스캔 신호는 동시에 게이

트 오프 전압으로 변한다. 상기 제1 스캔 신호가 상기 게이트 온 전압으로 변함과 동시에 상기 발광 신호가 상기 게이트 오프 전압으로 변한다. 상기 발광 신호는 상기 제1 및 제2 스캔 신호가 상기 게이트 오프 전압으로 변한 후에 상기 게이트 온 전압으로 변한다.

- [0031] 상기 표시패널은 상기 스캔 신호들과 상기 발광 신호를 상기 게이트 라인들에 공급하는 게이트 구동부를 더 구비한다. 상기 제1 및 제2 서브 픽셀들에 연결된 제1 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제1 출력 단자에 연결된다. 상기 제1 및 제2 서브 픽셀들에 연결된 제2 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제2 출력 단자에 연결된다. 상기 제1 및 제2 서브 픽셀들에 연결된 제3 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제3 출력 단자에 연결된다.
- [0032] 상기 게이트 라인들은 제1 스캔 신호가 인가되는 제1 게이트 라인, 제2 스캔 신호가 인가되는 제2 게이트 라인, 제3 스캔 신호가 인가되는 제3 게이트 라인, 및 발광 신호가 인가되는 제4 게이트 라인을 포함한다. 상기 제1 스캔 신호의 펄스가 게이트 온 전압으로 발생된 후, 상기 제2 스캔 신호의 펄스가 상기 게이트 온 전압으로 발생된 다음, 상기 3 스캔 신호의 펄스가 상기 게이트 온 전압으로 발생된다. 상기 제1 스캔 신호가 게이트 오프 전압으로 변한 후에, 상기 제2 스캔 신호가 상기 게이트 온 전압으로 변한다. 상기 제2 스캔 신호가 상기 게이트 오프 전압으로 변한 후에, 상기 제3 스캔 신호의 전압이 상기 게이트 온 전압으로 변한다. 상기 발광 신호의 펄스는 상기 제1 스캔 신호의 펄스가 발생되기 전에 상기 게이트 오프 전압으로 발생된 후, 상기 제3 스캔 신호의 전압이 상기 게이트 오프 전압으로 변환 후에 상기 게이트 온 전압으로 변한다.
- [0033] 상기 표시패널은 상기 스캔 신호들과 상기 발광 신호를 상기 게이트 라인들에 공급하는 게이트 구동부를 더 구비한다. 상기 제1 및 제2 서브 픽셀들에 연결된 제1 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제1 출력 단자에 연결된다. 상기 제1 및 제2 서브 픽셀들에 연결된 제2 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제2 출력 단자에 연결된다. 상기 제1 및 제2 서브 픽셀들에 연결된 제3 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제3 출력 단자에 연결된다. 상기 제1 및 제2 서브 픽셀들에 연결된 제4 게이트 라인들이 서로 연결되고 상기 게이트 구동부의 제4 출력 단자에 연결된다.
- [0034] 상기 표시패널은 상기 데이터 라인들 각각에 연결되어 데이터 신호의 전압을 저장하는 커패시터를 더 구비한다.
- [0035] 상기 제1 서브 픽셀과 상기 제2 서브 픽셀이 상기 제1 및 제2 데이터 라인들 사이에서 상하로 배치된다.
- [0036] 상기 게이트 라인들은 상기 제1 서브 픽셀에 연결되어 제1 게이트 신호를 상기 제1 서브 픽셀에 공급하는 제1 게이트 라인 그룹과; 상기 제2 서브 픽셀에 연결되어 상기 제1 게이트 신호 보다 위상이 늦은 제2 게이트 신호를 상기 제2 서브 픽셀에 공급하는 제2 게이트 라인 그룹을 포함한다.
- [0037] 상기 표시장치는 제3 데이터 신호가 충전되는 제3 데이터 라인; 제4 데이터 신호가 충전되는 제4 데이터 라인; 상기 제3 데이터 라인과 상기 제1 게이트 라인 그룹에 연결된 제3 서브 픽셀; 및 상기 제4 데이터 라인과 상기 제2 게이트 라인 그룹에 연결된 제4 서브 픽셀을 더 구비한다. 상기 제3 서브 픽셀과 상기 제4 서브 픽셀이 상기 제3 및 제4 데이터 라인들 사이에서 상하로 배치된다.
- [0038] 상기 제1 서브 픽셀과 상기 제3 서브 픽셀의 픽셀 회로들은 상기 제1 및 제3 데이터 라인들을 사이에 두고 좌우 대칭이다. 상기 제2 서브 픽셀과 상기 제4 서브 픽셀의 픽셀 회로들은 상기 제1 및 제3 데이터 라인들을 사이에 두고 좌우 대칭이다. 상기 제1 서브 픽셀과 상기 제2 서브 픽셀의 픽셀 회로들은 서로 좌우가 반전되고, 상기 제3 서브 픽셀과 상기 제4 서브 픽셀의 픽셀 회로들이 서로 좌우가 반전된다.
- [0039] 본 발명의 전계 발광 표시장치는 제1 및 제2 데이터 신호를 순차적으로 출력하는 데이터 구동부, 제1 스위치 제어신호에 응답하여 상기 제1 데이터 신호를 제1 데이터 라인에 공급하는 제1 스위치 소자, 제2 스위치 제어신호에 응답하여 상기 제2 데이터 신호를 제2 데이터 라인에 공급하는 제2 스위치 소자, 상기 제1 데이터 라인에 연결된 제1 서브 픽셀, 상기 제2 데이터 라인에 연결된 제2 서브 픽셀, 상기 제1 및 제2 서브 픽셀들에 공통으로 연결되어 스캔 신호와 발광 신호를 상기 제1 및 제2 서브 픽셀들에 동시에 공급하는 게이트 라인들, 및 상기 게이트 라인들에 게이트 신호를 공급하는 게이트 구동부를 구비한다. 상기 제1 데이터 라인에 상기 제1 데이터 신호가 충전된 후, 상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전된다. 상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급됨과 동시에 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급된다. 상기 서브 픽셀들 각각의 픽셀 회로는 발광 소자, 상기 발광 소자에 전류를 공급하는 구동 소자, 상기 구동 소자의 게이트에 연결된 스토리지 커패시터, 및 게이트 온 전압에 응답하여 턴-온되고 게이트 오프 전압에 따라 턴-오프되는 다수의 스위치 소자들을 포함한다.
- [0040] 본 발명의 전계 발광 표시장치는 데이터 신호가 충전되는 제1 데이터 라인; 제2 데이터 신호가 충전되는 제2 데

이터 라인; 상기 제1 데이터 라인에 연결된 제1 서브 픽셀; 상기 제2 데이터 라인에 연결된 제2 서브 픽셀; 상기 제1 및 제2 서브 픽셀들에 게이트 신호를 공급하는 게이트 라인들; 및 스위치 제어신호에 응답하여 데이터 구동부로부터의 제1 및 제2 데이터 신호를 상기 제1 및 제2 데이터 라인들에 시분할 공급하는 디멀티플렉서를 더 구비한다.

[0041] 상기 제1 서브 픽셀과 상기 제2 서브 픽셀이 상기 제1 및 제2 데이터 라인들 사이에서 상하로 배치된다. 상기 제1 데이터 라인에 상기 제1 데이터 신호가 충전된 후, 상기 제2 데이터 라인에 상기 제2 데이터 신호가 충전된다. 상기 제1 데이터 라인에 충전된 상기 제1 데이터 신호가 상기 제1 서브 픽셀에 공급되고, 상기 제2 데이터 라인에 충전된 상기 제2 데이터 신호가 상기 제2 서브 픽셀에 공급된다. 상기 스위치 제어 신호의 게이트 온 전압 구간이 상기 게이트 신호의 게이트 온 전압 구간 중 적어도 일부에 중첩된다.

발명의 효과

[0042] 본 발명은 제1 픽셀 그룹에 연결된 데이터 라인들에 데이터 신호를 충전한 후에 제2 픽셀 그룹에 연결된 데이터 라인들에 데이터 신호를 충전한 다음, 제1 및 제2 픽셀 그룹들에 동시에 데이터 전압을 공급하고 그 픽셀 그룹들에서 구동 소자의 구동 특성 차이를 동시에 보상한다. 그 결과, 본 발명은 픽셀들의 구동 특성 차이를 보상할 수 있는 시간을 충분히 확보할 수 있고 제1 및 제2 픽셀 그룹들에서 게이트 라인들이 공유되기 때문에 게이트 구동부의 회로 면적을 최소화하여 네로우 베젤(narrow bezel)을 갖는 표시장치를 구현할 수 있다.

[0043] 본 발명은 디멀티플렉서의 스위치 제어 신호와 게이트 신호의 온 타이밍을 동기시킨 데이터 전압을 데이터 라인들에 충전함과 동시에 다수의 표시라인들에서 샘플링 동작을 처리할 수 있다. 따라서, 본 발명은 데이터 라인 충전과 픽셀의 샘플링 동작이 병렬 처리되기 때문에 샘플링 시간을 더 길게 확보할 수 있다.

도면의 간단한 설명

- [0044] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
- 도 2 및 도 3은 본 발명에 적용 가능한 픽셀 회로들의 예를 보여 주는 회로도들이다.
- 도 4 및 도 5는 디멀티플렉서, 픽셀 및 신호 배선들의 연결 관계를 보여 주는 도면들이다.
- 도 6은 제1 내지 제8 라인들에 배치된 픽셀들과 신호 배선들을 보여 주는 도면이다.
- 도 7은 도 6에 도시된 게이트 라인들에 인가되는 게이트 신호들을 보여 주는 파형도이다.
- 도 8은 본 발명의 실시예에 따른 픽셀 구동 방법을 보여 주는 흐름도이다.
- 도 9는 도 2 및 도 4에 도시된 픽셀 회로와 신호 배선을 상세히 보여 주는 회로도이다.
- 도 10은 도 9에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- 도 11 내지 도 24는 도 9 및 도 10에 도시된 픽셀 회로의 구동 방법을 시간축 상에서 단계적으로 보여 주는 도면들이다.
- 도 25는 제2 스위치 TFT의 다른 예를 보여 주는 회로도이다.
- 도 26은 도 25에 도시된 픽셀 회로를 포함한 서브 픽셀의 실제 레이아웃을 보여 주는 평면도이다.
- 도 27은 도 26에서 선 “I-I'”을 따라 절취하여 TFT 어레이 기관의 단면을 보여 주는 단면도이다.
- 도 28은 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들이 동일 평면 상에 배치된 예를 보여 주는 단면도이다.
- 도 29는 제1 픽셀 그룹의 서브 픽셀과 제2 픽셀 그룹의 서브 픽셀에서 공유되는 게이트 라인 구조를 보여 주는 도면이다.
- 도 30은 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들 사이의 커플링(coupling)을 보여 주는 도면이다.
- 도 31은 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들 사이의 커플링으로 인하여 데이터 신호가 왜곡되는 예를 보여 주는 파형도이다.
- 도 32는 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들에 데이터 전압이 동시에 인가되는 예를 보

여 주는 파형도이다.

도 33 및 도 34는 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들에 데이터 전압을 동시에 인가하기 위하여, 데이터 라인들 중 일부가 교차 연결된 예를 보여 주는 도면들이다.

도 35는 도 2 및 도 5에 도시된 픽셀 회로와 신호 배선을 상세히 보여 주는 회로도이다.

도 36은 도 35에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.

도 37은 도 36에서 일부 데이터 라인이 교차된 예를 보여 주는 도면이다.

도 38은 도 9 내지 도 33에 도시된 픽셀 회로 구동 방법에서 동작 구간별 시간을 해상도별로 계산한 결과를 보여 주는 도면이다.

도 39는 도 34 내지 도 37에 도시된 픽셀 회로 구동 방법에서 동작 구간별 시간을 해상도별로 계산한 결과를 보여 주는 도면이다.

도 40 내지 도 55는 픽셀 회로의 구동 방법을 시간축 상에서 단계적으로 보여 주는 도면들이다.

도 56은 표시패널의 라인들 간에 게이트 라인들이 분리된 예를 보여 주는 도면이다.

도 57은 도 2에 도시된 픽셀 회로를 도 56의 픽셀들에 적용한 예를 보여 주는 회로도이다.

도 58은 도 57에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.

도 59는 표시라인들에 공급되는 게이트 신호들을 보여 주는 파형도이다.

도 60은 데이터 라인들 간의 커플링 영향을 줄이기 위하여 데이터 라인들이 교차되는 예를 보여 주는 회로도이다.

도 61은 데이터 라인들 간의 커플링 영향을 줄이기 위한 다른 방법을 보여 주는 회로도이다.

도 62 내지 도 75는 도 61에 도시된 픽셀 회로들의 구동 방법을 시간축 상에서 단계적으로 보여 주는 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0045] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0046] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0047] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0048] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0049] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0050] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다. 예컨대, 도 4의 픽셀 회로에서 구성 요소들 앞에 붙여진 제1, 제2, 제3 및 제4와 같은 서수는 스위치 소자들(S1~S4)을 통해 데이터 라인들에 순차적으로 충전되는 순서를 기준으로 붙여진 것이다.

- [0051] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0052] 본 발명의 전계 발광 표시장치에서 픽셀 회로와 GIP 회로는 n 타입 TFT(NMOS)와 p 타입 TFT(PMOS) 중 하나 이상을 포함할 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. TFT에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. TFT의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, TFT의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 TFT의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0053] GIP 회로로부터 출력되는 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스위칭한다. 게이트 온 전압은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. TFT는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0054] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0055] 본 발명은 디멀티플렉서(Demultiplexer, DEMUX)를 이용하여 하나의 채널을 통해 데이터 구동부로부터 출력되는 데이터 전압을 N(N은 2 이상의 짝수) 개의 데이터 라인들에 시분할 공급한다. 디멀티플렉서의 데이터 분배 결과, 표시패널의 화면 상에서 두 개 이상의 라인들에 배치된 픽셀들에 인가될 데이터 전압이 데이터 라인들에 연결된 커패시터들에 저장되어 데이터 라인들에 데이터 전압이 샘플링(sampling)된다. 다음 데이터가 인가되기 전까지 데이터 라인들의 커패시터에 저장된 데이터 전압이 유지(hold)된다. 이어서, 본 발명은 픽셀 회로를 이용하여 상기 두 개 이상의 라인들에 배치된 픽셀들에서 구동 소자의 전기적 특성 편차 만큼 데이터 전압을 동시에 보상하고 보상된 데이터 전압으로 픽셀들의 발광 소자(EL)를 동시에 구동한다.
- [0056] 본 발명은 화면 상에서 두 개 이상의 라인들에 배치된 픽셀들에 공급될 데이터 전압을 N 개의 데이터 라인들에 순차적으로 충전한 후에, 그 픽셀들의 전기적 특성을 동시에 보상한다. 따라서, 본 발명은 화면 상에서 두 개 이상의 라인들에 배치된 픽셀들의 보상에 필요한 시간을 종래 기술 보다 두 배 이상 충분히 확보할 수 있고 추가 보상이나 다른 용도로 이용할 수 있는 여유 시간을 더 확보할 수 있다.
- [0057] 도 1을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.
- [0058] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(103)과 교차되는 다수의 게이트 라인들(103), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0059] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 도 2 및 도 3의 예와 같이, 발광 소자, 구동 소자, 하나 이상의 스위치 소자, 및 커패시터를 포함한다. 구동 소자와 스위치 소자는 TFT로 구현될 수 있다. 픽셀 회로는 도 2 및 도 3에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 도 2 및 도 3은 p 타입 TFT 기반으로 구현된 픽셀 회로를 예시할 수 있으나 픽셀 회로는 공지된 n 타입 TFT 기반의 픽셀 회로로 구현될 수도 있다. 픽셀 회로는 데이터 라인(102)과 게이트 라인(103)에 연결된다. 도 4의 예와 같이, 이웃한 서브 픽셀들 사이에 두 개의 데이터 라인들이 배치될 수 있다.

- [0060] 표시패널(100)은 도 2 및 도 3에 도시된 바와 같이 픽셀 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 제1 전원 라인(41, 43), 픽셀 회로를 초기화하기 위한 기준 전압(Vref)을 서브 픽셀들(101)에 공급하기 위한 제2 전원 라인(42, 44), 저전위 전원 전압(VSS)을 픽셀들에 공급하기 위한 VSS 전극 등을 더 포함할 수 있다. 전원 라인들과 VSS 전극은 도시하지 않은 전원 회로에 연결된다.
- [0061] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0062] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)를 더 구비한다.
- [0063] 표시패널 구동회로는 타이밍 콘트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 콘트롤러(130) 그리고 전원 회로는 하나의 집적 회로에 집적될 수 있다.
- [0064] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 프레임 개수 만큼 변화가 없을 때 표시장치의 소비 전력을 줄이기 위하여 설정될 수 있다. 다시 말하여, 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 예컨대, 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.
- [0065] 데이터 구동부(110)는 매 프레임 기간마다 타이밍 콘트롤러(130)로부터 수신되는 입력 영상의 디지털 데이터를 감마 보상 전압으로 변환하여 데이터 신호를 발생한다. 데이터 구동부(110)는 채널들 각각에서 출력 버퍼를 통해 데이터 신호의 전압(이하 “데이터 전압” 이라 함)을 출력한다. 디멀티플렉서(112)는 다수의 스위치 소자들을 이용하여 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 도 4에서 “S1~S4” 는 디멀티플렉서(112)의 스위치 소자들을 나타낸다.
- [0066] 게이트 구동부(120)는 액티브 영역의 TFT 어레이와 함께 표시패널(100) 상의 베젤 영역(BZ) 상에 직접 형성되는 GIP 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 콘트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호는 데이터가 기입될 라인의 픽셀들을 선택하기 위한 스캔 신호(SCAN1, SCAN2)와, 데이터 전압이 충전된 픽셀들의 발광 시간을 정의하는 발광 신호(이하, “EM 신호” 라 함)를 포함한다.
- [0067] 게이트 구동부(120)는 제1 게이트 구동부(121)와 제2 게이트 구동부(122)를 포함할 수 있다. 제1 게이트 구동부(121)는 스캔 신호(SCAN1, SCAN2)를 출력하고, 시프트 클럭에 따라 스캔 신호(SCAN1, SCAN2)를 순차적으로 시프트한다. 제2 게이트 구동부(122)는 EM 신호(EM)를 출력하고, 시프트 클럭에 따라 EM 신호(EM)를 순차적으로 시프트한다. 베젤이 없는 모델의 경우에, 제1 및 제2 게이트 구동부들(121, 122)를 구성하는 스위치 소자들이 액티브 영역(AA) 내에 분산 배치될 수 있다.
- [0068] 타이밍 콘트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기의 시스템 중 어느 하나일 수 있다.
- [0069] 타이밍 콘트롤러(130)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 콘트롤러는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.

- [0070] 타이밍 콘트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)의 동작 타이밍을 제어하기 위한 스위치 제어신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0071] 도 2 및 도 3은 본 발명에 적용 가능한 픽셀 회로들의 예를 보여 주는 회로도들이다. 도 2 및 도 3에 도시된 픽셀 회로들은 구동 소자의 문턱 전압(Vth)을 센싱하고 그 문턱 전압(Vth) 만큼 데이터 전압(Vdata)을 보상하는 내부 보상 회로가 적용된 예이다. 본 발명은 도 2 및 도 3에 도시된 픽셀 회로에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 본 발명의 픽셀 회로는 구동 소자의 이동도(mobility, μ)를 센싱하고 그 이동도 만큼 데이터 전압(Vdata)을 보상하는 내부 보상 회로로 적용될 수 있다. 이러한 내부 보상 회로의 일 예로서, 본원 출원인에 의해 기술원된 대한민국 특허 출원 제10-2016-0097481호(2016.07.29)이 있다.
- [0072] 도 2를 참조하면, 픽셀 회로의 일 예는 발광 소자(EL)와, 다수의 TFT들(Thin Film Transistor)(T1~T5, DT), 스토리지 커패시터(Cst) 등을 포함한다. TFT들(T1~T5, DT)은 p 타입 TFT(PMOS)로 구현될 수 있으나 이에 한정되지 않는다.
- [0073] 스위치 TFT들(T1~T5)은 게이트 라인(31~33)으로부터의 게이트 신호에 따라 온/오프되어 픽셀 회로를 초기화한 후, 구동 TFT(DT)의 소스와 드레인을 연결한 다음, 데이터 전압을 스토리지 커패시터(Cst)에 공급한다. 그리고 스위치 TFT들(T1~T5)은 구동 TFT(DT)와 발광 소자(DT) 사이의 전류 패스를 스위칭한다. 구동 TFT(DT)의 게이트와 드레인이 연결되면, 구동 TFT(DT)가 다이오드 형태로 동작하여 구동 TFT(DT)의 소스-게이트간 전압이 구동 TFT(DT)의 문턱 전압까지 상승하여 스토리지 커패시터(Cst)에 샘플링된다.
- [0074] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제4 노드(n4)를 통해 제4 및 제5 스위치 TFT들(T4, T5)에 연결된다. OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극에 연결된다. OLED는 데이터 전압(Vdata)에 따라 구동 TFT(DT)에 의해 조절되는 전류량으로 발광한다. OLED의 전류패스는 제4 스위치 TFT(T4)에 의해 스위칭된다.
- [0075] 스토리지 커패시터(Cst)는 제1 노드(n1)와 제2 노드(n2) 사이에 연결된다. 이 스토리지 커패시터(Cst)에 샘플링된 구동 TFT(DT)의 문턱 전압(Vth) 만큼 보상된 데이터 전압(Vdata)이 충전된다. 따라서, 서브 픽셀들 각각에서 데이터 전압(Vdata)은 구동 TFT(DT)의 문턱 전압(Vth) 만큼 보상되기 때문에 서브 픽셀들에서 구동 TFT의 특성 편차가 보상되어 균일한 구동 특성으로 구동될 수 있다.
- [0076] 제1 스위치 TFT(T1)는 제1 스캔 신호(SCAN1)에 응답하여 데이터 전압(Vdata)을 제1 노드(n1)에 공급하는 스위치 소자이다. 제1 스위치 TFT(T1)는 제1 게이트 라인(31)에 연결된 게이트, 데이터 라인(21)에 연결된 제1 전극, 및 제1 노드(n1)에 연결된 제2 전극을 포함한다. 제1 스캔 신호(SCAN1)는 제1 게이트 라인(31)을 통해 액티브 영역(AA)의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 제1 스캔 신호(SCAN1)는 두 라인들에 배치된 픽셀들에서 구동 TFT(DT)의 문턱 전압을 샘플링하고 데이터 전압을 픽셀들에 충전하는 보상 기간을 정의한다. 제1 스캔 신호(SCAN1)는 게이트 온 전압(VGL)의 펄스로 발생될 수 있다. 제1 스캔 신호(SCAN1)의 펄스 폭(pulse width)은 도 10에 도시된 바와 같이 1 수평 기간(1H) 보다 작게 설정될 수 있다. 제1 스캔 신호(SCAN1)의 펄스 폭 내에서 두 라인들에 배치된 픽셀들에 형성된 구동 TFT(DT)의 문턱 전압이 동시에 샘플링되고 그 픽셀들에 데이터 전압이 동시에 충전되어 데이터가 기입(write)될 수 있다.
- [0077] 제2 스위치 TFT(T2)는 제2 스캔 신호(SCAN2)에 응답하여 구동 TFT(DT)의 게이트와 제2 전극을 연결하여 구동 TFT(DT)를 다이오드(Diode)로 동작하게 한다. 제2 스위치 TFT(T2)는 제2 게이트 라인(32)에 연결된 게이트, 제2 노드(n2)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다. 제2 스캔 신호(SCAN2)는 제2 게이트 라인(32)을 통해 액티브 영역(AA)의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 제2 스캔 신호(SCAN2)의 펄스는 두 라인들에 배치된 픽셀들의 초기화 기간과 보상 기간 동안 게이트 온 전압(VGL)으로 발생된다. 제2 스캔 신호(SCAN2)의 펄스 폭은 1 수평 기간(1H) 보다 작게 설정될 수 있다.
- [0078] 제3 스위치 TFT(T3)는 EM 신호(EM)에 응답하여 소정의 기준 전압(Vref)을 제1 노드(n1)에 공급하여 제1 노드

(n1)를 기준 전압(Vref)으로 초기화한다. 제3 스위치 TFT(T3)는 제3 게이트 라인(33)에 연결된 게이트, 제1 노드(n1)에 연결된 제1 전극, 및 제2 전원 라인(42)에 연결된 제2 전극을 포함한다. EM 신호(EM)는 발광 소자(EL)의 턴-온/오프(turn-on/off) 시간을 정의한다. EM 신호(EM)는 제3 게이트 라인(33)을 통해 액티브 영역(AA)의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. EM 신호(EM)의 펄스는 발광 소자(EL)의 발광을 차단하기 위한 게이트 오프 전압으로 발생할 수 있다. EM 신호(EM)의 게이트 오프 전압(VGH) 구간 즉, 펄스 폭 구간은 발광 소자(EL)의 전류 패스가 차단하여 발광 소자(EL)가 턴-오프 시간을 정의한다. EM 신호(EM)가 게이트 온 전압(VGL)일 때 발광 소자(EL)의 전류 패스가 형성되어 발광 소자(EL)가 턴-온되어 발광 소자(EL)가 발광될 수 있다. EM 신호(EM)의 펄스폭은 도 10에 도시된 바와 같이 1 수평 기간(1H) 보다 작게 설정될 수 있다.

[0079] 제4 스위치 TFT(T4)는 EM 신호(EM)에 응답하여 발광 소자(EL)의 전류 패스를 스위칭한다. 제4 스위치 TFT(T4)의 게이트는 제3 게이트 라인(33)에 연결된다. 제4 스위치 TFT(T4)의 제1 전극은 제3 노드(n3)에 연결되고, 제4 스위치 TFT(T4)의 제2 전극은 제4 노드(n4)에 연결된다.

[0080] 제5 스위치 TFT(T5)는 제2 스캔 신호(SCAN2)에 응답하여 발광 소자(EL)의 애노드에 연결된 제4 노드(n4)의 전압을 기준 전압(Vref)으로 초기화한다. 제5 스위치 TFT(T5)는 제2 게이트 라인(32)에 연결된 게이트, 제2 전원 라인(42)에 연결된 제1 전극, 및 제4 노드(n4)에 연결된 제2 전극을 포함한다. 제2 스캔 신호(SCAN2)는 제2 게이트 라인(32)을 통해 액티브 영역(AA)의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 기준 전압(Vref)은 제2 전원 라인(42)을 통해 픽셀들에 공급된다.

[0081] 구동 TFT(DT)는 소스-게이트 간 전압(Vsg)에 따라 발광 소자(EL)에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 제2 노드(n2)에 연결된 게이트, 제1 전원 라인(41)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다. 픽셀 구동 전압(VDD)은 제1 전원 라인(41)을 통해 픽셀들에 공급된다.

[0082] 도 3을 참조하면, 픽셀 회로의 다른 예는 발광 소자(EL)와, 다수의 TFT들 (T11~T16, DT), 스토리지 커패시터(Cst) 등을 포함한다. TFT들(T11~T16, DT)은 p 타입 TFT(PMOS)로 구현될 수 있으나 이에 한정되지 않는다.

[0083] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제4 노드(n14)를 통해 제4 및 제5 스위치 TFT들(T14, T15)에 연결된다. OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극에 연결된다. OLED는 데이터 전압(Vdata)에 따라 구동 TFT(DT)에 의해 조절되는 전류량으로 발광한다. OLED의 전류패스는 제3 및 제4 스위치 TFT(T13, T14)에 의해 스위칭된다. OLED의 양단에는 커패시터(Ce1)가 형성될 수 있다.

[0084] 스토리지 커패시터(Cst)는 제1 노드(n11)와 제1 전원 라인(43) 사이에 연결된다. 픽셀 구동 전압(VDD)은 제1 전원 라인(43)을 통해 픽셀들에 공급된다. 스토리지 커패시터(Cst)에 샘플링된 구동 TFT(DT)의 문턱 전압(Vth)만큼 보상된 데이터 전압(Vdata)이 충전된다. 따라서, 서브 픽셀들 각각에서 데이터 전압(Vdata)은 구동 TFT(DT)의 문턱 전압(Vth)만큼 보상되기 때문에 서브 픽셀들에서 구동 TFT의 특성 편차가 보상되어 균일한 구동 특성으로 구동될 수 있다.

[0085] 제1 스위치 TFT(T11)는 제1 스캔 신호(SCAN1)에 응답하여 데이터 전압(Vdata)을 제1 노드(n11)에 공급하는 스위치 소자이다. 제1 스위치 TFT(T1)는 제1 게이트 라인(34)에 연결된 게이트, 데이터 라인(21)에 연결된 제1 전극, 및 제1 노드(n11)에 연결된 제2 전극을 포함한다. 제1 스캔 신호(SCAN1)는 제1 게이트 라인(34)을 통해 액티브 영역(AA)의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 제1 스캔 신호(SCAN1)는 두 라인들에 배치된 픽셀들에서 구동 TFT(DT)의 문턱 전압을 샘플링하고 데이터 전압을 픽셀들에 충전하는 보상 기간을 정의한다. 제1 스캔 신호(SCAN1)는 게이트 온 전압(VGL)의 펄스로 발생할 수 있다. 제1 스캔 신호(SCAN1)의 펄스폭은 1 수평 기간(1H) 보다 작게 설정될 수 있다.

[0086] 제2 스위치 TFT(T12)는 제2 스캔 신호(SCAN2)에 응답하여 구동 TFT(DT)의 게이트와 제2 전극을 연결하여 구동 TFT(DT)를 다이오드(Diode)로 동작하게 한다. 제2 스위치 TFT(T12)는 제2 게이트 라인(35)에 연결된 게이트, 제1 노드(n11)에 연결된 제1 전극, 및 제3 노드(n13)에 연결된 제2 전극을 포함한다. 제2 스캔 신호(SCAN2)는 제2 게이트 라인(35)을 통해 액티브 영역(AA)의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 제2 스캔 신호(SCAN2)의 펄스는 두 라인들에 배치된 픽셀들의 초기화 기간과 보상 기간 동안 게이트 온 전압(VGL)으로 발생된다. 제2 스캔 신호(SCAN2)의 펄스 폭은 1 수평 기간(1H) 보다 작게 설정될 수 있다.

[0087] 제3 스위치 TFT(T13)는 EM 신호(EM)에 응답하여 제1 전원 라인(43)과 제2 노드(n12) 사이의 전류 패스(current path)를 스위칭한다. 제3 스위치 TFT(T13)는 제4 게이트 라인(37)에 연결된 게이트, 제1 전원 라인(43)에 연결

된 제1 전극, 및 제2 노드(n12)에 연결된 제2 전극을 포함한다. EM 신호(EM)의 펄스는 발광 소자(EL)의 발광을 차단하기 위한 게이트 오프 전압으로 발생될 수 있다. EM 신호는 제4 게이트 라인(37)을 통해 두 개의 라인에 배치된 픽셀들에 동시에 공급된다. EM 신호의 펄스폭은 1 수평 기간(1H) 보다 작게 설정될 수 있다.

- [0088] 제4 스위치 TFT(T14)는 EM 신호(EM)에 응답하여 제3 노드(n13)와 제4 노드(n14) 사이의 전류 패스를 스위칭한다. 제4 스위치 TFT(T14)의 게이트는 제4 게이트 라인(37)에 연결된다. 제4 스위치 TFT(T14)의 제1 전극은 제3 노드(n13)에 연결되고, 제4 스위치 TFT(T14)의 제2 전극은 제4 노드(n14)에 연결된다.
- [0089] 제5 스위치 TFT(T15)는 제3 스캔 신호(SCAN3)에 응답하여 발광 소자(EL)의 애노드에 연결된 제4 노드(n14)의 전압을 기준 전압(Vref)으로 초기화한다. 제5 스위치 TFT(T15)는 제3 게이트 라인(36)에 연결된 게이트, 제2 전원 라인(44)에 연결된 제1 전극, 및 제4 노드(n14)에 연결된 제2 전극을 포함한다. 제3 스캔 신호(SCAN3)는 제3 게이트 라인(36)을 통해 액티브 영역(AA)의 두 라인들에 배치된 픽셀들에 동시에 인가될 수 있다. 기준 전압(Vref)은 제2 전원 라인(44)을 통해 픽셀들에 공급된다. 제3 스캔 신호(SCAN3)의 펄스는 게이트 온 전압(VGL)으로 발생된다. 제2 스캔 신호(SCAN2)의 펄스 폭은 1 수평 기간(1H) 보다 작게 설정될 수 있다.
- [0090] 제6 스위치 TFT(T16)는 제2 스캔 신호(SCAN2)에 응답하여 데이터 전압(Vdata)을 제2 노드(n12)에 공급한다. 제6 스위치 TFT(T16)는 제2 게이트 라인(35)에 연결된 게이트, 데이터 라인(21)에 연결된 제1 전극, 및 제2 노드(n12)에 연결된 제2 전극을 포함한다.
- [0091] 구동 TFT(DT)는 소스-게이트 간 전압(Vsg)에 따라 발광 소자(EL)에 흐르는 전류를 조절한다. 구동 TFT(DT)는 제1 노드(n11)에 연결된 게이트, 제2 노드(n12)에 연결된 제1 전극, 및 제3 노드(n13)에 연결된 제2 전극을 포함한다.
- [0092] VDD, VSS, Vref 는 VDD = 7V~8V, VSS=0V, Vref=1V의 직류 전압일 수 있으나, 이에 한정되지 않는다. Vdata는 데이터 구동부(110)로부터 출력되는 0V~5V 사이의 전압일 수 있으나, 이에 한정되지 않는다. 스캔 신호(SCAN1, SCAN2)와 EM 신호(EM)는 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 사이에서 스윙한다. VGH와 VGL은 VGH = 10V, VGL = -6V 일 수 있으나, 이에 한정되지 않는다.
- [0093] 도 4는 본 발명의 제1 실시예에 따른 디멀티플렉서(112), 픽셀(101A~101D), 및 신호 배선들(21A~21D, 31~33)의 연결 관계를 보여 주는 도면이다.
- [0094] 도 4를 참조하면, 데이터 구동부(110)에서 하나의 채널은 디멀티플렉서(112)를 통해 네 개의 데이터 라인들(21A~21D)에 연결된다.
- [0095] 데이터 구동부(110)는 출력 버퍼(AMP)를 통해 데이터 전압(Vdata)을 출력한다. 데이터 구동부(110)는 출력 버퍼(AMP)를 통해 제1 데이터 라인(21A)에 충전될 제1 데이터 전압, 제2 데이터 라인(21B)에 충전될 제2 데이터 전압, 제3 데이터 라인(21C)에 충전될 제3 데이터 전압, 제4 데이터 라인(21D)에 충전될 제4 데이터 전압 순서로 데이터 신호를 순차적으로 출력한다.
- [0096] 데이터 구동부(110)의 출력 버퍼(AMP)는 디멀티플렉서(112)의 스위치 소자들(S1~S4)에 연결된다. 스위치 소자들(S1~S4)은 표시패널의 기판 상에 형성되는 트랜지스터들로 구현될 수 있다. 하나의 출력 버퍼에 네 개의 데이터 라인들이 연결되기 때문에 데이터 구동부(110)의 채널 수가 데이터 라인들의 개수에 비하여 1/4로 감소된다.
- [0097] 제1 스위치 소자(S1)는 제1 스위치 제어신호(DMUX1)에 응답하여 출력 버퍼(AMP)를 제1 데이터 라인(21A)에 연결한다. 제2 스위치 소자(S2)는 제2 스위치 제어신호(DMUX2)에 응답하여 출력 버퍼(AMP)를 제2 데이터 라인(21B)에 연결한다. 제3 스위치 소자(S3)는 제3 스위치 제어신호(DMUX3)에 응답하여 출력 버퍼(AMP)를 제3 데이터 라인(21C)에 연결한다. 제4 스위치 소자(S4)는 제4 스위치 제어신호(DMUX4)에 응답하여 출력 버퍼(AMP)를 제4 데이터 라인(21D)에 연결한다. 제1 내지 제4 스위치 제어신호(DMUX1~DMUX4)는 데이터 라인들(21A~21D)에 데이터 전압이 시분할 방법으로 공급될 수 있도록 순차적으로 발생될 수 있다. 제1 스위치 소자(S1)가 제1 스위치 제어신호(DMUX1)에 의해 턴-온(turn-on)되어 제1 데이터 라인(21A)에 데이터 전압(Vdata)을 공급한 후에, 제2 스위치 소자(S2)가 제2 스위치 제어신호(DMUX2)에 의해 턴-온되어 제2 데이터 라인(21B)에 데이터 전압(Vdata)을 공급한다. 이어서, 제3 스위치 소자(S3)가 제3 스위치 제어신호(DMUX3)에 의해 턴-온되어 제3 데이터 라인(21C)에 데이터 전압(Vdata)을 공급한 후에, 제4 스위치 소자(S4)가 제4 스위치 제어신호(DMUX4)에 의해 턴-온되어 제4 데이터 라인(21D)에 데이터 전압(Vdata)을 공급한다. 스위치 제어신호들(DMUX4~DMUX5)은 타이밍 콘트롤러(130)로부터 발생될 수 있다.
- [0098] 데이터 라인들(21A~21D) 각각에는 커패시터(CA~CD)가 연결된다. 커패시터(CA~CD)는 데이터 라인들(21A~21D)에

연결된 기생 용량(parasitic capacitance) 일 수 있다. 기생 용량이 작으면, 데이터 라인들(21A, 21D)에 별도의 커패시터가 연결될 수도 있다.

- [0099] 디멀티플렉서(112)의 스위치 소자들(S1~S4)과 커패시터(CA~CD)는 데이터 전압을 샘플링하고 유지하기 위한 샘플 & 홀더 회로를 구성한다. 제1 및 제2 데이터 라인들(21A, 21B)에 연결된 스위치 소자(S1, S2)와 커패시터(CA, CB)는 제1 픽셀 그룹의 서브 픽셀들(101A, 101B)에 공급될 데이터 전압(Vdata)을 샘플링하고 유지한다. 제3 및 제4 데이터 라인들(21C, 21D)에 연결된 스위치 소자(S3, S4)와 커패시터(CC, CD)는 제2 픽셀 그룹의 서브 픽셀들(101C, 101D)에 공급될 데이터 전압(Vdata)을 샘플링하고 유지한다. 제1 픽셀 그룹은 기수 번째 라인들에 배치된 서브 픽셀들(101A, 101B)을 포함하고, 제2 픽셀 그룹은 우수 번째 라인들에 배치된 서브 픽셀들(101A, 101B)을 포함할 수 있으나 이에 한정되지 않는다. 도 4의 예에서, 제1 픽셀 그룹은 제1 표시라인(L1)에 배치된 서브 픽셀들(101A, 101B)을 포함하고, 제2 픽셀 그룹은 제1 표시라인(L1)의 아래에 위치한 제2 표시라인(L2)에 배치된 서브 픽셀들(101A, 101B)을 포함한다.
- [0100] 제1 서브 픽셀(101A)은 제1 스위치 소자(S1), 제1 커패시터(CA), 제1 데이터 라인(21A) 및 제1 내지 제3 게이트 라인들(31~33)에 연결된다. 제2 서브 픽셀(101B)은 제2 스위치 소자(S2), 제2 커패시터(CB), 제2 데이터 라인(21B) 및 게이트 라인들(31~33)에 연결된다. 제3 서브 픽셀(101C)은 제3 스위치 소자(S3), 제3 커패시터(CC), 제3 데이터 라인(21C) 및 제1 내지 제3 게이트 라인들(31~33)에 연결된다. 제4 서브 픽셀(101D)은 제4 스위치 소자(S4), 제4 커패시터(CD), 제4 데이터 라인(21D) 및 게이트 라인들(31~33)에 연결된다.
- [0101] 이웃한 서브 픽셀들 사이에 두 개의 데이터 라인들이 배치될 수 있다. 예컨대, 제1 및 제3 서브 픽셀들(101A, 101C)의 좌측에 제1 및 제3 데이터 라인들(21A, 21C)이 배치될 수 있다. 제1 및 제3 서브 픽셀들(101A, 101C)의 우측에 제2 및 제4 데이터 라인들(21B, 21D)이 배치될 수 있다.
- [0102] 도 5는 본 발명의 제2 실시예에 따른 디멀티플렉서(112), 픽셀(101A~101D), 및 신호 배선들(21A~21D, 31~33)의 연결 관계를 보여 주는 도면이다.
- [0103] 도 5를 참조하면, 데이터 구동부(110)에서 하나의 채널은 디멀티플렉서(112)를 통해 두 개의 데이터 라인들에 연결된다. 제1 채널은 디멀티플렉서(112)를 통해 제1 및 제2 데이터 라인들(21A, 21B)에 연결된다. 제2 채널은 디멀티플렉서(112)를 통해 제3 및 제4 데이터 라인들(21C, 21D)에 연결된다.
- [0104] 데이터 구동부(110)는 제1 채널에 연결된 제1 출력 버퍼(AMP1)를 통해 데이터 전압(Vdata)을 출력함과 동시에, 제2 채널에 연결된 제2 출력 버퍼(AMP2)를 통해 데이터 전압(Vdata)을 출력할 수 있다.
- [0105] 제1 출력 버퍼(AMP1)는 디멀티플렉서(112)의 제1 및 제2 스위치 소자들(S1, S2)에 연결된다. 제2 출력 버퍼(AMP2)는 다른 제1 및 제2 스위치 소자들(S1, S2)에 연결된다. 하나의 출력 버퍼에 두 개의 데이터 라인들이 연결되기 때문에 데이터 구동부(110)의 채널 수가 데이터 라인들의 개수에 비하여 1/2로 감소된다. 제1 스위치 소자들(S1)은 제1 스위치 제어신호(DMUX1)에 의해 턴-온된다. 제2 스위치 소자들(S2)은 제1 스위치 제어신호(DMUX1)에 이어서 발생하는 제2 스위치 제어신호(DMUX2)에 의해 턴-온된다.
- [0106] 좌측의 제1 스위치 소자(S1)는 제1 출력 버퍼(AMP1)를 제1 데이터 라인(21A)에 연결한다. 좌측의 제2 스위치 소자(S2)는 제1 출력 버퍼(AMP)를 제2 데이터 라인(21B)에 연결한다. 우측의 제1 스위치 소자(S1)는 제2 출력 버퍼(AMP2)를 제3 데이터 라인(21C)에 연결한다. 우측의 제2 스위치 소자(S2)는 제2 출력 버퍼(AMP2)를 제4 데이터 라인(21D)에 연결한다. 제1 스위치 소자들(S1)이 제1 스위치 제어신호(DMUX1)에 의해 동시에 턴-온되어 제1 및 제3 데이터 라인들(21A, 21C)에 데이터 전압(Vdata)이 인가된다. 이어서, 제2 스위치 소자(S2)이 제2 스위치 제어신호(DMUX2)에 의해 동시에 턴-온되어 제2 및 제4 데이터 라인들(21B, 21D)에 데이터 전압(Vdata)이 인가된다.
- [0107] 데이터 라인들(21A~21D) 각각에는 커패시터(C1~C4)가 연결된다. 디멀티플렉서(112)의 스위치 소자들(S1~S4)과 커패시터(C1~C4)는 데이터 전압을 샘플링하고 유지하기 위한 샘플 & 홀더 회로를 구성한다. 제1 및 제3 데이터 라인들(21A, 21C)에 연결된 스위치 소자들(S1)과 커패시터들(C1, C3)은 제1 픽셀 그룹의 서브 픽셀들(101A, 101B)에 공급될 데이터 전압(Vdata)을 샘플링하고 유지한다. 제2 및 제4 데이터 라인들(21B, 21D)에 연결된 스위치 소자들(S2)과 커패시터들(C2, C4)는 제2 픽셀 그룹의 서브 픽셀들(101C, 101D)에 공급될 데이터 전압(Vdata)을 샘플링하고 유지한다. 제1 픽셀 그룹은 기수 번째 라인들에 배치된 서브 픽셀들(101A, 101B)을 포함하고, 제2 픽셀 그룹은 우수 번째 라인들에 배치된 서브 픽셀들(101A, 101B)을 포함할 수 있으나 이에 한정되지 않는다.
- [0108] 제1 서브 픽셀(101A)은 제1 스위치 소자(S1), 제1 커패시터(C1), 제1 데이터 라인(21A) 및 제1 내지 제3 게이트

라인들(31~33)에 연결된다. 제2 서브 픽셀(101B)은 다른 제1 스위치 소자(S1), 제3 커패시터(C3), 제3 데이터 라인(21C) 및 게이트 라인들(31~33)에 연결된다. 제3 서브 픽셀(101C)은 제2 스위치 소자(S2), 제2 커패시터(C2), 제2 데이터 라인(21B) 및 제1 내지 제3 게이트 라인들(31~33)에 연결된다. 제4 서브 픽셀(101D)은 다른 제2 스위치 소자(S2), 제4 커패시터(C4), 제4 데이터 라인(21D) 및 게이트 라인들(31~33)에 연결된다.

- [0109] 이웃한 서브 픽셀들 사이에 두 개의 데이터 라인들이 배치될 수 있다. 예컨대, 제1 및 제3 서브 픽셀들(101A, 101C)의 좌측에 제1 및 제2 데이터 라인들(21A, 21B)이 배치될 수 있다. 제1 및 제3 서브 픽셀들(101A, 101C)의 우측에 제3 및 제4 데이터 라인들(21C, 21D)이 배치될 수 있다.
- [0110] 도 6은 제1 내지 제8 라인들에 배치된 픽셀들과 신호 배선들을 보여 주는 도면이다. 도 7은 도 6에 도시된 게이트 라인들에 인가되는 게이트 신호들을 보여 주는 파형도이다.
- [0111] 도 6 및 도 7을 참조하면, 제1 및 제2 표시라인(L1, L2)에 배치된 서브 픽셀들(101)은 서로 다른 데이터 라인(21A~21D)에 연결되고, 제1 게이트 라인 그룹에 속한 게이트 라인들(31~33)을 공유한다. 제3 및 제4 라인(L3, L4)에 배치된 서브 픽셀들(101)은 서로 다른 데이터 라인(21A~21D)에 연결되고, 제2 게이트 라인 그룹에 속한 게이트 라인들(31~33)을 공유한다.
- [0112] 도 7에서, SCAN1(1), SCAN2(1) 및 EM(1)는 제1 게이트 라인 그룹에 속한 게이트 라인들(31~33)에 인가되는 게이트 신호들이다. SCAN1(2), SCAN2(2) 및 EM(2)는 제2 게이트 라인 그룹에 속한 게이트 라인들(31~33)에 인가되는 게이트 신호들이다. 이러한 게이트 신호들은 라인 단위로 시프트되어 데이터 전압이 충전되는 라인들을 순차적으로 선택한다.
- [0113] 도 8은 본 발명의 실시예에 따른 픽셀 구동 방법을 보여 주는 흐름도이다.
- [0114] 도 8을 참조하면, 본 발명은 디멀티플렉서(112)와 데이터 라인들(21A~21D)에 연결된 커패시터를 이용하여 다수의 데이터 라인들(21A~21D)에 데이터 전압을 충전한다(ST101). ST101 단계는 도 10의 예와 같이 다수의 데이터 샘플링 구간($t_{11} \sim t_{14}$)으로 나뉘어질 수 있다. 이어서, 본 발명은 도 2 및 도 3과 같은 픽셀 회로를 이용하여 다수의 픽셀 그룹들에서 구동 소자의 전기적 특성 예를 들면, 문턱 전압(V_{th}), 이동도(mobility, μ) 등을 동시에 센싱한다(ST102). ST102 단계는 도 10의 예와 같이 초기화 구간(t_{21})과 보상 구간(t_{22})으로 나뉘어질 수 있다.
- [0115] ST102에서, 센싱된 구동 소자의 전기적 특성 만큼 데이터 전압(V_{data})이 보상되어 구동 TFT(DT)의 게이트에 인가되고 스토리지 커패시터(C_{st})에 충전된다. 구동 TFT(DT)는 보상된 데이터 전압(V_{data})으로 발광 소자(EL)에 흐르는 전류를 조절한다.
- [0116] 도 9는 도 2 및 도 4에 도시된 픽셀 회로와 신호 배선을 상세히 보여 주는 회로도이다. 도 10은 도 9에 도시된 픽셀들의 구동 방법을 보여 주는 파형도이다. 도 10에서 “DE”는 입력 영상에서 픽셀들에 표시될 1 라인의 데이터 구간을 정의하는 데이터 인에이블신호를 나타낸다.
- [0117] 도 10에서, 데이터 인에이블 신호(DE)와 수평 동기 신호의 1 주기는 1 수평 기간(1H)이다. “D1” ~ “D4”는 도 8에서 ST101 단계에서 데이터 라인들(21A~21D)에 순차적으로 충전되는 데이터 전압(V_{data})을 나타낸다. “D1”은 제1 데이터 라인(21A)에 충전되는 데이터 전압이다. “D2”는 제2 데이터 라인(21B)에 충전되는 데이터 전압이다. “D3”은 제4 데이터 라인(21C)에 충전되는 데이터 전압이다. “D4”는 제4 데이터 라인(21D)에 충전되는 데이터 전압이다. 본 발명은 다수의 픽셀 그룹들에서 구동 소자의 전기적 특성을 동시에 센싱하고 보상함으로써 픽셀 구동 시간에서 여유 시간(t_m)을 확보할 수 있다. 다수의 픽셀 그룹들은 발광 시간(t_{em}) 동안 동시에 발광된다.
- [0118] 제2 스캔 신호(SCAN2)는 제1 스캔 신호(SCAN1)의 펄스가 게이트 온 전압으로 변하기에 앞서 게이트 온 전압(VGL)의 펄스로 변한다. 제1 및 제2 스캔 신호(SCAN1, SCAN2)는 동시에 게이트 오프 전압(VGH)으로 변한다. 제1 스캔 신호(SCAN1)가 게이트 온 전압(VGL)으로 변함과 동시에 EM 신호(EM)의 전압이 게이트 오프 전압(VGH)으로 변한다. EM 신호(EM)는 제1 및 제2 스캔 신호(SCAN1, SCAN2)가 게이트 오프 전압(VGH)의 펄스로 발생된 후에 게이트 온 전압(VGL)으로 반전된다. EM 신호(EM)가 게이트 오프 전압(VGH)의 펄스일 때 발광 소자(EL)로 흐르는 전류가 차단되는 반면, EM 신호(EM)가 게이트 온 전압(VGL)일 때 발광 소자(EL)에 전류가 흘러 발광 소자(EL)가 발광할 수 있다.
- [0119] 본 발명은 화면 상에서 두 개 이상의 라인들에 배치된 픽셀들에 공급될 데이터 전압을 N 개의 데이터 라인들에 순차적으로 충전한 후에(ST101), 그 픽셀들의 전기적 특성을 동시에 보상한다(ST102). 따라서, 본 발명은 도

10에 도시된 바와 같이 ST102 단계의 처리 시간(또는 보상 시간)을 줄일 수 있으므로 그 만큼 여유 시간(tm)을 확보할 수 있다. 본 발명은 여유 시간(tm)을 활용하여 고해상도와 고속 구동에서 픽셀들의 보상 시간을 충분히 확보할 수 있다.

- [0120] 도 11 내지 도 24는 도 9 및 도 10에 도시된 픽셀 회로의 구동 방법을 시간축 상에서 단계적으로 보여 주는 도면들이다.
- [0121] 도 11 내지 도 18을 참조하면, ST101 단계는 제1 픽셀 그룹과 제2 픽셀 그룹의 서브 픽셀들(101A~101D)에 인가 될 데이터 전압을 데이터 라인들에 미리 저장한다. ST101 단계는 제1 픽셀 그룹에 속한 서브 픽셀들(101A, 101B)의 데이터 전압을 제1 및 제2 데이터 라인들(21A, 21B)에 순차적으로 공급하는 t11 및 t12 구간과, 제2 픽셀 그룹에 속한 서브 픽셀들(101C, 101D)의 데이터 전압을 제3 및 제4 데이터 라인들(21A, 21B)에 순차적으로 공급하는 t13 및 t14 구간으로 나뉘어진다. ST101 단계에서, 디멀티플렉서(112)의 스위치 소자들(S1~S4)은 타이밍 컨트롤러(130)로부터 수신된 스위치 제어신호(DMUX1~DMUX4)에 의해 순차적으로 턴-온된다.
- [0122] 도 11에서 화살표는 t11 구간 동안 데이터 라인과 픽셀 회로의 전류를 보여 준다. t11 구간(도 11 및 도 12)에, 제1 스위치 제어신호(DMUX1)의 펄스에 응답하여 제1 스위치 소자(S1)가 턴-온된다. t11 구간 동안, 도 11에 도시된 바와 같이 데이터 구동부(110)로부터 출력된 제1 데이터 전압(D1)이 제1 스위치 소자(S1)를 통해 제1 데이터 라인(21A)의 커패시터(CA)에 저장된다.
- [0123] 도 13에서 화살표는 t12 구간 동안 데이터 라인과 픽셀 회로의 전류를 보여 준다. t12 구간(도 13 및 도 14)에, 제2 스위치 제어신호(DMUX2)의 펄스에 응답하여 제2 스위치 소자(S2)가 턴-온된다. t12 구간 동안, 도 13에 도시된 바와 같이 데이터 구동부(110)로부터 출력된 제2 데이터 전압(D2)이 제2 스위치 소자(S2)를 통해 제2 데이터 라인(21B)의 커패시터(CB)에 저장된다.
- [0124] 도 15에서 화살표는 t13 구간 동안 데이터 라인과 픽셀 회로의 전류를 보여 준다. t13 구간(도 15 및 도 16)에, 제3 스위치 제어신호(DMUX3)의 펄스에 응답하여 제3 스위치 소자(S3)가 턴-온된다. t13 구간 동안, 도 15에 도시된 바와 같이 데이터 구동부(110)로부터 출력된 제3 데이터 전압(D3)이 제3 스위치 소자(S3)를 통해 제3 데이터 라인(21C)의 커패시터(CC)에 저장된다.
- [0125] 도 17에서 화살표는 t14 구간 동안 데이터 라인과 픽셀 회로의 전류를 보여 준다. t14 구간(도 17 및 도 18)에, 제4 스위치 제어신호(DMUX4)의 펄스에 응답하여 제4 스위치 소자(S4)가 턴-온된다. t14 구간 동안, 도 17에 도시된 바와 같이 데이터 구동부(110)로부터 출력된 제4 데이터 전압(D4)이 제4 스위치 소자(S4)를 통해 제4 데이터 라인(21D)의 커패시터(CD)에 저장된다.
- [0126] 도 19 내지 도 22를 참조하면, ST102 단계는 제1 픽셀 그룹과 제2 픽셀 그룹의 서브 픽셀들(101A~101D)에서 구동 TFT(DT)의 전기적 특성을 동시에 센싱하고, 그 전기적 특성 만큼 데이터 전압을 보상한다. ST102 단계는 제 1 및 제2 픽셀 그룹의 서브 픽셀들을 초기화하는 t21 구간과, 제1 및 제2 픽셀 그룹의 서브 픽셀들에서 구동 TFT의 전기적 특성을 샘플링하고 데이터 라인들에 저장된 데이터 전압을 서브 픽셀들에 동시에 공급하는 t22 구간으로 나뉘어진다. ST102 단계에서, 디멀티플렉서(112)의 스위치 소자들(S1~S4)은 오프 상태를 유지한다.
- [0127] 도 19에서 화살표는 t21 구간 동안 데이터 라인과 픽셀 회로의 전류를 보여 준다. T21 구간(도 19 및 도 20)에, 제2 스캔 신호(SCAN2)의 펄스에 응답하여 제2 및 제5 스위치 TFT(T2, T5)가 턴-온되고, EM 신호(EM)의 게이트 온 전압(VGL)에 따라 제3 및 제4 스위치 TFT(T3, T4)가 턴-온된다. 이 때, 픽셀 회로의 각 노드들과 스토리지 커패시터(Cst)의 전압이 초기화된다.
- [0128] 도 21에서 화살표는 t22 구간 동안 데이터 라인과 픽셀 회로의 전류를 보여 준다. T22 구간(도 21 및 도 22)에, 제1 및 제2 스캔 신호(SCAN1, SCAN2)의 펄스에 응답하여 제1 내지 제5 스위치 TFT들(T1~T5)이 턴-온된다. 이 때, 서브 픽셀들(101A~101D) 각각에서 제2 노드(n2)에 구동 TFT의 소스-게이트 간 전압 즉, 문턱 전압(Vth)까지 상승하고, 제1 노드(n1)에 데이터 라인(21A~21D)에 저장된 데이터 전압(Vdata)이 인가된다. 따라서, 서브 픽셀들(101A~101B) 각각에서 t22 구간에 스토리지 커패시터(Cst)는 데이터 전압(Vdata)과 구동 TFT(DT)의 문턱 전압의 차 전압을 저장한다. 그 결과, t22 구간 동안, 구동 TFT의 전기적 특성이 샘플링되고 데이터 전압이 구동 TFT의 전기적 특성만큼 보상된다.
- [0129] 도 23 및 도 24를 참조하면, 다수의 픽셀 그룹들은 발광 시간(tem) 동안 동시에 발광된다. 도 23에서 화살표는 발광 시간(tem) 동안 픽셀 회로의 전류를 보여 준다. 다수의 픽셀 그룹들에서 구동 소자의 전기적 특성이 동시에 센싱하고 보상되기 때문에 여유 시간(tm)이 확보될 수 있다.

- [0130] 도 25는 제2 스위치 TFT(T2)의 다른 예를 보여 주는 회로도이다. 도 25에 도시된 바와 같이, 두 개의 TFT(T2-1, T2-2)를 연결하여 듀얼 게이트 구조의 제2 스위치 TFT(T2)로 형성될 수 있다. 듀얼 게이트 구조의 TFT(T2-1, T2-2)는 구동 TFT(DT)의 누설 전류를 줄일 수 있다.
- [0131] 도 26 및 도 27은 픽셀 회로를 포함한 서브 픽셀의 실제 레이아웃을 보여 주는 도면들이다. 도 27은 도 26에서 선 “I-I'”을 따라 절취하여 제1 스위치 TFT(T1)와 데이터 라인(21)의 단면 구조를 보여 준다. 이웃한 서브 픽셀 사이에 배치된 데이터 라인은 서로 다른 서브 픽셀에 연결된 한 쌍의 데이터 라인들(21A, 21C)을 포함한다. 도 26 및 도 27에서 발광 소자(EL)는 생략되어 있다.
- [0132] 도 26 및 도 27을 참조하면, 기관(GLS)의 전체 표면 위에는 버퍼층이 형성되고, 그 위에 반도체 패턴(ACT)이 형성될 수 있다. 버퍼층은 생략될 수 있다. 반도체 패턴(ACT)의 채널 영역은 TFT의 게이트와 반도체 패턴(ACT)의 중첩되는 영역으로 정의된다.
- [0133] 게이트 절연막(GI)은 반도체 패턴(ACT)을 덮도록 기관(GLS) 상에 전면 증착된다. 게이트 절연막(GI) 위에는 제1 금속 패턴이 형성된다. 제1 금속 패턴은 TFT들(T1~T5, DT)의 게이트(GE), 게이트 라인(31~33) 등을 포함한다.
- [0134] 제1 및 제2 층간 절연막(ILD1, ILD2)은 게이트 금속 패턴을 덮도록 게이트 절연막(GI) 상에 적층된다. 제2 층간 절연막(ILD2) 상에 제2 금속 패턴이 형성된다. 제2 금속 패턴은 TFT들(T1~T5, DT)의 제1 전극(SE) 및 제2 전극(DE)과, 데이터 라인(21A)을 포함한다. TFT의 제1 및 제2 전극(SE, DE)은 절연막을 관통하여 다른 구성 요소들과 연결될 수 있다. 예컨대, 제1 스위치 TFT(T1)의 전극들(SE, DE)은 층간 절연막(ILD1, ILD2)를 관통하는 콘택홀(contact hole)을 통해 반도체 패턴(ACT)에 접촉될 수 있다.
- [0135] 제1 보호막(PLN1)은 제2 금속 패턴을 덮도록 제2 층간 절연막(ILD2) 상에 형성되는 절연층이다. 제1 보호막(PLN1) 상에 다른 데이터 라인(21C)이 형성되어 이웃한 서브 픽셀들 사이에서 두 개의 데이터 라인들(21A, 21C)이 절연층을 사이에 두고 수직으로 중첩될 수 있다. 제2 보호막(PLN1)은 데이터 라인(21C)을 덮도록 제1 보호막(PLN1) 상에 형성된다. 제2 보호막(PLN1) 상에 발광 소자(EL)의 애노드(ANO)가 형성된다.
- [0136] बैंक 패턴(BSL)은 이웃한 서브 픽셀들 간에 발광 소자(EL)를 정의하기 위한 절연물질 패턴이다.
- [0137] 보호막(PAS)은 제2 반도체 패턴(NACT1, NACT2)와, 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)을 덮도록 제2 게이트 절연막(GI2) 상에 형성된다. 평탄화막(PLN)은 보호막(PAS) 상에 형성된다. OLED의 애노드(ANO)는 평탄화막(PLN)과 보호막(PAS)을 관통하는 콘택홀을 통해 p 타입 TFT(PT1)에 연결된다.
- [0138] 데이터 라인들(21A, 21C)은 도 28에 도시된 바와 같이 동일 평면 상에 나란하게 형성될 수 있다. 보호막(PLN)이 데이터 라인들(21A, 21C)을 덮는다. 도 28에서, 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들(21A, 21C)은 수직으로 중첩되지 않는다. 탑 에미션(top emission) 방식의 전계 발광 표시장치는 TFT 어레이 위로 빛을 발산하기 때문에 그 개구율이 TFT 어레이 기관 상의 개구 영역에 받지 않는다. 따라서, 탑 에미션 구조에서, 도 28에 도시된 바와 같이 데이터 라인들의 수평 점유 면적이 넓더라도 픽셀들의 개구율 저하가 없다.
- [0139] 이웃한 서브 픽셀들 사이에 한쌍의 데이터 라인들이 배치되기 때문에 그 데이터 라인들 사이의 전기적 간섭 즉, 커플링(coupling)으로 인하여 데이터 신호가 변할 수 있다. 이 데이터 라인들 사이에 절연층 두께를 두껍게 하거나 저 유전율의 절연층을 이용하여 데이터 라인들 간의 기생 용량을 줄이면, 데이터 라인들 간의 커플링을 줄일 수 있다.
- [0140] 도 29는 제1 픽셀 그룹의 서브 픽셀(101A)과 제2 픽셀 그룹의 서브 픽셀(101C)에서 공유되는 게이트 라인 구조를 보여 주는 도면이다.
- [0141] 제1 및 제2 픽셀 그룹들의 픽셀들에 연결된 제1 게이트 라인들(31)이 서로 연결되고 게이트 구동부(120)의 제1 출력 단자에 연결되어 제1 및 제2 픽셀 그룹들에서 공유될 수 있다. 제1 및 제2 픽셀 그룹들의 픽셀들에 연결된 제2 게이트 라인들(32)이 서로 연결되고 게이트 구동부(120)의 제2 출력 단자에 연결되어 제1 및 제2 픽셀 그룹들에서 공유될 수 있다. 제1 및 제2 픽셀 그룹들의 픽셀들에 연결된 제3 게이트 라인들(33)이 서로 연결되고 게이트 구동부(120)의 제3 출력 단자에 연결되어 제1 및 제2 픽셀 그룹들에서 공유될 수 있다.
- [0142] 게이트 구동부(120)에서 하나의 채널을 통해 제1 및 제2 픽셀 그룹들을 통해 게이트 신호가 인가되기 때문에 게이트 구동부(120)의 채널 수 감소로 인하여 도 29에 도시된 바와 같이 게이트 구동부(120)의 회로 면적이 대폭

감소된다. 따라서, 본 발명은 표시패널 상에서 네로우 베젤(narrow bezel)을 구현할 수 있다.

- [0143] 도 30은 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들(21A, 21C) 사이의 커플링(coupling)을 보여주는 도면이다. 도 31은 데이터 라인들(21A, 21C) 사이의 커플링으로 인하여 데이터 신호가 왜곡되는 예를 보여주는 도면이다.
- [0144] 도 30 및 도 31을 참조하면, 제1 데이터 라인(21A)과 제3 데이터 라인(21C) 간에 기생 용량(Cp)이 존재할 수 있다.
- [0145] 도 31에서, (A)는 데이터 전압이 이웃한 데이터 라인들(D1, D3)에 순차적으로 예이다. (B)는 (A)에 도시된 바와 같이 데이터 전압이 데이터 라인들(D1, D3)에 순차적으로 인가될 때 제1 커패시터(CA)와 제3 데이터 라인(D3)의 전압 변화를 보여 준다.
- [0146] 제1 데이터 라인(21A)에 제1 데이터 전압(D1)이 인가되면 제1 데이터 라인(21A)에 연결된 제1 커패시터(CA)에 전압(V)이 충전되고 또한, 데이터 라인들(21A, 21C) 간의 기생 용량(Cp)에도 데이터 전압의 일부가 분배된다. 그 결과, 제3 데이터 라인(21C)이 제1 데이터 전압(D1)으로 인하여 원치 않게 ΔV 만큼 프리 차징(pre-charging)된다. 이렇게 프리차징된 제3 데이터 라인(21C)에 제3 데이터 전압(D3)이 인가되면 기생 용량(Cp)을 통해 제3 커패시터(CC)의 전압이 ΔV 만큼 더 상승하여 제1 픽셀 그룹의 서브 픽셀에 인가될 데이터 전압이 변하게 된다.
- [0147] 도 31과 같은 데이터 전압의 왜곡을 방지하기 위하여, TFT 어레이 기판 상에서 데이터 라인들 간의 기생 용량(Cp)을 최소화하는 방법이 있다. 이와 다른 방법으로, 도 32에 도시된 바와 같이 데이터 전압(D1, D3)을 이웃한 데이터 라인들(21A, 21C)에 동시에 인가하여 기생 용량(Cp)의 영향을 줄이는 방법이 있다. 도 32에서, (A)는 이웃한 데이터 라인들(D1, D3)에 데이터 전압이 동시에 인가되는 예이다. (B)는 (A)에 도시된 바와 같이 데이터 전압이 데이터 라인들(D1, D3)에 동시에 인가될 때 제1 커패시터(CA)와 제3 데이터 라인(D3)의 전압 변화를 보여 주는 파형도이다.
- [0148] 디멀티플렉서(112)의 스위치 소자들(S1~S4) 중에서 동시에 턴-온되는 스위치 소자들에 연결된 데이터 라인들이 이웃하게 배치되면 이 데이터 라인들에 데이터 전압이 동시에 인가되어 기생 용량(Cp)의 영향을 줄일 수 있다. 이를 위하여, 본 발명은 도 33 및 도 34에 도시된 바와 같이 제1 출력 버퍼(AMP1)에 연결된 한 쌍의 데이터 라인들(21A, 21C) 중 어느 하나와, 제2 출력 버퍼(AMP2)에 연결된 한 쌍의 데이터 라인들(21B, 21D) 중 어느 하나를 교차 연결하는 방법을 적용할 수 있다.
- [0149] 도 33 및 도 34를 참조하면, 제1 출력 버퍼(AMP1)에 제1 및 제3 스위치 소자(S1, S3)가 연결된다. 제2 출력 버퍼(AMP2)에 다른 제1 및 제3 스위치 소자(S1, S3)가 연결된다. 제1 스위치 소자들(S1)은 제1 스위치 제어신호(DMUX1)에 응답하여 턴-온된다. 제3 스위치 소자들(S3)은 제1 스위치 제어신호(DMUX1) 이후에 발생하는 제3 스위치 제어신호(DMUX3)에 응답하여 턴-온된다.
- [0150] 제1 출력 버퍼(AMP1)에 연결된 제3 스위치 소자(S3)는 제2 데이터 라인(21A)에 연결된다. 제2 출력 버퍼(AMP2)에 연결된 제1 스위치 소자(S1)는 제3 데이터 라인(21C)에 연결된다. 이를 위하여, 제2 데이터 라인(21B)과 제3 데이터 라인(21C)이 교차된다. 데이터 라인들이 단락(short circuit)되지 않도록 이 데이터 라인들(21B, 21C)은 절연막을 사이에 두고 교차되고 그 사이의 기생 용량은 최소화된다.
- [0151] 제1 및 제2 데이터 라인들(21A, 21B)은 제1 픽셀 그룹에 속한 서브 픽셀들(101A, 101B)과, 이 서브 픽셀들(101A, 101B)에 인가될 데이터 전압(D1, D2)을 충전하기 위한 커패시터들(CA, CB)에 연결된다. 제3 및 제4 데이터 라인들(21C, 21D)은 제2 픽셀 그룹에 속한 서브 픽셀들(101C, 101D)과, 이 서브 픽셀들(101C, 101D)에 인가될 데이터 전압(D3, D4)을 충전하기 위한 커패시터들(CC, CD)에 연결된다.
- [0152] 제1 출력 버퍼(AMP1)에 연결된 제1 및 제3 스위치 소자들(S1, S3)은 제1 및 제3 스위치 제어신호(DMUX1, DMUX3)에 의해 순차적으로 턴-온되어 제1 및 제2 데이터 라인들(21A, 21B)에 데이터 전압을 순차적으로 공급한다. 제2 출력 버퍼(AMP2)에 연결된 제1 및 제3 스위치 소자들(S1, S3)은 제1 및 제3 스위치 제어신호(DMUX1, DMUX3)에 의해 순차적으로 턴-온되어 제3 및 제4 데이터 라인들(21A, 21B)에 데이터 전압을 순차적으로 공급한다. 제2 및 제3 데이터 라인들(21B, 21C)의 교차 구조로 인하여, 제1 스위치 소자들(S1)을 통해 데이터 전압이 이웃한 제1 및 제3 데이터 라인들(21A, 21C)에 동시에 인가되어 커패시터들(CA, CC)에 동시에 충전된다. 이어서, 제3 스위치 소자들(S3)을 통해 데이터 전압이 이웃한 제2 및 제4 데이터 라인들(21B, 21D)에 동시에 인가되어 커패시터들(CB, CD)에 동시에 충전된다.

- [0153] 도 34에서 알 수 있는 바와 같이, 스위치 소자들(S1~S4)과 일부 데이터 라인들(21B, 21C, 21F, 21G)의 교차 연결 구조에 의해 제1 및 제3 데이터 라인들(21A, 21C)에 데이터 신호가 동시에 공급된다. 또한, 제2 및 제4 데이터 라인들(21B, 21D)에 데이터 신호가 동시에 공급된다. 따라서, 본 발명은 이웃한 서브 픽셀들 사이에 근접 배치된 한 쌍의 데이터 라인들 사이에 기생 용량으로 인한 커플링이 존재하더라도 그 커플링의 영향을 거의 받지 않고 데이터 라인들 각각에 서로 다른 데이터 전압을 충전할 수 있다.
- [0154] 도 10에 도시된 바와 같이 스위치 제어신호들(S1~S4)이 순차적으로 발생되면, 제1 스위치 소자(S1), 제2 스위치 소자(S2), 제3 스위치 소자(S3) 및 제4 스위치 소자(S4) 순으로 스위치 소자들(S1~S4)이 턴-온된다. 도 34에 도시된 바와 같이 일부 데이터 라인들이 교차되기 때문에, 동시에 턴-온되는 스위치 소자들을 통해 화면 전체에서 이웃한 서브 픽셀들 사이에 배치된 한 쌍의 데이터 라인들에 데이터 전압이 동시에 인가될 수 있다.
- [0155] 도 35는 도 2 및 도 5에 도시된 픽셀 회로와 신호 배선을 상세히 보여 주는 회로도이다. 도 36은 도 35에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- [0156] 도 35 및 도 36을 참조하면, 데이터 구동부(110)의 출력 버퍼(AMP)에 디멀티플렉서(112)의 제1 및 제2 스위치 소자들(S1, S2)이 연결된다. 제1 및 제2 데이터 라인들(21A, 21B)은 제1 및 제2 스위치 소자들(S1, S2)를 통해 데이터 구동부(110)에서 하나의 출력 버퍼(AMP)에 연결된다. 제1 데이터 라인(21A)은 제1 픽셀 그룹에 속한 서브 픽셀들(101E)에 연결되고, 제2 데이터 라인(21B)은 제2 픽셀 그룹에 속한 서브 픽셀들(101G)에 연결된다. 제1 픽셀 그룹은 기수 번째 데이터 라인들에 연결된 기수 번째 표시라인(L1)의 서브 픽셀들(101E)을 포함할 수 있으나 이에 한정되지 않는다. 제2 픽셀 그룹은 우수 번째 데이터 라인들에 연결된 우수 번째 표시라인(L2)의 서브 픽셀들(101G)을 포함할 수 있으나 이에 한정되지 않는다.
- [0157] 타이밍 컨트롤러(130)는 제1 스위치 제어신호(DMUX1)에 이어서 제2 스위치 제어신호(DMUX2)를 출력하여 디멀티플렉서(112)의 동작 타이밍을 제어한다. 제1 스위치 소자(S1)는 제1 스위치 제어신호(DMUX1)에 응답하여 출력 버퍼(AMP)를 제1 데이터라인(21A)에 연결하여 제1 데이터 전압(D1)을 제1 데이터 라인(21A)에 공급한다. 제2 스위치 소자(S2)는 제2 스위치 제어신호(DMUX2)에 응답하여 출력 버퍼(AMP)를 제2 데이터라인(21B)에 연결하여 제2 데이터 전압(D2)을 제2 데이터 라인(21B)에 공급한다.
- [0158] 도 35에 도시된 픽셀 회로는 전술한 실시예와 실질적으로 동일한 방법으로 동작한다. 다시 말하여, 본 발명은 다수의 픽셀 그룹들에 인가될 데이터 전압을 데이터 라인들(21A, 21B)에 미리 충전한다(ST101). 이어서, 본 발명은 다수의 픽셀 그룹들에 속한 서브 픽셀들(101E, 101G)에서 구동 소자의 전기적 특성을 센싱하여 데이터 전압을 보상하고, 서브 픽셀들(101E, 101G)에 데이터 전압을 동시에 공급한다(ST102). 본 발명은 다수의 픽셀 그룹들에서 구동 소자의 전기적 특성을 동시에 센싱하고 보상함으로써 픽셀 구동 시간에서 여유 시간(tm)을 확보할 수 있다. 다수의 픽셀 그룹들은 발광 시간(tem) 동안 동시에 발광된다. 이 픽셀 회로의 동작은 도 11 내지 도 24와 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.
- [0159] 동시에 턴-온되는 스위치 소자들에 연결된 데이터 라인들이 이웃한 서브 픽셀들 사이에 배치되면 이웃한 서브 픽셀들 사이의 데이터 라인들에 데이터 전압이 동시에 인가될 수 있다. 이를 위하여, 도 35에 도시된 픽셀 회로에서 일부 데이터 라인이 도 37에 도시된 바와 같이 교차될 수 있다.
- [0160] 도 37을 참조하면, 제1 출력 버퍼(AMP1)에 제1 및 제2 스위치 소자(S1, S2)가 연결된다. 제2 출력 버퍼(AMP2)에 다른 제1 및 제2 스위치 소자(S1, S2)가 연결된다. 제1 스위치 소자들(S1)은 제1 스위치 제어신호(DMUX1)에 응답하여 턴-온된다. 제2 스위치 소자들(S2)은 제1 스위치 제어신호(DMUX1) 이후에 발생하는 제2 스위치 제어신호(DMUX2)에 응답하여 턴-온된다.
- [0161] 제1 출력 버퍼(AMP1)에 연결된 제2 스위치 소자(S2)는 제3 데이터 라인(21C)에 연결된다. 제2 출력 버퍼(AMP2)에 연결된 제1 스위치 소자(S1)는 제2 데이터 라인(21B)에 연결된다. 이를 위하여, 제2 데이터 라인(21B)과 제3 데이터 라인(21C)이 교차된다. 데이터 라인들이 단락되지 않도록 이 데이터 라인들(21B, 21C)은 절연막을 사이에 두고 교차되고 그 사이의 기생 용량은 최소화된다.
- [0162] 제1 및 제3 데이터 라인들(21A, 21C)은 제1 픽셀 그룹에 속한 서브 픽셀들(101E, 101F)과, 이 서브 픽셀들(101E, 101F)에 인가될 데이터 전압(D1)을 충전하기 위한 커패시터들(C1)에 연결된다. 제2 및 제4 데이터 라인들(21B, 21D)은 제2 픽셀 그룹에 속한 서브 픽셀들(101G, 101H)과, 이 서브 픽셀들(101G, 101H)에 인가될 데이터 전압(D2)을 충전하기 위한 커패시터들(C2)에 연결된다.
- [0163] 도 38은 도 9 내지 도 33에 도시된 픽셀 회로 구동 방법에서 동작 구간별 시간을 해상도별로 계산한 결과를 보

여 주는 도면이다. 도 39는 도 34 내지 도 37에 도시된 픽셀 회로 구동 방법에서 동작 구간별 시간을 해상도별로 계산한 결과를 보여 주는 도면이다.

- [0164] 도 38 내지 도 39에서 시간의 단위는 μs (micro sec)이다. “2MUX”는 데이터 구동부의 한 채널에 연결된 디멀티플렉서(112)의 스위치 소자가 2 개인 예를 나타낸다. “1H”는 1 수평기간이고, “2H”는 2 수평기간이다. “Initial Cst Vth sampling & Data In”은 도 9 내지 도 33에서 ST102 단계를 처리하는 보상 시간을 의미한다. 최소 4 μs 이상 되어야 구동 소자의 전기적 특성이 안정되게 샘플링된다.
- [0165] 도 9 내지 도 33의 경우에, 네 개의 스위치 소자들(S1~S4)이 순차적으로 턴-온되어 데이터 전압을 데이터 라인들에 충전하는 시간(도 8에서 ST101)이 길어져 상대적으로 보상 시간(도 8에서 ST102)이 짧아진다. UHD의 경우에 도 38에 도시된 바와 같이 보상 시간이 0.58으로 더 짧아지기 때문에 도 9 내지 도 33과 같은 구조를 갖는 UHD 표시패널에서 보상 시간이 부족하다. 도 9 내지 도 33과 같은 구조를 갖는 표시패널의 해상도가 QHD나 FHD이면 보상 시간이 충분하다. 스위치 소자들(S1~S4)의 개수를 두 개로 줄이면 UHD에서도 보상 시간이 확보될 수 있다.
- [0166] 도 34 내지 도 37의 경우에, 두 개의 스위치 소자들(S1, S2)이 순차적으로 턴-온되어 데이터 전압을 데이터 라인들에 충전하는 시간(도 8에서 ST101)이 작기 때문에 보상 시간(도 8에서 ST102)이 더 길게 확보될 수 있다. 따라서, 도 34 내지 도 37과 같은 구조를 갖는 표시패널은 도 39에 도시된 바와 같이 UHD 해상도에서도 보상 시간이 충분하다. FHD의 경우, 2MUX 구동시에 보상 시간이 9.26 μs 나 되기 때문에 보상 시간에 충분한 여유를 확보할 수 있다. FHD의 경우에, 디멀티플렉서(112)에서 순차적으로 턴-온되는 스위치 소자들의 개수를 6 개로 증가하더라도 보상 시간이 충분하다.
- [0167] 도 40 내지 도 55는 도 3에 도시된 픽셀 회로가 도 5에 적용된 예에서 픽셀 회로의 구동 방법을 시간축 상에서 단계적으로 보여 주는 도면들이다.
- [0168] 도 40 내지 도 55를 참조하면, 제1 스캔 신호(SCAN1)의 펄스가 게이트 온 전압(VGL)으로 발생된 후, 제2 스캔 신호(SCAN2)의 펄스가 게이트 온 전압(VGL)으로 발생된 다음, 제3 스캔 신호(SCAN3)의 펄스가 게이트 온 전압(VGL)으로 발생된다. 제1 스캔 신호(SCAN1)의 전압이 게이트 오프 전압(VGH)으로 변환 후에, 제2 스캔 신호(SCAN1)의 전압이 게이트 온 전압(VGL)으로 변환한다. 제2 스캔 신호(SCAN2)의 전압이 게이트 오프 전압(VGH)으로 변환 후에, 제3 스캔 신호(SCAN3)의 전압이 게이트 온 전압(VGL)으로 변환한다. EM 신호(EM)의 펄스는 제1 스캔 신호(SCAN1)의 펄스가 발생되기 전에 게이트 오프 전압(VGH)으로 발생된 후, 제3 스캔 신호(SCAN3)의 전압이 게이트 오프 전압(VGH)으로 변환 후에 게이트 온 전압(VGL)으로 변환한다.
- [0169] 도 40 및 도 41을 참조하면, t01 구간 동안, 모든 게이트 신호들(SCAN1, SCAN2, SCAN3, EM)이 게이트 오프 전압(VGH)이다. 이 때, 픽셀 회로의 모든 TFT들(T11~T16, DT)과 발광 소자(EL)가 턴-오프되어 서브 픽셀들이 소등된다.
- [0170] 도 42 및 도 43을 참조하면, 제1 스위치 TFT(T11)이 t02 구간 동안 제1 스캔 신호(SCAN1)의 펄스에 응답하여 턴-온된다. t02 구간에 픽셀 회로의 각 노드 전압이 기준 전압(Vref)으로 초기화된다.
- [0171] 도 44 및 도 45를 참조하면, ST101 단계는 제1 픽셀 그룹과 제2 픽셀 그룹의 서브 픽셀들(101E, 101G)에 인가될 데이터 전압을 데이터 라인들(21A, 21B)에 연결된 커패시터들(C1, C2)에 저장한다. ST101 단계는 제1 픽셀 그룹에 속한 서브 픽셀(101E)의 데이터 전압을 제1 데이터 라인(21A)에 공급한 후, 제2 픽셀 그룹에 속한 서브 픽셀(101G)의 데이터 전압을 제2 데이터 라인(21B)에 공급한다. ST101 구간 동안 픽셀 회로의 TFT들(T11~T16, DT)은 턴-오프되기 때문에 픽셀 회로의 각 노드들은 t02 구간에 설정된 초기화 전압을 유지한다.
- [0172] 도 46 내지 도 51을 참조하면, ST102 단계는 제1 픽셀 그룹과 제2 픽셀 그룹의 서브 픽셀들(101E~101G)에서 구동 TFT(DT)의 전기적 특성을 동시에 센싱하고, 그 전기적 특성 만큼 데이터 전압을 보상한다. 먼저, 도 46 및 도 47에 도시된 바와 같이, 제2 스캔 신호(SCAN2)가 게이트 온 전압(VGL)으로 반전되어 제2 및 제6 스위치 TFT들(T12, T16)이 턴-온된다. 제1 픽셀 그룹의 제6 스위치 TFT(T16)가 제1 데이터 라인(21A)에 연결되고, 제2 픽셀 그룹의 제6 스위치 TFT(T16)가 제2 데이터 라인(21B)에 연결된다. 따라서, 제1 데이터 라인(21A)을 통해 데이터 전압(D1)이 서브 픽셀(101E)에 공급되고, 그 서브 픽셀(101E) 내의 구동 TFT(DT)의 문턱 전압(Vth)이 커패시터(Cst)에 샘플링된다. 이와 동시에, 제2 데이터 라인(21B)을 통해 데이터 전압(D2)이 서브 픽셀(101G)에 공급되고, 그 서브 픽셀(101G) 내의 구동 TFT(DT)의 문턱 전압(Vth)이 커패시터(Cst)에 샘플링된다.
- [0173] 제2 스캔 신호(SCAN2)의 전압이 게이트 오프 전압(VGH)으로 반전되는 도 48 및 도 49에서, 서브 픽셀들(101E, 101G)의 전압이 유지된다. 제3 스캔 신호(SCAN3)의 전압이 게이트 온 전압(VGL)으로 반전되는 도 50 및 도 51

에서, 제5 스위치 TFT(T5)가 턴-온되어 발광 소자(EL)의 애노드가 기준 전압(Vref)으로 초기화되고, 서브 픽셀들(101E, 101G)의 커패시터(Cst)에 샘플링된 구동 TFT(DT)의 문턱 전압이 유지된다.

- [0174] 도 52 및 도 53에 도시된 여유 시간(tm) 동안, 스위치 TFT들(T11~T16)이 턴-오프되어 서브 픽셀들(101E, 101G) 내의 커패시터(Cst, Cel) 전압이 유지된다. 도 54 및 도 55를 참조하면, EM 신호(EM)가 게이트 온 전압(VGL)으로 반전되어 제3 및 제4 스위치 TFT들(T13, T14)이 턴-온된다. 그 결과, 서브 픽셀들(101E, 101G)은 발광 시간(tem) 동안 동시에 발광된다.
- [0175] 도 40 내지 도 55에서 게이트 신호들(SCAN1, SCAN2, SCAN3, EM)은 픽셀 그룹들 간에 공유된다. 제1 및 제2 픽셀 그룹들의 픽셀들에 연결된 제1 게이트 라인들(도 3, 34)이 서로 연결되고 게이트 구동부(120)의 제1 출력 단자에 연결되어 제1 및 제2 픽셀 그룹들에서 공유될 수 있다. 제1 및 제2 픽셀 그룹들의 픽셀들에 연결된 제2 게이트 라인들(도 3, 35)이 서로 연결되고 게이트 구동부(120)의 제2 출력 단자에 연결되어 제1 및 제2 픽셀 그룹들에서 공유될 수 있다. 제1 및 제2 픽셀 그룹들의 픽셀들에 연결된 제3 게이트 라인들(도 3, 36)이 서로 연결되고 게이트 구동부(120)의 제2 출력 단자에 연결되어 제1 및 제2 픽셀 그룹들에서 공유될 수 있다. 제1 및 제2 픽셀 그룹들의 픽셀들에 연결된 제4 게이트 라인들(도 3, 37)이 서로 연결되고 게이트 구동부(120)의 제3 출력 단자에 연결되어 제1 및 제2 픽셀 그룹들에서 공유될 수 있다. 따라서, 도 29에 도시된 바와 같이 게이트 구동부(120)의 회로 면적이 대폭 감소된다. 따라서, 본 발명은 표시패널 상에서 네로우 베젤을 구현할 수 있다.
- [0176] 도 56 내지 도 58에 도시된 바와 같이 표시패널(100)의 표시라인들(L1, L2)에 인가되는 게이트 신호(SCAN1, SCAN2, EM)를 분리하여 데이터 전압(D1~D4)을 데이터 라인들(211, 212)에 충전함과 동시에 다수의 표시라인들에서 샘플링 동작을 처리할 수 있다. 이 실시예는 데이터 라인 충전과 픽셀의 샘플링 동작이 병렬 처리되기 때문에 전술한 실시예 보다 샘플링 시간을 더 길게 확보할 수 있다.
- [0177] 도 56은 표시패널의 라인들 간에 게이트 라인들이 분리된 예를 보여 주는 도면이다. 도 56에 도시된 서브 픽셀들의 회로는 도 2 또는 도 3에 도시된 픽셀 회로로 구현될 수 있다. 도 57은 도 2에 도시된 픽셀 회로를 도 56의 픽셀들에 적용한 예를 보여 주는 회로도이다. 도 58은 도 57에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- [0178] 도 56 내지 도 58을 참조하면, 데이터 구동부(110)에서 하나의 채널은 디멀티플렉서(112)를 통해 두 개 이상의 데이터 라인들(211, 212)에 연결된다. 도 56은 데이터 구동부(110)에서 하나의 채널을 통해 출력되는 데이터 전압이 디멀티플렉서(112)를 통해 두 개의 데이터 라인들(211, 212)에 시분할 방법으로 분배되는 예이나, 이에 한정되지 않는다. 전술한 실시예와 같이 하나의 채널을 통해 출력되는 데이터 전압이 디멀티플렉서(112)를 통해 네 개의 데이터 라인들에 시분할 방법으로 분배될 수 있다.
- [0179] 데이터 구동부(110)의 한 채널은 출력 버퍼(AMP)를 통해 제1 데이터 라인(211)에 충전될 제1 데이터 전압(D1)을 출력한 후에 제2 데이터 라인(212)에 충전될 제2 데이터 전압(D2)을 출력한다. 출력 버퍼(AMP)는 디멀티플렉서(112)의 스위치 소자들(S11, S21)에 연결된다.
- [0180] 제1 스위치 소자(S11)는 제1 스위치 제어신호(DMUX1)에 응답하여 출력 버퍼(AMP)를 제1 데이터 라인(211)에 연결한다. 제2 스위치 소자(S21)는 제2 스위치 제어신호(DMUX2)에 응답하여 출력 버퍼(AMP)를 제2 데이터 라인(212)에 연결한다. 제1 스위치 소자(S11)가 제1 스위치 제어신호(DMUX1)에 의해 턴-온되어 제1 데이터 라인(211)에 데이터 전압(D1)을 공급한 후에, 제2 스위치 소자(S21)가 제2 스위치 제어신호(DMUX2)에 의해 턴-온되어 제2 데이터 라인(212)에 데이터 전압(D2)을 공급한다.
- [0181] 데이터 라인들(211, 212) 각각에는 커패시터(C11, C21)이 연결된다. 커패시터(C11, C21)는 데이터 라인들(21A~21D)에 연결된 기생 용량(parasitic capacitance) 일 수 있다. 기생 용량이 작으면, 데이터 라인들(211, 212)에 별도의 커패시터가 연결될 수도 있다.
- [0182] 게이트 신호들(SCAN1, SCAN2, EM)은 도 58 및 도 59에 도시된 바와 같이 표시라인별로 분리되고, 그 펄스들이 중첩된다. 게이트 신호(SCAN1, SCAN2, EM)는 데이터가 기입되는 표시라인들이 순차적으로 선택될 수 있도록 게이트 구동부(120)에 의해 시프트된다. 따라서, 제1 표시라인(L1)의 서브 픽셀들(1011)에 연결된 제1 게이트 라인 그룹에 제1 게이트 신호(SCAN1(1), SCAN2(1), EM(1))가 공급된 후, 제2 표시라인(L2)의 서브 픽셀들(1012)에 연결된 제2 게이트 라인 그룹에 제1 게이트 신호 보다 위상이 늦은 제2 게이트 신호(SCAN1(2), SCAN2(2), EM(2))가 공급된다.
- [0183] 제1 게이트 신호(SCAN1(1), SCAN2(1), EM(1))의 펄스들은 제2 게이트 신호(SCAN1(2), SCAN2(2), EM(2))의 펄스

와 중첩된다. 또한, 제1 게이트 신호들(SCAN1(1), SCAN2(1), EM(1))의 펄스들은 도 59에 도시된 바와 같이 제 3 표시라인(L3)의 서브 픽셀들에 인가되는 제3 게이트 신호(SCAN1(3), SCAN2(3), EM(3))의 펄스와 중첩될 수 있다. 이러한 게이트 신호들이 디멀티플렉서(112)의 스위치 제어신호 중 적어도 일부와 중첩되어 도 58에 도시된 바와 같이 ST101 단계와 ST102 단계가 동시에 처리될 수 있게 한다. 그 결과, 본 발명은 ST102 단계에서 처리되는 픽셀의 샘플링 시간을 충분히 길게 하여 고해상도 표시장치에서 픽셀들의 전기적 특성 편차를 정확하게 보상할 수 있다.

[0184] 데이터 라인들 간의 커플링 영향을 줄이기 위하여, 도 60에 도시된 바와 같이 일부 데이터 라인들(211b, 212a)이 교차될 수 있다. 그런데, 이 방법은 위 아래에 이웃하는 서브 픽셀들에 동일한 게이트 신호가 인가되기 때문에 게이트 라인들이 세로 방향(Y축)을 따라 형성된다. 이 방법은 표시패널(100)의 레이아웃(layout)을 어렵게 할 수 있다. 데이터 라인들 간의 커플링 영향을 줄이고 표시패널(100)의 레이아웃을 용이하게 하기 위하여, 도 61에 도시된 바와 같이 좌우로 이웃한 서브 픽셀들을 좌우 대칭 방법으로 배치하고 게이트 라인들(31~36)이 가로 방향(X)을 따라 배치될 수 있다.

[0185] 도 61 및 도 62를 참조하면, 제1 표시라인(L1)은 제1 및 제2 서브 픽셀들(1011a, 1011a)을 포함한다. 제2 표시라인(L2)은 제3 및 제4 서브 픽셀들(1012a, 1012b)을 포함한다. 서브 픽셀들(1011a~1012b) 각각은 도 2 또는 도 3과 같은 픽셀 회로를 포함한다. 도 61 및 도 62에 도시된 픽셀 회로는 도 2에 도시된 픽셀 회로로 예시되었으나 이에 한정되지 않는다.

[0186] 제1 서브픽셀(1011a)은 제1 데이터 라인(211a)과 제2 데이터 라인(212a) 사이에 배치되고, 제1 및 제2 데이터 라인들(211a, 212a)과 제1 게이트 라인 그룹의 게이트 라인들(31~33)에 연결된다. 제1 서브 픽셀(1011a)의 우측에 제1 데이터 라인(211a)이 배치되고, 제1 서브 픽셀(1011a)의 좌측에 제2 데이터 라인(212a)이 배치될 수 있다. 제1 게이트 라인 그룹은 제1 스캔 신호(SCAN1(1))가 인가되는 제1 게이트 라인(31), 제2 스캔 신호(SCAN2(1))가 인가되는 제2 게이트 라인(32), 및 EM 신호(EM(1))가 인가되는 제3 게이트 라인(33)을 포함한다. 제1 데이터 라인(211a)은 디멀티플렉서(112)의 제1 스위치 소자(S11)를 통해 데이터 구동부(110)의 제1 채널에 연결된다. 제2 데이터 라인(212a)은 디멀티플렉서(112)의 제2 스위치 소자(S21)를 통해 데이터 구동부(110)의 제1 채널에 연결된다.

[0187] 제2 서브픽셀(1011b)은 제1 서브픽셀(1011a)과 좌우 대칭이다. 제1 및 제2 서브 픽셀(1011a, 1011b) 사이에 제1 및 제3 데이터 라인들(211a, 211b)이 배치된다. 제2 서브픽셀(1011b)은 제3 데이터 라인(211b)과 제4 데이터 라인(212b) 사이에 배치되고, 제3 및 제4 데이터 라인들(211b, 212b)과 제1 게이트 라인 그룹의 게이트 라인들(31~33)에 연결된다. 제2 서브 픽셀(1011b)의 좌측에 제3 데이터 라인(211b)이 배치되고, 제2 서브 픽셀(1011b)의 우측에 제4 데이터 라인(212b)이 배치될 수 있다. 제3 데이터 라인(211b)은 디멀티플렉서(112)의 제3 스위치 소자(S12)를 통해 데이터 구동부(110)의 제2 채널에 연결된다. 제4 데이터 라인(212b)은 디멀티플렉서(112)의 제4 스위치 소자(S22)를 통해 데이터 구동부(110)의 제2 채널에 연결된다.

[0188] 상하로 이웃하는 서브 픽셀들은 좌우가 반전된 형태로 기판 상에 배치된다. 예를 들어, 제1 서브 픽셀(1011a)의 제1 스위치 TFT(T1)는 제1 서브 픽셀(1011a)의 우측에 배치되어 제1 데이터 라인(211a)에 연결되고, 구동 TFT(DT)는 제1 서브 픽셀(1011a)의 좌측에 배치된다. 이에 비하여, 제3 서브 픽셀(1012a)의 제1 스위치 TFT(T1)는 제3 서브 픽셀(1012a)의 좌측에 배치되어 제2 데이터 라인(212a)에 연결되고, 구동 TFT(DT)는 제3 서브 픽셀(1012a)의 우측에 배치된다.

[0189] 디멀티플렉서(112)에서 제1 및 제3 스위치 소자들(S11, S12)은 제1 스위치 제어신호(DMUX1)에 응답하여 동시에 턴-온된다. 따라서, 이웃한 제1 및 제3 데이터 라인들(211a, 211b)에 동시에 데이터전압이 공급되기 때문에 이 데이터 라인들(211a, 211b) 간의 기생 용량 영향이 거의 없다.

[0190] 디멀티플렉서(112)에서 제2 및 제4 스위치 소자들(S21, S22)은 제2 스위치 제어신호(DMUX2)에 응답하여 동시에 턴-온된다. 따라서, 이웃한 제2 및 제4 데이터 라인들(212a, 212b)에 동시에 데이터전압이 공급되기 때문에 이 데이터 라인들(212a, 212b) 간의 기생 용량 영향이 거의 없다. 제2 스위치 제어신호(DMUX2)는 제1 스위치 제어신호(DMUX1)에 이어서 발생된다.

[0191] 도 62 내지 도 75는 도 61에 도시된 픽셀 회로들의 구동 방법을 시간축 상에서 단계적으로 보여 주는 도면들이다.

[0192] 도 62 및 도 63을 참조하면, 디멀티플렉서(112)의 제1 및 제3 스위치 소자들(S11, S12)이 제1 스위치 제어신호(DMUX1)에 응답하여 동시에 턴-온되어 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 연결된 데이터 라이들

(211a, 211b)에 데이터 전압(D1)이 충전된다. 이 때, 제1 및 제2 표시라인(L1, L2)의 서브 픽셀들(1011a~1012b)에 인가되는 스캔 신호들(SCAN1(1)~SCAN2(2))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(1), EM(2))는 게이트 온 전압(VGL)을 유지한다.

[0193] 데이터 구동부(110)의 제1 출력 버퍼(AMP1)를 통해 출력되는 데이터 전압(D1)이 제1 데이터 라인(211a)의 커패시터(C11)에 충전됨과 동시에, 제2 출력 버퍼(AMP2)를 통해 출력되는 데이터 전압(D1)이 제3 데이터 라인(211b)의 커패시터(C12)에 충전된다.

[0194] 도 64 및 도 65를 참조하면, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 인가되는 제2 스캔 신호(SCAN2(1))가 게이트 온 전압(VGL)으로 반전된 후, 제1 스캔 신호(SCAN1(1))가 게이트 온 전압(VGL)으로 반전된다. 제2 스캔 신호(SCAN2(1))가 게이트 온 전압(VGL)으로 반전됨과 동시에, 제2 스위치 제어신호(DMUX2)가 게이트 온 전압(VGL)으로 반전된다. 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 인가되는 EM 신호(EM(1))는 제1 스캔 신호(SCAN1(1))가 게이트 온 전압(VGL)으로 반전되는 라이징 에지에서 게이트 오프 전압(VGH)으로 반전될 수 있다. 이 때, 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에 인가되는 스캔 신호들(SCAN1(2), SCAN2(2))은 도 64 및 도 65에 도시된 바와 같이 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(2))는 게이트 온 전압(VGL)을 유지한다.

[0195] 디멀티플렉서(112)의 제2 및 제4 스위치 소자들(S21, S22)이 제2 스위치 제어신호(DMUX2)에 응답하여 동시에 턴-온되어 제2 표시라인(L2)에 연결된 서브 픽셀들(1012a, 1012b)에 연결된 데이터 라인들(212a, 212b)에 데이터 전압(D2)이 충전된다. 데이터 구동부(110)의 제1 출력 버퍼(AMP1)를 통해 출력되는 데이터 전압(D2)이 제2 데이터 라인(212a)의 커패시터(C21)에 충전됨과 동시에, 제2 출력 버퍼(AMP2)를 통해 출력되는 데이터 전압(D2)이 제4 데이터 라인(212b)의 커패시터(C22)에 충전된다.

[0196] 제2 스캔 신호(SCAN2(1))가 게이트 온 전압(VGL)이고, 제1 스캔 신호(SCAN1(1))가 게이트 오프 전압(VGH)일 때 제1 표시 라인(L1)의 제2 및 제5 스위치 TFT들(T1, T5)이 턴-온되어 픽셀 회로의 커패시터(Cst), 구동 TFT(DT), 및 발광 소자(EL)가 초기화된다. 이 때, 제1 노드(n1)는 기준 전압(Vref)으로 초기화되고, 제2 노드(n2)는 저전위 전원 전압(VSS)으로 초기화된다. 따라서, 도 64 및 도 65에서 데이터 라인들(212a, 212b)에 데이터 전압이 충전됨과 동시에 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)이 초기화되기 때문에 전술한 실시예들에 비하여 서브 픽셀들이 더 빠르게 초기화된다. 제2 표시라인(L2)의 발광 소자들(EL)은 이전 데이터 기입후 EM 신호(EM(2))가 게이트 온 전압(VGL)을 유지하고 있기 때문에 발광 시간(tem)으로 구동된다.

[0197] 도 66 및 도 67을 참조하면, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 인가되는 제1 스캔 신호(SCAN1(1))가 게이트 온 전압(VGL)으로 발생된다. 제2 스캔 신호(SCAN2(1))는 게이트 온 전압(VGL)으로 유지되고, EM 신호(EM(1))는 게이트 오프 전압(VGH)으로 유지된다. 제2 스위치 제어신호(DMUX2)는 게이트 온 전압(VGL)을 유지한다. 이 때, 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에 인가되는 스캔 신호들(SCAN1(2), SCAN2(2))은 게이트 오프 전압(VGH)을 유지하고, EM 신호(EM(2))는 게이트 온 전압(VGL)을 유지한다.

[0198] 디멀티플렉서(112)의 제2 및 제4 스위치 소자들(S21, S22)은 온 상태를 유지하여 데이터 라인들(212a, 212b)에 연결된 커패시터(C21, C22)에 데이터 전압(D2)이 충전된다. 이와 동시에 제1 표시라인의 서브 픽셀들(1011a, 1011b)에서 제1 스위치 TFT들(T1)이 제1 스캔 신호(SCAN1(1))에 응답하여 턴-온되어 데이터 라인들(211a, 211b)에 충전된 데이터 전압(D1)이 커패시터(Cst)에 공급된다. 이 때, 제1 노드(n1)의 전압은 데이터 전압(D1)이고, 제2 노드(n2)의 전압은 VDD-Vth이다. Vth는 구동 TFT(DT)의 문턱 전압이다. 따라서, 도 66 및 도 67에서 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 데이터 전압(D1)이 공급되고, 구동 TFT(DT)의 문턱 전압(Vth)이 샘플링되어 커패시터(Cst)에 저장된다. 이와 동시에 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에 연결된 데이터 라인들(212a, 212b)에 데이터 전압(D2)이 충전된다.

[0199] 도 68 및 도 69를 참조하면, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 인가되는 스캔 신호들(SCAN1(1), SCAN2(1))은 게이트 온 전압(VGL)을 유지하고, EM 신호(EM(1))는 게이트 오프 전압(VGL)을 유지한다. 이 때, 스위치 제어 신호들(DMUX1, DMUX2)은 게이트 오프 전압(VGH)을 유지하기 때문에 디멀티플렉서(112)의 스위치 소자들(S11~S22)은 턴-오프된다.

[0200] 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에 인가되는 제2 스캔 신호(SCAN2(1))가 게이트 온 전압(VGL)으로 반전된 후, 제1 스캔 신호(SCAN1(2))가 게이트 온 전압(VGL)으로 반전된다. EM 신호(EM(2))는 제1 스캔 신호(SCAN1(2))가 게이트 온 전압(VGL)으로 반전될 때 게이트 오프 전압(VGH)으로 반전될 수 있다.

[0201] 제2 스캔 신호(SCAN2(2))가 게이트 온 전압(VGL)이고, 제1 스캔 신호(SCAN1(2))가 게이트 오프 전압(VGH)일 때

제2 표시 라인(L2)의 제2 및 제5 스위치 TFT들(T1, T5)이 턴-온되어 픽셀 회로의 커패시터(Cst), 구동 TFT(DT), 및 발광 소자(EL)가 초기화된다. 이 때, 제1 노드(n1)는 기준 전압(Vref)으로 초기화되고, 제2 노드(n2)는 저전위 전원 전압(VSS)으로 초기화된다. 따라서, 도 68 및 도 69에서 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 데이터 전압(D1)이 공급되고, 구동 TFT(DT)의 문턱 전압(Vth)이 샘플링되어 커패시터(Cst)에 저장된다. 이와 동시에 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)은 초기화된다.

[0202] 도 70 및 도 71을 참조하면, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 인가되는 스캔 신호들(SCAN1(1), SCAN2(1))은 게이트 온 전압(VGL)을 유지하고, EM 신호(EM(1))는 게이트 오프 전압(VGL)을 유지한다. 이 때, 스위치 제어 신호들(DMUX1, DMUX2)은 게이트 오프 전압(VGH)을 유지하기 때문에 디멀티플렉서(112)의 스위치 소자들(S11~S22)은 턴-오프된다.

[0203] 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에 인가되는 제1 스캔 신호(SCAN1(2))가 게이트 온 전압(VGL)으로 발생된다. 제2 스캔 신호(SCAN2(2))는 게이트 온 전압(VGL)으로 유지되고, EM 신호(EM(2))는 게이트 오프 전압(VGH)으로 유지된다.

[0204] 도 70 및 도 71에서 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 데이터 전압(D1)이 공급되고, 구동 TFT(DT)의 문턱 전압(Vth)이 샘플링되어 커패시터(Cst)에 저장된다. 이와 동시에, 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에서, 스위치 TFT들(T1, T2, T5)이 턴-온되어 데이터 라인들(212a, 212b)에 충전된 데이터 전압(D2)이 서브 픽셀들(1012a, 1012b)에 공급되고, TFT(DT)의 문턱 전압(Vth)이 샘플링되어 커패시터(Cst)에 저장된다. 따라서, 도 70 및 도 71에서 제1 및 제2 표시라인들(L1, L2)의 서브 픽셀들은 동시에 데이터 전압(D1, D2)을 공급 받고, 구동 TFT(DT)의 문턱 전압(Vth)을 샘플링한다.

[0205] 도 72 및 도 73을 참조하면, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 인가되는 스캔 신호들(SCAN1(1), SCAN2(1))이 게이트 오프 전압(VGH)으로 반전되어 스위치 TFT들(T1, T2, T5)이 턴-오프된다. EM 신호(EM(1))는 게이트 오프 전압(VGH)으로 발생되어 스위치 TFT들(T3, T4)이 오프 상태를 유지한다. 이 때, 제1 스위치 제어 신호들(DMUX1)이 게이트 온 전압(VGL)으로 반전되어 디멀티플렉서(112)의 제1 및 제3 스위치 소자들(S11, S12)이 턴-온되어 데이터 전압(D3)이 데이터 라인들(211a, 211b)에 연결된 커패시터(C11, C12)에 충전된다. 데이터 전압(D3)은 도면에서 생략된 제3 표시라인(L3)의 서브 픽셀들에 공급될 데이터 전압이다.

[0206] 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에 인가되는 스캔 신호들(SCAN1(2), SCAN2(2))은 게이트 온 전압(VGL)을 유지하여 스위치 TFT들(T1, T2, T5)이 턴-온된다. EM 신호(EM(2))는 게이트 오프 전압(VGL)으로 발생되어 스위치 TFT들(T3, T4)이 오프 상태를 유지한다.

[0207] 도 72 및 도 73에서, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)은 구동 TFT(DT)의 문턱 전압(Vth)을 샘플링하고, 데이터 전압(D1)을 유지한다. 이와 동시에, 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)은 데이터 전압(D2)을 공급 받고, 구동 TFT(DT)의 문턱 전압(Vth)을 샘플링한다.

[0208] 도 74 및 도 75를 참조하면, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)에 인가되는 스캔 신호들(SCAN1(1), SCAN2(1))이 게이트 오프 전압(VGH)으로 유지된다. EM 신호(EM(1))는 게이트 온 전압(VGL)으로 반전되어 스위치 TFT들(T3, T4)이 턴-온된다. 따라서, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)은 발광 소자(EL)에 전류가 흘러 발광된다. 이 때, 제2 스위치 제어 신호들(DMUX2)이 게이트 온 전압(VGL)으로 반전되어 디멀티플렉서(112)의 제2 및 제4 스위치 소자들(S21, S22)이 턴-온되어 데이터 전압(D4)이 데이터 라인들(212a, 212b)에 연결된 커패시터(C21, C22)에 충전된다. 데이터 전압(D4)은 도면에서 생략된 제4 표시라인의 서브 픽셀들에 공급될 데이터 전압이다.

[0209] 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)에 인가되는 스캔 신호들(SCAN1(2), SCAN2(2))은 게이트 오프 전압(VGH)으로 반전되고, EM 신호(EM(2))는 게이트 오프 전압(VGL)으로 발생되어 스위치 TFT들(T3, T4)이 오프 상태를 유지한다.

[0210] 도 74 및 도 75에서, 제1 표시라인(L1)의 서브 픽셀들(1011a, 1011b)은 발광 된다. 이와 동시에, 제2 표시라인(L2)의 서브 픽셀들(1012a, 1012b)은 구동 TFT(DT)의 문턱 전압(Vth)을 샘플링하고 데이터 전압(D2)을 유지한다.

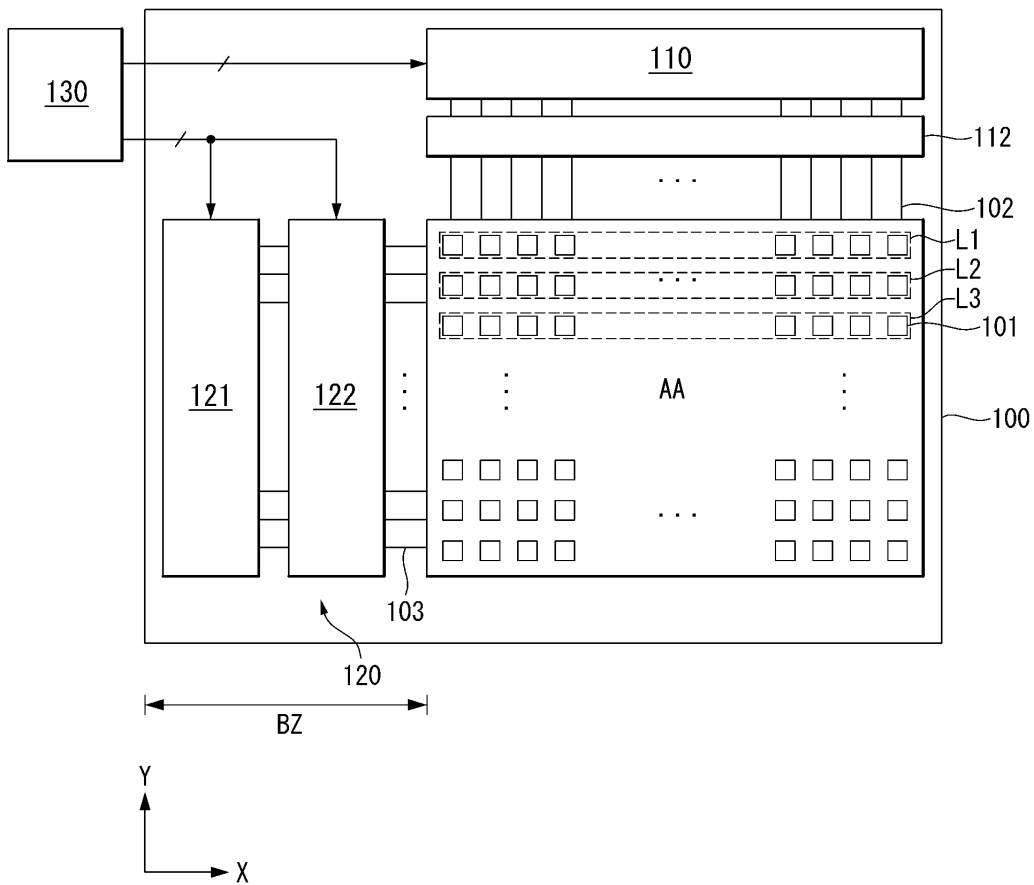
[0211] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

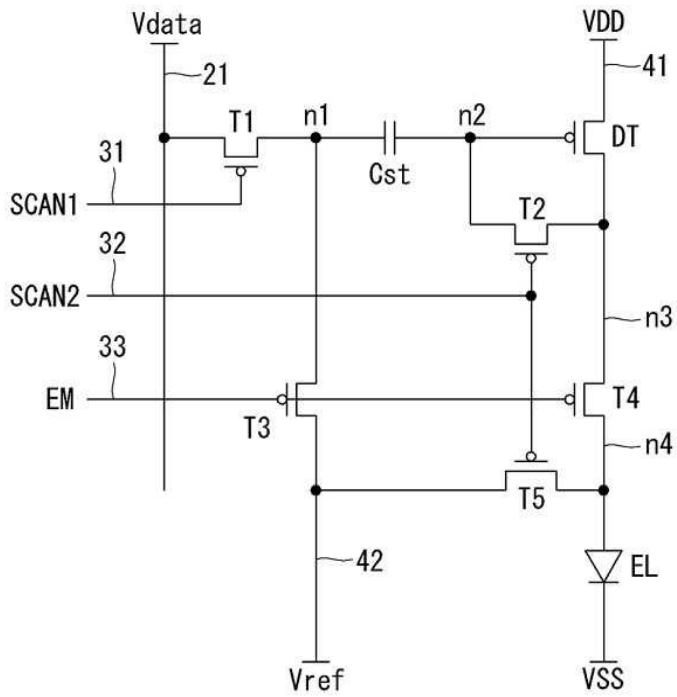
- [0212] 21, 21A~21D, 102 : 데이터 라인 31~36, 103 : 게이트 라인
 41~44 : 전원 라인 100 : 표시패널
 101, 101A~101H : 서브 픽셀 110 : 데이터 구동부
 120 : 게이트 구동부 130 : 타이밍 컨트롤러

도면

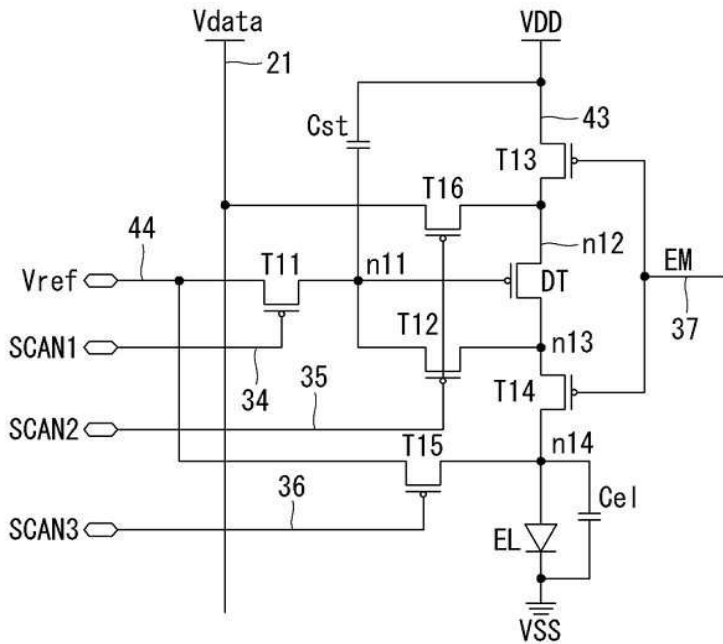
도면1



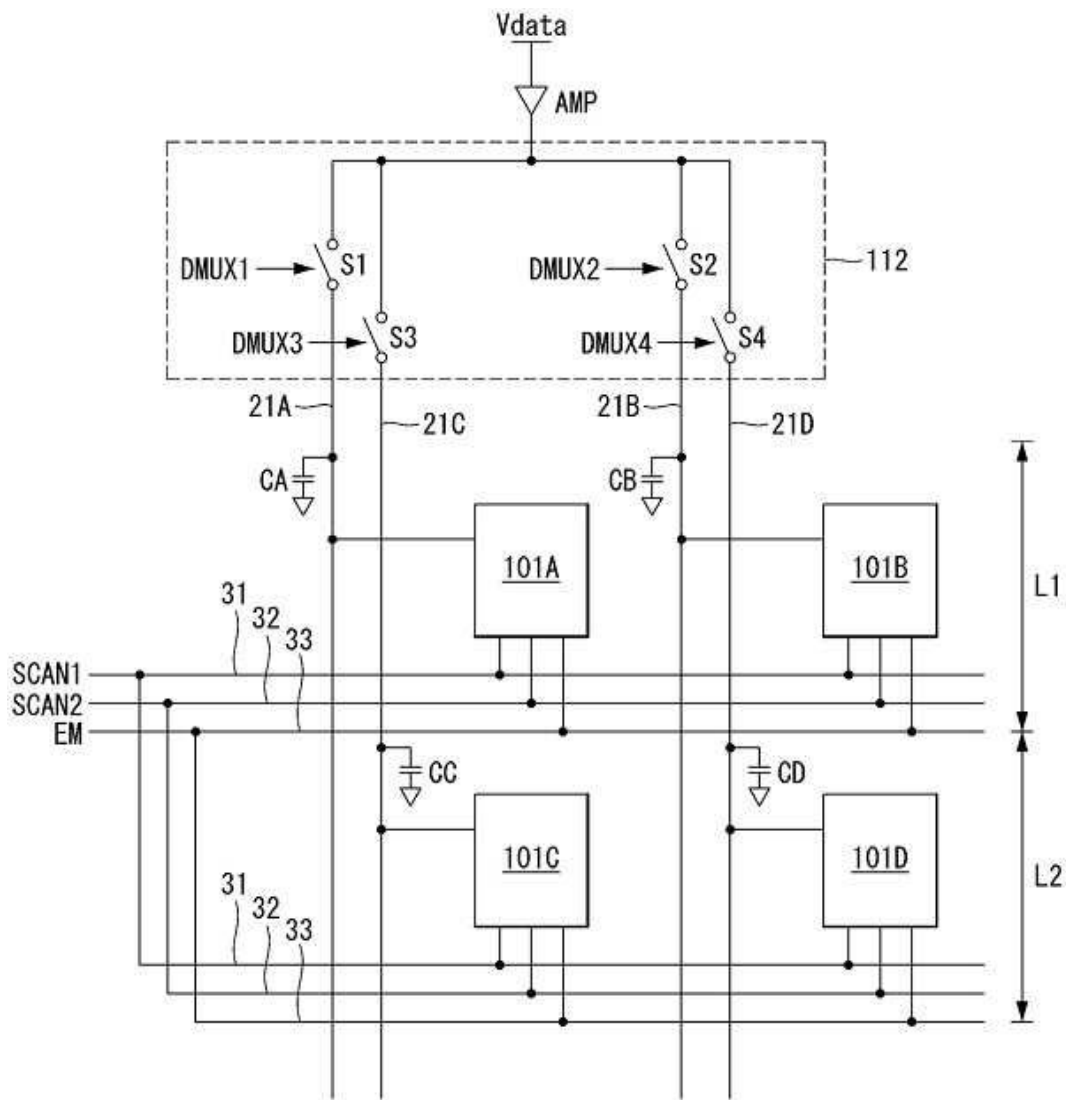
도면2



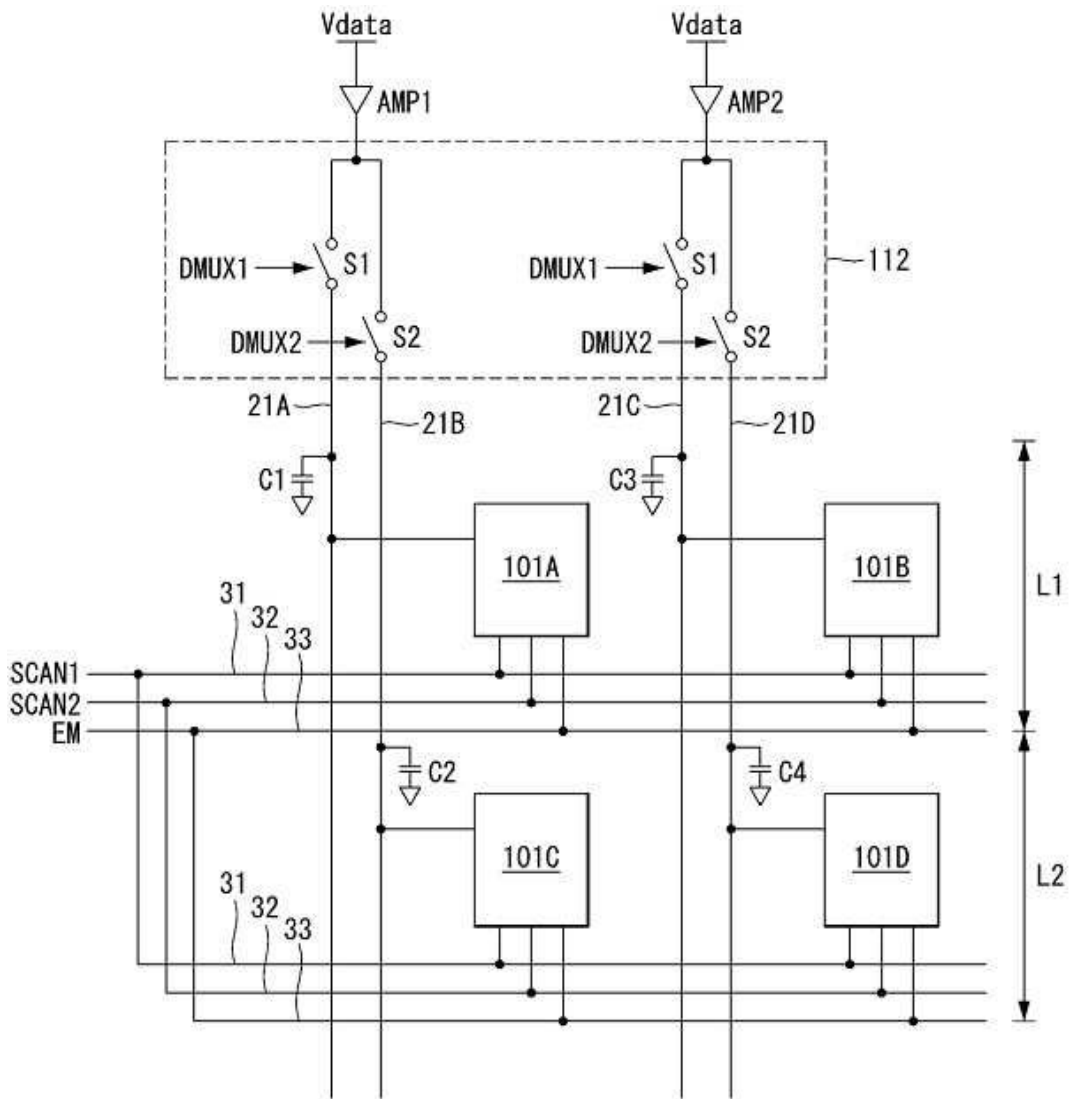
도면3



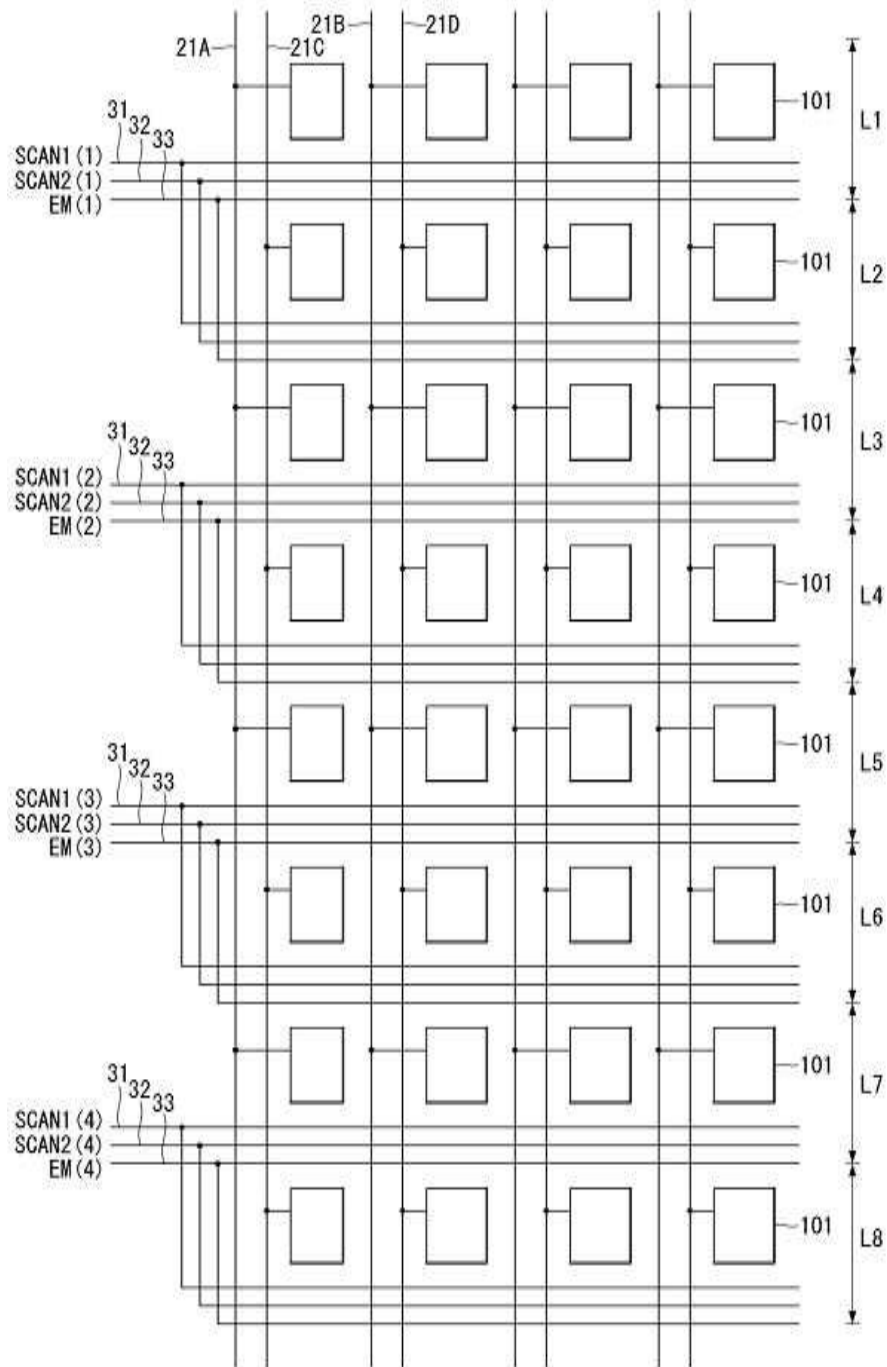
도면4



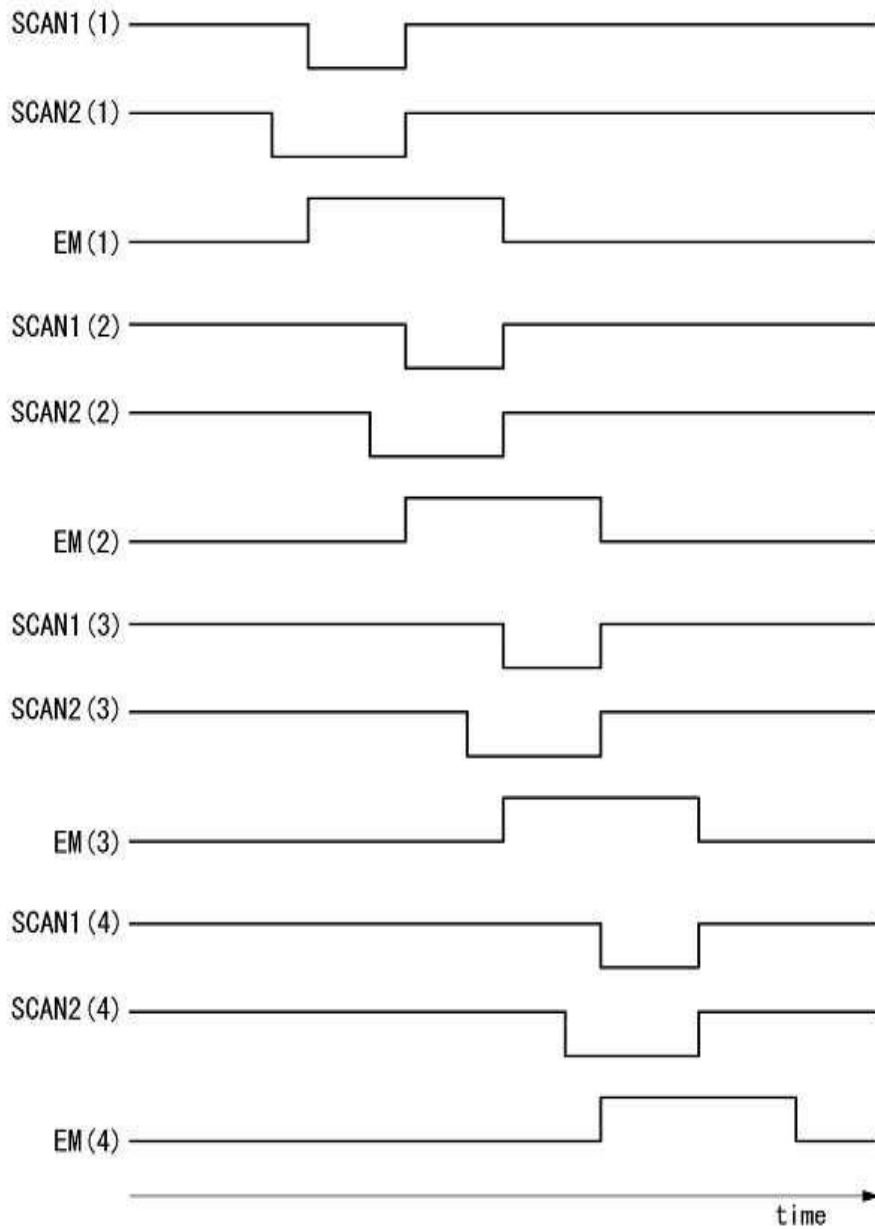
도면5



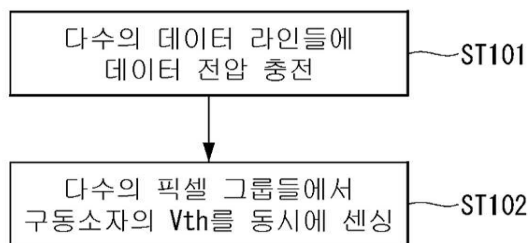
도면6



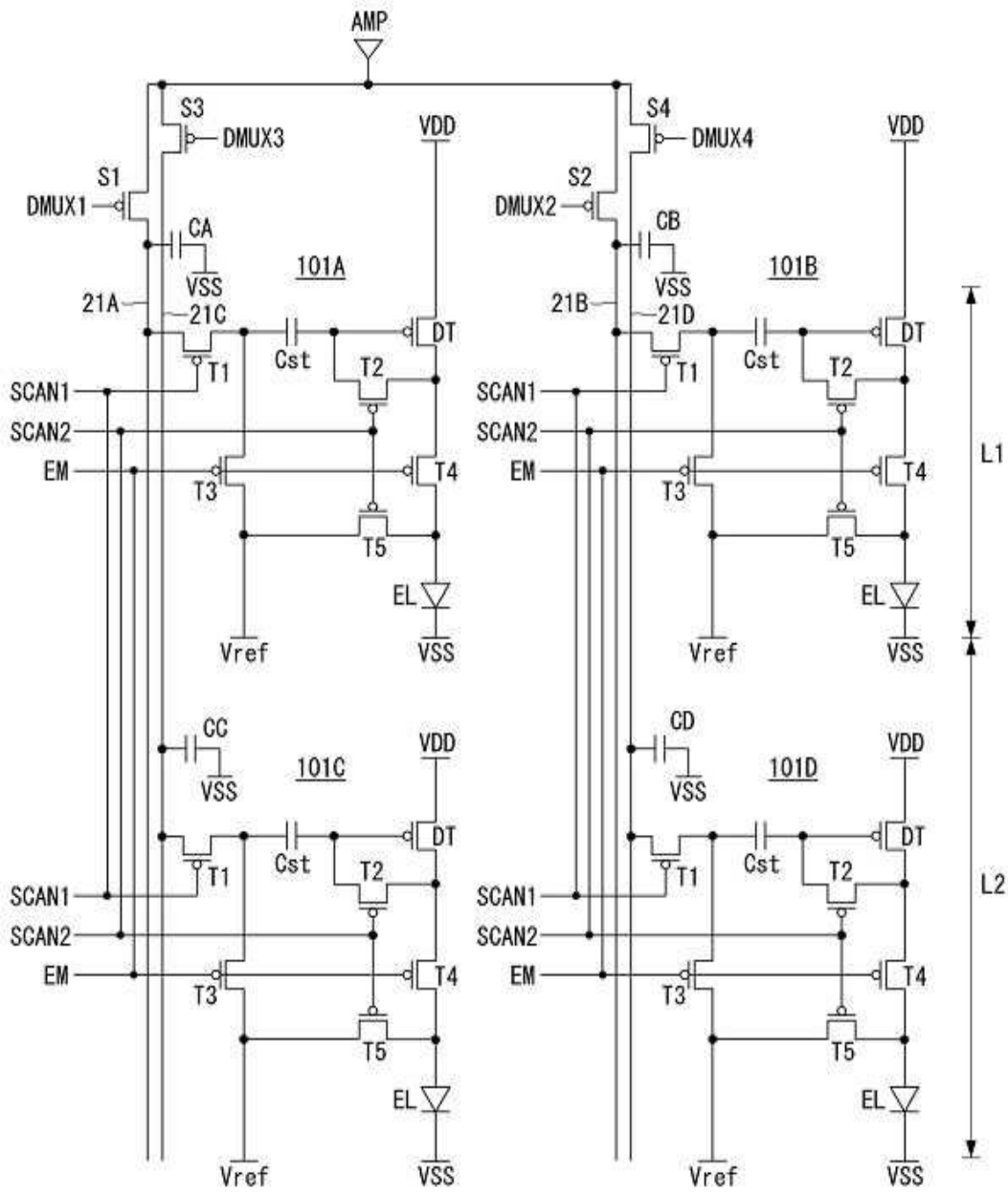
도면7



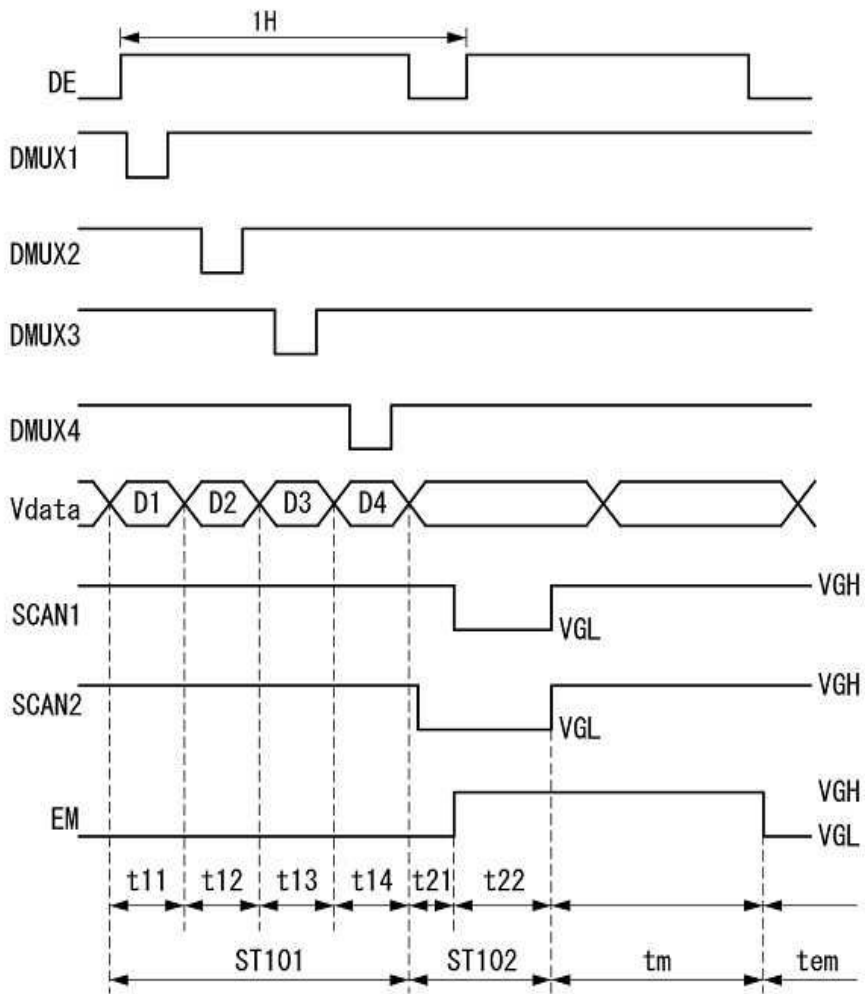
도면8



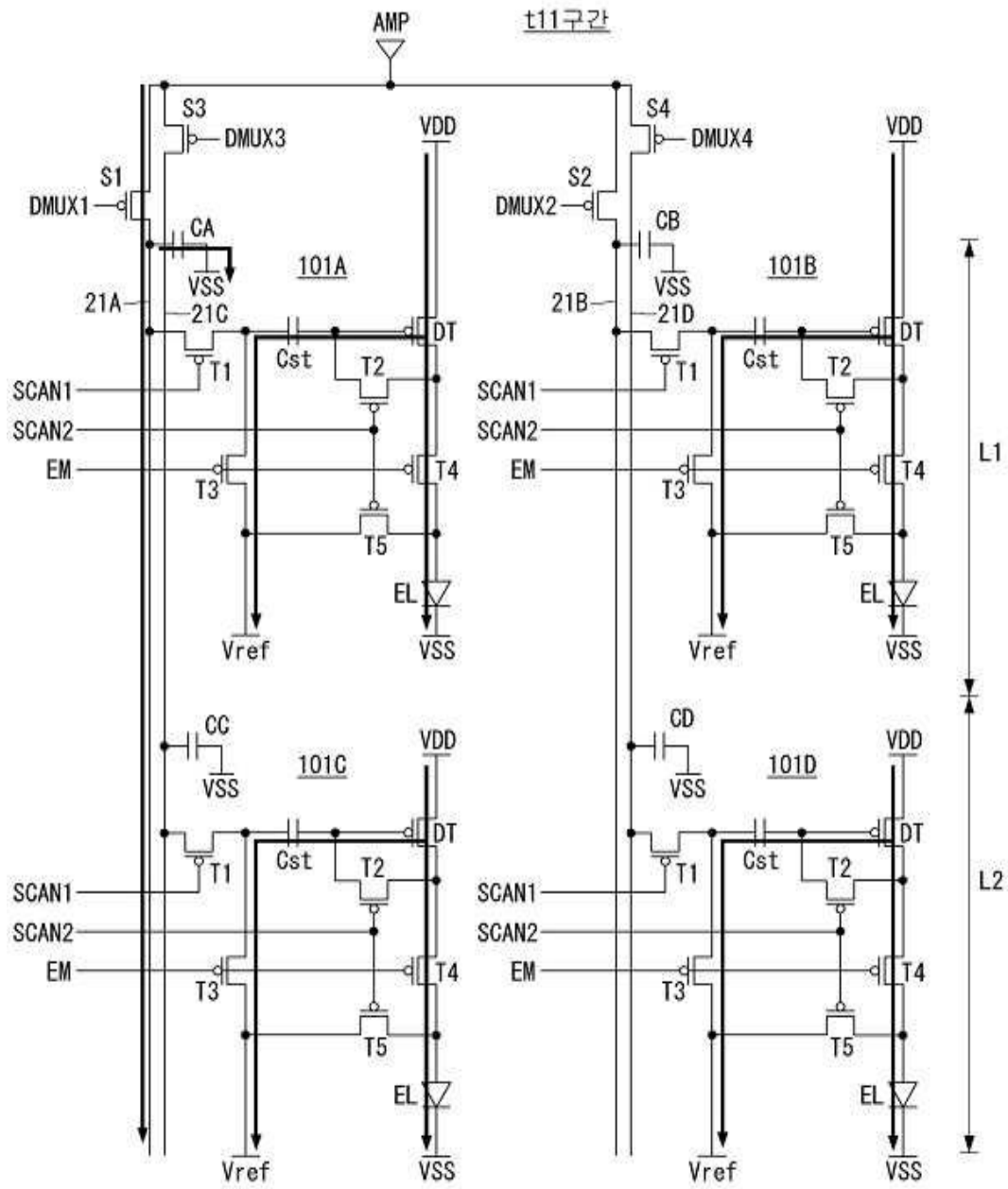
도면9



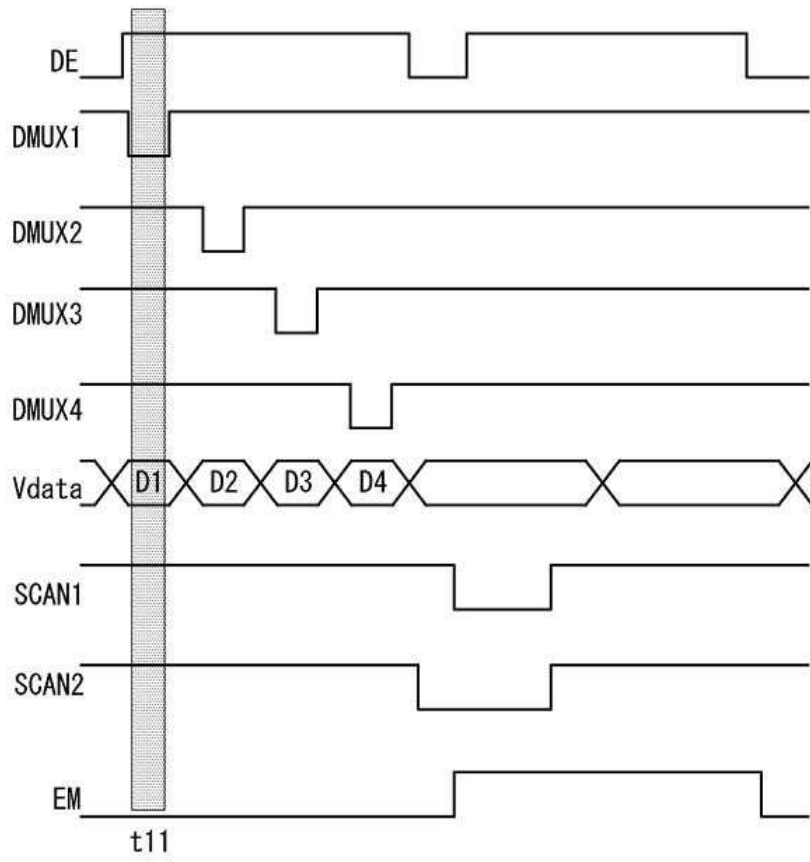
도면10



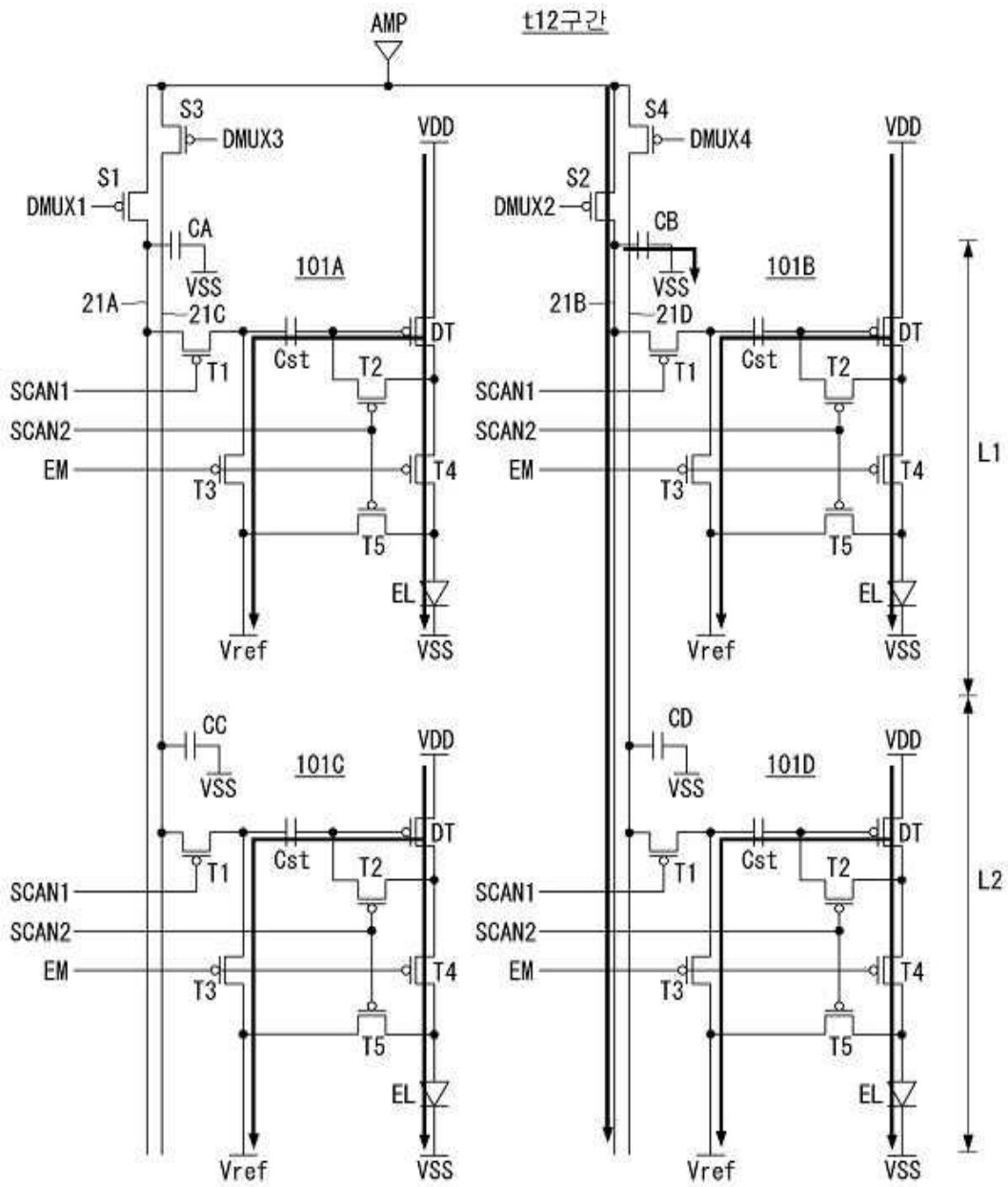
도면11



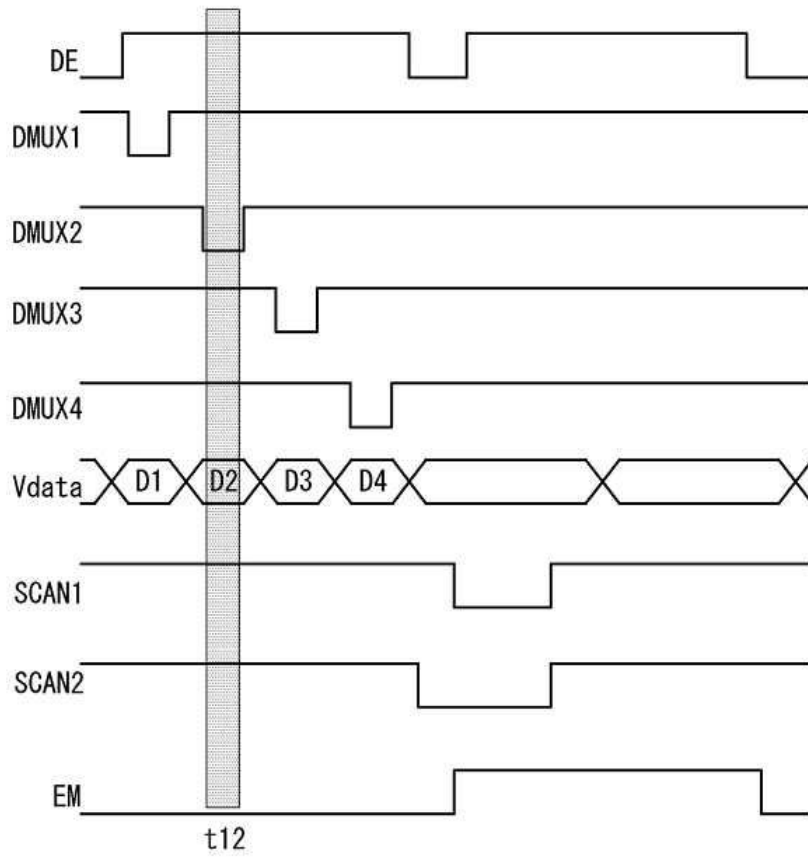
도면12



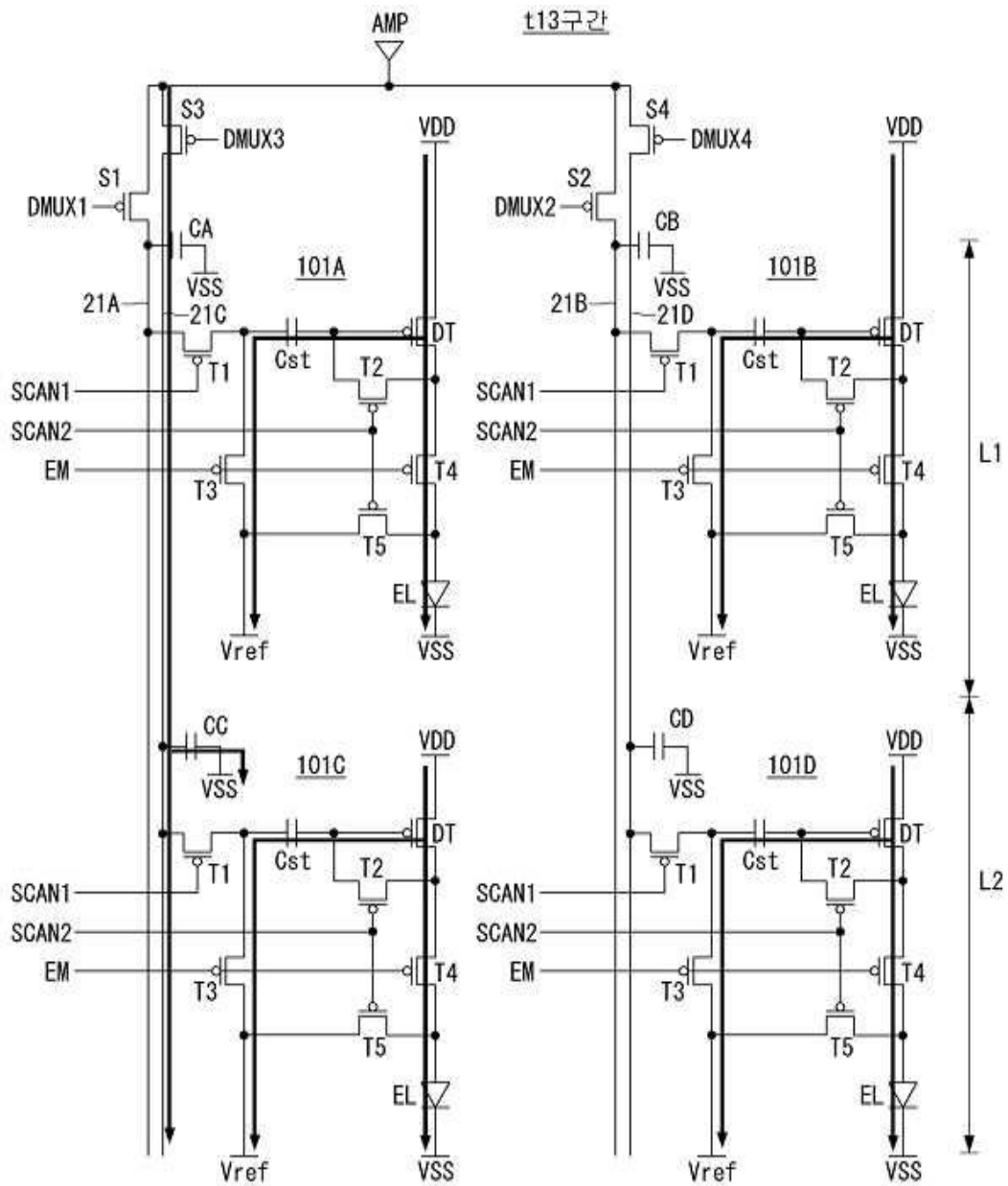
도면13



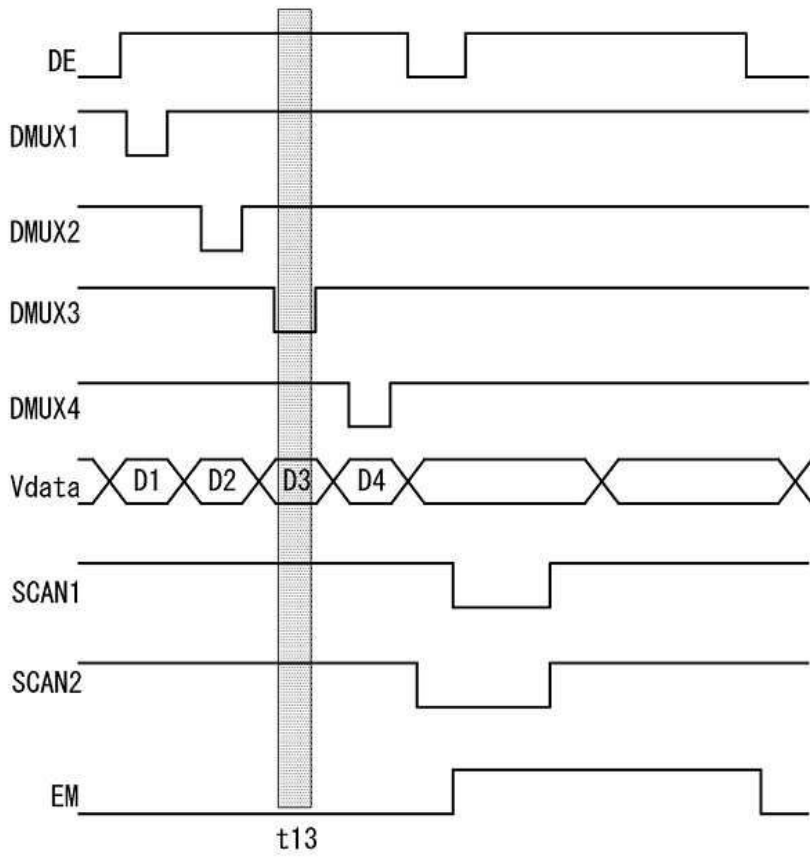
도면14



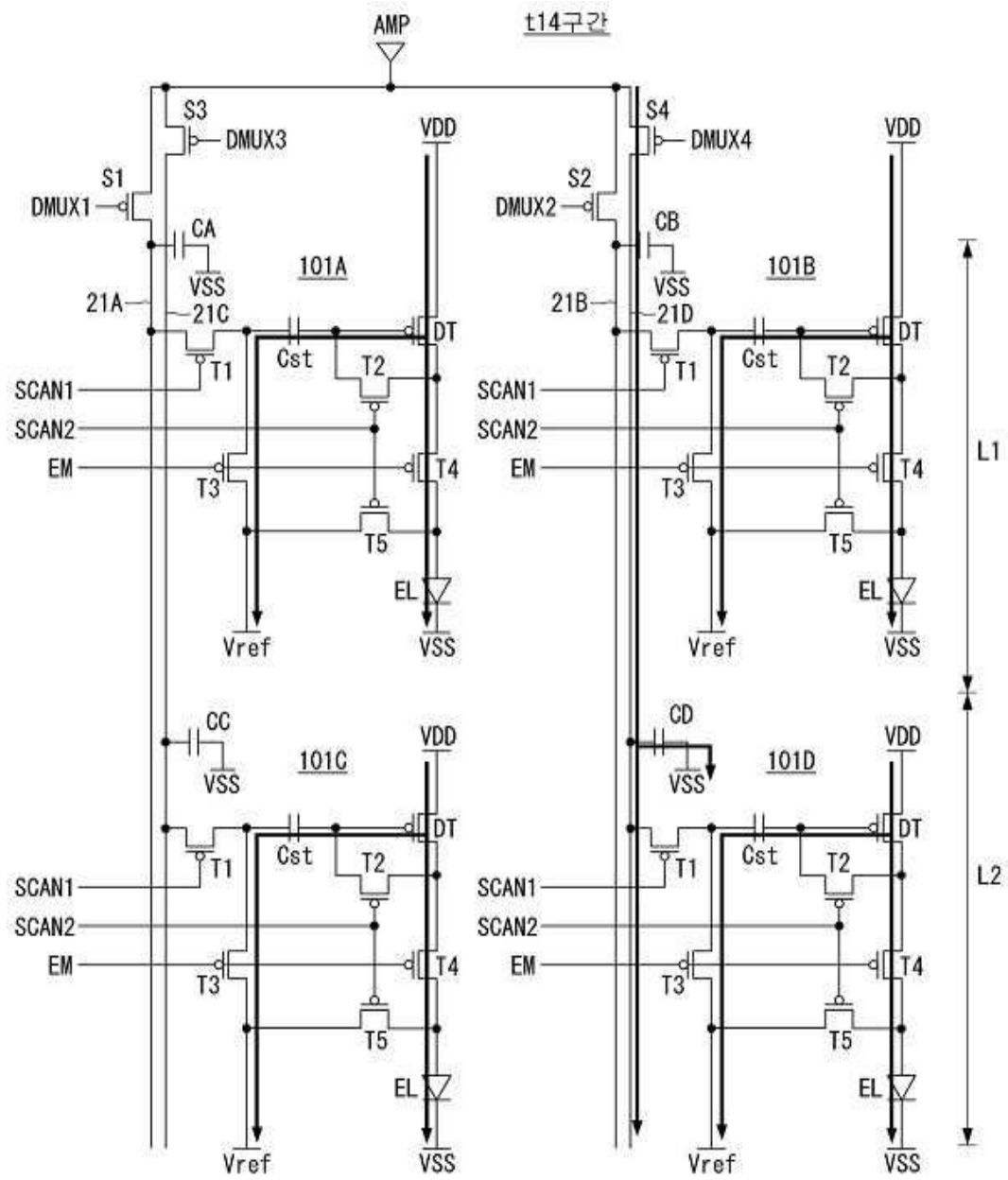
도면15



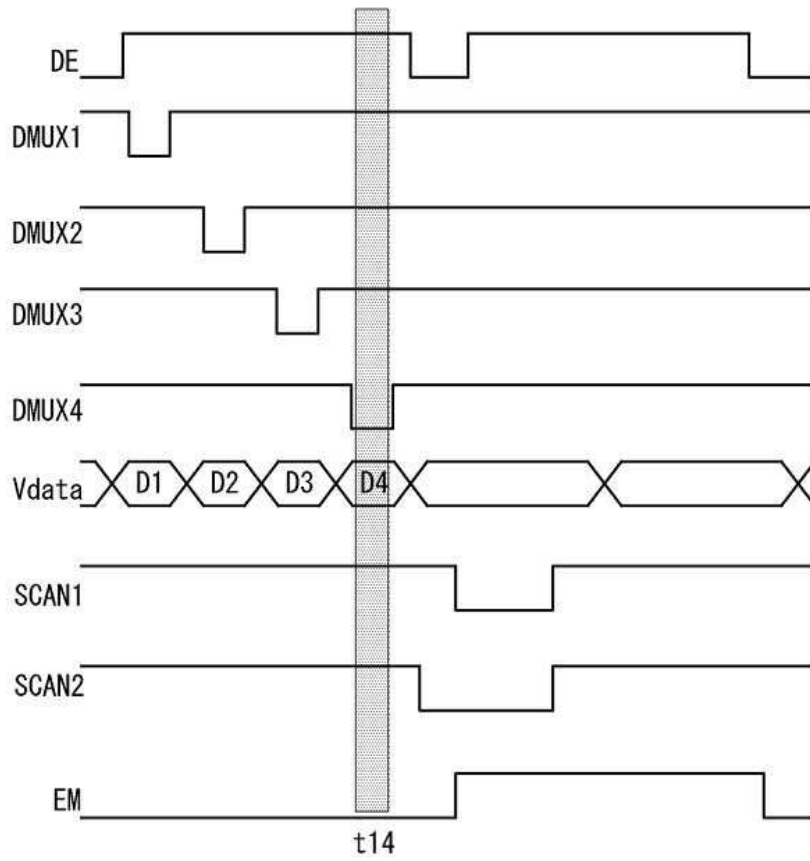
도면16



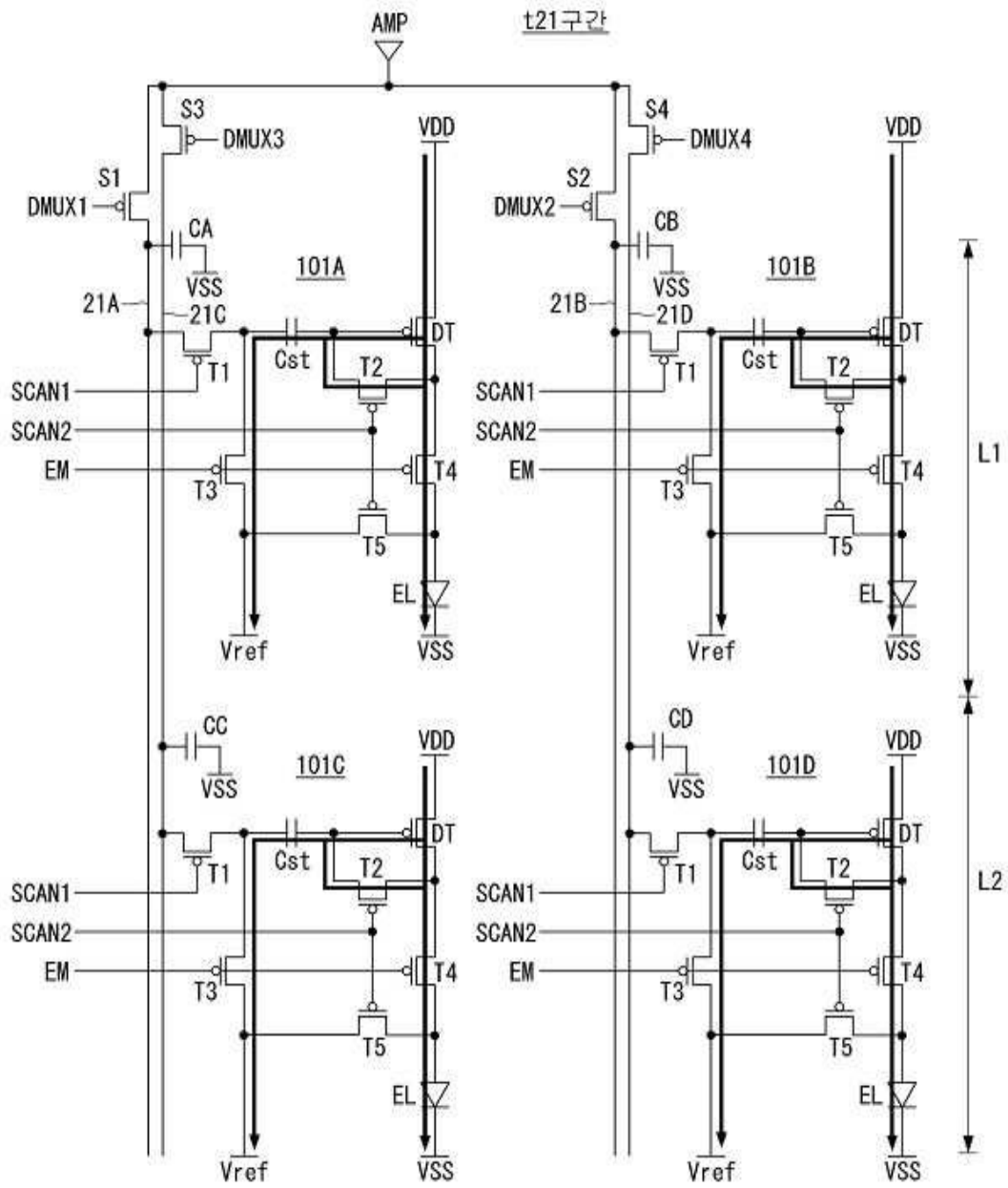
도면17



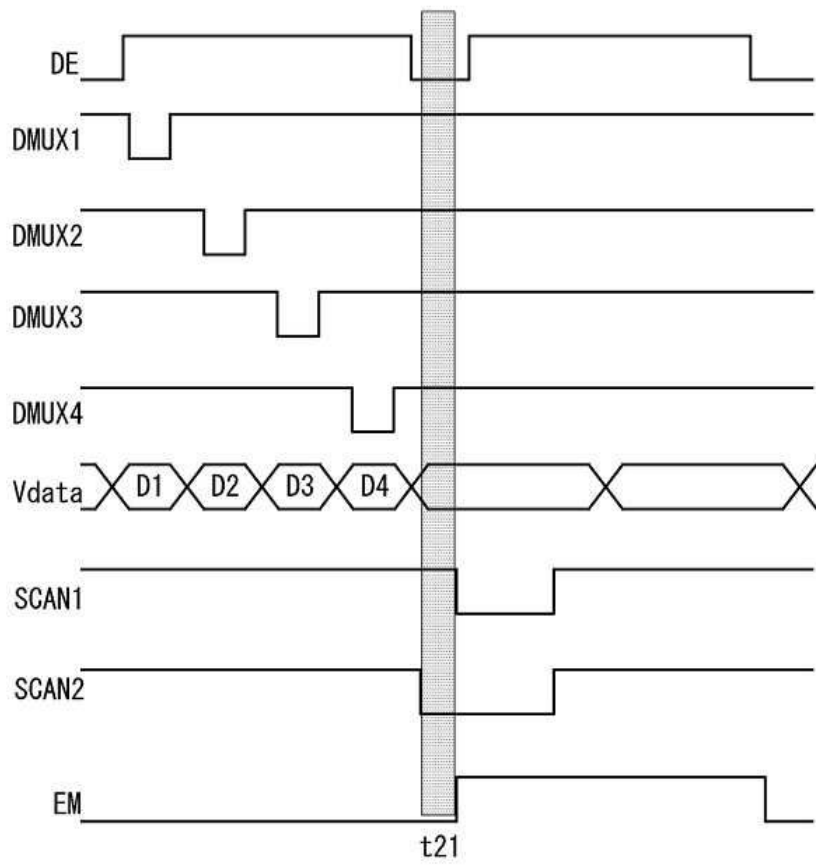
도면18



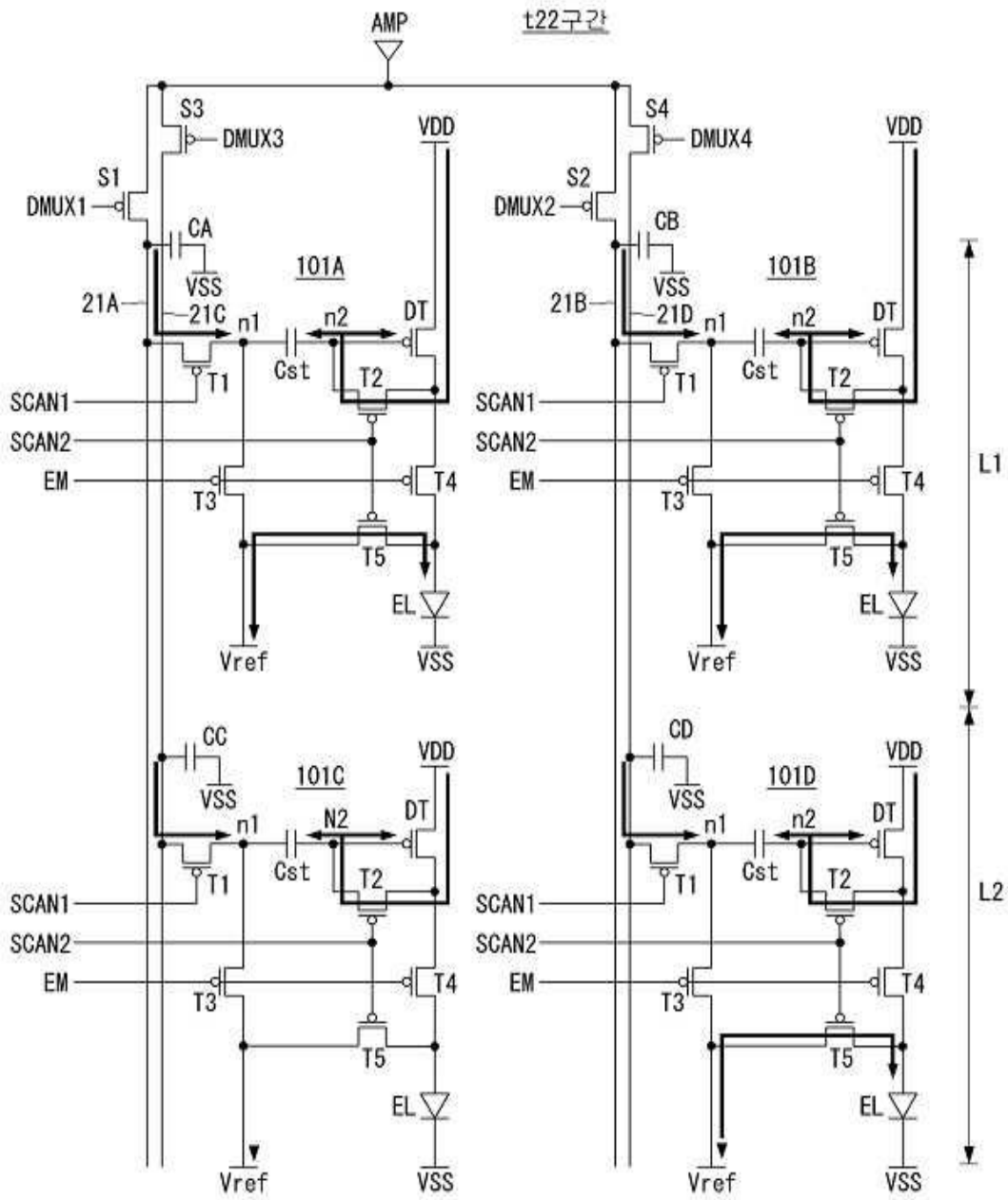
도면19



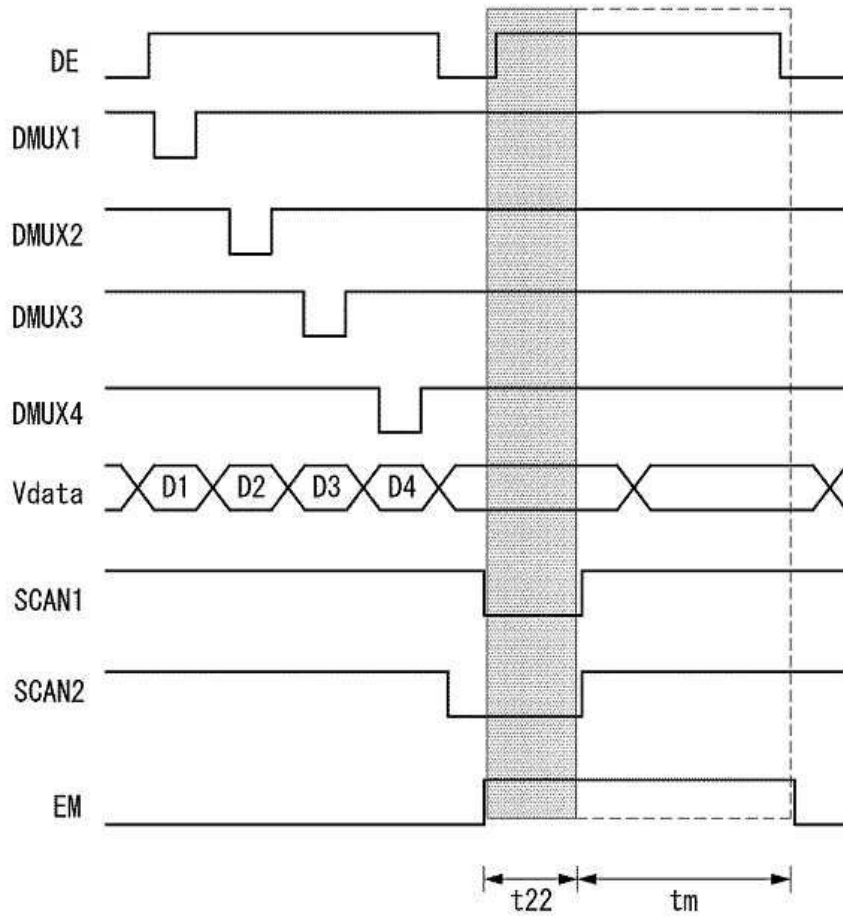
도면20



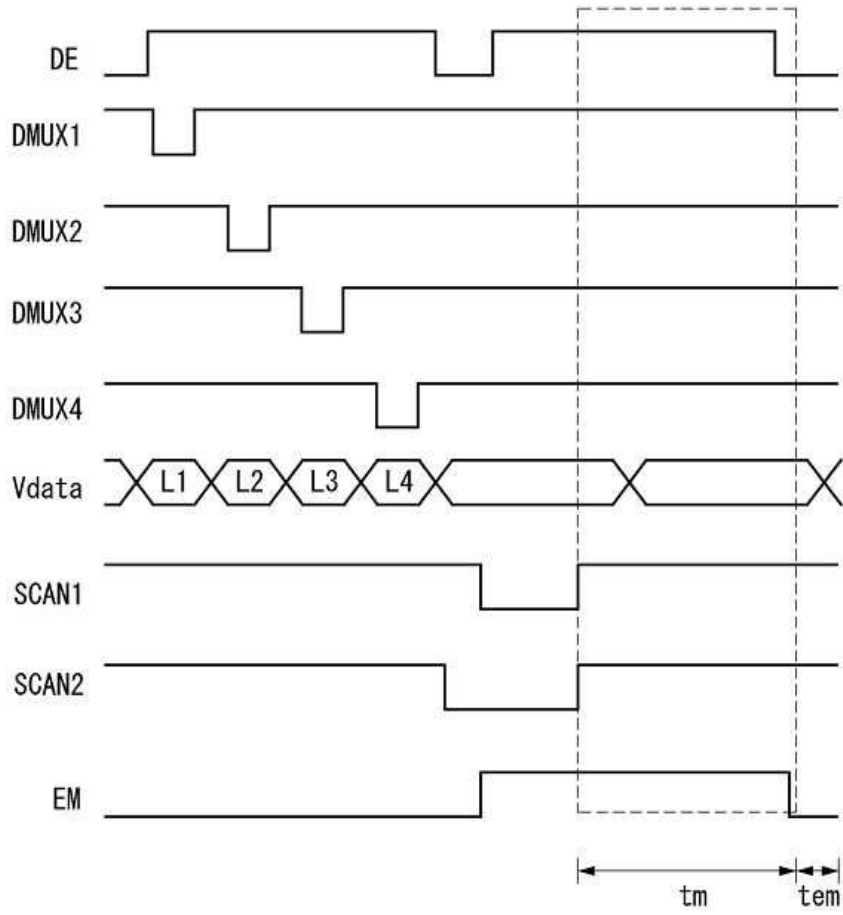
도면21



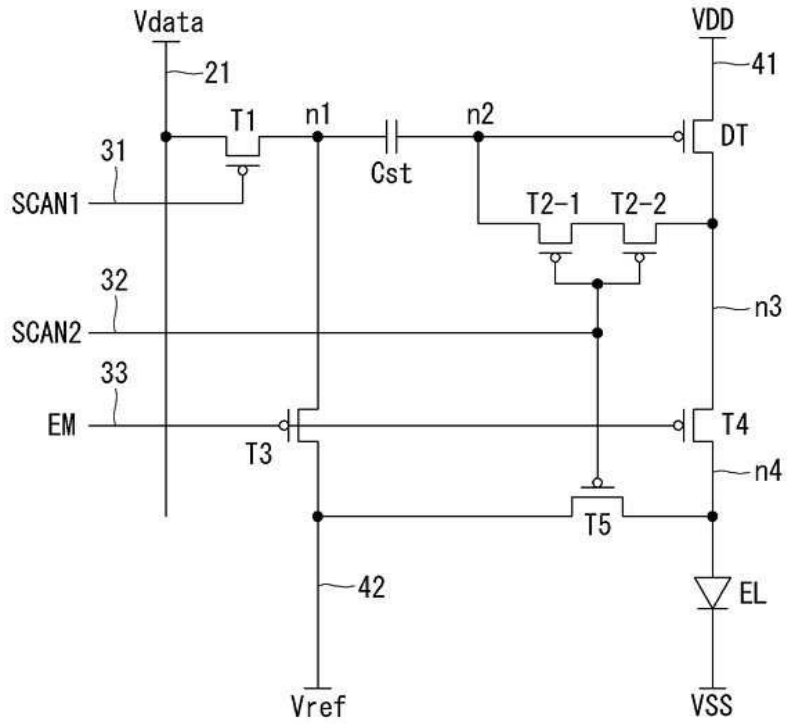
도면22



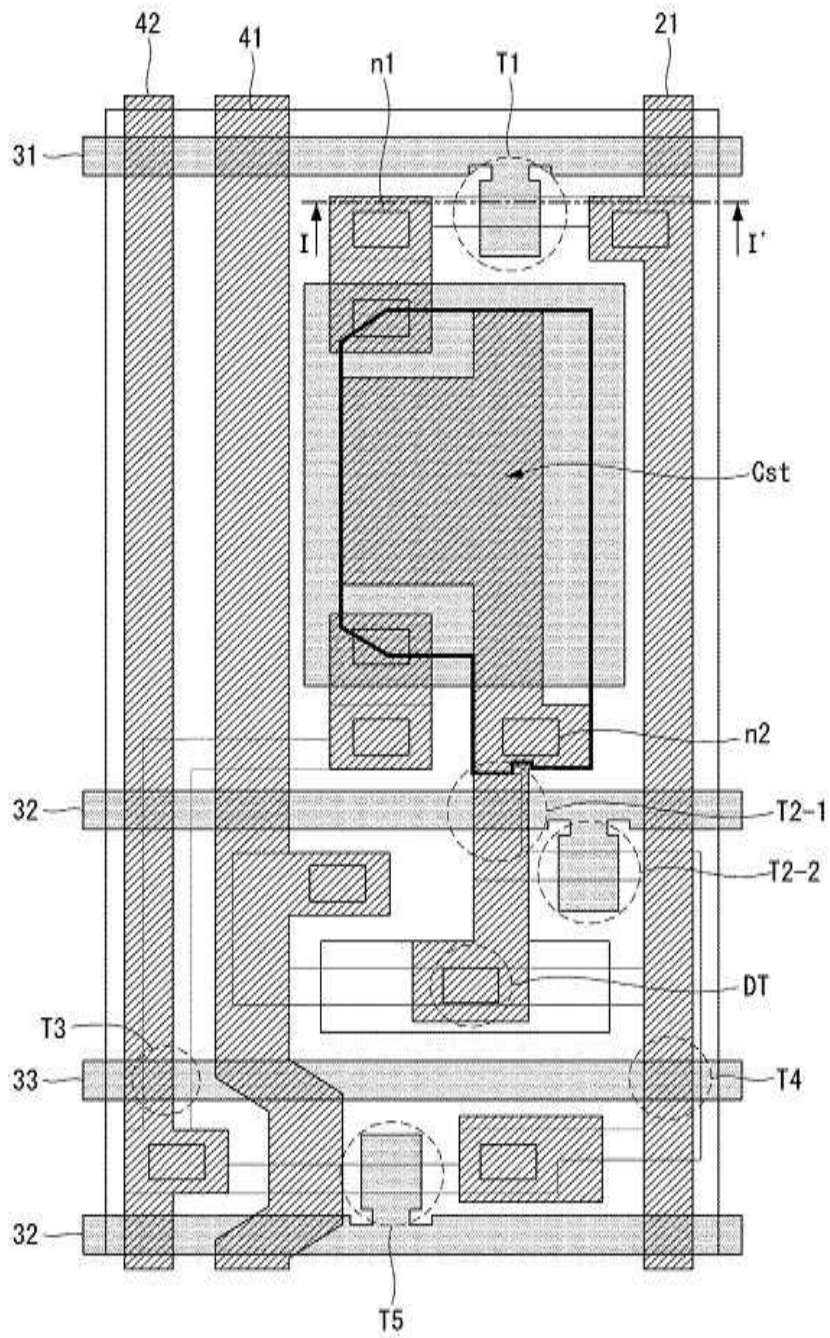
도면24



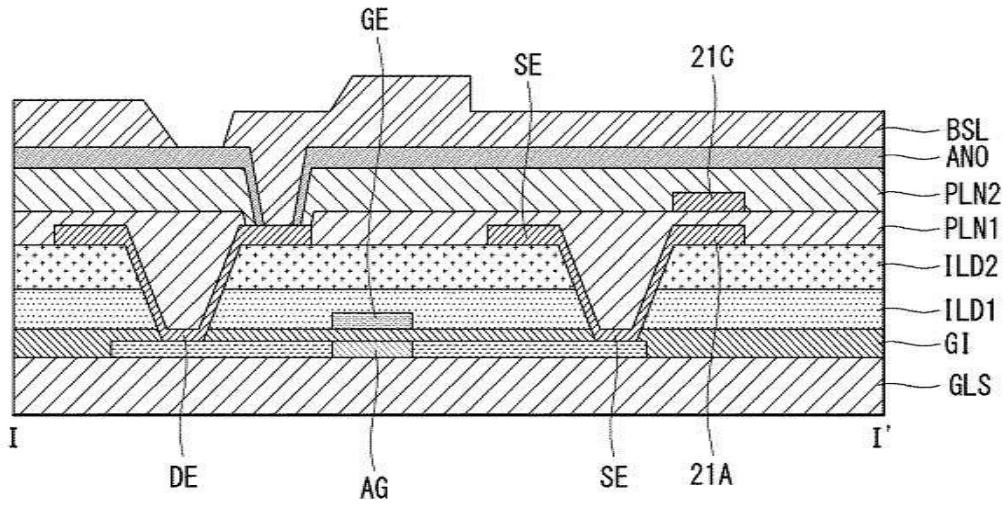
도면25



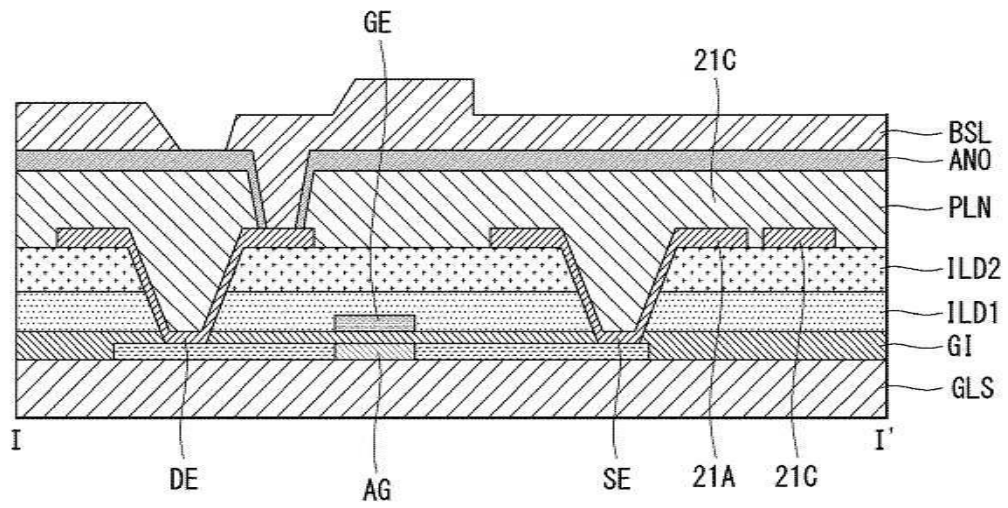
도면26



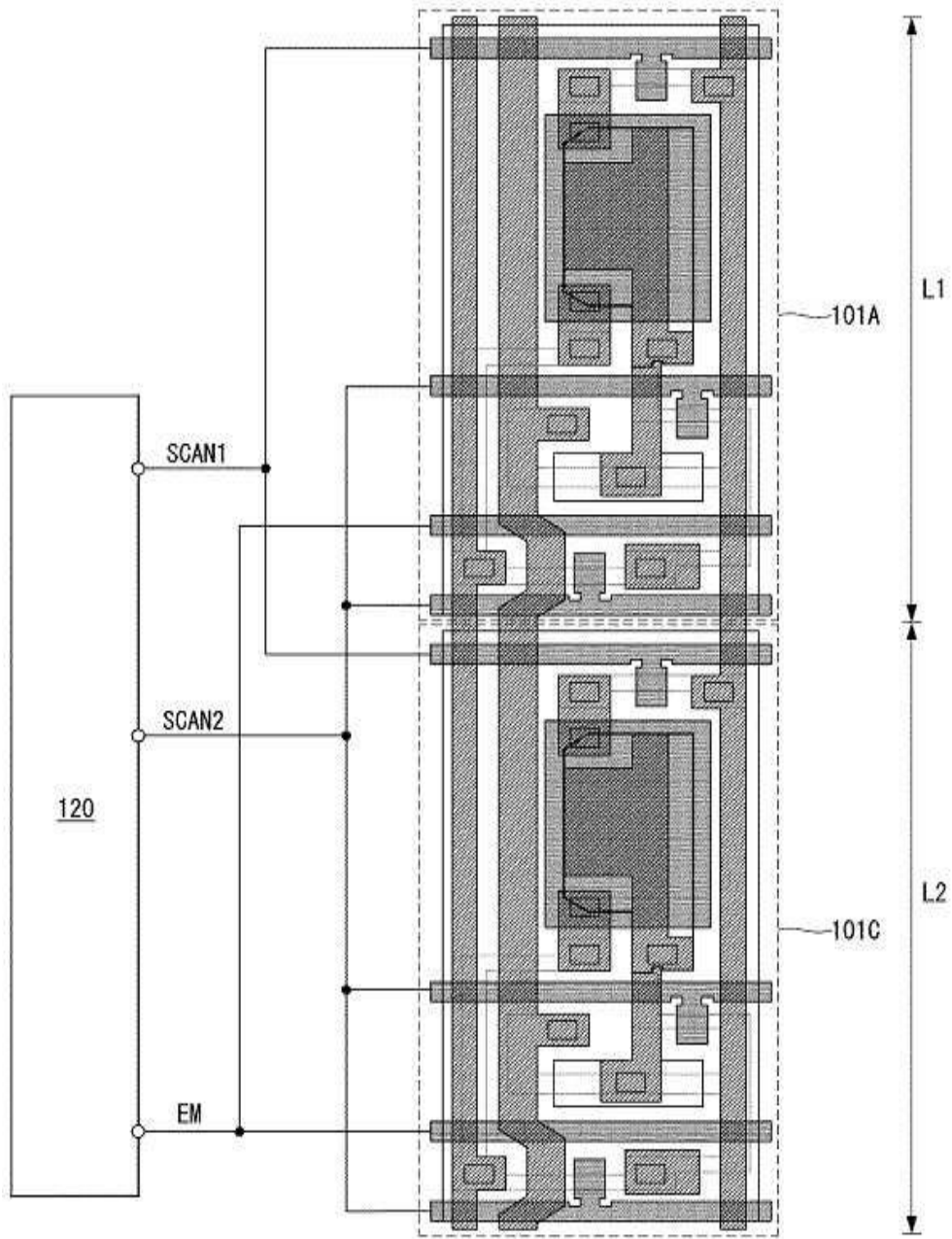
도면27



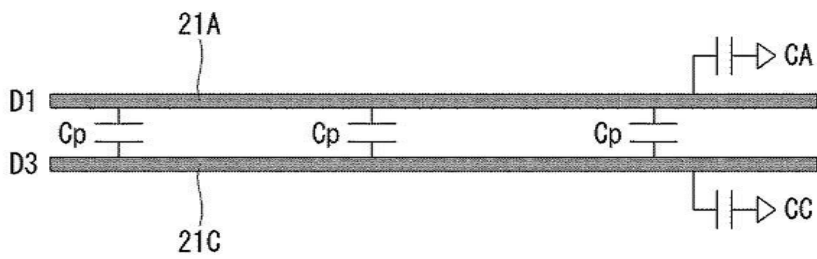
도면28



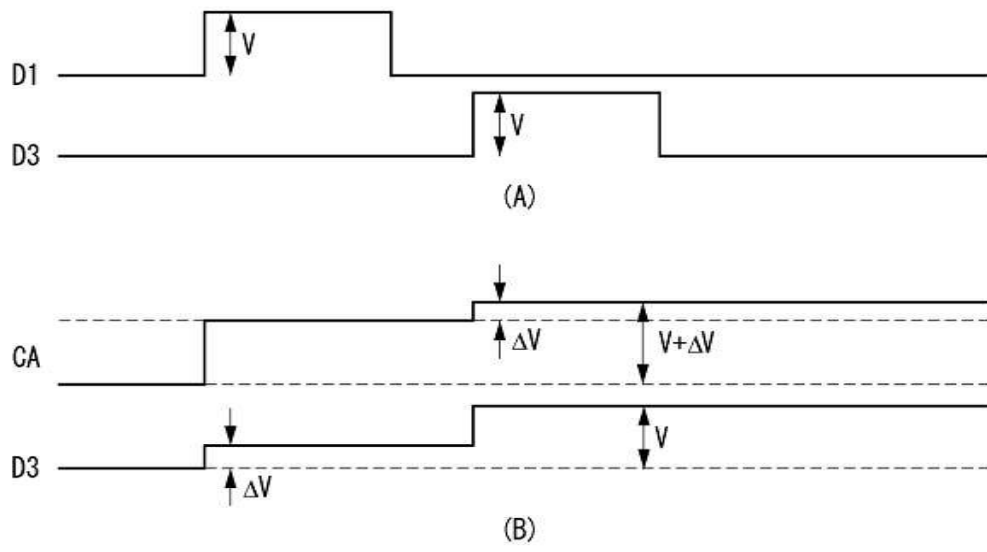
도면29



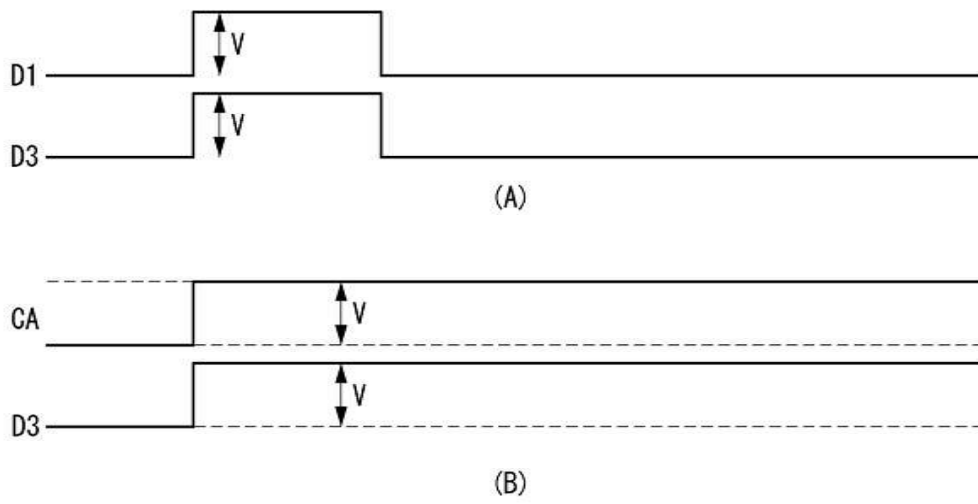
도면30



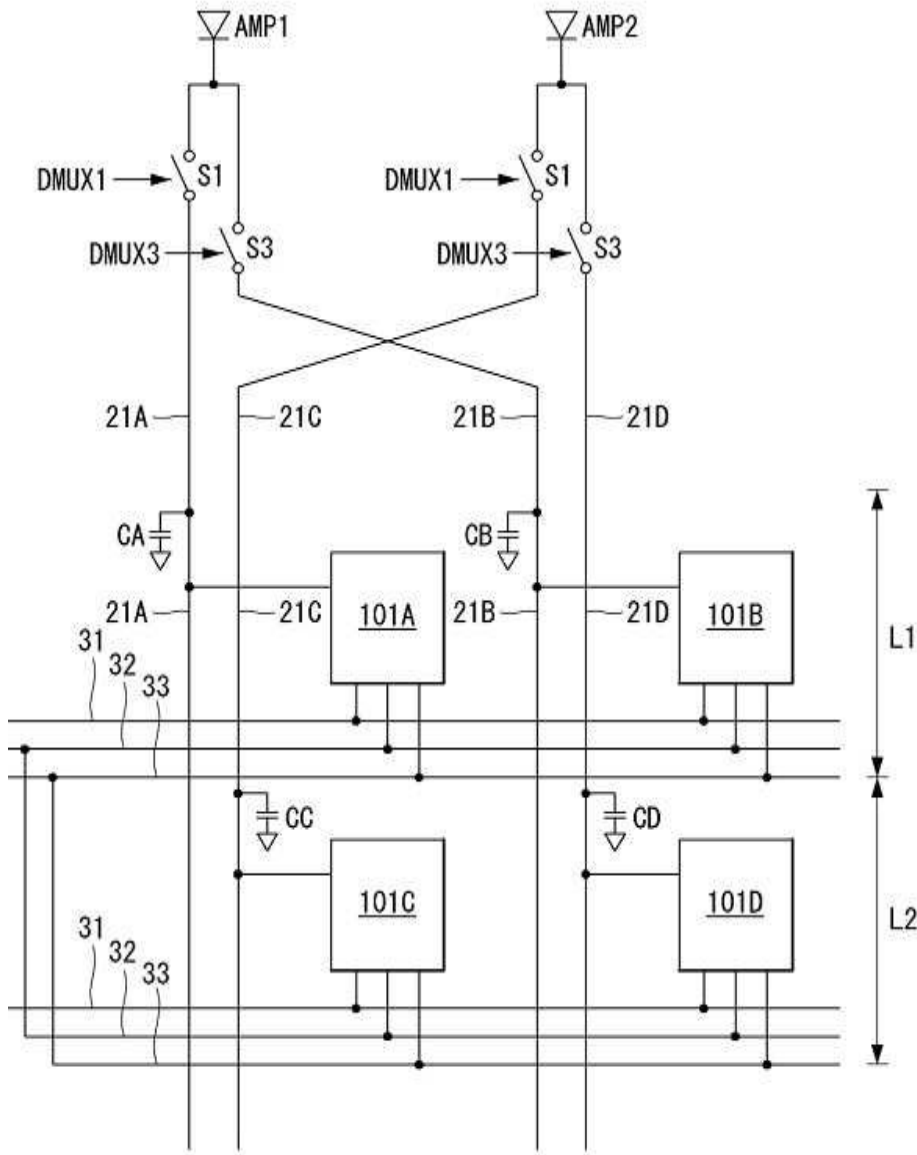
도면31



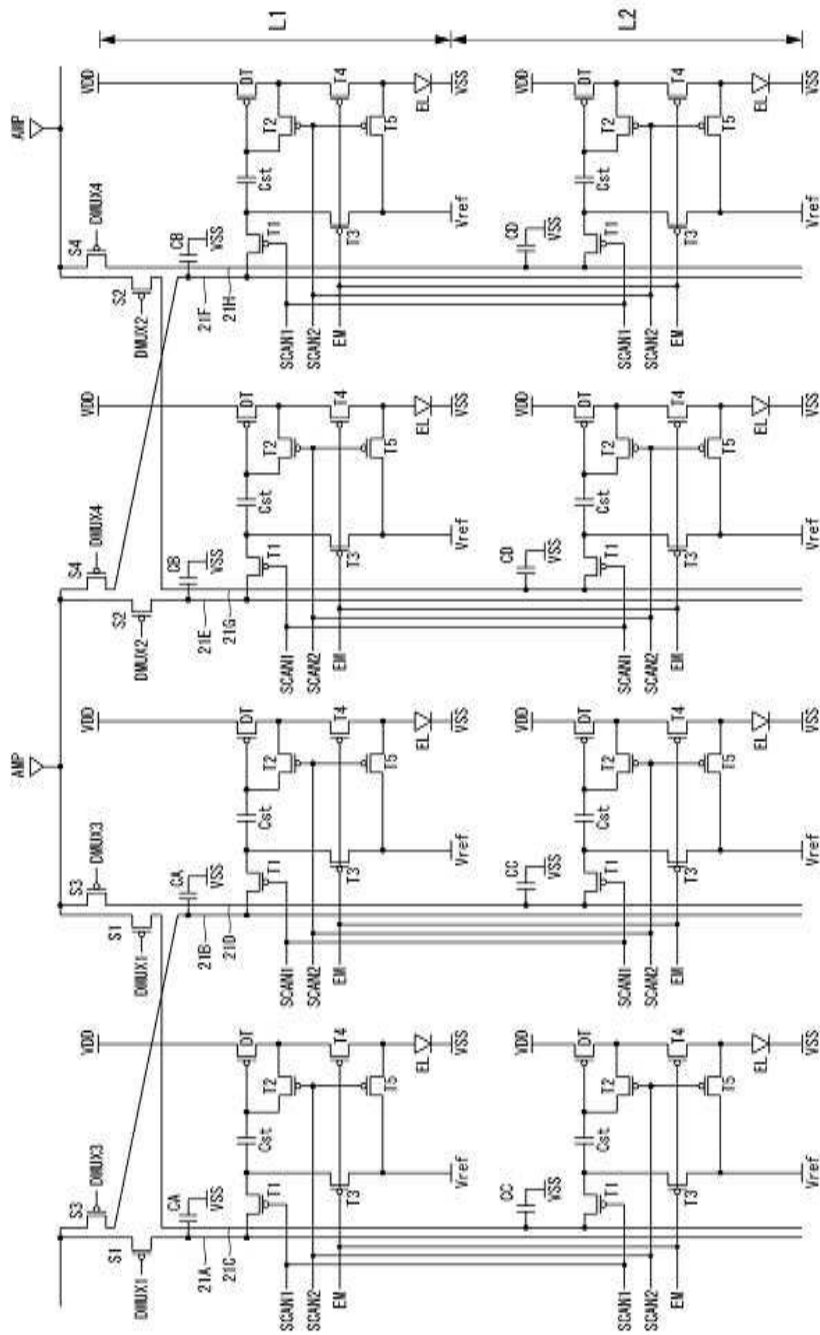
도면32



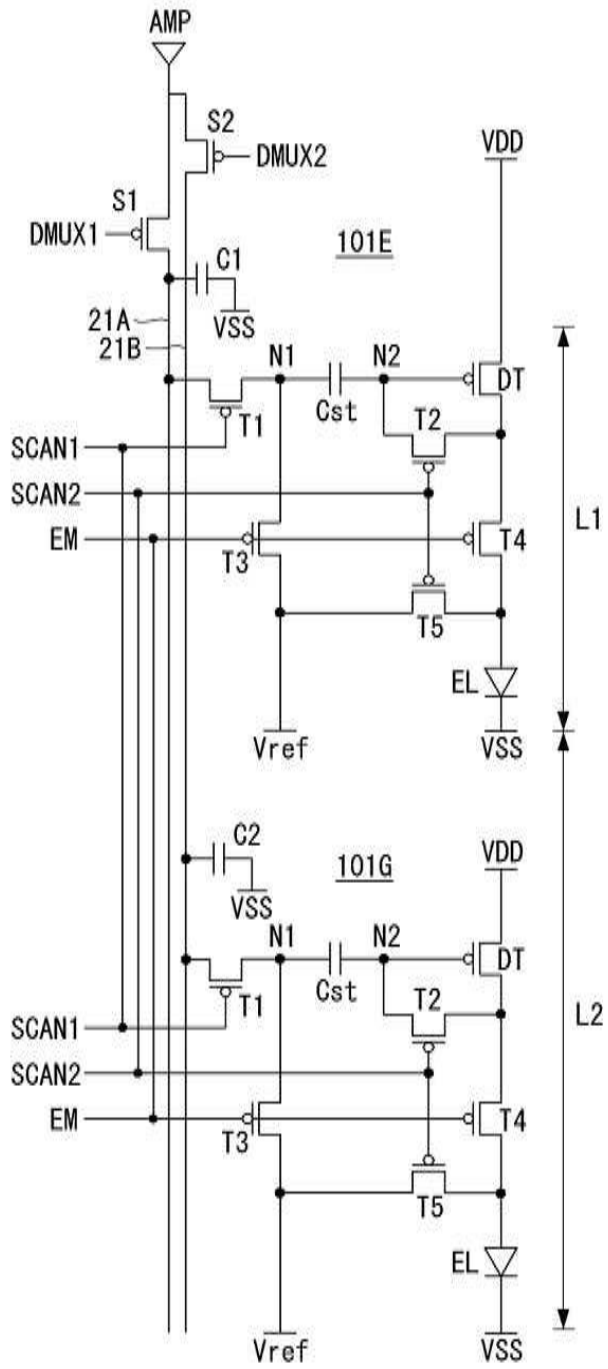
도면33



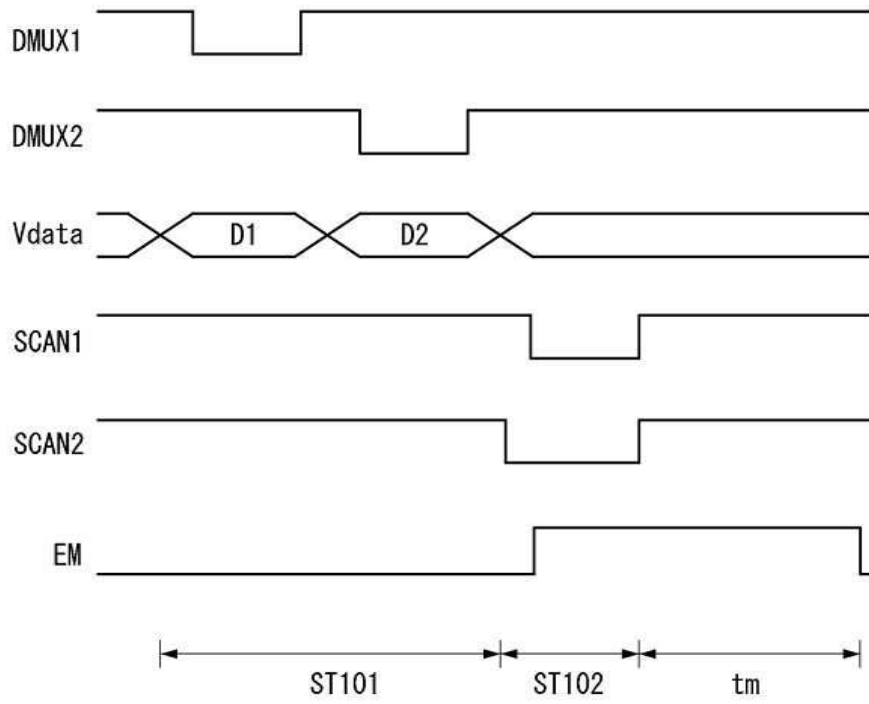
도면34



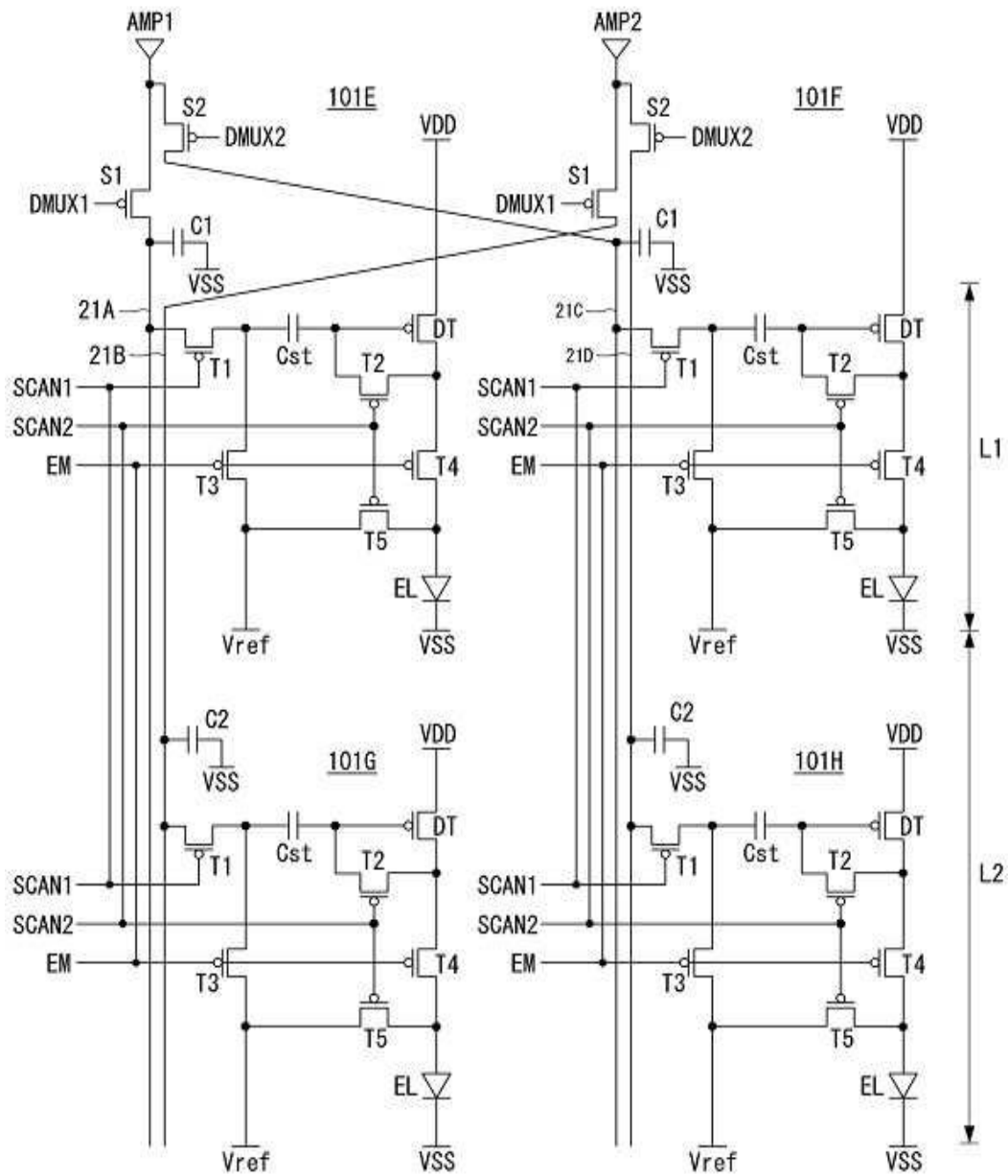
도면35



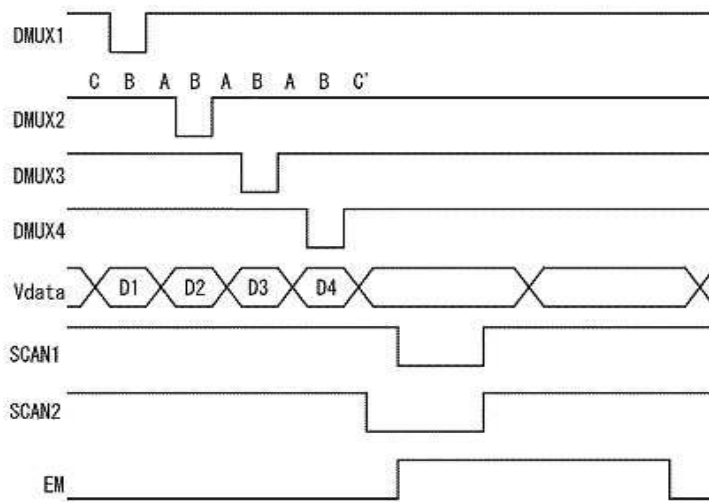
도면36



도면37

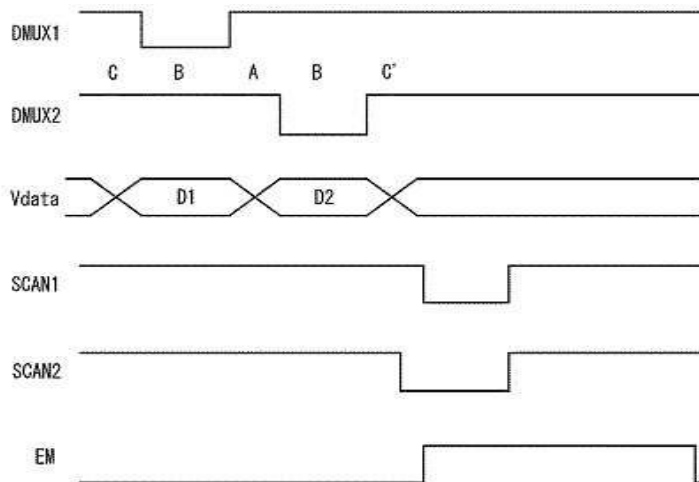


도면38



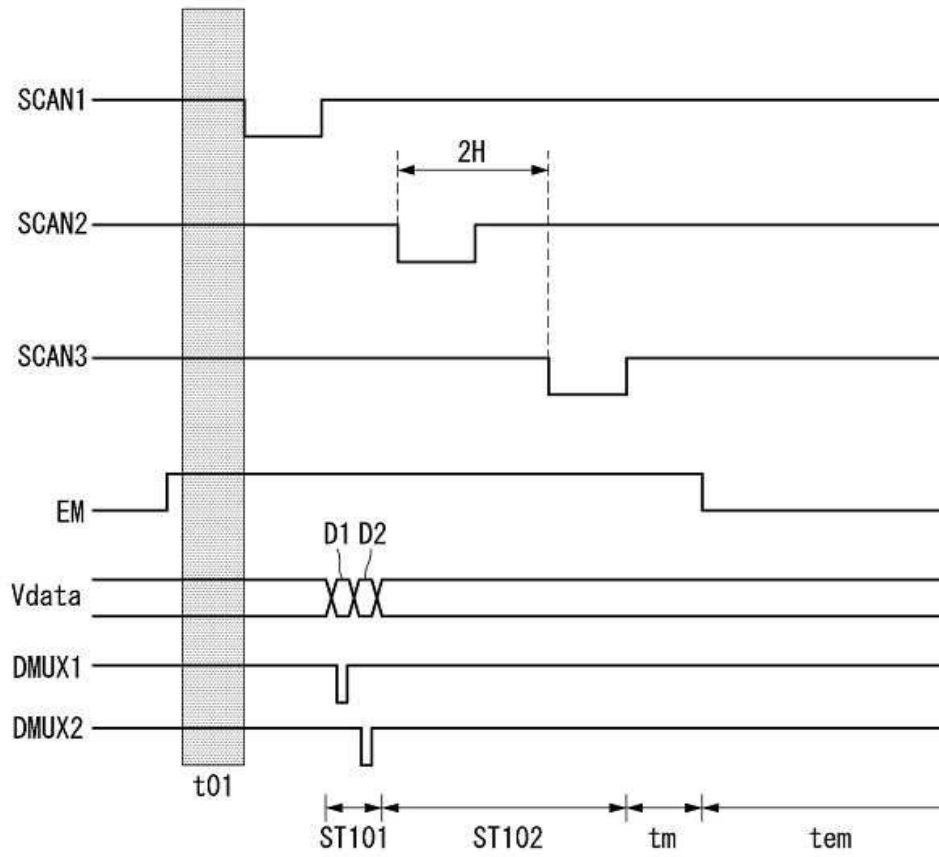
	1H Time (2MUX*1)	Multi SCAN (2H)	EM to MUX (C)	MUX On Time (B) *4	MUX to Mux (A) *3	MUX to Initial (C')	Initial Cst Vth sampling & Data In
UHD (2160*3840)	4.34 (2.17)	8.68	0.5	1.4*4	0.5*3	0.5	0.58
QHD (1440*2560)	6.51 (3.25)	13.02	0.5	1.4*4	0.5*3	0.5	4.92
FHD (1080*1920)	8.68 (4.34)	17.36	0.5	1.4*4	0.5*3	0.5	9.26

도면39

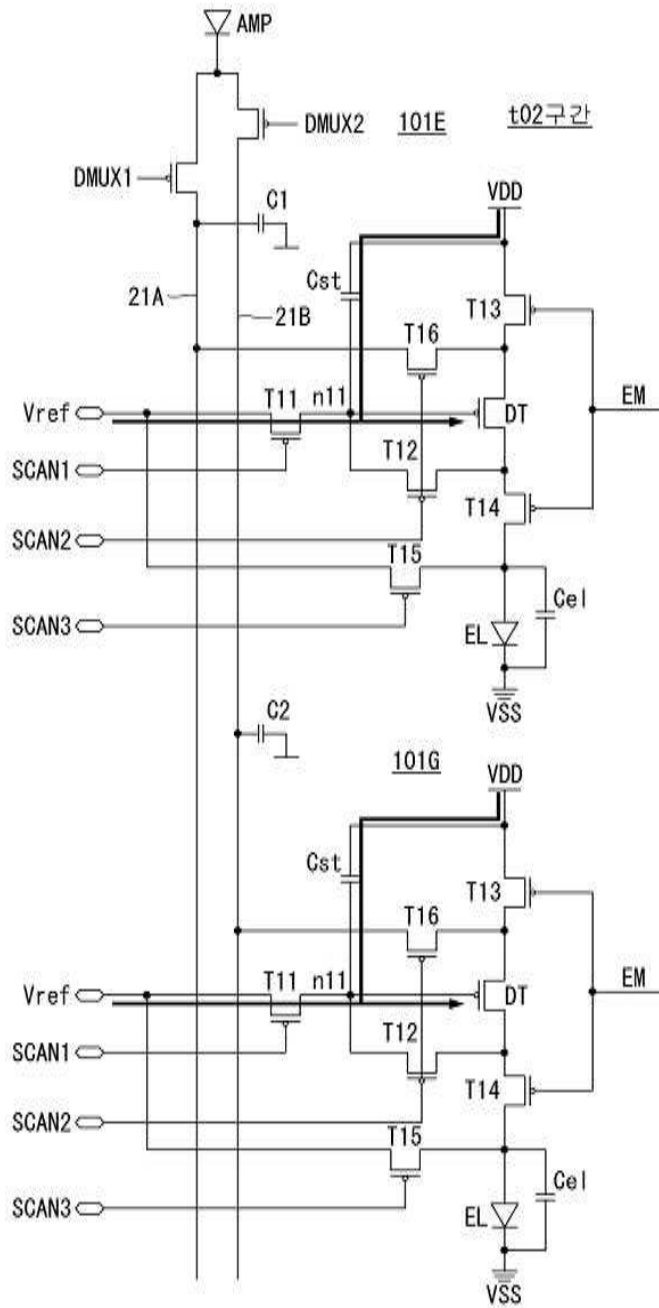


	1H Time	Multi SCAN (2H)	EM to MUX (C)	MUX On Time (B)	MUX to Mux (A)	MUX On Time (B)	MUX to Initial (C')	Initial Cst Vth sampling & Data In
UHD (2160*3840)	4.34	8.68	0.5	1.4	0.5	1.4	0.5	4.38
QHD (1440*2560)	6.51	13.02	0.5	1.4	0.5	1.4	0.5	8.72
FHD (1080*1920)	8.68	17.36	0.5	1.4	0.5	1.4	0.5	13.06

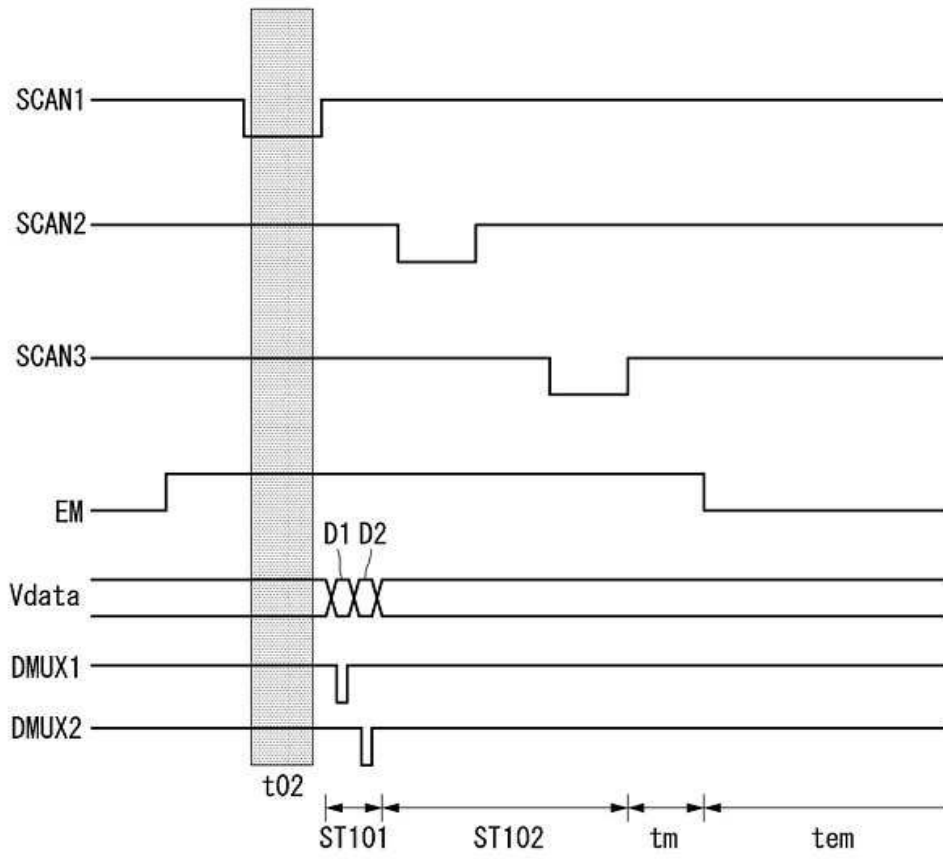
도면41



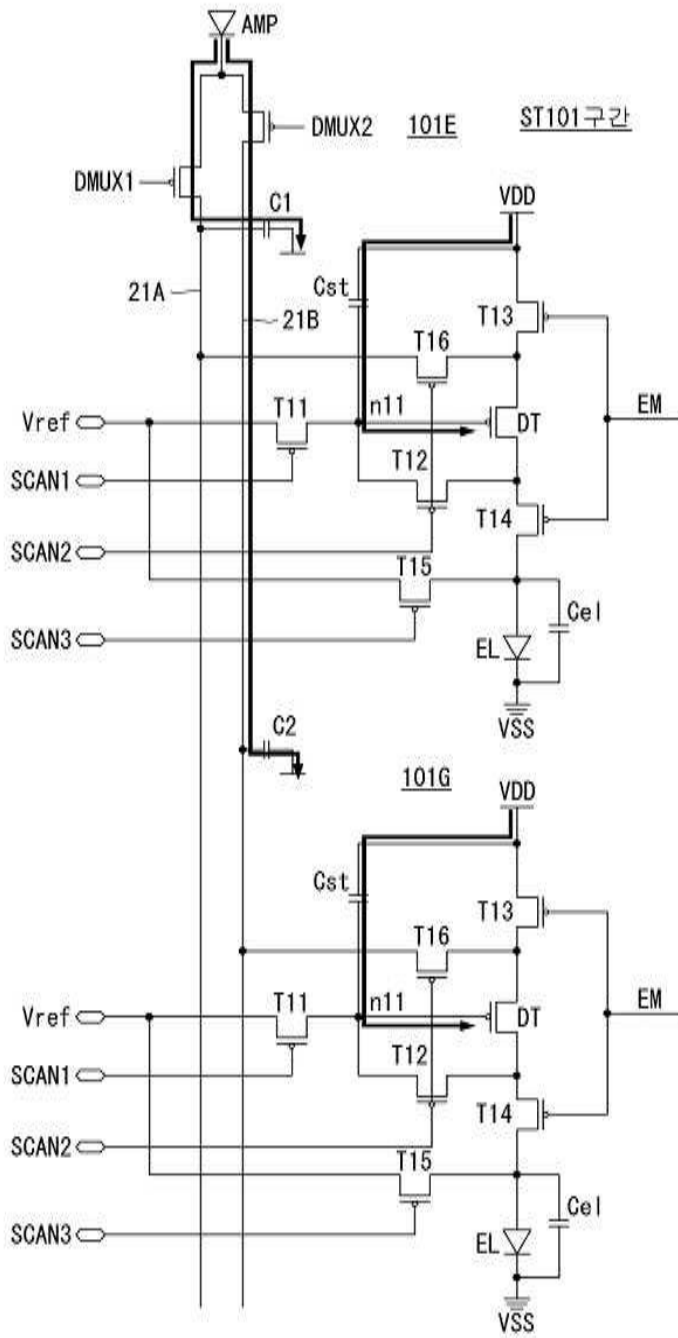
도면42



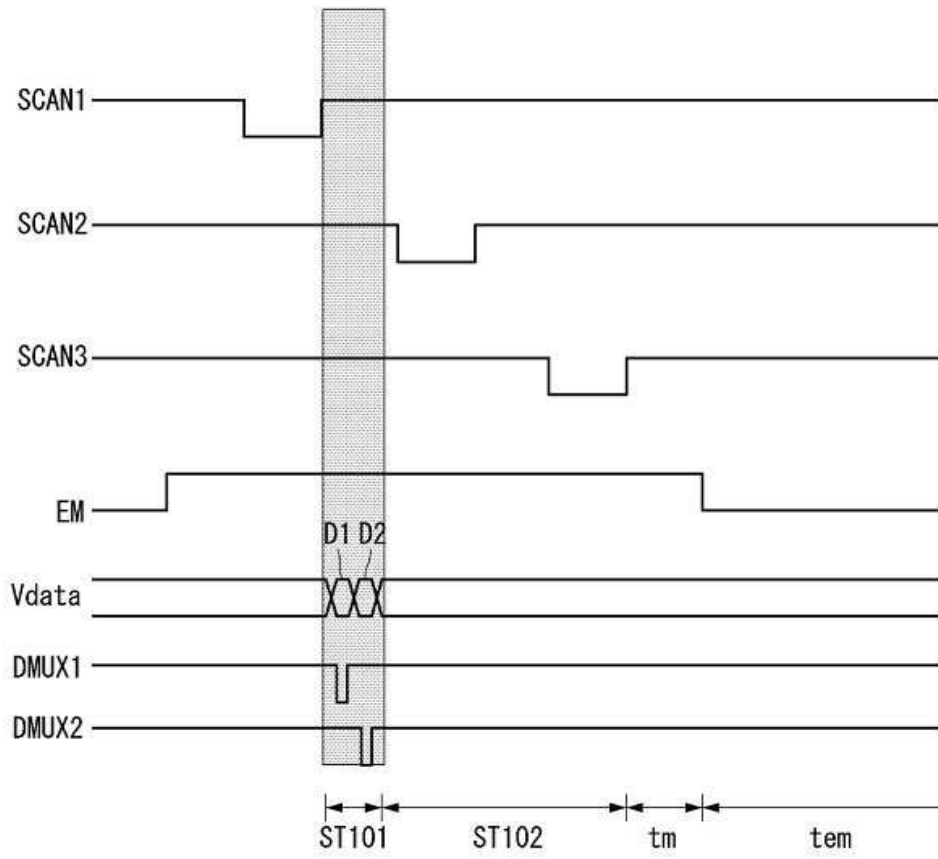
도면43



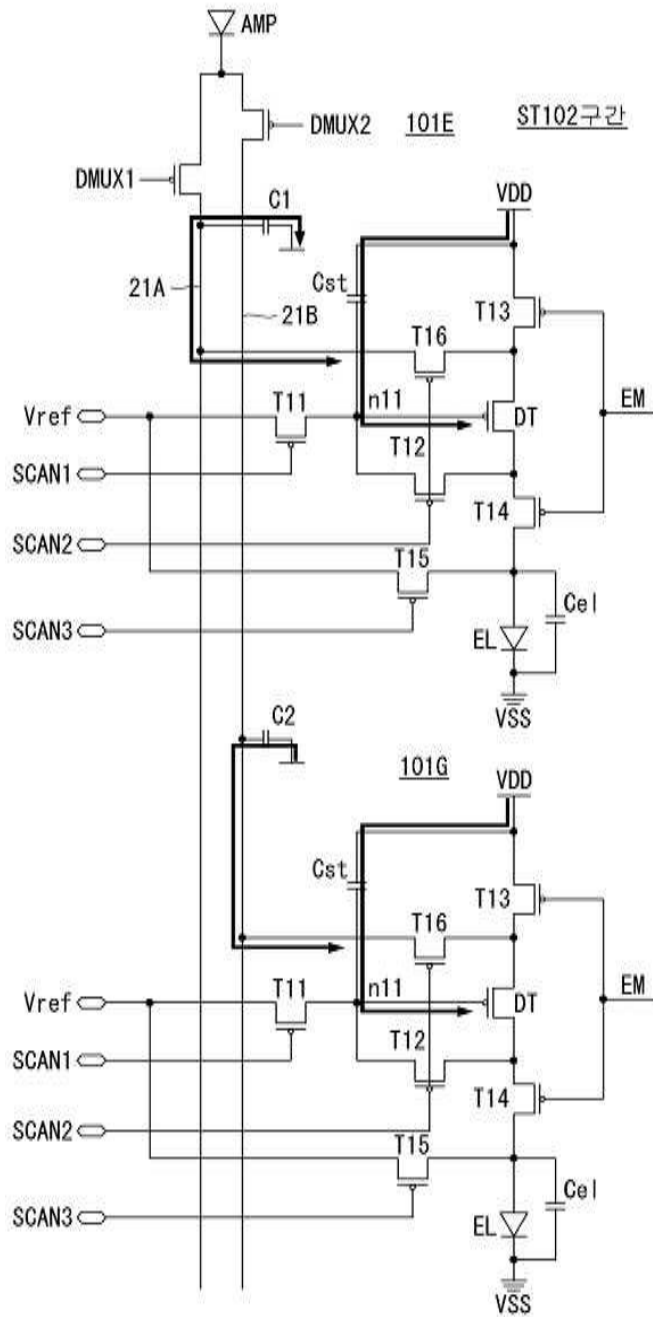
도면44



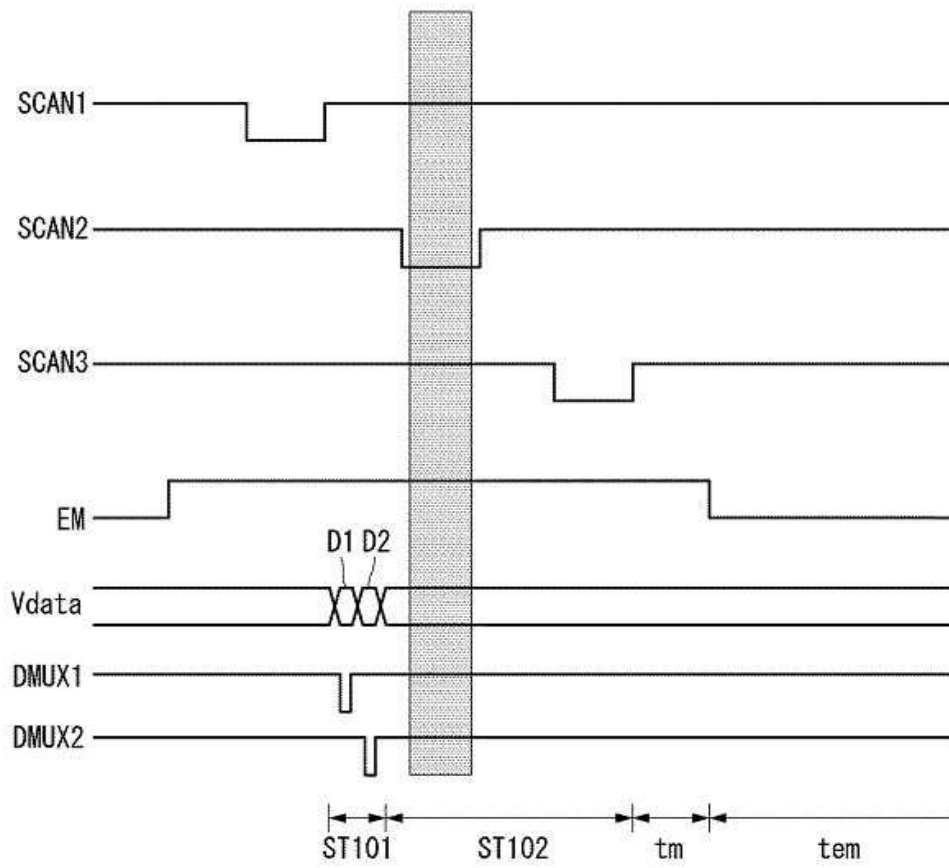
도면45



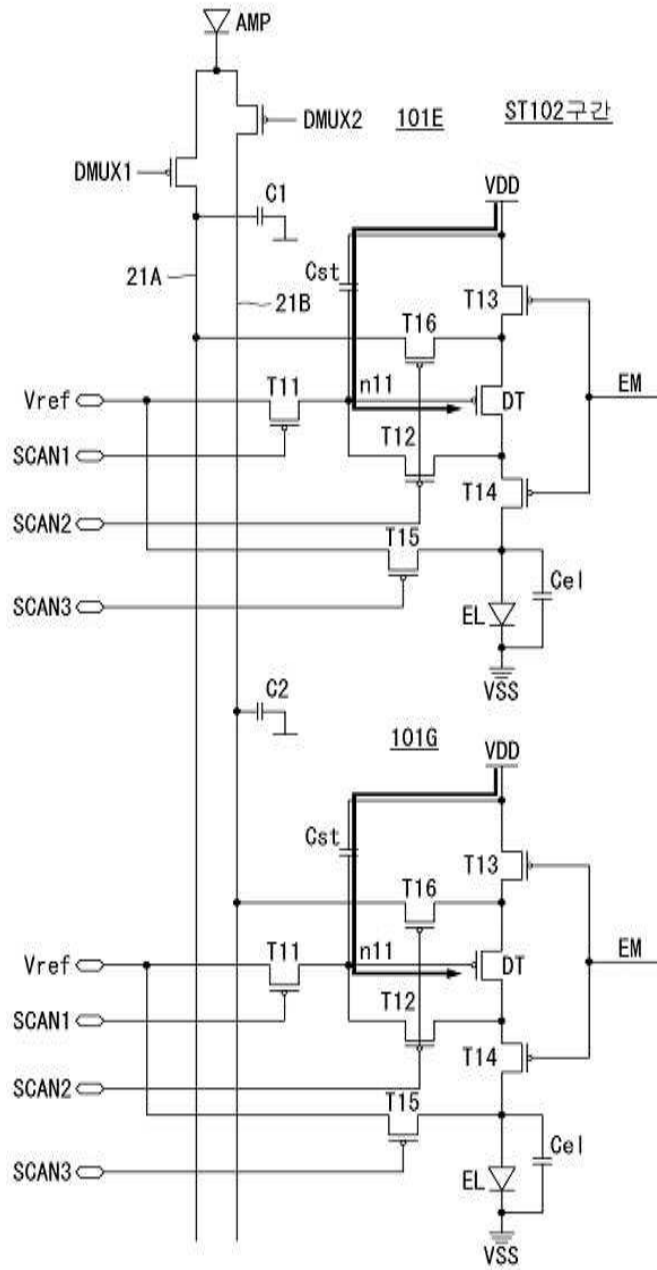
도면46



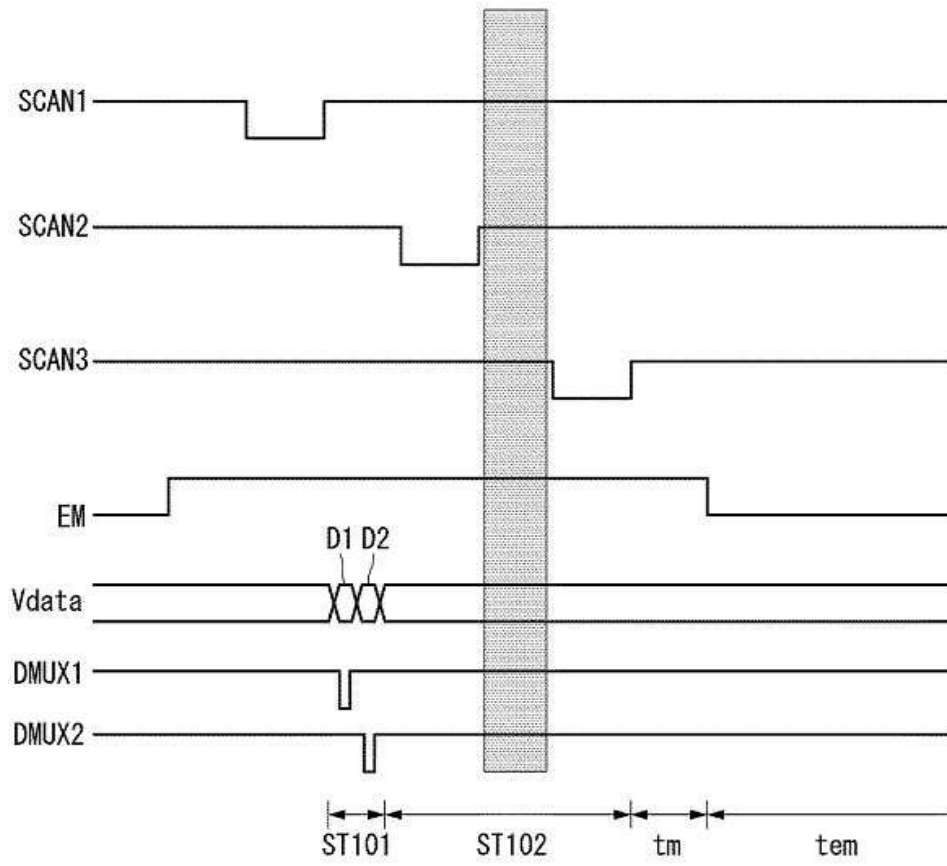
도면47



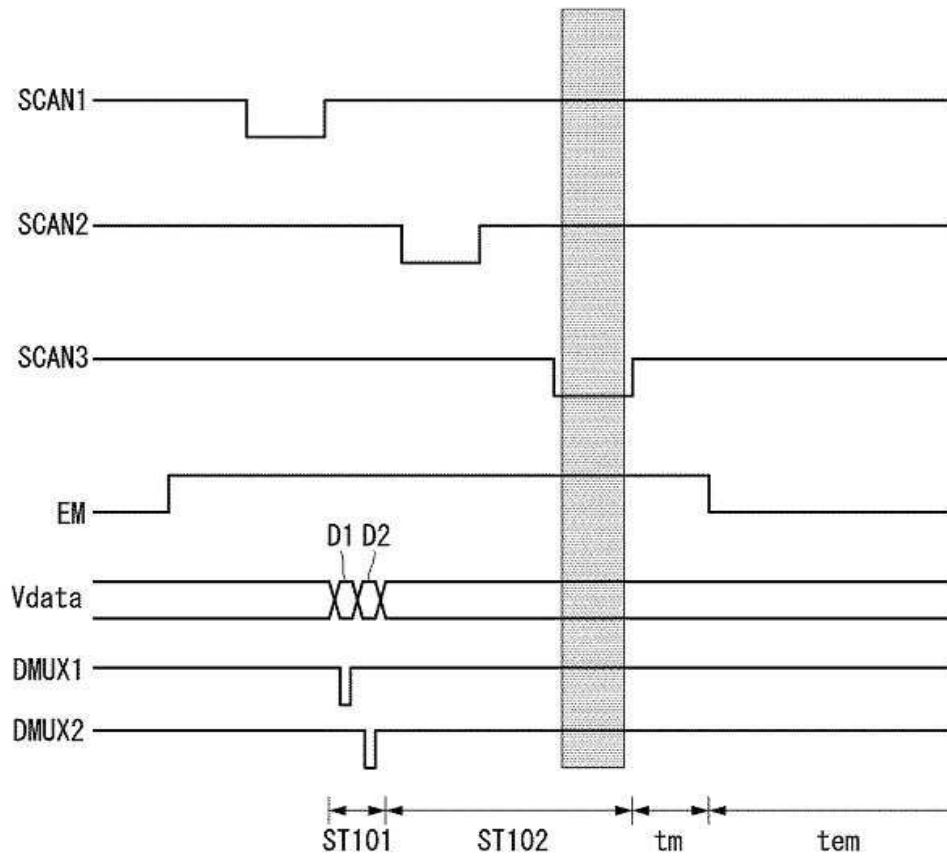
도면48



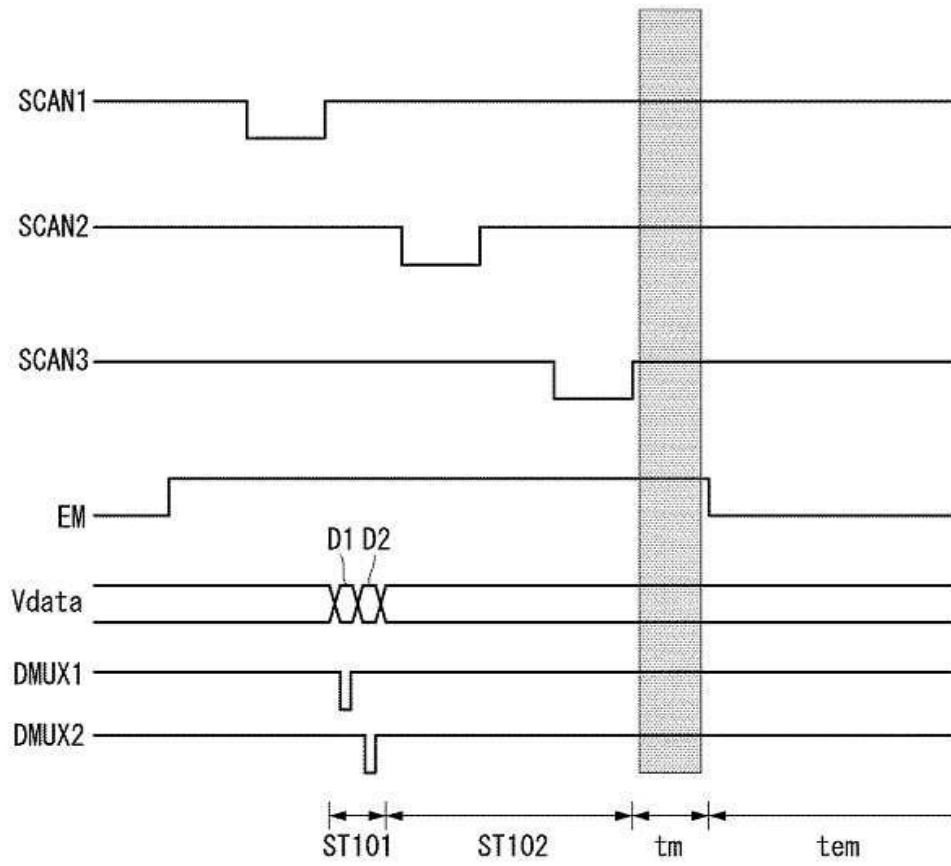
도면49



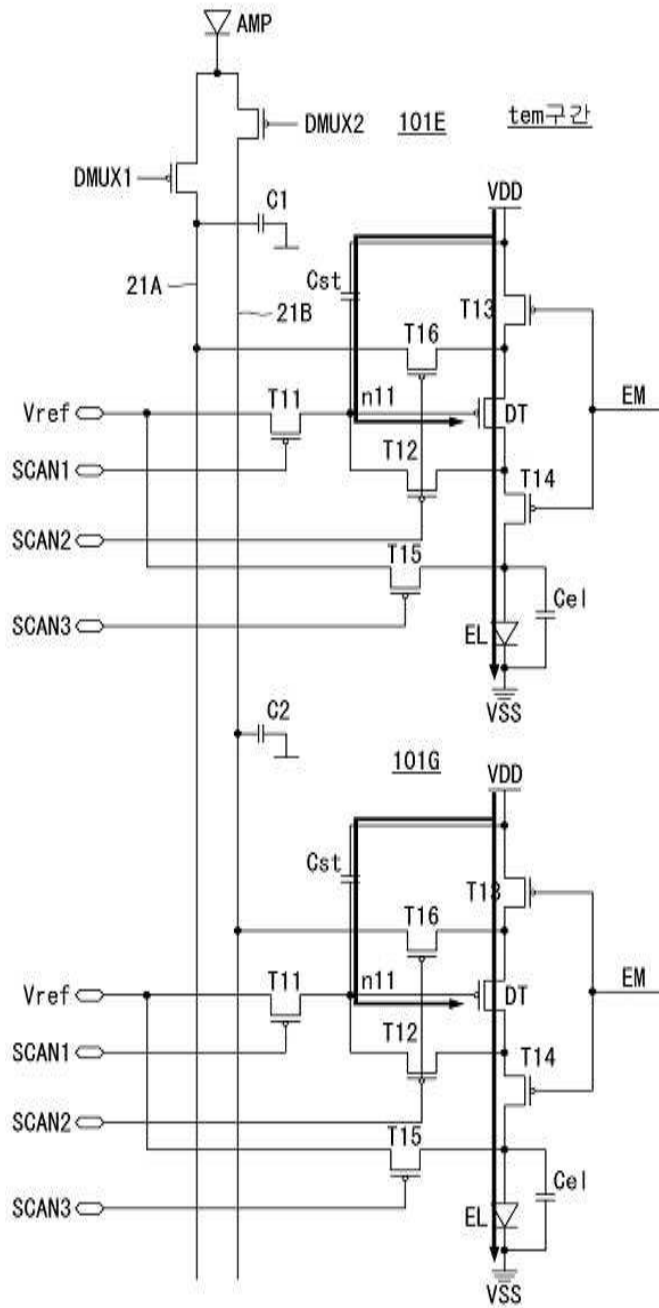
도면51



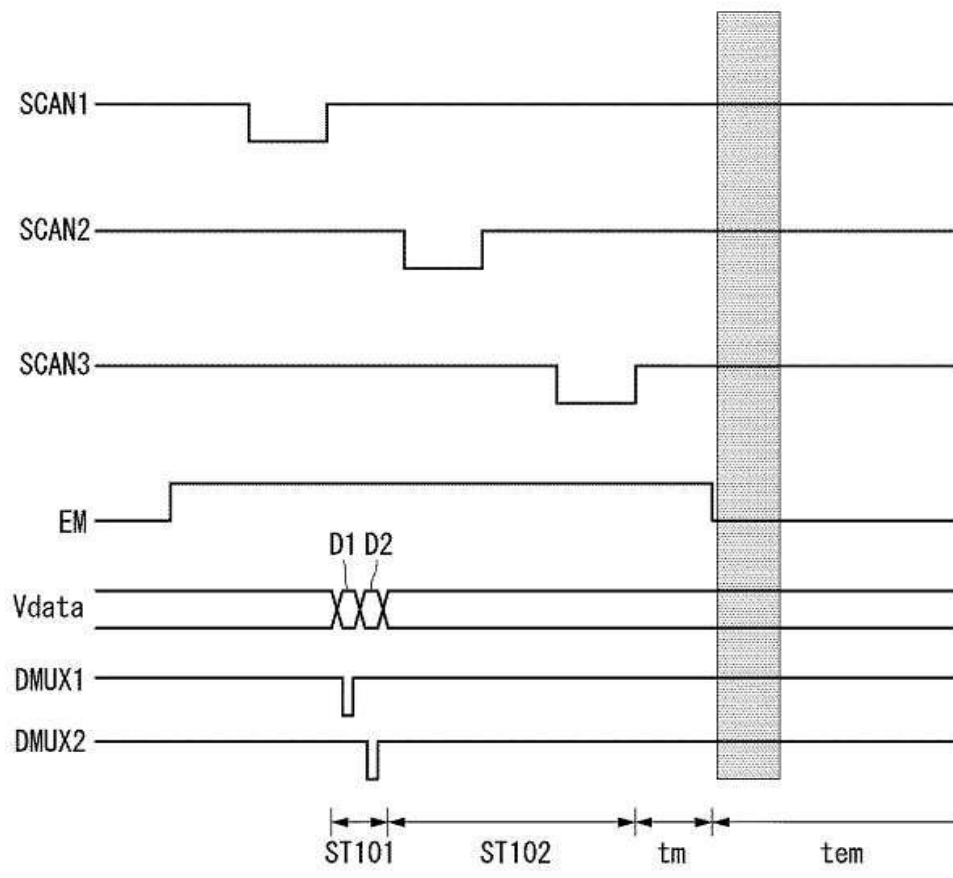
도면53



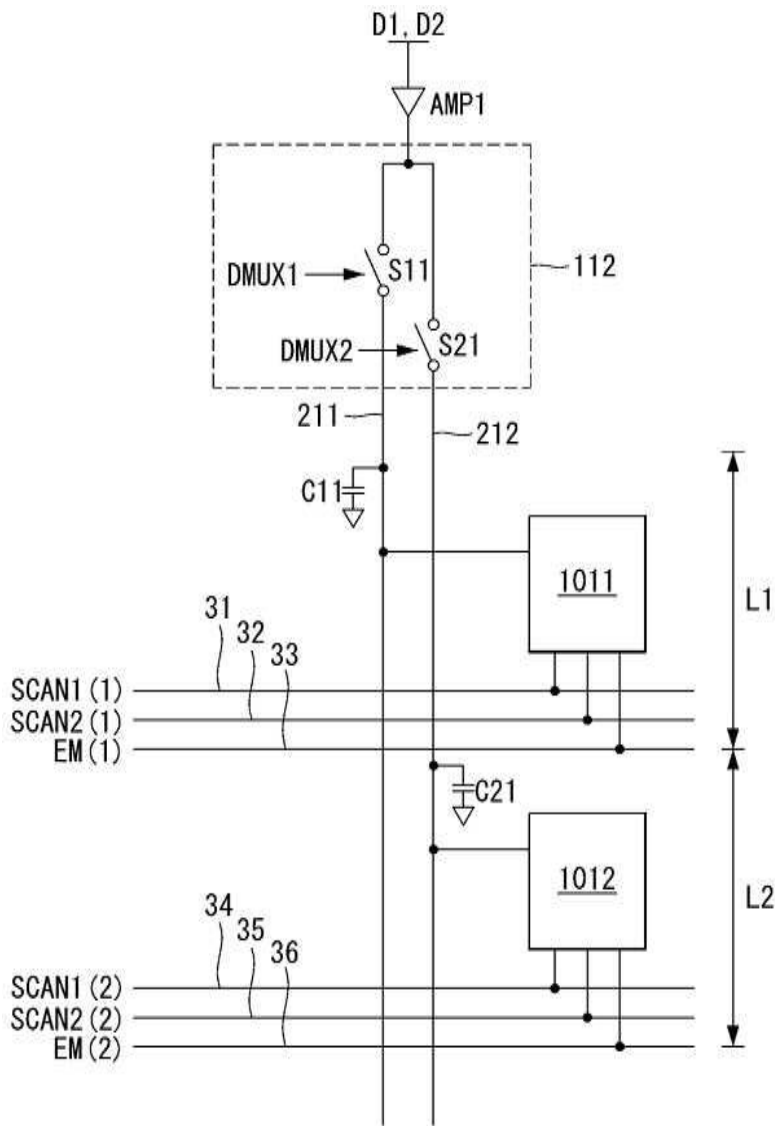
도면54



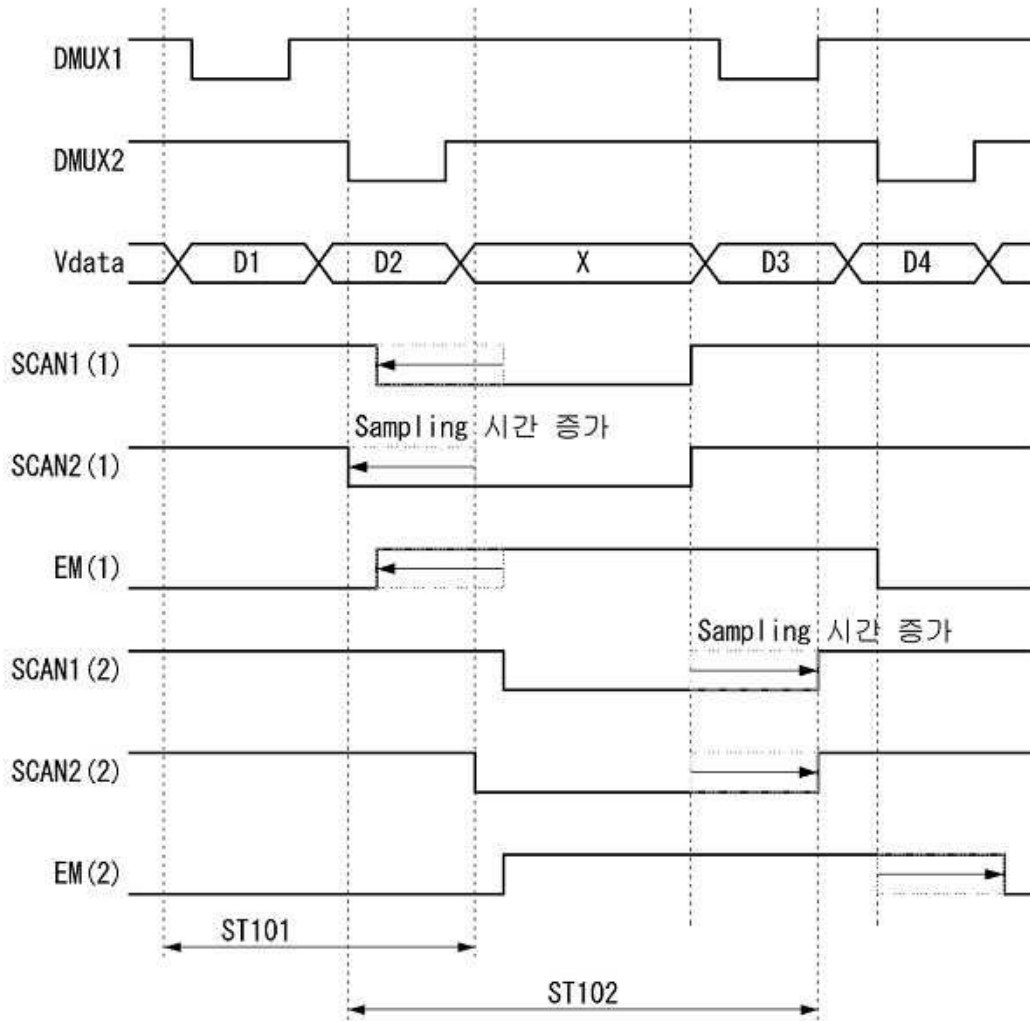
도면55



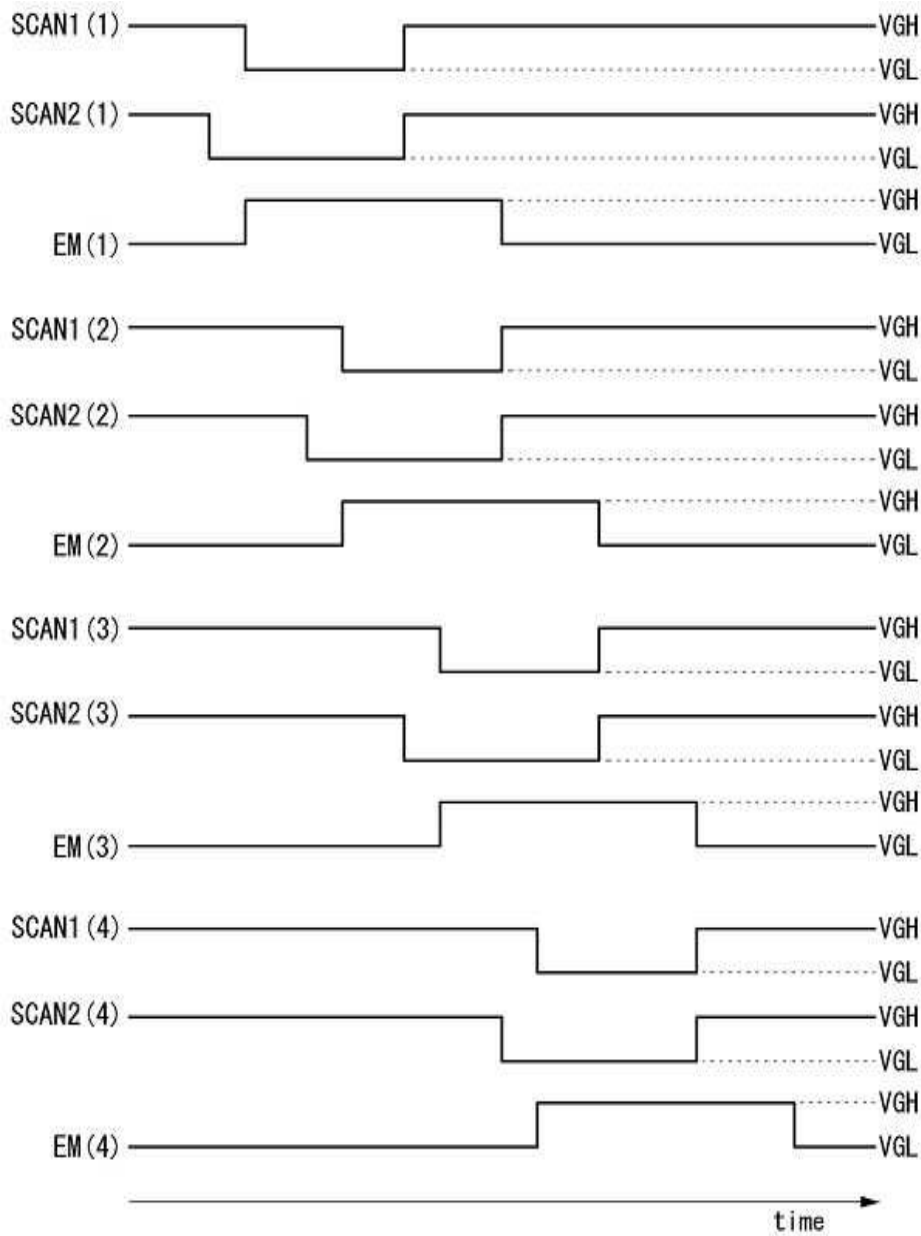
도면56



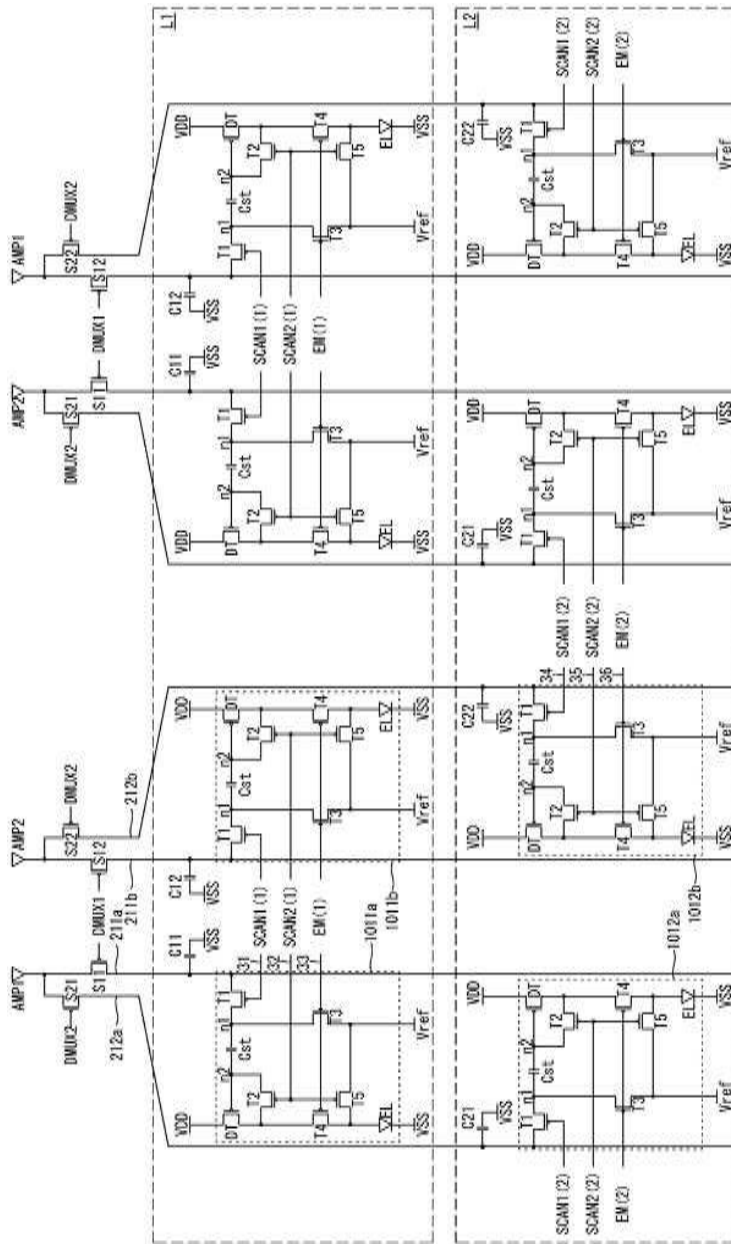
도면58



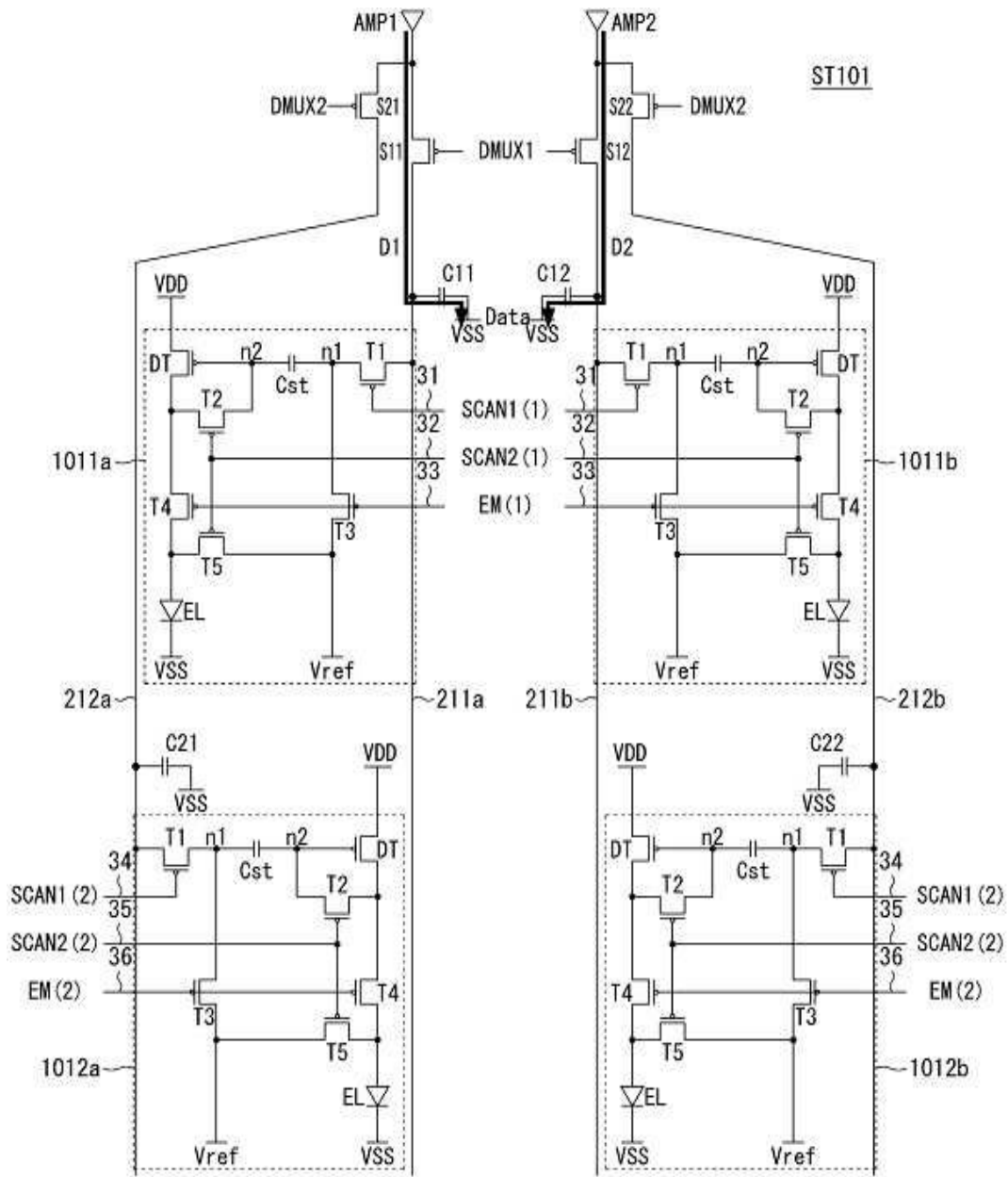
도면59



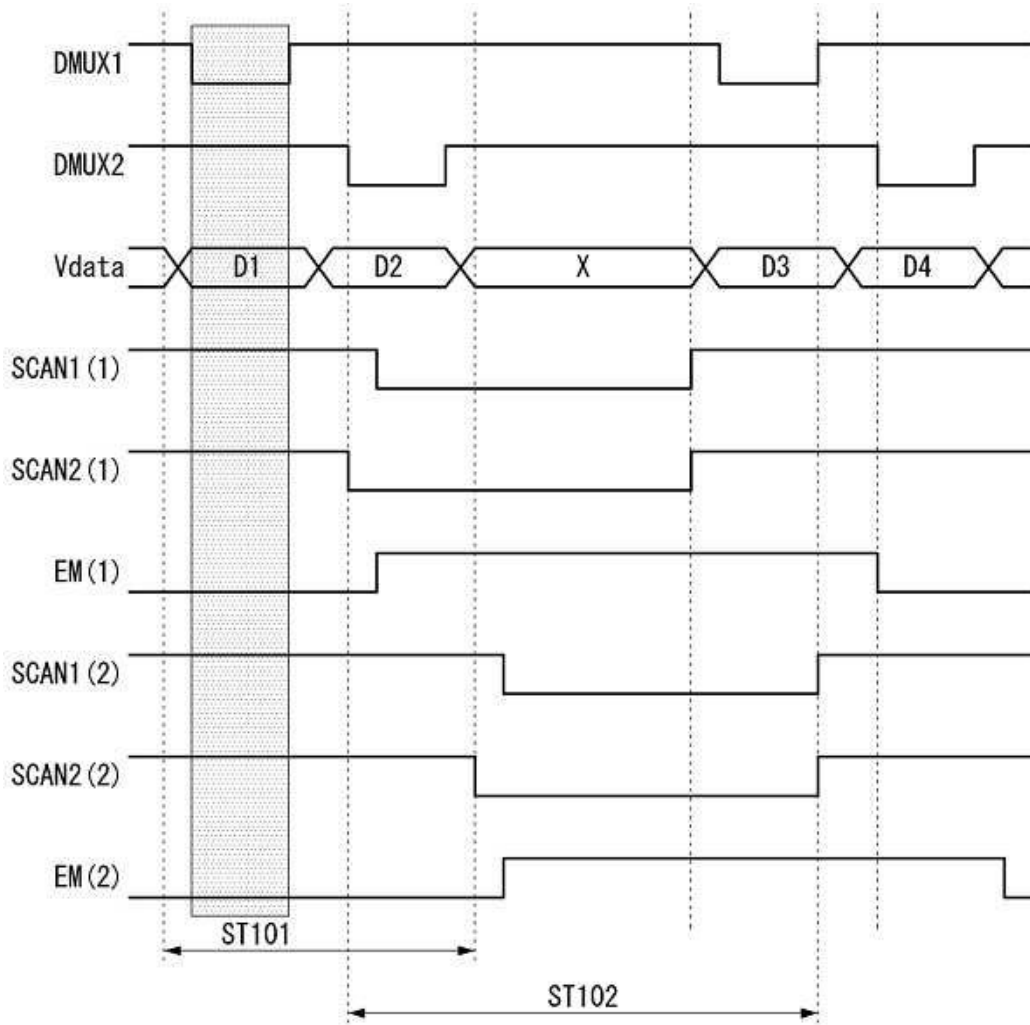
도면61



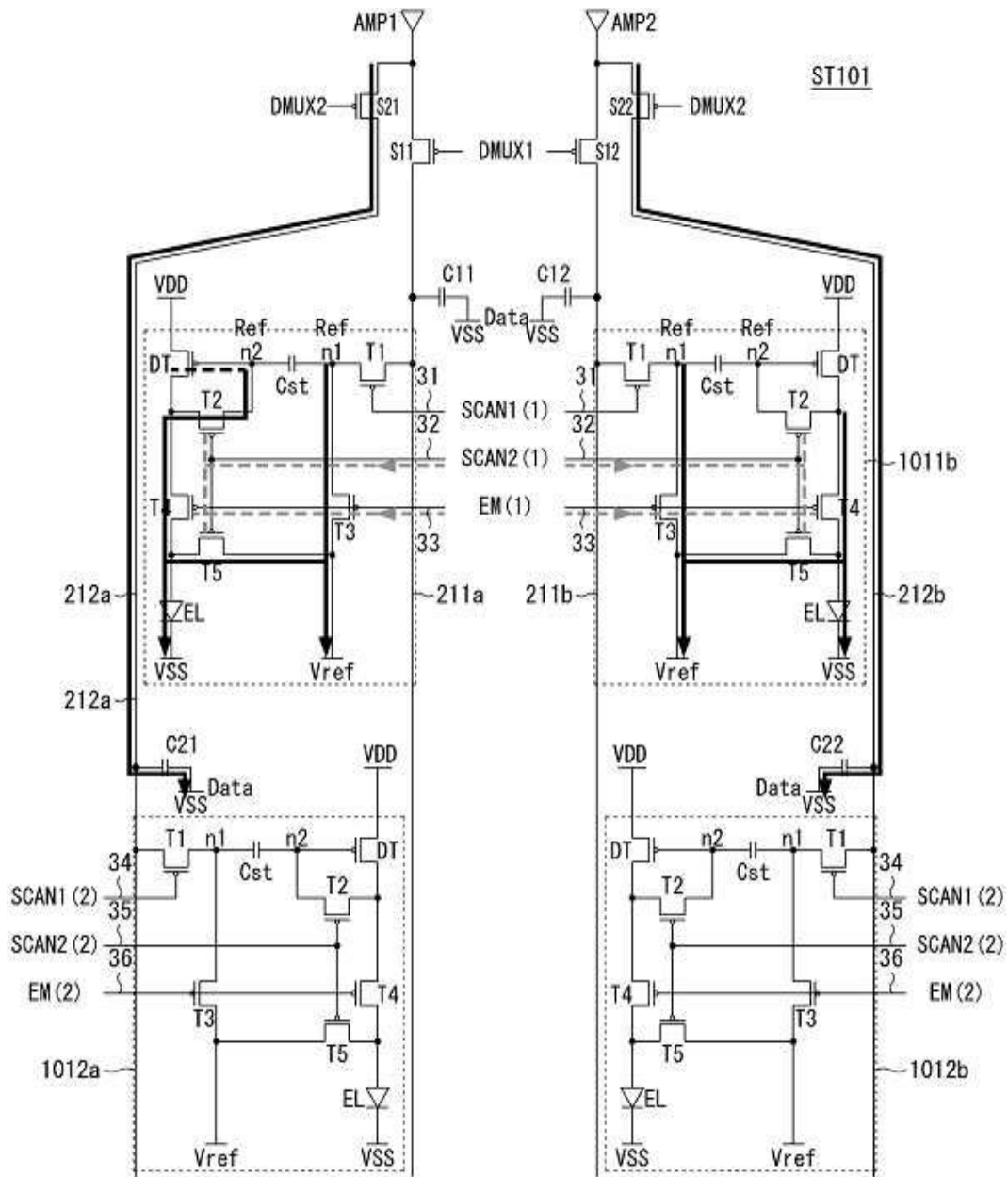
도면62



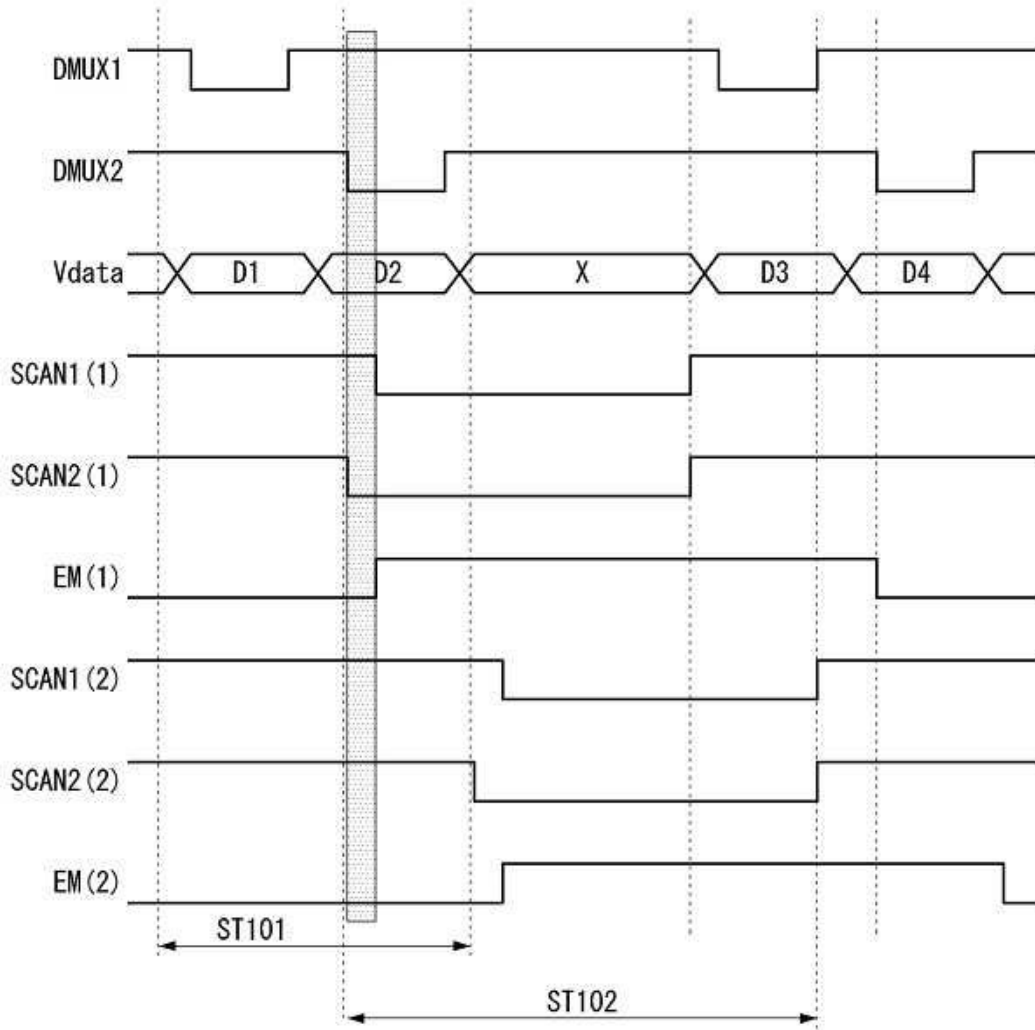
도면63



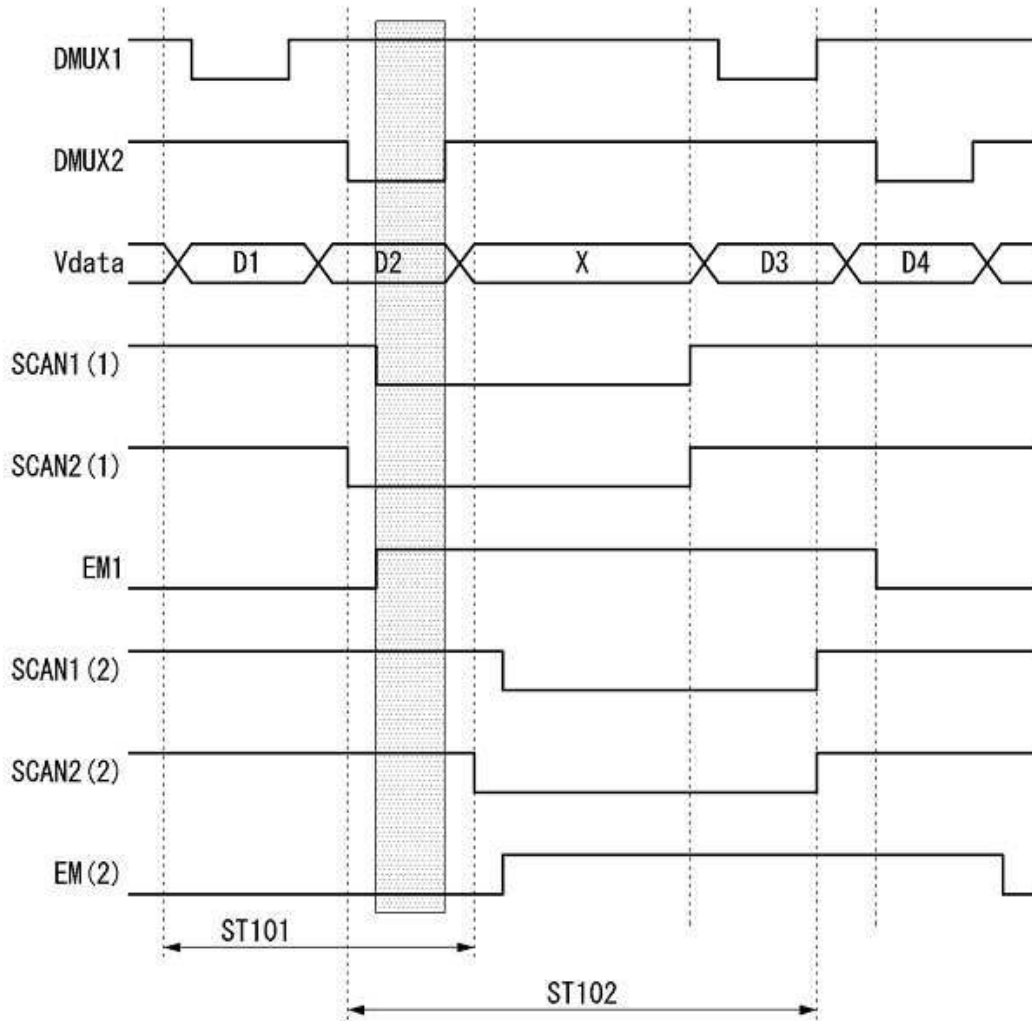
도면64



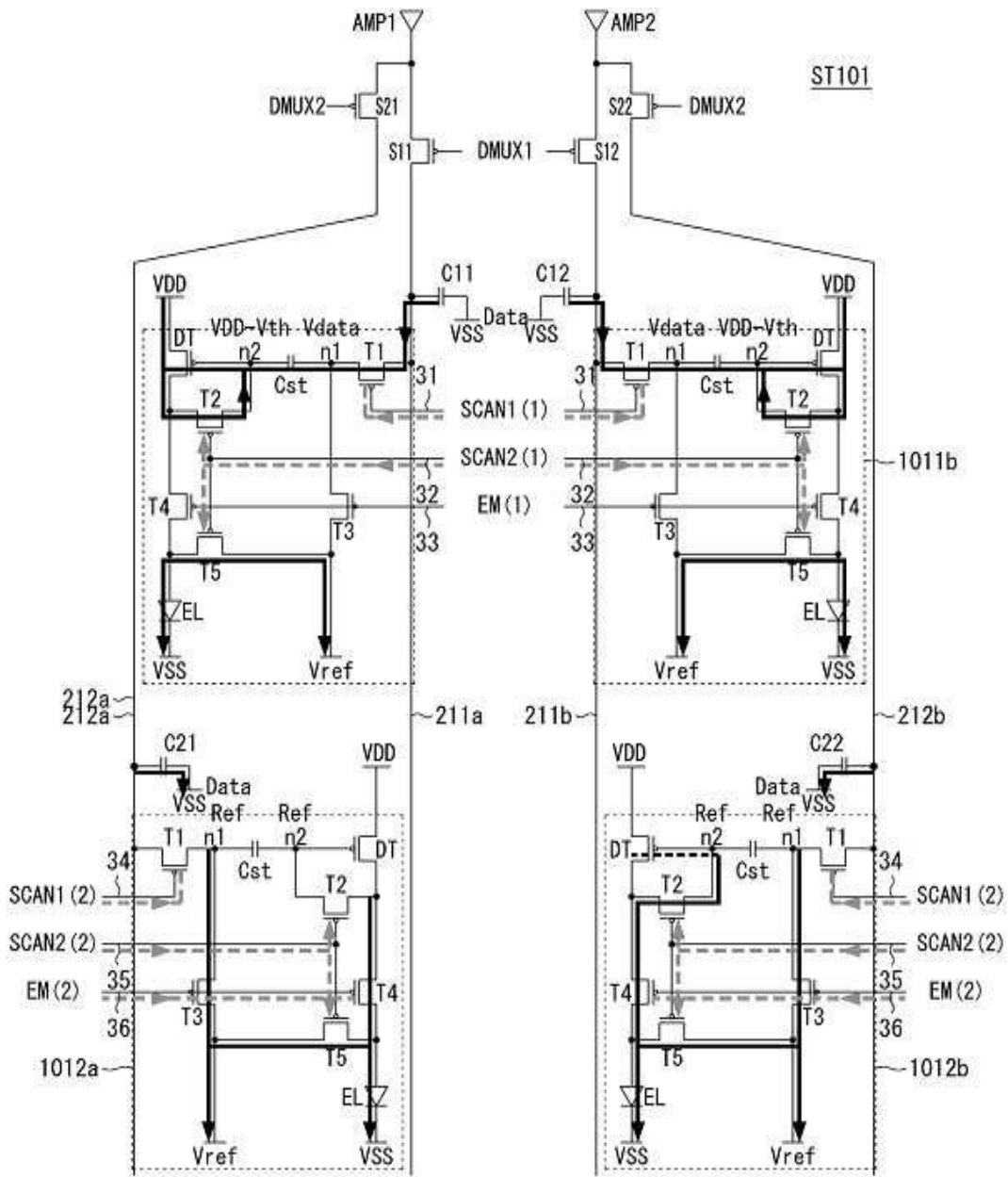
도면65



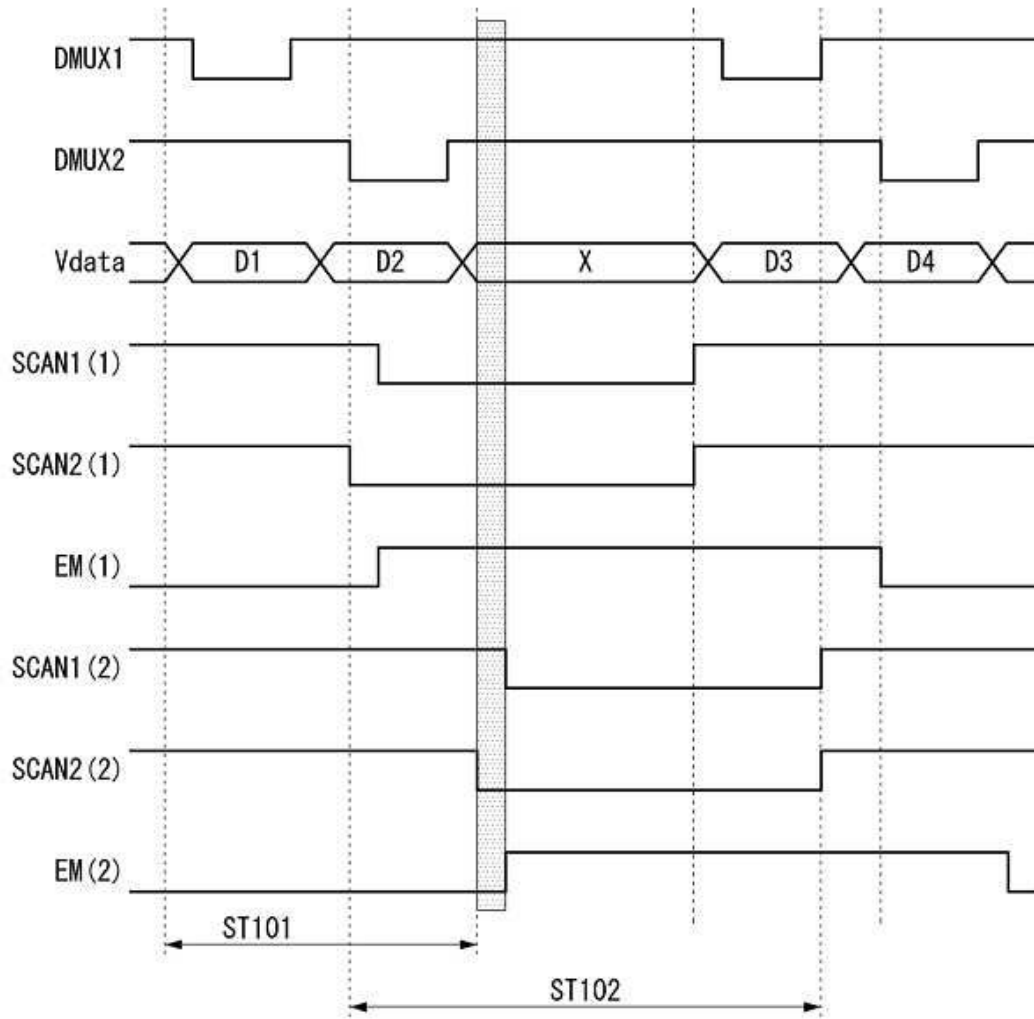
도면67



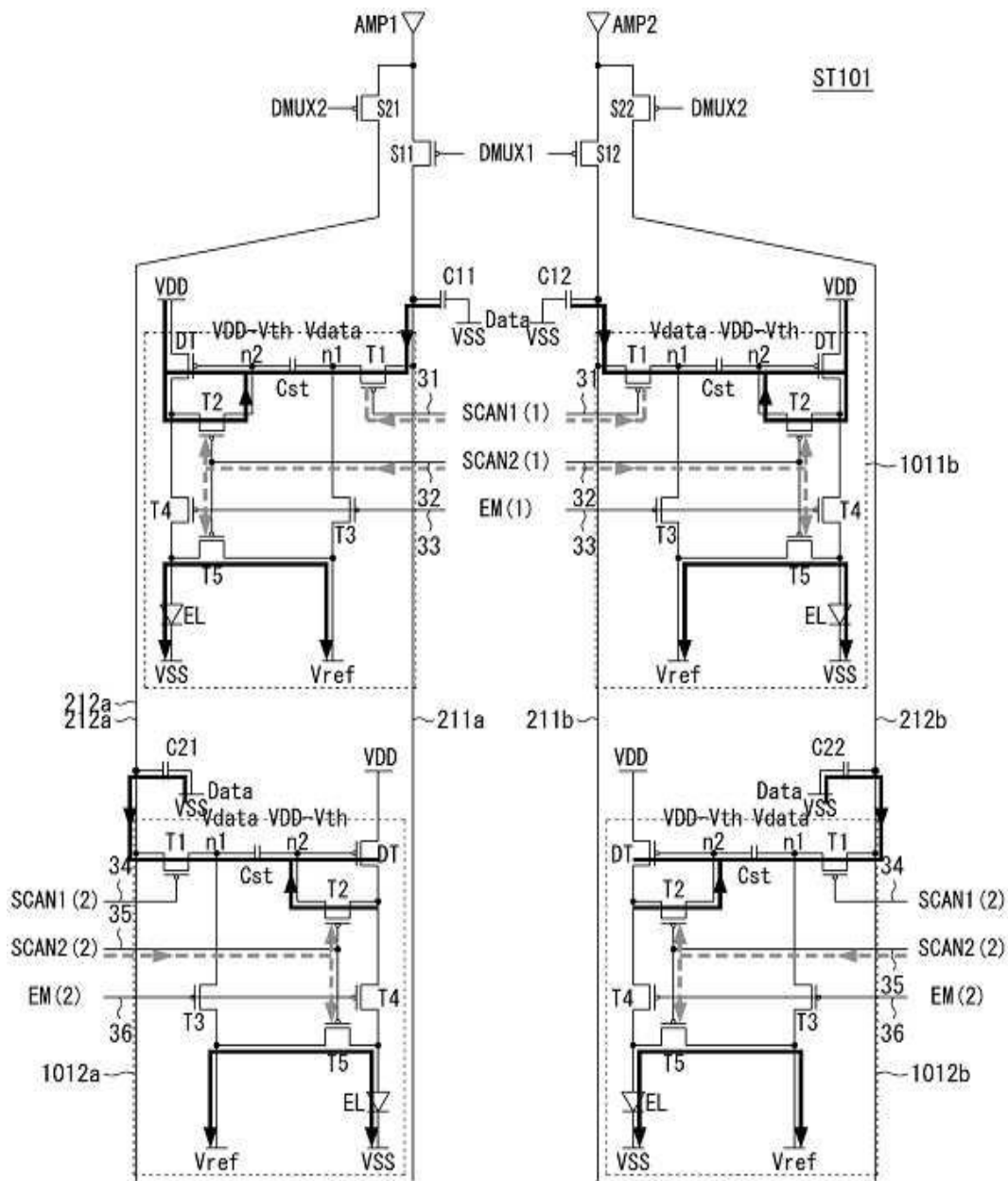
도면68



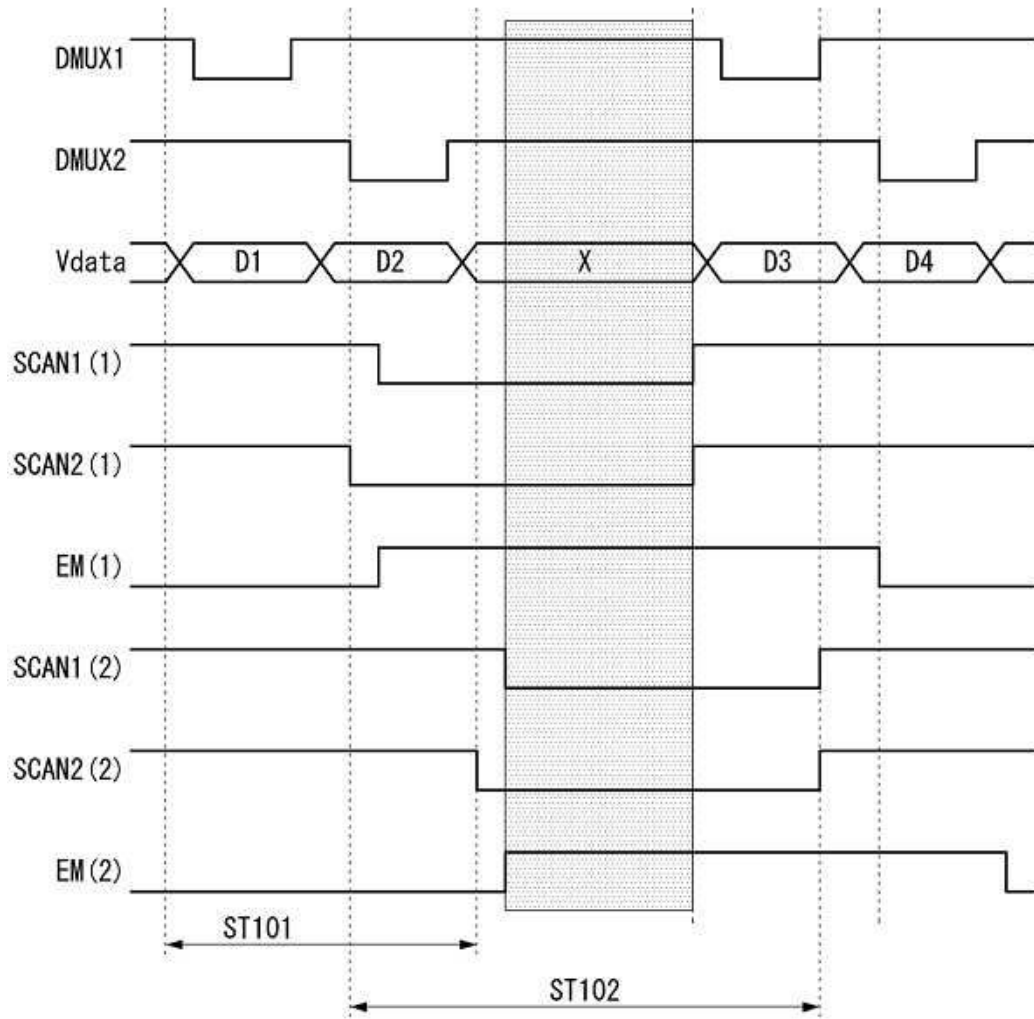
도면69



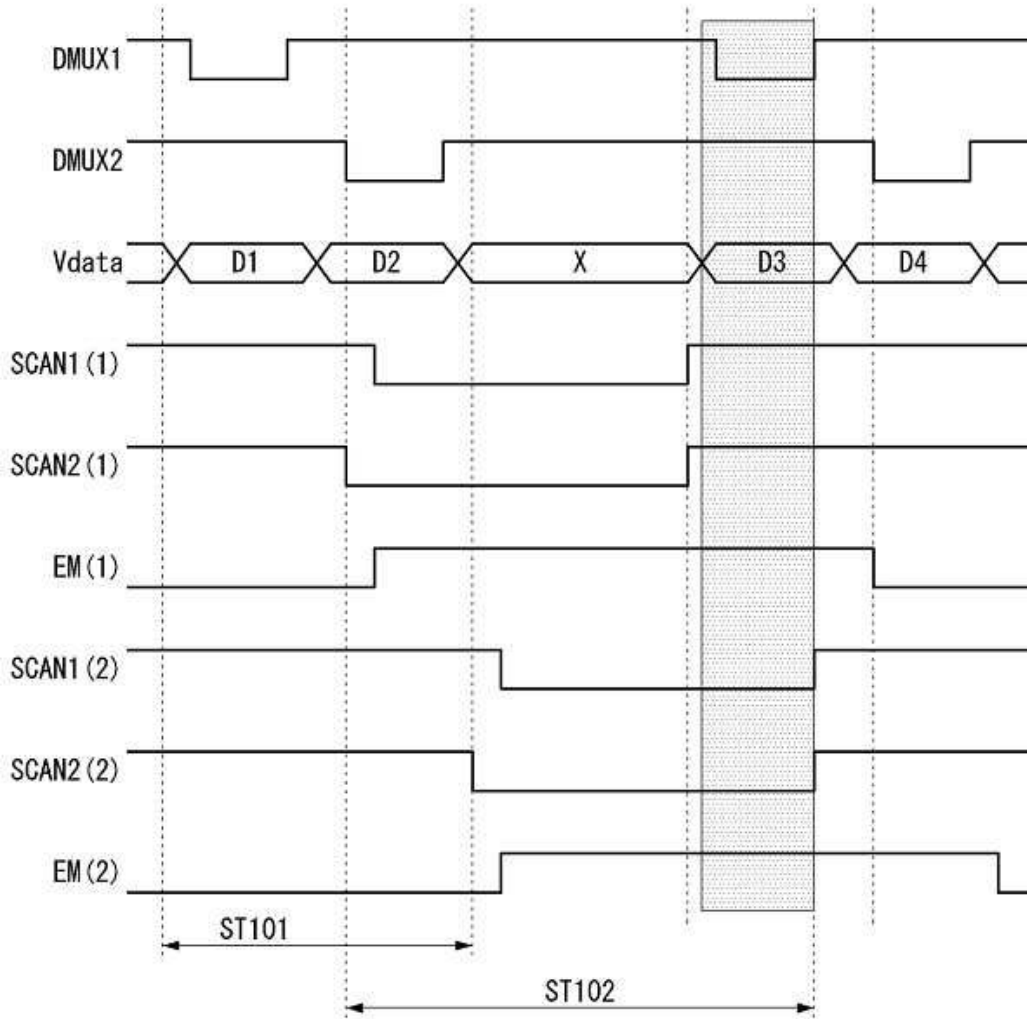
도면70



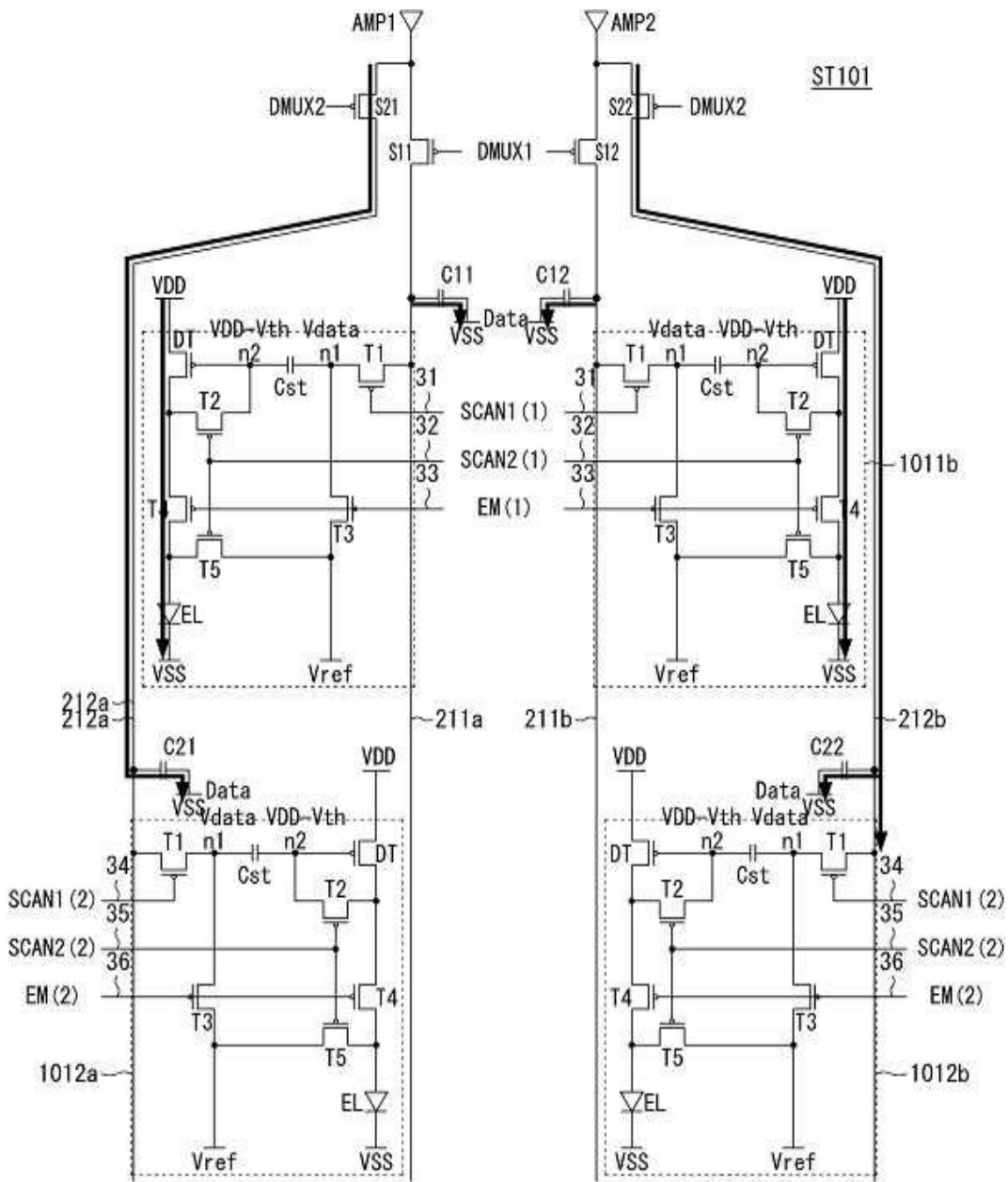
도면71



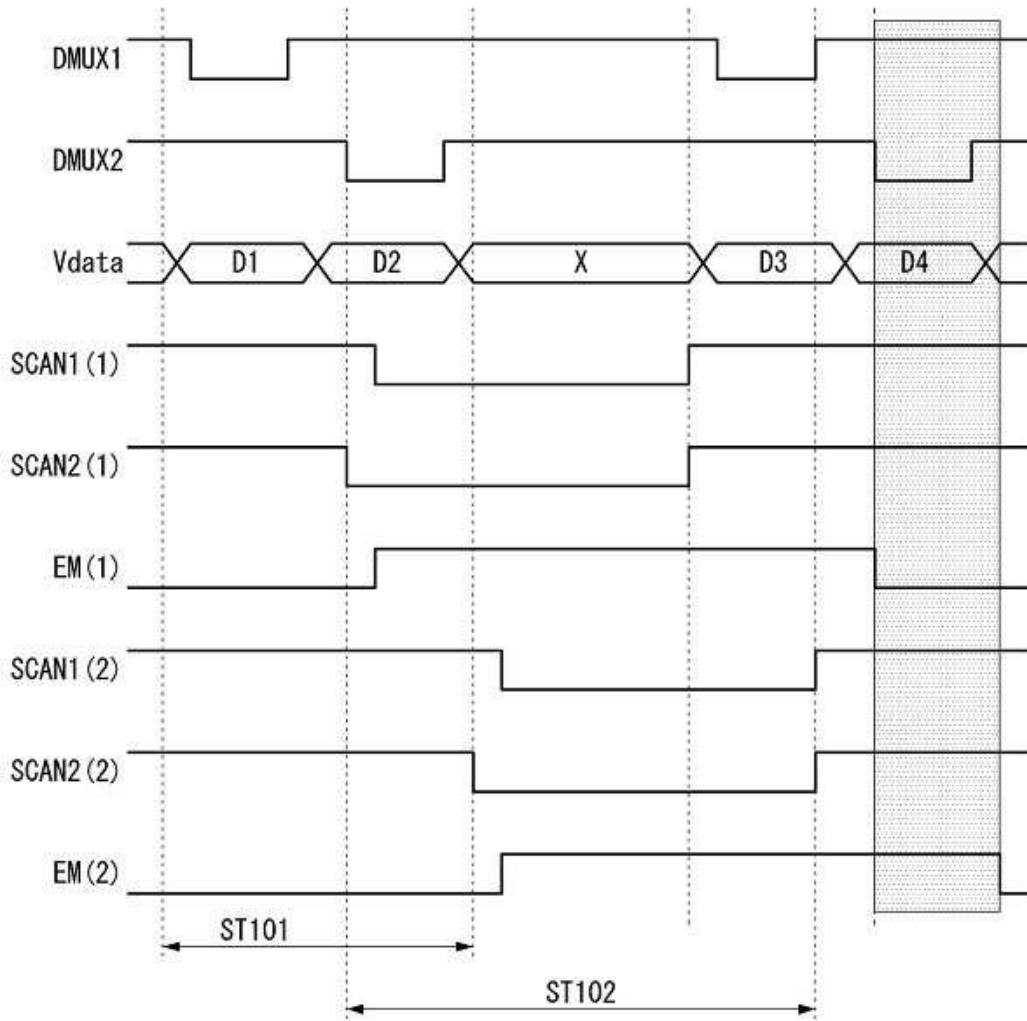
도면73



도면74



도면75



专利名称(译)	显示面板和电致发光显示器使用相同的显示器		
公开(公告)号	KR1020180115205A	公开(公告)日	2018-10-22
申请号	KR1020170134878	申请日	2017-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SANG WOO KYU 상우규 JO YONG WON 조용완 KIM DONG KYU 김동규		
发明人	상우규 조용완 김동규		
IPC分类号	G09G3/3233		
优先权	1020170047368 2017-04-12 KR		
外部链接	Espacenet		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域该显示面板包括第一数据线，第二数据线，连接到第一数据线的的第一子像素，连接到第二数据线的的第二子像素，以及将栅极信号提供给第一和第二子像素的栅极线。对于第一数据线，第一数据信号被充电。对于第二数据线，第二数据信号被充电。

