



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078813

(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 27/3248 (2013.01)

(21) 출원번호 10-2016-0183981

(22) 출원일자 2016년12월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박제훈

경기도 고양시 일산서구 주화로 7, 1604동 1001호
(주엽동, 강선마을16단지아파트)

유재성

서울특별시 송파구 올림픽로 99, 148동 403호(잠실동, 잠실엘스)

(74) 대리인

박영복

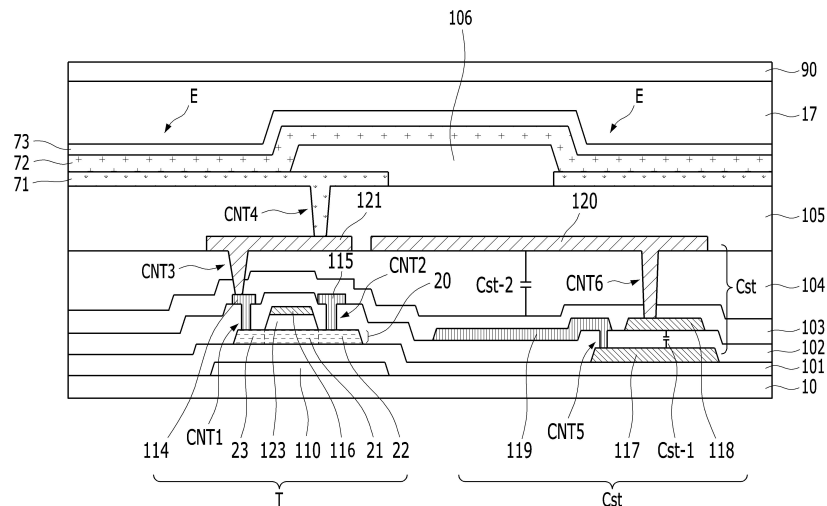
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 광전 효과로 인한 광 누설 전류가 발생하는 것을 방지함과 아울러 고해상도 화소에서의 스토리지 커패시터의 면적을 증가시킬 수 있는 유기 발광 표시 장치에 관한 것이며, 본 발명에 의한 유기 발광 표시 장치는 복수 개의 서브 화소들을 포함하는 제 1 기판과, 상기 서브 화소들에 구비되고, 소스/드레인 영역 및 채널 영역으로 이루어진 반도체층과 게이트 전극을 포함하는 복수 개의 박막 트랜지스터 및 스토리지 커패시터와, 상기 박막 트랜지스터 중 어느 하나와 콘택홀을 통해 접속된 제 1 전극과, 상기 제 1 전극 상에 위치하는 발광층과, 상기 발광층 상에 위치하는 제 2 전극 및 상기 서브 화소들 중 인접한 두 서브 화소의 제 1 전극 사이 영역의 하층에 대응되도록 구비되는 차광층을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

복수 개의 서브 화소들을 포함하는 제 1 기판,

상기 서브 화소들에 구비되고, 소스/드레인 영역 및 채널 영역으로 이루어진 반도체층과 게이트 전극을 포함하는 복수 개의 박막 트랜지스터 및 스토리지 커패시터,

상기 박막 트랜지스터 중 어느 하나와 콘택홀을 통해 접속된 제 1 전극,

상기 제 1 전극 상에 위치하는 발광층,

상기 발광층 상에 위치하는 제 2 전극 및

상기 서브 화소들 중 인접한 두 서브 화소의 제 1 전극 사이 영역의 하층에 대응되도록 구비되는 차광층을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 차광층은, 상기 박막 트랜지스터 중 적어도 일부와 중첩되는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 반도체층의 채널 영역으로부터 연장되며, 상기 반도체층과 동일한 물질이 도체화되어 이루어진 액티브 배선을 더 포함하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 차광층은, 상기 액티브 배선의 상부에 상기 액티브 배선과 중첩되도록 구비되는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 스토리지 커패시터는, 상기 게이트 전극과 동일한 층에 위치하는 제 1 스토리지 전극과, 상기 제 1 스토리지 전극의 상부에 제 1 층간 절연막을 사이에 두고 중첩되도록 위치하는 제 2 스토리지 전극을 포함하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 차광층과 상기 제 2 스토리지 전극 사이에 위치하고, 상기 차광층의 하부에 상기 차광층과 제 2 층간 절연막을 사이에 두고 중첩되도록 위치하는 제 3 스토리지 전극을 더 포함하는 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서,

상기 제 3 스토리지 전극은, 상기 제 1 스토리지 전극의 상층에 위치하며, 콘택홀을 통해 상기 제 1 스토리지 전극과 접속되는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 및 제 3 스토리지 전극은 상기 스토리지 커패시터의 하부 전극으로 구비되고,

상기 제 2 스토리지 전극 및 상기 차광층은 상기 스토리지 커패시터의 상부 전극으로 구비되는 유기 발광 표시 장치.

청구항 9

제 7 항에 있어서,

상기 각 서브 화소에 기준전압을 공급하는 기준전압 라인을 더 구비하고,

상기 차광층은, 상기 기준전압 라인으로부터 연장되어 구비되고,

상기 제 기준전압 라인은 상기 제 2 스토리지 전극과 전기적으로 접속된 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 각 서브 화소들에 제 1 스캔 신호를 공급하는 제 1 스캔 라인과 제 2 스캔 신호를 공급하는 제 2 스캔 라인과, 데이터 전압을 공급하는 데이터 라인과, 기준 전압을 공급하는 기준전압 라인과, 발광 제어 신호를 공급하는 발광 제어라인 및 구동 전류를 공급하는 구동전원 라인을 더 구비하고,

상기 복수의 박막 트랜지스터는,

제 1 스캔 라인으로부터의 제 1 스캔 신호에 응답하여 상기 데이터 전압을 상기 스토리지 커패시터에 충전하는 제 1 스위칭 트랜지스터와,

상기 스토리지 커패시터에 충전된 데이터 전압에 따라 상기 구동전원 라인으로부터 상기 제 1 전극으로 공급되는 전류량을 제어하는 구동 트랜지스터와,

상기 발광 제어 신호에 응답하여 상기 구동 트랜지스터를 통해 흐르는 전류를 상기 제 1 전극에 공급하는 제 2 스위칭 트랜지스터와,

상기 제 2 스캔 신호에 응답하여, 상기 스토리지 커패시터 및 상기 구동 트랜지스터의 게이트 전극이 접속된 노드를 상기 구동 트랜지스터의 드레인 전극과 서로 연결하는 제 3 스위칭 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서,

상기 차광층은, 상기 제 3 스위칭 트랜지스터를 형성하는 반도체층 상에 중첩되도록 위치하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 제 3 스위칭 트랜지스터는, 상기 제 3 스토리지 전극으로부터 연장되어 콘택홀을 통해 상기 제 3 스위칭 트랜지스터의 드레인 영역과 접속된 드레인 전극을 더 포함하는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 발광 제어신호에 응답하여, 상기 기준전압 라인과 상기 제 2 스토리지 전극을 전기적으로 연결하는 제 4 스위칭 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 14

제 13 항에 있어서,

상기 제 3 스토리지 전극과 동일층에 위치하며, 제 4 스위칭 트랜지스터의 소스 영역과 상기 제 2 스토리지 전극에 콘택홀을 통해 공통으로 접속된 연결 배선을 더 포함하는 유기 발광 표시 장치.

청구항 15

제 11 항에 있어서,

상기 소스 영역 및 드레인 영역과 동일층에 동일물질로 형성되고, 상기 제 3 스위칭 트랜지스터의 소스 영역으로부터 상기 구동 트랜지스터의 드레인 영역까지 연장된 액티브 배선을 더 포함하고, 상기 차광층은 상기 액티브 배선에 중첩되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 특히 외부광 유입에 의한 광 누설 전류를 억제함과 아울러 스토리지 커패시터의 용량을 증가시킬 수 있는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가벼우며, 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 발광 표시 장치 등이 각광받고 있다.

[0003] 유기 발광 표시 장치는 다수의 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 여기서, 각 화소는 발광 소자와, 그 발광 소자를 독립적으로 구동하는 다수의 트랜지스터 및 스토리지 커패시터 등을 포함하는 화소 구동 회로를 구비한다.

[0004] 유기 발광 표시 장치가 점차 고해상도화될 수록, 화소 구동 회로에 사용될 수 있는 면적은 점차 감소한다. 이같이 화소 구동 회로에 사용될 면적이 감소하는 경우에도 스토리지 커패시터의 면적은 화소 구동 회로를 구동하기 위한 전압을 저장하기 위한 일정 수준 이상의 면적이 확보되어야 하나, 화소 구동 회로의 면적이 감소할수록 상기 스토리지 커패시터의 면적을 확보하는 것이 어려워진다.

[0005] 또한, 유기 발광 표시 장치의 트랜지스터는 실리콘 또는 산화물 반도체를 포함하는 박막 트랜지스터 형태로 형성된다. 이같은 반도체 물질들은 광전 효과에 의해 외부광이 입사되면 빛을 흡수하여 전자를 방출하고, 이 때 방출된 전자로 인해 화소 구동 회로는 상기 광전 효과로 인한 광 누설 전류가 발생함으로써 오작동될 수 있다.

[0006] 이같은 문제를 방지하기 위해 박막 트랜지스터의 반도체층의 하부에는 광 차단층이 더 구비될 수 있다. 그러나, 이 경우에도 유기 발광 표시 장치의 상측으로부터 서브 화소들의 픽셀 전극 사이로 들어오는 빛을 차단하지 못하고, 이로 인해 화소 구동 회로가 오동작하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 광전 효과로 인한 광 누설 전류가 발생하는 것을 방지함과 아울러 고해상도 화소에서의 스토리지 커패시터의 면적을 증가시킬 수 있는 유기 발광 표시 장치를 제공하는 것을 해결하고자 하는 과제로 한다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위하여, 본 발명에 의한 유기 발광 표시 장치는 복수 개의 서브 화소들을 포함하는 제 1 기판과, 상기 서브 화소들에 구비되고, 소스/드레인 영역 및 채널 영역으로 이루어진 반도체층과 게이트 전극을 포함하는 복수 개의 박막 트랜지스터 및 스토리지 커패시터와, 상기 박막 트랜지스터 중 어느 하나와 콘택홀을 통해 접속된 제 1 전극과, 상기 제 1 전극 상에 위치하는 발광층과, 상기 발광층 상에 위치하는 제 2 전극 및 상기 서브 화소들 중 인접한 두 서브 화소의 제 1 전극 사이 영역의 하층에 대응되도록 구비되는 차광층을 포함한다.

[0009] 상기 차광층은 박막 트랜지스터 중 적어도 일부와 중첩된다. 본 발명에 의한 유기 발광 표시 장치는, 박막 트랜지스터의 반도체층의 채널 영역으로부터 연장되어 도체화된 액티브 배선을 더 포함할 수 있으며, 이 경우 차광층은 액티브 배선 상에 중첩되도록 구비될 수 있다.

발명의 효과

[0010] 본 발명에 의한 유기 발광 표시 장치는 차광층에 의해 제 1 전극 사이로 입사되는 외부광을 차단함과 아울러, 스토리지 커패시터의 면적을 크게 증가시킬 수 있으므로, 고해상도의 표시 장치를 구현하는 데 유리하다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 제 1 실시예에 의한 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 2는 본 발명의 제 2 실시예에 의한 유기 발광 표시 장치를 개략적으로 설명하기 위한 것이다.

도 3은 본 발명의 제 2 실시예에 의한 서브 화소(SP)의 회로 구조를 설명하기 위한 등가 회로도이다.

도 4는 도 3의 회로 구조를 갖는 유기 발광 표시 장치를 구동하기 위한 파형도이다.

도 5는 본 발명의 제 2 실시예에 의한 유기 발광 표시 장치의 서브 화소(SP)의 화소 구조를 설명하기 위한 정면도이다.

도 6은 구동 트랜지스터(DT), 스토리지 커패시터(Cst) 및 제 3 스위칭 트랜지스터(T3)의 연결 관계와, 차광층을 설명하기 위한 것으로, 도 3의 I-I' 부분을 설명하기 위한 단면도이다.

도 7은 스토리지 커패시터(Cst)의 제 1 및 제 2 스토리지부(Cst-1, Cst-2)의 특징 및 연결관계를 상세히 설명하기 위한 것으로, 도 3의 II-I' 부분의 단면도이다.

도 8은 도 5의 III-III' 부분의 단면도로서, 발광 소자(OLED)와의 접속 관계를 설명하기 위한 것이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 부품 명칭과 상이할 수 있다.

[0013] 위치 관계에 대한 설명일 경우, 예를 들어 '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명될 경우, '바로' 또는 '직접' 이 사용되지 않은 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0014] 비록 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위해서 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 발명의 기술적 사상 내에서 제 2 구성요소일 수도 있다.

[0015] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0016] 도 1은 본 발명의 제 1 실시예에 의한 유기 발광 표시 장치를 설명하기 위한 단면도이다.

[0017] 본 발명의 제 1 실시예에 의한 유기 발광 표시 장치는, 제 1 기판(10) 상에 구비된 박막 트랜지스터(T)와, 상기 박막 트랜지스터(T)와 전기적으로 연결된 연결 전극(121)과, 상기 연결 전극(121)에 전기적으로 연결된 제 1 전극(71)과, 유기 발광층(72)과, 제 2 전극(73)과, 스토리지 커패시터(Cst) 및 인접한 제 1 전극(71) 사이 영역의 하층에 대응되도록 구비된 차광층(120)을 포함한다.

[0018] 제 1 기판(10)은 대향되는 제 2 기판(90)과 접착층(17)을 통해 합착될 수 있으나, 이같은 제 2 기판(90)은 설계에 따라 생략될 수 있으며, 접착층(17) 대신 얇은 봉지 구성으로 충분한 봉지가 가능하다면 이로써 대체될 수 있다.

[0019] 본 발명의 제 1 실시예에 의한 유기 발광 표시 장치는 도 1을 참조하여 보다 상세히 설명한다.

- [0020] 제 1 기관(10)상에는 버퍼층(101)이 위치한다. 버퍼층(101)은 기관(10)을 통한 수분 또는 불순물의 침투를 방지하며, 기관(10) 상부를 평탄화하는 역할을 한다. 버퍼층(10)은 SiNx 또는 SiOx 등의 무기 절연 물질로 형성될 수 있다.
- [0021] 제 1 기관(10)상에는 박막 트랜지스터(T) 및 스토리지 커패시터(C)가 구비된다. 먼저 박막 트랜지스터(T)가 형성된 영역을 살펴보면, 버퍼층(101) 상에 반도체, 예를 들어 실리콘 또는 산화물 반도체 등으로 이루어진 반도체층(20)이 형성된다. 반도체층(112) 상에는 게이트 절연막(123)이 위치하고, 게이트 절연막(123) 상에는 게이트 전극(116)이 위치한다. 게이트 전극(116)은 게이트 절연막(123)을 사이에 두고 반도체층(20)의 채널 영역(21)과 중첩되도록 위치한다. 게이트 전극(116)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층 구조일 수 있다.
- [0022] 상기 박막 트랜지스터(T)가 위치한 영역의 하부에는 하부 차광층(110)이 위치할 수 있다. 하부 차광층(110)은 반도체층(20)으로 입사되는 빛을 차단하여 광전 효과에 의한 광 누설전류의 발생을 방지하는 역할을 한다. 또한 하부 차광층(110)은 박막 트랜지스터(T)와 각종 배선(미도시) 사이에 발생하는 기생 캐패시턴스를 감소시키는 역할을 수행할 수 있다. 하부 차광층(110)은 설계에 따라 생략될 수도 있다.
- [0023] 하부 차광층(110)은 은(Ag), 니켈(Ni), 금(Au), 백금(Pt), 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 네오디뮴(Nd) 등의 금속 중 단일 물질 또는 이들의 합금으로 형성될 수 있다.
- [0024] 게이트 전극(116) 상에는 층간 절연막(102)이 위치한다. 층간 절연막(102)은 제 1 기관(10)의 일면 전체에 위치한다. 층간 절연막(102)은 SiNx 또는 SiOx 등의 무기 절연 물질의 단일층 또는 복층 구조로 형성될 수 있다.
- [0025] 이 때 층간 절연막(102)에는, 반도체층(20)의 소스/드레인 영역(22, 23)을 노출하는 콘택홀(CNT1, CNT2)이 구비된다.
- [0026] 소스 전극(114) 및 드레인 전극(115)은 콘택홀(CNT1, CNT2)을 통해 소스 영역(23)과 접속된다.
- [0027] 박막 트랜지스터(T)가 N 형 트랜지스터인 경우에는 도 1에 도시된 것과 같이 소스/드레인 영역(22, 23)이 위치하나, P형 트랜지스터인 경우에는 소스 영역(23) 및 드레인 영역(22)은 도 1에 도시된 것과 반대로 형성될 수 있다. 제 1 실시예에서는 N형 트랜지스터를 예로 들어 설명한다.
- [0028] 소스 전극(114) 및 드레인 전극(115)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0029] 박막 트랜지스터(T) 상에는 제 1 평탄화층(104)이 위치한다. 제 1 평탄화층(104)은 박막 트랜지스터(T)를 구비함으로써 발생한 요철을 덮음으로써, 제 1 평탄화층(104)의 상부를 평탄하게 하는 역할을 한다. 제 1 평탄화층(104)은 박막 트랜지스터(T)의 소스 전극(114)을 노출하는 콘택홀(CNT3)을 구비한다.
- [0030] 제 1 평탄화층(104)은, 예를 들어 아크릴계 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamide resin), 폴리이미드계 수지(polyimide resin) 등으로 이루어질 수 있다.
- [0031] 제 1 평탄화층(104) 상에는 연결 전극(121)이 형성된다. 연결 전극(121)에 사용될 수 있는 물질은, 예를 들어 은(Ag), 티타늄(Ti), 알루미늄(Al), 몰리브덴(Mo), 또는 은(Ag)과 마그네슘(Mg)의 합금 등과 같은 물질 중 적어도 어느 하나일 수 있다.
- [0032] 연결 전극(121) 상에는 제 2 평탄화층(105)이 구비된다. 제 2 평탄화층(105)은 제 1 평탄화층(104)과 동일한 물질로 형성될 수 있다. 제 2 평탄화층(105)은 상기 연결 전극(121) 등으로 인해 발생한 요철을 덮어 그 상부를 평탄하게 하는 역할을 한다. 제 2 평탄화층(105)은 연결 전극(121)을 노출하는 콘택홀(CNT4)을 구비한다.
- [0033] 제 2 평탄화층(105) 상에는 제 1 전극(71)이 형성된다. 제 1 전극(71)은 제 1 기관(10)상의 발광 영역(E)에 구비되며, 연결 전극(121)과 콘택홀(CNT4)을 통해 접속됨으로써, 연결 전극(121)을 통해 박막 트랜지스터(T)와 전기적으로 연결된다.
- [0034] 제 1 전극(71)은 박막 트랜지스터(T)의 타입에 따라 애노드 전극 또는 캐소드 전극의 역할을 한다. 이 때 제 1 전극(71)은 일함수 값이 비교적 큰 투명 도전성 물질, 예를 들어 ITO, IZO, ZnO, IGZO 등으로 이루어진다. 또한 제 1 전극(71)은 상부 발광(Top Emission)을 위해 반사율이 우수한 금속물질, 예를 들어 알루미늄(Al), 은(Ag),

APC(Ag/Pb/Cu) 등을 포함하도록 구성될 수 있다.

- [0035] 뱅크 절연막(106)은 제 1 전극(71) 일부를 덮도록 형성되며, 발광 영역(E)을 정의한다. 뱅크 절연막(106)은 아크릴계 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamide resin), 폴리아미드계 수지(polyimide resin) 등으로 이루어질 수 있다.
- [0036] 유기 발광층(72)은 제 1 전극(71) 상에 구비된다. 이 때 유기 발광층(72)은 정공 주입층(HIL)/정공 수송층(HTL)/발광층(EML)/전자 수송층(ETL)/전자 주입층 (EIL)의 구조를 갖도록 구비될 수 있다. 그에 더하여, 유기 발광층(72)에는 발광층의 발광 효율 및 수명 등을 향상시키기 위한 적어도 하나의 기능층, 예를 들어 전하를 생성하는 전하생성층, 추가적인 전자 수송층 및 정공 수송층 등이 더 포함될 수 있다.
- [0037] 유기 발광층(72)은 마스크 저감 등을 위해 뱅크 절연막(106) 상부를 덮도록 연장되어 형성될 수 있다. 이 때 유기 발광층(72)의 발광층은 제 1 전극(71) 상에만 구비되고 다른 영역에는 형성되지 않을 수도 있다.
- [0038] 제 2 전극(73)은 유기 발광층(72) 및 뱅크(106)의 상부를 덮도록 구비된다. 제 1 전극(71)이 애노드 전극의 역할을 하는 경우, 제 2 전극(73)은 캐소드 전극의 역할을 한다. 제 2 전극(73)에 사용될 수 있는 물질은, 예를 들어 은(Ag), 티타늄(Ti), 알루미늄(Al), 몰리브덴(Mo), 또는 은(Ag)과 마그네슘(Mg)의 합금 등과 같은 물질 중 적어도 어느 하나일 수 있다. 또한, 제 2 전극(73)에는 ITO, IZO, IGZO, ZnO 등과 같은 투명 도전성 물질이 사용됨으로써 유기 발광층(72)으로부터의 빛이 제 2 전극(73)을 투과하여 상부 발광할 수 있다.
- [0039] 인접하는 두 개의 제 1 전극(71) 사이의 영역의 하층에 대응되는 영역에는 차광층(120)이 더 구비된다. 차광층(120)은 인접하는 두 개의 제 1 전극(71) 사이로 입사하는 빛을 차광하여 반도체층(20)에 광이 입사됨으로써 광전 효과에 의한 광 누설 전류가 발생하는 것을 방지하는 역할을 한다.
- [0040] 차광층(120)은 연결 전극(121)과 동일한 층에 형성되며, 연결 전극(121)과 동일한 물질로 형성될 수 있다.
- [0041] 그리고, 차광층(120)은 스토리지 커패시터(Cst)의 전극으로 이용될 수 있다. 차광층(120)이 스토리지 커패시터(Cst)의 전극으로 이용되는 특징은 스토리지 커패시터(Cst)를 상세히 설명하며 함께 서술한다.
- [0042] 스토리지 커패시터(Cst)는 제 1 스토리지부(Cst-1)와 제 2 스토리지부(Cst-2)를 포함한다. 제 1 스토리지부(Cst-1)와 제 2 스토리지부(Cst-2)는 전기적으로 연결되어 전기적으로는 하나의 스토리지 커패시터(Cst)의 역할을 함으로써 스토리지 커패시터(Cst)의 전체 면적을 증가시킬 수 있다.
- [0043] 제 1 스토리지부(Cst1)는 제 1 스토리지 전극(117)과 제 2 스토리지 전극(118) 사이에 층간 절연막(102)이 위치함으로써 형성된다. 그리고, 제 2 스토리지부(Cst-2)는 제 3 스토리지 전극(119)과 차광층(120) 사이에 제 1 평탄화층(104)이 구비됨으로써 형성된다.
- [0044] 먼저, 제 1 스토리지 전극(117)은 버퍼층(101)상에 구비되며, 게이트 전극(116)과 동일한 물질로 동시에 형성된다. 그리고, 제 1 스토리지 전극(117) 상에는 층간 절연막(102)이 구비된다. 층간 절연막(102)은 제 1 스토리지 전극(117)의 일측 가장자리를 노출하는 콘택홀(CNT5)을 구비한다.
- [0045] 층간 절연막(102) 상에는 제 1 스토리지 전극(117)에 중첩되도록 제 2 스토리지 전극(118)이 구비된다. 제 2 스토리지 전극(118)은 박막 트랜지스터(T)의 소스/드레인 전극(114, 115)과 동일한 층에 위치하며, 상기 소스/드레인 전극(114, 115)과 동일한 물질로 동시에 형성될 수 있다.
- [0046] 상기 제 2 스토리지 전극(118)은 제 1 스토리지 전극(117)과 중첩되도록 위치함으로써, 제 1 스토리지부(Cst)를 형성함은 전술한 바와 같다.
- [0047] 상기 제 2 스토리지 전극과 이격되도록 층간 절연막(102) 상에는 제 3 스토리지 전극(119)이 구비된다. 제 3 스토리지 전극(119)은 콘택홀(CNT)을 통해 제 1 스토리지 전극(117)과 전기적으로 접속된다. 그에 따라 제 1 스토리지 전극(117)과 제 3 스토리지 전극(119)은 등전위를 형성한다.
- [0048] 제 3 스토리지 전극(119)은 제 2 스토리지 전극(118)과 마찬가지로, 박막 트랜지스터(T)의 소스/드레인 전극(114, 115)과 동일한 층에 위치하며, 상기 소스/드레인 전극(114, 115)과 동일한 물질로 동시에 형성될 수 있다.
- [0049] 제 3 스토리지 전극(119)은 차광층(120)과 제 1 평탄화층(104)을 사이에 두고 중첩된다. 제 1 평탄화층(104)은 제 2 스토리지 전극(118)의 일부를 노출하는 콘택홀(CNT6)을 구비하며, 차광층(120)은 상기 콘택홀(CNT6)을 통해 제 2 스토리지 전극(118)과 전기적으로 접속됨으로써, 제 2 스토리지 전극(118)과 차광층(120)은 등전위를

형성할 수 있다.

- [0050] 결국, 본 발명에 의한 유기 발광 표시 장치의 스토리지 커패시터(Cst)는, 제 1 스토리지 전극(117)과 제 2 스토리지 전극(118) 사이에 층간 절연막(102)이 개재됨으로써 형성되는 제 1 스토리지부(Cst-1)와, 제 3 스토리지 전극(119) 및 차광층(120) 사이에 제 1 평탄화층(105)이 개재됨으로써 형성되는 제 2 스토리지부(Cst-2)를 포함하도록 형성된다. 이 때 제 1 스토리지 전극(117)과 제 3 스토리지 전극(119)은 서로 연결되어 스토리지 커패시터의 하나의 하부 전극과 같은 기능을 하고, 제 2 스토리지 전극(118)과 차광층(120)은 서로 연결되어 스토리지 커패시터의 하나의 상부 전극과 같은 기능을 한다.
- [0051] 그에 따라 본 발명에 의한 유기 발광 표시 장치는 차광층(120)에 의해 제 1 전극(71) 사이로 입사되는 외부광을 차단함과 아울러, 스토리지 커패시터의 면적을 크게 증가시킬 수 있으므로, 고해상도의 표시 장치를 구현하는데 유리하다.
- [0052] 한편, 차광층(120)은 도 1에 도시되지 않은 박막 트랜지스터, 예를 들어 스위칭 트랜지스터 등의 상층에 중첩되도록 위치하여 박막 트랜지스터를 외부 광으로부터 차광할 수 있다. 또한 상기 반도체층(20)을 도체화하여 배선으로 사용하는 액티브 배선을 형성하는 경우, 차광층(120)은 상기 액티브 배선 상에 중첩되도록 위치함으로써, 상기 액티브 배선을 차광할 수도 있다. 이같은 특징은 이후 설명할 제 2 실시예를 통해 상세히 나타내도록 한다.
- [0053] 도 2는 본 발명의 제 2 실시예에 의한 유기 발광 표시 장치를 개략적으로 설명하기 위한 것이다.
- [0054] 본 발명에 의한 유기 발광 표시 장치는, 표시 패널(2)과, 게이트 구동부(3)와, 데이터 구동부(4)와, 발광 제어부(5) 및 타이밍 콘트롤러(6)를 포함한다.
- [0055] 표시 패널(2)에는 복수 개의 제 1 스캔 라인(SL1)과, 제 2 스캔 라인(SL2) 및 발광 제어라인(EML)이 배열된다. 그리고, 이들과 교차하도록 복수 개의 데이터 라인(DL)들이 배열된다. 상기 제 1, 2 스캔 라인(SL1, SL2), 발광 제어라인(EML)과 데이터 라인(DL)들이 서로 교차하여 형성되는 영역에는 서브 화소(SP)가 매트릭스 형태로 구비된다. 각 서브 화소(SP)는 발광 소자 및 화소 구동 회로를 구비한다.
- [0056] 표시 패널(2)에는 상기 데이터 라인(DL)과 평행하도록 기준전압 라인(Ref) 및 구동전원 라인(PL)이 더 구비될 수 있다.
- [0057] 화소 구동 회로는, 상기 제 1, 2 스캔 라인(SL1, SL2)과, 발광 제어라인(EML)과, 데이터 라인(DL)과, 기준전압 라인(Ref) 및 구동전원 라인(PL)과 접속되어 발광 소자를 구동하기 위한 각종 구동 신호를 공급받는다.
- [0058] 게이트 구동부(3)는 제 1 스캔 라인(SL1)을 통해 각 화소 구동 회로에 제 1 스캔 신호(SC1)를 공급하며, 제 2 스캔 라인(SL2)을 통해 각 화소 구동 회로에 제 2 스캔 신호(SC2)를 공급한다.
- [0059] 발광 제어부(5)는 발광 제어라인(EML)을 통해 각 화소 구동 회로에 발광 제어신호(EM)를 공급한다.
- [0060] 데이터 구동부(4)는 데이터 라인(DL)을 통해 각 화소 구동 회로에 데이터 전압(Vdata)을 공급한다. 그리고, 데이터 구동부(4)는 기준전압 라인(Ref)을 통해 기준 전압(Vref)을 각 화소 구동 회로에 공급하며, 구동전원 라인(PL)을 통해 구동전원(VDD)을 각 화소 구동 회로에 공급한다.
- [0061] 타이밍 제어부(6)는 외부로부터 입력되는 영상 데이터의 타이밍을 정렬하여 데이터 구동부(4)로 출력하고, 게이트 구동부(3), 데이터 구동부(4) 및 발광 제어부(5)를 제어하기 위한 게이트 제어 신호(GCS) 및 데이터 제어 신호(DCS)를 생성하여 출력한다. 게이트 구동부(3) 및 상기 데이터 구동부(4)는 타이밍 제어부(6)의 제어에 의해 전술한 각종 구동 신호들을 표시 타이밍에 맞게 출력한다.
- [0062] 도 3은 본 발명의 제 2 실시예에 의한 서브 화소(SP)의 회로 구조를 설명하기 위한 등가 회로도이다. 본 명세서는 도 3에 도시된 6T1C의 화소 구동 회로를 예시로 설명하나, 본 발명은 도 3에 도시된 화소 구동 회로에만 한정되지는 않으며, 3T1C, 5T1C 및 6T1C 등 다양한 화소 구동 회로가 모두 적용될 수 있음에 유의한다.
- [0063] 도 3의 서브 화소(SP)는 구동 전류에 의해 영상을 표시하는 발광 소자(OLED)와, 발광 소자(OLED)와 전기적으로 연결되어 전원 라인(PL)으로부터 공급되는 구동 전류(VDD)를 공급하는 구동 트랜지스터(DT)와, 스토리지 커패시터(Cst)와, 제 1 내지 제 5 스위칭 트랜지스터(T1~T5)를 포함한다. 여기서 발광 소자(OLED)는 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광층으로 이루어져 있다.
- [0064] 도 3의 서브 화소(SP)는 도 4의 파형도에 도시된 것과 같이 초기화 기간(t1), 샘플링 기간(t2), 홀딩 기간(t3) 및 발광 기간(t4)으로 나뉘어 구동한다.

- [0065] 초기화 기간(t_1) 동안에는 제 1 스캔 신호(SC1)가 게이트 오프 전압으로 출력되고, 제 2 스캔 신호(SC2) 및 발광 제어 신호(EM)가 게이트 온 전압(VGL)으로 출력된다.
- [0066] 샘플링 기간(t_2) 동안에는 제 1, 2 스캔 신호(SC1, SC2)가 게이트 온 전압(VGL)으로 출력되고 발광 제어 신호(EM)가 게이트 오프 전압 레벨로 출력된다.
- [0067] 홀딩 기간(t_3) 동안에는 제 1, 2 스캔 신호(SC1, SC2) 및 발광 제어 신호(EM)가 모두 게이트 오프 전압(VGH)으로 출력된다.
- [0068] 발광 기간(t_4) 동안에는 제 1, 2 스캔 신호(SC1, SC2)가 모두 게이트 오프 전압(VGH)으로 출력되고, 발광 제어 신호(EM)가 게이트 온 전압(VGL)으로 출력된다.
- [0069] 제 1 스위칭 트랜지스터(T1)는 제 1 스캔 신호(SC1)에 따라 턴-온 또는 턴-오프되며, 턴-온시 데이터 전압(Vdata)을 제 1 노드(N1)에 공급한다. 제 1 노드(N1)는 제 1 스위칭 트랜지스터(T1)와, 제 4 스위칭 트랜지스터(T4)의 출력단이 공통으로 접속되는 노드이다. 제 1 스위칭 트랜지스터(T2)는 샘플링 기간(t_2)에 턴-온되어 데이터 라인(DL)과 제 1 노드(N1) 사이에 전류 패스를 형성한다.
- [0070] 제 4 스위칭 트랜지스터(T4)는 발광 제어 신호(EM)에 따라 턴-온 또는 턴-오프되며, 턴-온시 기준전압 라인(Ref)으로부터 공급되는 기준 전압(Vref)을 제 1 노드(N)에 공급한다. 제 4 스위칭 트랜지스터(T4)는 초기화 기간(t_1) 및 발광 기간(t_4) 동안 턴-온되어 기준 전압(Vref)을 제 1 노드(N1)에 공급한다.
- [0071] 제 3 스위칭 트랜지스터(T3)는 제 2 스캔 신호(SC2)에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 2 노드(N2)와 구동 트랜지스터(DT)의 드레인을 서로 연결한다. 제 2 노드(N2)는 구동 트랜지스터(DT)의 게이트 전극과 접속된 노드이다. 제 3 스위칭 트랜지스터(T3)는 초기화 기간(t_1)에 턴-온되어 제 2 노드(N2)를 초기화하고, 샘플링 기간(t_2)에 턴-온되어 제 2 노드(N2)와 구동 트랜지스터(DT)의 드레인 사이에 전류 패스를 형성한다. 여기서 제 3 스위칭 트랜지스터(T3)는 고온 누설 전류를 억제하기 위해 듀얼 게이트(Dual gate) 구조를 가질 수 있으나, 이에 한정되지는 않는다.
- [0072] 제 2 스위칭 트랜지스터(T2)는 발광 제어 신호(EM)에 따라 턴-온 또는 턴-오프되며, 턴-온시 구동 트랜지스터(DT)의 드레인과 제 3 노드(N3)를 서로 연결한다. 여기서 제 3 노드(N3)는 발광 소자(OLED)의 애노드 전극과 접속된 노드이다. 그리고, 제 2 스위칭 트랜지스터(T2)는 제 4 노드(N4)를 통해 구동 트랜지스터(N3)의 드레인과 서로 연결되어 있다. 2 스위칭 트랜지스터(T2)는 초기화 기간(t_1) 및 발광 기간(t_4)에 턴-온되어 구동 트랜지스터(DT)의 드레인과 제3 노드(N3) 사이에 전류 패스를 형성한다.
- [0073] 제 5 스위칭 트랜지스터(T5)는 제 2 스캔 신호(SC2)에 따라 턴-온 또는 턴-오프되며, 턴-온시 기준전압 라인(Ref)으로부터의 기준 전압(Vref)을 제 3 노드(N3)에 공급한다. 제 5 스위칭 트랜지스터(T5)는 초기화 기간 및 샘플링 기간($t_1 \sim t_2$)에 턴-온되어 기준 전압(Vref)을 제 3 노드(N3)에 공급한다.
- [0074] 구동 트랜지스터(DT)는 소스에 구동 전원(VDD)이 공급되며, 제 2 노드(N2)의 전압 레벨에 따라 발광 소자(OLED)로 공급되는 전류량을 제어함으로써, 발광 소자(OLED)의 발광량을 조절한다.
- [0075] 스토리지 커패시터는 제 1 노드(N1)와 제 2 노드(N2) 사이에 연결된다.
- [0076] 발광 소자(OLED)는 제 3 노드(N3)에 접속된 애노드 전극과, 저전위 전압원(VSS)에 접속되어 저전위 전압(VSS)을 공급하는 캐소드 전극과, 애노드 전극 및 캐소드 전극 사이에 형성된 유기 발광층을 포함한다.
- [0077] 도 3의 화소 회로와 도 4의 과형도를 참조하여 본 발명에 의한 유기 발광 표시 장치의 구동방법을 간략히 설명한다.
- [0078] 초기화 기간(t_1)동안, 제 1 스캔 신호(SC1)는 게이트 오프 전압 레벨(VGH)을 유지하고, 제 2 스캔 신호(SC2)는 게이트 온 전압 레벨(VGL)을 가지게 되며, 발광 제어신호(EM)는 게이트 온 전압 레벨(VGL)을 유지한다.
- [0079] 그러면, 발광 제어 신호(EM)에 의해 제 2 및 제 4 스위칭 트랜지스터(T2, T4)가 턴-온되고, 제 2 스캔 신호(SC2)에 의해 제 3 및 제 5 스위칭 트랜지스터(T3, T5)가 턴-온된다.
- [0080] 그러면, 제 4 스위칭 트랜지스터(T4)를 통해 기준 전압(Vref)이 제 1 노드(N1)로 공급되어 제 1 노드(N1)가 초기화되고, 제 5 스위칭 트랜지스터(T5)를 통해 기준 전압(Vref)이 제 3 노드(N3)로 공급되어 제 3 노드(N3)가 기준 전압(Vref)으로 초기화된다. 그리고, 턴-온된 제 2 스위칭 트랜지스터(T2)를 통해 제 4 노드(N4)에도 기준 전압(Vref)이 공급되어 제 4 노드(N4) 또한 기준 전압(Vref)으로 초기화된다. 또한, 턴-온된 제 3 스위칭 트랜

지스터(T3)에 의해 제 2 노드(N2)에도 기준 전압(Vref)이 공급되어 제 2 노드(N2) 또한 기준 전압(Vref)으로 초기화된다.

- [0081] 샘플링 기간(t_2)동안, 제 1 및 제 2 스캔 신호(SC1, SC2)는 게이트 온 전압 레벨(VGL)을 가지며, 발광 제어신호(EM)는 게이트 오프 전압 레벨(VGH)을 유지한다. 그러면, 제 1, 3, 5 스위칭 트랜지스터(T1, T3, T5)는 제 2 스캔 신호에 응답하여 턴-온되며, 제 2, 4 스위칭 트랜지스터(T2, T4)는 게이트 오프 전압 레벨(VGH)의 발광 제어신호(EM)에 응답하여 턴-오프 상태를 유지한다.
- [0082] 그러면, 제 1 스위칭 트랜지스터(T1)를 통해 데이터 전압(Vdata)이 제 1 노드(N1)로 공급된다. 그리고 구동 트랜지스터(DT)는 턴-온된 제 3 스위칭 트랜지스터(T3)에 의해 다이오드 구조로 액티브된다. 이같은 구동 트랜지스터(DT)는 구동전압(VDD)과 구동 트랜지스터(DT)의 문턱 전압(V_{th})의 차전압($VDD - V_{th}$)을 샘플링하여 제 2 노드(N2)로 공급한다.
- [0083] 홀딩 기간(t_3)동안 제 1 스캔 신호(SC1)는 게이트 오프 전압 레벨(VGH)로 변화되며, 제 2 스캔 신호(SC2)는 게이트 온 전압 레벨(VGL)을 유지한다. 그리고, 발광 제어신호(EM)는 게이트 오프 전압 레벨(VGH)을 유지한다.
- [0084] 그러면, 제 1 스위칭 트랜지스터(T1)는 턴-오프되고, 제 3, 5 스위칭 트랜지스터(T3, T5)는 턴-온 상태를 유지하며, 제 2, 4 스위칭 트랜지스터(T2, T4)는 턴-오프 상태를 유지한다.
- [0085] 홀딩 기간(t_3)은 게이트 온 전압 레벨(VGL)의 제 1 및 제 2 스캔 신호(SC1, SC2)가 공급되는 샘플링 기간(t_3)과, 게이트 온 전압 레벨(VGL)의 발광 제어신호(EM)이 공급되는 발광 기간(t_4)이 소정의 시간차를 가짐으로써, 샘플링 기간(t_3)과 발광 기간(t_4)이 겹치지 않도록 하는 기간이다.
- [0086] 발광 기간(t_4)동안 제 1 및 제 2 스캔 신호(SC1, SC3)는 게이트 오프 전압 레벨(VGH)을 유지하고, 발광 제어신호(EM)는 게이트 온 전압 레벨로 변화된다.
- [0087] 그러면, 제 2 스위칭 트랜지스터(T2) 및 제 4 스위칭 트랜지스터(T4)가 턴-온된다. 그러면, 제 4 스위칭 트랜지스터(T4)를 통해 기준 전압(Vref)이 제 1 노드(N1)에 인가되고, 제 1 노드(N1)의 전위 변화분($Vref - Vdata$)은 제 2 노드(N2)에 반영된다. 따라서, 발광 기간(t_4)동안 구동 트랜지스터(DT)의 게이트-소스 간 전압(V_{gs})은 $Vdata - Vref + V_{th}$ 로 프로그래밍되어 발광 소자(OLED)는 상기 구동 트랜지스터(DT)의 게이트-소스 간 전압(V_{gs})에 의한 전류에 의해 발광한다.
- [0088] 표시 장치에 있어서, 각각의 스위칭 트랜지스터(T1~T5) 및 구동 트랜지스터(DT)는 박막 트랜지스터로 형성된다. 상기 각 박막 트랜지스터 상에는 차광층(724)이 구비될 수 있다. 차광층(724)은 박막 트랜지스터의 상측에서 박막 트랜지스터 방향으로 입사하는 빛을 차단하여 박막 트랜지스터의 반도체층에서 광전 효과가 일어나는 것을 방지할 수 있다.
- [0089] 도 3에서는 제 3 스위칭 트랜지스터(T3)상에 차광층(724)이 구비되는 것으로 도시되었으며, 이하 설명에서도 상기 제 3 스위칭 트랜지스터(T4) 상에 차광층(724)이 구비된 예를 이용하여 상기 차광층(724)을 설명한다. 그러나, 유기 발광 표시 장치의 화소 구조는 다양하게 형성될 수 있으며, 차광층(724)의 위치는 위의 예에 한정되지 않고 스위칭 트랜지스터 및 구동 트랜지스터 중 적어도 하나인 어느 곳이라도 구비될 수 있음에 유의한다. 또한, 도 3에서는 스위칭 트랜지스터(T3) 상에만 차광층(724)이 구비하는 것으로 예시하였으나 이에 한정되지는 않는다. 특히, 상기 스위칭 트랜지스터(T1~T5) 및 구동 트랜지스터(DT)의 반도체층과 동일한 반도체 물질을 이용하여 배선을 형성하는 경우(이하, '액티브 배선'이라 함), 이같은 액티브 배선 상에도 차광층(724)이 구비될 수 있다. 이에 관해서는 후술한다.
- [0090] 도 5는 본 발명의 제 2 실시예에 의한 유기 발광 표시 장치의 서브 화소(SP)의 화소 구조를 설명하기 위한 정면 도이다.
- [0091] 전술한 것과 같이, 제 1 스캔 라인(SC)과, 제 2 스캔 라인(SC2)과, 발광 제어 라인(EML)은 서로 평행하게 수평 방향으로 위치한 서브 화소(SP)를 지나도록 배치된다.
- [0092] 그리고, 데이터 라인(DL), 전원 라인(PL) 및 기준전압 라인(Ref)은 제 1 스캔 라인(SC1)과 교차하는 방향, 즉 수직 방향으로 위치하는 서브 화소(SP)를 지나도록 서로 평행하게 배치된다. 도 3에서는 상세히 나타나 있지 않지만, 상기 제 1 스캔 라인(SC) 및 제 2 스캔 라인(SC) 및 발광 제어 라인(EML)은 동일한 층에 동일한 물질로 형성된다.
- [0093] 그리고, 데이터 라인(DL)과 전원 라인(PL)등의 각종 배선들은 서로 동일한 층에 동일한 금속 물질로 형성된다.

본 명세서에서는 상기 데이터 라인(DL)과 동일한 층에 있는 배선 등의 구성요소들을 통칭하여 배선층(30)이라 정의한다.

- [0094] 상기 제 1, 2 스캔 라인(SC1, SC2) 및 발광 제어 라인(EML)들이 위치한 층 상에는 적어도 하나의 층간 절연막이 위치하고, 층간 절연막 상에 상기 데이터 라인(DL), 전원 라인(PL)등을 포함하는 배선층(30)이 위치한다. 여기서, 서로 교차하는 라인들은 전기적으로 절연되어 있음에 유의한다. 그리고 기준전압 라인(Ref)은 다른 층간 절연막을 사이에 두고 상기 배선층(30)보다 상층에 위치한다.
- [0095] 배선층(30) 및 기준전압 라인(Ref)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0096] 상기 서브 화소(SP)의 화소 구조는 도 5 및 도 6 내지 도 8의 단면도를 참조하여 상세하게 설명한다.
- [0097] 도 6은 구동 트랜지스터(DT), 스토리지 커패시터(Cst) 및 제 3 스위칭 트랜지스터(T3)의 연결 관계와, 차광층(724)을 설명하기 위한 것으로, 도 3의 I-I' 부분을 설명하기 위한 단면도이다.
- [0098] 도 5 및 도 6을 참조하면, 구동 트랜지스터(DT)의 소스부(DS)는 전원 라인(PL)과 접속된다. 구동 트랜지스터(DT)는 제 1 기판(10)상에 구비된 반도체층(20)의 일부로 이루어진 채널 영역(720)과, 소스부(DS)를 이루며, 전원 라인(PL)과 콘택홀(H1)을 통해 접속된 소스 영역(721)과, 드레인부(DD)를 이루는 드레인 영역(722)을 구비한다. 상기 채널 영역(720) 상에는 제 1 스토리지 전극(721)이 구비된다. 제 1 스토리지 전극(721)은 구동 트랜지스터(DT)의 게이트 전극으로서의 역할과, 스토리지 커패시터(721)의 하부 전극으로서의 역할을 동시에 수행할 수 있다.
- [0099] 제 1 스토리지 전극(721)과 채널 영역(720)은 게이트 절연막(11)에 의해 전기적으로 분리되어 있다.
- [0100] 제 1 스토리지 전극(721)상에는 제 1 층간 절연막(12)을 사이에 두고 제 1 스토리지 전극(721)과 중첩된 제 2 스토리지 전극(722)이 위치한다. 제 1 스토리지 전극(721)과 제 2 스토리지 전극(722)은 스토리지 커패시터(Cst)의 제 1 스토리지부(Cst-1)를 형성한다.
- [0101] 제 1 스토리지 전극(721)은 상기 제 1 및 제 2 스캔 라인(SC1, SC2) 및 발광 제어 라인(EML)과 동일한 물질로 동시에 형성될 수 있다. 예를 들어, 제 1 스토리지 전극(721)은 은(Ag), 니켈(Ni), 금(Au), 백금(Pt), 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 네오디뮴(Nd)등의 금속 중 단일 물질 또는 이들의 합금으로 형성될 수 있다.
- [0102] 제 2 스토리지 전극(722)을 포함한 제 1 기판(10)의 전면에는 제 2 층간 절연막(13)이 구비된다. 제 2 층간 절연막(13)은 제 2 스토리지 전극(722)을 다른 구성요소들과 전기적으로 분리시키는 역할을 한다.
- [0103] 여기서, 제 2 스토리지 전극(722) 또한 상기 제 1 스토리지 전극(721)을 형성하는 물질을 이용하여 다양하게 형성될 수 있다.
- [0104] 전원 라인(PL), 데이터 라인(DL)은 상기 제 2 층간 절연막(13) 상에 위치하며, 전술한 바와 같이 전원 라인(PL)은 콘택홀(H1)을 통해 구동 트랜지스터(DT)의 소스 영역(721)과 접속된다.
- [0105] 도 5 및 도 6을 참조하면, 구동 트랜지스터(DT)의 드레인부(DD)를 구성하는 드레인 영역(622)으로부터 상기 반도체층(20)이 연장되어 제 1 액티브 배선(821)을 형성한다. 제 1 액티브 배선(821)은 상기 반도체층(20)을 형성할 때 동시에 패터닝함으로써 동일한 물질로 형성될 수 있다. 제 1 액티브 배선(821)은 제 3 스위칭 트랜지스터(T3)의 드레인부(3D)를 이루는 드레인 영역(321)까지 연장되도록 형성된다. 여기서, 제 2 스캔 라인(SC2)은 두 개로 분기되어 듀얼 게이트 전극(325)을 형성할 수 있으나, 반드시 이에 한정되는 것은 아니고 게이트 전극(325)은 하나만 구비되어도 무방하다. 게이트 전극(325)과 중첩되는 반도체층(20)에는 제 3 스위칭 트랜지스터(T3)의 채널 영역(320)이 구비된다. 채널 영역(320) 사이 영역은 도체화된 반도체층으로서 소스/드레인 영역과 동일하게 기능할 수 있다.
- [0106] 액티브 배선(821)은 박막 트랜지스터의 소스/드레인 영역으로부터 바로 연장되어 배선을 형성하므로, 액티브 배선(821)은 소스/드레인 영역과 접속되기 위한 별도의 콘택홀을 구비하는 것을 생략할 수 있으며, 그에 따라 콘택홀로 인한 화소 개구부의 감소를 방지하는 효과를 갖는다.
- [0107] 제 3 스위칭 트랜지스터(T3)의 소스부(3S)는 소스 영역(322) 및 소스 전극(324)을 구비할 수 있다. 이 때 제 3 스위칭 트랜지스터(T3)의 소스 전극은 제 1 및 제 2 층간 절연막(23, 24)과 게이트 절연막(11)을 패터닝하여 형

성된 콘택홀(H2)을 통해 소스 영역(322)에 접속된다. 그리고, 소스 영역(322)은 제 2 스토리지부(Cst-2)의 제 3 스토리지 전극(723)의 일부로서 형성됨으로써, 제 2 스토리지 전극(723)은 제 2 스토리지부(Cst-2)의 하부 전극의 역할과 제 3 스위칭 트랜지스터(T3)의 드레인 전극(324)의 역할을 모두 수행할 수 있다.

- [0108] 상기 제 1 액티브 배선(821) 및 제 3 스위칭 트랜지스터(T3) 상에는 차광층(724)이 구비된다. 보다 상세히 설명하면, 상기 제 3 스토리지 전극(724) 및 전원 라인(PL)을 이루는 배선(30)층 상에는 제 3 층간 절연막(14)이 구비되고, 차광층(724)은 제 3 층간 절연막(14) 상에 형성된다. 이 때 차광층(724)은 기준전압 라인(도 5의 Ref)으로부터 분기되어 연장되며, 제 3 스위칭 트랜지스터(T3) 및 제 1 액티브 배선(821)을 덮도록 형성된다.
- [0109] 이 때 게이트 절연막(11)과 제 1 내지 제 3 층간 절연막(14)은 SiO_x, SiN_x 등의 무기 절연 물질로 단층 또는 복수 층으로 형성될 수 있다.
- [0110] 차광층(724)와 기준전압 라인(Ref)은 동일한 물질로 동시에 형성될 수 있다.
- [0111] 이같은 차광층(724)은 제 1 액티브 배선(821)과 같이 반도체층(20)으로 이루어진 액티브 배선 또는 박막 트랜지스터(예를 들어 제 1~5 스위칭 트랜지스터 및 구동 트랜지스터) 상에 위치하여, 상기 박막 트랜지스터 또는 액티브 배선을 이루는 반도체층(20)에 광이 입사하지 못하도록 외광을 차단하는 역할을 한다. 즉, 차광층(724)은 반도체층(20)의 광을 차광함으로써 반도체층(20)에서 광전 효과로 인한 누설 전류가 발생하는 것을 방지한다.
- [0112] 그리고, 도 5 및 도 6에 도시된 것과 같이, 차광층(724)의 하부에는 제 3 스토리지 전극(723)이 중첩되도록 위치한다. 도 6에서는 제 3 스토리지 전극(723)이 분리된 것처럼 도시되었으나, 도 5를 참조하면, 제 3 스토리지 전극(723)은 일체로 형성됨을 알 수 있다. 제 3 스토리지 전극(723)과 차광층(724) 사이에는 제 3 층간 절연막(14)이 구비됨으로써 제 3 스토리지 전극(723)과 차광층(724)은 제 2 스토리지부(Cst-2)를 형성함으로써, 스토리지 커패시터(Cst)의 면적을 증가시킨다.
- [0113] 차광층(724) 상에는 평탄화막(15)이 위치한다. 평탄화막(15)은 유기 절연 물질로 형성되며 평탄한 표면을 갖도록 형성됨으로써, 후술할 제 1 전극(71) 및 유기 발광층(72)이 평탄하게 형성되도록 하는 역할을 한다.
- [0114] 평탄화막(15)은 아크릴계 수지(acrtyl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamide resin), 폴리이미드계 수지(polyimide resin) 등의 유기 절연 물질로 형성될 수 있다.
- [0115] 평탄화막(15) 상에는 제 1 전극(71)이 형성된다. 제 1 전극(71)은 일함수 값이 비교적 큰 투명 도전성 물질, 예를 들어 ITO, IZO, ZnO, IGZO 등으로 이루어진다. 또한 제 1 전극(51)은 금속물질, 예를 들어 알루미늄(Al), 은(Ag), APC(Ag/Pb/Cu) 등을 포함하도록 구성될 수 있다.
- [0116] 본 명세서에서 제 1 전극(71)은 발광 소자의 애노드 전극으로 도시되었으나, 제 1 전극(71)은 캐소드 전극일 수 있다.
- [0117] 제 1 전극(71) 상에는 제 1 전극(71)의 가장자리 일부를 덮도록 बैं크 절연막(16)이 형성된다. बैं크 절연막(16)은 제 1 전극(71)의 중심부를 노출시켜 발광부(E)를 정의한다. बैं크 절연막(16)은 아크릴계 수지(acrtyl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamide resin), 폴리이미드계 수지(polyimide resin) 등의 유기 절연 물질로 형성될 수 있다.
- [0118] 제 1 전극(71) 상에는 유기 발광층(72)이 위치한다. 이 때 유기 발광층(72)은 정공 주입층(HIL)/정공 수송층(HTL)/발광층(EML)/전자 수송층(ETL)/전자 주입층(EIL)의 구조를 갖도록 구비될 수 있다. 그에 더하여 유기 발광층(72)에는 발광층의 발광 효율 및 수명 등을 향상시키기 위해 적어도 하나의 기능층, 예를 들어 전하를 생성하는 전하생성층, 추가적인 전자 수송층 및 정공 수송층 등이 더 포함될 수 있다. 유기 발광층(72)은 도 4와 같이 제 1 전극(71) 및 बैं크 절연막(16) 상에 모두 구비될 수도 있다.
- [0119] 제 2 전극(73)은 유기 발광층(72) 및 बैं크 절연막(16) 상부를 덮도록 구비된다. 제 1 전극(71)이 애노드 역할을 하는 경우, 제 2 전극(73)은 캐소드 역할을 한다. 제 2 전극(72)은 은(Ag), 티타늄(Ti), 알루미늄(Al), 몰리브덴(Mo) 또는 은(Ag)과 마그네슘(Mg) 합금 물질 중 적어도 어느 하나일 수 있으며, ITO, IZO, IGZO, ZnO 등과 같은 투명 도전성 물질로 형성될 수도 있다.
- [0120] 제 2 전극(73) 상에는 제 1 기판(10)과 대향되도록 제 2 기판(90)이 접착층(17)을 통해 합착된다. 제 2 기판(90) 및 접착층(17)은 필요에 따라 선택적일 수 있다. 즉, 제 2 기판(90) 및 접착층(17) 없이, 제 2 전극(73) 상에 박막의 봉지 구성을 하고 제 2 기판(90)을 구비하지 않을 수도 있다.
- [0121] 구비된 제 2 기판(200)은 봉지 기능을 더하며, 평탄성을 유지하기 위한 것의 발광 소자(OLED)를 이루는 제 1 전

극(71), 유기 발광층(72) 및 제 2 전극(73)을 덮는 얇은 박막의 봉지 구성으로 충분한 봉지가 가능하면 이로써 대체가 가능하다.

- [0122] 도 7은 스토리지 커패시터(Cst)의 제 1 및 제 2 스토리지부(Cst-1, Cst-2)의 특징 및 연결관계를 상세히 설명하기 위한 것으로, 도 3의 II-I' 부분의 단면도이다.
- [0123] 도 5 및 도 7을 참조하면, 제 4 스위칭 트랜지스터(T4)는 소스 영역(421), 채널 영역(420) 및 드레인 영역(422)과, 게이트 절연막(11)과, 게이트 전극(425)과, 소스 전극(423) 및 드레인 전극(424)을 포함한다.
- [0124] 본 명세서에서는 제 4 스위칭 트랜지스터(T4)의 소스 영역(421)과 소스 전극(423)은 채널부(4C)로 정의하고, 드레인 전극(424)과 드레인 영역(422)은 드레인부(4D)로 정의한다. 그리고 채널 영역(420)은 채널부(4C)로 정의한다.
- [0125] 제 4 스위칭 트랜지스터(T4)의 채널부(4C)에 중첩되는 영역에는 게이트 전극(425)이 구비된다. 게이트 전극(425)은 발광 제어라인(EML)의 일부로 구비되거나, 상기 발광 제어라인(EML)의 일부가 돌출됨으로써 형성될 수 있다.
- [0126] 게이트 전극(425) 상에는 제 1 및 제 2 층간 절연막(12, 13)이 구비된다. 그리고, 제 1 및 제 2 층간 절연막(12, 13)의 일부가 제거되어 소스부(4S)의 소스 영역(421) 및 드레인부(4D)의 드레인 영역(422)을 노출하는 콘택홀(H3, H4)이 구비된다. 상기 제 2 층간 절연막(13) 상에는 소스 영역(421)과 접속되는 소스 전극(423) 및 드레인 영역(422)과 접속되는 드레인 전극(424)이 구비된다.
- [0127] 소스 전극(423) 및 드레인 전극(424)은 전술한 바와 같이 데이터 라인(DL) 및 구동전원 라인(PL)과 동일한 층에 동일한 물질인 배선층(30)을 이용하여 형성될 수 있다.
- [0128] 소스 전극(423) 및 드레인 전극(424) 상에는 제 3 층간 절연막(14)이 구비된다. 전술한 바와 같이 제 3 층간 절연막(14) 상에는 기준전압 라인(Ref)이 형성되며, 기준전압 라인(Ref)은 제 4 스위칭 트랜지스터(T4)의 소스 전극(423)과 콘택홀(H3)을 통해 접속된다.
- [0129] 도 5를 참조하면, 제 4 스위칭 트랜지스터(T4)의 드레인부(4D)는 제 1 스위칭 트랜지스터(T1)의 드레인부(1D)와 일체로 형성한다. 이 때 제 4 스위칭 트랜지스터(T4)의 채널 영역(4C) 드레인 영역(4D)은 데이터 라인(DL)에 중첩되는 영역을 지나 기준전원 라인(Ref)의 하측을 교차하여 지나도록 형성되며, 상기 기준전원 라인(Ref)을 통과한 지점에서 제 1 노드(N1)를 형성한다.
- [0130] 그리고, 제 1 스위칭 트랜지스터(T1)는 데이터 라인(DL)과 소스부(1S)가 접속되고, 제 1 스캔 라인(SL1)의 일부가 게이트 전극으로 기능하며, 드레인부(D)는 제 4 스위칭 트랜지스터(T4)의 드레인부(4D)와 일체로 형성되어 제 1 노드(N1)를 형성한다. 즉, 제 4 스위칭 트랜지스터(T4)의 드레인부(4D)는 제 1 스위칭 트랜지스터(T1)의 드레인부(1D)일 수 있다. 그리고, 제 4 스위칭 트랜지스터(T4)의 드레인 영역(422) 및 드레인 전극(424)은 제 1 스위칭 트랜지스터(T1)의 드레인 영역 및 드레인 전극의 역할도 겸하여 수행할 수 있다.
- [0131] 제 2 층간 절연막(13) 상에는 제 4 스위칭 트랜지스터(T4)의 드레인 전극(424)으로부터 일체로 연장되어 제 1 연결 배선(31)이 구비된다. 제 1 연결 배선(31)은 발광 제어라인(EML)을 교차하여 제 2 스토리지 전극(722)의 상부까지 연장된다. 그리고, 제 1 연결 배선(31)은 콘택홀(H5)을 통해 제 2 스토리지 전극(722)과 전기적으로 접속된다.
- [0132] 결국, 제 2 스토리지 전극(722)은 제 1 연결 배선(31) 및 제 4 스위칭 트랜지스터(T4)에 의해 기준전압 라인(Ref)에 접속되며, 그와 동시에 제 1 스위칭 트랜지스터(T1)의 드레인부(1D)와도 전기적으로 접속된다.
- [0133] 그에 따라 제 2 스토리지 전극(722)은 도 4의 t3 기간, 즉 제 1 샘플링 기간 동안 제 1 스위칭 트랜지스터(T1)을 통해 상기 Vdata+Vref의 전압이 공급되고, 발광 제어신호(EM)에 의해 제 4 스위칭 트랜지스터(T4)가 턴-온되는 발광 기간(도 4의 t6 참조)에는 상기 기준전원 라인(Ref)으로부터 기준전압(Vref)을 공급받아 상기 기준전압 레벨(Vref)을 갖는다. 그리고, 차광층(724)은 전술한 바와 같이 기준전압 라인(Ref)으로부터 연장되도록 형성되므로, 차광층(724)은 기준전압 레벨(Vref)의 전위를 갖는다.
- [0134] 계속 도 5 및 도 7을 참조하면, 제 1 스토리지 전극(721)은 제 3 스토리지 전극(723)의 일측에 중첩되도록 연장되어 콘택홀(H6)을 통해 제 3 스토리지 전극(723)과 접속된다. 그리고, 제 1 스토리지 전극(721)은 제 3 스위칭 트랜지스터(T3)의 드레인 전극(323)까지 연장된다. 여기서, 제 3 스위칭 트랜지스터(T3)의 드레인 전극(323)은 제 3 스토리지 전극(723)을 통해 제 1 스토리지 전극(721), 즉 구동 트랜지스터(DT)의 게이트 전극까지 연장된

것으로서, 제 3 스위칭 트랜지스터(T3)의 드레인 전극(323)은 제 2 노드(N2)의 역할을 수행할 수 있다.

- [0135] 결론적으로 제 1 스토리지 전극(721)과 제 2 스토리지 전극(722)은 서로 중첩되어 제 1 스토리지부(Cst-1)로서 기능한다. 제 1 스토리지부(Cst-1)는 초기화 기간, 샘플링 기간 및 발광 기간 전체에서 스토리지 커패시터(Cst)로서 기능한다.
- [0136] 그리고, 제 3 스토리지 전극(723) 및 차광층(724)은 서로 중첩되어 제 2 스토리지부(Cst-2)로서 기능한다. 차광층(724)은 기준 라인(Ref)의 전압 레벨을 가지며, 제 3 스토리지 전극(723)은 제 3 스위칭 트랜지스터의 드레인 부(3D), 즉 제 2 노드에 접속되므로, 스토리지 커패시터(Cst)로 기능할 수 있는 특징을 갖는다.
- [0137] 따라서, 본 발명의 제 2 실시예에 의한 차광층(724)은 외부로부터 입사되는 광을 차단하는 역할 이외에도, 스토리지 커패시터(Cst)로서 기능할 수 있는 특징을 갖는다.
- [0138] 도 8은 도 5의 III-III' 부분의 단면도로서, 발광 소자(OLED)와의 접속 관계를 설명하기 위한 것이다.
- [0139] 도 8을 참조하면, 제 5 스위칭 트랜지스터(T5)는 채널 영역(520), 게이트 전극(525), 소스부(5S) 및 드레인부(5D)를 포함한다. 소스부(5S)는 소스 영역(521)과 소스 전극(523)을 포함하고, 드레인부(5D)는 드레인 영역(523)과 드레인 전극(524)을 포함한다.
- [0140] 제 5 스위칭 트랜지스터(5S)의 채널 영역(520)과 게이트 전극(525) 사이에는 게이트 절연막(11)이 구비되고, 게이트 전극(525) 상에는 제 1 및 제 2 층간 절연막(12, 13)이 구비된다. 소스 전극(523) 및 드레인 전극(523) 상에는 패시베이션층(13)이 구비되고, 패시베이션층(14) 상에는 기준전압 라인(Ref) 및 기준전압 라인(Ref)과 일체로 형성된 차광 패턴(724)이 형성된다. 기준전압 라인(Ref)은 제 5 스위칭 트랜지스터(T5)의 소스 전극(523)과 접속된다.
- [0141] 차광 패턴(724)은 제 5 스위칭 트랜지스터(T5) 상에 중첩되어 제 5 스위칭 트랜지스터로 입사되는 광을 차단할 수 있다.
- [0142] 도 8에서는 도시되지 않았으나, 도 5를 참조하면 제 5 스위칭 트랜지스터(T5)의 드레인 전극(524)은 제 2 연결 배선(33)과 접속된다. 즉, 드레인 전극(524)으로부터 연장되어 제 2 연결 배선(33)이 형성된다. 제 2 연결 배선(33)은 전술한 구동 트랜지스터(DT) 및 제 1 스토리지부(Cst-1)를 형성하는 영역의 상부를 지나 제 2 스위칭 트랜지스터(T2)의 드레인 영역(222)에 콘택홀(H11)을 통해 접속된다. 이를 통해 제 2 연결 배선은 제 5 스위칭 트랜지스터(T5)를 통해 공급되는 기준 전압(Vref)을 제 2 스위칭 트랜지스터(T2)의 드레인부(2D)에 공급한다. 이때 제 2 스위칭 트랜지스터(T2)의 드레인부(2D)는 제 3 노드(N3)의 역할을 한다.
- [0143] 여기서, 제 2 스위칭 트랜지스터(T2)의 소스 영역(221)은 구동 트랜지스터(DT)의 드레인 영역(622)으로부터 연장된 제 2 액티브 배선(822)을 통해 구동 트랜지스터(DT)의 드레인 영역(622)과 연결된다. 제 2 액티브 배선(822)은 제 2 스위칭 트랜지스터(T2)의 소스 영역(221)과 일체로 형성된다. 전술한 것과 같이 제 2 액티브 배선(822)을 이용함으로써 구동 트랜지스터(DT)와 제 2 스위칭 트랜지스터(T2)를 콘택홀 없이 연결할 수 있다. 또한 상기 제 2 액티브 배선(822)은 상기 제 2 연결 배선(33)과 중첩되도록 형성됨으로써, 제 2 액티브 배선(822)의 상부가 차광되어 광전 효과를 방지할 수 있을 뿐 아니라, 이같이 제 2 액티브 배선(822)과 제 2 연결 배선(33)이 중첩됨으로써 화소 구동 회로의 면적도 감소할 수 있다.
- [0144] 차광 패턴(724)을 덮도록 평탄화막(15)이 형성된다. 평탄화막(15)은 전술한 것과 같이 평탄한 상층 표면을 갖도록 형성됨으로써, 후술할 제 1 전극(71) 및 유기 발광층(72)이 평탄하게 형성되도록 하는 역할을 한다.
- [0145] 제 1 전극(71)은 콘택홀(H12)을 통해 제 2 스위칭 트랜지스터(T2)의 드레인 전극(224)에 접속된다. 그리고, बैं크 절연막(16)이 상기 제 1 전극(71)의 가장자리에 형성되어 발광 영역(E)을 정의한다.
- [0146] 제 1 전극(71) 상에는 유기 발광층(72) 및 제 2 전극(73)이 위치한다.
- [0147] 접착층(17) 및 제 2 기판(90)은 전술한 바와 동일하므로, 상세한 설명을 생략한다.
- [0148] 본 발명에 의한 유기 발광 표시 장치는, 박막 트랜지스터 상에 차광 패턴을 구비하여 광 누설 전류의 발생을 방지함과 아울러, 상기 차광 패턴은 스토리지 커패시터의 면적을 증가시키는 데 기여한다.
- [0149] 그에 따라 본 발명에 의한 유기 발광 표시 장치는 광 누설 전류에 의한 화소 구동 회로의 오작동 및 표시 불량을 방지하며, 차광 패턴을 이용하여 스토리지 커패시터의 면적을 증가시켜 발광 기간 동안 안정적으로 발광할 수 있는 효과를 갖는다.

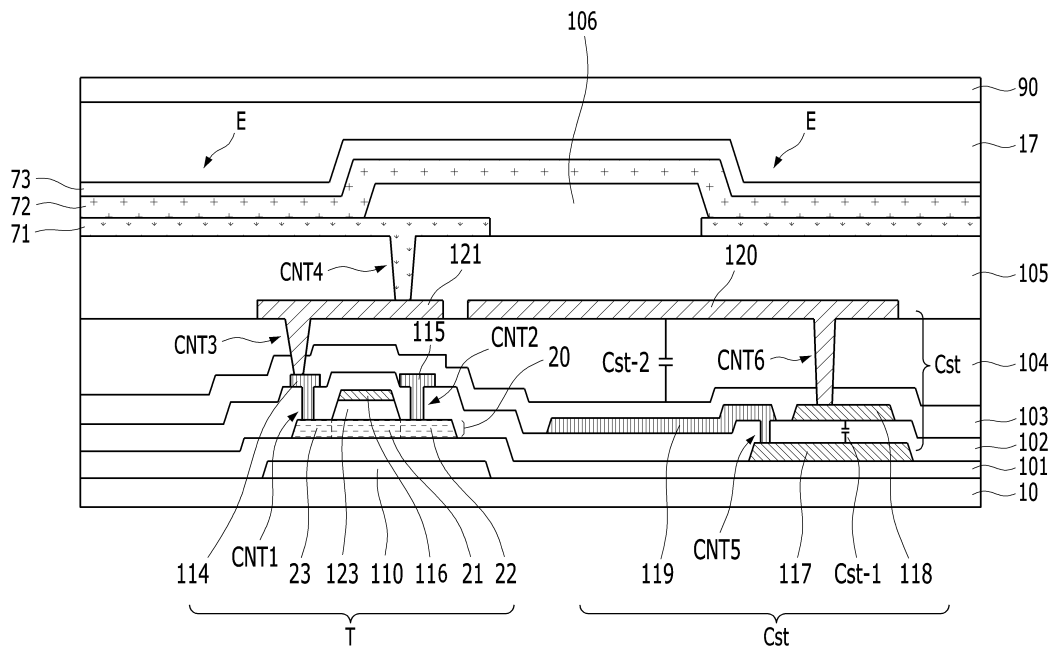
[0150] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

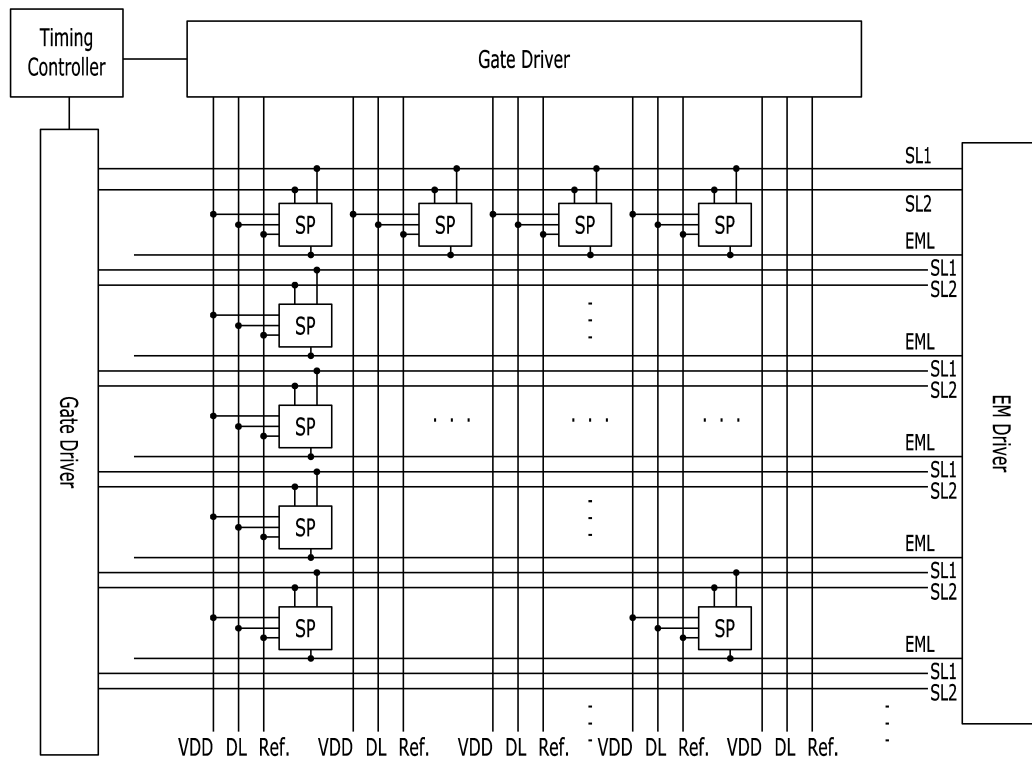
[0151] 117, 721: 제 1 스토리지 전극 118, 722: 제 2 스토리지 전극
119, 723: 제 3 스토리지 전극 121, 724: 차광 패턴
821, 822: 액티브 배선 71: 제 1 전극
72: 유기 발광층 73: 제 2 전극
16: बैं크 절연막 17: 접착층
10: 제 1 기판 90: 제 2 기판
11, 102: 게이트 절연막 12, 13, 103: 제 2 층간 절연막
14: 패시베이션막 15, 104, 105: 평탄화막
120: 연결 전극 110: 하부 차광층
101: 버퍼층

도면

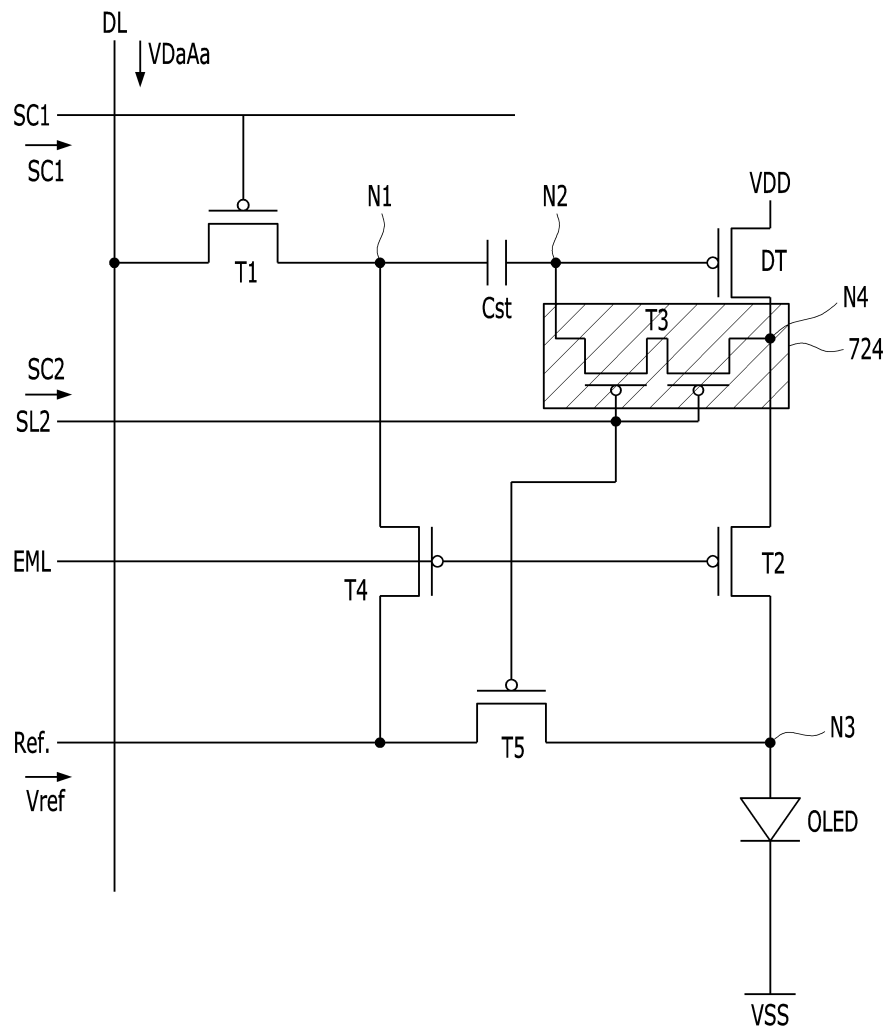
도면1



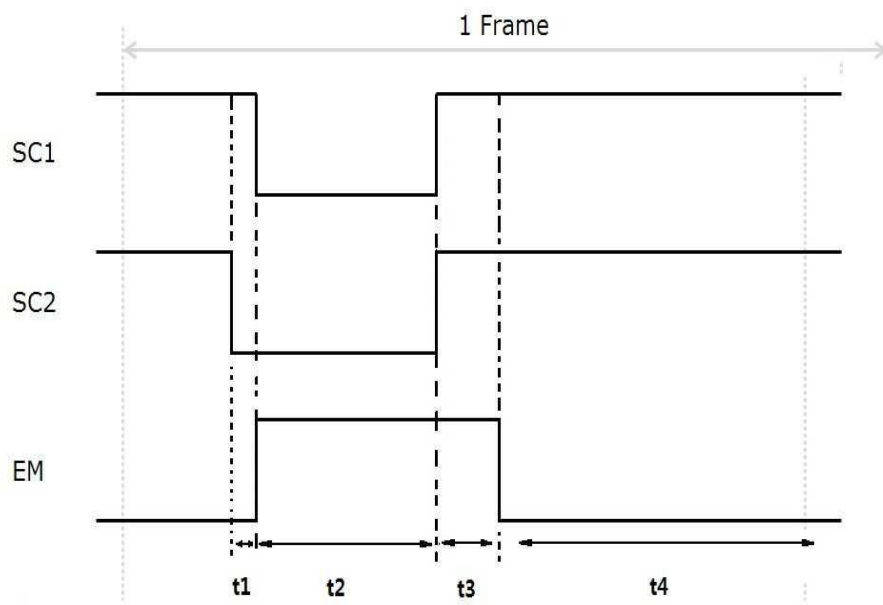
도면2



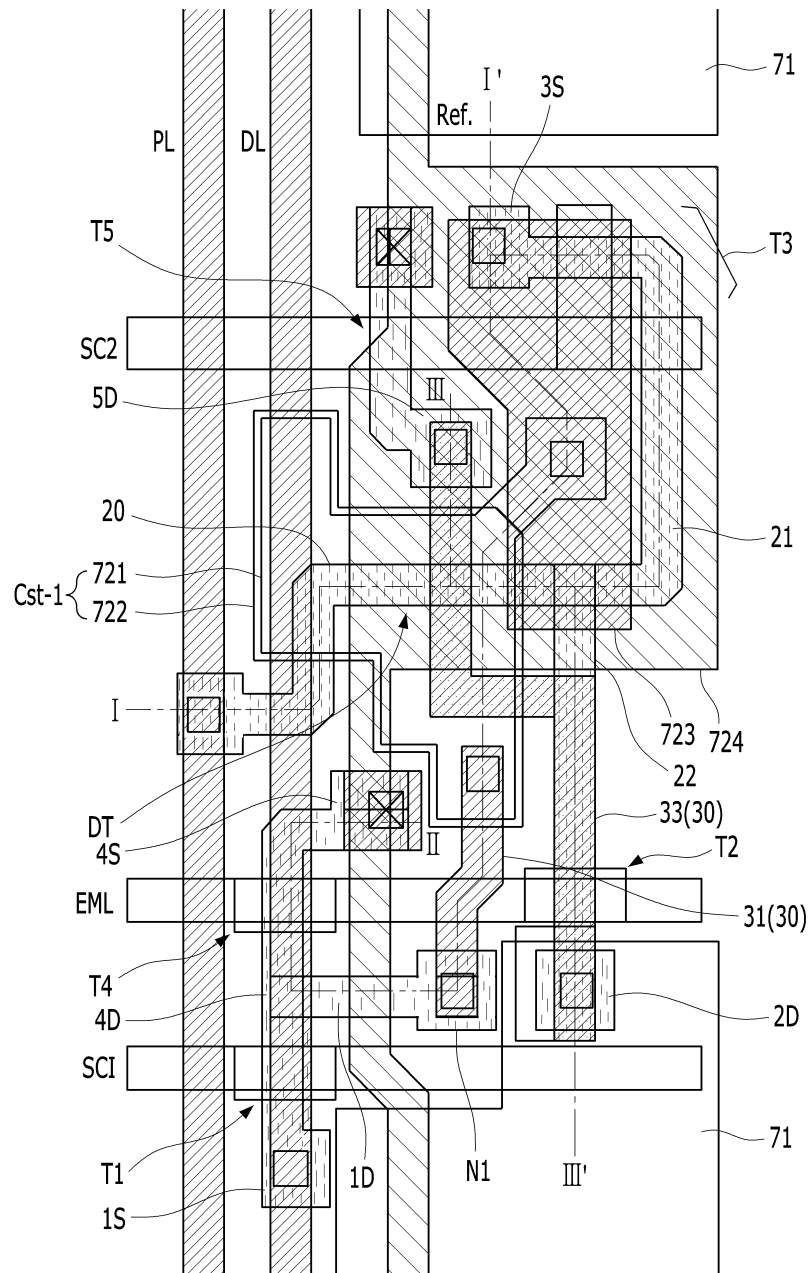
도면3



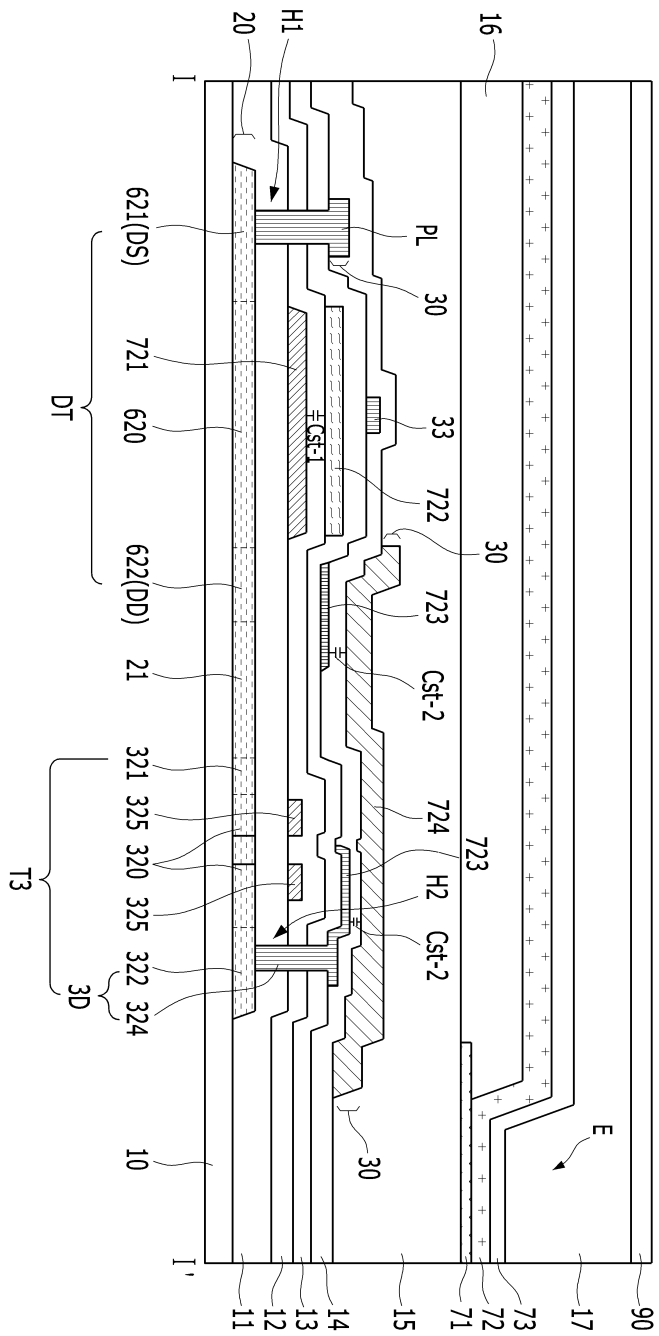
도면4



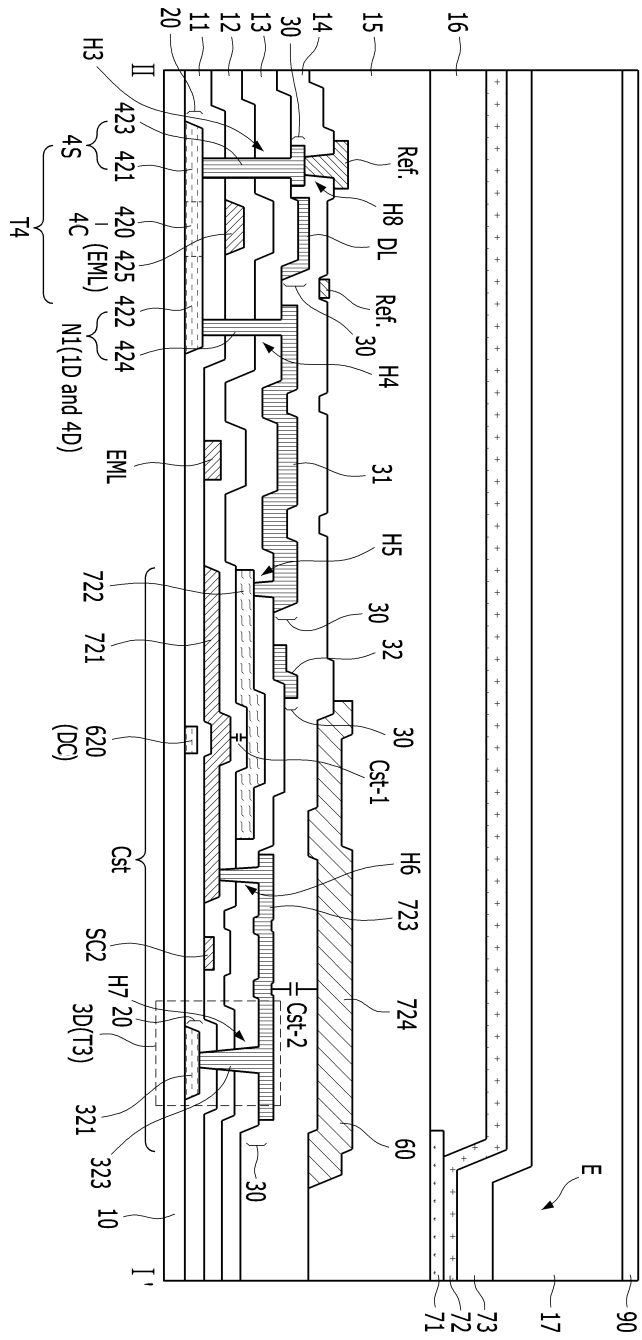
도면5



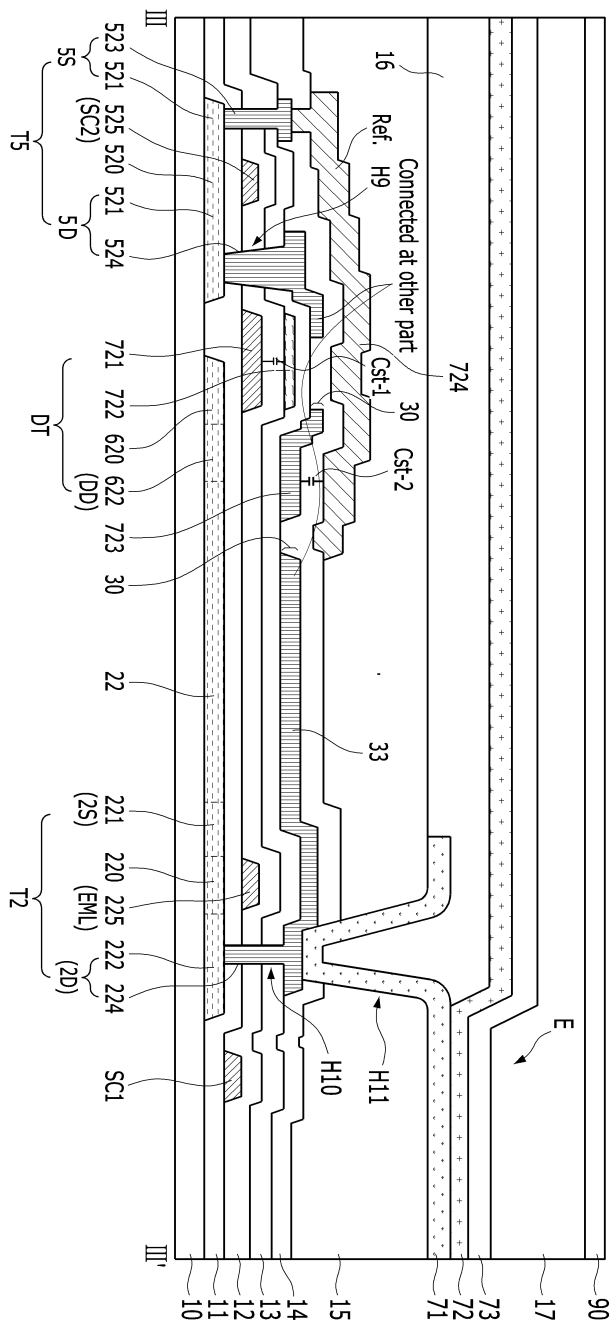
도면6



도면7



도면8



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180078813A	公开(公告)日	2018-07-10
申请号	KR1020160183981	申请日	2016-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAE HOON 박제훈 YU JAE SUNG 유재성		
发明人	박제훈 유재성		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3265 H01L27/3262 H01L27/3272 H01L27/3248 H01L27/3276		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

本发明包括第一基板，其中涉及有机发光显示装置，用于增加高分辨率像素处的存储电容器的面积，同时防止由光电效应产生的光致漏电流，并且根据本发明的有机发光显示装置包括多个子像素。并且其源极/漏极区域配备有子像素和光学屏蔽层，其被配备为对应于由沟道区域和多个薄层组成的半导体层的子像素中相邻的第一电极域之间的下层薄膜晶体管管和包括栅电极和第一电极的存储电容器，通过任何一个接触孔和发光层连接在薄膜晶体管管之间，位于第一电极和第二电极表面上的发光表面上图层和两个子像素。

