



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0061801  
(43) 공개일자 2018년06월08일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 27/12 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2013.01)  
H01L 27/124 (2013.01)  
(21) 출원번호 10-2016-0161362  
(22) 출원일자 2016년11월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
조우찬  
경기도 파주시 가온로 205, 716동 1004호(와동동, 해솔마을 7단지 롯데캐슬)  
정호영  
경기도 고양시 덕양구 백양로 8, 1711동 1802호 (화정동, 옥빛마을17단지아파트)  
김용민  
경기도 안양시 동안구 학의로 120, 307동 2202호 (관양동, 한가람한양아파트)  
(74) 대리인  
박영복

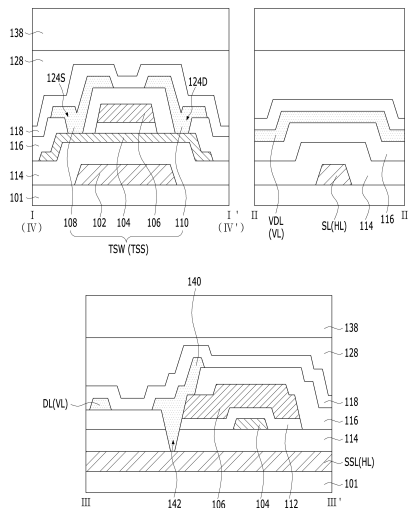
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 신호 라인들의 쇼트 불량을 방지할 수 있는 유기 발광 표시 장치에 관한 것으로, 본 발명에 따른 유기 발광 표시 장치는 기관 상에 수평 방향으로 배열된 스캔 라인 및 센싱 제어 라인을 포함하는 제1 신호라인이 기관과 접촉하도록 형성되고, 수직 방향으로 배열된 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인을 포함하는 제2 신호 라인이 제1 신호 라인을 덮도록 배치된 적어도 2층의 절연막 상에 형성됨으로써 제1 및 제2 신호 라인 간의 쇼트 불량을 방지할 수 있다.

대표도 - 도4



(52) CPC특허분류

*H01L 27/3248* (2013.01)

*H01L 27/3258* (2013.01)

*H01L 27/3262* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판 상의 각 서브 화소 영역에 배치된 발광 소자와;

상기 각 서브 화소의 회로 영역에 배치되며 상기 발광 소자를 구동 하는 화소 회로와;

상기 기판과 접촉하도록 상기 기판 상에 배치되며, 상기 화소 회로와 접속되어 제1 방향으로 배열된 제1 신호 라인과;

상기 화소 회로와 접속되며 제2 방향으로 배열된 제2 신호 라인과;

상기 제1 및 제2 신호 라인 사이에 배치되는 적어도 2층의 절연막을 구비하는 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 화소 회로는

상기 발광 소자와 고전압 공급 라인 사이에 접속된 구동 트랜지스터와;

상기 구동 트랜지스터의 게이트 전극과 데이터 라인 사이에 접속된 스위칭 트랜지스터와;

상기 구동 트랜지스터와 레퍼런스 라인 사이에 접속된 센싱 트랜지스터를 구비하며,

상기 제1 신호 라인은 상기 스위칭 트랜지스터의 게이트 전극과 접속된 스캔 라인 및 상기 센싱 트랜지스터의 게이트 전극과 접속된 센싱 제어 라인 중 적어도 어느 하나이며,

상기 제2 신호 라인은 상기 고전압 공급 라인, 상기 데이터 라인, 상기 발광 소자의 캐소드 전극과 접속된 저전압 공급 라인 중 적어도 어느 하나인 유기 발광 표시 장치.

#### 청구항 3

제 2 항에 있어서,

상기 적어도 2층의 절연막은

상기 스캔 라인 및 상기 센싱 제어 라인을 덮도록 배치된 버퍼막과;

상기 버퍼막 상에 배치되는 층간 절연막을 포함하는 유기 발광 표시 장치.

#### 청구항 4

제 3 항에 있어서,

상기 버퍼막 및 층간 절연막을 관통하여 상기 제1 신호 라인의 상부면과 상기 게이트 전극을 노출시키는 게이트 콘택홀과;

상기 게이트 콘택홀을 통해 노출된 상기 제1 신호 라인과 상기 게이트 전극을 연결하는 연결 전극을 추가로 구비하는 유기 발광 표시 장치.

#### 청구항 5

제 4 항에 있어서,

상기 게이트 콘택홀은 상기 버퍼막 및 층간 절연막을 관통하여 상기 스캔 라인의 상부면과 상기 스위칭 트랜지스터의 게이트 전극을 노출시키며,

상기 연결 전극은 상기 게이트 콘택홀을 통해 노출된 상기 스캔 라인과 상기 스위칭 트랜지스터의 게이트 전극

을 연결하는 유기 발광 표시 장치.

**청구항 6**

제 4 항 또는 제 5 항에 있어서,

상기 게이트 컨택홀은 상기 버퍼막 및 층간 절연막을 관통하여 상기 센싱 제어 라인의 상부면과 상기 센싱 트랜지스터의 게이트 전극을 노출시키며,

상기 연결 전극은 상기 게이트 컨택홀을 통해 노출된 상기 센싱 제어 라인과 상기 센싱 트랜지스터의 게이트 전극을 연결하는 유기 발광 표시 장치.

**청구항 7**

제 6 항에 있어서,

상기 연결 전극은 상기 데이터 라인과 동일 재질로 층간 절연막 상에 배치되는 유기 발광 표시 장치.

**청구항 8**

제 3 항에 있어서,

상기 버퍼막을 관통하여 상기 제1 신호 라인의 상부면 및 게이트 절연 패턴의 측면을 노출시키는 게이트 컨택홀을 추가로 구비하며,

상기 게이트 전극은 상기 게이트 컨택홀을 통해 노출된 상기 제1 신호 라인과 직접 접촉되는 유기 발광 표시 장치.

**청구항 9**

제 8 항에 있어서,

상기 게이트 컨택홀은 상기 버퍼막을 관통하여 상기 스캔 라인의 상부면을 노출시키며,

상기 스위칭 트랜지스터의 게이트 전극은 상기 게이트 컨택홀을 통해 노출된 상기 스캔 라인과 직접 접촉되는 유기 발광 표시 장치.

**청구항 10**

제 8 항 또는 제 9 항에 있어서,

상기 게이트 컨택홀은 상기 버퍼막을 관통하여 상기 센싱 제어 라인의 상부면을 노출시키며,

상기 센싱 트랜지스터의 게이트 전극은 상기 게이트 컨택홀을 통해 노출된 상기 센싱 제어 라인과 직접 접촉되는 유기 발광 표시 장치.

**청구항 11**

기관과 접촉하도록 상기 기관 상에 수평 방향으로 배열된 스캔 라인 및 센싱 제어 라인과;

상기 스캔 라인 및 센싱 제어 라인 상에 배치되는 적어도 2층의 절연막과;

상기 절연막 상에 수직 방향으로 배열된 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인과;

상기 스캔 라인, 센싱 제어 라인, 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인과 접촉된 화소 회로와;

상기 화소 회로와 접촉된 발광 소자를 구비하는 유기 발광 표시 장치.

**청구항 12**

제 11 항에 있어서,

상기 화소 회로는

상기 발광 소자와 상기 고전압 공급 라인 사이에 접속된 구동 트랜지스터와;

상기 구동 트랜지스터의 게이트 전극과 상기 데이터 라인 사이에 접속된 스위칭 트랜지스터와;  
 상기 구동 트랜지스터와 레퍼런스 라인 사이에 접속된 센싱 트랜지스터를 구비하며,  
 상기 적어도 2층의 절연막은  
 상기 스캔 라인 및 상기 센싱 제어 라인을 덮도록 배치된 버퍼막과;  
 상기 버퍼막 상에 배치된 층간 절연막을 포함하는 유기 발광 표시 장치.

**청구항 13**

제 12 항에 있어서,  
 상기 버퍼막 및 층간 절연막을 관통하여 상기 스캔 라인 및 센싱 제어 라인 각각의 상부면과 상기 스위칭 및 센싱 트랜지스터 각각의 게이트 전극을 노출시키는 게이트 콘택홀과;  
 상기 게이트 콘택홀을 통해 노출된 상기 스캔 라인 및 상기 스위칭 트랜지스터의 게이트 전극을 연결하고 상기 센싱 제어 라인 및 상기 센싱 트랜지스터의 게이트 전극을 연결하는 연결 전극을 추가로 구비하며,  
 상기 연결 전극은 상기 데이터 라인과 동일 재질로 층간 절연막 상에 배치되는 유기 발광 표시 장치.

**청구항 14**

제 12 항에 있어서,  
 상기 버퍼막을 관통하여 상기 스캔 라인 및 센싱 제어 라인 각각의 상부면을 노출시키는 게이트 콘택홀을 추가로 구비하며,  
 상기 스위칭 트랜지스터의 게이트 전극은 상기 게이트 콘택홀을 통해 노출된 상기 스캔 라인과 직접 접속되며,  
 상기 센싱 트랜지스터의 게이트 전극은 상기 게이트 콘택홀을 통해 노출된 상기 센싱 제어 라인과 직접 접속되는 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 특히 신호 라인들의 쇼트 불량을 방지할 수 있는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 발광 표시 장치 등이 각광받고 있다. 이 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가진다.

[0003] 이 유기 발광 표시 장치는 다수의 서브 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 여기서, 각 서브 화소는 발광 소자와, 그 발광 소자를 독립적으로 구동하는 다수의 트랜지스터로 이루어진 화소 회로를 구비한다.

[0004] 이러한 유기 발광 표시 장치는 화소 회로에 서로 다른 구동 신호를 공급하는 제1 및 제2 신호 라인(L1,L2)를 구비한다. 제1 신호 라인(L1)은 도 1에 도시된 바와 같이 기판(1) 상에 형성된 하부 절연막(2) 상에 형성되고, 제2 신호 라인(L2)은 제1 신호 라인(L1)을 덮도록 형성된 상부 절연막(4) 상에 형성된다. 이 경우, 제1 및 제2 신호 라인(L1,L2) 사이 또는 제1 신호 라인(L1) 하부에 제조 공정시 이물이 발생하는 경우가 종종 발생된다. 이 경우, 이물에 의해 제1 및 제2 신호 라인(L1,L2) 사이의 거리가 상대적으로 가까워져 제1 및 제2 신호 라인(L1,L2)이 쇼트되는 문제점이 있다.

[0005] 또한, 제1 및 제2 신호 라인(L1,L2)은 한 층의 상부 절연막(4)을 사이에 두고 교차함으로써 제1 및 제2 신호 라인(L1,L2) 사이의 거리가 상대적으로 가까워 기생 캐패시터의 용량값이 큰 뿐만 아니라 쇼트 불량 발생 확률이

높은 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 신호 라인들의 쇼트 불량을 방지할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

#### 과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치는 기판 상에 수평 방향으로 배열된 스캔 라인 및 센싱 제어 라인을 포함하는 제1 신호라인이 기판과 접촉하도록 형성되고, 수직 방향으로 배열된 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인을 포함하는 제2 신호 라인이 제1 신호 라인을 덮도록 배치된 적어도 2층의 절연막 상에 형성됨으로써 제1 및 제2 신호 라인 간의 쇼트 불량을 방지할 수 있다.

#### 발명의 효과

[0008] 본 발명은 기판 상에 수평 방향으로 배열된 스캔 라인 및 센싱 제어 라인을 포함하는 제1 신호라인이 기판과 접촉하도록 형성되고, 수직 방향으로 배열된 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인을 포함하는 제2 신호 라인이 제1 신호 라인을 덮도록 배치된 적어도 2층의 절연막 상에 형성된다. 이에 따라, 본 발명은 기판과 접촉하도록 배치된 제1 신호 라인 하부에 이물이 발생되지 않으므로 이물에 의한 제1 및 제2 신호 라인 간의 쇼트 불량을 방지할 수 있다. 또한, 제1 및 제2 신호 라인의 교차부에는 적어도 2층의 절연막이 배치되므로, 제1 및 제2 신호 라인 간의 이격거리가 증가하게 되어 제1 및 제2 신호 라인(HL,VL) 간의 쇼트 발생을 방지할 수 있다.

#### 도면의 간단한 설명

[0009] 도 1은 종래 유기 발광 표시 장치의 신호 라인들의 위치 관계를 설명하기 위한 단면도이다.  
 도 2는 본 발명에 따른 유기 발광 표시 장치를 나타내는 도면이다.  
 도 3은 도 2에 도시된 유기 발광 표시 장치의 스위칭 트랜지스터 및 센싱 트랜지스터를 구체적으로 나타내는 평면도이다.  
 도 4는 도 3에서 선 "I-I'", "II-II'", "III-III'", "IV-IV'"를 따라 절취한 유기 발광 표시 장치를 나타내는 단면도이다.  
 도 5a 내지 도 5e는 도 4에 도시된 유기 발광 표시 장치를 나타내는 단면도들이다.  
 도 6은 도 3에서 선 "I-I'", "II-II'", "III-III'", "IV-IV'"를 따라 절취한 유기 발광 표시 장치의 다른 실시 예를 나타내는 단면도이다.  
 도 7a 내지 도 7e는 도 6에 도시된 유기 발광 표시 장치를 나타내는 단면도들이다.

#### 발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명하기로 한다.  
 [0011] 도 2는 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.  
 [0012] 도 2에 도시된 유기 발광 표시 장치는 액티브 영역(AA)과 패드 영역(PA)을 구비한다.  
 [0013] 패드 영역(PA)에는 액티브 영역(AA)에 배치되는 스캔 라인(SL), 센싱 제어 라인(SSL), 데이터 라인(DL), 레퍼런스 라인(RL), 고전압(VDD) 공급 라인(VDL) 및 저전압(VSS) 공급 라인(VSL) 각각에 구동 신호를 공급하는 다수의 패드들이 형성된다.  
 [0014] 액티브 영역(AA)은 발광 소자(130)를 포함하는 단위 화소를 통해 영상을 표시한다. 단위 화소는 적색(R), 녹색(G) 및 청색(B) 서브 화소로 구성되거나, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소로 구성된다. 각 서브 화소는 발광 소자(130)와, 발광 소자를 독립적으로 구동하는 화소 구동 회로를 구비한다.

- [0015] 화소 구동 회로는 스위칭 박막 트랜지스터(TSW), 구동 박막 트랜지스터(TD), 센싱 박막 트랜지스터(TSS) 및 스토리지 커패시터(Cst)를 구비한다.
- [0016] 스위칭 박막트랜지스터(TSW)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(Cst) 및 구동 트랜지스터(TD)의 게이트 전극으로 공급한다. 이를 위해, 스위칭 박막트랜지스터(TSW)는 도 3 및 도 4에 도시된 바와 같이 스캔 라인(SL)과 접속된 게이트 전극(106), 데이터 라인(DL)과 접속된 소스 전극(108), 구동 트랜지스터(TD)의 게이트 전극과 접속된 드레인 전극(110), 스위칭 박막 트랜지스터(TSW)의 소스 및 드레인 전극(108,110) 사이의 채널을 형성하는 액티브층(104)을 구비한다.
- [0017] 구동 박막트랜지스터(TD)는 고전압 공급 라인(VDL)으로부터 공급되는 전류를 스토리지 커패시터(Cst)에 충전된 구동 전압에 따라 제어하여 구동 전압에 비례하는 전류를 발광 소자(130)로 공급함으로써 발광 소자(130)를 발광시킨다. 이를 위해, 구동 박막트랜지스터(TD)는 스위칭 박막트랜지스터(TSW)의 드레인 전극(110)과 접속된 게이트 전극, 고전압 공급 라인(VDL)과 접속된 소스 전극, 발광 소자(130)와 접속된 드레인 전극, 구동 박막트랜지스터(TD)의 소스 및 드레인 전극 사이의 채널을 형성하는 액티브층을 구비한다.
- [0018] 센싱 트랜지스터(TSS)는 센싱 제어 라인(SSL)에 센싱 펄스가 공급되면 턴온되어 구동 트랜지스터(TD)의 문턱 전압을 감지한다. 즉, 센싱 트랜지스터(TSE)가 턴온되면, 센싱 트랜지스터(TSE) 및 레퍼런스 라인(RL)으로의 전류 패스가 형성된다. 데이터 드라이버(도시하지 않음) 또는 타이밍 제어부(도시하지 않음)는 전류 패스를 통해 흐르는 전류를 감지하여 구동 트랜지스터(TD)의 문턱 전압 및 발광 소자(130)의 문턱전압을 감지한다. 감지된 문턱 전압을 기초로 데이터 전압은 보상되며, 보상된 데이터 전압은 데이터 라인(DL)에 공급된다. 이를 위해, 센싱 트랜지스터(TSS)는 도 3 및 도 4에 도시된 바와 같이 센싱 제어 라인(SSL)과 접속된 게이트 전극(106), 레퍼런스 라인(RL)과 접속된 소스 전극(108), 및 구동 박막트랜지스터(TD)와 접속된 드레인 전극(110), 센싱 트랜지스터(TSS)의 소스 및 드레인 전극(108,110) 사이의 채널을 형성하는 액티브층(104)을 구비한다.
- [0019] 이러한 스위칭 박막 트랜지스터(TSW) 및 센싱 박막 트랜지스터(TSS)의 각각의 게이트 전극(106)은 그 게이트 전극(106) 각각과 동일 패턴의 게이트 절연패턴(112)을 사이에 두고, 액티브층(104) 각각과 중첩된다. 스위칭 박막트랜지스터(TSW)의 게이트 전극(106)은 도 3에 도시된 바와 같이 게이트 콘택홀(142)을 통해 노출된 스캔 라인(SL)과 연결 전극(140)을 통해 접속된다. 그리고, 센싱 박막 트랜지스터(TSS)의 게이트 전극(106)은 도 4에 도시된 바와 같이 게이트 콘택홀(142)을 통해 노출된 센싱 제어 라인(SSL)과 연결 전극(140)을 통해 접속된다. 여기서, 게이트 콘택홀(142)은 버퍼막(114), 층간 절연막(116)을 관통하도록 형성되어 스캔 라인(SL) 및 센싱 제어 라인(SSL) 각각의 상부면과, 스위칭 박막 트랜지스터(TSW) 및 센싱 박막 트랜지스터(TSS)의 각각의 게이트 전극(106)의 측면을 노출시킨다. 그리고, 연결 전극(140)은 데이터 라인(DL), 소스 및 드레인 전극(108,110)과 동일 재질로 버퍼막(116) 상에 형성된다.
- [0020] 스위칭 박막 트랜지스터(TSW) 및 센싱 박막 트랜지스터(TSS) 각각의 액티브층(104)은 게이트 절연 패턴(112) 상에 게이트 전극(106)과 중첩되게 형성되어 소스 및 드레인 전극(108,110)에 채널을 형성한다. 이 액티브층(104)은 Zn, Cd, Ga, In, Sn, Hf, Zr 중 선택된 적어도 하나 이상의 금속을 포함하는 산화물 반도체로 형성되거나, 다결정 실리콘 또는 비정질 실리콘으로 형성된다.
- [0021] 스위칭 박막 트랜지스터(TSW) 및 센싱 박막 트랜지스터(TSS)의 각각의 소스 전극(108)은 층간 절연막(116)을 관통하는 소스 콘택홀(124S)을 통해 액티브층(104)과 접속된다. 스위칭 박막 트랜지스터(TSW) 및 센싱 박막 트랜지스터(TSS)의 각각의 드레인 전극(110)은 층간 절연막(116)을 관통하는 드레인 콘택홀(124D)을 통해 액티브층(104)과 접속된다.
- [0022] 발광 소자(130)는 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 발광 스택과, 발광 스택 위에 형성된 캐소드 전극을 구비한다.
- [0023] 애노드 전극(132)은 화소 콘택홀(120)을 통해 노출된 구동트랜지스터의 드레인 전극 및 센싱 트랜지스터의 드레인 전극(110)과 전기적으로 접속된다. 이러한 애노드 전극(132)은 발광 영역을 마련하도록 बैं크(138)에 의해 노출된다.
- [0024] 발광 스택은 애노드 전극(132) 상에 정공 관련층, 유기 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다. 이외에도 발광 스택은 전자 생성층을 사이에 두고 대향하는 제1 및 제2 발광 스택들을 구비할 수도 있다. 이 경우, 제1 및 제2 발광 스택 중 어느 하나의 유기 발광층은 청색광을 생성하고, 제1 및 제2 발광 스택 중 나머지 하나의 유기 발광층은 노란색-녹색광을 생성함으로써 제1 및 제2 발광 스택을 통해 백색광이 생성된다.

- [0025] 캐소드 전극은 발광 스택을 사이에 두고 애노드 전극(132)과 대향하도록 발광 스택 및 बैं크(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극은 저전압 공급 라인(VSL)과 전기적으로 접속된다.
- [0026] 한편, 본 발명의 스캔 라인(SL) 및 센싱 제어 라인(SSL) 중 적어도 어느 하나의 제1 신호 라인(HL)은 제1 방향(예를 들어, 수평 방향)으로 형성되며, 데이터 라인(DL), 고전압 공급 라인(VDL) 및 저전압 공급 라인(VSL) 중 적어도 어느 하나의 제2 신호 라인(VL)은 제1 방향과 교차하는 제2 방향(예를 들어, 수직 방향)으로 형성된다. 이러한 제1 신호 라인(HL)은 차광층(102)과 동일 재질로 동일 평면(즉, 기판(101)) 상에 형성된다. 이 제1 신호 라인(HL)은 기판(101)과 접촉하도록 기판(101) 상에 배치되므로, 무기막(예를 들어, 버퍼막(114)) 증착시 주로 발생하는 이물이 제1 신호 라인(HL) 하부에 형성되지 않는다. 따라서, 제1 신호 라인(HL)이 이물에 의해 돌출되는 것을 방지할 수 있어 이물에 의한 제1 및 제2 신호 라인(HL, VL) 간의 쇼트 불량을 방지할 수 있다. 반면에, 버퍼막 상에 배치되는 종래 제1 신호 라인은 버퍼막 증착시 이물이 발생되어 이물에 의해 돌출되어 형성되므로, 제1 및 제2 신호 라인 사이에 쇼트 불량이 발생된다.
- [0027] 그리고, 제2 신호 라인(VL)은 소스 및 드레인 전극(108, 110)과 동일 재질로 동일 평면(즉, 층간 절연막(116)) 상에 형성된다. 이에 따라, 제1 및 제2 신호 라인(HL, VL)의 교차부에는 버퍼막(114) 및 층간 절연막(116)을 포함하는 적어도 2층의 절연막이 배치된다. 이에 따라, 본 발명에 따른 제1 및 제2 신호 라인(HL, VL) 간의 이격 거리는 층간 절연막을 사이에 두고 배치되는 종래 제1 및 제2 신호 라인 간의 이격거리보다 두 배 이상으로 증가하게 되므로 제1 및 제2 신호 라인(HL, VL) 간의 쇼트 발생을 방지할 수 있다. 이러한 제1 및 제2 신호 라인(HL, VL) 간의 쇼트 불량이 방지되므로, 본 발명에서는 제1 신호 라인(HL)의 리턴던스 라인을 형성하지 않아도 되므로, 리턴던스 라인과 제2 신호 라인(VL) 간의 기생 캐패시터 발생을 방지할 수 있다.
- [0028] 또한, 본 발명에서는 제1 및 제2 신호 라인(HL, VL) 간의 이격 거리가 종래에 비해 증가하게 되므로 제1 및 제2 신호 라인(HL, VL) 간의 기생 캐패시터의 용량값을 줄일 수 있다.
- [0029] 도 5a 내지 도 5e는 도 4에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0030] 도 5a를 참조하면, 기판(101) 상에 스캔 라인(SL) 및 센싱 제어 라인(SSL)을 포함하는 제1 신호 라인(HL)과, 차광층(102)이 형성된다.
- [0031] 구체적으로, 기판(101) 상에 스퍼터링 등의 증착 방법을 통해 제1 도전층이 전면 증착된다. 여기서, 제1 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정과 식각 공정을 통해 제1 도전층이 패터닝됨으로써 스캔 라인(SL) 및 센싱 제어 라인(SSL)을 포함하는 제1 신호 라인(HL)과, 차광층(102)이 형성된다.
- [0032] 도 5b를 참조하면, 제1 신호 라인(HL)과 차광층(102)이 형성된 기판(101) 상에 버퍼막(114)이 형성되고, 그 버퍼막(114) 상에 액티브층(104)이 형성된다.
- [0033] 구체적으로, 제1 신호 라인(HL)과 차광층(102)이 형성된 기판(101) 상에 SiO<sub>x</sub> 또는 SiN<sub>x</sub> 등과 같은 무기 절연 물질이 전면 증착됨으로서 단층 또는 다층 구조의 버퍼막(114)이 형성된다. 그런 다음, 버퍼막(114)이 형성된 기판(101) 상에 LPCVD(Low Pressure Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방법을 통해 액티브 물질이 증착된 다음, 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 액티브층(104)이 형성된다.
- [0034] 도 5c를 참조하면, 액티브층(104)이 형성된 기판(101) 상에 게이트 전극(106)과, 게이트 절연 패턴(112)이 동일 선폭으로 형성된다.
- [0035] 구체적으로, 액티브층(104)이 형성된 기판(101) 상에 게이트 절연막이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 제2 도전층이 형성된다. 게이트 절연막으로는 SiO<sub>x</sub>, SiN<sub>x</sub> 등과 같은 무기 절연 물질이 이용된다. 제2 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정과 식각 공정을 통해 제2 도전층과 게이트 절연막이 동시에 패터닝됨으로써 게이트 전극(106)과, 게이트 절연 패턴(112)이 동일 선폭으로 형성된다.
- [0036] 도 5d를 참조하면, 게이트 전극(106)과, 게이트 절연 패턴(112)이 형성된 기판(101) 상에 소스 콘택홀(124S), 드레인 콘택홀(124D), 게이트 콘택홀(142)을 가지는 층간 절연막(116)이 형성된다.
- [0037] 구체적으로, 게이트 전극(106)과, 게이트 절연 패턴(112)이 형성된 기판(101) 상에 PECVD 등의 증착 방법으로 층간 절연막(116)이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 층간 절연막(116)이 패터닝됨으로써 소스 콘택홀(124S), 드레인 콘택홀(124D), 게이트 콘택홀(142)이 형성된다. 여기서, 소스 콘택홀

(124S) 및 드레인 콘택홀(124D)는 층간 절연막(116)을 관통하도록 형성되어 액티브층(104)을 노출시키도록 형성되며, 게이트 콘택홀(142)은 층간 절연막(116) 및 버퍼막(114)을 관통하도록 형성되어 게이트 전극(106)의 측면 및 제1 신호 라인(HL)의 상부면을 노출시키도록 형성된다.

[0038] 도 5e를 참조하면, 소스 콘택홀(124S), 드레인 콘택홀(124D), 게이트 콘택홀(142)을 가지는 층간 절연막(116) 상에 데이터 라인(DL), 저전압 공급 라인(VSL), 고전압 공급 라인(VDL)을 포함하는 제2 신호 라인(VL)과, 소스 전극(108), 드레인 전극(110) 및 연결 전극(140)이 형성된다.

[0039] 구체적으로, 소스 콘택홀(124S), 드레인 콘택홀(124D), 게이트 콘택홀(142)을 가지는 층간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 제3 도전층이 형성된다. 제3 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 제3 도전층이 포토리소그래피 공정 및 식각 공정을 통해 패터닝됨으로써 데이터 라인(DL), 저전압 공급 라인(VSL), 고전압 공급 라인(VDL)을 포함하는 제2 신호 라인(VL)과, 소스 전극(108), 드레인 전극(110) 및 연결 전극(140)이 형성된다.

[0040] 그런 다음, 제2 신호 라인(VL)과, 소스 전극(108), 드레인 전극(110) 및 연결 전극(140)이 형성된 기판(101) 상에 보호막(118), 평탄화막(128), 애노드 전극(132), बैं크(138), 발광 스택 및 캐소드 전극이 순차적으로 형성된다.

[0041] 도 6은 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

[0042] 도 6에 도시된 유기 발광 표시 장치는 도 4에 도시된 유기 발광 표시 장치와 대비하여 차광층(102)과 동일 재질로 기판(101) 상에 형성되는 제1 신호 라인(HL)이 별도의 연결 전극없이 게이트 전극(106)과 직접 접촉되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

[0043] 게이트 콘택홀(142)은 버퍼막(114)을 관통하도록 형성되어 제1 신호 라인(HL)에 포함되는 스캔 라인(SL) 및 센싱 제어 라인(SSL) 각각의 상부면과, 게이트 절연 패턴(112)의 측면을 노출시킨다. 이에 따라, 스위칭 박막 트랜지스터(TSW)의 게이트 전극(106)은 게이트 콘택홀(142)을 통해 노출된 스캔 라인(SL)과 직접 접촉된다. 그리고, 센싱 박막 트랜지스터(TSS)의 게이트 전극(106)은 게이트 콘택홀(142)을 통해 노출된 센싱 제어 라인(SSL)과 직접 접촉된다.

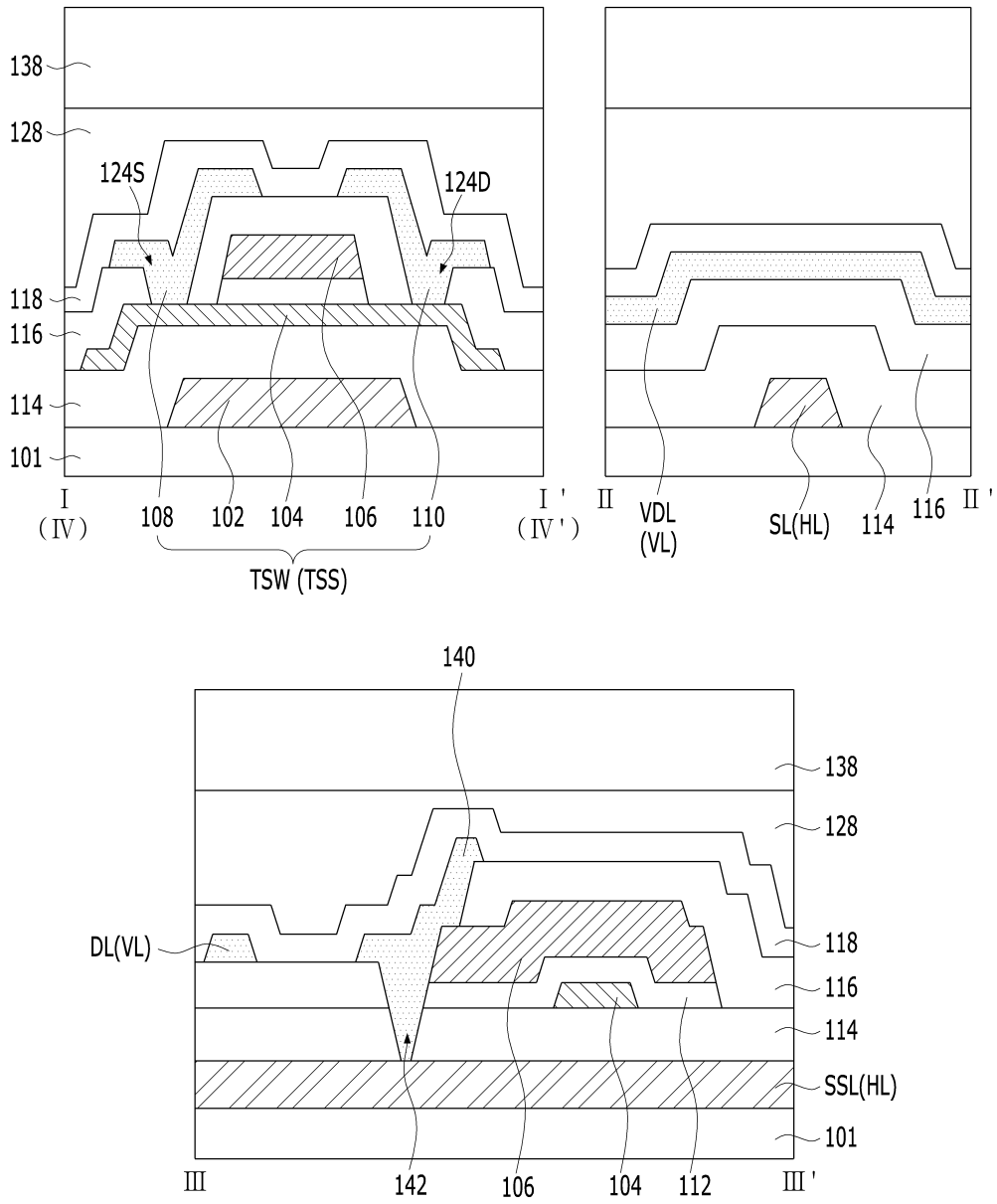
[0044] 도 7a 내지 도 7d는 도 6에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0045] 먼저, 도 5a 및 도 5b에 도시된 전술한 제조 방법을 통해 기판 상에 제1 신호 라인(HL), 차광층(102), 버퍼막(114) 및 액티브층(104)이 형성된다. 그런 다음, 액티브층(104)이 형성된 기판(101) 상에 SiO<sub>x</sub>, SiN<sub>x</sub> 등과 같은 무기 절연 물질의 게이트 절연막이 형성되고, 그 게이트 절연막이 포토리소그래피 공정과 식각 공정을 통해 패터닝됨으로써 도 7a에 도시된 바와 같이 게이트 절연 패턴(112)이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 버퍼막(114)이 패터닝됨으로써 도 7b에 도시된 바와 같이 게이트 콘택홀(142)이 형성된다. 여기서, 게이트 콘택홀(142)은 버퍼막(114)을 관통하도록 형성되어 게이트 절연 패턴(112)의 측면 및 제1 신호 라인(HL)의 상부면을 노출시킨다. 그런 다음, 게이트 콘택홀(142)이 형성된 기판(101) 상에 스퍼터링 등의 증착 방법으로 제2 도전층이 형성된다. 제2 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정과 식각 공정을 통해 제2 도전층이 패터닝됨으로써 도 7c에 도시된 바와 같이 게이트 전극(106)이 형성된다. 게이트 전극(106)은 게이트 콘택홀(142)을 통해 제1 신호 라인(HL)과 직접 접촉된다. 그런 다음, 게이트 전극(106)이 형성된 기판(101) 상에 PECVD 등의 증착 방법으로 층간 절연막(116)이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 층간 절연막(116)이 패터닝됨으로써 도 7d에 도시된 바와 같이 소스 콘택홀(124S) 및 드레인 콘택홀(124D)이 형성된다. 그런 다음, 소스 콘택홀(124S) 및 드레인 콘택홀(124D)을 가지는 층간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 제3 도전층이 형성된다. 제3 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 제3 도전층이 포토리소그래피 공정 및 식각 공정을 통해 패터닝됨으로써 도 7e에 도시된 바와 같이 데이터 라인(DL), 저전압 공급 라인(VSL), 고전압 공급 라인(VDL)을 포함하는 제2 신호 라인(VL)과, 소스 전극(108), 및 드레인 전극(110)이 형성된다. 그런 다음, 제2 신호 라인(VL)과, 소스 전극(108) 및 드레인 전극(110)이 형성된 기판(101) 상에 보호막(118), 평탄화막(128), 애노드 전극(132), बैं크(138), 발광 스택 및 캐소드 전극이 순차적으로 형성된다.

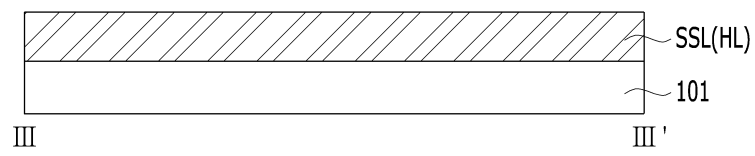
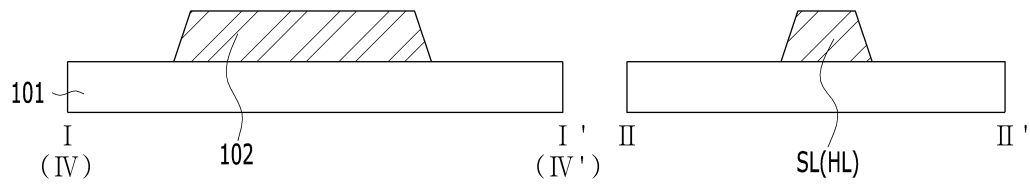




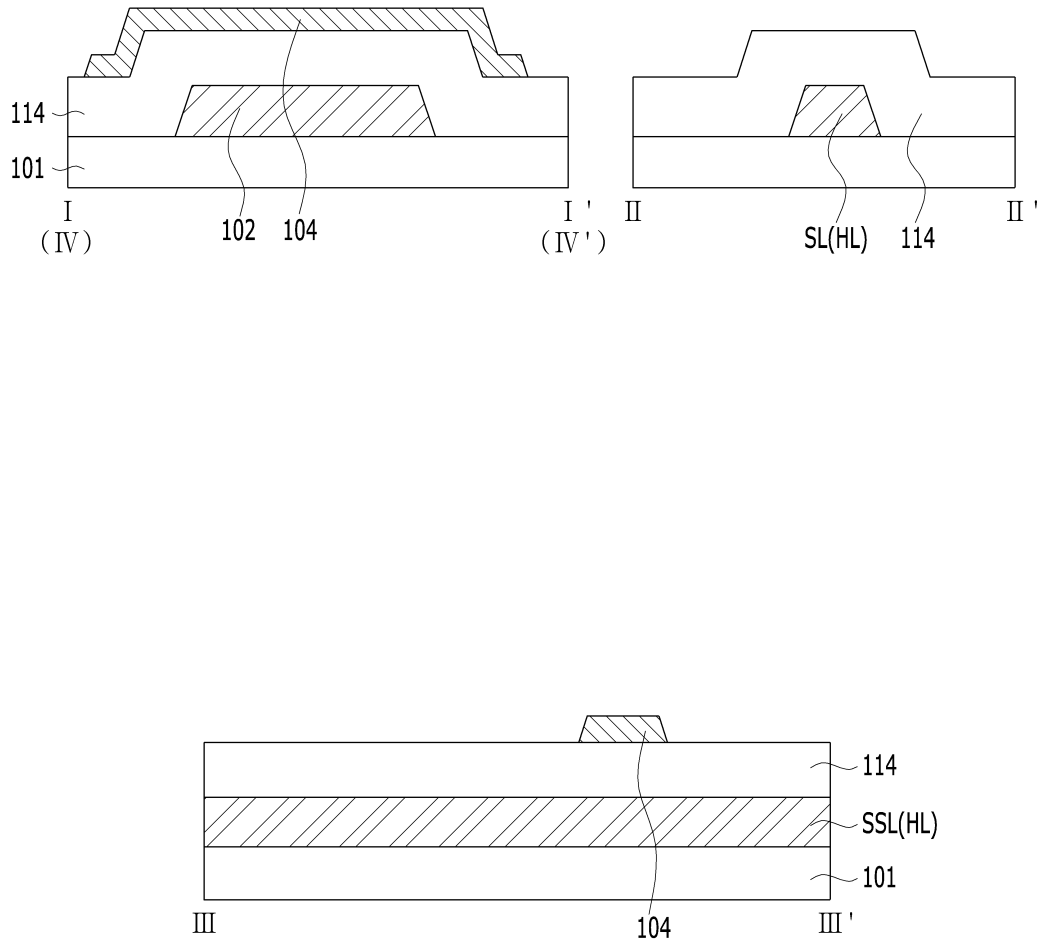
도면4



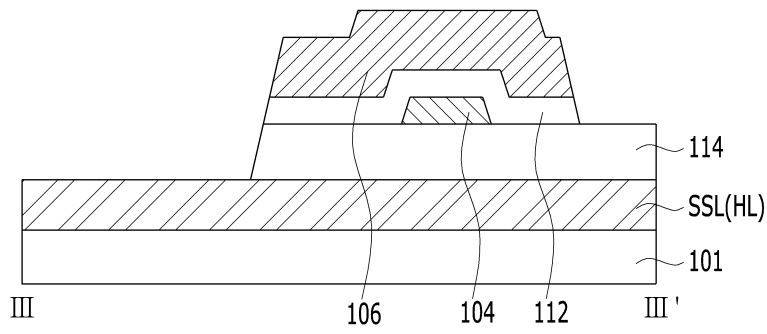
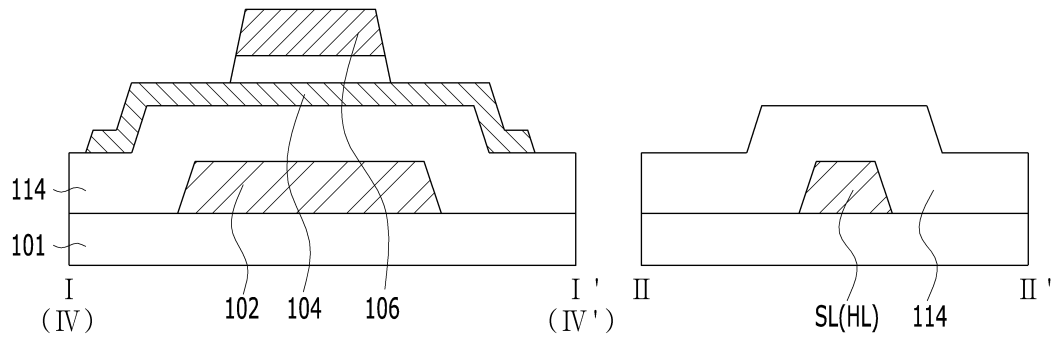
도면5a



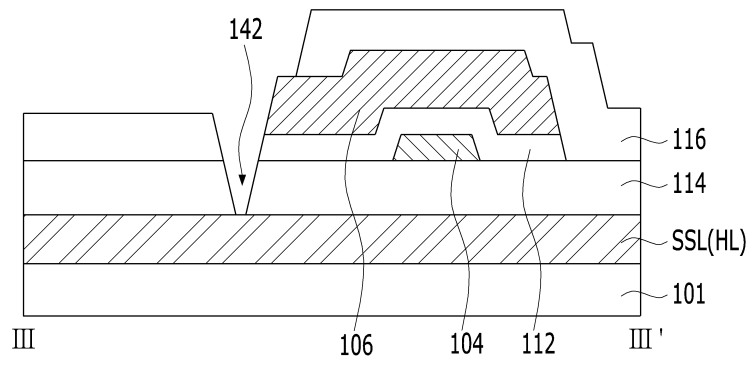
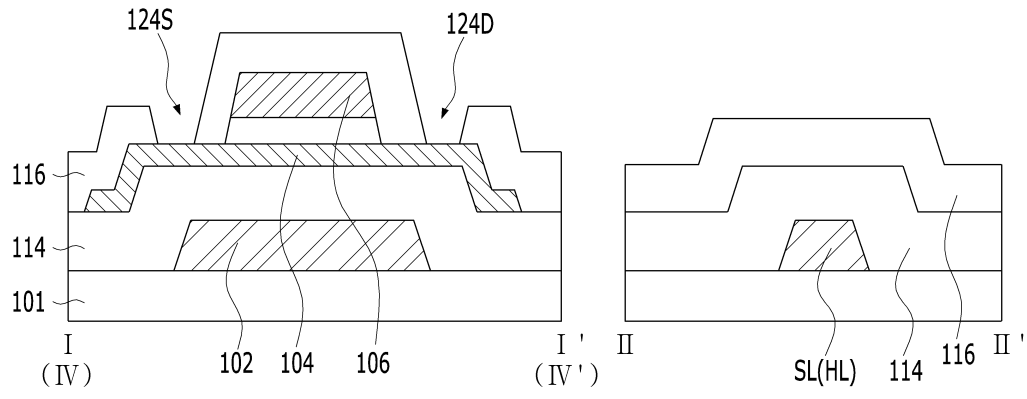
도면5b



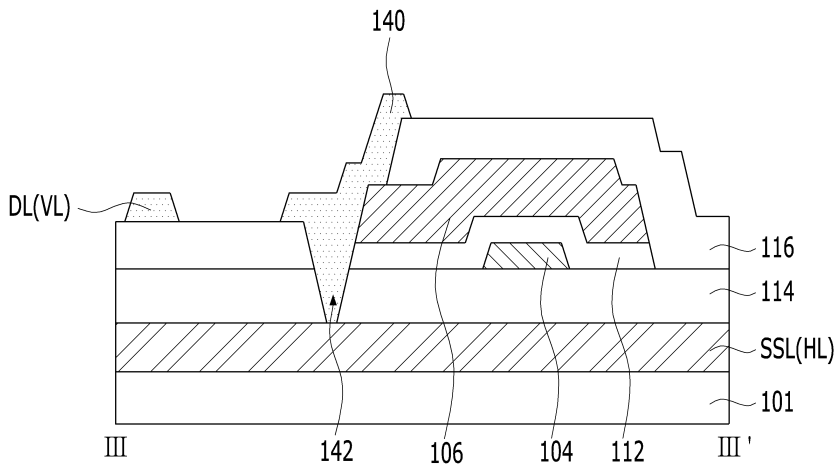
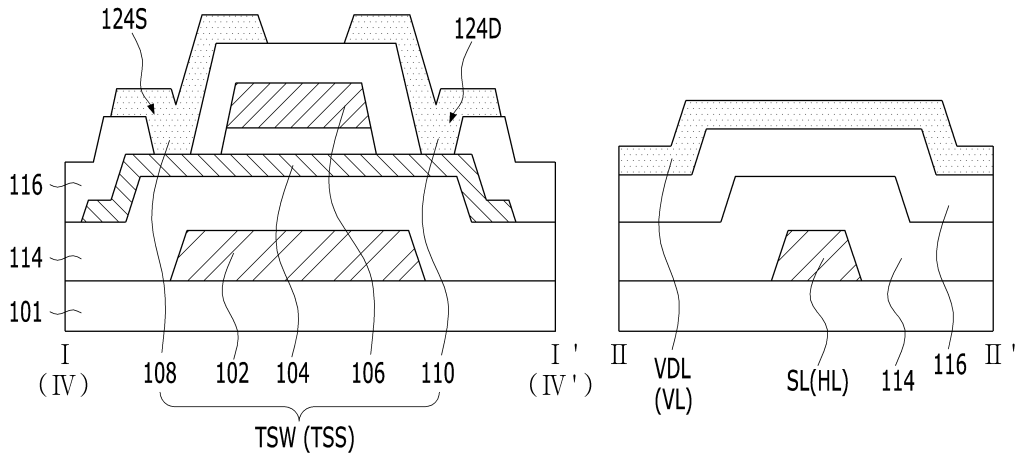
도면5c



도면5d

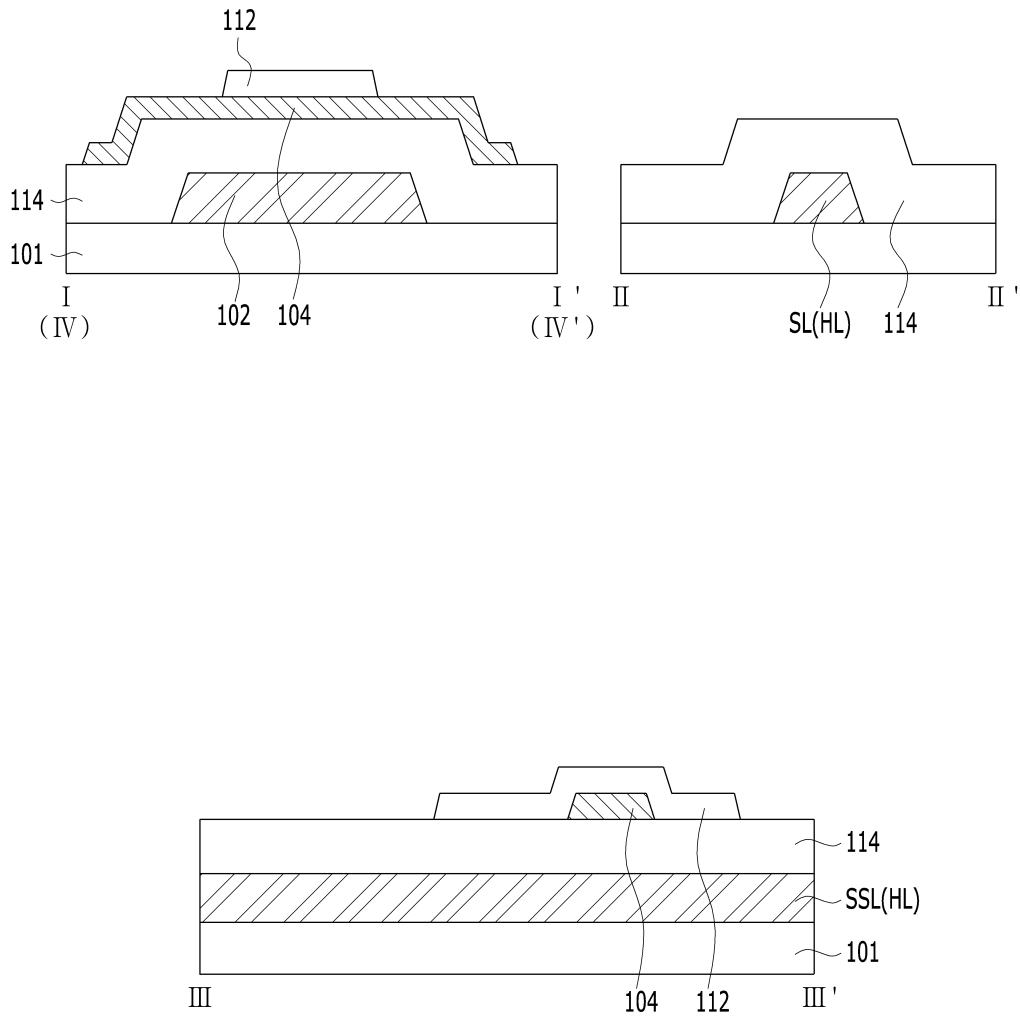


도면5e

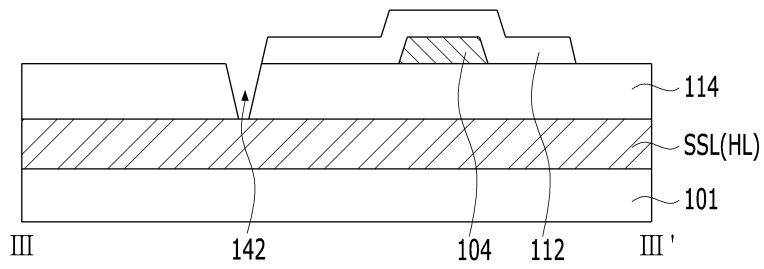
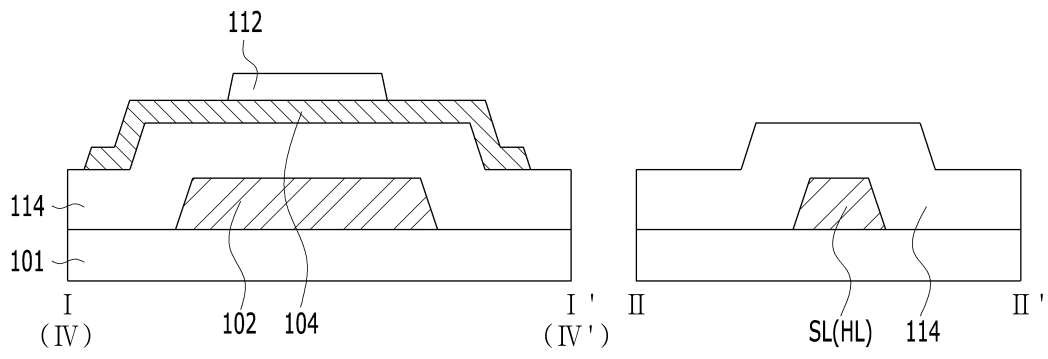




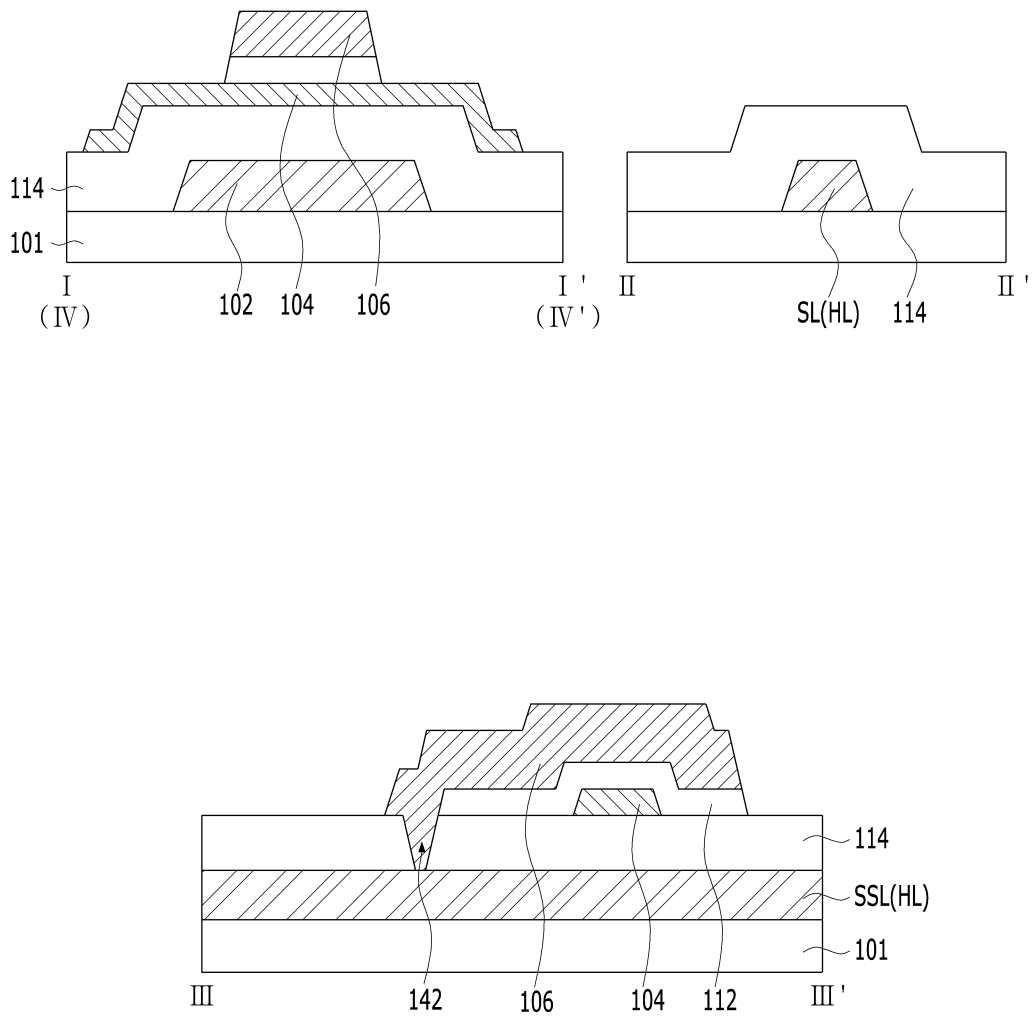
도면7a



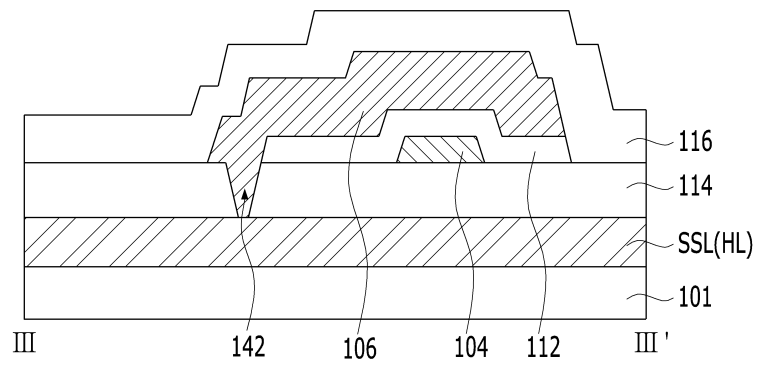
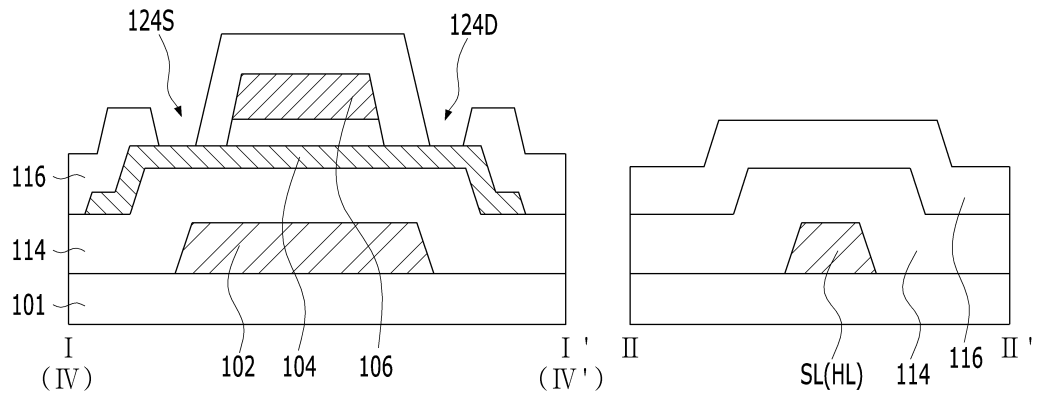
도면7b



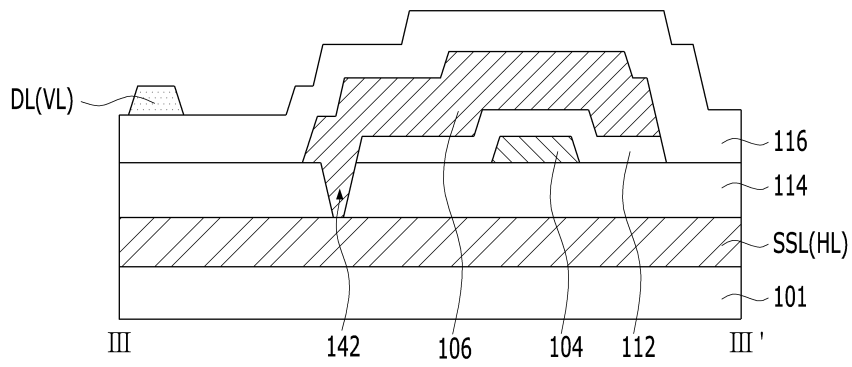
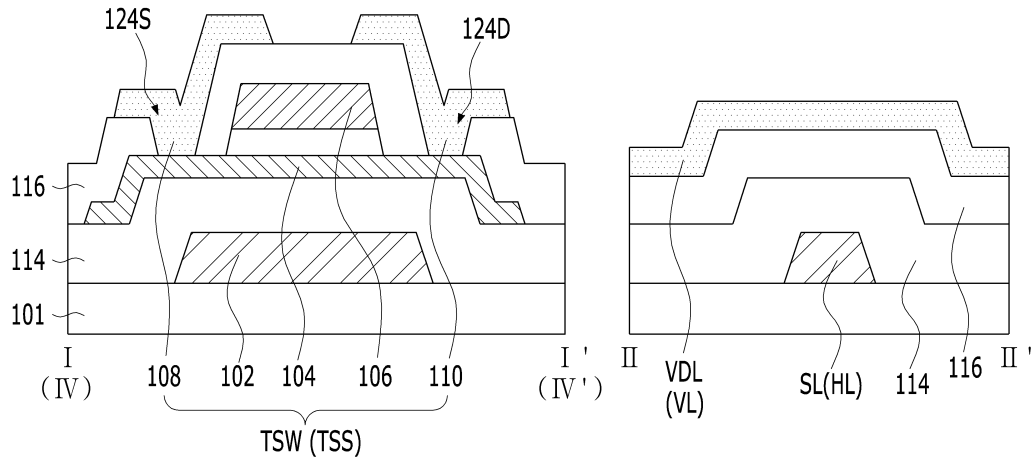
도면7c



도면7d



도면7e



专利名称(译)	有机发光显示设备		
公开(公告)号	<a href="#">KR1020180061801A</a>	公开(公告)日	2018-06-08
申请号	KR1020160161362	申请日	2016-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO WOO CHAN 조우찬 JEONG HO YOUNG 정호영 KIM YONG MIN 김용민		
发明人	조우찬 정호영 김용민		
IPC分类号	H01L27/32 H01L27/12		
CPC分类号	H01L27/3276 H01L27/124 H01L27/3262 H01L27/3258 H01L27/3248 G09G3/3225 G09G3/3233 G09G2320/0295 G09G2320/043 H01L27/1244 G09G3/3241 H01L27/3246 H01L51/5203 H01L51/56		
代理人(译)	Bakyounbok		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及用于防止信号线短路故障的有机发光显示装置，并且形成根据本发明的有机发光显示装置，使得布置在水平方向上的扫描线和第一信号线包括感测控制线接触基板上的基板并且由于数据线布置在垂直方向上，并且高压供应线和包括低压供应线的第二信号线形成在至少2层的绝缘层上为了覆盖第一信号线，可以防止第一和第二信号线之间的短路故障。

