



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0013369
(43) 공개일자 2018년02월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1237 (2013.01)
(21) 출원번호 10-2016-0096981
(22) 출원일자 2016년07월29일
심사청구일자 2016년07월29일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이복영
서울특별시 은평구 녹번로3길 16-24 (녹번동)
이영욱
경기도 고양시 일산서구 하이파크3로 61, 411동
801호(덕이동, 하이파크시티일산파밀리에4단지)
(74) 대리인
특허법인인벤투스

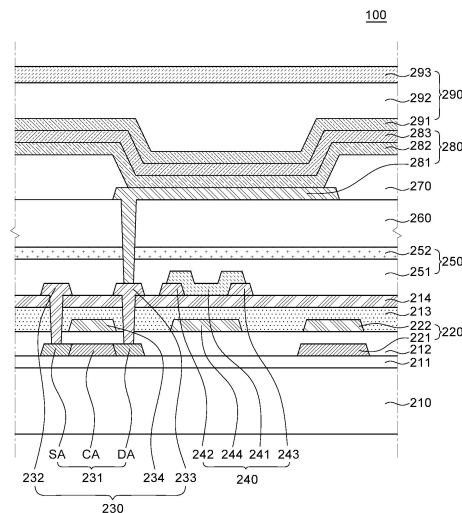
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치

(57) 요약

본 발명은 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에 관한 것이다. 본 발명의 유기 발광 표시 장치는 기판, 기판 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자 및 유기 발광 소자를 덮는 봉지부를 포함하고, 산화물 반도체 박막 트랜지스터의 액티브층의 손상을 최소화하기 위하여, 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극 상면에 산화물 반도체 박막 트랜지스터의 액티브층이 위치한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/124 (2013.01)

H01L 27/1251 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/5253 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터;

상기 LTPS 박막 트랜지스터 및 상기 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자; 및

상기 유기 발광 소자를 덮는 봉지부를 포함하고,

상기 산화물 반도체 박막 트랜지스터는, 상기 산화물 반도체 박막 트랜지스터의 액티브층의 손상을 최소화하기 위하여, 상기 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극 상면에 상기 액티브층이 위치하는, 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 액티브층은 상기 제1 소스 전극 및 상기 제1 드레인 전극의 평평한 부분과 오버랩되는 제1 영역, 상기 제1 소스 전극 및 상기 제1 드레인 전극의 경사진 부분과 오버랩되는 제2 영역 및 상기 제1 소스 전극 및 상기 제1 드레인 전극과 오버랩되지 않는 제3 영역을 포함하고,

상기 제1 영역의 두께와 상기 제3 영역의 두께가 동일한, 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 제1 소스 전극 및 상기 제1 드레인 전극은 상기 LTPS 박막 트랜지스터의 제2 소스 전극 및 제2 드레인 전극과 동일 평면 상에 배치된, 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 소스 전극 및 상기 제1 드레인 전극과 상기 제2 소스 전극 및 상기 제2 드레인 전극은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어진, 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 액티브층 상에 위치하는 제1 절연층 및 상기 제1 절연층 상에 위치하는 제2 절연층을 더 포함하는, 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제2 절연층의 유전율은 상기 제1 절연층의 유전율보다 높은, 유기 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 제1 게이트 전극 및 상기 LTPS 박막 트랜지스터의 제2 게이트 전극은 동일한 물질이며, 동일한 평면 상에 배치된, 유기 발광 표시 장치.

청구항 8

기관;

상기 기관 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터;

상기 LTPS 박막 트랜지스터 및 상기 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자; 및

상기 유기 발광 소자를 덮는 봉지부를 포함하고,

상기 산화물 반도체 박막 트랜지스터의 액티브층이 수소에 노출되는 것을 최소화하기 위하여, 상기 산화물 반도체 박막 트랜지스터의 제1 게이트 전극이 상기 액티브층 상에 위치하는, 유기 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 제1 게이트 전극은 상기 액티브층과 오버랩되는, 유기 발광 표시 장치.

청구항 10

제8항에 있어서,

상기 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극은 상기 LTPS 박막 트랜지스터의 제2 소스 전극 및 제2 드레인 전극과 동일한 물질인, 유기 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 제1 소스 전극 및 상기 제1 드레인 전극과 상기 제2 소스 전극 및 상기 제2 드레인 전극은 동일한 평면 상에 배치된, 유기 발광 표시 장치.

청구항 12

제10항에 있어서,

상기 액티브층은 상기 제1 소스 전극 및 상기 제1 드레인 전극의 상면과 오믹(Ohmic) 접촉하는, 유기 발광 표시 장치.

청구항 13

제8항에 있어서,

상기 액티브층과 상기 제1 게이트 전극 사이에 다중 절연층을 더 포함하고,

상기 다중 절연층은 상기 액티브층을 덮는 제1 절연층 및 상기 제1 절연층을 덮는 제2 절연층으로 구성된, 유기 발광 표시 장치.

청구항 14

제1 소스 전극 및 제1 드레인 전극을 가진 LTPS 박막 트랜지스터 및 제2 소스 전극 및 제2 드레인 전극을 가진 산화물 반도체 박막 트랜지스터가 함께 구현된 기관;

상기 제2 소스 전극 및 상기 제2 드레인 전극 사이에 있고, 상기 제2 소스 전극 및 상기 제2 드레인 전극 각각의 서로 마주하는 끝단을 덮는 S/D 오버랩 구조를 가진 산화물 채널층; 및

상기 S/D 오버랩 구조를 가진 상기 산화물 채널층을 보호하고, 상기 산화물 반도체 박막 트랜지스터의 게이트 전극 역할을 하는 메탈층을 포함하며,

상기 제1 소스 전극 및 상기 제1 드레인 전극과 상기 제2 소스 전극 및 상기 제2 드레인 전극은 동일한 평면에 위치하고 동일한 물질로 이루어진, 유기 발광 표시 장치.

청구항 15

제14항에 있어서,

상기 산화물 채널층은 상기 메탈층의 투영영역에 대응하도록 위치하는, 유기 발광 표시 장치.

청구항 16

제15항에 있어서,

상기 메탈층은 상기 산화물 채널층의 상부에 위치하는, 유기 발광 표시 장치.

청구항 17

제14항에 있어서,

상기 제1 소스 전극 및 상기 제1 드레인 전극과 상기 제2 소스 전극 및 상기 제2 드레인 전극은 Ti/Al/Ti(티타늄/알루미늄/티타늄)의 3층 구조로 이루어진, 유기 발광 표시 장치.

청구항 18

제14항에 있어서,

상기 산화물 채널층 및 상기 메탈층 사이에 절연층을 더 포함하는, 유기 발광 표시 장치.

청구항 19

제18항에 있어서,

상기 절연층은 제1 절연층 및 상기 제1 절연층 상에 위치하는 제2 절연층으로 이루어진 다층 구조이며,

상기 제2 절연층의 상면은 상기 메탈층의 하면과 접촉하는, 유기 발광 표시 장치.

청구항 20

제19항에 있어서,

상기 제1 절연층의 수소 함량은 상기 제2 절연층의 수소 함량보다 작은, 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것으로서, 보다 상세하게는 하나의 기판에 서로 다른 타입의 박막 트랜지스터들이 배치된 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 본격적인 정보화 시대로 접어들어 따라 전기적 정보 신호를 시각적으로 표현하는 디스플레이 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저 소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시 장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003] 이와 같은 평판 표시 장치의 구체적인 예로는 액정 표시 장치(LCD), 유기 발광 표시 장치(OLED), 전기 영동 표시 장치(EPD), 플라즈마 표시 장치(PDP) 및 전기 습윤 표시 장치(EWD) 등을 들 수 있다. 특히, 유기 발광 표시 장치는 자체 발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치에 비해 시야각, 콘트라스트(contrast), 응답 속도, 소비 전력 등의 측면에서 우수한 특성을 갖는다.

[0004] 유기 발광 표시 장치는 영상을 표시하기 위한 유기 발광 소자와 유기 발광 소자를 구동하기 위한 화소 회로가 배치되는 표시 영역 및 표시 영역에 인접하고 구동 회로가 배치되는 비표시 영역을 포함한다. 특히, 화소 회로 및 구동 회로에는 복수의 박막 트랜지스터가 위치하여 복수의 화소의 유기 발광 소자를 구동시킨다.

[0005] 박막 트랜지스터는 액티브층을 구성하는 물질에 따라 분류될 수 있다. 그 중 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS) 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 가장 널리 사용되고 있다. 그러나,

현재 유기 발광 표시 장치에서는 화소 회로 및 구동 회로를 구성하는 박막 트랜지스터로 하나의 기판 상에 LTPS 박막 트랜지스터만 사용하거나 산화물 반도체 박막 트랜지스터만 사용하고 있다. 그러나, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 중 어느 하나만으로 화소 회로 및 구동 회로를 구성하는 경우 다양한 문제가 존재하여, 하나의 유기 발광 표시 장치에 서로 다른 타입의 박막 트랜지스터를 적용하고자 하는 요구가 존재한다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 발명자들은 상술한 요구를 인식하고, 하나의 기판에 서로 다른 타입의 박막 트랜지스터를 적용하는 기술에 대해 연구하였으며, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 적용된 유기 발광 표시 장치를 발명하였다. 그러나, 본 발명의 발명자들은 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터를 하나의 기판에 적용시킬 경우, 산화물 반도체 소자의 신뢰성 및 수명이 떨어지는 문제점이 존재한다는 것을 인식하였다.
- [0007] 먼저, LTPS 박막 트랜지스터의 액티브층에 대한 수소화 공정을 위해 사용되는 LTPS 박막 트랜지스터의 층간 절연층에 포함된 수소가 산화물 반도체 박막 트랜지스터의 액티브층으로 확산되어 산화물 반도체 박막 트랜지스터의 임계 전압(threshold voltage; V_{th})이 변경될 수 있는 문제점이 있다.
- [0008] 또한, 유기 발광 표시 장치에서 사용되는 봉지부의 무기막들은 유기 발광 소자 상에 형성되어야 하므로 저온 공정에서 형성된다. 그러나, 저온 공정에서 형성된 무기막들은 상대적으로 많은 수소를 포함하고 있으며, 이러한 수소들이 산화물 반도체 박막 트랜지스터의 액티브층으로 확산되어 산화물 반도체 박막 트랜지스터의 임계 전압(V_{th})이 변경될 수 있는 문제점이 있다.
- [0009] 또한, 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극을 형성하는 과정에서 산화물 반도체 박막 트랜지스터의 액티브층이 손상될 수 있고, 이에 따라 산화물 반도체 박막 트랜지스터의 신뢰성이 저하될 수 있는 문제점이 있다.
- [0010] 또한, 봉지부에 침투한 수소 또는 봉지부의 무기물층에 포함된 수소가 산화물 반도체 박막 트랜지스터의 액티브층으로 확산되어 산화물 반도체 박막 트랜지스터의 임계 전압(V_{th})이 변경될 수 있는 문제점이 있다.
- [0011] 이에, 본 발명의 해결하고자 하는 과제는 상술한 바와 같은 문제점을 해결하기 위한 유기 발광 표시 장치를 제공하는 것이다.
- [0012] 구체적으로, 본 발명이 해결하고자 하는 과제는 산화물 반도체 박막 트랜지스터의 적층 구조를 다양하게 설계하여, 산화물 반도체 박막 트랜지스터의 액티브층의 손상을 최소화할 수 있는 유기 발광 표시 장치를 제공하는 것이다.
- [0013] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0014] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치가 제공된다. 유기 발광 표시 장치는 기판, 기판 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, LTPS 박막 트랜지스터 및 상기 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자 및 유기 발광 소자를 덮는 봉지부를 포함하고, 산화물 반도체 박막 트랜지스터는, 산화물 반도체 박막 트랜지스터의 액티브층의 손상을 최소화하기 위하여, 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극 상면에 액티브층이 위치하도록 구성된다.
- [0015] 또한, 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 기판 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자 및 유기 발광 소자를 덮는 봉지부를 포함하고, 산화물 반도체 박막 트랜지스터의 액티브층이 수소에 노출되는 것을 최소화하기 위하여 산화물 반도체 박막 트랜지스터의 제1 게이트 전극이 액티브층 상에 위치하도록 구성된다.
- [0016] 또한, 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 소스

전극 및 제1 드레인 전극을 가진 LTPS 박막 트랜지스터 및 제2 소스 전극 및 제2 드레인 전극을 가진 산화물 반도체 박막 트랜지스터가 함께 구현된 기관, 제2 소스 전극 및 제2 드레인 전극 사이에 있고 제2 소스 전극 및 제2 드레인 전극 각각의 서로 마주하는 끝단을 덮는 S/D 오버랩 구조를 가진 산화물 채널층 및 S/D 오버랩 구조를 가진 산화물 채널층을 보호하고, 산화물 반도체 박막 트랜지스터의 게이트 전극 역할을 하는 메탈층을 포함하며, 제1 소스 전극 및 제1 드레인 전극 및 제2 소스 전극 및 제2 드레인 전극은 동일한 평면에 위치하고 동일한 물질로 이루어진다.

[0017] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0018] 본 발명은 멀티 타입의 박막 트랜지스터를 하나의 기관에 적용하면서 발생하는 다양한 문제를 해결할 수 있는 새로운 구조를 갖는 유기 발광 표시 장치 및 새로운 유기 발광 표시 장치의 제조 방법을 제공할 수 있다.

[0019] 구체적으로, 본 발명은 유기 발광 표시 장치 내의 다양한 절연층들에 포함된 수소가 산화물 반도체 박막 트랜지스터의 액티브층에 확산되는 것을 저감하여 산화물 반도체 박막 트랜지스터의 신뢰성을 개선할 수 있다.

[0020] 또한, 본 발명은 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극을 형성한 이후에 액티브층을 형성함으로써, 소스 전극 및 드레인 전극을 형성하는 과정에서 발생가능한 액티브층의 물리적 손상 및 임계 전압(V_{th})의 변동을 방지할 수 있다.

[0021] 또한, 본 발명은 산화물 반도체 박막 트랜지스터의 액티브층에 수소가 확산되는 것을 방지하기 위하여, 산화물 반도체 박막 트랜지스터의 액티브층 상에 게이트 전극을 배치하여, 산화물 반도체 박막 트랜지스터의 신뢰성을 개선할 수 있다.

[0022] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 블록도이다.

도 2는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 3a 및 도 3b는 유기 발광 표시 장치의 산화물 반도체 박막 트랜지스터의 액티브층의 손상 가능성을 설명하기 위한 단면도이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치의 산화물 반도체 박막 트랜지스터의 액티브층을 설명하기 위한 단면도이다.

도 5는 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0025] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0026] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0027] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0028] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0029] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0030] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0031] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0032] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0034] 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는 적어도 2개의 타입의 박막 트랜지스터가 동일한 기판 상에 형성된다. 멀티 타입의 박막 트랜지스터는 하나의 기판에 형성된 서로 상이한 타입의 박막 트랜지스터를 의미한다. 여기서, 적어도 2개의 타입의 박막 트랜지스터로서 폴리 실리콘 물질을 액티브층으로 하는 박막 트랜지스터와 금속 산화물을 액티브층으로 하는 박막 트랜지스터가 사용된다.
- [0035] 먼저, 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는 폴리 실리콘 물질을 액티브층으로 하는 박막 트랜지스터로서 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 LTPS 박막 트랜지스터가 사용된다. 폴리 실리콘 물질은 이동도가 높아 ($100\text{cm}^2/\text{Vs}$ 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 LTPS 박막 트랜지스터가 적용될 수 있으며, 유기 발광 표시 장치에서 화소 내 구동 박막 트랜지스터로 적용되는 것이 바람직하다.
- [0036] 다음으로, 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 박막 트랜지스터가 사용된다. 산화물 반도체 물질은 실리콘 물질과 비교하여 밴드갭이 더 큰 물질이므로 오프(Off) 상태에서 전자가 밴드갭을 넘어가지 못하며, 이에 따라 오프-전류(Off-Current)가 낮다. 따라서, 산화물 반도체 박막 트랜지스터는 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다. 또한, 오프-전류가 작으므로 보조 용량의 크기가 감소될 수 있으므로, 산화물 반도체 박막 트랜지스터는 고해상도 표시 소자에 적합하다.
- [0037] 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는, 서로 성질이 다른 LTPS 박막 트랜지스터와 산화물 반도체 박막 트랜지스터를 동일 기판 위에 배치함으로써, 최적의 기능을 제공할 수 있다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 블록도이다.
- [0039] 도 1을 참조하면, 유기 발광 표시 장치(100)는 유기 발광 표시 패널(10), 게이트 구동부(11), 데이터 구동부(12), 멀티플렉서(MUX; 14) 및 타이밍 콘트롤러(13)를 포함한다.
- [0040] 타이밍 콘트롤러(13)는 유기 발광 표시 패널(10)의 화소(P)에 입력 영상의 데이터를 기입하는 데이터 구동부(12)와 게이트 구동부(11)를 포함하는 표시 패널 구동 회로를 제어한다. 유기 발광 표시 패널(10)에 터치 감지부가 더 포함되는 경우, 표시 패널 구동 회로는 터치 감지 구동부를 더 포함할 수 있다.
- [0041] 유기 발광 표시 패널(10)에는 복수의 데이터 라인(DL)과 복수의 스캔 라인(SL)이 교차되고, 복수의 화소(P)가

매트릭스 형태로 배치된다. 또한, 유기 발광 표시 패널(10)에는 도 2a 및 도 2b를 참조하여 후술할 초기화 전압 라인(Vinit), 발광 제어 신호 라인(EM), 고전위 전압 라인(VDD), 저전위 전압 라인(VSS) 등과 같은 다양한 배선이 더 배치될 수 있다. 복수의 스캔 라인(SL)은 도 2a 및 도 2b를 참조하여 후술할 제1 스캔 라인(SL), 제2 스캔 라인(SL) 및 발광 제어 신호 라인(EM)을 포함한다.

- [0042] 복수의 화소(P) 각각은 하나의 색을 구현하기 위한 화소로서, 적색 화소, 녹색 화소 및 청색 화소를 포함할 수 있다. 또한, 유기 발광 표시 패널(10)의 휘도 및 수명을 개선하기 위해 복수의 화소(P)는 백색 화소를 더 포함할 수 있다. 적색 화소, 녹색 화소 및 청색 화소(및 백색 화소)가 하나의 그룹을 형성하여 원하는 컬러 구현이 가능하다. 도 2a 및 도 2b에 도시된 바와 같이 하나의 화소(P)에는 데이터 라인(DL), 제1 스캔 라인(SL), 제2 스캔 라인(SL), 발광 제어 신호 라인(EM) 등과 같은 다양한 배선이 배치된다.
- [0043] 데이터 구동부(12)는 매 프레임 마다 타이밍 콘트롤러(13)로부터 수신되는 입력 영상의 디지털 데이터(DATA)를 아날로그 데이터 전압으로 변환한 후, 데이터 전압을 데이터 라인(DL)에 공급한다. 데이터 구동부(12)는 디지털 데이터를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter, DAC)를 이용하여 데이터 전압을 출력할 수 있다.
- [0044] 데이터 구동부(12)와 유기 발광 표시 패널(10)의 데이터 라인(DL) 사이에는 멀티플렉서(14)가 배치될 수 있다. 멀티플렉서(14)는 데이터 구동부(12)에서 하나의 출력 채널을 통해 출력되는 데이터 전압을 N(N은 2 이상의 양의 정수)개의 채널로 분배함으로써 데이터 구동부(12)의 출력 채널 개수를 줄일 수 있다. 멀티플렉서(14)는 유기 발광 표시 장치(100)의 해상도, 용도에 따라 생략 가능하다. 멀티플렉서(14)는 스위치 회로로 구성될 수 있고, 스위치 회로는 타이밍 콘트롤러(13)의 제어 하에 온/오프(On/off)된다.
- [0045] 게이트 구동부(11)는 타이밍 콘트롤러(13)의 제어 하에 스캔 신호와 발광 제어 신호를 출력하여 스캔 라인(SL)을 통해 데이터 전압이 충전되는 화소(P)를 선택하고 발광 타이밍을 조정한다. 게이트 구동부(11)는 시프트 레지스터(Shift register)를 이용하여 스캔 신호와 발광 제어 신호를 시프트시켜, 해당 신호들을 스캔 라인(SL)에 순차적으로 공급할 수 있다. 게이트 구동부(11)의 시프트 레지스터는 GIP(Gate-driver In Panel) 방식으로 유기 발광 표시 패널(10)의 기판 상에 직접 형성될 수 있다.
- [0046] 타이밍 콘트롤러(13)는 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함할 수 있다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 등과 같은 다양한 전자 장치 중 어느 하나일 수 있다.
- [0047] 타이밍 콘트롤러(13)는 입력 프레임 주파수를 i배 체배하여 입력 프레임 주파수 $\times i$ (i는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 게이트 구동부(11), 데이터 구동부(12) 등의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz일 수 있다.
- [0048] 타이밍 콘트롤러(13)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DCLK, DE)를 바탕으로 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC), 멀티플렉서(14) 동작 타이밍을 제어하기 위한 MUX 선택신호(MUX_R, MUX_G, MUX_B), 및 게이트 구동부(11)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 발생시킬 수 있다.
- [0049] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함할 수 있다. 소스 스타트 펄스(SSP)는 데이터 구동부(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 데이터 샘플링 타이밍을 시프트시키는 클럭이다. 극성제어신호(POL)는 데이터 구동부(12)로부터 출력되는 데이터 신호의 극성을 제어한다. 타이밍 콘트롤러(13)와 데이터 구동부(12) 사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0050] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, 이하 "클럭(CLK)")이라 함, 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. GIP 회로의 경우에, 게이트 출력 인에이블신호(Gate Output Enable, GOE)는 생략될 수 있다. 게이트 스타트 펄스(GSP)는 매 프레임 기간마다 프레임 기간의 초기에 1회 발생되어 시프트 레지스터에 입력된다. 게이트 스타트

펄스(GSP)는 매 프레임 기간 마다 제1 블록의 게이트 펄스가 출력되는 스타트 타이밍을 제어한다. 클럭(CLK)은 시프트 레지스터에 입력되어 시프트 레지스터의 시프트 타이밍(shift timing)을 제어한다. 게이트 출력 인에이블 신호(GOE)는 게이트 펄스의 출력 타이밍을 정의한다.

- [0051] 도 2는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 2는 유기 발광 표시 장치(2200)의 하나의 화소에서의 일부 영역에 대한 단면도이고, 구동 박막 트랜지스터인 LTPS 박막 트랜지스터(230) 및 스위칭 박막 트랜지스터인 산화물 반도체 박막 트랜지스터(240)와 스토리지 커패시터(220)를 도시하였다.
- [0052] 도 2를 참조하면, 유기 발광 표시 장치(100)는 기판(210), 버퍼층(211), 산화물 반도체 박막 트랜지스터(240), LTPS 박막 트랜지스터(230), 스토리지 커패시터(220), LTPS 박막 트랜지스터(230)의 게이트 절연층(212), 층간 절연층(213), 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214), 패시베이션층(250), 평탄화층(260), 유기 발광 소자(280) 및 봉지부(290)를 포함한다.
- [0053] LTPS 박막 트랜지스터(230)는 화소 회로의 구동 박막 트랜지스터로 사용될 수 있다. 도 2에 도시된 LTPS 박막 트랜지스터(230)는 게이트 전극(234)이 액티브층(231) 상에 배치되는 탑 게이트(top gate) 구조의 박막 트랜지스터이다. 산화물 반도체 박막 트랜지스터(240)는 화소 회로의 스위칭 박막 트랜지스터로 사용될 수 있다. 도 2에 도시된 산화물 반도체 박막 트랜지스터(240)는 게이트 전극(244)이 액티브층(241) 하부에 배치되는 바텀 게이트(bottom gate)구조의 박막 트랜지스터이다.
- [0054] 또한, 도 2에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)는 유기 발광 소자(280)에서 발광된 광이 봉지부(290)를 통해 유기 발광 표시 장치(100) 상부로 방출되는 탑 에미션(top emission) 방식의 유기 발광 표시 장치이다.
- [0055] 이하에서는, 도 2를 참조하여 유기 발광 표시 장치(100)의 각 구성요소들에 대해 상세히 설명한다.
- [0056] 기판(210)은 유기 발광 표시 장치(100)의 다양한 구성요소들을 지지한다. 기판(210)은 유리 또는 플렉서빌리티(flexibility)를 갖는 플라스틱 물질로 이루어질 수 있다. 기판(210)이 플라스틱 물질로 이루어지는 경우, 예를 들어, 폴리이미드(PI)로 이루어질 수도 있다. 기판(210)이 폴리이미드(PI)로 이루어지는 경우, 기판(210) 하부에 유리로 이루어지는 지지 기판이 배치된 상황에서 유기 발광 표시 장치 제조 공정이 진행되고, 유기 발광 표시 장치 제조 공정이 완료된 후 지지 기판이 분리될 수 있다. 또한, 지지 기판이 분리된 후, 기판(210)을 지지하기 위한 백 플레이트(back plate)가 기판(210) 하부에 배치될 수도 있다.
- [0057] 기판(210)이 플라스틱 물질로 이루어지는 경우, 기판(210) 하부로부터 유기 발광 표시 장치(100)로 침투하는 수분 또는 수소를 보다 확실히 차단하고, 외부로부터의 전기적인 영향을 보다 확실히 차폐하기 위해 기판(210)은 3층 구조로 이루어질 수도 있다. 예를 들어, 기판(210) 하부로부터 침투하는 수분 또는 수소를 보다 확실히 차단하기 위해, 기판(210)은 플라스틱층/무기막/플라스틱층의 3층 구조로 이루어질 수 있고, 여기서 무기막은 질화 실리콘(SiNx)과 같은 무기물로 이루어질 수 있다.
- [0058] 기판(210)의 전체 표면 위에 버퍼층(211)이 형성된다. 버퍼층(211)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx)과 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다. 버퍼층(211)은 버퍼층(211) 상에 형성되는 층들과 기판(210) 간의 접착력을 향상시키고, 기판(210)으로부터 유출되는 알칼리 성분 등을 차단하는 역할 등을 수행한다. 다만, 버퍼층(211)은 필수적인 구성요소는 아니며, 기판(210)의 종류 및 물질, 박막 트랜지스터의 구조 및 타입 등에 기초하여 생략될 수도 있다.
- [0059] 버퍼층(211) 상에 LTPS 박막 트랜지스터(230)가 배치된다. LTPS 박막 트랜지스터(230)는 폴리 실리콘으로 이루어지는 액티브층(231), 게이트 전극(234), 소스 전극(232) 및 드레인 전극(233)을 포함한다.
- [0060] 버퍼층(211) 상에 LTPS 박막 트랜지스터(230)의 액티브층(231)이 배치된다. LTPS 박막 트랜지스터(230)의 액티브층(231)은 LTPS 박막 트랜지스터(230) 구동 시 채널이 형성되는 채널 영역(CA), 채널 영역(CA) 양 측의 소스 영역(SA) 및 드레인 영역(DA)을 포함한다. 채널 영역(CA), 소스 영역(SA) 및 드레인 영역(DA)은 이온 도핑(불순물 도핑)에 의해 정의된다.
- [0061] LTPS 박막 트랜지스터(230)의 액티브층(231)은 폴리 실리콘을 포함한다. 이에, 버퍼층(211) 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 탈수소화 공정 및 결정화 공정을 수행하는 방식으로 폴리 실리콘이 형성되고, 폴리 실리콘을 패터닝하여 액티브층(231)이 형성된다. 또한, 후술할 LTPS 박막 트랜지스터의 층간 절연층(213)을 형성한 후 활성화 공정 및 수소화 공정이 추가적으로 수행되어 액티브층(231)이 완성된다

- [0062] LTPS 박막 트랜지스터(230)의 액티브층(231) 및 버퍼층(211) 상에 LTPS 박막 트랜지스터(230)의 게이트 절연층(212)이 배치된다. LTPS 박막 트랜지스터(230)의 게이트 절연층(212)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 다중층으로 구성될 수 있다. LTPS 박막 트랜지스터(230)의 게이트 절연층(212)에는 LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233) 각각이 LTPS 박막 트랜지스터(230)의 액티브층(231)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 선택하기 위한 선택홀이 형성된다.
- [0063] LTPS 박막 트랜지스터(230)의 게이트 절연층(212) 상에 LTPS 박막 트랜지스터(230)의 게이트 전극(234)이 배치된다. LTPS 박막 트랜지스터(230)의 게이트 절연층(212) 상에 몰리브덴(Mo) 등과 같은 금속층을 형성하고, 금속층을 패터닝하여 LTPS 박막 트랜지스터(230)의 게이트 전극(234)이 형성된다. LTPS 박막 트랜지스터(230)의 게이트 전극(234)은 LTPS 박막 트랜지스터(230)의 액티브층(231)의 채널 영역(CA)과 오버랩하도록 LTPS 박막 트랜지스터(230)의 게이트 절연층(212) 상에 배치된다.
- [0064] 산화물 반도체 박막 트랜지스터(240)는 산화물 반도체로 이루어지는 액티브층(241), 게이트 전극(244), 소스 전극(242) 및 드레인 전극(243)을 포함한다.
- [0065] LTPS 박막 트랜지스터(230)의 게이트 절연층(212) 상에 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(244)이 형성된다. LTPS 박막 트랜지스터(230)의 게이트 절연층(212) 상에 몰리브덴(Mo) 등과 같은 금속층을 형성하고, 금속층을 패터닝하여 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(244)이 형성된다.
- [0066] LTPS 박막 트랜지스터(230)의 게이트 전극(234)과 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(244)은 동시에 동일한 공정으로 형성될 수 있다. 즉, LTPS 박막 트랜지스터(230)의 게이트 절연층(212) 상에 금속층을 형성하고, LTPS 박막 트랜지스터(230)의 게이트 전극(234)과 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(244)이 동시에 형성되도록 금속층이 패터닝될 수 있다. 이에, LTPS 박막 트랜지스터(230)의 게이트 전극(234)과 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(244)은 동일 층 상에서 동일한 물질 및 동일한 두께로 이루어질 수 있다. 이와 같이, LTPS 박막 트랜지스터(230)의 게이트 전극(234)과 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(244)을 동시에 동일한 공정으로 형성함에 의해, 공정 시간이 단축되고, 마스크 수가 감소하여 공정 비용 또한 감소될 수 있다.
- [0067] LTPS 박막 트랜지스터(230)의 게이트 전극(234)과 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(244) 상에 LTPS 박막 트랜지스터(230)의 층간 절연층(213)이 배치된다. LTPS 박막 트랜지스터(230)의 층간 절연층(213)은 질화 실리콘(SiNx)으로 이루어질 수 있다. 구체적으로, LTPS 박막 트랜지스터(230)의 층간 절연층(213)은 LTPS 박막 트랜지스터(230)의 층간 절연층(213)이 형성된 이후에 후속 공정으로 이루어지는 LTPS 박막 트랜지스터(230)의 액티브층(231)에 대한 수소화 공정 시에 LTPS 박막 트랜지스터(230)의 액티브층(231)에 수소를 제공하기 위해 수소 함량이 높은 질화 실리콘(SiNx)으로 이루어질 수 있다. 수소화 공정은 LTPS 박막 트랜지스터(230)의 액티브층(231)에 대한 활성화 공정이 진행된 이후에, 액티브층(231)의 결함이 덜된 공간들을 수소로 채워 주는 공정이다.
- [0068] LTPS 박막 트랜지스터(230)의 층간 절연층(213)에는 LTPS 박막 트랜지스터(230)의 액티브층(231)의 소스 영역(SA) 및 드레인 영역(DA)을 노출시키기 위한 선택홀이 형성된다.
- [0069] LTPS 박막 트랜지스터(230)의 층간 절연층(213) 상에 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)이 배치된다. 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)은 산화 실리콘(SiOx)으로 이루어질 수 있다. 구체적으로, 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)은 상대적으로 많은 수소를 포함하고 있는 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(230)의 층간 절연층(213)으로부터 수소가 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)으로 이동하는 것을 억제시킨다. 수소가 LTPS 박막 트랜지스터(230)의 층간 절연층(213)으로부터 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)으로 이동하는 경우, 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)은 환원이 진행되고 산화물 반도체 박막 트랜지스터(240)의 임계 전압(threshold voltage; V_{th})에 변화가 생기게 된다. 따라서, 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(230)의 층간 절연층(213)과 산화물 반도체 박막 트랜지스터(240)의 액티브층(241) 사이에 산화 실리콘(SiOx)으로 이루어지는 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)을 배치하여, LTPS 박막 트랜지스터(230)의 층간 절연층(213)으로부터 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)으로 수소가 이동하는 것을 억제할 수 있다. 또한, 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)은 수소 함량이 낮은 산화 실리콘(SiOx)으로 이루어지기 때문에, 질화 실리콘(SiNx)으로 이루어지는 절연막이 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)에 직접 접하는 경우보다 수소에 의한 영향성이

저감될 수 있다. 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)에는 LTPS 박막 트랜지스터(230)의 액티브층(231)의 소스 영역(SA) 및 드레인 영역(DA)을 노출시키기 위한 콘택홀이 형성된다.

[0070] 도 2에서는 LTPS 박막 트랜지스터(230)의 층간 절연층(213)이 질화 실리콘(SiNx)으로 이루어지는 단일층이고, 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)이 산화 실리콘(SiOx)으로 이루어지는 단일층인 것으로 정의되었다. 그러나, LTPS 박막 트랜지스터(230)의 층간 절연층(213)이 질화 실리콘(SiNx)으로 이루어지는 하부층 및 산화 실리콘(SiOx)으로 이루어지는 상부층을 포함하고, 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)이 생략된 형태로 정의될 수도 있다. 또한, LTPS 박막 트랜지스터(230)의 층간 절연층(213)이 생략되고 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)이 질화 실리콘(SiNx)으로 이루어지는 하부층 및 산화 실리콘(SiOx)으로 이루어지는 상부층을 포함하는 것으로 정의될 수도 있다.

[0071] 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214) 상에 LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233)과 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)이 배치된다. LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233)과 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)은 도전성 금속 물질로 이루어질 수 있고, 예를 들어, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있다.

[0072] LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233) 각각은 LTPS 박막 트랜지스터(230)의 게이트 절연층(212), LTPS 박막 트랜지스터(230)의 층간 절연층(213) 및 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214)에 형성된 콘택홀을 통해 LTPS 박막 트랜지스터(230)의 액티브층(231)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 연결된다.

[0073] LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233)과 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)은 동시에 동일한 공정으로 형성될 수 있다. 즉, LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233)과 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)이 동시에 형성되도록 소스/드레인 물질층이 패터닝될 수 있다. 이에, LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233)과 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)은 동일한 두께 및 동일한 물질로 이루어질 수 있다. 이와 같이, LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233)과 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)을 동시에 동일한 공정으로 형성함에 의해, 공정 시간이 단축되고, 마스크 수가 감소하여 공정 비용 또한 감소될 수 있다.

[0074] 도 2의 실시예의 경우, LTPS 박막 트랜지스터(230)의 드레인 전극(233)은 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242)과 연결되지 않는 구조이지만, LTPS 박막 트랜지스터(230)와 산화물 반도체 박막 트랜지스터(240)가 적용되는 화소 회로의 종류에 따라, LTPS 박막 트랜지스터(230)의 드레인 전극(233)과 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242)은 서로 연결된 구조일 수도 있다.

[0075] 도 2를 참조하면, 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242)과 드레인 전극(243)의 일부 영역, 그리고 게이트 절연층(214)의 상면에 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)이 배치된다. 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)은 금속 산화물로 이루어지고, 예를 들어, IGZO, ITZO, IZO, ZnO, IGO 또는 IAZO 등과 같은 다양한 금속 산화물로 이루어질 수 있다. 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)은 금속 산화물을 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242), 드레인 전극(243) 및 게이트 절연층(214) 상에 증착하고, 안정화를 위한 열처리 공정을 수행한 후, 금속 산화물을 패터닝함에 의해 형성될 수 있다. 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243) 각각은 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)의 양측과 연결된다. 또한 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)은 소스 전극(242) 및 드레인 전극(243)의 상부 표면과 옴릭 콘택(ohmic contact)이 이루어진다.

[0076] LTPS 박막 트랜지스터(230) 및 산화물 반도체 박막 트랜지스터(240) 상에 패시베이션층(250)이 배치된다. 패시베이션층(250)은 LTPS 박막 트랜지스터(230) 및 산화물 반도체 박막 트랜지스터(240)를 보호하기 위한 절연층이다. 패시베이션층(250)은 상부로부터 LTPS 박막 트랜지스터(230) 및 산화물 반도체 박막 트랜지스터(240) 방향으로 확산되는 수소를 억제시킨다. 패시베이션층(250)에는 LTPS 박막 트랜지스터(230)의 드레인 전극(233)을 노출시키기 위한 콘택홀이 형성된다.

[0077] 패시베이션층(250) 상부에는 봉지부(290)가 배치된다. 봉지부(290)는 수분에 취약한 유기 발광 소자(280)를 수분에 노출되지 않도록 보호한다. 일반적으로 봉지부(290)는 무기층(291, 293)과 유기층(292)이 교대 적층된 구

조로 형성된다. 이 때, 제1 무기층(291) 및 제2 무기층(293)은 유기 발광 소자(280)로 침투하는 수분을 효과적으로 억제시키기 위해 질화 실리콘(SiNx), 옥시 질화 실리콘(SiONx) 또는 옥시 실리콘(SiOx)과 같은 무기물로 이루어질 수 있다. 다만, 제1 무기층(291) 및 제2 무기층(293)은 유기 발광 소자(280) 상에 형성되어야 하는데, 유기 발광 소자(280)는 고온에 매우 취약하다. 따라서, 제1 무기층(291) 및 제2 무기층(293)은 저온 증착 등과 같은 저온 공정에 의해 형성된다. 한편, 저온 공정에 의해 형성된 제1 무기층(291) 및 제2 무기층(293)은 고온 공정에 의해 형성된 무기층에 비해 상대적으로 수소 함량이 많다. 따라서, 유기 발광 표시 장치(100)가 제조된 이후 봉지부(290)의 제1 무기층(291) 및 제2 무기층(293)으로부터 수소가 확산될 수 있고, 확산된 수소가 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)에 도달할 수 있다. 이와 같이 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)에 수소가 확산되는 경우 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)이 환원되고, 산화물 반도체 박막 트랜지스터(240)의 임계 전압(V_{th})이 변경될 수 있다. 이에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 패시베이션층(250)을 다층 구조로 구성한다.

[0078] 도 2를 참조하면, 패시베이션층(250)은 제1 패시베이션층(251) 및 제2 패시베이션층(252)을 포함하는 다층 구조로 구성될 수 있다. 구체적으로, 제1 패시베이션층(251)은 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214) 상에 배치된다. 또한 제1 패시베이션층(251)은 산화물 반도체 박막 트랜지스터(240)의 액티브층(241), 소스 전극(242)과 드레인 전극(243), LTPS 박막 트랜지스터(230)의 소스 전극(232)과 드레인 전극(233)을 덮으며 배치된다. 제2 패시베이션층(252)은 제1 패시베이션층(251) 상에 배치된다. 제1 패시베이션층(251)은 산화 실리콘(SiO_2)으로 이루어 질 수 있으며, 제2 패시베이션층(252)은 질화 실리콘(SiNx)으로 이루어질 수 있다. 제1 패시베이션층(251) 및 제2 패시베이션층(252)을 포함하는 패시베이션층(250)은 상부로부터 침투할 수 있는 수분 및 수소 등으로부터 산화물 반도체 박막 트랜지스터(240) 및 LTPS 박막 트랜지스터(230)를 보호한다.

[0079] 질화 실리콘(SiNx)은 산화 실리콘(SiO_2)과 비교하여 수소가 상대적으로 더 많이 포함되어 있다. 만일 질화 실리콘(SiNx)로 이루어진 패시베이션층이 산화물 반도체 박막 트랜지스터(240)의 액티브층(241) 상면에 직접 접촉하여 배치될 경우, 질화 실리콘(SiNx)에 포함된 수소가 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)으로 이동할 수 있다. 이에 따라, 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)은 도체화가 진행될 수 있고 임계 전압(V_{th})에 변동이 생길 수 있다. 따라서 산화물 반도체 박막 트랜지스터(240)의 신뢰성은 저하될 수 있다. 질화 실리콘(SiNx)으로 이루어진 제2 패시베이션층(252)은 산화 실리콘(SiO_2)으로 이루어진 제1 패시베이션층(251)의 상부에 배치되는 것이 바람직하다. 하지만 반드시 이에 한정하는 것은 아니며, 산화 실리콘(SiO_2)보다 수소 함량이 더 낮은 패시베이션층일 경우 적층 순서는 변경될 수 있다.

[0080] 일반적으로 패시베이션층은 산화 실리콘(SiO_2)으로 이루어지는 단일층으로 구성된다. 하지만, 산화 실리콘(SiO_2)은 투습도가 다소 높기 때문에, 산화물 반도체 박막 트랜지스터(240)에 수분이 침투될 수 있다. 이와 같이 산화물 반도체 박막 트랜지스터(240)에 수분이 침투하는 것을 최소화하기 위해 산화 실리콘(SiO_2)으로 이루어진 패시베이션층을 두께가 형성할 수 있다. 하지만, 산화 실리콘(SiO_2)은 유전율이 낮기 때문에 산화물 반도체 박막 트랜지스터(240)의 온커런트(on current)의 특성을 저감시킬 수 있다. 이에, 산화 실리콘(SiO_2)으로 이루어진 제1 패시베이션층(251) 상에 산화 실리콘(SiO_2)보다 유전율이 높고 투습력이 낮은 질화 실리콘(SiNx)으로 이루어진 제2 패시베이션층(252)을 배치할 수 있다. 이와 같은 구조가 적용된 패시베이션층(250)은 산화물 반도체 박막 트랜지스터(240)의 온커런트 특성을 향상시킬 수 있고, 수분을 더욱 효과적으로 차단할 수 있다. 구체적으로는, 두께가 2000Å이며 산화 실리콘(SiO_2)으로 이루어진 단일층 패시베이션층과, 두께가 1000Å이며 산화 실리콘(SiO_2)으로 이루어진 제1 패시베이션층(251) 상부에 두께가 1000Å이며 질화 실리콘(SiNx)로 이루어진 제2 패시베이션층(252)을 포함하여 총 두께가 2000Å인 다층 패시베이션층을 비교하였을 때, 단일층 패시베이션층보다 다층 패시베이션층을 적용한 경우가 수분 침투 차단성이 우수하며, 산화물 반도체 박막 트랜지스터(240)의 온커런트 역시 더 우월한 특성을 나타내었다.

[0081] 스토리지 커패시터(220)가 기판(210) 상에 배치된다. 스토리지 커패시터(220)는 버퍼층(211) 상에 배치된 제1 전극(221) 및 LTPS 박막 트랜지스터(230)의 게이트 절연층(212) 상에 형성된 제2 전극(222)을 포함한다. 또한, 도 2에 도시되지는 않았으나, 스토리지 커패시터(220)는 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214) 상에 제3 전극을 더 포함할 수 있다. 스토리지 커패시터(220)의 제1 전극(221)은 LTPS 박막 트랜지스터(230)의 액티브층(231)과 동일한 물질로 동시에 형성될 수 있다. 이 경우, 스토리지 커패시터(220)의 전극으로 기능하기 위해 도체화 공정이 적용될 수 있다. 또한, 스토리지 커패시터(220)의 제2 전극(222)은 산화물 반도체

박막 트랜지스터(240)의 게이트 전극(244) 및 LTPS 박막 트랜지스터(230)의 게이트 전극(234)과 동일한 물질로 동시에 형성될 수 있다. 또한, 스토리지 커패시터(220)가 제3 전극을 더 포함하는 경우, 스토리지 커패시터(220)의 제3 전극은 LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233), 그리고 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)과 동일한 물질로 동시에 형성될 수 있다. 이에 따라, 스토리지 커패시터(220)는 별도의 추가적인 공정의 필요 없이, 산화물 반도체 박막 트랜지스터(240) 및 LTPS 박막 트랜지스터(230) 제조 공정 중에 형성될 수 있으므로, 공정 시간이 단축되고 공정 비용 또한 감소될 수 있다.

[0082] 패시베이션층(250) 상에는 평탄화층(260)이 배치된다. 평탄화층(260)은 산화물 반도체 박막 트랜지스터(240) 및 LTPS 박막 트랜지스터(230) 상부를 평탄화하기 위한 절연층으로서 유기물로 이루어질 수 있다. 평탄화층(260)은 경우에 따라 생략될 수도 있다. 도 2에서는 설명의 편의를 위해 평탄화층(260) 하부의 각종 절연층들의 상부가 모두 평탄한 것으로 도시되었으나, 실제로는 산화물 반도체 박막 트랜지스터(240) 및 LTPS 박막 트랜지스터(230)의 구성요소, 또는 의도치 않게 유입된 이물들에 의해 평탄화되지 못하고 단차가 존재할 수 있다. 이에, 산화물 반도체 박막 트랜지스터(240) 및 LTPS 박막 트랜지스터(230) 상부를 평탄화하여, 유기 발광 소자(280)가 보다 신뢰성 있게 형성될 수 있다. 평탄화층(260)에는 LTPS 박막 트랜지스터(230)의 드레인 전극(233)을 노출시키기 위한 콘택홀이 형성된다.

[0083] 평탄화층(260) 상에 유기 발광 소자(280)가 배치된다. 유기 발광 소자(280)는 평탄화층(260) 상에 형성되어 LTPS 박막 트랜지스터(230)의 드레인 전극(233)과 전기적으로 연결된 애노드(281)와 애노드(281) 상에 배치된 유기층(282) 및 유기층(282) 상에 형성된 캐소드(283)를 포함한다. 한편, 애노드(281)는 유기 발광 표시 장치(100)의 화소 회로 또는 LTPS 박막 트랜지스터(230)의 종류에 따라 LTPS 박막 트랜지스터(230)의 소스 전극(232)에 연결될 수도 있다. 유기 발광 표시 장치(100)가 탑 에미션 방식의 유기 발광 표시 장치이므로, 애노드(281)는 유기층(282)에서 발광된 광을 봉지부(290) 측으로 반사시키기 위한 반사층 및 유기층(282)에 정공을 공급하기 위한 투명 도전층을 포함할 수 있다. 다만, 애노드(281)는 투명 도전층만을 포함하고 반사층은 애노드(281)와 별개의 구성요소인 것으로 정의될 수도 있다. 유기층(282)은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 하나를 포함할 수 있다. 만약, 유기층(282)이 백색 유기 발광층을 포함하는 경우, 유기 발광 소자(280) 상부에 백색 유기 발광층으로부터의 백색 광을 다른 색의 광으로 변환하기 위한 컬러 필터가 배치될 수 있다. 또한, 유기층(282)은 유기 발광층 이외에 정공 수송층, 정공 주입층, 전자 주입층, 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수도 있다.

[0084] 애노드(281)과 평탄화층(260) 상에 बैं크(270)가 배치된다. बैं크(270)는 표시 영역에서 인접하는 화소 영역을 구분하는 방식으로 화소 영역을 정의한다. बैं크(270)는 유기물로 이루어질 수 있다.

[0085] 유기 발광 소자(280) 상에 봉지부(290)가 배치된다. 봉지부(290)는 수분에 취약한 유기 발광 소자(280)를 수분에 노출되지 않도록 보호하기 위한 구성이다. 봉지부(290)는 무기물로 이루어진 제1 무기층(291), 제1 무기층(291) 상에 배치되고 유기물로 이루어진 유기층(292) 및 유기층(292) 상에서 유기층(292)을 덮고 무기물로 이루어진 제2 무기층(293)을 포함할 수 있다.

[0086] 도 3a 및 도 3b는 산화물 반도체 박막 트랜지스터의 액티브층보다 소스 전극 및 드레인 전극을 먼저 형성할 경우에, 액티브층이 손상될 가능성 대해 설명하기 위한 단면도이다.

[0087] 먼저, 도 3a를 참조하면, 산화물 반도체 박막 트랜지스터의 액티브층(341)이 배치된 산화물 반도체 박막 트랜지스터의 게이트 절연층(214) 상에 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극과 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극을 동시에 형성하기 위한 소스/드레인 물질층(349)이 배치된다. 상술한 바와 같이 산화물 반도체 박막 트랜지스터의 소스 전극 및 드레인 전극과 LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극이 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있으므로, 소스/드레인 물질층(349) 또한 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어진다.

[0088] 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)과 LTPS 박막 트랜지스터(230)의 소스 전극(232) 및 드레인 전극(233)은 소스/드레인 물질층(349)을 드라이 에칭(dry etch)하여 패터닝하는 방식으로 형성된다. 상술한 바와 같이 소스/드레인 물질층(349)이 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어지는 경우, 소스/드레인 물질층(349)은 젯 에칭(wet etch)을 통해 패터닝하기에는 두꺼운 두께를 가지므로, 소스/드레인 물질층(349)은 드라이 에칭을 통해 패터닝되어야 한다. 다만, 드라이 에칭에 의하여 소스/드레인 물질층(349)을 패터닝하는 과정에서 소스/드레인 물질층(349) 하부의 산화물 반도체 박막 트랜지스터의 액티

브층(341)이 도 3b에 도시된 바와 같이 손상될 수 있다. 예를 들어, 도 3b에 도시된 바와 같이 산화물 반도체 박막 트랜지스터의 액티브층(341)의 일부가 소스/드레인 물질층(349)의 드라이 에칭 시에 같이 제거될 수도 있고, 산화물 반도체 박막 트랜지스터의 액티브층(341)의 표면에 물리적인 결함(defect)이 생길 수도 있다. 이에 따라, 산화물 반도체 박막 트랜지스터의 신뢰성이 저하될 수 있다.

[0089] 또한, 드라이 에칭이 진행되는 동안 산화물 반도체 박막 트랜지스터의 액티브층(341)은 강한 이온 충격을 받는다. 이에, 산화물 반도체 박막 트랜지스터의 액티브층(341) 내에는 산소 원자가 결핍된 상태가 되고, 이로 인해 액티브층(341) 내의 캐리어가 증가하여 임계전압(V_{th})이 네거 시프트(negative shift)되는 현상이 발생한다. 따라서 산화물 반도체 박막 트랜지스터의 액티브층(341)은 도체화가 진행되어, 산화물 반도체 박막 트랜지스터의 신뢰성은 저하될 수 있다.

[0090] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 산화물 반도체 박막 트랜지스터의 액티브층을 설명하기 위한 단면도이다. 도 4a 내지 도 4c는 도 2에 도시된 유기 발광 표시 장치(100)의 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)과 액티브층(241)의 제조 공정을 나타낸다. 도 4a 내지 도 4c에서는 설명의 편의를 위해 산화물 반도체 박막 트랜지스터(240) 상부에 위치한 구성요소에 대해서는 도시하지 않았다.

[0091] 도 4a는 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214) 상에 형성된 소스/드레인 물질층(449)을 나타낸다. 도 4a는 산화물 반도체 박막 트랜지스터(240)의 액티브층을 형성하기 전에 소스 전극 및 드레인 전극을 먼저 형성하기 위한 공정을 나타낸다. 따라서 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214) 상에 소스/드레인 물질층(449)을 형성한다. 소스/드레인 물질층(449)은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있다.

[0092] 도 4b는 드라이 에칭을 통해 소스/드레인 물질층(449)이 패터닝되어 형성된 산화물 반도체 박막 트랜지스터(240)의 소스 전극 및 드레인 전극을 나타낸다. 도 4b에서는 산화물 반도체 박막 트랜지스터(240)의 소스 전극 및 드레인 전극만을 도시하였지만, LTPS 박막 트랜지스터의 소스 전극 및 드레인 전극도 동일한 공정과 동일한 물질로 형성된다.

[0093] 도 4c는 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)이 형성된 후, 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)이 형성된 단면도이다. 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)은 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243) 상부와, 산화물 반도체 박막 트랜지스터(240)의 게이트 절연층(214) 상에 균일한 두께로 형성된다. 단, 공정 특성상 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 측면 및 드레인 전극(243) 측면 상의 액티브층(241)은 다소 얇은 두께로 형성될 수 있다.

[0094] 도 4a 및 도 4b에 도시된 바와 같이, 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)을 형성한 이후에 액티브층(241)을 형성하면, 산화물 반도체 박막 트랜지스터(240)의 소스 전극(242) 및 드레인 전극(243)을 패터닝하는 드라이 에칭 공정시 액티브층(241)에 발생하는 손상을 방지할 수 있다. 따라서, 산화물 반도체 박막 트랜지스터(240)의 액티브층(241)은 물리적 손상 및 임계 전압(V_{th}) 변동이 없을 수 있고, 이에 따라 산화물 반도체 박막 트랜지스터(240)의 신뢰성이 향상될 수 있다.

[0095] 도 5는 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 5에 도시된 유기 발광 표시 장치(500)는 도 2에 도시된 유기 발광 표시 장치(100)와 비교하여, 중간 전극(529)이 추가되고, 스토리지 커패시터(520)가 변경되었으며 평탄화층(351, 352)이 2개의 층으로 구성되며, 산화물 반도체 박막 트랜지스터(240)의 게이트 전극(544)의 위치가 변경되는 것을 제외하면 실질적으로 동일하므로, 중복 설명을 생략한다. 도 5에 도시된 산화물 박막 트랜지스터(540)는 게이트 전극(544)이 액티브층(541) 상부에 배치되는 탑 게이트(top gate)구조의 박막 트랜지스터이다.

[0096] 유기 발광 표시 장치(500)의 상부에 형성되는 봉지부(590)는 공기 중에 포함된 수소 및 수분이 유기 발광 소자(580)로 침투하지 못하도록 수소 및 수분을 차단하는 역할을 한다. 하지만, 수소 또는 수분의 일부분이 봉지부(590)에 침투할 수 있고, 침투된 수소 또는 수분은 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)까지 도달할 수 있다. 특히, 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)에 수소가 노출되면, 수소 원자에 의하여 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)이 도체화될 수 있다. 따라서, 산화물 반도체 박막 트랜지스터(540)의 신뢰성이 저하될 수 있다. 이를 방지하기 위하여, 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(544)을 산화물 반도체 박막 트랜지스터(540)의 액티브층(541) 상부에 배치함으로써, 산화물 반도체

박막 트랜지스터(540)의 액티브층(541)에 수소가 노출되지 않도록 차단할 수 있다.

[0097] 도 3b 및 도 5를 참조하면, 도 5에 도시된 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)이 도 3b에 도시된 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)에 비하여 상부에 노출되는 면적이 더 크다. 구체적으로는, 도 5에 도시된 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)은 소스 전극(542) 및 드레인 전극(543)의 상면을 일부 덮도록 형성되므로, 상부에 노출되는 액티브층(541)의 면적이 도 3b의 액티브층(341)보다 더 크다. 따라서, 도 5에 도시된 액티브층(541)이 도 3b에 도시된 액티브층(341)에 비하여 봉지부(590)로부터 침투될 수 있는 수소의 영향을 더 크게 받을 수 있다.

[0098] 도 5를 참조하면, 산화물 반도체 박막 트랜지스터(540)의 액티브층(541) 상부에 게이트 전극(544)이 배치된다. 따라서, 상부로부터 침투된 수소가 액티브층(541)까지 도달하지 못하도록 게이트 전극(544)이 수소를 억제할 수 있다. 따라서, 산화물 반도체 박막 트랜지스터(540)의 신뢰성은 향상될 수 있다. 이 때, 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(544)의 면적은 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)의 면적보다 크게 형성하는 것이 바람직하다. 또한, 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)은 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(544)의 투영 영역 내에 배치되거나, 또는 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(544)의 투영 영역과 동일하도록 형성되는 것이 바람직하다.

[0099] 도 5에 도시된 바와 같이, 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(544)이 액티브층(541) 상부에 배치되면, 액티브층(541)은 하부로부터 침투될 수 있는 수소에 노출될 수 있다. 하부로부터 침투되는 수소가 산화물 반도체 박막 트랜지스터(540)의 액티브층(541)까지 도달하지 못하도록 산화물 반도체 박막 트랜지스터(540)의 게이트 절연층(514)의 두께를 두껍게 형성할 수 있다. 산화물 반도체 박막 트랜지스터(540)의 게이트 절연층(514)을 두껍게 형성하면 수소를 더욱 효과적으로 차단할 수 있다. LTPS 박막 트랜지스터(530)의 층간 절연층(513)은 LTPS 박막 트랜지스터(530)의 게이트 전극(534) 상에 배치되며, 산화물 반도체 박막 트랜지스터(540)의 게이트 절연층(514)은 LTPS 박막 트랜지스터(530)의 층간 절연층(513) 상에 배치된다. LTPS 박막 트랜지스터(530)의 층간 절연층은 질화 실리콘(SiNx)으로 이루어질 수 있고, 산화물 반도체 박막 트랜지스터(530)의 게이트 절연층(514)은 산화 실리콘(SiOx)으로 이루어질 수 있다.

[0100] 도 5를 참조하면, 스토리지 커패시터(520)의 구조가 변경되어 커패시턴스를 증가시킬 수 있고, 추가 금속층(561)이 추가되어 배선 저항을 낮출 수 있으며, 추가적으로 비표시 영역(베젤 영역)의 폭도 감소시킬 수 있다.

[0101] 먼저, 스토리지 커패시터(520)는 순차적으로 적층된 제1 전극(523), 제2 전극(524) 및 제3 전극(525)을 포함한다. 스토리지 커패시터(520)의 제1 전극(523)은 LTPS 박막 트랜지스터(530)의 소스 전극(532) 및 드레인 전극(533)과 산화물 반도체 박막 트랜지스터(540)의 소스 전극(542) 및 드레인 전극(543)과 동일한 물질로 동시에 형성된다. 이와 같이, 스토리지 커패시터(520)의 제1 전극(523)을 LTPS 박막 트랜지스터(530) 및 산화물 반도체 박막 트랜지스터(540)의 소스 전극(532, 542) 및 드레인 전극(533, 543)과 동시에 동일한 공정으로 형성함에 의해, 공정 시간이 단축되고, 마스크 수가 감소하여 공정 비용 또한 감소될 수 있다. 그리고 스토리지 커패시터(520)의 제2 전극(524)은 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(544)과 동일한 물질로 동시에 형성될 수 있다. 이와 같이, 스토리지 커패시터(520)의 제2 전극(524)과 산화물 반도체 박막 트랜지스터(540)의 게이트 전극(544)을 동시에 동일한 공정으로 형성함에 의해, 공정 시간이 단축되고, 마스크 수가 감소하여 공정 비용 또한 감소될 수 있다. 또한, 스토리지 커패시터(520)의 제3 전극(525)은 추가 금속 물질이 사용되어 제1 평탄화층(561) 상에 형성될 수 있다. 제1 평탄화층(561)은 도 2에 도시된 평탄화층(260)과 동일한 물질로 이루어질 수 있으며, 동일한 기능을 수행할 수 있다. 제1 평탄화층(561)은 유기물로 이루어진 평탄화층일 수 있지만, 무기물층으로 이루어진 패시베이션층일 수 있다. 또한, 스토리지 커패시터(520)는 제1 전극(523)과 제2 전극(524)을 양 단자로 하는 커패시터 및 제2 전극(524)과 제3 전극(525)을 양 단자로 하는 커패시터가 서로 병렬 연결된 구조로 구성될 수 있으며, 이에 따라 스토리지 커패시터(520)의 커패시턴스가 증가될 수 있다.

[0102] 다음으로, 제1 평탄화층(561) 상에 중간 전극(529)이 배치된다. 중간 전극(529)은 패시베이션층(550) 및 제1 평탄화층(561)의 컨택홀을 통해 LTPS 박막 트랜지스터(530)의 드레인 전극(533)과 연결된다. 한편, 중간 전극(529)은 유기 발광 표시 장치(500)의 화소 회로 또는 LTPS 박막 트랜지스터(530)의 종류에 따라 LTPS 박막 트랜지스터(530)의 소스 전극(532)에 연결될 수도 있다. 또한, 중간 전극(529) 및 스토리지 커패시터(520)의 제3 전극(525) 상에는 중간 전극(529) 및 스토리지 커패시터(520)의 제3 전극(525) 상부를 평탄화하기 위한 제2 평탄화층(562)이 배치된다. 제2 평탄화층(562)은 도 2에 도시된 평탄화층(260)과 동일한 기능을 수행할 수 있다. 제2 평탄화층(562)은 유기물로 이루어진 평탄화층일 수 있지만, 무기물층으로 이루어진 패시베이션층일 수 있다. 중간 전극(529)은 스토리지 커패시터(520)의 제3 전극(525)과 동일한 추가 금속 물질로 이루어질 수 있다. 본

발명의 다른 실시예에 따른 유기 발광 표시 장치(500)에서는 추가 금속 물질을 사용하여 복수의 화소가 배치되는 표시 영역에서의 배선 저항을 감소시킬 수 있다. 즉, 추가 금속 물질을 사용하여 동일한 신호를 전달하는 배선을 복층 구조로 형성할 수 있고, 이에 따라 배선이 병렬 연결된 형태로 구현됨에 따라 배선 저항을 감소시킬 수 있다.

[0103] 마찬가지로, 비표시 영역에 배치되는 다양한 배선들의 배선 저항도 감소될 수 있다. 비표시 영역에 배치되는 다양한 배선들은 추가적인 금속 물질을 사용함이 없이 표시 영역에 배치되는 다양한 전극 및 배선과 동일한 물질을 사용하여 형성된다. 이에, 비표시 영역에 배치되는 다양한 배선들의 설계는 제한이 있고, 배선들의 배선 저항을 낮추는 데에도 한계가 있다. 그러나, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(500)에서는 표시 영역에서 추가적으로 사용된 추가 금속 물질을 비표시 영역에도 배치하여, 비표시 영역에 배치되는 다양한 배선들이 동일한 신호를 복수의 층을 통해 전달하는 복층 구조로 형성될 수 있고, 이에 따라 배선 저항이 감소될 수 있다. 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(500)에서는 표시 영역에서 추가적으로 사용된 추가 금속 물질을 비표시 영역에도 배치하여, 서로 다른 신호를 전달하는 배선을 서로 오버랩되게 배치할 수도 있고, 이에 따라 비표시 영역의 폭을 줄여 보다 개선된 네로우 베젤(narrow bezel)이 적용된 유기 발광 표시 장치(500)가 제공될 수 있다.

[0104] 본 발명의 다양한 실시예에 따른 유기 발광 표시 장치는 다음과 같이 설명될 수 있다.

[0105] 본 발명의 일 실시예에 따른 유기 발광 소자는 기판, 기판 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자 및 유기 발광 소자를 덮는 봉지부를 포함하고, 산화물 반도체 박막 트랜지스터의 액티브층의 손상을 최소화하기 위하여, 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극 상면에 산화물 반도체 박막 트랜지스터의 액티브층이 위치한다.

[0106] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 산화물 반도체 박막 트랜지스터의 액티브층은 제1 소스 전극 및 제1 드레인 전극의 평평한 부분과 오버랩되는 제1 영역, 제1 소스 전극 및 제1 드레인 전극의 경사진 부분과 오버랩되는 제2 영역 및 제1 소스 전극 및 제1 드레인 전극과 오버랩되지 않는 제3 영역을 포함하고, 제1 영역의 두께와 제3 영역의 두께는 동일할 수 있다.

[0107] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제1 소스 전극 및 제1 드레인 전극은 LTPS 박막 트랜지스터의 제2 소스 전극 및 제1 드레인 전극과 동일 평면 상에 배치될 수 있다.

[0108] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제1 소스 전극 및 제1 드레인 전극과 제2 소스 전극 및 제2 드레인 전극은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있다.

[0109] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 유기 발광 표시 장치는 산화물 반도체 박막 트랜지스터의 액티브층 상에 위치하는 제1 절연층 및 제1 절연층 상에 위치하는 제2 절연층을 더 포함할 수 있다.

[0110] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제2 절연층의 유전율은 제1 절연층의 유전율보다 높을 수 있다.

[0111] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 산화물 반도체 박막 트랜지스터의 제1 게이트 전극 및 LTPS 박막 트랜지스터의 제2 게이트 전극은 동일한 물질일 수 있으며, 동일한 평면 상에 배치될 수 있다.

[0112] 본 발명의 일 실시예에 따른 유기 발광 소자는, 기판, 기판 상에 위치하는 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자 및 유기 발광 소자를 덮는 봉지부를 포함하고, 산화물 반도체 박막 트랜지스터의 액티브층이 수소에 노출되는 것을 최소화하기 위하여, 산화물 반도체 박막 트랜지스터의 제1 게이트 전극이 액티브층 상에 위치한다.

[0113] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제1 게이트 전극은 산화물 반도체 박막 트랜지스터의 액티브층과 오버랩될 수 있다.

[0114] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극은 LTPS 박막 트랜지스터의 제2 소스 전극 및 제2 드레인 전극과 동일한 물질일 수 있다.

[0115] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제1 소스 전극 및 제1 드레인 전극 및 제2 소스 전극 및 제2 드레인 전극은 동일한 평면 상에 배치될 수 있다.

[0116] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 산화물 반도체 박막 트랜지스터의 액티브층은 제1소스

전극 및 제1 드레인 전극의 상면과 오믹(Ohmic) 접촉할 수 있다.

- [0117] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 산화물 반도체 박막 트랜지스터의 액티브층은 제1 소스 전극 및 제1 드레인 전극의 평평한 부분과 오버랩되는 제1 영역, 제1 소스 전극 및 제1 드레인 전극의 경사진 부분과 오버랩되는 제2 영역 및 제1 소스 전극 및 제1 드레인 전극과 오버랩되지 않는 제3 영역을 포함하고, 제1 영역의 두께는 제3 영역의 두께와 동일할 수 있다.
- [0118] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 유기 발광 표시 장치는 산화물 반도체 박막 트랜지스터의 액티브층과 제1 게이트 전극 사이에 다중 절연층을 더 포함하고, 다중 절연층은 액티브층을 덮는 제1 절연층 및 제1 절연층을 덮는 제2 절연층으로 구성될 수 있다.
- [0119] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제2 절연층의 유전율은 제1 절연층의 유전율보다 높을 수 있다.
- [0120] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제1 절연층은 산화 실리콘(SiO_x) 또는 옥시 산화 실리콘(SiON_x)로 이루어질 수 있다.
- [0121] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 유기 발광 표시 장치는 LTPS 박막 트랜지스터의 제2 게이트 전극을 덮는 제3 절연층 및 제3 절연층을 덮는 제4 절연층을 포함하고, 산화물 반도체 박막 트랜지스터의 액티브층은 제4 절연층 상면에 배치될 수 있다.
- [0122] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제4 절연층의 두께는 제3 절연층의 두께보다 두꺼울 수 있다.
- [0123] 본 발명의 일 실시예에 따른 유기 발광 소자는, 제1 소스 전극 및 제1 드레인 전극을 가진 LTPS 박막 트랜지스터 및 제2 소스 전극 및 제2 드레인 전극을 가진 산화물 반도체 박막 트랜지스터가 함께 구현된 기판, 제2 소스 전극 및 제2 드레인 전극 사이에 있고 제2 소스 전극 및 제2 드레인 전극 각각의 서로 마주하는 끝단을 덮는 S/D 오버랩 구조를 가진 산화물 채널층 및 S/D 오버랩 구조를 가진 산화물 채널층을 보호하고, 산화물 반도체 박막 트랜지스터의 게이트 전극 역할을 하는 메탈층을 포함하며, 제1 소스 전극 및 제1 드레인 전극과 제2 소스 전극 및 제2 드레인 전극은 동일한 평면에 위치하고 동일한 물질로 이루어진다.
- [0124] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 산화물 채널층은 메탈층의 투영영역에 대응하도록 위치할 수 있다.
- [0125] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 메탈층은 산화물 채널층의 상부에 위치할 수 있다.
- [0126] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제1 소스 전극 및 제1 드레인 전극과 제2 소스 전극 및 제2 드레인 전극은 Ti/Al/Ti(티타늄/알루미늄/티타늄)의 3층 구조로 이루어질 수 있다.
- [0127] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 유기 발광 표시 장치는 산화물 채널층 및 메탈층 사이에 절연층을 더 포함할 수 있다.
- [0128] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 절연층은 제1 절연층 및 제1 절연층 상에 위치하는 제2 절연층으로 이루어진 다층 구조이며, 제2 절연층의 상면은 메탈층의 하면과 접촉할 수 있다.
- [0129] 본 발명의 일 실시예에 따른 유기 발광 소자에 있어서, 제1 절연층의 수소 함량은 제2 절연층의 수소 함량보다 작을 수 있다.
- [0130] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

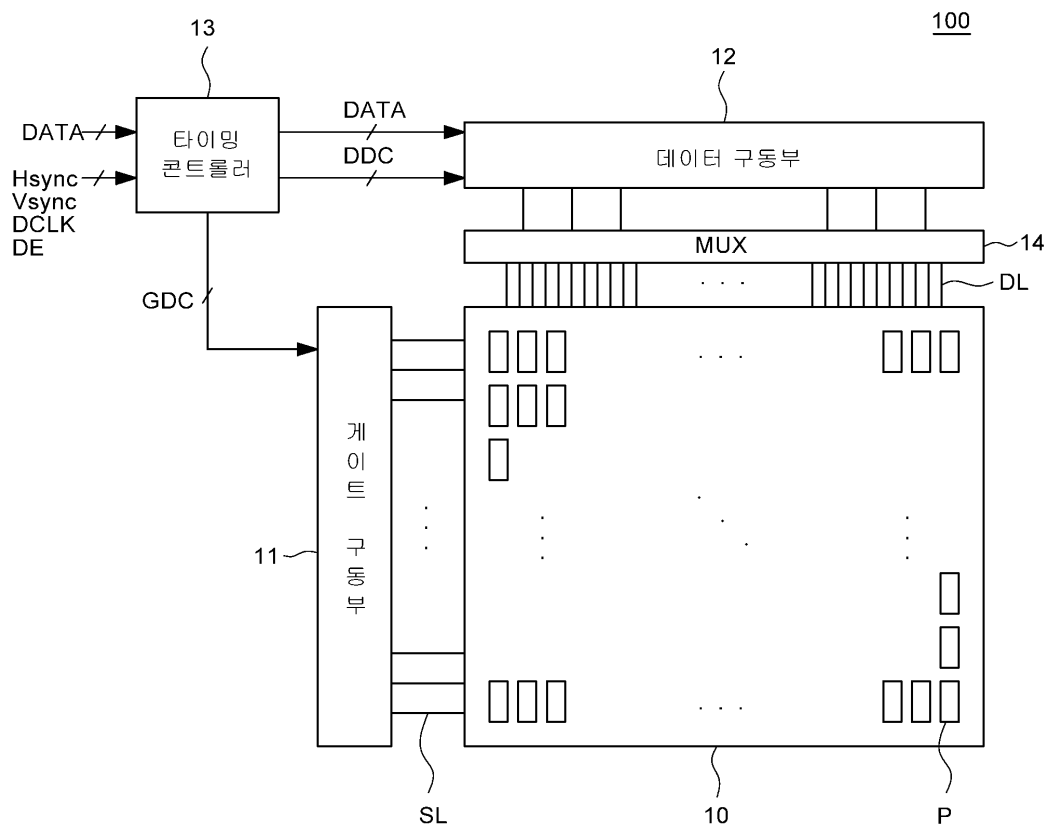
부호의 설명

- [0131] 100, 500: 유기 발광 표시 장치
210, 510: 기판

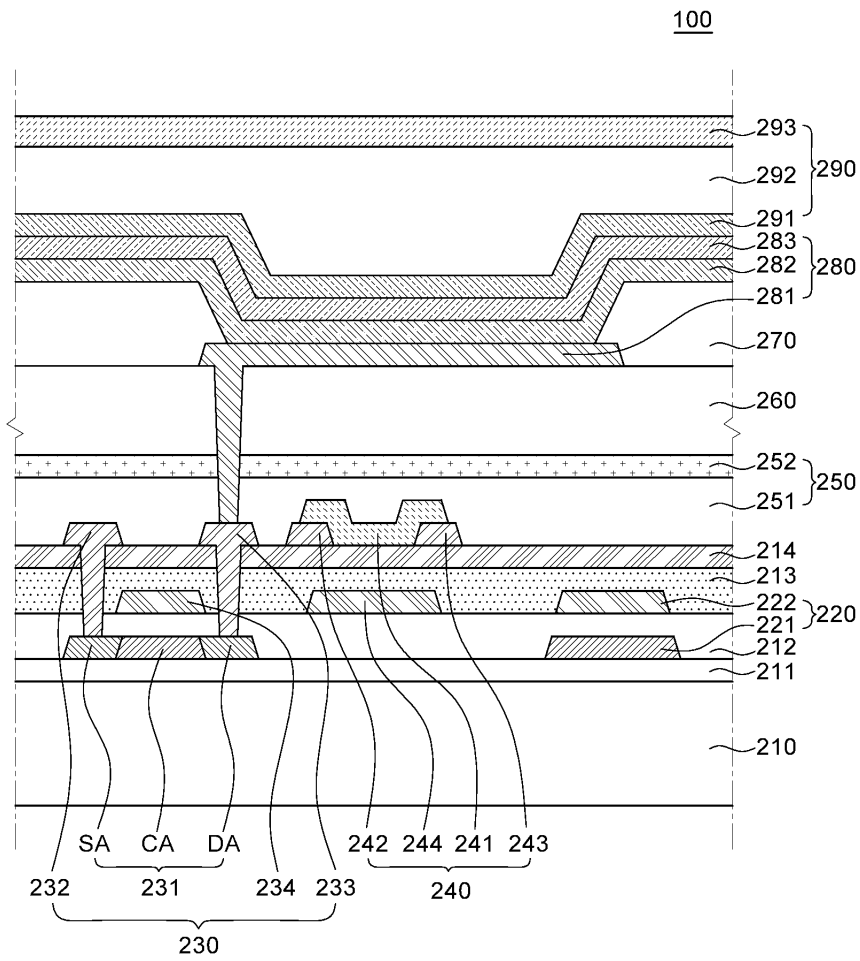
211, 511: 버퍼층
212, 512: LTPS 박막 트랜지스터의 게이트 절연층
213, 513: LTPS 박막 트랜지스터의 층간 절연층
214, 514 : 산화물 반도체 박막 트랜지스터의 게이트 절연층
220, 520: 스토리지 커패시터
221, 523: 제1 전극
222, 524: 제2 전극
525: 제3 전극
529: 중간 전극
230, 530: LTPS 박막 트랜지스터
231, 531: 액티브층
SA: 소스 영역
DA: 드레인 영역
CA: 채널 영역
232, 532: 소스 전극
233, 533: 드레인 전극
234, 534: 게이트 전극
250, 550: 패시베이션층
251, 551: 제1 패시베이션층
252, 552: 제2 패시베이션층
260: 평탄화층
561: 제1 평탄화층
562: 제2 평탄화층
270, 570: बैं크
280, 580: 유기 발광 소자
290, 590: 봉지부

도면

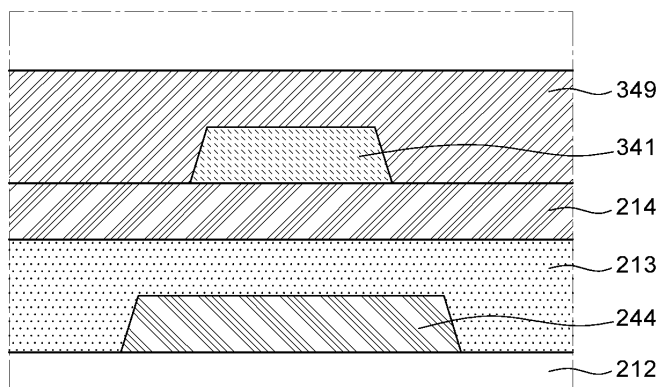
도면1



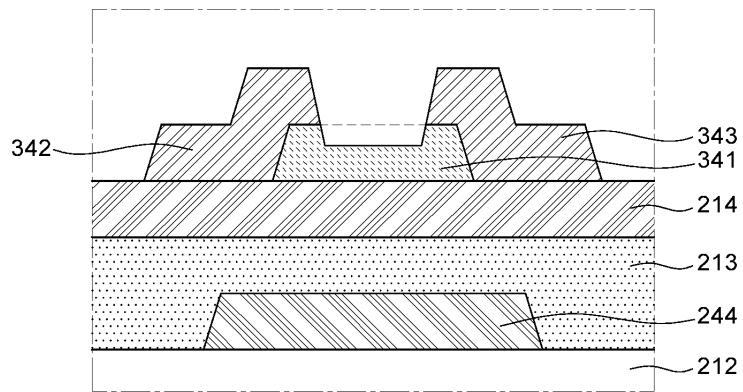
도면2



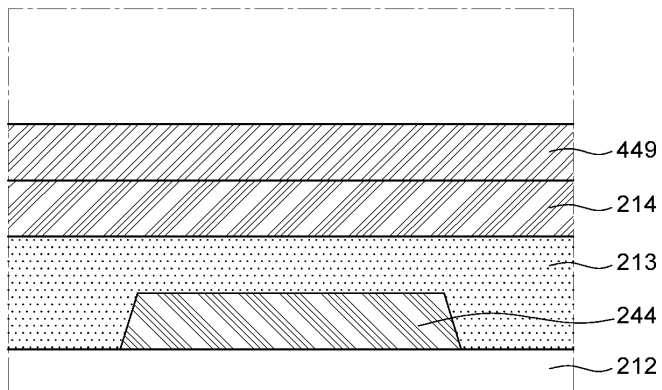
도면3a



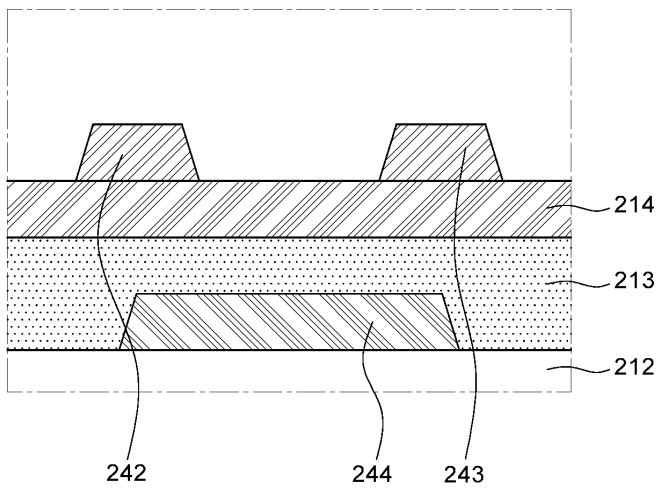
도면3b



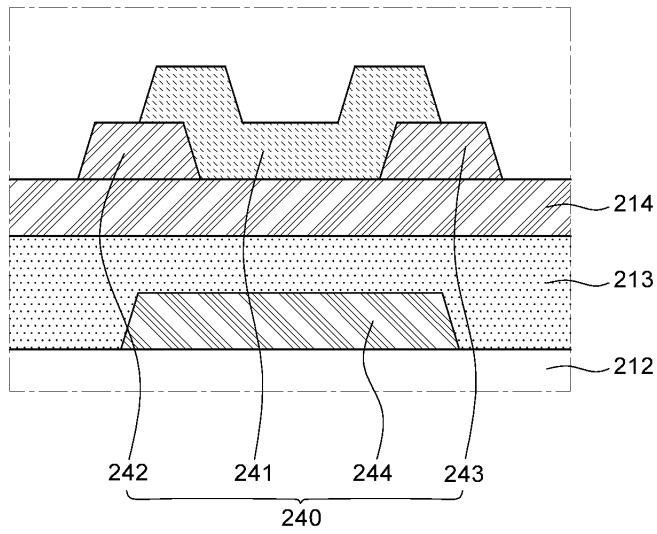
도면4a



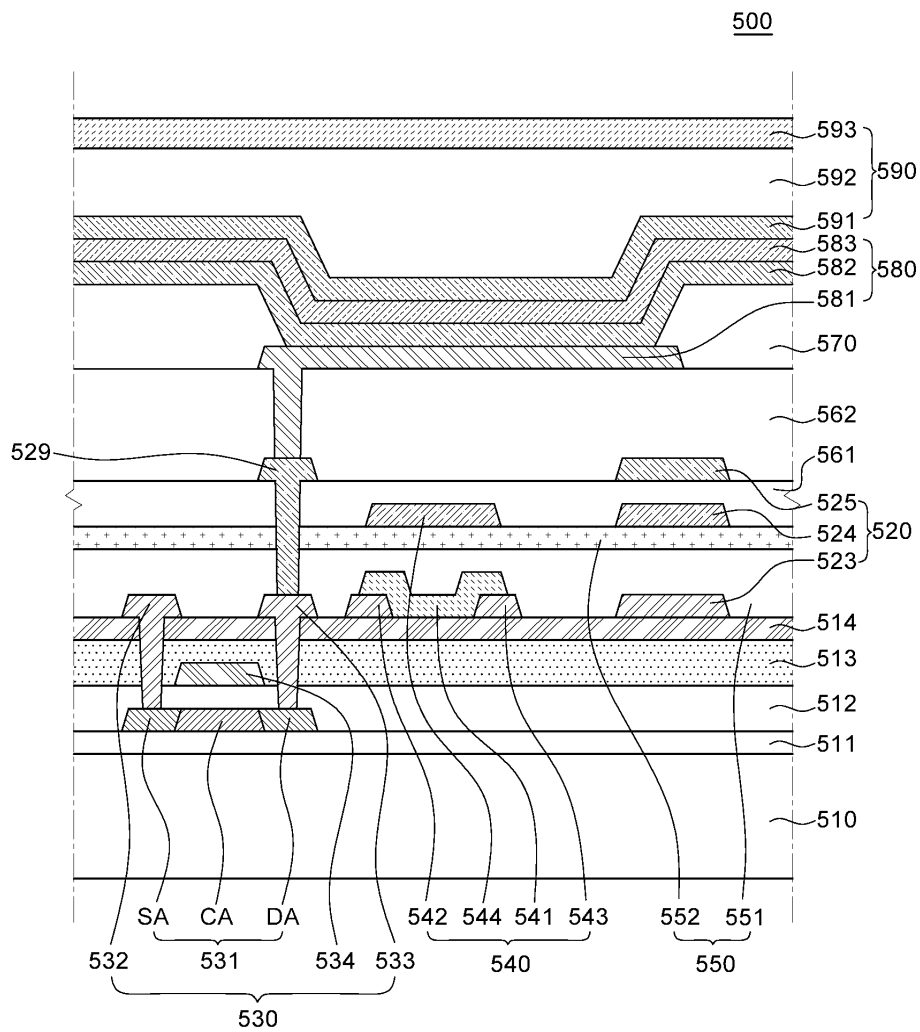
도면4b



도면4c



도면5



专利名称(译)	一种有机发光显示装置，包括多型薄膜晶体管		
公开(公告)号	KR1020180013369A	公开(公告)日	2018-02-07
申请号	KR1020160096981	申请日	2016-07-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE BOK YOUNG 이복영 LEE YOUNG WOOK 이영욱		
发明人	이복영 이영욱		
IPC分类号	H01L27/32 H01L27/12 H01L51/52		
CPC分类号	H01L27/3262 H01L27/1251 H01L27/3276 H01L27/3248 H01L51/5253 H01L27/1237 H01L27/124		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及包括多型薄膜晶体管的有机发光显示装置。本发明的有机发光显示器包括基板，LTPS薄膜晶体管和氧化物半导体薄膜晶体管，LTPS薄膜晶体管，位于基板上的有机发光二极管，以及覆盖有机发光二极管的密封剂，为了最小化氧化物半导体薄膜晶体管的有源层的损坏，氧化物半导体薄膜晶体管的有源层位于氧化物半导体薄膜晶体管的第一源电极和第一漏电极上。

