



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0005580  
(43) 공개일자 2018년01월16일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/32* (2006.01) *H01L 27/12* (2006.01)  
*H01L 51/42* (2006.01) *H01L 51/52* (2006.01)

(52) CPC특허분류  
*H01L 27/3262* (2013.01)  
*H01L 27/1248* (2013.01)

(21) 출원번호 10-2016-0143773

(22) 출원일자 2016년10월31일  
심사청구일자 없음

(30) 우선권주장  
1020160085783 2016년07월06일 대한민국(KR)

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
이석우  
경기도 부천시 장말로 71, 1512동 1203호(상동,  
한아름마을 라이프아파트)  
조성필  
경기도 고양시 일산서구 후곡로 10, 910동 903호  
(일산동, 후곡마을9단지아파트)

(74) 대리인  
특허법인인벤투스

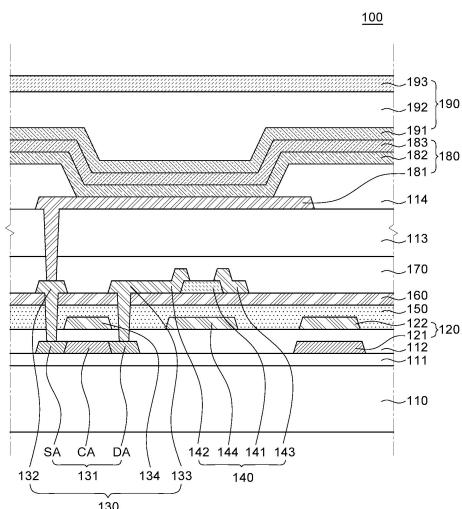
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법

### (57) 요 약

본 발명은 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것이다. 본 발명의 유기 발광 표시 장치는 표시영역과 비표시영역으로 정의되는 기판, 표시영역 상에 배치된 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, 산화물 반도체 박막 트랜지스터의 액티브층의 하부 및 상부에 각각 위치하는 하부 절연층 및 상부 절연층, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자를 포함한다. 본 발명의 유기 발광 표시 장치는 하부 절연층 또는 상부 절연층이 액티브층의 수소 노출을 최소화하도록 막밀도 또는 수소 함유량 중 적어도 하나의 특성이 다른 복층구조로 구성된다.

**대 표 도** - 도1



(52) CPC특허분류

*H01L 27/1251* (2013.01)

*H01L 27/3258* (2013.01)

*H01L 27/3265* (2013.01)

*H01L 51/4246* (2013.01)

*H01L 51/5253* (2013.01)

*H01L 51/5256* (2013.01)

*H01L 2227/323* (2013.01)

*H01L 2251/301* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시영역과 그 일측에 위치하는 비표시영역으로 정의되는 기판;

상기 표시영역 상에 배치된 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터;

상기 산화물 반도체 박막 트랜지스터의 액티브층의 하부 및 상부에 각각 위치하는 하부 절연층과 상부 절연층; 및

상기 LTPS 박막 트랜지스터 및 상기 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자를 포함하고,

상기 하부 절연층 또는 상기 상부 절연층은, 상기 액티브층의 수소 노출을 최소화하도록, 막밀도 또는 수소 함유량 중 적어도 하나의 특성이 서로 다른 복수 개의 층으로 구성된, 유기 발광 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 하부 절연층은 제1 절연층 및 제2 절연층을 포함하며, 상기 제2 절연층은 상기 액티브층과 접하도록 상기 제1 절연층 상에 배치되는, 유기 발광 표시 장치.

#### 청구항 3

제2 항에 있어서,

상기 제1 절연층과 상기 제2 절연층은 동일한 물질로 이루어지며, 상기 제2 절연층의 막밀도는 상기 제1 절연층의 막밀도보다 높은, 유기 발광 표시 장치.

#### 청구항 4

제3 항에 있어서,

상기 제1 절연층 및 상기 제2 절연층은 산화 실리콘(SiO<sub>x</sub>)으로 이루어진, 유기 발광 표시 장치.

#### 청구항 5

제2 항에 있어서,

상기 제1 절연층과 상기 제2 절연층은 서로 다른 물질로 이루어지며, 상기 제2 절연층의 수소 함유량은 상기 제1 절연층의 수소 함유량보다 낮은, 유기 발광 표시 장치.

#### 청구항 6

제5 항에 있어서,

상기 제1 절연층은 질화 실리콘(SiN<sub>x</sub>)으로 이루어진, 유기 발광 표시 장치.

#### 청구항 7

제2 항에 있어서,

상기 LTPS 박막 트랜지스터는 게이트 전극을 포함하고, 상기 하부 절연층은 상기 게이트 전극을 직접 덮도록 배치되는, 유기 발광 표시 장치.

#### 청구항 8

제7 항에 있어서,

스토리지 커패시터를 더 포함하고,

상기 하부 절연층은 상기 스토리지 커패시터의 일 전극을 직접 덮도록 배치되며, 상기 게이트 전극과 상기 일 전극은 동일한 물질로 이루어진, 유기 발광 표시 장치.

### 청구항 9

제1 항에 있어서,

상기 상부 절연층은 상기 액티브층과 접하는 제3 절연층 및 상기 제3 절연층 상의 제4 절연층을 포함하는, 유기 발광 표시 장치.

### 청구항 10

제9 항에 있어서,

상기 제3 절연층과 상기 제4 절연층은 동일한 물질로 이루어지며, 상기 제3 절연층의 막밀도는 상기 제4 절연층의 막밀도보다 높은, 유기 발광 표시 장치.

### 청구항 11

기판 상에 LTPS 박막 트랜지스터의 제1 액티브층을 형성하는 단계;

상기 제1 액티브층 상에 상기 LTPS 박막 트랜지스터의 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 절연층을 형성하는 단계;

상기 절연층 상에 산화물 반도체 박막 트랜지스터의 제2 액티브층을 형성하는 단계;

상기 절연층 상에 상기 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극과 상기 LTPS 박막 트랜지스터의 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계; 및

상기 제1 소스 전극, 상기 제2 소스 전극, 상기 제1 드레인 전극 및 상기 제2 드레인 전극을 덮는 보호층을 형성하는 단계를 포함하고,

상기 제1 소스 전극, 상기 제2 소스 전극, 상기 제1 드레인 전극 및 상기 제2 드레인 전극은 동시에 동일한 물질로 형성되며,

상기 절연층 또는 상기 보호층은 다중층으로 구성되며, 상기 보호층의 각 층은 서로 다른 성질을 가지는, 유기 발광 표시 장치 제조 방법.

### 청구항 12

제11 항에 있어서,

상기 절연층을 형성하는 단계는, 상기 게이트 전극 상에 제1 절연층을 형성하는 단계 및 상기 제1 절연층 상에 제2 절연층을 형성하는 단계를 포함하며,

상기 제1 절연층을 형성하는 단계 및 상기 제2 절연층을 형성하는 단계는 챔버 내부에 투입소스를 투입하는 단계를 각각 포함하고, 상기 투입소스는 실란(SiH4) 가스를 포함하는, 유기 발광 표시 장치 제조 방법.

### 청구항 13

제12 항에 있어서,

상기 제1 절연층 및 상기 제2 절연층은 동일한 물질로 이루어지며, 상기 제2 절연층의 막밀도는, 수소를 보다 효과적으로 차단하도록 상기 제1 절연층의 막밀도보다 높은, 유기 발광 표시 장치 제조 방법.

### 청구항 14

제13 항에 있어서,

상기 제2 절연층을 형성하는 단계에서 투입되는 상기 실란 가스의 양은, 상기 제1 절연층을 형성하는 단계에서 투입되는 상기 실란 가스의 양보다 적은, 유기 발광 표시 장치 제조 방법.

**청구항 15**

제12 항에 있어서,

상기 제1 절연층 및 상기 제2 절연층은 서로 다른 물질로 이루어지며, 상기 제2 절연층의 수소 함유량은, 수소를 보다 효과적으로 차단하도록 상기 제1 절연층의 수소 함유량보다 낮은, 유기 발광 표시 장치 제조 방법.

**청구항 16**

제11 항에 있어서,

상기 보호층을 형성하는 단계는, 상기 제2 액티브층 상에 제1 보호층을 형성하는 단계 및 상기 제1 보호층 상에 제2 보호층을 형성하는 단계를 포함하며,

상기 제1 보호층을 형성하는 단계 및 상기 제2 보호층을 형성하는 단계는 캠버 내부에 투입소스를 투입하는 단계를 각각 포함하고, 상기 투입소스는 실란(SiH<sub>4</sub>) 가스를 포함하는, 유기 발광 표시 장치 제조 방법.

**청구항 17**

제16 항에 있어서,

상기 제2 보호층을 형성하는 단계에서, 상기 투입소스는 암모니아(NH<sub>3</sub>) 가스를 더 포함하는, 유기 발광 표시 장치 제조 방법.

**청구항 18**

제17 항에 있어서,

상기 제2 보호층을 형성하는 단계에서, 상기 실란 가스 대 상기 암모니아 가스의 유량 비율은 1 : 5에서 1 : 7 사이를 만족하는, 유기 발광 표시 장치 제조 방법.

**청구항 19**

제16 항에 있어서,

상기 제1 보호층을 형성하는 단계 및 상기 제2 보호층을 형성하는 단계에서, 상기 제1 보호층과 상기 제2 보호층은 동일한 물질이며, 상기 제1 보호층을 형성하는 단계에서 투입되는 상기 실란 가스의 양은, 상기 제1 보호층의 막밀도를 높이기 위하여, 상기 제2 보호층을 형성하는 단계에서 투입되는 상기 실란 가스의 양보다 적은, 유기 발광 표시 장치 제조 방법.

**발명의 설명****기술 분야**

[0001] 본 발명은 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것으로서, 보다 상세하게는 하나의 기판에 서로 다른 타입의 박막 트랜지스터들이 배치된 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것이다.

**배경 기술**

[0002] 최근, 본격적인 정보화 시대로 접어들에 따라 전기적 정보 신호를 시각적으로 표현하는 디스플레이 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저 소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시 장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003] 이와 같은 평판 표시 장치의 구체적인 예로는 액정 표시 장치(LCD), 유기 발광 표시 장치(OLED), 전기 영동 표시 장치(EPD), 플라즈마 표시 장치(PDP) 및 전기 습윤 표시 장치(EWD) 등을 들 수 있다. 특히, 유기 발광 표시 장치는 자체 발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치에 비해 시야각, 콘트라스트(contrast), 응답 속도, 소비 전력 등의 측면에서 우수한 특성을 갖는다.

[0004] 유기 발광 표시 장치는 영상을 표시하기 위한 유기 발광 소자와 유기 발광 소자를 구동하기 위한 화소 회로가

배치되는 표시 영역 및 표시 영역에 인접하고 구동 회로가 배치되는 비표시 영역을 포함한다. 특히, 화소 회로 및 구동 회로에는 복수의 박막 트랜지스터가 위치하여 복수의 화소의 유기 발광 소자를 구동시킨다.

[0005] 박막 트랜지스터는 액티브층을 구성하는 물질에 따라 분류될 수 있다. 그 중 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS) 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 가장 널리 사용되고 있다. 그러나, 현재 유기 발광 표시 장치에서는 화소 회로 및 구동 회로를 구성하는 박막 트랜지스터로 하나의 기판 상에 LTPS 박막 트랜지스터만 사용하거나 산화물 반도체 박막 트랜지스터만 사용하고 있다. 그러나, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 중 어느 하나만으로 화소 회로 및 구동 회로를 구성하는 경우 다양한 문제가 존재하여, 하나의 유기 발광 표시 장치에 서로 다른 타입의 박막 트랜지스터를 적용하고자 하는 요구가 존재한다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명의 발명자들은 상술한 요구를 인식하고, 하나의 기판에 서로 다른 타입의 박막 트랜지스터를 적용하는 기술에 대해 연구하였으며, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터가 적용된 유기 발광 표시 장치를 발명하였다. 그러나, 본 발명의 발명자들은 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터를 하나의 기판에 적용시키기 위해 다양한 문제점이 존재한다는 것을 인식하였다.

[0007] 먼저, LTPS 박막 트랜지스터의 액티브층에 대한 수소화 공정을 위해 사용되는 LTPS 박막 트랜지스터의 층간 절연층에 포함된 수소가 산화물 반도체 박막 트랜지스터의 액티브층으로 확산되어 산화물 반도체 박막 트랜지스터의 임계 전압(threshold voltage; V<sub>th</sub>)이 변경될 수 있는 문제점이 있다.

[0008] 또한, 유기 발광 표시 장치에서 사용되는 봉지부의 무기막들은 유기 발광 소자 상에 형성되어야 하므로 저온 공정에서 형성된다. 그러나, 저온 공정에서 형성된 무기막들은 상대적으로 많은 수소를 포함하고 있으며, 이러한 수소들이 산화물 반도체 박막 트랜지스터의 액티브층으로 확산되어 산화물 반도체 박막 트랜지스터의 임계 전압(V<sub>th</sub>)이 변경될 수 있는 문제점이 있다.

[0009] 또한, 유기 발광 표시 장치 제조 공정에서 LTPS 박막 트랜지스터의 액티브층에 대한 활성화 공정 및 수소화 공정의 시점에 따라 산화물 반도체 박막 트랜지스터의 액티브층에 다량의 수소가 확산될 수 있는 문제점이 있다.

[0010] 이에, 본 발명의 해결하고자 하는 과제는 상술한 바와 같은 문제점을 해결하기 위한 유기 발광 표시 장치의 새로운 구조 및 유기 발광 표시 장치의 새로운 제조 방법을 제공하는 것이다.

[0011] 구체적으로, 본 발명이 해결하고자 하는 과제는 LTPS 박막 트랜지스터의 층간 절연층, 산화물 반도체 박막 트랜지스터의 게이트 절연층 및 패시베이션층의 적층 구조 및 물질을 다양하게 설계하여, LTPS 박막 트랜지스터의 층간 절연층 또는 봉지부로부터 수소가 산화물 반도체 박막 트랜지스터의 액티브층으로 확산되는 것을 저감할 수 있는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.

[0012] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

[0013] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치가 제공된다. 유기 발광 표시 장치는 표시영역과 그 일측에 위치하는 비표시영역으로 정의되는 기판, 표시영역 상에 배치된 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, 산화물 반도체 박막 트랜지스터의 액티브층의 하부 및 상부에 각각 위치하는 하부 절연층과 상부 절연층, LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자를 포함한다. 하부 절연층 또는 상부 절연층은 액티브층의 수소 노출을 최소화하도록, 막밀도 또는 수소 함유량 중 적어도 하나의 특성이 다른 복층구조를 포함하도록 구성된다.

[0014] 본 발명의 다른 특징에 따르면, 하부 절연층은 제1 절연층 및 제2 절연층을 포함하며, 제2 절연층은 액티브층과 접하도록 제1 절연층 상에 배치된다. 제1 절연층은 제2 절연층과 다른 물질로 이루어질 수 있으며, 제2 절연층은 제1 절연층보다 높은 수소 함유량을 갖도록 구성될 수 있다.

[0015] 본 발명의 다른 특징에 따르면, 하부 절연층은 제1 절연층 및 제2 절연층을 포함하며, 제2 절연층은 액티브층과

접하도록 제1 절연층 상에 배치된다. 제1 절연층과 제2 절연층은 동일한 물질로 이루어질 수 있으며, 제2 절연층은 제1 절연층보다 높은 수소 함유량을 갖도록 구성될 수 있다.

[0016] 본 발명의 다른 특징에 따르면, 상부 절연층은 제3 절연층 및 제4 절연층을 포함하고, 제3 절연층은 액티브층과 접하며, 제4 절연층은 제3 절연층 상에 배치된다. 제3 절연층은 제4 절연층보다 높은 막밀도를 갖도록 구성될 수 있다.

[0017] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법은 기판 상에 LTPS 박막 트랜지스터의 제1 액티브층을 형성하는 단계, 제1 액티브층 상에 LTPS 박막 트랜지스터의 게이트 전극을 형성하는 단계, 게이트 전극 상에 절연층을 형성하는 단계, 절연층 상에 산화물 반도체 박막 트랜지스터의 제2 액티브층을 형성하는 단계, 절연층 상에 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극과 LTPS 박막 트랜지스터의 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계, 제1 소스 전극, 제2 소스 전극, 제1 드레인 전극 및 제2 드레인 전극을 덮는 보호층을 형성하는 단계를 포함한다. 제1 소스 전극, 제2 소스 전극, 제1 드레인 전극 및 제2 드레인 전극은 동시에 동일한 물질로 형성되며, 절연층 또는 보호층은 다중층으로 구성되며, 보호층의 각 층은 서로 다른 성질을 가지도록 구성된다.

[0018] 본 발명의 또 다른 특징에 따르면, 절연층을 형성하는 단계는, 게이트 전극 상에 제1 절연층을 형성하는 단계 및 제1 절연층 상에 제2 절연층을 형성하는 단계를 포함하며, 제1 절연층을 형성하는 단계 및 제2 절연층을 형성하는 단계는 챔버 내부에 투입소스를 투입하는 단계를 각각 포함하고, 투입소스는 실란(SiH<sub>4</sub>) 가스를 포함할 수 있다.

[0019] 본 발명의 또 다른 특징에 따르면, 제1 절연층을 형성하는 단계 및 제2 절연층을 형성하는 단계에서 제1 절연층 및 제2 절연층은 동일한 물질로 이루어지며, 제2 절연층의 막밀도는 수소를 보다 효과적으로 차단하도록 제1 절연층의 막밀도보다 높을 수 있다.

[0020] 본 발명의 또 다른 특징에 따르면, 제2 절연층을 형성하는 단계에서 투입되는 실란 가스의 양은 제1 절연층을 형성하는 단계에서 투입되는 실란 가스의 양보다 적을 수 있다.

[0021] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

### 발명의 효과

[0022] 본 발명은 멀티 타입의 박막 트랜지스터를 하나의 기판에 적용하면서 발생하는 다양한 문제를 해결할 수 있는 새로운 구조를 갖는 유기 발광 표시 장치 및 새로운 유기 발광 표시 장치의 제조 방법을 제공할 수 있다.

[0023] 구체적으로, 본 발명은 유기 발광 표시 장치 내의 다양한 절연층들에 포함된 수소가 산화물 반도체 박막 트랜지스터의 액티브층에 확산되는 것을 저감하여 산화물 반도체 박막 트랜지스터의 신뢰성을 개선할 수 있다.

[0024] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

### 도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 2a 및 도 2b는 충간 절연층에서의 수소 확산에 의한 산화물 반도체 박막 트랜지스터의 영향을 설명하기 위한 비교예의 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 2c는 충간 절연층에서의 수소 확산에 의한 산화물 반도체 박막 트랜지스터의 영향을 설명하기 위한 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 3a는 봉지부에서의 수소 확산에 의한 산화물 반도체 박막 트랜지스터의 영향을 설명하기 위한 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 3b는 도 3a의 A 영역에 대한 확대도이다.

도 4a는 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하

기 위한 단면도이다.

도 4b는 도 4a의 A 영역에 대한 확대도이다.

도 5는 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 6a는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서 기판 및 베포층의 영향성을 설명하기 위한 단면도이다.

도 6b 및 도 6c는 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 7은 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법을 설명하기 위한 개략적인 순서도이다.

도 8a 내지 도 8i는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법을 설명하기 위한 공정 단면도이다.

도 9은 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 10a는 비교예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법에서의 LTPS 박막 트랜지스터의 활성화 공정 및 수소화 공정을 설명하기 위한 개략적인 순서도이다.

도 10b 및 도 10c는 본 발명의 일 실시예 및 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법에서의 LTPS 박막 트랜지스터의 활성화 공정 및 수소화 공정 순서를 설명하기 위한 개략적인 순서도이다.

도 11은 비교예 및 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법에서의 LTPS 박막 트랜지스터의 활성화 공정 및 수소화 공정에 따른 V<sub>th</sub> MAP 및 V<sub>th</sub> 편차를 설명하기 위한 표이다.

### 발명을 실시하기 위한 구체적인 내용

[0026]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0027]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등을 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0028]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0029]

위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0030]

소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0031]

비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0032] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0033] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0034] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0035] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0036] 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는 적어도 2개의 타입의 박막 트랜지스터가 동일한 기판 상에 형성된다. 멀티 타입의 박막 트랜지스터는 하나의 기판에 형성된 서로 상이한 타입의 박막 트랜지스터를 의미한다. 여기서, 적어도 2개의 타입의 박막 트랜지스터로서 폴리 실리콘 물질을 액티브층으로 하는 박막 트랜지스터와 금속 산화물을 액티브층으로 하는 박막 트랜지스터가 사용된다.
- [0037] 먼저, 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는 폴리 실리콘 물질을 액티브층으로 하는 박막 트랜지스터로서 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 LTPS 박막 트랜지스터가 사용된다. 폴리 실리콘 물질은 이동도가 높아 ( $100\text{cm}^2/\text{Vs}$  이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 LTPS 박막 트랜지스터가 적용될 수 있으며, 유기 발광 표시 장치에서 화소 내 구동 박막 트랜지스터로 적용되는 것이 바람직하다.
- [0038] 다음으로, 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 박막 트랜지스터가 사용된다. 산화물 반도체 물질은 실리콘 물질과 비교하여 밴드갭이 더 큰 물질이므로 오프(Off) 상태에서 전자가 밴드갭을 넘어가지 못하며, 이에 따라 오프-전류(Off-Current)가 낮다. 따라서, 산화물 반도체 박막 트랜지스터는 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다. 또한, 오프-전류가 작으므로 보조 용량의 크기가 감소될 수 있으므로, 산화물 반도체 박막 트랜지스터는 고해상도 표시 소자에 적합하다.
- [0039] 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서는, 서로 성질이 다른 LPTS 박막 트랜지스터와 산화물 반도체 박막 트랜지스터를 동일 기판 위에 배치함으로써, 최적의 기능을 제공할 수 있다.
- [0040] 도 1은 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 1은 유기 발광 표시 장치(100)의 하나의 화소에서의 일부 영역에 대한 단면도이고, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)와 스토리지 커페시터(120)를 도시하였다.
- [0041] 도 1을 참조하면, 유기 발광 표시 장치(100)는 기판(110), 벼파층(111), 산화물 반도체 박막 트랜지스터(140), LTPS 박막 트랜지스터(130), 스토리지 커페시터(120), LTPS 박막 트랜지스터(130)의 게이트 절연층(112), 층간 절연층(150), 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160), 패시베이션층(170), 평탄화층(113), 유기 발광 소자(180) 및 봉지부(190)를 포함한다.
- [0042] 도 1에 도시된 LTPS 박막 트랜지스터(130)는 게이트 전극(134)이 액티브층(131) 상에 배치되는 탑 게이트(top gate) 또는 코플라나(Coplanar) 구조의 박막 트랜지스터이다. 또한, 산화물 박막 트랜지스터(140)는 게이트 전극(144)과 소스 전극(142) 및 드레인 전극(143)이 액티브층(141)를 사이에 두고 서로 분리된 형태인 BCE(back channel etch) 구조의 트랜지스터이다. 하지만 상술한 구조에 제한하는 것은 아니다.
- [0043] 이하에서는, 유기 발광 표시 장치(100)의 각 구성요소들에 대해 상세히 설명한다.
- [0044] 기판(110)은 유기 발광 표시 장치(100)의 다양한 구성요소들을 지지한다. 기판(110)은 유리로 이루어지거나 가요성(flexibility)의 성질을 갖는 플라스틱 물질로 이루어질 수 있으며, 예를 들어 폴리이미드(PI)로 이루어질 수 있다. 기판(110)이 폴리이미드(PI)로 이루어지는 경우, 기판(110) 하부에 유리와 같은 단단한 성질의 지지 기판이 배치된 상황에서 유기 발광 표시 장치 제조 공정이 진행될 수 있고, 이 때 지지 기판은 제조 공정 중에 제거된다. 또한, 지지 기판이 제거된 후, 기판(110)을 지지하기 위한 백 플레이트(back plate)가 기판(110) 하부에 배치될 수 있다.

- [0045] 기판(110)이 플라스틱 물질로 이루어지는 경우, 기판(110) 하부로부터 유기 발광 표시 장치(100)로 침투하는 수분 또는 수소를 보다 확실히 차단하고, 외부로부터의 전기적인 영향을 보다 확실히 차폐하기 위해 기판(110)은 복층 구조로 이루어질 수도 있으며, 예를 들어 플라스틱층/무기막/플라스틱층의 3층 구조로 이루어질 수 있다. 이 때, 무기막은 수분이나 수소를 보다 확실히 차단하기 위해 질화 실리콘(SiNx) 등으로 이루어질 수 있으며, 전기적인 영향을 보다 확실히 차폐하기 위해서는 금속 물질로 이루어질 수 있다. 또한, 금속 물질로 이루어지는 무기막에는 정전압이 인가되어 보다 완벽하게 전기적 차폐가 달성될 수도 있다.
- [0046] 도 1을 참조하면, 기판(110)의 전체 표면 위에 베퍼층(111)이 형성된다. 베퍼층(111)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx)과 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다. 베퍼층(111)은 베퍼층(111) 상에 형성되는 층들과 기판(110) 간의 접착력을 향상시키고, 기판(110)으로부터 유출되는 알칼리 성분 등을 차단하는 역할 등을 수행한다. 다만, 베퍼층(111)은 필수적인 구성요소는 아니며, 기판(110)의 종류 및 물질, 박막 트랜지스터의 구조 및 타입 등에 기초하여 생략될 수도 있다.
- [0047] 도 1을 참조하면, 베퍼층(111) 상에 LTPS 박막 트랜지스터(130)가 배치된다. LTPS 박막 트랜지스터(130)는 폴리 실리콘으로 이루어지는 액티브층(131)과 전도성 금속 물질로 이루어지는 게이트 전극(134), 소스 전극(132) 및 드레인 전극(133)을 포함한다.
- [0048] 베퍼층(111) 상에 LTPS 박막 트랜지스터(130)의 액티브층(131)이 배치된다. LTPS 박막 트랜지스터(130)의 액티브층은 LTPS 박막 트랜지스터(130) 구동 시 채널이 형성되는 채널 영역(CA), 채널 영역(CA) 양 측의 소스 영역(SA) 및 드레인 영역(DA)을 포함한다. 채널 영역(CA), 소스 영역(SA) 및 드레인 영역(DA)은 이온 도핑(불순물 도핑)에 의해 정의된다.
- [0049] LTPS 박막 트랜지스터(130)의 액티브층(131)은 폴리 실리콘을 포함한다. 베퍼층(111) 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 탈수소화 공정 및 결정화 공정을 수행하는 방식으로 폴리 실리콘이 형성되고, 폴리 실리콘을 패터닝하여 액티브층(131)이 형성된다. 또한, 후술할 LTPS 박막 트랜지스터의 층간 절연층(150)을 형성한 후 활성화 공정 및 수소화 공정이 추가적으로 수행되어 액티브층(131)이 완성된다. LTPS 박막 트랜지스터(130)의 액티브층(131)의 제조 공정에 대해서는 후술한다.
- [0050] 도 1을 참조하면, LTPS 박막 트랜지스터(130)의 게이트 절연층(112)이 LTPS 박막 트랜지스터(130)의 액티브층(131)과 베퍼층(111) 상에 배치된다. LTPS 박막 트랜지스터(130)의 게이트 절연층(112)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층으로 구성되거나, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)으로 이루어진 다중층으로 구성될 수 있다. LTPS 박막 트랜지스터(130)의 게이트 절연층(112)에는 LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133) 각각이 LTPS 박막 트랜지스터(130)의 액티브층(131)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 전자학적 접촉을 위한 전자학적 접촉층이 형성된다.
- [0051] 도 1을 참조하면, LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 LTPS 박막 트랜지스터(130)의 게이트 전극(134)이 배치된다. LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 몰리브덴(Mo) 등과 같은 금속층을 형성하고, 금속층을 패터닝하여 LTPS 박막 트랜지스터(130)의 게이트 전극(134)이 형성된다. LTPS 박막 트랜지스터(130)의 게이트 전극(134)은 LTPS 박막 트랜지스터(130)의 액티브층(131)의 채널 영역(CA)과 중첩하도록 LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 배치된다.
- [0052] 도 1을 참조하면, 산화물 반도체 박막 트랜지스터(140)는 산화물 반도체로 이루어지는 액티브층(141)과 전도성 금속으로 이루어지는 게이트 전극(144), 소스 전극(142) 및 드레인 전극(143)을 포함한다. 산화물 반도체 박막 트랜지스터(140)는 상술한 바와 같이 화소 회로의 스위칭 박막 트랜지스터에 적용될 수 있다.
- [0053] 도 1을 참조하면, LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144)이 형성된다. LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 몰리브덴(Mo) 등과 같은 금속층을 형성하고, 금속층을 패터닝하여 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144)이 형성된다.
- [0054] LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144)은 동시에 동일한 공정으로 형성될 수 있다. 즉, LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 금속층을 형성하고, LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144)이 동시에 형성되도록 금속층이 패터닝될 수 있다. 이에, LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144)은 동일 층 상에서 동일한 물질 및 동일한 두께로 이루어질 수 있다. 이와 같이, LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜

지스터(140)의 게이트 전극(144)을 동시에 동일한 공정으로 형성함에 의해, 공정 시간이 단축되고, 마스크 수가 감소하여 공정 비용 또한 감소될 수 있다. 하지만, 이에 제한하는 것은 아니며, LTPS 박막 트랜지스터(130)의 게이트 전극이 액티브층(131) 하부에 배치되거나, 산화물 반도체 박막 트랜지스터(140)의 게이트 전극이 액티브층(141) 상부에 배치될 수도 있다. 또한, 도 9을 참조하면, 산화물 반도체 박막 트랜지스터(140)의 게이트 전극은 LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 사이에 배치될 수도 있다. 도 9에 대한 상세한 설명은 후술한다.

[0055] 도 1을 참조하면, LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144) 상에 LTPS 박막 트랜지스터(130)의 충간 절연층(150)이 배치된다. LTPS 박막 트랜지스터(130)의 충간 절연층(150)은 질화 실리콘(SiNx)으로 이루어질 수 있다. 충간 절연층(150)은, LTPS 박막 트랜지스터(130)의 액티브층(131)에 수소를 제공하는 역할을 한다. 이를 위해 충간 절연층(150)은 수소 함량이 높은 질화 실리콘(SiNx)으로 이루어질 수 있다. 수소화 공정은 LTPS 박막 트랜지스터(130)의 액티브층(131) 내부의 결합이 덜된 공간을 수소로 채우는 공정이다. 수소화 공정에 대한 상세한 설명은 후술한다.

[0056] LTPS 박막 트랜지스터(130)의 충간 절연층(150)의 두께는 LTPS 박막 트랜지스터(130)의 설계 값에 따라 결정될 수 있다. 일반적으로 LTPS 박막 트랜지스터(130)는 높은 이동도를 갖는 것을 특징으로 하므로, LTPS 박막 트랜지스터(130)의 이동도를 높이기 위해 수소화 공정 시에 많은 수소가 LTPS 박막 트랜지스터(130)의 액티브층(131)으로 주입되는 것이 바람직할 수 있다. 이에 높은 이동도를 확보하기 위해 충간 절연층(150)의 두께 또한 증가될 수 있다. 그러나, 충간 절연층(150)의 두께가 증가함에도 수소화 공정에 의해 LTPS 박막 트랜지스터(130)의 액티브층(131)에 주입되는 수소의 양이 포화되는 임계 두께 지점이 존재한다. 따라서, 충간 절연층(150)의 두께는 LTPS 박막 트랜지스터(130)의 목표 이동도 및 임계 두께 지점을 고려하여 적절하게 선택될 수 있다. 따라서, 충간 절연층(150)의 두께는 LTPS 박막 트랜지스터(130)의 목표 이동도, 기능, 동작 등에 기초하여 다양한 값을 가질 수 있다.

[0057] LTPS 박막 트랜지스터(130)의 충간 절연층(150)에는 LTPS 박막 트랜지스터(130)의 액티브층(131)의 소스 영역(SA) 및 드레인 영역(DA)을 LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133) 각각에 연결하기 위한 컨택홀이 형성된다.

[0058] 도 1을 참조하면, LTPS 박막 트랜지스터(130)의 충간 절연층(150) 상에 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 배치된다. 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)은 산화 실리콘(SiO<sub>x</sub>)으로 이루어질 수 있다. 하지만, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 및 LTPS 박막 트랜지스터(130)의 충간 절연층(150)의 물질은 이에 제한하는 것은 아니다. 다만, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 구성하는 물질은, LTPS 박막 트랜지스터(130)의 충간 절연층(150)에 포함된 수소의 양보다 더 적은 수소를 포함하는 물질로 선택하는 것이 바람직하다. 또한 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)은 수소 확산을 효과적으로 차단시킬 수 있는 재질 또는 성질을 가진 물질로 이루어지는 것이 바람직하다. 상술한 바와 같이, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)은 LTPS 박막 트랜지스터(130)의 충간 절연층(150)의 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 이동하는 것을 억제시킨다. 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 수소에 노출되는 경우, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 환원이 진행될 수 있고, 이에 따라 산화물 반도체 박막 트랜지스터(140)의 임계 전압(threshold voltage; V<sub>th</sub>)에 변화가 초래될 수 있다. 따라서, 수소 함량이 높은 LTPS 박막 트랜지스터(130)의 충간 절연층(150)과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 사이에 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 배치하여, LTPS 박막 트랜지스터(130)의 충간 절연층(150)으로부터 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 이동하는 것을 억제 할 수 있다. 또한, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 직접 접하는 구조에서는, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)의 수소 함량이 상대적으로 낮기 때문에, 충간 절연층(150)이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 직접 접하는 경우보다 수소에 의한 영향성이 저감될 수 있다.

[0059] 이에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 LTPS 박막 트랜지스터(130)의 충간 절연층(150)과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 사이에 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 더 배치될 수 있다. 따라서, LTPS 박막 트랜지스터(130)의 충간 절연층(150)에 포함된 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 확산되는 것을 보다 효과적으로 저감할 수 있다. 이에 따라, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 환원되는 것이 최소화되고 산화물 반도체

체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>)에 변화가 발생하는 것이 최소화될 수 있다.

[0060] 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)에는 LTPS 박막 트랜지스터(130)의 액티브층(131)의 소스 영역(SA) 및 드레인 영역(DA)을 LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133) 각각에 연결하기 위한 컨택홀이 형성된다.

[0061] 이하에서는 LTPS 박막 트랜지스터(130)의 층간 절연층(150)과 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)의 수소 확산 방지 효과에 대한 보다 상세한 설명을 위해 도 2a 내지 도 2c를 함께 참조한다.

[0062] 도 2a 및 도 2b는 층간 절연층에서의 수소 확산에 의한 산화물 반도체 박막 트랜지스터의 영향을 설명하기 위한 비교예의 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 2a 및 도 2b는 도 1에 도시된 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치(100)에서 LTPS 박막 트랜지스터(130)의 층간 절연층(150)과 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)의 구성이 변경된 비교예들에 대한 단면도이다.

[0063] 먼저, 도 2a를 참조하면, 비교예의 유기 발광 표시 장치(200A)에서는 LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144)을 덮도록 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 층간 절연층(250A)이 배치된다. LTPS 박막 트랜지스터(130)의 층간 절연층(250A) 상에는 바로 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 배치된다. 이에 따라, 도 2a에 도시된 비교예의 유기 발광 표시 장치(200A)에서는 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 층간 절연층(250A)과 직접 접하도록 배치된다.

[0064] 상술한 바와 같은 비교예의 유기 발광 표시 장치(200A)의 구조에서는 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 층간 절연층(250A)과 직접 접함에 따라 LTPS 박막 트랜지스터(130)의 층간 절연층(250A)으로부터 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 확산(화살표)될 수 있다. 특히, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성된 이후에 수행되는 경우에는, 활성화 공정 및 수소화 공정 시 가해지는 고온에 의해 LTPS 박막 트랜지스터(130)의 층간 절연층(250A)으로부터 보다 많은 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 이동될 수 있다. 이에, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 환원되고, 산화물 반도체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>)에 변화가 생길 수 있다.

[0065] 다음으로, 도 2b를 참조하면, 비교예의 유기 발광 표시 장치(200B)에서는 LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144)을 덮도록 산화 실리콘(SiO<sub>x</sub>)으로 이루어지는 LTPS 박막 트랜지스터(130)의 층간 절연층(250B)이 배치되고, 질화 실리콘(SiNx)으로 이루어지는 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(260B)이 LTPS 박막 트랜지스터(130)의 층간 절연층(250B) 상에 배치된다. 즉, 도 2b에 도시된 비교예의 유기 발광 표시 장치(200B)는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)와 비교하여 LTPS 박막 트랜지스터(130)의 층간 절연층(150)과 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)의 구성 물질이 서로 바뀌어 있다. 이에 따라, 도 2b에 도시된 비교예의 유기 발광 표시 장치(200B)에서는 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 층간 절연층(250B)과 직접 접하도록 배치된다.

[0066] 상술한 바와 같은 비교예의 유기 발광 표시 장치(200B)의 구조에서는 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 질화 실리콘(SiNx)으로 이루어지는 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(260B)과 직접 접함에 따라 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(260B)으로부터 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 확산(화살표)될 수 있다. 특히, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성된 이후에 수행되는 경우에는, 활성화 공정 및 수소화 공정 시 가해지는 고온에 의해 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(260B)으로부터 보다 많은 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 이동할 수 있다. 이에, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 환원되고, 산화물 반도체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>)에 변화가 생길 수 있다.

[0067] 또한, LTPS 박막 트랜지스터(130)의 액티브층(131)과 질화 실리콘(SiNx)으로 이루어지는 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(260B) 사이의 거리가 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서의 LTPS 박막 트랜지스터(130)의 액티브층(131)과 질화 실리콘(SiNx)으로 이루어지는 LTPS 박

막 트랜지스터(130)의 층간 절연층(250B) 사이의 거리보다 멀어지므로, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정 시, LTPS 박막 트랜지스터(130)의 액티브층(131)에까지 수소가 확산되는 정도가 감소될 수 있다.

[0068] 도 2c는 층간 절연층에서의 수소 확산에 의한 산화물 반도체 박막 트랜지스터의 영향을 설명하기 위한 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 2c에 도시된 유기 발광 표시 장치(100)는 도 1에 도시된 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치(100)와 동일하다.

[0069] 도 2c를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 층간 절연층(150)과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 사이에 산화 실리콘(SiOx)으로 이루어지는 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 배치된다. 따라서, LTPS 박막 트랜지스터(130)의 층간 절연층(150)으로부터 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 확산되는 것이 억제될 수 있다. 특히, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성된 이후에 수행되는 경우에도, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 확산되는 것이 억제(화살표)될 수 있다. 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 종래의 비교예의 유기 발광 표시 장치(200A, 200B)와 상이한 구조 및 적층 관계를 갖는 LTPS 박막 트랜지스터(130)의 층간 절연층(150)과 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 사용하여, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 확산되는 수소의 양이 저감될 수 있고, 이에 따라 산화물 반도체 박막 트랜지스터(140)의 임계 전압(Vth)이 변화되는 것이 최소화될 수 있다.

[0070] 도 1 및 도 2c에서는 LTPS 박막 트랜지스터(130)의 층간 절연층(150)이 질화 실리콘(SiNx)으로 이루어지는 단일 층이고, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 산화 실리콘(SiOx)으로 이루어지는 단일 층인 것으로 정의되었다. 그러나, LTPS 박막 트랜지스터(130)의 층간 절연층(150)이 질화 실리콘(SiNx)으로 이루어지는 하부층 및 산화 실리콘(SiOx)으로 이루어지는 상부층을 포함하고, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 생략된 형태로 정의될 수도 있다. 또한, LTPS 박막 트랜지스터(130)의 층간 절연층(150)이 생략되고 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 질화 실리콘(SiNx)으로 이루어지는 하부층 및 산화 실리콘(SiOx)으로 이루어지는 상부층을 포함하는 것으로 정의될 수도 있다.

[0071] 몇몇 실시예에서, LTPS 박막 트랜지스터(130)의 층간 절연층(150)은 패터닝될 수도 있다. 즉, 층간 절연층(150)으로부터 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 확산되는 것을 최소화하기 위하여, 층간 절연층(150)을 LTPS 박막 트랜지스터(130)에만 중첩되도록 패터닝할 수 있다. 따라서 상대적으로 수소를 많이 포함하는 층간 절연층(150)의 면적을 줄임으로써, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 수소가 노출되는 것을 최소화할 수 있다.

[0072] 다시 도 1을 참조하면, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 상에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 배치된다. 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 금속 산화물로 이루어지고, 예를 들어, IGZO 등과 같은 다양한 금속 산화물을 이루어질 수 있다. 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 금속 산화물을 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 상에 중착하고, 안정화를 위한 열처리 공정을 수행한 후, 금속 산화물을 패터닝함으로써 형성될 수 있다.

[0073] 도 1을 참조하면, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 상에 소스 전극(142) 및 드레인 전극(143)이 바로 형성된다. 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)과 소스 전극(142) 및 드레인 전극(143)은 오믹 접촉(ohmic contact)을 통해 전기적으로 서로 연결된다. 따라서, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 도체화 공정이 반드시 요구되지는 않는다. 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)의 제조 공정에 대해서는 후술한다.

[0074] 도 1을 참조하면, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 배치된 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 상에 LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)이 배치된다. LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)은 도전성 금속 물질로 이루어질 수 있고, 예를 들어, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있다.

- [0075] LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133) 각각은 LTPS 박막 트랜지스터(130)의 게이트 절연층(112), LTPS 박막 트랜지스터(130)의 층간 절연층(150) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)에 형성된 컨택홀을 통해 LTPS 박막 트랜지스터(130)의 액티브층(131)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 연결된다. 또한, 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143) 각각은 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)의 양측에 연결된다.
- [0076] LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)은 동시에 동일한 공정으로 형성될 수 있다. 즉, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 상에 소스/드레인 물질층을 형성하고, LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)이 동시에 형성되도록 소스/드레인 물질층이 패터닝될 수 있다. 이에, LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)은 동일한 두께 및 동일한 물질로 이루어질 수 있다. 이와 같이, LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)을 동시에 동일한 공정으로 형성함에 의해, 공정 시간이 단축되고, 마스크 수가 감소하여 공정 비용 또한 감소될 수 있다.
- [0077] 도 1을 참조하면, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140) 상에 패시베이션층(170)이 배치된다. 패시베이션층(170)은 LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)를 보호하기 위한 절연층이다. 또한, 패시베이션층(170)은 LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140) 상부로부터 확산되는 수소를 차단하는 역할도 할 수 있다. 패시베이션층(170)에는 LTPS 박막 트랜지스터(130)의 소스 전극(132)을 노출시키기 위한 컨택홀이 형성된다.
- [0078] 패시베이션층(170)에 대한 보다 상세한 설명을 위해 도 3a 및 도 3b를 함께 참조한다.
- [0079] 도 3a는 봉지부로부터 확산되는 수소에 의한 산화물 반도체 박막 트랜지스터의 영향을 설명하기 위한 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 3a에 도시된 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치(100)는 도 1에 도시된 유기 발광 표시 장치(100)와 동일하다.
- [0080] 도 3a를 참조하면, 패시베이션층(170) 상에 봉지부(190)가 배치된다. 봉지부(190)는 수분에 취약한 유기 발광 소자(180)를 수분에 노출되지 않도록 보호한다. 봉지부(190)는 무기층(191, 193)과 유기층(192)이 교대 적층된 구조로 형성될 수 있다. 도 3a에 도시된 봉지부(190)는 제1 무기층(191), 유기층(192) 및 제2 무기층(193)의 순서로 무기층(191, 193)과 유기층(192)이 교대 적층된 구조이다. 이 때, 제1 무기층(191) 및 제2 무기층(193)은 유기 발광 소자(180)로 침투하는 수분을 효과적으로 억제시키기 위해 질화 실리콘(SiNx)과 같은 무기물로 이루어질 수 있다. 다만, 제1 무기층(191) 및 제2 무기층(193)은 유기 발광 소자(180) 상에 형성되어야 하는데, 유기 발광 소자(180)는 고온에 매우 취약하다. 따라서, 제1 무기층(191) 및 제2 무기층(193)은 저온 증착 등과 같은 저온 공정에 의해 형성되며, 저온 공정에 의해 형성된 제1 무기층(191) 및 제2 무기층(193)은 고온 공정에 의해 형성된 무기층에 비해 상대적으로 수소 함량이 많다. 따라서, 유기 발광 표시 장치(100)가 제조된 이후 도 3a에 도시된 바와 같이 봉지부(190)의 제1 무기층(191) 및 제2 무기층(193)으로부터 수소가 확산(화살표)될 수 있고, 확산된 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 도달할 수 있다. 이와 같이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 수소가 확산되는 경우 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 환원되고, 산화물 반도체 박막 트랜지스터(140)의 임계 전압(Vth)이 변경될 수 있다. 이에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 패시베이션층(170)을 특정 적층 구조를 갖는 구조로 구성한다. 패시베이션층(170)에 대한 보다 상세한 설명을 위해 도 3b를 함께 참조한다.
- [0081] 도 3b는 도 3a의 A 영역에 대한 확대도이다.
- [0082] 도 3b를 참조하면, 패시베이션층(170)은 제1 패시베이션층(171) 및 제2 패시베이션층(172)을 포함하는 복층 구조로 구성된다. 구체적으로, 제1 패시베이션층(171)은 산화물 반도체 박막 트랜지스터(140)의 액티브층(141), LTPS 박막 트랜지스터(130)의 소스 전극(132), 드레인 전극(133) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 덮도록 배치된다. 그리고 제2 패시베이션층(172)은 제1 패시베이션층(171) 상에 배치된다. 한편, 제1 패시베이션층(171)은 산화 실리콘(SiOx)으로 이루어질 수 있으며, 제2 패시베이션층(172)은 질화 실리콘(SiNx)으로 이루어질 수 있다. 패시베이션층(170)은 패시베이션층(170) 상부로부터 침투하는 수분 및 수소 등으로부터 산화물 반도체 박막 트랜지스터(140) 및 LTPS 박막 트랜지스터(130)를 보호한다.

[0083]

일반적으로 사용되는 패시베이션층은 질화 실리콘(SiNx)으로 이루어지는 단일층으로 구성된다. 한편 패시베이션층(170)은 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)과 직접 접촉하여 배치되므로, 질화 실리콘(SiNx)에 포함된 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 확산될 수 있다. 이에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)에서는 산화 실리콘(SiOx)으로 이루어지는 제1 패시베이션층(171)을 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 접하도록 배치하고, 제1 패시베이션층(171) 상에 질화 실리콘(SiNx)으로 이루어지는 제2 패시베이션층(172)을 배치하여, 패시베이션층(170) 상부로부터 확산되는 수소가 효과적으로 억제될 수 있다.

[0084]

하기 [표 1]은 비교예에 따른 패시베이션층 및 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 패시베이션층(170)에 따른 수소 차단 효과를 설명하기 위한 표이다.

표 1

[0085]

	비교예		실시예1		실시예2	
	전	후	전	후	전	후
수소 플라즈마 처리	V <sub>th</sub> 평균	0.27V	-9.30V	0.08V	-4.63V	0.53V
V <sub>th</sub> 편차		Δ9.57V		Δ4.71V		Δ0.07V

[0086]

비교예는 패시베이션층이 단일층인 경우이며, 실시예 1 및 실시예 2는 패시베이션층이 이중층인 경우를 나타낸다. 또한 비교예는 패시베이션층이 2000Å 두께의 산화 실리콘(SiOx)으로 구성된 경우이며, 실시예 1 및 실시예 2는 제1 패시베이션층(171)으로 1000Å 두께의 산화 실리콘(SiOx)으로 구성되고, 제2 패시베이션층(172)으로 1000Å 두께의 질화 실리콘(SiNx)으로 구성된 경우이다. 한편, 실시예 1은 제2 패시베이션층(172) 증착 시 챔버 내에 투입 소스로 실란(NH<sub>3</sub>) 가스를 투입하지 않았으며, 실시예 2는 제2 패시베이션층(172) 증착 시 챔버 내에 투입 소스로 실란(NH<sub>3</sub>) 가스와 암모니아(NH<sub>3</sub>) 가스를 투입하되, SiH<sub>4</sub>:NH<sub>3</sub>는 1:6.5가 되도록 제어하였다. 또한 산화 실리콘(SiOx)층 및 질화 실리콘(SiNx)층은 PECVD 방식을 통해 형성되었다. 그리고 비교예와 실시예 1 및 실시예 2 모두의 예에서, 패시베이션층(170)의 하부에는 산화물 반도체 박막 트랜지스터(140)가 배치되어 있으며, 산화물 반도체 박막 트랜지스터(140)의 채널 영역의 폭과 길이가 모두 6μm가 되도록 산화물 반도체 박막 트랜지스터(140)가 제조되었다. 상술한 바와 같이 산화물 반도체 박막 트랜지스터(140)에 패시베이션층(170)을 형성한 후, 봉지부(190)에서 수분이 확산되는 것과 동일한 효과를 주기 위해 수소 플라즈마 처리를 수행하였다. 수소 플라즈마 처리는 5kW, 3000sccm, 60sec의 처리 조건으로 수행되었다. 수소 플라즈마 처리 이전 및 이후에 비교예와 실시예 1 및 실시예 2 각각의 샘플들에 대해 산화물 반도체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>)을 측정하였다. 또한 수소 플라즈마 처리 이전의 임계 전압(V<sub>th</sub>)의 평균값 및 수소 플라즈마 처리 이후의 임계 전압(V<sub>th</sub>)의 평균값을 표시하였고, 각 평균값의 편차를 표시하였다. 이때 샘플들은 하나의 원장 기판에 형성된 20개의 산화물 반도체 박막 트랜지스터이다.

[0087]

[표 1]을 참조하면, 비교예의 경우 수소 플라즈마 처리 전후에 있어서 임계 전압(V<sub>th</sub>)의 편차 평균값이 Δ9.57V로 매우 큰 차이를 나타내는 것으로 확인되었다. 비교예는 봉지부(190)로부터 확산되는 수소를 억제하기 위해 패시베이션층(170)으로서 산화 실리콘(SiOx)으로 이루어진 단일층만을 적용한 경우이다. 그러나, [표 1]에서 확인할 수 있듯이, 산화 실리콘(SiOx)으로 이루어진 단일층만으로 패시베이션층(170)을 구성하는 경우에는 수소 플라즈마 처리 이후에 산화물 반도체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>)이 크게 변경되었음을 알 수 있다.

[0088]

다음으로, 실시예 1은 상술한 바와 같은 문제점을 해결하기 위해, 패시베이션층(170)이 산화 실리콘(SiOx)으로 이루어진 제1 패시베이션층(171) 및 제2 패시베이션층(172) 상에 배치되면서 질화 실리콘(SiNx)으로 이루어진 제2 패시베이션층(172)을 포함하도록 구성되었다. 또한, 질화 실리콘(SiNx)으로 이루어진 제2 패시베이션층(172)으로부터 수소가 확산되는 것을 최소화하기 위해, 제2 패시베이션층(172) 증착 시 투입 소스로써 실란(SiH<sub>4</sub>) 가스와 질소(N<sub>2</sub>) 가스만을 사용하고, 암모니아(NH<sub>3</sub>) 가스는 사용하지 않았다. 투입 소스란 PECVD 장비의 챔버 안에 투입되는 물질이며, 플라즈마에 의해 분해된 가스간 반응으로 박막이 형성된다. 실시예 1과 관련하여 [표 1]을 참조하면, 임계 전압(V<sub>th</sub>)의 평균의 편차가 Δ4.71V로써 비교예의 경우보다 크게 감소된 것을 확인할 수 있다. 이에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 패시베이션층(170)이 봉지부(190)로부터 확산되는 수소를 효과적으로 억제할 수 있음을 확인할 수 있다.

[0089]

다음으로, 실시예 2는 실시예 1과 비교하여 제2 패시베이션층(172) 증착 시 투입 소스로 실란(SiH<sub>4</sub>) 가스, 질소

(N<sub>2</sub>) 가스 및 암모니아(NH<sub>3</sub>) 가스를 사용하였으며, 실란(SiH<sub>4</sub>) 가스 대 암모니아(NH<sub>3</sub>) 가스의 유량 비율이 1 대 6.5 라는 점을 제외하면 다른 구조나 물질은 동일하다. 실시예 2와 관련하여 [표 1]을 참조하면, 임계 전압(Vth)의 평균의 편차가 Δ 0.07V로 비교예의 경우보다 크게 감소된 것을 확인할 수 있다. 이에, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(100)의 패시베이션층(170)이 봉지부(190)로부터 확산되는 수소를 효과적으로 억제할 수 있음을 확인할 수 있다.

[0090] 또한, 투입 소스로 암모니아(NH<sub>3</sub>) 가스를 사용하지 않는 실시예 1의 경우 질화 실리콘(SiNx)으로 이루어지는 제 2 패시베이션층(172)의 결정 형상이 컬럼(column) 형태가 되어 오히려 제2 패시베이션층(172)의 막밀도가 낮아지는 반면, 투입 소스로 실란(SiH<sub>4</sub>) 가스와 암모니아(NH<sub>3</sub>) 가스를 사용하는 실시예 2의 경우 제2 패시베이션층(172)의 막밀도가 증가하는 것을 확인할 수 있다.

[0091] 실시예 2의 제2 패시베이션층(172)은 실시예 1의 경우보다 막밀도가 높고 수소 차단 특성이 뛰어나다. 표 1을 참조하면, 산화물 반도체 박막 트랜지스터(140)의 임계 전압(Vth) 편차값은 실시예 1의 경우 대비 실시예 2의 경우에서 보다 더 작은 특성을 나타낸다. 이로써, 제2 패시베이션층(172) 중착 시 투입 소스로 특정 비율의 실란(SiH<sub>4</sub>) 가스와 암모니아(NH<sub>3</sub>) 가스를 사용하는 방법이 산화물 반도체 박막 트랜지스터(140)의 신뢰성 측면에서 보다 효과적이다. 실란(SiH<sub>4</sub>) 가스 대 암모니아(NH<sub>3</sub>) 가스의 비율은 1 대 4.5 이상인 경우가 바람직하다. 실란(SiH<sub>4</sub>) 가스 대 암모니아(NH<sub>3</sub>) 가스의 비율을 1 대 4.5 미만으로 구성하면 산화물 반도체 박막 트랜지스터(140)의 임계 전압(Vth)에 변동이 발생할 수 있다. 투입 소스로 사용되는 실란(SiH<sub>4</sub>) 가스 및 암모니아(NH<sub>3</sub>) 가스의 유량의 단위는 sccm(Standard Cubic Centimeter per Minute; cm<sup>3</sup>/min)이며, 분당 1cc의 가스가 흐르는 양을 나타낸다.

[0092] 다시 도 1을 참조하면, 스토리지 커패시터(120)가 기판(110) 상에 배치된다. 스토리지 커패시터(120)는 벼파층(111) 상에 배치된 제1 전극(121) 및 LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 형성된 제2 전극(122)을 포함한다. 스토리지 커패시터(120)의 제1 전극(121)은 LTPS 박막 트랜지스터(130)의 액티브층(131)과 동일한 물질로 동시에 형성되고, 스토리지 커패시터(120)의 전극으로 기능하기 위해 도체화 공정이 적용될 수 있다. 또한, 스토리지 커패시터(120)의 제2 전극(122)은 LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 동일한 물질로 동시에 형성될 수 있다. 이에 따라, 스토리지 커패시터(120)는 별도의 추가적인 공정의 필요 없이, LTPS 박막 트랜지스터(130) 제조 공정 중에 형성될 수 있으므로, 공정 비용 및 공정 시간 측면에서 효율성이 존재한다. 스토리지 커패시터(120)의 용량을 증가시키기 위하여, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 상에 스토리지 커패시터(120)의 제3 전극을 더 형성할 수도 있다. 제3 전극은 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(141)과 동일한 공정 및 동일한 물질로 형성할 수 있다. 또는 LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)이나 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)과 동일한 공정 및 동일한 물질로 형성될 수도 있다.

[0093] 도 1을 참조하면, 패시베이션층(170) 상에는 평탄화층(113)이 배치된다. 평탄화층(113)은 산화물 반도체 박막 트랜지스터(140) 및 LTPS 박막 트랜지스터(130) 상부를 평탄화하기 위한 절연층으로서, 유기물로 이루어질 수 있다. 도 1에서는 설명의 편의를 위해 평탄화층(113) 하부의 각종 절연층들의 상부가 모두 평탄한 것으로 도시되었으나, 실제로는 산화물 반도체 박막 트랜지스터(140) 및 LTPS 박막 트랜지스터(130)의 구성요소들 또는 이를 등에 의해 평탄화되지 못하고 단차가 존재할 수 있다. 이에, 산화물 반도체 박막 트랜지스터(140) 및 LTPS 박막 트랜지스터(130) 상부를 평평하게 하거나 유기 발광 소자(180)가 배치되는 표면의 단차를 최소화함으로써, 유기 발광 소자(180)가 보다 신뢰성 있게 형성될 수 있다. 또한, 평탄화층(113)은 LTPS 박막 트랜지스터(130)의 소스 전극(132)과 애노드(181) 사이의 커패시턴스를 저감시킬 수 있다. 평탄화층(113)에는 LTPS 박막 트랜지스터(130)의 소스 전극(132)을 노출시키기고 애노드 전극(181)과 연결하기 위한 컨택홀이 형성된다.

[0094] 도 1을 참조하면, 평탄화층(113) 상에 유기 발광 소자(180)가 배치된다. 유기 발광 소자(180)는 평탄화층(113)에 형성되어 LTPS 박막 트랜지스터(130)의 소스 전극(132)과 전기적으로 연결된 애노드(181), 애노드(181) 상에 배치된 유기층(182) 및 유기층(182) 상에 형성된 캐소드(183)를 포함한다. 또한, 애노드(181)는 유기층(182)에서 발광된 광을 봉지부(190) 측으로 반사시키기 위한 반사층 및 유기층(182)에 정공을 공급하기 위한 투명 도전층을 포함할 수 있다. 유기층(182)은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 하나를 포함할 수 있다. 만약, 유기층(182)이 백색 유기 발광층을 포함하는 경우, 유기 발광 소자(180) 상부에 백색 유기 발광층으로부터의 백색 광을 다른 색의 광으로

변환하기 위한 컬러 필터가 배치될 수 있다. 또한, 유기층(182)은 유기 발광층 이외에 정공 수송층, 정공 주입층, 전자 주입층, 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수 있다.

[0095] 도 1을 참조하면, 평탄화층(113) 상에 애노드(181)의 양끝단을 덮도록 뱅크(114)가 배치된다. 뱅크(114)는 표시 영역에서 인접하는 화소 영역을 구분하는 방식으로 화소 영역을 정의한다.

[0096] 도 4a는 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 4b는 도 4a의 A 영역에 대한 확대도이다. 도 4a 및 도 4b에 도시된 유기 발광 표시 장치(400)는 도 1에 도시된 유기 발광 표시 장치(100)와 비교하여 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(460) 및 패시베이션층(470)이 변경되었다는 것을 제외하면 실질적으로 동일하므로, 중복 설명을 생략한다.

[0097] 도 4a 및 도 4b를 참조하면, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(460)은 제1 게이트 절연층(461) 및 제1 게이트 절연층(461) 상의 제2 게이트 절연층(462)을 포함한다. 제2 게이트 절연층(462)이 제1 게이트 절연층(461) 상에 배치됨에 따라 제2 게이트 절연층(462)이 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141)과 접하게 된다. 이 때, 제1 게이트 절연층(461) 및 제2 게이트 절연층(462)은 산화 실리콘(SiO<sub>x</sub>)으로 이루어질 수 있으며, 이 때 제2 게이트 절연층(462)의 수소 함량은 제1 게이트 절연층(461)의 수소 함량보다 더 낮을 수 있다.

[0098] 상술한 바와 같이 수소 함량이 상이한 제1 게이트 절연층(461) 및 제2 게이트 절연층(462)을 형성하기 위해 제1 게이트 절연층(461) 및 제2 게이트 절연층(462)을 증착하는데 사용되는 투입 소스의 투입량이 조절될 수 있고, 예를 들어, 실란(SiH<sub>4</sub>) 가스의 양이 조절될 수 있다. 즉, 제2 게이트 절연층(462)을 증착하는데 사용되는 실란(SiH<sub>4</sub>) 가스의 양을 제1 게이트 절연층(461)을 증착하는데 사용되는 실란(SiH<sub>4</sub>) 가스의 양보다 작게 하여, 제2 게이트 절연층(462)의 증착 공정을 저수소 공정으로 진행한다. 제2 게이트 절연층(462)의 증착 공정에서의 실란(SiH<sub>4</sub>) 가스의 양을 제1 게이트 절연층(461)의 증착 공정에서의 실란(SiH<sub>4</sub>) 가스의 양보다 작도록 설정하여 진행함에 따라, 제2 게이트 절연층(462)의 증착 공정이 제1 게이트 절연층(461)의 증착 공정보다 소요 시간이 더 걸리게 된다. 이에 따라, 제2 게이트 절연층(462)의 증착 공정에서 원자들이 보다 춤춤히 쌓이게 되며, 제2 게이트 절연층(462)의 막밀도가 제1 게이트 절연층(461)의 막밀도보다 높아진다. 이에 따라, 제1 게이트 절연층(461)과 제2 게이트 절연층(462)이 동일한 물질로 형성되더라도, 제2 게이트 절연층(462)의 막밀도가 제1 게이트 절연층(461)의 막밀도보다 높으므로, 산화물 반도체 박막 트랜지스터(140)의 하부로부터 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141)으로 수소가 확산되는 것이 보다 효율적으로 억제될 수 있다. 또한, 제2 게이트 절연층(462)을 증착하는데 사용되는 실란(SiH<sub>4</sub>) 가스의 양을 조절하여 제2 게이트 절연층(462)을 제1 게이트 절연층(461)의 수소 함량보다 적은 수소를 포함하도록 조절하면, 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141)이 수소에 노출되는 정도를 보다 감소시킬 수 있다. 이에 따라, 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141)의 환원 현상 및 산화물 반도체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>)의 변화가 최소화될 수 있다. 또한, 산화물 반도체 박막 트랜지스터(140)의 BTS(Bias Temperature Stress) 특성을 또한 개선될 수 있다.

[0099] 한편, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(460)과 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141) 사이의 계면에 전자가 트랩(trap)될 수 있다. 이와 같은 전자 트랩 현상을 해결하기 위해서, 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141) 하부에 막밀도가 높은 층을 배치할 수 있다. 따라서, 제1 게이트 절연층(461)의 막밀도보다 상대적으로 높은 막밀도를 갖는 제2 게이트 절연층(462)을 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141) 하부에 배치하여 상술한 바와 같은 전자 트랩 현상이 방지될 수 있다. 한편, 제1 게이트 절연층(461)의 조성을 변경하여 산화물 반도체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>) 특성을 제어 할 수도 있으므로, 게이트 절연층(460)은 상술한 바와 같이 다중층으로 구성할 수 있다.

[0100] 다음으로, 패시베이션층(470)은 제3 패시베이션층(473), 제3 패시베이션층(473) 상의 제1 패시베이션층(171) 및 제1 패시베이션층(171) 상의 제2 패시베이션층(172)을 포함할 수 있다. 제3 패시베이션층(473)이 제1 패시베이션층(171) 아래에 배치됨에 따라 제3 패시베이션층(473)이 산화물 반도체 박막 트랜지스터(140)의 액티브 층(141)과 접하게 된다. 이 때, 제3 패시베이션층(473) 및 제1 패시베이션층(171)은 산화 실리콘(SiO<sub>x</sub>)으로 이루어질 수 있으며, 제3 패시베이션층(473)의 수소 함량은 제1 패시베이션층(171)의 수소 함량보다 더 낮을 수 있다.

[0101] 상술한 바와 같이 수소 함량이 상이한 제1 패시베이션층(171) 및 제3 패시베이션층(473)을 형성하기 위해 제1 패시베이션층(171) 및 제3 패시베이션층(473)을 증착하는데 사용되는 투입 소스의 투입량이 조절될 수 있고, 예

를 들어, 실란(SiH<sub>4</sub>) 가스의 투입량이 조절될 수 있다. 즉, 제3 패시베이션층(473)을 증착하는데 사용되는 실란(SiH<sub>4</sub>) 가스의 투입량을 제1 패시베이션층(171)을 증착하는데 사용되는 실란(SiH<sub>4</sub>) 가스의 투입량보다 작게 하여, 제3 패시베이션층(473)의 증착 공정을 저수소 공정으로 설계한다. 제3 패시베이션층(473)의 증착 공정에서의 실란(SiH<sub>4</sub>) 가스의 투입량을 제1 패시베이션층(171)의 증착 공정에서의 실란(SiH<sub>4</sub>) 가스의 투입량보다 작게 함에 따라, 제3 패시베이션층(473)의 증착 공정이 제1 패시베이션층(171)의 증착 공정보다 느려진다. 이에 따라, 제3 패시베이션층(473)의 증착 공정에서 원자들이 보다 촘촘히 쌓이게 되며, 제3 패시베이션층(473)의 막밀도가 제1 패시베이션층(171)의 막밀도보다 높아진다. 이에 따라, 제1 패시베이션층(171) 및 제3 패시베이션층(473)이 모두 같은 물질로 형성되더라도, 제3 패시베이션층(473)의 막밀도가 제1 패시베이션층(171)의 막밀도보다 높으므로, 산화물 반도체 박막 트랜지스터(140)의 상부로부터 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 확산되는 것이 보다 억제될 수 있다. 또한, 제3 패시베이션층(473)은 제1 패시베이션층(171)보다 수소 함유량이 작기 때문에 제3 패시베이션층(473)이 제1 패시베이션층(171) 하부에 배치되는 경우가, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 수소에 노출되는 것을 최소화시킬 수 있다. 이에 따라, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 환원되는 것이 방지되고, 산화물 반도체 박막 트랜지스터(140)의 임계 전압(V<sub>th</sub>)이 변경되는 것이 방지된다. 또한, 산화물 반도체 박막 트랜지스터(140)의 BTS 특성 또한 개선될 수 있다.

[0102] 도 5는 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 5에 도시된 유기 발광 표시 장치(500)는 도 1에 도시된 유기 발광 표시 장치(100)와 비교하여, 중간 전극(519)이 추가되고 스토리지 커페시터(520)가 변경되었으며 평탄화층(513, 515)이 2개의 층으로 구성된다는 것을 제외하면 실질적으로 동일하므로, 중복 설명을 생략한다.

[0103] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(500)에서는 추가 금속층(523, 524, 519)이 추가되어 스토리지 커페시터(520)의 커페시턴스를 증가시킬 수 있고, 배선 저항을 낮출 수 있으며, 추가적으로 비표시 영역(베젤 영역)의 폭도 감소시킬 수 있다.

[0104] 먼저, 스토리지 커페시터(520)는 순차적으로 적층된 제1 전극(121), 제2 전극(122), 제3 전극(523) 및 제4 전극(524)을 포함한다. 스토리지 커페시터(520)의 제1 전극(121)은 LTPS 박막 트랜지스터(130)의 액티브층(131)과 동일한 물질로 동시에 형성되고, 스토리지 커페시터(520)의 제2 전극(122)은 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144) 및 LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 동일한 물질로 동시에 형성될 수 있다. 또한, 스토리지 커페시터(520)의 제3 전극(523)은 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)과 LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 동일한 물질로 동시에 형성될 수 있다. 또한, 스토리지 커페시터(520)의 제4 전극(524)은 추가 금속 물질이 사용되어 제1 평탄화층(513) 상에 형성될 수 있다. 제1 평탄화층(513)은 도 1에 도시된 평탄화층(113)과 동일한 물질로 이루어질 수 있으며, LTPS 박막 트랜지스터(130)의 소스 전극(132)과 중간 전극(519) 간에 형성되는 기생 커페시턴스를 저감할 수 있다. 또한, 스토리지 커페시터(520)는 제1 전극(121)과 제2 전극(122)을 양 단자로 하는 커페시터, 제2 전극(122)과 제3 전극(523)을 양 단자로 하는 커페시터 및 제3 전극(523)과 제4 전극(524)을 양 단자로 하는 커페시터가 서로 병렬 연결된 구조로 구성될 수 있으며, 이에 따라 스토리지 커페시터(520)의 커페시턴스가 증가될 수 있다.

[0105] 다음으로, 제1 평탄화층(513) 상에 중간 전극(519)이 배치된다. 중간 전극(519)은 패시베이션층(170) 및 제1 평탄화층(513)의 컨택홀을 통해 LTPS 박막 트랜지스터(130)의 소스 전극(132)과 연결된다. 또한, 중간 전극(519) 및 스토리지 커페시터(520)의 제4 전극(524) 상에는 중간 전극(519) 및 스토리지 커페시터(520)의 제4 전극(524) 상부를 평탄화하기 위한 제2 평탄화층(515)이 배치된다. 제2 평탄화층(515)은 도 1에 도시된 평탄화층(113)과 동일한 기능을 수행할 수 있다. 중간 전극(519)은 스토리지 커페시터(520)의 제4 전극(524)과 동일한 추가 금속 물질로 이루어질 수 있다. 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(500)에서는 추가 금속 물질을 사용하여 복수의 화소가 배치되는 표시 영역에서의 배선 저항을 감소시킬 수 있다. 즉, 추가 금속 물질을 사용하여 동일한 신호를 전달하는 배선을 복층 구조로 형성할 수 있고, 이에 따라 배선이 병렬 연결된 형태로 구현됨에 따라 배선 저항을 감소시킬 수 있다.

[0106] 마찬가지로, 비표시 영역에 배치되는 다양한 배선들의 배선 저항도 감소될 수 있다. 비표시 영역에 배치되는 배선들은 표시 영역에 배치되는 다양한 전극 및 배선과 동일한 물질을 사용하여 형성된다. 이에, 비표시 영역에 배치되는 다양한 배선들의 설계는 제한이 있고, 배선들의 배선 저항을 낮추는 데에도 한계가 있다. 그러나, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(500)에서는 표시 영역에서 추가적으로 사용된 추가 금속 물질

을 비표시 영역에도 배치하여, 비표시 영역에 배치되는 다양한 배선들이 동일한 신호를 복수의 층을 통해 전달하는 복층 구조로 형성될 수 있고, 이에 따라 배선 저항이 감소될 수 있다. 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(500)에서는 표시 영역에서 추가적으로 사용된 추가 금속 물질을 비표시 영역에도 배치하여, 서로 다른 신호를 전달하는 배선을 서로 중첩되게 배치할 수도 있고, 이에 따라 비표시 영역의 폭을 줄여 보다 개선된 네로우 베젤(narrow bezel)이 적용된 유기 발광 표시 장치(500)가 제공될 수 있다.

[0107] 몇몇 실시예에서, 중간 전극(519) 및 스토리지 커패시터(520)의 제4 전극(524)을 보호하기 위한 추가적인 패시베이션층이 제1 평탄화층(513) 상에 배치되어 중간 전극(519) 및 스토리지 커패시터(520)의 제4 전극(524)을 덮을 수도 있다. 또한, 도 5의 유기 발광 표시 장치(500)는 패시베이션층(170) 상부에 두 층의 평탄화층(513, 515)이 연속적으로 배치되는 구조를 보여주고 있지만, 몇몇 실시예에서는 도 5의 제1 평탄화층(513) 대신에 제2 패시베이션층이 배치되어 두 층의 패시베이션층이 연속적으로 배치된 구조일 수도 있다.

[0108] 도 6a는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에서 기판 및 벼퍼층의 영향성을 설명하기 위한 단면도이다. 도 6a에 도시된 유기 발광 표시 장치(100)는 도 1에 도시된 유기 발광 표시 장치(100)와 실질적으로 동일하므로, 중복 설명은 생략한다.

[0109] 상술한 바와 같이 유기 발광 표시 장치(100)의 기판(110)은 폴리이미드(PI) 등과 같은 플라스틱 물질로 이루어질 수 있으며, 기판(110) 상에는 질화 실리콘(SiNx)을 포함하는 벼퍼층(111)이 배치될 수 있다. 이에 따라, 기판(110) 또는 벼퍼층(111)으로부터의 수소 또는 수분이 상부로 이동하여, LTPS 박막 트랜지스터(130)의 액티브층(131) 및 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 영향을 줄 수 있다.

[0110] 또한, 기판(110)이 플라스틱 물질로 이루어지는 경우, 제조 공정 중에 기판(110)을 지지하기 위해 별도의 지지기판이 기판(110) 하부에 부착된다. 이 때, 기판(110)과 지지 기판 사이에는 희생층이 배치된다. 제조 공정이 완료되면, 레이저 텔리즈 공정을 통해 기판(110)과 지지 기판이 분리될 수 있다. 이러한 레이저 텔리즈 공정 중에 조사되는 레이저에 의해 기판(110) 상에 형성된 LTPS 박막 트랜지스터(130)의 액티브층(131) 및 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 손상될 수도 있다.

[0111] 또한, 기판(110)과 희생층에 의해 발생되는 전류 드롭 현상으로 인하여, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)의 임계 전압(Vth)이 변동될 수 있다. 구체적으로, 레이저 및 외부로부터 유입되는 빛에 의해 희생층에 네가티브 차지 트랩(negative charge trap)이 발생되고, 기판(110)을 이루는 물질인 플라스틱 물질, 예를 들어, 폴리이미드(PI)에서 양전하들이 희생층 쪽으로 이동한다. 이에 따라, 기판(110) 표면의 전위(potential)가 증가하며, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)의 임계 전압(Vth)이 양(positive)의 방향으로 쉬프트(shift)될 수 있다. 이러한 임계 전압(Vth)의 쉬프트는 유기 발광 표시 장치(100)의 신뢰성을 저하시킨다.

[0112] 도 6a를 참조하면, 산화물 반도체 박막 트랜지스터(140)의 경우 액티브층(141) 하부에 게이트 전극(144)이 배치된다. 따라서, 게이트 전극(144)이 상술한 바와 같은 수소 또는 수분을 차단할 수 있고, 레이저 텔리즈 공정 동안 조사되는 레이저도 차단할 수 있다. 또한, 기판(110) 표면의 전위가 증가함에 따라 발생할 수 있는 산화물 박막 트랜지스터의 임계 전압(Vth)의 쉬프트 현상 또한 억제될 수 있다. 그러나, 도 6a에 도시된 LTPS 박막 트랜지스터(130)의 액티브층(131)은 상술한 위험에 그대로 노출된다. 이에, 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치(100)는 BSM(Bottom Shield Metal)을 더 포함할 수 있다.

[0113] 도 6b 및 도 6c는 본 발명의 다양한 실시예들에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 6b에 도시된 유기 발광 표시 장치(600B)는 도 1에 도시된 유기 발광 표시 장치(100)와 비교하여, BSM(617) 및 액티브 벼퍼(618)가 더 추가된 것을 제외하면 실질적으로 동일하므로, 중복 설명을 생략한다. 또한, 도 6c에 도시된 유기 발광 표시 장치(600c)는 도 1에 도시된 유기 발광 표시 장치(100)와 비교하여, BSM(617) 및 액티브 벼퍼(618)가 더 추가되고, LTPS 박막 트랜지스터(130)의 소스 전극(132)이 BSM(617)과 연결된 것을 제외하면 실질적으로 동일하므로, 중복 설명을 생략한다.

[0114] 먼저, 도 6b를 참조하면, 벼퍼층(111) 상에 BSM(617)이 배치된다. BSM(617)은 벼퍼층(111) 상에서 LTPS 박막 트랜지스터(130)의 액티브층(131)과 중첩하도록 배치될 수 있고, 단면 상에서 BSM(617)의 폭은 LTPS 박막 트랜지스터(130)의 액티브층(131)의 폭 이상일 수 있다. BSM(617)은 다양한 금속 물질로 이루어질 수 있고, 도 6b에 도시된 유기 발광 표시 장치(600B)의 경우 BSM(617)은 플로팅(floating)되어 BSM(617)에는 전압이 인가되지 않을 수 있다.

[0115] BSM(617) 상에는 BSM(617)과 LTPS 박막 트랜지스터(130)의 액티브층(131)을 절연시키기 위한 액티브 벼퍼(61

8)가 배치된다. 액티브 버퍼(618)는 버퍼층(111)과 동일한 물질로 형성될 수 있다. 예를 들어, 액티브 버퍼(618)는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층으로 이루어지거나, 질화 실리콘(SiNx)과 산화 실리콘(SiOx)이 교번으로 적층된 다중층으로 이루어질 수 있다.

[0116] 다음으로, 도 6c를 참조하면, 버퍼층(111) 상에 BSM(617)이 배치되고, BSM(617) 상에 액티브 버퍼(618)가 배치된다. 나아가 LTPS 박막 트랜지스터(630)의 소스 전극(632)이 컨택홀을 통해 BSM(617)과 연결된다. 이에 따라, BSM(617)에는 LTPS 박막 트랜지스터(630)의 소스 전극(632)과 동일한 전압이 인가된다. 도 6c에서는 BSM(617)이 LTPS 박막 트랜지스터(630)의 소스 전극(632)과 연결되는 것으로 도시되었으나, BSM(617)은 LTPS 박막 트랜지스터(630)의 게이트 전극(134) 또는 LTPS 박막 트랜지스터(630)의 드레인 전극(133)과 연결되어, BSM(617)에는 LTPS 박막 트랜지스터(630)의 게이트 전극(134)과 동일한 전압이 인가되거나 LTPS 박막 트랜지스터(630)의 드레인 전극(133)과 동일한 전압이 인가될 수 있다. 또는, 별도의 정전압을 인가할 수 있는 배선을 통해, BSM(617)에는 원하는 정전압이 인가될 수도 있다.

[0117] 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치(600B, 600c)에서는 도 6b에 도시된 바와 같은 플로팅된 BSM(617)을 사용하거나 도 6c에 도시된 바와 같은 특정 전압이 인가되도록 구성된 BSM(617)을 더 포함할 수 있다. 이에, BSM(617)에 의해 수소 또는 수분이 차단되고, 레이저 텔리즈 공정 동안 조사되는 레이저가 차단되며, 기판(110) 표면의 전위가 증가함에 따라 발생할 수 있는 LTPS 박막 트랜지스터(130)의 임계 전압(Vth)의 쉬프트 현상 또한 억제될 수 있다.

[0118] 도 7은 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법을 설명하기 위한 개략적인 순서도이다. 도 8a 내지 도 8i는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법을 설명하기 위한 공정 단면도이다. 도 7, 도 8a 내지 도 8i는 도 1에 도시된 유기 발광 표시 장치(100)에 대한 제조 방법을 설명하기 위한 순서도 및 공정 단면도로서, 중복 설명은 생략한다.

[0119] 먼저, 기판(110) 상에 버퍼층(111)을 형성한다(S1000).

[0120] 도 8a를 참조하면, 기판(110) 표면 상에 버퍼층(111)을 증착한다. 구체적으로, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx) 중 어느 하나를 증착하여 단일층의 버퍼층(111)을 형성하거나, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)을 교대 적층하여 다중층의 버퍼층(111)을 형성할 수도 있다. 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx) 중 어느 하나를 선택하여 형성하되, 밀도 등의 특성을 달리 하여 다중층의 버퍼층(111)을 형성할 수도 있다.

[0121] 이어서, 버퍼층(111) 상에 LTPS 박막 트랜지스터(130)의 액티브층(131) 및 스토리지 커페시터(120)의 제1 전극(121)을 형성한다(S1010).

[0122] 도 7 및 도 8a를 참조하면, 버퍼층(111) 표면 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하여, a-Si층(891)을 형성하고(S1011), a-Si층(891)에 대한 탈수소화 공정(S1012)을 수행한다. a-Si층(891) 내에 수소가 많이 존재하는 경우 후속 결정화 공정(S1013)에서 a-Si층(891) 내의 수소가 폭발하여 불량이 발생할 수 있다. 이에, 탈수소화 공정은 a-Si층(891)으로부터 수소를 제거하는 공정으로서, a-Si층(891)을 형성한 후 결정화 공정(S1013)이 수행되기 전에 수행된다.

[0123] 이어서, 탈수소화 공정(S1012)이 완료된 후, a-Si층(891)에 대한 결정화 공정을 수행한다(S1013). 결정화 공정은 a-Si층(891)의 아몰퍼스 실리콘(a-Si)을 결정화하여 폴리 실리콘을 형성하는 공정으로서, 예를 들어, ELA(excimer laser annealing) 공정을 통해 수행될 수 있다.

[0124] 이어서, 도 7 및 도 8b를 참조하면, LTPS 박막 트랜지스터(130)의 액티브층(131) 및 스토리지 커페시터(120)의 제1 전극(121)을 형성하기 위해, 결정화가 완료된 a-Si층(891)을 패터닝한다(S1014).

[0125] 이어서, LTPS 박막 트랜지스터(130)의 게이트 절연층(112)을 형성하고(S1020), LTPS 박막 트랜지스터(130)의 게이트 전극(134), 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144) 및 스토리지 커페시터(120)의 제2 전극(122)을 형성한다(S1030).

[0126] 도 8c를 참조하면, LTPS 박막 트랜지스터(130)의 액티브층(131) 및 스토리지 커페시터(120)의 제1 전극(121) 상에 LTPS 박막 트랜지스터(130)의 게이트 절연층(112)을 형성한다. 구체적으로, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx) 중 어느 하나를 증착하여 단일층의 LTPS 박막 트랜지스터(130)의 게이트 절연층(112)을 형성하거나, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)을 교대 적층하여 다중층의 LTPS 박막 트랜지스터(130)의 게이트 절연

층(112)을 형성할 수도 있다. 또는, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx) 중 어느 하나를 선택하여 형성 하되, 밀도 등의 특성을 달리 하여 다중층으로 이루어진 게이트 절연층(112)을 형성할 수도 있다.

[0127] 이어서, LTPS 박막 트랜지스터(130)의 게이트 절연층(112) 상에 게이트 전극용 물질을 증착하고, 게이트 전극용 물질을 패터닝하여 LTPS 박막 트랜지스터(130)의 게이트 전극(134), 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144) 및 스토리지 커패시터(120)의 제2 전극(122)을 형성한다. 게이트 전극용 물질은 몰리브덴(Mo) 등과 같은 다양한 금속 물질일 수 있다.

[0128] 이어서, LTPS 박막 트랜지스터(130)의 게이트 전극(134)을 마스크로 하여 LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 도핑 공정을 수행한다(S1040).

[0129] 도 8d를 참조하면, LTPS 박막 트랜지스터(130)의 게이트 전극(134)을 마스크로 하여 하부에 배치된 LTPS 박막 트랜지스터(130)의 액티브 층(131)에 불순물을 주입하여, LTPS 박막 트랜지스터(130)의 액티브 층(131)의 소스 영역(SA) 및 드레인 영역(DA), 즉, 도핑 영역이 정의될 수 있다. 도핑 영역의 정의 과정은 P-MOS 박막 트랜지스터, N-MOS 박막 트랜지스터 또는 C-MOS 박막 트랜지스터에 따라 상이할 수 있다. 예를 들어, N-MOS 박막 트랜지스터의 경우, 고 농도 도핑 영역을 먼저 형성하고 난 후, 저 농도 도핑 영역을 나중에 형성할 수 있다. 구체적으로 LTPS 박막 트랜지스터(130)의 게이트 전극(134)보다 더 큰 크기를 갖는 포토레지스트를 이용하여 고농도 도핑 영역을 정의한 후, 포토레지스트를 제거하고 LTPS 박막 트랜지스터(130)의 게이트 전극(134)을 마스크로 하여, 저농도 도핑 영역(Low Density Doping area; LDD)을 정의할 수도 있다.

[0130] 몇몇 실시예에서, 소스 영역(SA) 및 드레인 영역(DA)을 포함하는 도핑 영역은 LTPS 박막 트랜지스터(130)의 게이트 절연층(112)을 형성하기 이전에 정의될 수도 있다. 즉, LTPS 박막 트랜지스터(130)의 액티브 층(131)과 스토리지 커패시터(120)의 제1 전극(121)을 형성한 직후, 포토레지스트를 이용하여 불순물이 도핑될 수도 있다. 이 경우, 스토리지 커패시터(120)의 제1 전극(121)에도 불순물이 도핑될 수도 있다.

[0131] 이어서, LTPS 박막 트랜지스터(130)의 게이트 전극(134), 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144) 및 스토리지 커패시터(120)의 제2 전극(122) 상에 산화물 반도체 박막 트랜지스터(140)의 충간 절연층(150)을 형성한다(S1050).

[0132] 도 8e를 참조하면, LTPS 박막 트랜지스터(130)의 게이트 전극(134), 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(144) 및 스토리지 커패시터(120)의 제2 전극(122) 상에 질화 실리콘(SiNx)을 증착하는 방식으로 LTPS 박막 트랜지스터(130)의 충간 절연층(150)이 형성될 수 있다. LTPS 박막 트랜지스터(130)의 충간 절연층(150)은 후속 공정으로 이루어지는 LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 수소화 공정 시에 LTPS 박막 트랜지스터(130)의 액티브 층(131)에 수소를 제공하기 위해 수소 함유량이 높은 무기막으로 이루어질 수 있다.

[0133] 이어서, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 활성화 공정을 수행하고 (S1060), LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 수소화 공정을 수행한다(S1070).

[0134] 도 8e에 도시된 바와 같이 질화 실리콘(SiNx)으로 이루어지는 충간 절연층(150)을 형성한 후, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 형성하기 전에 LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 활성화 공정이 수행된다. 또한, 활성화 공정이 수행된 이후에는 LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 수소화 공정이 진행된다. 수소화 공정은 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 형성되는 전후로 수행될 수 있다.

[0135] 먼저, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 활성화 공정에 대해 살펴보면, 상술한 LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 도핑 공정 결과, 주입된 불순물(도편트)이 무작위로 존재하게 된다. 이에, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 활성화 공정은 불순물을 실리콘(Si) 격자에 위치하게 하는 공정이다. 또한, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 도핑 공정은 불순물을 인위적으로 액티브 층에 주입하는 공정이므로, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 도핑 공정 결과 실리콘(Si)에 손상이 발생할 수 있다. 이에, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 활성화 공정을 수행하여 실리콘(Si)의 손상을 큐어링(curing)할 수 있다. 활성화 공정은 예를 들어, 섭씨 약 480도 내지 550도의 온도에서 약 120초 동안 수행될 수 있다.

[0136] 다음으로, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 수소화 공정에 대해 살펴보면, 폴리 실리콘에는 공극(vacancy)이 존재할 경우 특성이 저하된다. 이에, LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 수소화 공정은 폴리 실리콘의 공극을 수소로 채워주는 공정이다. LTPS 박막 트랜지스터(130)의 액티브 층(131)에 대한 수소화 공정은 열처리 공정을 통해 LTPS 박막 트랜지스터(130)의 충간 절연층(150)에 포함된 수소를 확산시

키는 방식으로 수행되며, 예를 들어, 섭씨 약 350도 내지 420도의 온도에서 약 3000초 동안 수행될 수 있다. 이와 같은 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정에 의해 LTPS 박막 트랜지스터(130)의 액티브층(131)이 안정화될 수 있다.

[0137] 이어서, LTPS 박막 트랜지스터(130)의 충간 절연층(150) 상에 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 형성하고(S1080), 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 상에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)을 형성한다(S1090). 또는 LTPS 박막 트랜지스터(130)에 대한 수소화 공정은 LTPS 박막 트랜지스터(130)의 충간 절연층(150)을 형성하고 난 후 수행될 수도 있다.

[0138] 도 8f를 참조하면, LTPS 박막 트랜지스터(130)의 충간 절연층(150) 상에 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 형성될 수 있다. 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)은 LTPS 박막 트랜지스터(130)의 충간 절연층(150)으로부터의 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 확산되는 것을 방지하기 위해 산화 실리콘(SiO<sub>x</sub>)으로 이루어질 수 있다.

[0139] 이어서, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 상에 금속 산화물, 예를 들어, 인듐갈륨아연복합산화물(Indium-Gallium-Zinc Oxide, 이하 IGZO)을 증착(S1091)하여 IGZO층(892)이 형성된다. 도 8f에서 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 다양한 금속 산화물 중 IGZO로 이루어지는 것을 가정하여 IGZO층(892)이 형성되는 것으로 설명하였으나, 이에 제한되지 않고 IGZO가 아닌 다른 금속 산화물이 사용될 수도 있다.

[0140] IGZO 증착은 고온 상태에서 수행된다. 따라서, IGZO 증착 과정에서 IGZO가 결정화될 수 있다. 상온에서 IGZO를 증착하는 경우 IGZO는 아몰포스 상태일 수 있으나, 고온 상태에서 IGZO를 증착하는 경우 인듐(In), 갈륨(Ga), 아연(Zn)이 총 구조를 이루면서 네트워크를 형성하게 된다. 또한, 고온에서 결정화를 진행함에 따라, IGZO층(892) 내에 산소 공극이 감소된다. IGZO층(892) 내에 산소 공극이 많이 존재하는 경우, 터널링 현상이 발생하고 이에 따라 IGZO층(892)이 도체화될 수 있다. 따라서, IGZO 증착 시에 고온에서 결정화를 진행함에 따라 산화물 반도체 박막 트랜지스터(140)의 BTS 특성이 개선되고, 신뢰성이 증가될 수 있다.

[0141] 이어서, IGZO층(892)의 안정화를 위해 IGZO층(892)에 대한 열처리를 수행하고(S1092), 도 8g에 도시된 바와 같이 IGZO층(892)을 패터닝하여(S1093) 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성된다.

[0142] 이어서, 도 8h에 도시된 바와 같이, LTPS 박막 트랜지스터(130)의 게이트 절연층(112), 충간 절연층(150) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)에 컨택홀을 형성하고(S1100), LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)을 형성한다(S1110).

[0143] LTPS 박막 트랜지스터(130)의 게이트 절연층(112), 충간 절연층(150) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)에 컨택홀을 형성한 후, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 및 액티브층 상에 소스 전극 및 드레인 전극용 물질을 증착 및 패터닝하는 방식으로 LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)이 형성될 수 있다. LTPS 박막 트랜지스터(130)의 소스 전극(132) 및 드레인 전극(133)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(142) 및 드레인 전극(143)은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있으며, 이 경우 드라이 에칭을 통해 패터닝 공정이 수행될 수 있다.

[0144] 몇몇 실시예에서, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 손상되는 것을 방지하기 위해, 드라이 에칭을 2단계로 적용할 수 있다. 예를 들어, 1차 드라이 에칭은 높은 에칭 레이트 조건으로 수행하고, 2차 드레이 에칭은 낮은 에칭 레이트 조건으로 수행할 수 있다. 이와 같은 2단계 드라이 에칭을 통해, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 손상되는 것이 저감될 수 있다.

[0145] 이어서, 도 8i에 도시된 바와 같이, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)를 덮도록 패시베이션층(170)을 형성하고(S1120), 패시베이션층(170) 상에 평탄화층(113)을 형성하고(S1130), 평탄화층(113) 상에 유기 발광 소자(180)를 형성하며(S1140), 유기 발광 소자(180) 상에 봉지부(190)를 형성한다(S1150). 패시베이션층(170)은 상술한 바와 같이 이중 적층 구조를 갖도록 형성될 수 있다.

[0146] 도 9는 본 발명의 다른 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 설명하기 위한 단면도이다. 도 9에 도시된 유기 발광 표시 장치(900)는 도 1에 도시된 유기 발광 표시 장치(100)와 비교하여 산화물 반도체 박막 트랜지스터(940)의 게이트 전극(944)의 위치가 변경되고, LTPS 박막 트랜지스터(130)의 충간 절연층(950) 및 산화물 반도체 박막 트랜지스터(940)의 게이트 절연층(960)이 변경되었다는 것을

제외하면 실질적으로 동일하므로, 중복 설명을 생략한다.

[0147] 도 9를 참조하면, LTPS 박막 트랜지스터(130)의 게이트 전극(134) 상에 LTPS 박막 트랜지스터(130)의 층간 절연층(950)이 배치된다. 층간 절연층(950)은 단일층으로 이루어질 수 있으며, 서로 다른 성질을 가진 두 개 이상의 층으로 이루어질 수도 있다. 예를 들면, 층간 절연층(950)은 질화 실리콘(SiNx)으로 이루어진 단일층으로 이루어지거나, 질화 실리콘(SiNx)으로 이루어진 층을 적어도 한 층 포함하는 다중층으로 이루어질 수 있다.

[0148] LTPS 박막 트랜지스터(130)의 층간 절연층(950) 상에 산화물 반도체 박막 트랜지스터(940)의 게이트 전극(944)이 배치된다. 산화물 반도체 박막 트랜지스터(940)의 게이트 전극(944)은 금속 물질로 이루어지며, 예를 들어, LTPS 박막 트랜지스터(130)의 게이트 전극(134)과 동일한 물질로 이루어질 수 있다.

[0149] 산화물 반도체 박막 트랜지스터(940)의 게이트 전극(944) 상에 산화 실리콘(SiOx)으로 이루어진 산화물 반도체 박막 트랜지스터(940)의 게이트 절연층(960)이 배치되고, 산화물 반도체 박막 트랜지스터(940)의 게이트 절연층(960) 상에 산화물 반도체 박막 트랜지스터(940)의 액티브층(141)이 배치된다.

[0150] 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(900)에서는 산화물 반도체 박막 트랜지스터(940)의 액티브층(141)과 게이트 전극(944) 사이에 단일층의 게이트 절연층(960)만이 배치된다. 즉, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(900)에서는 산화물 반도체 박막 트랜지스터(940)의 게이트 절연층(960)을 독립적으로 사용하므로, 산화물 반도체 박막 트랜지스터(940)의 특성이 다른 구성요소와는 무관하게 개별적으로 제어될 수 있다. 좀 더 구체적으로 설명하면, 산화물 반도체 박막 트랜지스터(940)의 온-전류(On-current)는 산화물 반도체 박막 트랜지스터(940)의 액티브층(141)과 게이트 전극 사이의 거리에 의해 영향을 받는다. 한편, 산화물 반도체 박막 트랜지스터(940)의 액티브층(141)과 게이트 전극 사이에 산화물 반도체 박막 트랜지스터(940)의 게이트 절연층(960)이 아닌 다른 층이 추가적으로 배치되는 경우, 산화물 반도체 박막 트랜지스터(940)의 온-전류(On-current) 특성에 변화가 생길 수 있다. 이 경우, 산화물 반도체 박막 트랜지스터(940)의 온-전류(On-current) 특성 향상만을 위해 산화물 반도체 박막 트랜지스터(940)의 액티브층(141)과 게이트 전극 사이의 거리를 제어하는 것도 한계가 있다. 그러나, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(900)에서는 산화물 반도체 박막 트랜지스터(940)의 액티브층(141)과 게이트 전극 사이에 게이트 절연층(960)만이 배치되므로, 산화물 반도체 박막 트랜지스터(940)의 액티브층(141)과 게이트 전극 사이의 거리를 독립적으로 제어하여 산화물 반도체 박막 트랜지스터(940)의 온-전류가 개선될 수 있다. 또한, 산화물 반도체 박막 트랜지스터(940)의 게이트 절연층(960)을 별도로 사용하므로 설계 자유도 또한 증가할 수 있다.

[0151] 도 9에 도시된 유기 발광 표시 장치(500)에는 스토리지 커페시터(120)가 제1 전극(121)과 제2 전극(122)을 포함한다. 하지만, 이에 제한되지 않고 제3 전극 또는 제4 전극을 더 포함할 수 있다. 예를 들어, LTPS 박막 트랜지스터(130)의 층간 절연층(950) 상에 스토리지 커페시터(120)의 제3 전극이 배치될 수 있다. 이 경우, 제3 전극은 산화물 반도체 박막 트랜지스터(940)의 게이트 전극(944)과 동일한 물질 및 동일한 공정으로 형성될 수 있다. 또한, 산화물 반도체 박막 트랜지스터(940)의 게이트 절연층(960) 상에 스토리지 커페시터(120)의 제4 전극이 더 배치될 수 있다. 이 경우, 제4 전극은 산화물 반도체 박막 트랜지스터(940)의 소스 전극(142) 및 드레인 전극(143)과 동일한 물질 및 동일한 공정으로 형성될 수 있다. 이와 같이, 스토리지 커페시터(120)의 제3 전극 또는 제4 전극을 더 배치함으로써 스토리지 커페시터(120)의 용량값을 증가시킬 수 있다. 또한, 스토리지 커페시터(120)는 별도의 추가적인 공정의 필요 없이, LTPS 박막 트랜지스터(130) 또는 산화물 반도체 박막 트랜지스터(940)의 제조 공정 중에 형성될 수 있으므로, 공정 비용 및 공정 시간 측면에서 효율성이 존재한다.

[0152] 또한, 도 9에 도시된 유기 발광 표시 장치(900)에는 앞서 설명한 다양한 유기 발광 표시 장치(100, 400, 500, 600B, 600c)의 구조가 적용될 수 있다. 예를 들어, 유기 발광 표시 장치(900)에는 도 5에 도시된 바와 같은 유기 발광 표시 장치(500)의 복수의 평탄화층(513, 515) 및 추가 금속층(519, 524, 523)이 적용될 수도 있으며, 도 6b 및 도 6c에 도시된 유기 발광 표시 장치(600B, 600c)의 BSM(617)이 적용될 수도 있다.

[0153] 도 7에서는, 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법에서 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 열처리 공정이 분리되어 진행되는 것으로 도시되었다. 하지만, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 열처리 공정이 동시에 진행될 수도 있다. 즉, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 열처리 공정에서 공정 온도를 조절하여 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 열처리와 함께 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 열처리 공정이 동시에 진행될 수도 있다.

화 공정이 진행될 수도 있다. 이와 같이 공정을 진행하는 경우, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 수소의 영향성은 증가할 수도 있으나, 복수의 공정을 하나의 공정으로 통합할 수 있어 제조 공정이 보다 간편해 질 수 있다.

[0154] 상술한 바와 같이, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정과 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 열처리 공정이 분리되어 진행되는 경우, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정은 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 형성 이전에 수행되어야 한다. 이 경우, LTPS 박막 트랜지스터(130)의 층간 절연층(150)이 형성되고 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정만 이루어진 후, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 형성되고, 그 이후에 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정이 이루어질 수 있다(실시예 1). 또한, LTPS 박막 트랜지스터(130)의 층간 절연층(150)이 형성되고 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 모두 이루어진 후 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 형성될 수도 있다(실시예 2). 또한, LTPS 박막 트랜지스터(130)의 층간 절연층(150) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 모두가 형성된 후, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 이루어질 수도 있다(비교 예). 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법에서는, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 형성하기 이전에 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정을 수행하여 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 수소의 영향을 최소화할 수 있다. 보다 상세한 설명을 위해 도 10a 내지 도 10c 및 도 11를 함께 참조한다.

[0155] 도 10a는 비교예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법에서의 LTPS 박막 트랜지스터의 활성화 공정 및 수소화 공정을 설명하기 위한 개략적인 순서도이다. 도 10b 및 도 10c는 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법에서의 LTPS 박막 트랜지스터의 활성화 공정 및 수소화 공정 순서를 설명하기 위한 개략적인 순서도이다. 도 11는 비교예 및 본 발명의 일 실시예에 따른 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법에서의 LTPS 박막 트랜지스터의 활성화 공정 및 수소화 공정에 따른  $V_{th}$  MAP 및  $V_{th}$  편차를 설명하기 위한 표이다.

[0156] 도 10a는 앞서 설명한 비교예에 대한 순서도이고, 도 10b는 앞서 설명한 실시예 1에 대한 순서도이며, 도 10c는 본 발명의 실시예 2에 대한 순서도이다. 도 11는 도 10a 내지 도 10c에 도시된 비교예, 실시예 1 및 실시예 2의 공정에 따라 멀티 타입의 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 제조한 후, 비교예, 실시예 1 및 실시예 2 각각의 샘플에 대한  $V_{th}$  MAP 및  $V_{th}$  편차 범위를 나타낸 것이다. 여기서,  $V_{th}$  MAP은 산화물 반도체 박막 트랜지스터의 액티브층에서의 임계 전압( $V_{th}$ )의 차이를 도식화한 것으로서,  $V_{th}$  MAP에서 특정 영역의 해칭 밀도, 즉, 점의 밀도가 높을수록 해당 위치에서의 임계 전압( $V_{th}$ )이 낮다. 또한,  $V_{th}$  편차 범위는  $V_{th}$  MAP에서 가장 높은 임계 전압( $V_{th}$ ) 값과 가장 낮은 임계 전압( $V_{th}$ ) 값을 나타낸다. 비교예, 실시예 1 및 실시예 2 각각에서는 산화물 반도체 박막 트랜지스터의 채널 영역의 폭과 길이가 모두 6 $\mu m$ 가 되도록 산화물 반도체 박막 트랜지스터가 제조되었다. 이때 샘플들은 하나의 원장 기판에 형성된 20개의 산화물 반도체 박막 트랜지스터이다.

[0157] 먼저, 도 10a를 참조하면, 비교예는 LTPS 박막 트랜지스터(130)의 층간 절연층(150)을 형성하고(S1050), 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 형성하고(S1080'), LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정(S1060') 및 수소화 공정(S1070')을 수행한다. 즉, 절화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 층간 절연층(150) 상에 산화 실리콘(SiOx)으로 이루어지는 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 배치된 상태에서 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 순차적으로 수행된다. 이에, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 진행되는 동안 LTPS 박막 트랜지스터(130)의 층간 절연층(150)에 포함된 수소가 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)에 다량의 수소가 포함된다. 이에 따라, 추후에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성되고 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 대한 열처리 공정이 수행되는 동안 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)에 포함된 다량의 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 확산되어 산화물 반도체 박막 트랜지스터(140)의 임계 전압( $V_{th}$ )이 변경되게 된다. 따라서, 도 11를 참조하면, 비교예에서는  $V_{th}$  편차가 4.2V로 매우 크다.

[0158] 다음으로, 도 10b를 참조하면, 실시예 1은 LTPS 박막 트랜지스터(130)의 층간 절연층(150)을 형성하고(S1050), LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정(S1060)을 수행하고, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 형성하고(S1080'), LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수

소화 공정(S1070')을 수행한다. 즉, 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 충간 절연층(150)이 배치된 상태에서 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정이 수행되고, 이 후 산화 실리콘(SiO<sub>x</sub>)으로 이루어지는 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 배치된 상태에서 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정이 수행된다. 이에, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 동안에는 LTPS 박막 트랜지스터(130)의 충간 절연층(150) 상에 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 없으므로, LTPS 박막 트랜지스터(130)의 충간 절연층(150)으로부터 상부 층으로 수소가 확산되지 않는다. 다만, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 배치된 상태에서 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정이 수행되므로, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정 동안에는 LTPS 박막 트랜지스터(130)의 충간 절연층(150)에서 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)으로 수소가 확산될 수 있다. 하지만, 수소화 공정의 온도보다 높은 온도로 진행되는 활성화 공정을, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 형성하기 전에 수행하여, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)으로 수소가 확산되는 것을 최소화할 수 있다. 또한, 상술한 바와 같이, 도 8b를 참조하면 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)은 밀도가 서로 다른 다중층으로 구성될 수 있다. 예를 들어, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)은 산화 실리콘(SiO<sub>x</sub>)로 이루어진 제1 게이트 절연층(861) 및 제2 게이트 절연층(862)를 포함할 수 있다. 이 경우, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 접촉하여 배치되는 제2 게이트 절연층(862)의 막밀도는 제1 게이트 절연층(861)의 막밀도보다 크도록 형성할 수 있다. 이에 따라, 추후에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성되고 열처리 공정이 수행되는 동안, 보다 큰 막밀도로 형성된 제2 게이트 절연층(862)은 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 확산되는 것을 최소화할 수 있다. 도 11를 참조하면, 실시예 1의 V<sub>th</sub> 편차 특성이 비교예보다 월등히 작은 특성을 보이는 것을 확인할 수 있다.

[0159] 다음으로, 도 10c를 참조하면, 실시예 2는 LTPS 박막 트랜지스터(130)의 충간 절연층(150)을 형성하고(S1050), LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정(S1060) 및 수소화 공정(S1070)을 수행하고, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)을 형성한다(S1080). 즉, 질화 실리콘(SiNx)으로 이루어지는 LTPS 박막 트랜지스터(130)의 충간 절연층(150)이 배치된 상태에서 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 모두 수행되고, 이 후 산화 실리콘(SiO<sub>x</sub>)으로 이루어지는 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)이 배치된다. 이에, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정 동안에는 LTPS 박막 트랜지스터(130)의 충간 절연층(150) 상에 어떠한 층도 존재하지 않으므로, LTPS 박막 트랜지스터(130)의 충간 절연층(150)으로부터 상부 층으로 수소가 확산되지 않는다. 아울러, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 진행되는 동안, 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)과 접하게 되는 LTPS 박막 트랜지스터(130)의 충간 절연층(150)의 표면에 포함된 수소가 제거될 수 있다. 따라서, LTPS 박막 트랜지스터(130)의 충간 절연층(150)으로부터 이후에 형성된 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160)으로 수소가 확산되지 않는다. 이에 따라, 추후에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성되고 열처리 공정이 수행되는 동안 산화물 반도체 박막 트랜지스터(140)의 게이트 절연층(160) 및 LTPS 박막 트랜지스터(130)의 충간 절연층(150)으로부터 확산되는 수소의 양이 현저하게 적다. 도 11를 참조하면, 실시예 2의 V<sub>th</sub> 편차 특성이 비교예보다 월등히 작은 특성을 보이는 것을 확인할 수 있다.

[0160] 본 발명의 다양한 실시예에 따른 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법은 다음과 같이 설명될 수 있다.

[0161] 본 발명의 일 실시예에 따른 유기 발광 표시는 표시영역과 그 일측에 위치하는 비표시영역으로 정의되는 기판, 표시영역 상에 배치된 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터, 산화물 반도체 박막 트랜지스터의 액티브층의 하부 및 상부에 각각 위치하는 하부 절연층과 상부 절연층 및 LTPS 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터 상에 위치하는 유기 발광 소자를 포함하고, 하부 절연층 또는 상부 절연층은 액티브층의 수소 노출을 최소화하도록, 막밀도 또는 수소 함유량 중 적어도 하나의 특성이 서로 다른 복수 개의 층으로 구성된다.

[0162] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 하부 절연층은 제1 절연층 및 제2 절연층을 포함할 수 있으며, 제2 절연층은 액티브층과 접하도록 제1 절연층 상에 배치된다.

[0163] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 제1 절연층과 제2 절연층은 동일한 물질로 이루어

지며, 제2 절연층의 막밀도는 제1 절연층의 막밀도보다 높을 수 있다.

[0164] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 제1 절연층 및 제2 절연층은 산화 실리콘(SiO<sub>x</sub>)으로 이루어질 수 있다.

[0165] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 제1 절연층과 제2 절연층은 서로 다른 물질로 이루어질 수 있으며, 제2 절연층의 수소 함유량은 제1 절연층의 수소 함유량보다 낮을 수 있다.

[0166] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 제1 절연층은 질화 실리콘(SiNx)으로 이루어질 수 있다.

[0167] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 제2 절연층은 산화 실리콘(SiO<sub>x</sub>)으로 이루어질 수 있다.

[0168] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, LTPS 박막 트랜지스터는 게이트 전극을 포함하고, 하부 절연층은 게이트 전극을 직접 덮도록 배치될 수 있다.

[0169] 본 발명의 일 실시예에 따른 유기 발광 표시는, 스토리지 커패시터를 더 포함하고, 하부 절연층은 스토리지 커패시터의 일 전극을 직접 덮도록 배치되며, 게이트 전극과 일 전극은 동일한 물질로 이루어질 수 있다.

[0170] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 상부 절연층은 제3 절연층 및 제4 절연층을 포함하고, 제3 절연층은 액티브층과 접하며, 제4 절연층은 제3 절연층 상에 배치될 수 있다.

[0171] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 제3 절연층과 제4 절연층은 동일한 물질로 이루어지며, 제3 절연층의 막밀도는 제4 절연층의 막밀도보다 높을 수 있다.

[0172] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 기판 상에 LTPS 박막 트랜지스터의 제1 액티브층을 형성하는 단계, 제1 액티브층 상에 LTPS 박막 트랜지스터의 게이트 전극을 형성하는 단계, 게이트 전극 상에 절연층을 형성하는 단계, 절연층 상에 산화물 반도체 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극과 LTPS 박막 트랜지스터의 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계 및 제1 소스 전극, 제2 소스 전극, 제1 드레인 전극 및 제2 드레인 전극을 덮는 보호층을 형성하는 단계를 포함하고, 제1 소스 전극, 제2 소스 전극, 제1 드레인 전극 및 제2 드레인 전극은 동시에 동일한 물질로 형성되며, 절연층 또는 보호층은 다중층으로 구성되며, 보호층의 각 층은 서로 다른 성질을 가진다.

[0173] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법에 있어서, 절연층을 형성하는 단계는 게이트 전극 상에 제1 절연층을 형성하는 단계 및 제1 절연층 상에 제2 절연층을 형성하는 단계를 포함하며, 제1 절연층을 형성하는 단계 및 제2 절연층을 형성하는 단계는 챔버 내부에 투입소스를 투입하는 단계를 각각 포함하고, 투입소스는 실란(SiH<sub>4</sub>) 가스를 포함할 수 있다.

[0174] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 제1 절연층을 형성하는 단계 및 제2 절연층을 형성하는 단계에서, 제1 절연층 및 제2 절연층은 동일한 물질로 이루어지며, 제2 절연층의 막밀도는 수소를 보다 효과적으로 차단하도록 제1 절연층의 막밀도보다 높을 수 있다.

[0175] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법에 있어서, 제2 절연층을 형성하는 단계에서 투입되는 실란 가스의 양은, 제1 절연층을 형성하는 단계에서 투입되는 실란 가스의 양보다 적을 수 있다.

[0176] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 제1 절연층을 형성하는 단계 및 제2 절연층을 형성하는 단계에서, 제1 절연층 및 제2 절연층은 서로 다른 물질로 이루어지며, 제2 절연층의 수소 함유량은 수소를 보다 효과적으로 차단하도록 제1 절연층의 수소 함유량보다 낮을 수 있다.

[0177] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법에 있어서, 보호층을 형성하는 단계는 제2 액티브층 상에 제1 보호층을 형성하는 단계 및 제1 보호층 상에 제2 보호층을 형성하는 단계를 포함하며, 제1 보호층을 형성하는 단계 및 제2 보호층을 형성하는 단계는 챔버 내부에 투입소스를 투입하는 단계를 각각 포함하고, 투입소스는 실란(SiH<sub>4</sub>) 가스를 포함할 수 있다.

[0178] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 제2 보호층을 형성하는 단계에서 투입되는 투입소스는 암모니아(NH<sub>3</sub>) 가스를 더 포함할 수 있다.

[0179] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 제2 보호층을 형성하는 단계에서 실란 가스 대

암모니아 가스의 비율은 1 : 6.5 일 수 있다.

[0180] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 제1 보호층을 형성하는 단계 및 제2 보호층을 형성하는 단계에서, 제1 보호층과 제2 보호층은 동일한 물질일 수 있으며, 제1 보호층을 형성하는 단계에서 투입되는 실란 가스의 양은 제2 보호층을 형성하는 단계에서 투입되는 실란 가스의 양보다 적을 수 있다.

[0181] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

### **부호의 설명**

[0182] 100, 200A, 200B, 400, 500, 600, 600B, 600C, 900: 유기 발광 표시 장치

110: 기판

111: 베퍼층

112: LTPS 박막 트랜지스터의 게이트 절연층

113: 평탄화층

114: 뱅크

120: 스토리지 커퍼시터

121: 제1 전극

122: 제2 전극

130: LTPS 박막 트랜지스터

131: 액티브층

132: 소스 전극

133: 드레인 전극

134: 게이트 전극

SA: 소스 영역

DA: 드레인 영역

CA: 채널 영역

140: 산화물 반도체 박막 트랜지스터

141: 액티브층

142: 소스 전극

143: 드레인 전극

144: 게이트 전극

150: 충간 절연층

160: 산화물 반도체 박막 트랜지스터의 게이트 절연층

170: 패시베이션층

180: 유기 발광 소자

181: 애노드

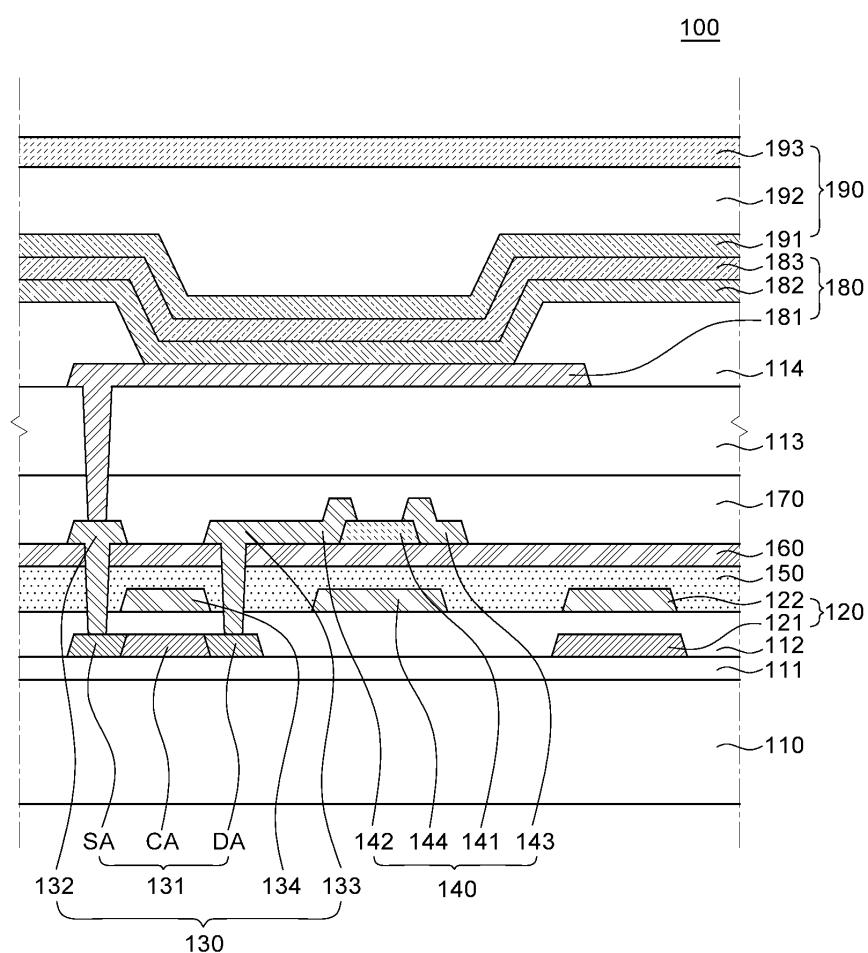
182: 유기 발광층

183: 캐소드

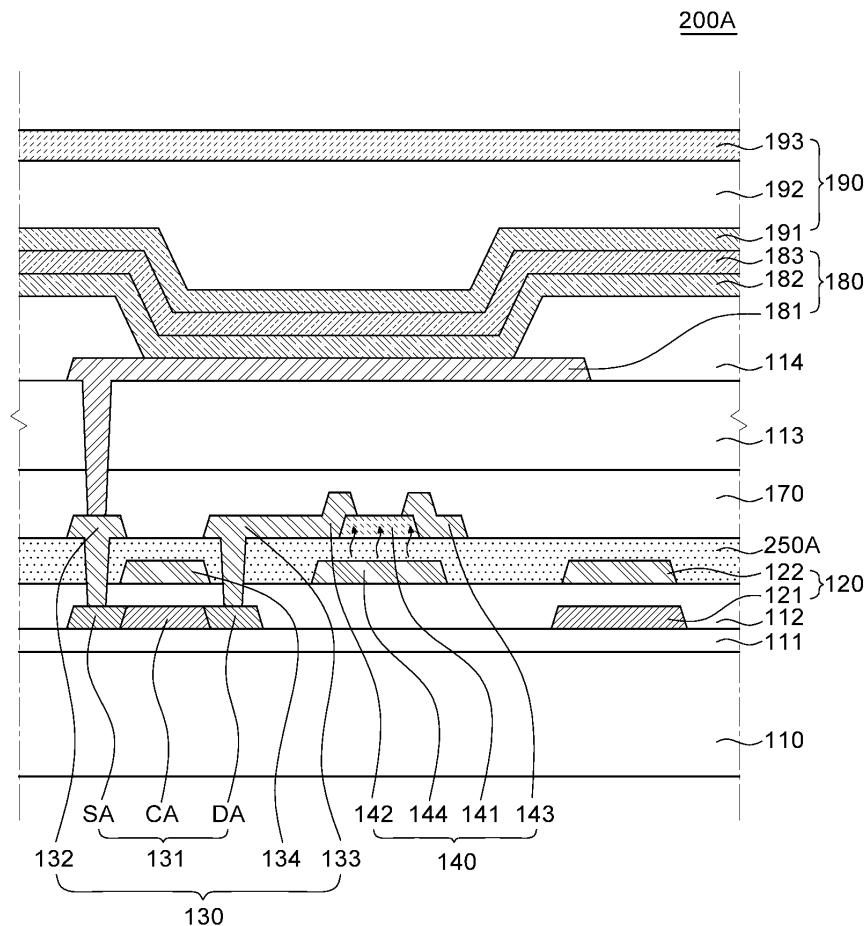
190: 봉지부

191, 193: 무기층

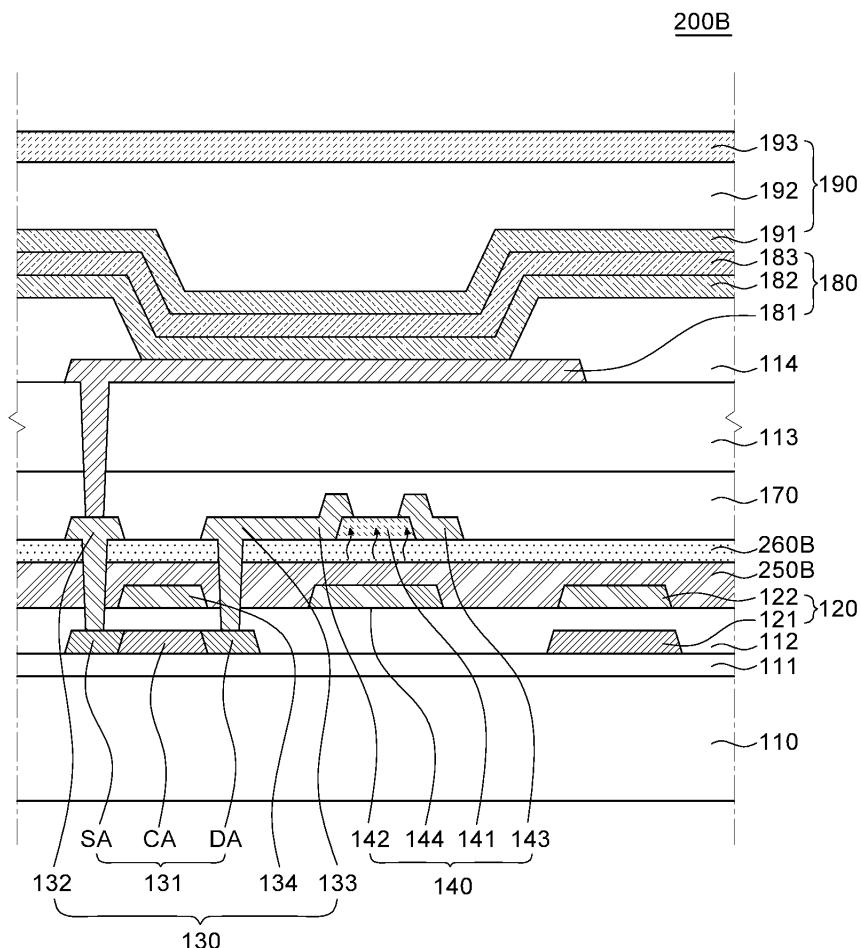
192: 유기층

**도면****도면1**

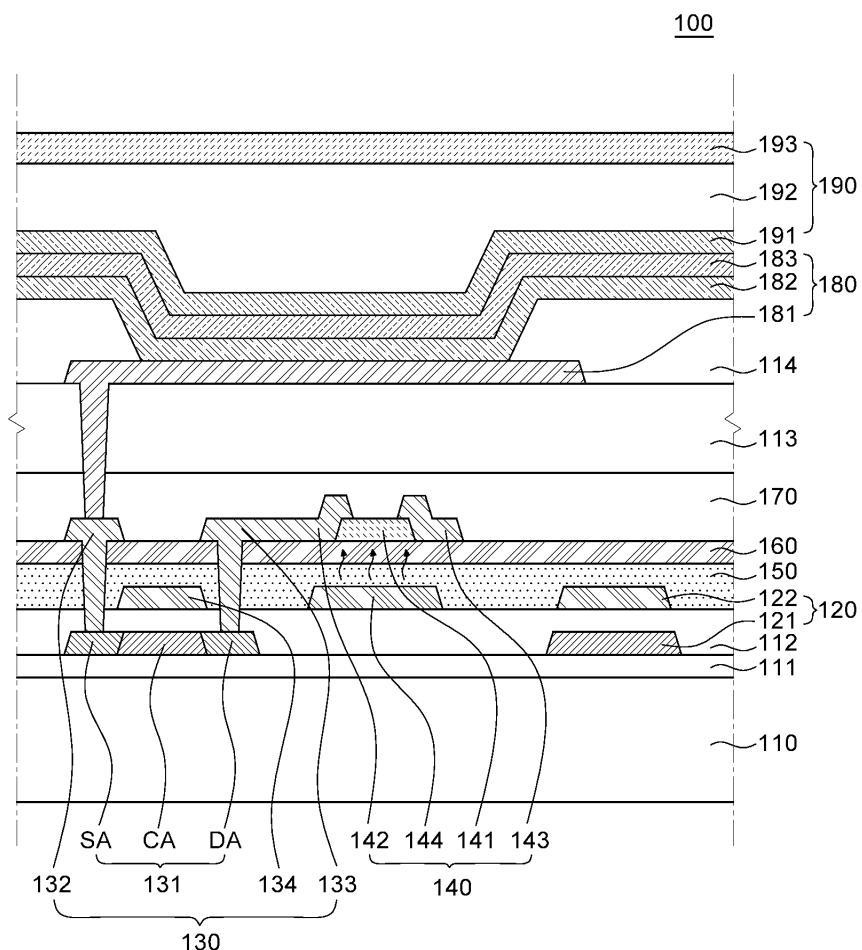
## 도면2a



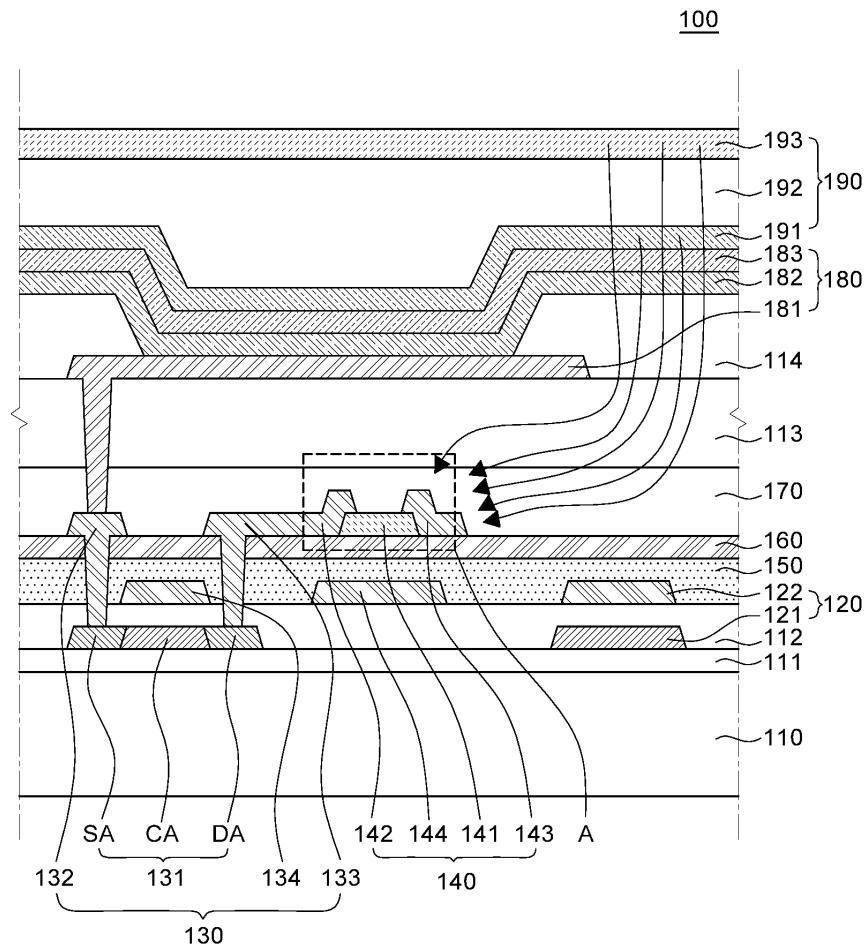
## 도면2b



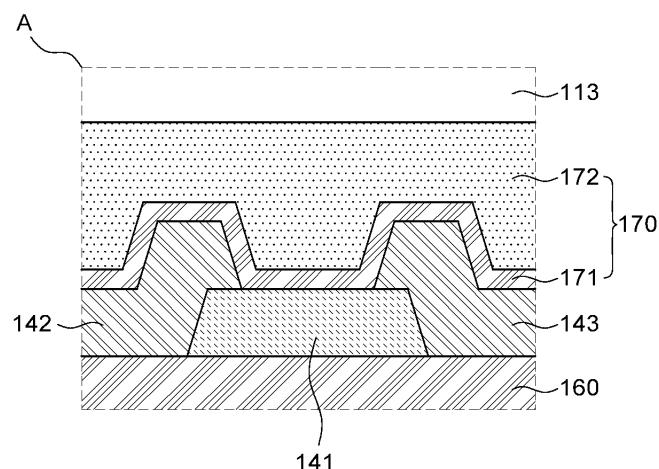
## 도면2c



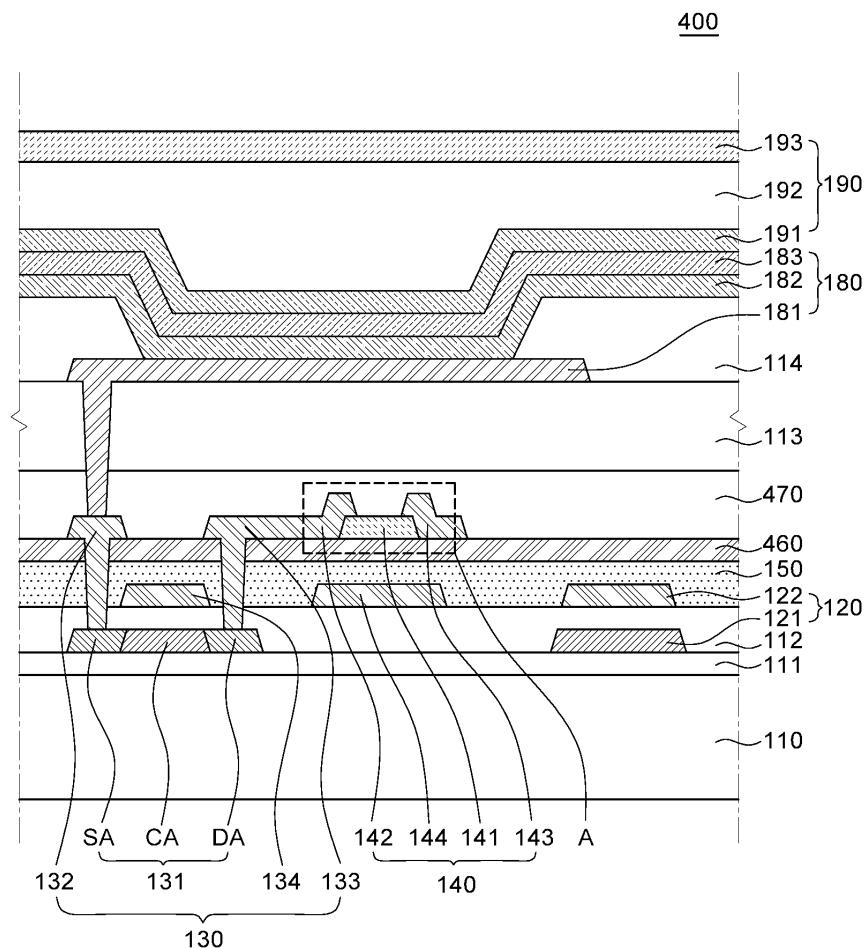
도면3a



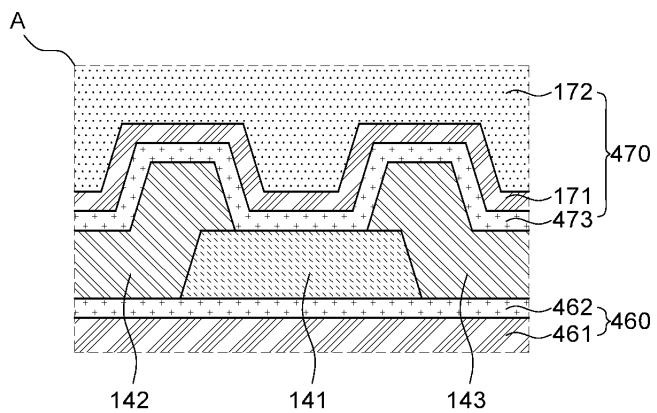
도면3b



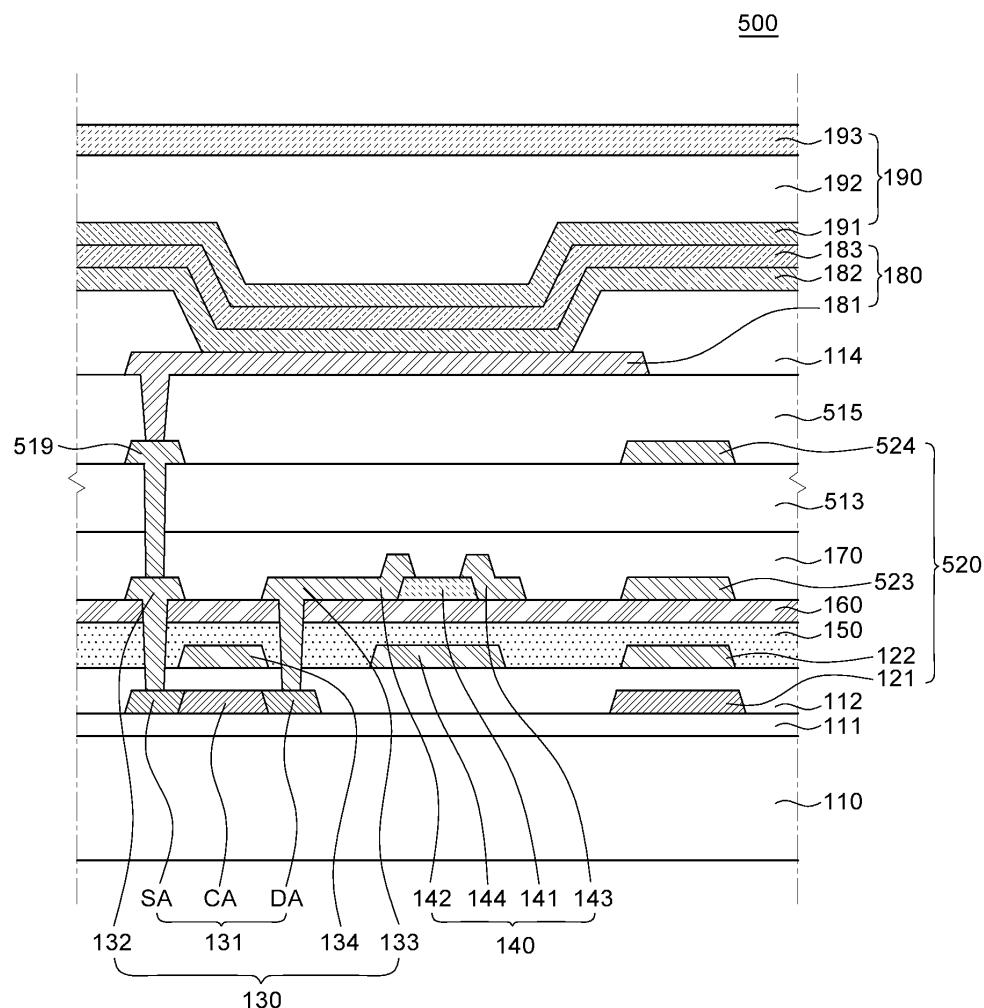
## 도면4a



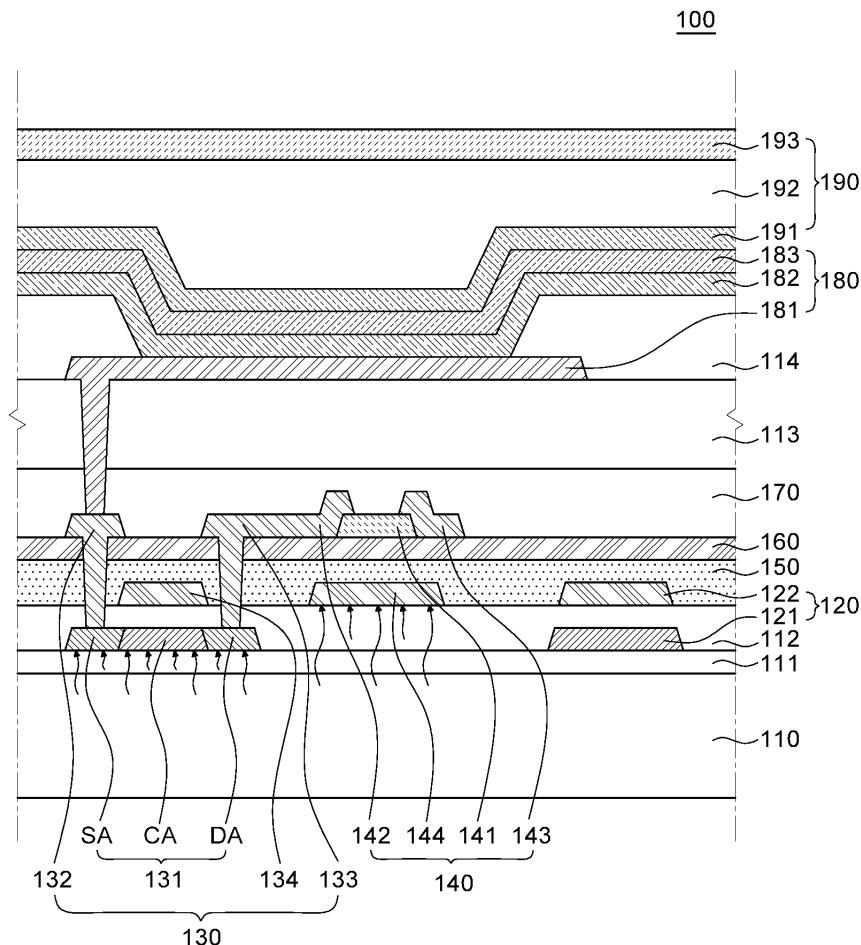
## 도면4b



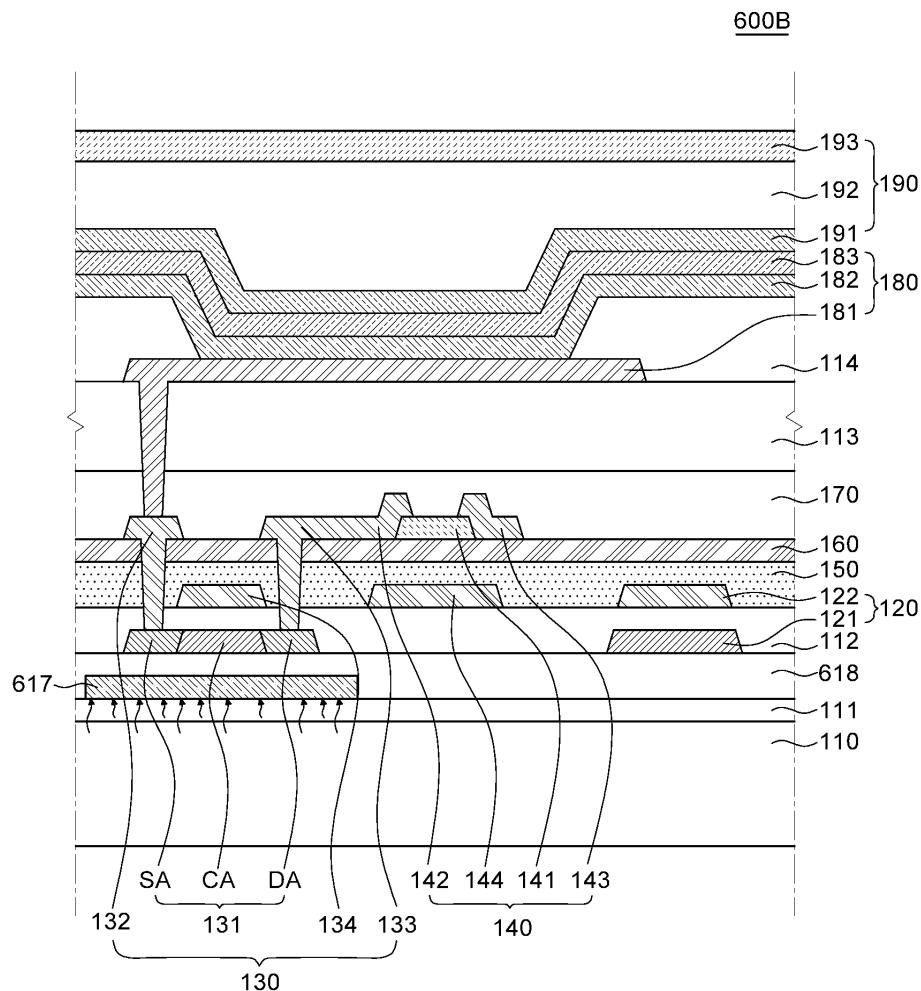
## 도면5



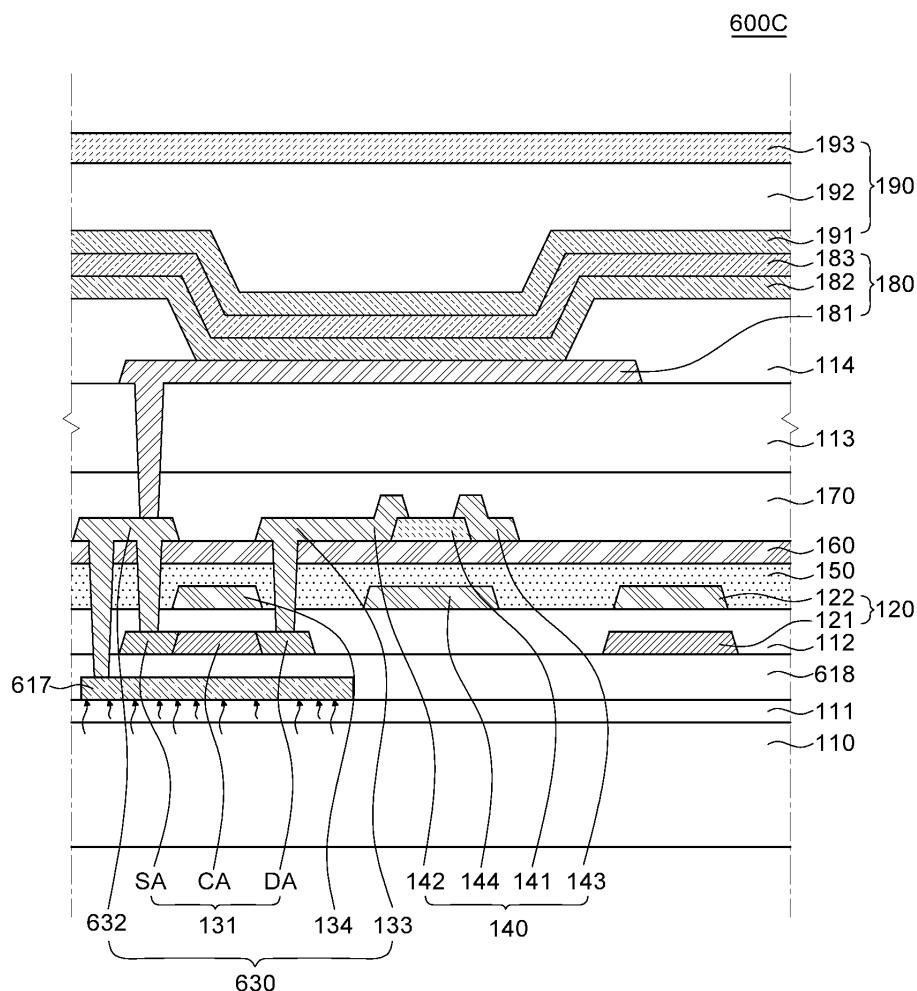
도면6a



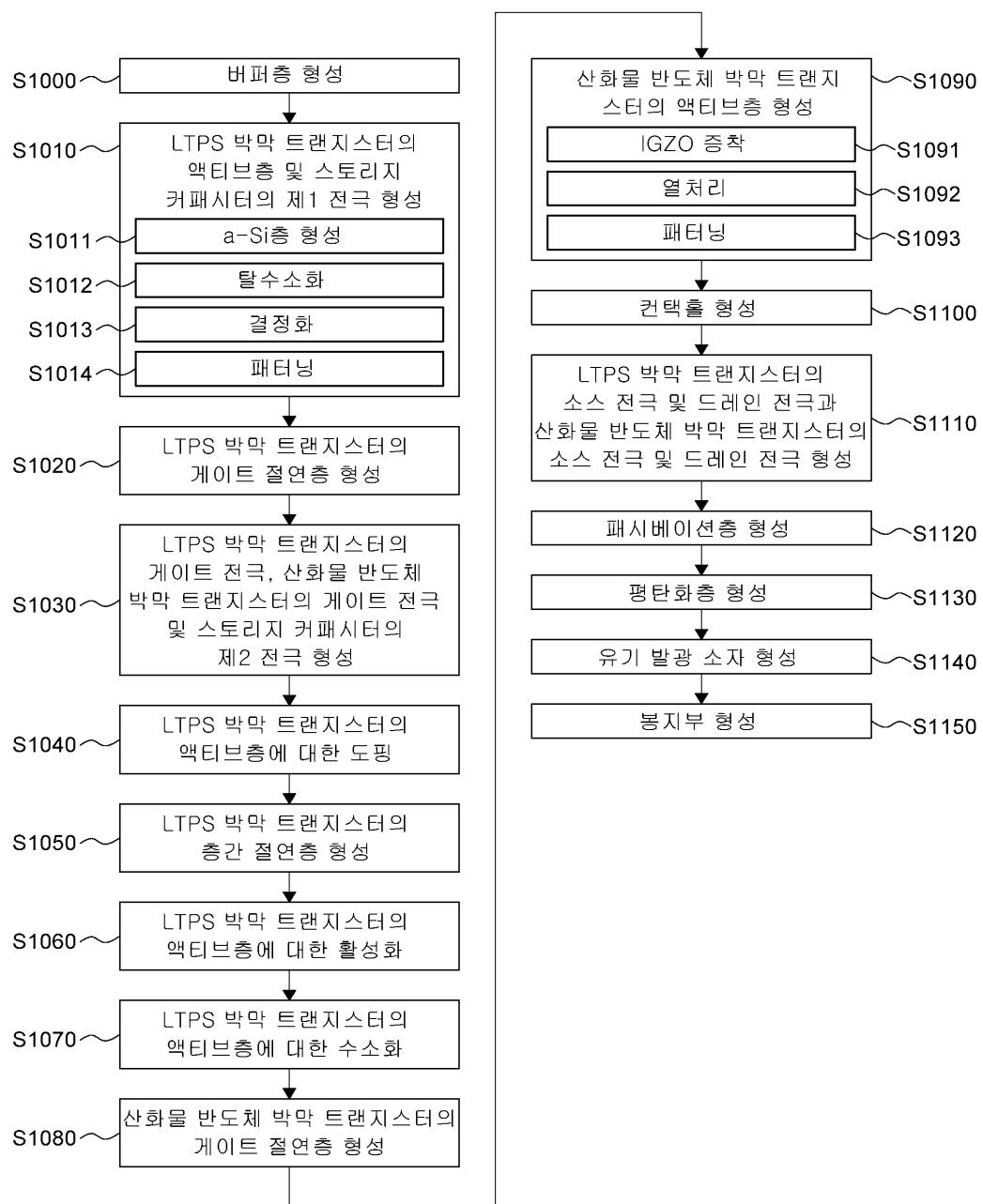
## 도면6b



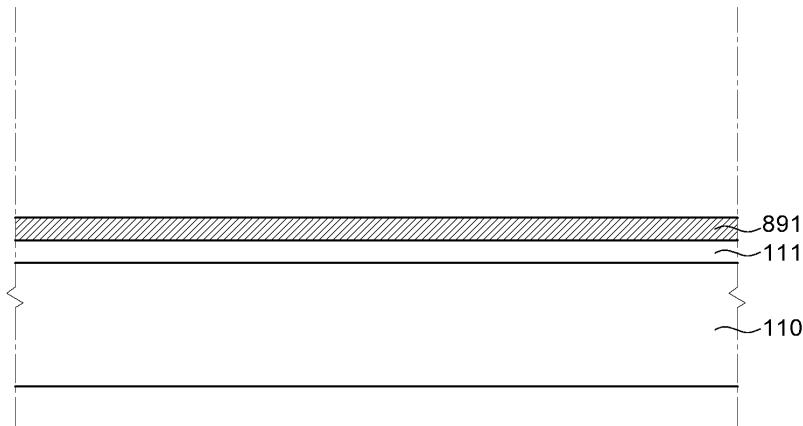
## 도면6c



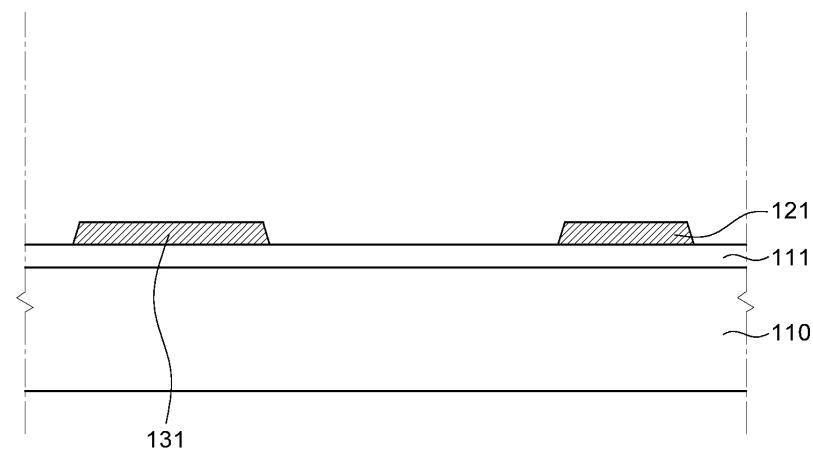
## 도면7



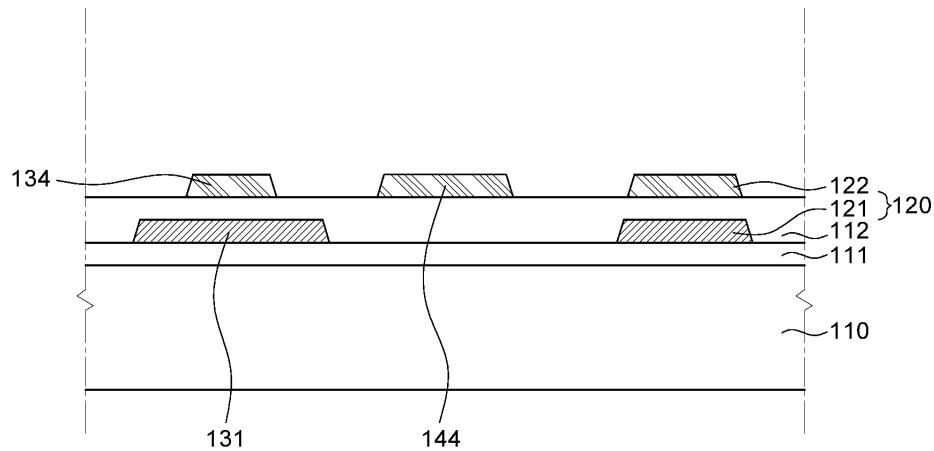
도면8a



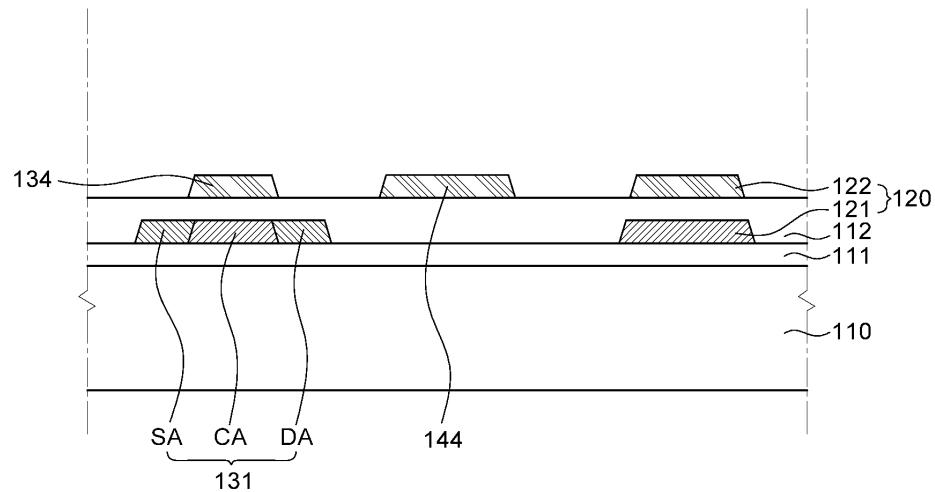
도면8b



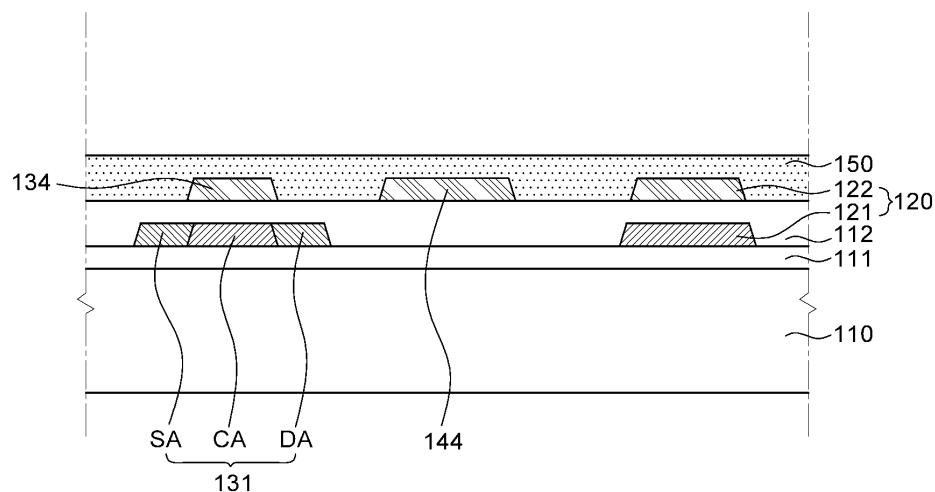
도면8c



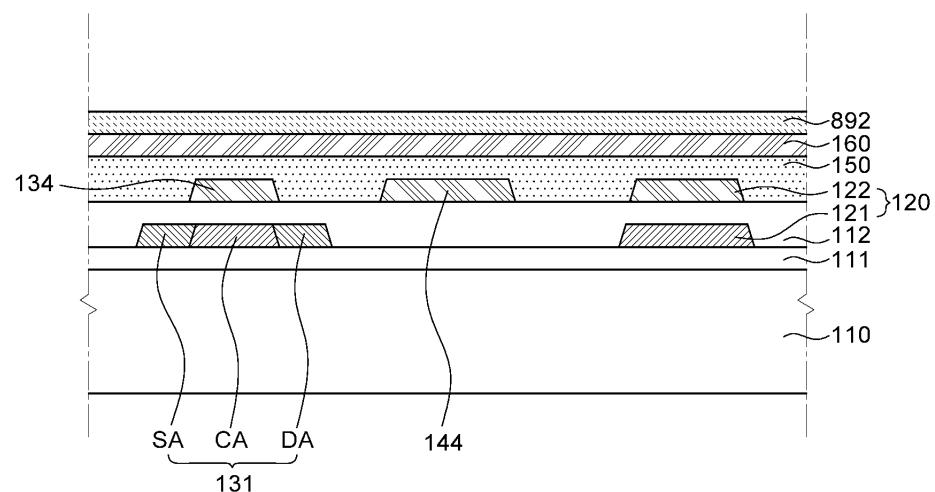
도면8d



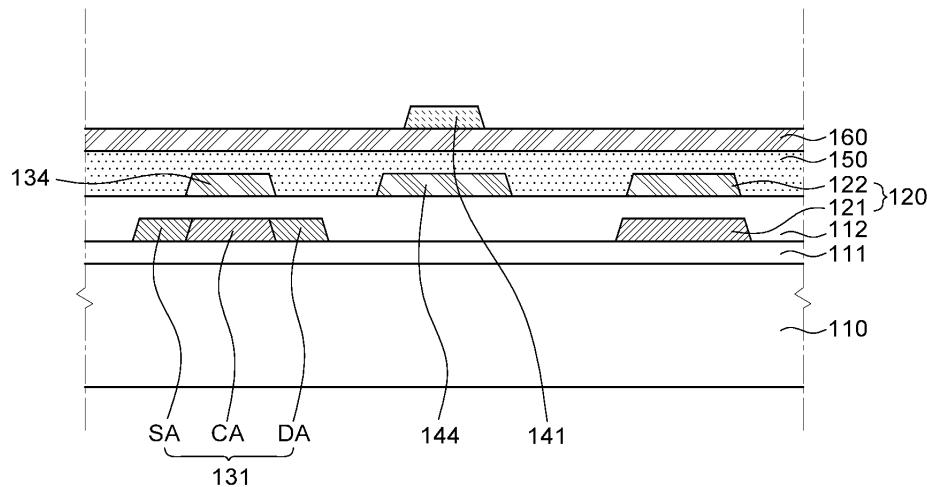
도면8e



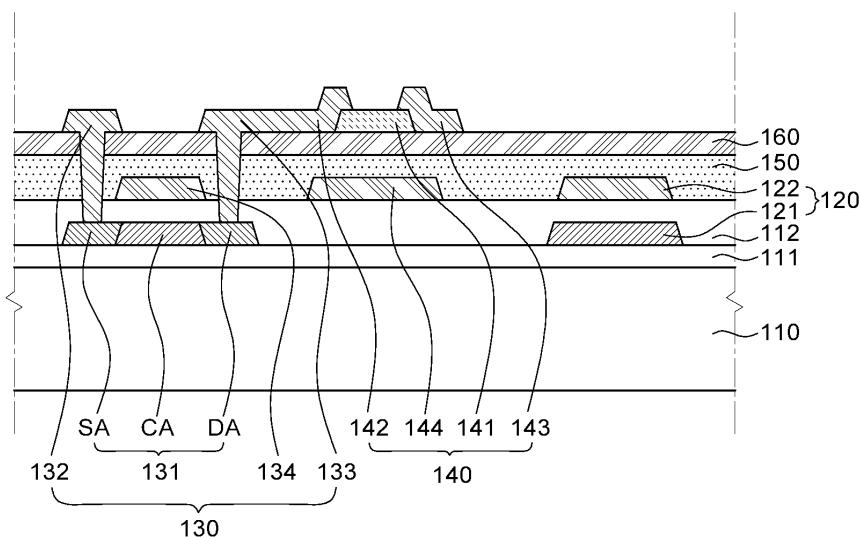
도면8f



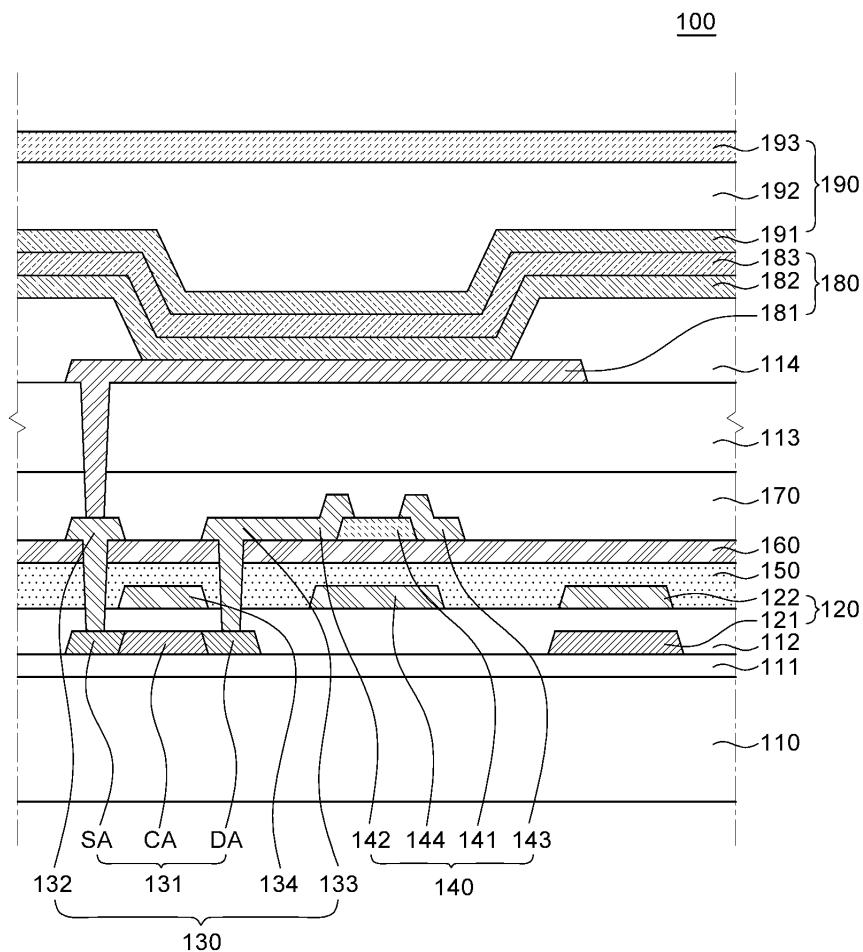
도면8g



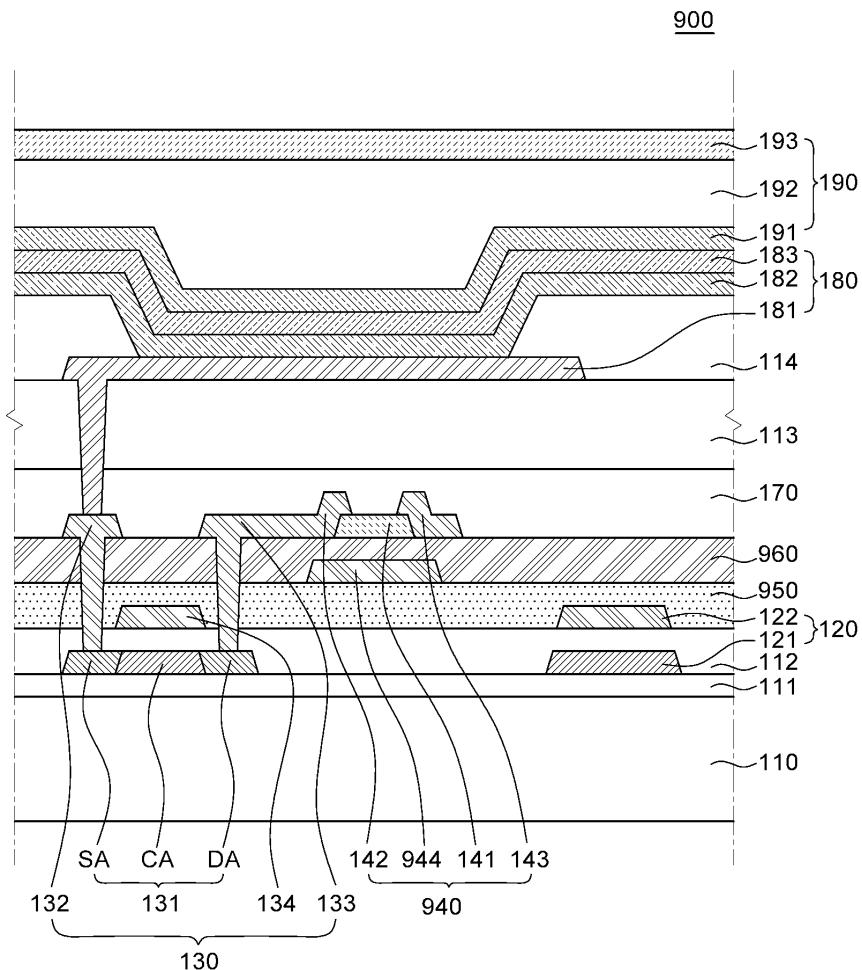
도면8h



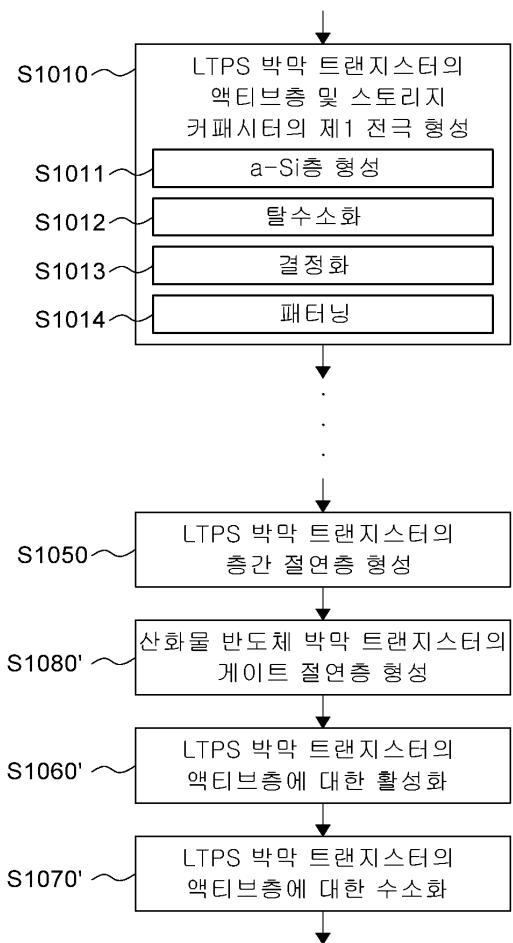
## 도면8i



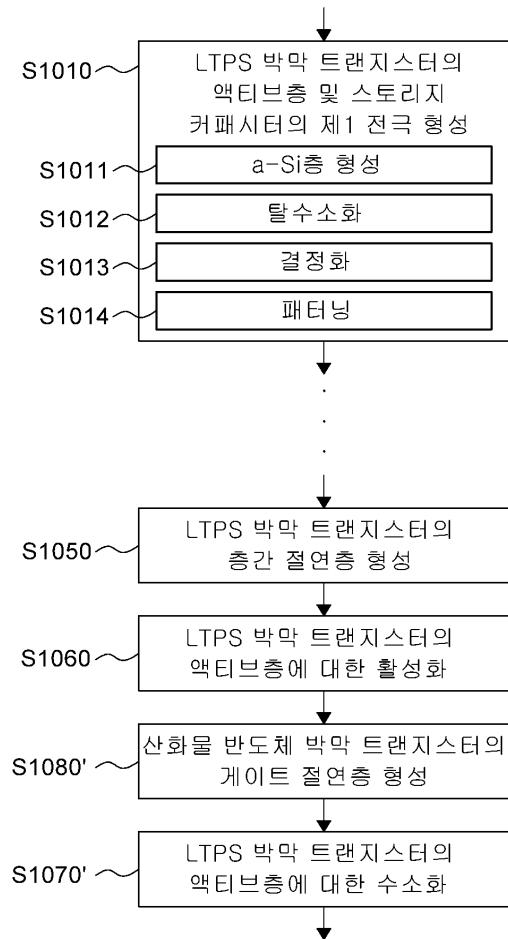
도면9



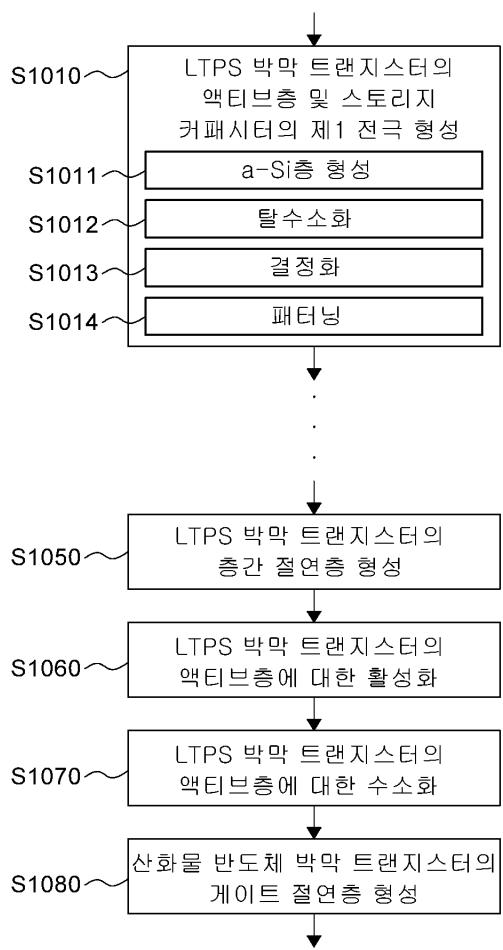
## 도면10a



## 도면10b



## 도면10c



## 도면11

	비교예	실시예 1	실시예 2
Vth MAP			
Vth 편차 범위	-3.73 ~ 0.47V	-1.21 ~ 0.89V	-0.85 ~ 0.57V

专利名称(译)	一种包括多型薄膜晶体管的有机发光显示装置和制造该有机发光显示装置的方法		
公开(公告)号	<a href="#">KR1020180005580A</a>	公开(公告)日	2018-01-16
申请号	KR1020160143773	申请日	2016-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SEOK WOO 이석우 CHO SEONG PIL 조성필		
发明人	이석우 조성필		
IPC分类号	H01L27/32 H01L27/12 H01L51/42 H01L51/52		
CPC分类号	Y02E10/549		
优先权	1020160085783 2016-07-06 KR		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明涉及包括多种类型的薄膜晶体管的有机发光显示装置和有机发光显示装置的制造方法。本发明的有机发光显示装置包括显示区域和被定义为非显示区域的基板，布置在显示区域上的LTPS薄膜晶体管和位于氧化物半导体中的下层绝缘层和顶部隔离层薄膜晶体管，以及氧化物半导体薄膜晶体管和上部的有源层的下部，以及位于氧化物半导体薄膜晶体管的表面上的LTPS薄膜晶体管和有机发光器件。本发明的有机发光显示装置由多层结构的膜密度或氢含量形成，其中至少一种性质不同，使得下面的绝缘层或顶部隔离层使有源层的氢暴露最小化。

