



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0076201  
(43) 공개일자 2017년07월04일

(51) 국제특허분류(Int. Cl.)  
G09G 3/32 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2015-0186178  
(22) 출원일자 2015년12월24일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
이정우  
서울특별시 서초구 서초대로1길 30, 101동 1402호(방배동, 방배1차현대아파트)

(74) 대리인  
박영복

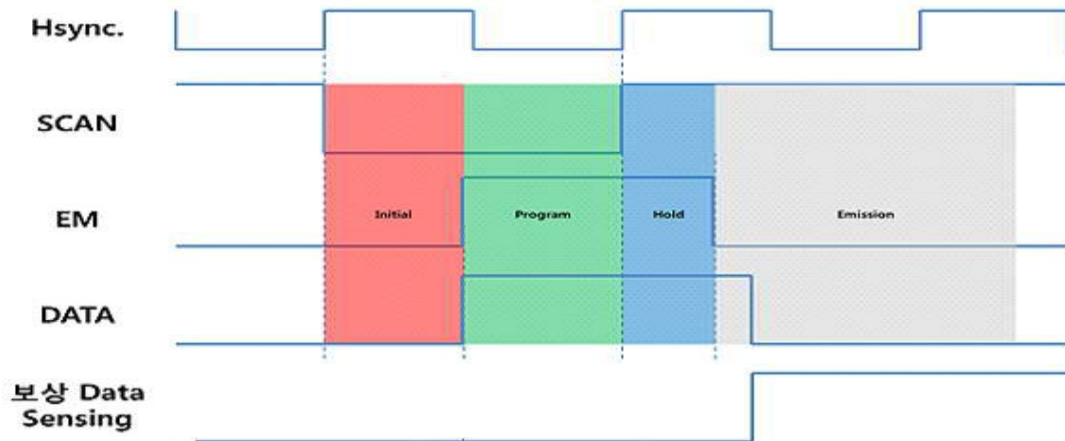
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 구동 방법

**(57) 요약**

본 발명은 유기 발광 표시 장치 내 화소들의 실시간 외부 보상을 구현하여 화질 특성 및 신뢰성을 향상시킨 유기 발광 표시 장치 및 이의 구동 방법에 관한 것으로, 구동 박막 트랜지스터의 특성이 변화함을 구동 박막 트랜지스터와 연결된 센싱 박막 트랜지스터와 보상 회로부의 연결로, 직접 센싱하여, 구동 박막 트랜지스터의 변화된 값을 보상함으로써, 상기 구동 박막 트랜지스터와 연결된 유기 발광 다이오드로 공급된 전류 값을 안정화하여 유기 발광 표시 장치의 화질 개선 및 신뢰성을 향상시킬 수 있다.

**대표도** - 도3



(52) CPC특허분류

*G09G 2300/043* (2013.01)

*G09G 2310/08* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수개의 화소를 갖는 표시 패널과, 상기 표시 패널 외곽에 게이트 구동부, 데이터 구동부를 포함하는 유기 발광 표시 장치에 있어서,

상기 각 화소는,

서로 교차하며 각각 상기 게이트 구동부와 연결된 게이트 라인 및 상기 데이터 구동부와 연결된 데이터 라인 및 상기 데이터 라인에 평행한 전원 전압 라인;

상기 게이트 라인과 데이터 라인의 교차부에 구비된 스위칭 박막 트랜지스터;

상기 전원 전압 라인에 연결된 구동 박막 트랜지스터;

상기 구동 박막 트랜지스터에 연결된 유기 발광 다이오드; 및

상기 게이트 구동부와 게이트 전극이 연결되며, 상기 구동 박막 트랜지스터와 제 1 전극이 연결된 센싱 박막 트랜지스터를 포함하여 이루어지며,

상기 유기 발광 다이오드의 발광시 상기 센싱 박막 트랜지스터의 제 2 전극과 연결되어, 전압을 센싱하는 보상 회로부를 포함한 유기 발광 표시 장치.

#### 청구항 2

제 1항에 있어서,

상기 게이트 구동부, 데이터 구동부 및 보상 회로부는 타이밍 컨트롤러에 연결되어 제어되며,

상기 타이밍 컨트롤러는 초기 구간, 프로그래밍 구간 및 발광 구간으로 나누어 제어 신호를 발생하고,

상기 보상 회로부는 상기 발광 구간에 상기 센싱 박막 트랜지스터의 제 2 전극의 전압을 센싱하는 유기 발광 표시 장치.

#### 청구항 3

제 2항에 있어서,

상기 각 화소는 상기 게이트 구동부로부터 발광 제어 신호를 인가받는 발광 제어 라인을 더 포함한 유기 발광 표시 장치.

#### 청구항 4

제 3항에 있어서,

상기 각 화소는

상기 스위칭 박막 트랜지스터와 상기 구동 박막 트랜지스터의 게이트 전극 사이에 구비된 스토리지 캐패시터;

상기 스토리지 캐패시터와 상기 구동 박막 트랜지스터의 사이에 구비된 제 1 박막 트랜지스터;

상기 스위칭 박막 트랜지스터와 기준 전압 단자 사이에 구비되며, 상기 발광 제어 라인을 통해 상기 발광 제어 신호를 게이트 전극에 인가받는 제 2 박막 트랜지스터;

상기 제 2 박막 트랜지스터와 게이트 전극을 공유하며, 상기 구동 박막 트랜지스터와 유기 발광 다이오드 사이에 구비된 제 3 박막 트랜지스터; 및

상기 기준 전압 단자와 상기 유기 발광 다이오드 사이에 위치하며, 상기 제 1 박막 트랜지스터와 게이트 전극을 공유하는 제 4 박막 트랜지스터를 포함한 유기 발광 표시 장치.

**청구항 5**

제 4항에 있어서,

상기 제 1 박막 트랜지스터는 상기 스토리지 캐패시터와 상기 구동 박막 트랜지스터의 게이트 전극을 공유하여, 상기 발광 제어 라인에 복수개 병렬로 연결된 유기 발광 표시 장치.

**청구항 6**

제 4항에 있어서,

상기 센싱 박막 트랜지스터의 게이트 전극은 상기 게이트 구동부로부터 센싱 제어 신호를 인가받아 상기 구동 박막 트랜지스터의 소오스 전압 또는 드레인 전압을 센싱하는 유기 발광 표시 장치.

**청구항 7**

제 6항에 있어서,

상기 보상 회로부는, 센싱된 상기 구동 박막 트랜지스터의 소오스 전압 또는 드레인 전압을, 초기 값과 비교하여, 상기 타이밍 컨트롤러로 보상된 데이터를 공급하며, 상기 타이밍 컨트롤러는 상기 데이터 구동부로 보상된 데이터 전압을 공급하는 유기 발광 표시 장치.

**청구항 8**

제 7항에 있어서,

상기 게이트 구동부는 상기 발광 구간에 상기 센싱 박막 트랜지스터를 턴온하는 센싱 제어 신호를 인가하는 유기 발광 표시 장치.

**청구항 9**

제 3항에 있어서,

상기 각 화소는

상기 전원 전압 라인과 상기 구동 박막 트랜지스터 사이에 위치하며 상기 발광 제어 신호를 게이트 전극에 인가 받는 제 1 박막 트랜지스터;

상기 스위칭 박막 트랜지스터와 상기 구동 박막 트랜지스터의 게이트 전극의 연결 노드와, 상기 구동 박막 트랜지스터와 상기 유기 발광 다이오드의 연결 노드 사이에 스토리지 캐패시터; 및

상기 유기 발광 다이오드의 양단에 접속된 유기 발광 다이오드 캐패시터를 더 포함한 유기 발광 표시 장치.

**청구항 10**

제 9항에 있어서,

상기 센싱 박막 트랜지스터의 게이트 전극은 상기 게이트 구동부로부터 초기 구동 신호를 인가받고, 상기 보상 회로부는 초기 구간, 샘플링 구간 및 프로그래밍 구간에 상기 센싱 박막 트랜지스터의 제 2 전극에 초기 전압을 인가하는 유기 발광 표시 장치.

**청구항 11**

제 9항에 있어서,

상기 게이트 구동부는 상기 초기 구간에 상기 센싱 박막 트랜지스터의 게이트 전극에 초기 구동 전압을 인가하고, 상기 게이트 라인에 스캔 신호를 인가하는 유기 발광 표시 장치.

**청구항 12**

제 9항에 있어서,

상기 데이터 라인은 데이터 구동 전압 또는 기준 전압이 선택적으로 인가되는 유기 발광 표시 장치.

**청구항 13**

복수개의 화소를 갖는 표시 패널을 갖고, 각 화소에, 게이트 라인과 데이터 라인의 교차부에 구비된 스위칭 박막 트랜지스터와, 전원 전압 라인에 연결된 구동 박막 트랜지스터 및 상기 구동 박막 트랜지스터에 연결된 유기 발광 다이오드를 갖는 유기 발광 표시 장치의 구동 방법에 있어서,

초기 구간, 프로그래밍 구간 및 발광 구간으로 나누어,

상기 발광 구간에 상기 구동 박막 트랜지스터를 센싱하는 유기 발광 표시 장치의 구동 방법.

**청구항 14**

제 13항에 있어서,

상기 구동 박막 트랜지스터의 센싱은 상기 구동 박막 트랜지스터와 접속된 센싱 박막 트랜지스터 및 이와 연결된 표시 패널 외곽의 보상 회로부를 통해 이루어지는 유기 발광 표시 장치의 구동 방법.

**청구항 15**

제 14항에 있어서,

상기 센싱 박막 트랜지스터는 상기 발광 구간에 선택적으로 턴온되는 유기 발광 표시 장치의 구동 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치에 관한 것으로, 특히 유기 발광 표시 장치 내 화소들의 실시간 외부 보상을 구현하여 화질 특성 및 신뢰성을 향상시킨 유기 발광 표시 장치 및 이의 구동 방법에 관한 것이다.

**배경 기술**

[0002] 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 유기 발광 표시 장치(Organic Emitting Display Device), 플라즈마 표시장치(Plasma Display Panel device: PDP), 양자점 표시 장치(Quantum Dot Display Device), 전계방출표시장치(Field Emission Display device: FED), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등을 들 수 있는데, 이들은 공통적으로 화상을 구현하는 평판 표시패널을 필수적인 구성요소로 하는 바, 평판 표시패널은 고유의 발광 또는 편광 혹은 그 밖의 광학 물질층을 사이에 두고 한 쌍의 투명 절연기판을 대면 합착시킨 구성을 갖는다.

[0003] 이 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의해 광을 발광하는 유기 발광 다이오드를 이용하여 표시를 수행하는 것으로, 고속의 응답속도를 가지며, 자체 발광이므로 시야각에 문제가 없어 차세대 평판 표시 장치로 주목받고 있다.

[0004] 일반적인 유기 발광 표시 장치는 한 화소에 유기 발광 다이오드와 이를 구동하기 위한 구동 박막 트랜지스터를 포함하는 화소 회로를 갖는다. 그런데, 유기 발광 표시 장치는 화소의 구동 박막 트랜지스터가 직접 유기 발광 다이오드에 접속되어 발광이 이루어지는 것으로, 화소별 구동 시간의 차나 공정 특성의 차로 구동 박막 트랜지스터의 특성 차가 발생할 수 있다. 이 경우, 구동 박막 트랜지스터의 특성 차가 있는 경우 이는 영역별 화질 편차로 인식되어 시청자의 시감을 저하시키는 원인이 되고 있다.

[0005] 이에 따라, 구동 박막 트랜지스터의 특성 변화를 보상하고자 하는 노력이 제기되어 왔으나, 지금까지 알려진 방법은 표시부와 센싱부를 나누어 센싱부에서 검출된 구동 박막 트랜지스터의 특성 변화를 보상하는 방식으로, 표시 단계에서의 보상이 전무하였다.

[0006] 즉, 유기 발광 표시 장치의 발광 동작 중 구동 박막 트랜지스터의 특성 보상이 불가하였다.

[0007] 또한, 내부 보상 방식의 경우, 화소 내 구동 박막 트랜지스터의 특성을 보상하는 소자 구성을 추가하여 문턱 전압을 보상하는 방식을 취하였으나, 구동 박막 트랜지스터의 이동도의 변화를 추종하지 못하였고, 보상에 시간이 오래 걸리는 문제가 있었다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 유기 발광 표시 장치 내 화소들의 실시간 외부 보상을 구현하여 화질 특성 및 신뢰성을 향상시킨 유기 발광 표시 장치 및 이의 구동 방법을 제공하는 데, 그 목적이 있다.

**과제의 해결 수단**

[0009] 상기와 같은 목적을 달성하기 위한 본 발명의 유기 발광 표시 장치는, 구동 박막 트랜지스터의 특성이 변화함을 구동 박막 트랜지스터와 연결된 센싱 박막 트랜지스터와 보상 회로부의 연결로, 직접 센싱하여, 구동 박막 트랜지스터의 변화된 값을 보상함으로써, 상기 구동 박막 트랜지스터와 연결된 유기 발광 다이오드로 공급된 전류 값을 안정화하여 유기 발광 표시 장치의 화질 개선 및 신뢰성을 향상시킬 수 있다.

[0010] 이를 위한 본 발명의 유기 발광 표시 장치는, 복수개의 화소를 갖는 표시 패널과, 상기 표시 패널 외곽에 게이트 구동부, 데이터 구동부를 포함하는 유기 발광 표시 장치에 있어서, 상기 각 화소는, 서로 교차하며 각각 상기 게이트 구동부와 연결된 게이트 라인 및 상기 데이터 구동부와 연결된 데이터 라인 및 상기 데이터 라인에 평행한 전원 전압 라인과, 상기 게이트 라인과 데이터 라인의 교차부에 구비된 스위칭 박막 트랜지스터와, 상기 전원 전압 라인에 연결된 구동 박막 트랜지스터와, 상기 구동 박막 트랜지스터에 연결된 유기 발광 다이오드 및 상기 게이트 구동부와 게이트 전극이 연결되며, 상기 구동 박막 트랜지스터와 제 1 전극이 연결된 센싱 박막 트랜지스터를 포함하여 이루어지며, 상기 유기 발광 다이오드의 발광시 상기 센싱 박막 트랜지스터의 제 2 전극과 연결되어, 전압을 센싱하는 보상 회로부를 포함한다.

[0011] 그리고, 상기 게이트 구동부, 데이터 구동부 및 보상 회로부는 타이밍 컨트롤러에 연결되어 제어되며, 상기 타이밍 컨트롤러는 초기 구간, 프로그래밍 구간 및 발광 구간으로 나누어 제어 신호를 발생하고, 상기 보상 회로부는 상기 발광 구간에 상기 센싱 박막 트랜지스터의 제 2 전극의 전압을 센싱한다.

[0012] 상기 각 화소는 상기 게이트 구동부로부터 발광 제어 신호를 인가받는 발광 제어 라인을 더 포함할 수 있다. 상기 각 화소는 상기 스위칭 박막 트랜지스터와 상기 구동 박막 트랜지스터의 게이트 전극 사이에 구비된 스토리지 캐패시터와, 상기 스토리지 캐패시터와 상기 구동 박막 트랜지스터의 사이에 구비된 제 1 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터와 기준 전압 단자 사이에 구비되며, 상기 발광 제어 라인을 통해 상기 발광 제어 신호를 게이트 전극에 인가받는 제 2 박막 트랜지스터와, 상기 제 2 박막 트랜지스터와 게이트 전극을 공유하며, 상기 구동 박막 트랜지스터와 유기 발광 다이오드 사이에 구비된 제 3 박막 트랜지스터 및 상기 기준 전압 단자와 상기 유기 발광 다이오드 사이에 위치하며, 상기 제 1 박막 트랜지스터와 게이트 전극을 공유하는 제 4 박막 트랜지스터를 포함할 수 있다.

[0013] 상기 제 1 박막 트랜지스터는 상기 스토리지 캐패시터와 상기 구동 박막 트랜지스터의 게이트 전극을 공유하여, 상기 발광 제어 라인에 병렬로 복수개 연결될 수 있다.

[0014] 상기 센싱 박막 트랜지스터의 게이트 전극은 상기 게이트 구동부로부터 센싱 제어 신호를 인가받아 상기 구동 박막 트랜지스터의 소오스 전압 또는 드레인 전압을 센싱할 수 있다.

[0015] 한편, 상기 보상 회로부는, 센싱된 상기 구동 박막 트랜지스터의 소오스 전압 또는 드레인 전압을, 초기 값과 비교하여, 상기 타이밍 컨트롤러로 보상된 데이터를 공급하며, 상기 타이밍 컨트롤러는 상기 데이터 구동부로 보상된 데이터 전압을 공급할 수 있다.

[0016] 상기 게이트 구동부는 상기 발광 구간에 상기 센싱 박막 트랜지스터를 턴온하는 센싱 제어 신호를 인가한다.

[0017] 혹은 다른 예로, 상기 각 화소는 상기 전원 전압 라인과 상기 구동 박막 트랜지스터 사이에 위치하며 상기 발광 제어 신호를 게이트 전극에 인가받는 제 1 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터와 상기 구동 박막 트랜지스터의 게이트 전극의 연결 노드와, 상기 구동 박막 트랜지스터와 상기 유기 발광 다이오드의 연결 노드 사이에 스토리지 캐패시터 및 상기 유기 발광 다이오드의 양단에 접속된 유기 발광 다이오드 캐패시터를 더 포함할 수 있다. 여기서, 상기 센싱 박막 트랜지스터의 게이트 전극은 상기 게이트 구동부로부터 초기 구동 신호를 인가받고, 상기 보상 회로부는 초기 구간, 샘플링 구간 및 프로그래밍 구간에 상기 센싱 박막 트랜지스터의 제 2 전극에 초기 전압을 인가할 수 있다.

[0018] 그리고, 상기 게이트 구동부는 상기 초기 구간에 상기 센싱 박막 트랜지스터의 게이트 전극에 초기 구동 전압을 인가하고, 상기 게이트 라인에 스캔 신호를 인가할 수 있다.

- [0019] 또한, 상기 데이터 라인은 데이터 구동 전압 또는 기준 전압이 선택적으로 인가될 수 있다.
- [0020] 동일한 목적을 위한 본 발명의 유기 발광 표시 장치의 구동 방법은, 초기 구간, 프로그래밍 구간 및 발광 구간으로 나누어, 상기 발광 구간에 상기 구동 박막 트랜지스터를 센싱하여 이루어진다.
- [0021] 여기서, 상기 구동 박막 트랜지스터의 센싱은 상기 구동 박막 트랜지스터와 접속된 센싱 박막 트랜지스터 및 이와 연결된 표시 패널 외곽의 보상 회로부를 통해 이루어질 수 있으며, 상기 센싱 박막 트랜지스터는 상기 발광 구간에 선택적으로 턴온된다.

**발명의 효과**

- [0022] 본 발명의 유기 발광 표시 장치 및 이의 구동 방법은 다음과 같은 효과가 있다.
- [0023] 구동 중 구동 박막 트랜지스터의 특성이 변화함을 직접 센싱하여, 변화된 값을 보상함으로써, 상기 구동 박막 트랜지스터와 연결된 유기 발광 다이오드로 공급된 전류 값을 안정화하여 유기 발광 표시 장치의 화질 개선 및 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0024] 도 1은 본 발명의 유기 발광 표시 장치의 블록도
- 도 2는 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 일 화소와 이의 보상 회로부와 연결을 나타낸 회로도
- 도 3은 도 2의 보상 회로부의 센싱 구동을 나타낸 타이밍도
- 도 4a 및 도 4b는 도 2의 화소의 구동 초기 단계의 동작을 나타낸 회로도 및 이의 타이밍도
- 도 5a 및 도 5b는 도 2의 화소의 데이터 샘플링 단계의 동작을 나타낸 회로도 및 이의 타이밍도
- 도 6a 및 도 6b는 도 2의 화소의 발광 단계의 동작을 나타낸 회로도 및 이의 타이밍도
- 도 7은 본 발명의 보상 회로부와 표시 패널의 연결 관계를 다른 예를 나타낸 도면
- 도 8은 본 발명의 제 2 실시예에 따른 유기 발광 표시 장치의 일 화소와 이의 보상 회로부와 연결을 나타낸 회로도
- 도 9a 내지 도 9d는 도 8의 화소 및 보상 회로부의 구동 초기 동작, 데이터 샘플링, 프로그램 및 발광 단계를 나타낸 회로도
- 도 10은 도 9a 내지 도 9d의 타이밍도
- 도 11은 도 8의 보상 회로부 센싱 구동을 나타낸 타이밍도

**발명을 실시하기 위한 구체적인 내용**

- [0025] 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 부품 명칭과 상이할 수 있다.
- [0026] 도 1은 본 발명의 유기 발광 표시 장치의 블록도이며, 도 2는 도 1의 회로부의 화소 연결을 나타낸 상세도이다.
- [0027] 도 1과 같이, 본 발명의 유기 발광 표시 장치는, 표시 패널(100) 내 액티브 영역(AA)에 복수개의 화소를 매트릭스 상으로 포함하며, 상기 표시 패널(100)의 가장자리에 패널 구동부(200)를 갖는다.
- [0028] 그리고, 상기 패널 구동부(200)에는, 수평 방향의 라인들의 신호를 공급하는 게이트 구동부(220)와, 수직 방향의 라인들의 신호를 공급하는 데이터 구동부(230)과, 상기 화소 내 구동 박막 트랜지스터를 센싱하여 일정 노드 값의 전압 값이 초기 값과 비교하여 변화가 있을 때 그 변화를 판단하여 다음 데이터 라인에 공급하는 데이터 전압을 보상하는 보상 회로부(250) 및 상기 게이트 구동부(220), 데이터 구동부(230) 및 보상 회로부(250)를 함께 제어하는 타이밍 컨트롤러(210)를 포함한다.

- [0029] 여기서, 타이밍 컨트롤러(210)는 외부의 시스템(300)과 연결되어, 영상 데이터, 클럭 신호 및 수직 및 수평 동기 신호 등의 타이밍 신호를 인가받아 게이트 제어 신호(GCS), 데이터 제어 신호(DCS) 및 센싱 제어 신호(SCS) 등의 제어 신호를 생성한다.
- [0030] 이러한 타이밍 컨트롤러(210)는 외부 시스템(300)과 소정 인터페이스를 통해 연결되어 그로부터 출력되는 영상 관련 신호와 타이밍 신호를 잡음 없이 고속으로 수신하여 상기 제어 신호들을 생성한다. 이러한 타이밍 제어부(210)는 유기 발광 표시 장치 내에 상기 데이터 구동부(130)와 일체형 IC로 집적화될 수도 있다.
- [0031] 한편, 본 발명의 유기 발광 표시 장치를, 보상 관련하여 살펴보면, 각 화소의 구동 박막 트랜지스터의 보상을 수행하는, 보상 회로부(250)를 각 화소의 구동 박막 트랜지스터의 일 전극과 연결되게 액티브 영역(AA) 외부에 구비한다. 상기 보상 회로부(250)는 상기 시스템(300)과 직접 연결되어 타이밍 신호를 직접 인가받거나 혹은 상기 타이밍 컨트롤러(210)와 연결되어, 발광 구간에 동기화되거나 혹은 일정 시간 지연된 타이밍 신호를 인가 받을 수 있다.
- [0032] 또한, 상기 보상 회로부(250)는 독립적인 IC로 구성될 수도 있고, 상기 타이밍 컨트롤러(210) 내에 포함된 구성일 수 있다.
- [0033] 상기 보상 회로부(250)와 상기 타이밍 컨트롤러(210) 모두 상기 표시 패널(100) 상의 외곽 영역에 접속되어 구비될 수 있다.
- [0034] 한편, 표시 패널(100)은 복수개의 화소(P)를 포함한다. 복수개의 화소(P)는 서로 교차하는 복수개의 게이트 라인, 복수개의 데이터 라인 및 복수개의 데이터 라인에 평행한 복수개의 전원 전압 라인(PL)에 의해 정의되는 화소 영역에 형성된다. 그리고, 전원 전압 라인(PL)에는 구동 전압(VDD)이 공급되며, 데이터 구동부(230)로부터 구동 전압을 인가받거나 별도의 전압 공급부로부터 구동 전압을 인가받을 수 있다.
- [0035] 복수개의 화소(P) 각각은 화소 회로(PC) 및 유기 발광 소자(OLED)를 포함한다. 이 때, 복수개의 화소(P) 각각은 적색 화소, 녹색 화소, 청색 화소 및 백색 화소 중 어느 하나일 수 있다. 하나의 영상을 표시하는 하나의 단위 화소는 인접한 적색 화소, 녹색 화소 및 청색 화소를 하나씩 포함하거나, 인접한 적색 화소, 녹색 화소, 청색 화소 및 백색 화소를 포함할 수도 있다.
- [0036] 일 실시예에 있어서, 화소 회로(PC)는 기본 구성으로 스위칭 트랜지스터와, 구동 박막 트랜지스터 및 유기 발광 다이오드를 포함할 수 있으며, 여기서, 트랜지스터들은 n형 또는 p형 트랜지스터일 수 있으며, 이들의 반도체층은 아몰포스 실리콘, 폴리 실리콘, 산화 실리콘, 유기 실리콘 등일 수 있다.
- [0037] 또한, 유기 발광 소자(OLED)는 화소 회로(PC), 즉, 구동 박막 트랜지스터로부터 공급되는 데이터 전류(Ioled)에 의해 발광하여 데이터 전류(Ioled)에 대응되는 휘도를 가지는 단색 광을 방출한다. 이를 위해, 유기 발광 소자(OLED)는 화소 회로(PC)의 구동 박막 트랜지스터에 접속된 애노드 전극, 애노드 전극 상에 형성된 유기발광층 및 유기 발광층 상에 형성된 캐소드 전극을 포함한다. 여기서, 유기 발광층 하측에는 정공 주입층/정공 수송층이, 상측에는 전자 수송층/전자 주입층이 더 구비될 수 있다. 또한, 애노드 전극과 캐소드 전극 사이에는 발광 효율 및 수명 등을 향상시키기 위해 기능층을 더 포함하여 이루어질 수 있다. 그리고, 캐소드 전극은 복수의 화소(P)에 각각 개별적으로 형성되거나, 복수의 화소(P)에 공통적으로 접속되도록 형성될 수 있으며, 이러한 캐소드 전극에는 전압 공급부(미도시)로부터 일정한 전압 레벨, 예를 들어, 0의 전압 레벨을 가지는 캐소드 전압(VSS)이 공급된다.
- [0038] 복수개의 게이트 라인(GL) 및 발광 제어 라인(EL)은 각각 표시 패널(100)의 제 1 방향, 예컨대 가로 방향을 따라 나란하게 형성된다.
- [0039] 복수개의 데이터 라인(DL) 및 전원 전압 라인(PL) 각각은 복수개의 게이트 라인과 교차하도록 표시 패널(100)의 제 2 방향, 예를 들어 세로 방향을 따라 나란하게 형성된다. 이러한 각 데이터 라인에 패널 구동부로부터 데이터 전압(Vdata)이 공급된다.
- [0040] 공통적으로 본 발명의 유기 발광 표시 장치는, 도 1과 같이, 복수개의 화소를 갖는 표시 패널(100)과, 상기 표시 패널 외곽에 게이트 구동부(220), 데이터 구동부(230)를 포함한다.
- [0041] 그리고, 본 발명의 유기 발광 표시 장치의 상기 각 화소는, 서로 교차하며 각각 상기 게이트 구동부(220)와 연결된 게이트 라인(GL) 및 상기 데이터 구동부(230)와 연결된 데이터 라인(DL) 및 상기 데이터 라인(DL)에 평행한 전원 전압 라인(PL)과, 상기 게이트 라인과 데이터 라인의 교차부에 구비된 스위칭 박막 트랜지스터(SWT)와, 상기 전원 전압 라인(PL)에 연결된 구동 박막 트랜지스터(D-TFT)와, 상기 구동 박막 트랜지스터에 연결된 유기

발광 다이오드(OLED) 및 상기 게이트 구동부(220)와 게이트 전극이 연결되며, 상기 구동 박막 트랜지스터(D-TFT)와 제 1 전극이 연결된 센싱 박막 트랜지스터(SST)를 포함하여 이루어지며, 상기 유기 발광 다이오드의 발광시 상기 센싱 박막 트랜지스터(SST)의 제 2 전극과 연결되어, 전압을 센싱하는 보상 회로부(250)를 포함한다.

[0042] 이하, 보다 구체적으로 각 실시예에 따른 각 화소 회로 구성을 살펴본다.

[0043] \*본 발명의 제 1 실시예\*

[0044] 도 2는 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 일 화소와 이의 보상 회로부와 연결을 나타낸 회로도이며, 도 3은 도 2의 보상 회로부의 센싱 구동을 나타낸 타이밍도이다.

[0045] 도 1에서 설명한 바와 같이, 본 발명의 유기 발광 표시 장치는, 복수개의 화소를 갖는 표시 패널(100)과, 상기 표시 패널 외곽에 게이트 구동부(220), 데이터 구동부(230)를 포함한다.

[0046] 그리고, 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 상기 각 화소는, 서로 교차하며 각각 상기 게이트 구동부(220)와 연결된 게이트 라인(GL) 및 상기 데이터 구동부(230)와 연결된 데이터 라인(DL) 및 상기 데이터 라인(DL)에 평행한 전원 전압 라인(PL)과, 상기 게이트 라인과 데이터 라인의 교차부에 구비된 스위칭 박막 트랜지스터(SWT)와, 상기 전원 전압 라인(PL)에 연결된 구동 박막 트랜지스터(D-TFT)와, 상기 구동 박막 트랜지스터에 연결된 유기 발광 다이오드(OLED) 및 상기 게이트 구동부(220)와 게이트 전극이 연결되며, 상기 구동 박막 트랜지스터(D-TFT)와 제 1 전극이 연결된 센싱 박막 트랜지스터(SST)를 포함하여 이루어지며, 상기 유기 발광 다이오드의 발광시 상기 센싱 박막 트랜지스터(SST)의 제 2 전극과 연결되어, 전압을 센싱하는 보상 회로부(250)를 포함한다. 여기서, 상기 센싱 박막 트랜지스터(SST)의 제 1 전극과 제 2 전극은 소오스 전극 또는 드레인 전극이 될 수 있다.

[0047] 또한, 상기 각 화소는 상기 게이트 구동부로부터 발광 제어 신호를 인가받는 발광 제어 라인(EL)을 더 포함하며, 상기 각 화소는 상기 스위칭 박막 트랜지스터(SWT)와 상기 구동 박막 트랜지스터(D-TFT)의 게이트 전극 사이에 구비된 스토리지 캐패시터(Cst)와, 상기 스토리지 캐패시터(Cst)와 상기 구동 박막 트랜지스터(D-TFT)의 사이에 구비된 제 1 박막 트랜지스터(T1)와, 상기 스위칭 박막 트랜지스터(SWT)와 기준 전압 단자(260) 사이에 구비되며, 상기 발광 제어 라인(EL)을 통해 상기 발광 제어 신호(EM)를 게이트 전극에 인가받는 제 2 박막 트랜지스터(T2)와, 상기 제 2 박막 트랜지스터(T2)와 게이트 전극을 공유하며, 상기 구동 박막 트랜지스터(D-TFT)와 유기 발광 다이오드(OLED) 사이에 구비된 제 3 박막 트랜지스터(T3) 및 상기 기준 전압 단자(260)와 상기 유기 발광 다이오드(OLED) 사이에 위치하며, 상기 제 1 박막 트랜지스터(T1)와 게이트 전극을 공유하는 제 4 박막 트랜지스터(T4)를 포함한다.

[0048] 도시된 도 2는 각 트랜지스터들이 p-MOS로 이루어진 점을 나타내었지만, n-MOS 로도 변경될 수 있다.

[0049] 도 2의 도시된 바와 같이, 각 트랜지스터를 p-MOS 트랜지스터를 기준으로 설명하면, 상기 전원 전압 라인(PL)은 전원 전압 단자(270)에 연결되어 전원 전압 신호(VDD)를 인가받는다. 그리고, 상기 구동 박막 트랜지스터(D-TFT)의 소오스 전극은 상기 전원 전압 단자(270)에 연결되고, 드레인 전극은 상기 제 1 트랜지스터 및 센싱 박막 트랜지스터(SST)의 제 1 전극과 연결되며, 이는 제 1 노드(A)의 접속점을 갖는다. 상기 센싱 박막 트랜지스터(SST)은 표시 패널(100)의 구동 중에도 실시간으로 상기 제 1 노드(A)의 전압을 센싱하여, 상기 보상 회로부(250)에 전달한다.

[0050] 여기서, 상기 게이트 라인(GL)은 각 라인별로 스캔 신호(SCAN)를 인가받아 스위칭 박막 트랜지스터(SWT), 제 1 박막 트랜지스터(T1) 및 제 4 박막 트랜지스터(T4)의 각 게이트 전극과 연결되어, 연결된 박막 트랜지스터들의 턴온을 제어한다. 상기 제 1 박막 트랜지스터(T1)는 2개의 p-MOS 트랜지스터가 게이트 전극을 공유하여 발광 제어 라인(EL)에 병렬로 연결된 상태를 나타내나, 하나로 구비될 수도 있다.

[0051] 그리고, 상기 발광 제어 라인(EL)은 각 라인별로 발광 제어 신호(EM)를 라인별로 제 2, 제 3 박막 트랜지스터의 공유된 게이트 전극에 인가한다.

[0052] 상기 스위칭 박막 트랜지스터(SWT)는 소오스 전극이 데이터 라인(DL)에 연결되고, 드레인 전극이 스토리지 캐패시터(Cst)의 제 1 전극과 연결된다. 상기 스토리지 캐패시터(Cst)의 제 2 전극은 상기 구동 박막 트랜지스터(D-TFT)의 게이트 전극에 연결되며, 동시에 제 1 박막 트랜지스터(T1)의 소오스 전극 또는 드레인 전극에 연결된다. 상기 제 1 박막 트랜지스터(T1)의 소오스 전극이 스토리지 캐패시터(Cst)의 제 2 전극과 접속되며, 드레인 전극이 상기 제 1 노드(A)에 접속되며, 반대로 상기 제 1 박막 트랜지스터(T1)의 드레인 전극이 스토리지 캐패시터(Cst)의 제 2 전극과 접속되며, 소오스 전극이 상기 제 1 노드(A)에 접속된다.

- [0053] 상기 제 2 및 제 3 박막 트랜지스터(T2, T3)는 서로 게이트 전극을 공유하며 서로 미러형으로 형성되며 상기 스위칭 박막 트랜지스터(SWT)와 구동 박막 트랜지스터(D-TFT)와 각각 소오스 전극이 연결되고, 드레인 전극은 각각 기준 전압 단자(260)와 유기 발광 다이오드(OLED)의 제 1 전극에 연결된다.
- [0054] 상기 제 4 박막 트랜지스터(T4)는 상기 제 1 박막 트랜지스터(T1)와 게이트 전극을 공유하며, 소오스 전극과 드레인 전극이 상기 제 2, 제 3 박막 트랜지스터(T2, T3)의 드레인 전극과 각각 접속된다. 즉, 상기 제 4 박막 트랜지스터(T4)의 소오스 전극과 드레인 전극은 각각 기준 전압 단자(260)와 유기 발광 다이오드(OLED)의 제 1 전극에 연결된다.
- [0055] 소오스 전극이 기준 전압 단자(260)에 드레인 전극이 유기 발광 다이오드(OLED)의 제 1 전극에 연결된다.
- [0056] 도 3을 통해 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 보상 데이터 센싱을 과정을 살펴보면 다음과 같다. 하기의 초기 구간, 프로그래밍 구간 및 발광 구간을 나누는 것은, 타이밍 컨트롤러(도 1의 210)에서 제어 신호를 발생하여 수행한다.
- [0057] 수평 동기 신호(Hsync)가 로우레벨에서 하이 레벨로 변화시 스캔 신호(SCAN)가 로우 레벨로 바뀌어 발광 제어 신호(EM)가 로우 레벨을 유지시 각 화소의 각 박막 트랜지스터는 턴온되며, 초기 구동 상태로, 상기 기준 전압 단자(260)로부터 기준 전압(Vref)이 제 2 박막 트랜지스터를 통해 전달되어 상기 스위칭 박막 트랜지스터의 드레인 전극에 전달된다. 그리고, 턴온된 제 4 박막 트랜지스터, 제 3 박막 트랜지스터 및 제 1 박막 트랜지스터를 거쳐 상기 구동 박막 트랜지스터의 게이트 전극에 기준 전압(Vref)이 전달된다. 이 때, 상기 스토리지 캐패시터(Cst)의 제 1 전극은 상기 스위칭 박막 트랜지스터의 드레인 전극에 연결되어 있고, 제 2 전극은 구동 박막 트랜지스터의 게이트 전극에 연결되어 있으므로, 결과적으로 스토리지 캐패시터의 양단은 기준 전압(Vref)으로 초기화되어 있다. 이러한 초기화 과정은 이전 프레임의 데이터로 발광하는 유기 발광 다이오드를 오프시키고, 스토리지 캐패시터의 양단을 초기화시키는 것이다.
- [0058] 발광 제어 신호(EL)를 하이 레벨로 변화하며 데이터 라인에 각 데이터를 공급하며, 프로그래밍 및 홀드 구간을 두어 일정 시간 유지하며, 이후 해당 데이터로 각 화소의 발광을 피하도록 상기 발광 제어 신호(EM)를 로우 레벨로 변화시킨다. 상기 발광 제어 신호(EM)가 로우 레벨로 변화 후 일정 시간의 딜레이 후 해당 프레임에서 데이터 공급을 차단하고, 상기 센싱 박막 트랜지스터(SST)를 턴온하도록 상기 게이트 구동부(220)는 상기 센싱 트랜지스터(SST)의 게이트 전극에 로우 레벨의 센싱 제어 신호(SSL)을 인가한다. 이러한 발광 구간에서 제 1 노드(상기 구동 박막 트랜지스터의 드레인 전극과 센싱 박막 트랜지스터의 제 1 전극의 접속점)의 전압(소오스 전압 또는 드레인 전압)을 센싱하여, 상기 제 1 노드의 변화를 센싱하고, 이를 보상 회로부(250) 내에서 초기 값과 비교하여, 변화가 있을 때, 보상된 데이터를 상기 타이밍 컨트롤러(210)로 보상 데이터를 공급하며, 상기 타이밍 컨트롤러는 상기 데이터 구동부(230)로 보상된 데이터 전압(Vdata)을 다음 프레임에서 해당 데이터 라인의 보상 데이터로 공급한다.
- [0059] 이하에서는, 구체적으로 회로도 및 타이밍도를 근거로, 보상 데이터 센싱 전 상기 화소의 동작을 살펴본다.
- [0060] 도 4a 및 도 4b는 도 2의 화소의 구동 초기 단계의 동작을 나타낸 회로도 및 이의 타이밍도이다.
- [0061] 도 4a 및 도 4b와 같이, ① 구간의 이전 프레임의 데이터를 초기화하는 구동 초기 단계에서는, 스캔 신호(SCAN)와 발광 제어 신호(EM)를 모두 로우 레벨로 하여, 제 1 내지 제 4 박막 트랜지스터(T1, T2, T3, T4)를 모두 턴온시킨다. 초기 구동 상태로, 상기 기준 전압 단자(260)로부터 기준 전압(Vref)이 제 2 박막 트랜지스터(T2)를 통해 전달되어 상기 스위칭 박막 트랜지스터의 드레인 전극에 전달된다. 그리고, 턴온된 제 4 박막 트랜지스터(T4), 제 3 박막 트랜지스터(T3) 및 제 1 박막 트랜지스터(T1)를 거쳐 상기 구동 박막 트랜지스터(D-TFT)의 게이트 전극에 기준 전압(Vref)이 전달된다. 이 때, 상기 스토리지 캐패시터(Cst)의 제 1 전극은 상기 스위칭 박막 트랜지스터의 드레인 전극에 연결되어 있고, 제 2 전극은 구동 박막 트랜지스터의 게이트 전극에 연결되어 있으므로, 결과적으로 스토리지 캐패시터의 양단은 기준 전압(Vref)으로 초기화되어 있다. 이러한 초기화 과정은 이전 프레임의 데이터로 발광하는 유기 발광 다이오드를 오프시키고, 스토리지 캐패시터의 양단을 기준 전압(Vref)으로 초기화시키는 것이다.
- [0062] 도 5a 및 도 5b는 도 2의 화소의 데이터 샘플링 단계의 동작을 나타낸 회로도 및 이의 타이밍도이다.
- [0063] 도 5a 및 도 5b와 같이, ② 구간의 데이터 샘플링 단계에 있어서는, 상기 발광 제어 신호(EL)를 로우 레벨에서 하이 레벨로 변환시켜, 발광 제어 라인(EL)으로부터 발광 제어 신호를 공급받는 제 2, 제 3 박막 트랜지스터(T2, T3)를 턴오프시킨다. 또한, 이 단계에서는, 상기 스캔 신호는 로우 레벨을 유지하며 제 4 박막 트랜지스터

(T4)를 턴온시켜 상기 유기 발광 다이오드의 제 1 전극에 기준 전압(Vref)을 인가한다. 동시에 턴온된 상기 스위칭 박막 트랜지스터(SWT) 및 제 1 박막 트랜지스터(T1)에 의해 상기 스토리지 캐패시터의 제 1 전극에는 데이터 전압이 차징되며, 상기 스토리지 캐패시터의 제 2 전극에는 스위칭 박막 트랜지스터(T1)를 경유하며, 상기 구동 박막 트랜지스터(D-TFT)와 제 1 박막 트랜지스터(TFT)를 통해 (Vdd-Vth) 전압이 차징된다. 이 과정에서, 상기 데이터 라인에 공급된 데이터가 화소에 공급되어 데이터 샘플링이 이루어진다.

- [0064] 도 6a 및 도 6b는 도 2의 화소의 발광 단계의 동작을 나타낸 회로도 및 이의 타이밍도이다.
- [0065] 이어, ③ 구간에서는 상기 스캔 신호(SCAN)와 상기 발광 제어 신호(EM)를 모두 하이레벨로 변환시켜, 모든 트랜지스터를 턴오프시킨다.
- [0066] 이어, ④구간과 같이, 상기 스캔 신호(SCA)는 하이레벨 상태로 유지시키고, 상기 발광 제어 신호(EM)만을 로우레벨로 변환시, 상기 발광 제어 신호(EM)를 게이트 전극에 공급받는 제 2, 제 3 박막 트랜지스터(T2, T3)만이 턴온되어, 상기 스토리지 캐패시터(Cst)의 제 1 전극의 노드에서는 충전된 데이터 전압이 기준 전압(Vref)으로 변경된다. 동시에 상기 구동 박막 트랜지스터(D-TFT)와 상기 제 3 박막 트랜지스터(T3)이 턴온되어, 상기 구동 박막 트랜지스터(D-TFT)의 Vgs만큼 유기 다이오드에 전류가 흘러 유기 발광 다이오드가 발광하게 된다.
- [0067] 이 경우, 상기 구동 박막 트랜지스터(D-TFT)의 게이트 전극(상기 스토리지 캐패시터의 제 2 전극)에는, 상기 스토리지 캐패시터와의 커플링으로, 스토리지 캐패시터의 제 1 전극에서의 변화만큼 동일 변화량으로 변화하여, (Vdd-Vth)에서, {Vdd-Vth-(Vdata-Vref)}으로 변화한다.
- [0068] 여기서, 상기 유기 발광 다이오드에 흐르는 전류는
- [0069]  $K(Vgs-Vth)^2 = K(\{Vdd-(Vdd-Vth-(Vdata-Vref))\}-Vth)^2 = K(Vdata-Vref)^2$  에 상당하다.
- [0070] 그리고, 상기 발광 구간에서는 유기 발광 다이오드의 발광이 이루어짐과 동시에, 상기 제 1 노드(상기 구동 박막 트랜지스터의 드레인 전극과 센싱 박막 트랜지스터의 접속부)의 전압을 센싱 박막 트랜지스터를 통해 읽어들이 상기 제 1 노드의 전압 변화를 초기 값과 비교하여 판단하여, 그 변화가 있을 때, 상기 센싱 박막 트랜지스터와 접속되는 보상 회로부(250)를 통해 다음 프레임에 인가되는 데이터 전압(Vdata)을 보상하게 된다.
- [0071] 여기서, 상기 제 1 노드의 전압 값을 읽어들이어, 상기 구동 박막 트랜지스터(D-TFT)의 문턱 전압이나 이동도 값의 변화를 보상할 수 있어, 유기 발광 표시 장치의 화질을 개선하고 신뢰성을 향상시킬 수 있다.
- [0072] 한편, 본 발명의 유기 발광 표시 장치는, 구동 박막 트랜지스터의 드레인 전류의 변동에 따라, 임피던스(Impedance) 값 차이가 발생하는 점을 주목하고, 또한, 저항 분배에 따라 특정 노드의 전압 값 차이가 발생됨을 고려한다. 이에 따라, 보상 회로부를 화소와 별도로 표시 패널의 액티브 영역 외부에 구비하여, 특정 노드 전압을 센싱하여, 화소의 구동 속도를 조정하지 않고도 실시간으로 구동 박막 트랜지스터의 특정 노드의 변화를 센싱하여 외부 보상을 실시간으로 구현한다.
- [0073] 도 7은 본 발명의 보상 회로부와 표시 패널의 연결 관계를 다른 예를 나타낸 도면이다.
- [0074] 한편, 본 발명의 유기 발광 표시 장치에 있어서, 상기 센싱 박막 트랜지스터(SST)는 매 화소의 제 1 노드와의 연결이 필요하고, 센싱을 위해 센싱 라인(SL)을 각 화소의 전원 전압 라인(PL)과 평행하게 구비하여, 센싱 박막 트랜지스터(SST)의 소오스 전극과 드레인 전극이 상기 센싱 라인(SL)에 접속되게 할 수 있다.
- [0075] 이 경우, 도 7과 같이, 센싱 라인 수는 가로 방향으로 배열된 화소 수만큼 필요할 것으로, 배선 수 증가에 따라 보상 회로부(250)의 채널 수가 늘어나고 각 채널과 센싱 라인의 접속이 복잡해지는 것을 해소하기 위해, 복수개의 센싱 라인들을 그룹핑하여 순차적으로 센싱 클럭을 공급하는 댁스(MUX)(281, 282, ...)를 복수개 구비한 댁스부(280)을 구비할 수 있다. 이러한 구조를 통해, 상기 보상 회로부(250)에서 출력하는 채널 수를 줄일 수 있다.
- [0076] 상술한 도 7의 예는 일예에 한한 것이고, 댁스를 생략하고, 상기 보상 회로부(250)와 센싱 라인(SL)을 직접 연결할 수도 있다.
- [0077] \*본 발명의 제 2 실시예\*
- [0078] 도 8은 본 발명의 제 2 실시예에 따른 유기 발광 표시 장치의 일 화소와 이의 보상 회로부와 연결을 나타낸 회로도이다.
- [0079] 도 8에 따른 본 발명의 제 2 실시예의 유기 발광 표시 장치는 상술한 제 1 실시예와 달리 n-MOS 트랜지스터로 박막 트랜지스터들이 구성된 예를 나타내었으나, 이는 도시된 예에 한하지 않으며, p-MOS 트랜지스터로도 변경

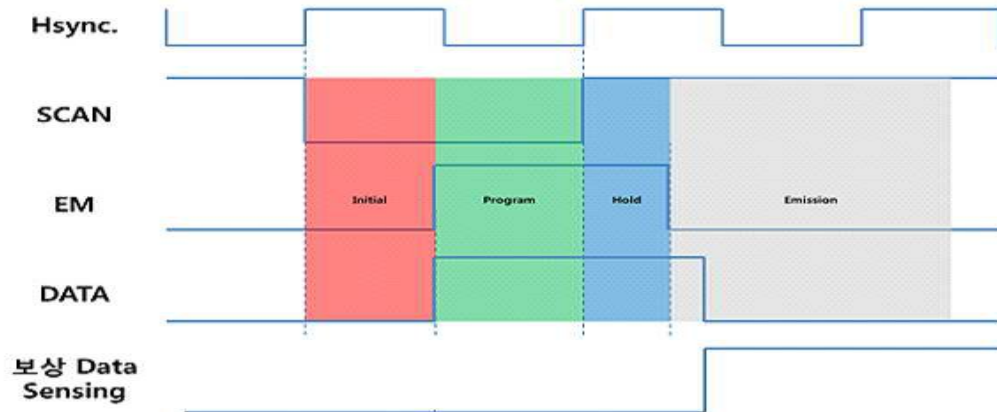
가능하다. 또한, 상술한 제 1 실시예와는 구비된 박막 트랜지스터의 수와 캐패시터의 수에서 차이점이 있으나, 구비된 박막 트랜지스터나 캐패시터의 수는 각각 2개 이상 또는 1개 이상에서 가변될 수 있는 것으로, 도시된 예에 한정되지는 않는다.

- [0080] 이하에서는 상술한 제 1 실시예와 다른 구성에 대해서 설명한다.
- [0081] 상기 각 화소는 상기 전원 전압 라인(PL)과 상기 구동 박막 트랜지스터 (D-TFT) 사이에 위치하며 상기 발광 제어 신호(EM)를 게이트 전극에 인가받는 제 1 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터(SWT)와 상기 구동 박막 트랜지스터(D-TFT)의 게이트 전극의 연결 노드와, 상기 구동 박막 트랜지스터(D-TFT)와 상기 유기 발광 다이오드(OLED)의 연결 노드 사이에 스토리지 캐패시터(Cstg) 및 상기 유기 발광 다이오드(OLED)의 양단에 접속된 유기 발광 다이오드 캐패시터(Coled')를 포함한다.
- [0082] 여기서, 센싱 박막 트랜지스터(SST)의 게이트 전극은 게이트 구동부(220)로부터 이전 게이트 라인의 스캔 신호(SCANn-1)에 해당되는 초기 구동 신호를 인가받거나, 센싱 제어 신호(SCS)를 별도로 인가받아, 상기 보상 회로부(250)는 초기 구간, 샘플링 구간 및 프로그래밍 구간에 상기 센싱 박막 트랜지스터(SST)의 제 2 전극에 초기 전압(Vini)을 인가할 수 있다.
- [0083] 상기 센싱 박막 트랜지스터(SST)는 구동 박막 트랜지스터(D-TFT)의 제 1 노드(A)의 전압을 센싱하지 않는 구간에서는 초기 전압(Vini)이 공급되며, 센싱 구간에만 상기 보상 회로부(250)와 연결된다. 이는 센싱 박막 트랜지스터(SST)를 센싱 라인에 연결시키고, 상기 센싱 라인과의 연결을 구간에 따라 나누어 이루어질 수 있다. 즉, 타이밍 컨트롤러(210)에서, 구간을 초기구간, 샘플링 구간, 프로그래밍 구간 및 발광 구간으로 나눌 때, 발광 구간에만 선택적으로 보상을 수행하도록 하여, 센싱을 수행하는 발광 구간에만 센싱 라인(SL)이 선택적으로 보상 회로부(250)에 연결되도록 하며, 이 때, 게이트 구동부(220)로부터 여, 상기 센싱 박막 트랜지스터(SST)를 통해 제 1 노드(A)의 전압을 검출한다. 나머지 구간에서는 상기 센싱 라인(SL)은 초기 전압(Vini)이 공급되도록 한다.
- [0084] 그리고, 상기 데이터 라인(DL)은 선택적으로 구간에 따라 데이터 전압 또는 기준 전압이 인가된다.
- [0085] 도 9a 내지 도 9d는 도 8의 화소 및 보상 회로부의 구동 초기 동작, 데이터 샘플링, 프로그램 및 발광 단계를 나타낸 회로도이며, 도 10은 도 9a 내지 도 9d의 타이밍도이다. 또한, 도 11은 도 8의 보상 회로부 센싱 구동을 나타낸 타이밍도이다.
- [0086] 구체적으로, 도 9a 및 도 10과 같이, 초기 구간에는, 이전 프레임의 데이터가 남아있는 유기 발광 다이오드를 끄기 위해, 상기 발광 제어 신호에 로우 레벨 신호를 인가하여 상기 제 1 박막 트랜지스터를 턴오프한다. 동일 구간에서 스캔 신호(SCAN)는 하이 레벨로 인가되고, 기준 전압(Vref)이 인가되는 상기 데이터 라인과 연결된 상기 스위칭 박막 트랜지스터(SWT)의 게이트 전극에 전단 게이트 라인의 스캔 신호(SCANn-1)이 초기 구동 신호로 공급되어 턴오프되어, 상기 스토리지 캐패시터(Cstg)의 제 1 전극에 기준 전압(Vref)에 공급된다. 동일 구간에서 초기 전압(Vini)이 공급되는 센싱 박막 트랜지스터(SST)는 상기 구동 박막 트랜지스터(D-TFT)의 제 1 노드(A)와 접속되어 있고, 상기 제 1 노드(A)에 상기 스토리지 캐패시터(Cstg)의 제 2 전극이 접속되어, 상기 제 1 노드(A)는 초기 전압(Vini)이 공급된다.
- [0087] 이어, 도 9b 및 도 10과 같이, 샘플링 구간에는 상기 발광 제어 신호(EM)는 하이 레벨로 변화하고, 상기 스캔 신호(SCAN)는 하이 레벨을 유지하고 있어, 상기 제 1 박막 트랜지스터(T1)와 상기 스위칭 박막 트랜지스터(SWT)가 동시에 턴온된다. 초기 구간이 경과 후 샘플링 및 프로그램 구간에는 상기 센싱 박막 트랜지스터(SST)에 초기 구동 전압(SCANn-1)이 공급되지 않아, 상기 센싱 박막 트랜지스터는 턴오프 상태를 유지한다.
- [0088] 이 경우, 샘플링 구간에, 상기 스토리지 캐패시터(Cstg)의 제 1 전극에는 데이터 라인에 기준 전압(Vref) 공급으로, 기준 전압(Vref)이 차징되어 있고, 상기 스토리지 캐패시터(Cstg)의 제 2 전극에는 상기 턴온된 제 1 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(D-TFT)에 의해, (Vref-Vth)이 값이 차징된다. 즉, 구동 박막 트랜지스터(D-TFT)의 Vgs는 Vth에 상당하다.
- [0089] 또한, 도 9c와 같이, 프로그램 구간에서는 상기 발광 제어 신호가 다시 로우 레벨로 변화하므로, 상기 제 1 박막 트랜지스터(T1)는 턴오프되고, 이 때, 데이터 전압이 데이터 라인을 통해 공급되므로, 스위칭 박막 트랜지스터(SWT)가 턴온되어, 상기 스토리지 캐패시터(Cstg)의 제 1 전극에는 데이터 전압(data)이 공급되고, 상기 스토리지 캐패시터(Cstg)의 제 2 전극에는, 상기 유기 발광 다이오드와 병렬 연결된 유기 발광 다이오드 캐패시터(Coled')의 용량 값에 영향을 받아, {Vref-Vth+C'(Vdata-Vref)}의 값의 전압이 차징된다.

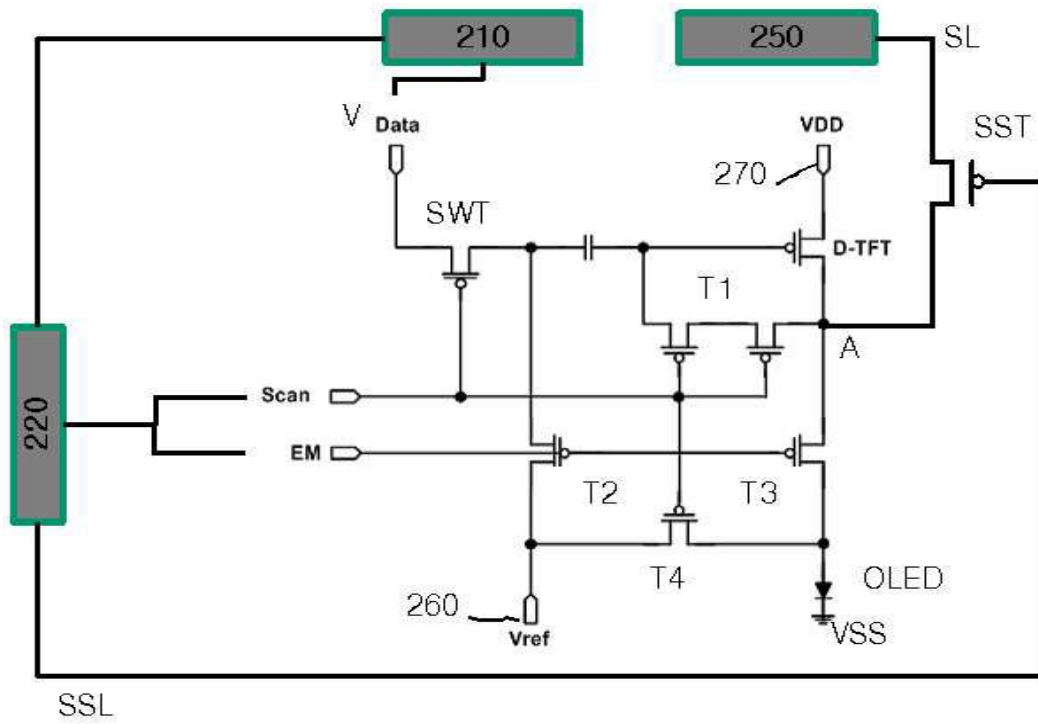




도면3



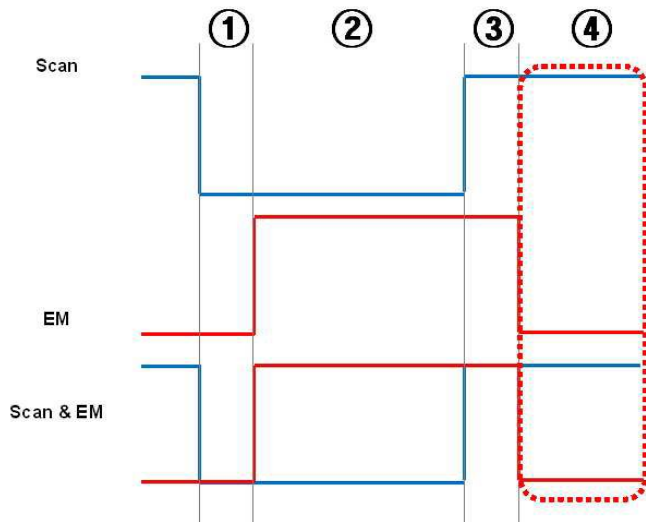
도면4a



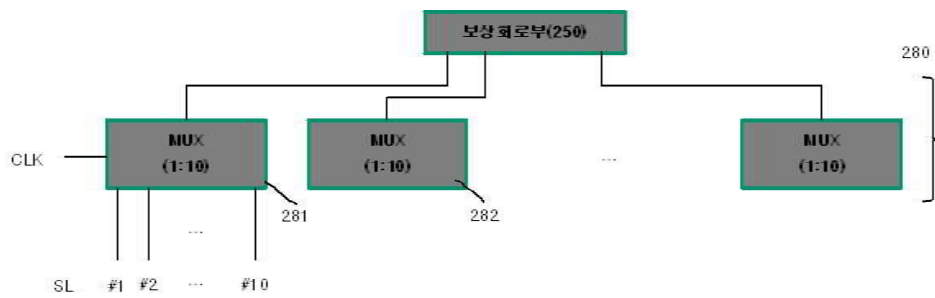




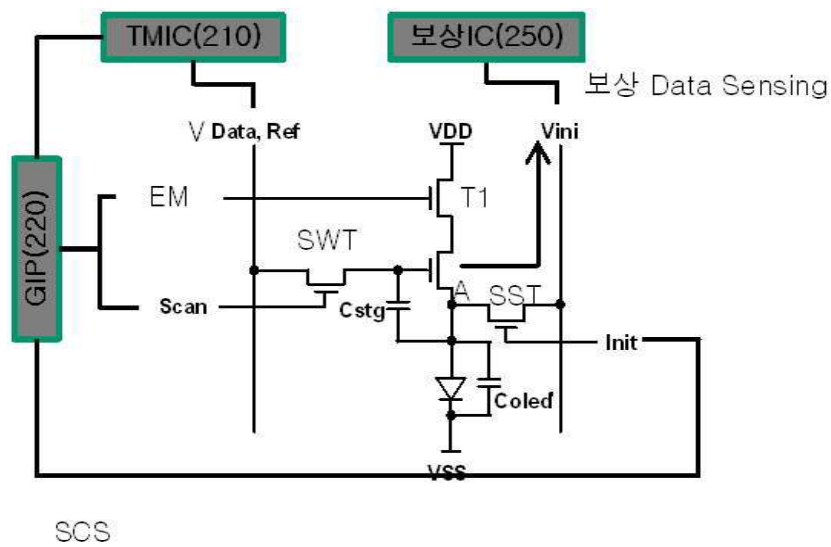
도면6b



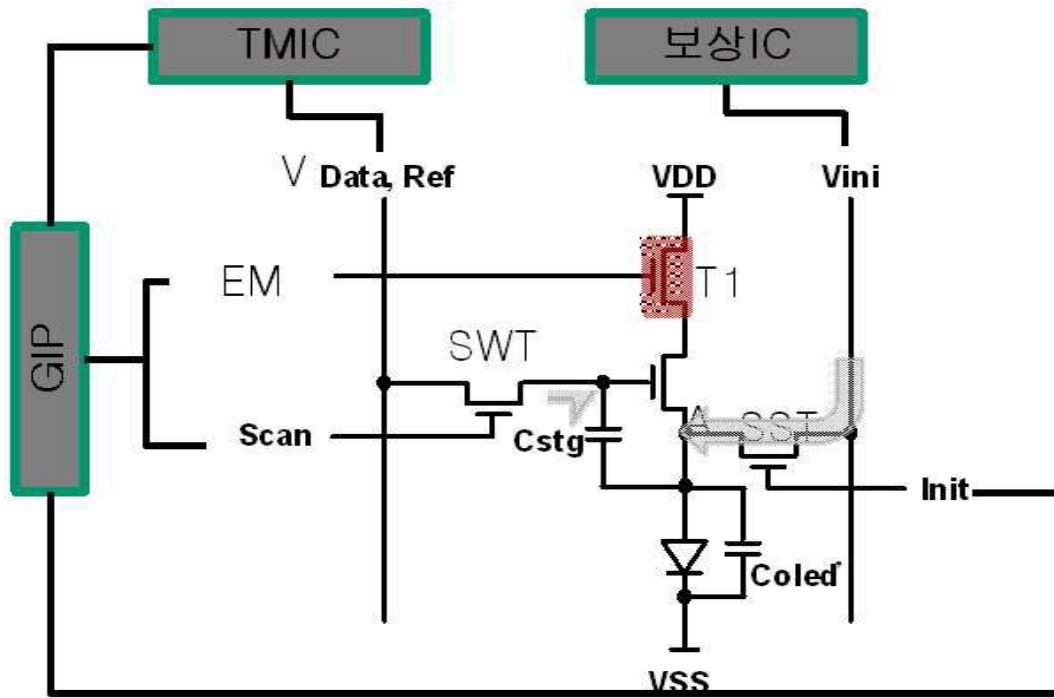
도면7



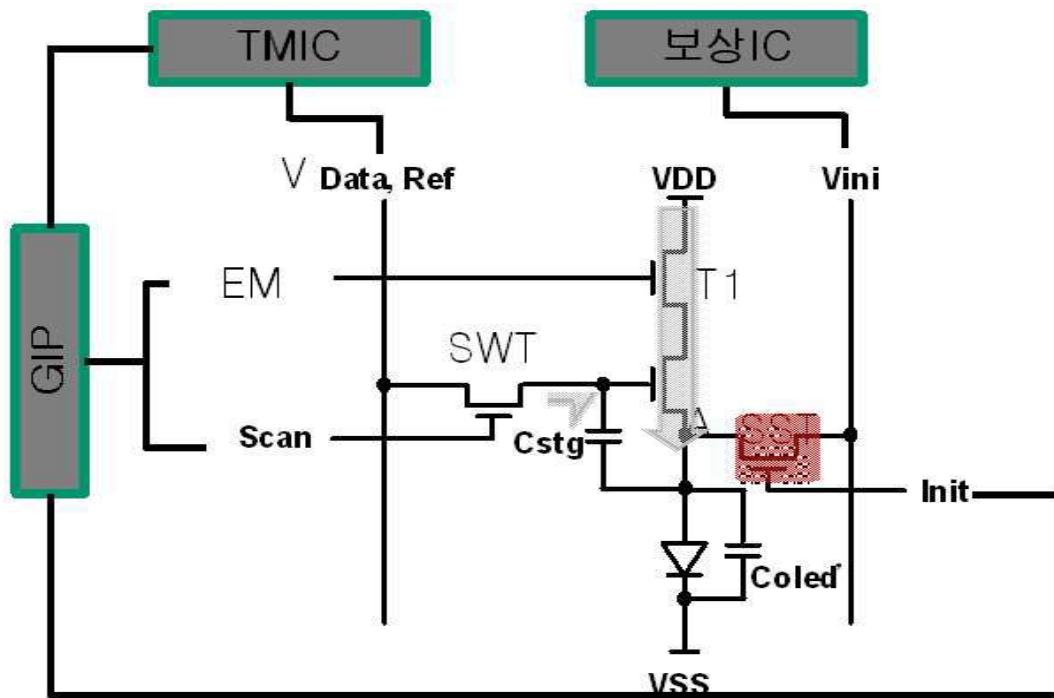
도면8



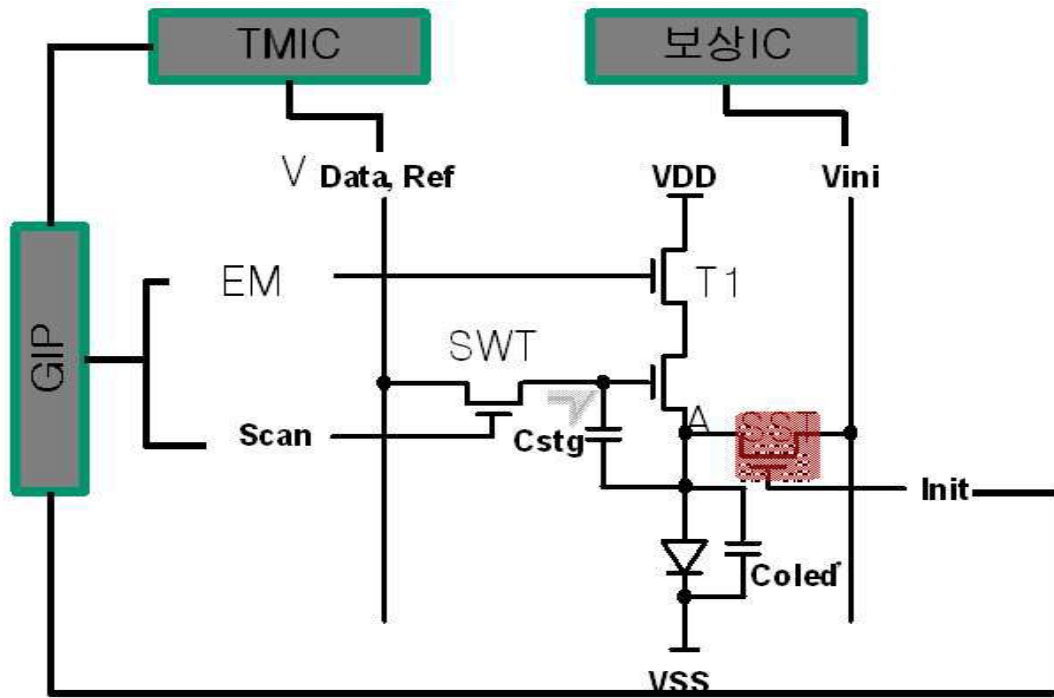
도면9a



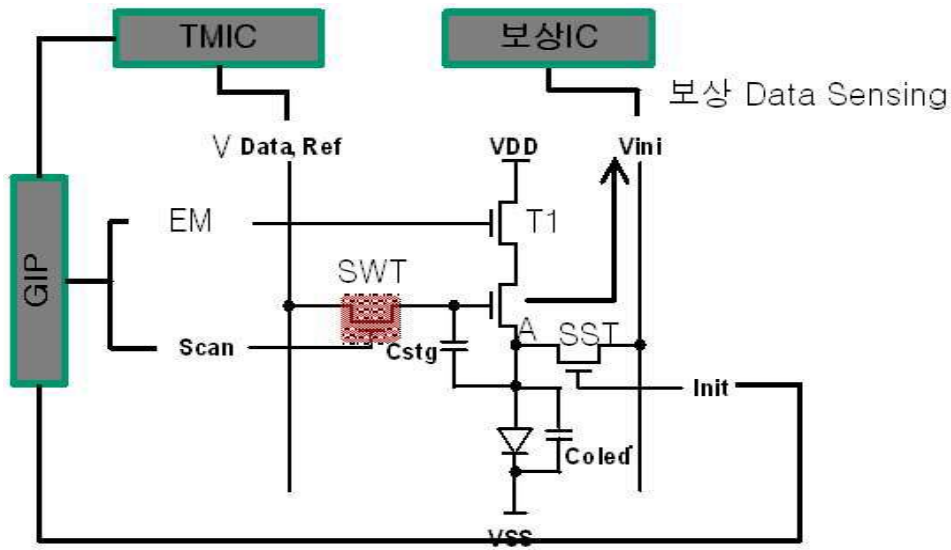
도면9b



도면9c

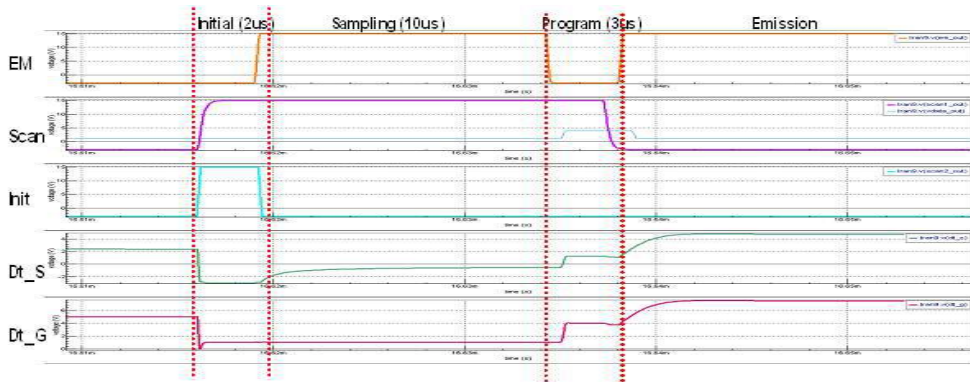


도면9d

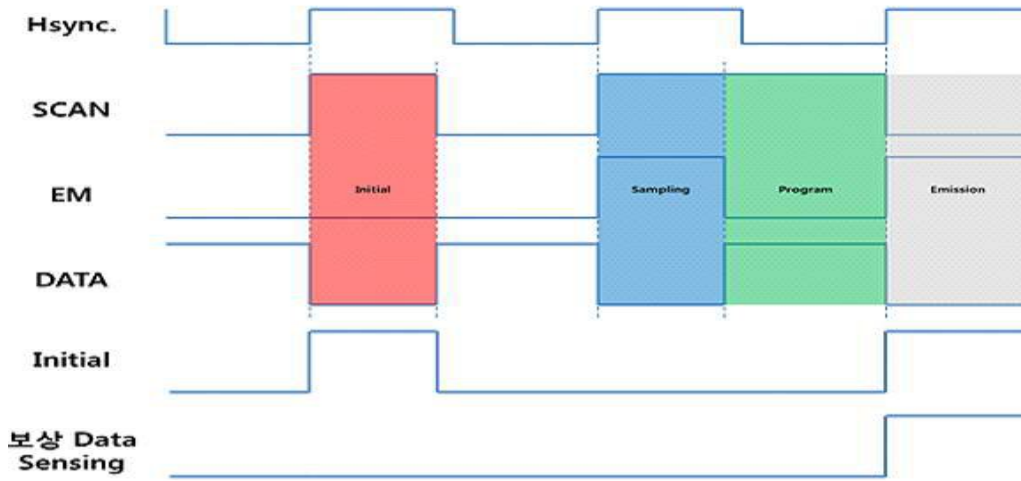


SCS

도면10



도면11



专利名称(译)	标题 : OLED显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020170076201A</a>	公开(公告)日	2017-07-04
申请号	KR1020150186178	申请日	2015-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOUNG WOO 이정우		
发明人	이정우		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/043 G09G2310/08 G09G2230/00		
代理人(译)	Bakyoungbok		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及有机发光显示装置及其驱动方法，实现有机发光显示装置像素内部的实时外部补偿，提高图像质量特性和可靠性，并直接感测连接补偿电路的路径和传感薄膜晶体管连接到驱动薄膜晶体管，驱动薄膜晶体管的特性发生变化，驱动薄膜晶体管的变化值得到补偿。以这种方式，提供给与驱动薄膜晶体管连接的有机发光二极管的电流值稳定，并且可以提高有机发光显示装置的图像增强和可靠性。

