

명세서

청구범위

청구항 1

다수 개의 화소 영역이 정의된 기판;

상기 기판 위에서 상기 화소 영역의 일측 방향으로 배치된 스캔 배선;

상기 스캔 배선을 덮는 버퍼층;

상기 버퍼층 위에 배치된 반도체 층;

상기 반도체 층의 중앙 영역인 채널 영역을 덮는 게이트 절연막;

상기 게이트 절연막 위에서 상기 채널 영역과 중첩하고, 상기 스캔 배선과 연결된 게이트 전극;

상기 게이트 절연막 위에서 상기 화소 영역 내에 배치된 애노드 전극;

상기 게이트 전극을 덮으며, 상기 화소 전극의 중앙 대부분을 노출하는 중간 절연막; 그리고

상기 중간 절연막 위에서 상기 화소 영역의 타측 방향으로 배치된 데이터 배선을 포함하는 박막 트랜지스터 기판.

청구항 2

제 1 항에 있어서,

상기 스캔 배선과 동일한 물질을 포함하며, 동일한 층에서 상기 반도체 층과 중첩하도록 배치되는 차광층 및 보조 용량의 위치에 배치되는 제1 보조 용량 전극;

상기 반도체 층과 동일한 물질을 포함하며, 동일한 층에서 상기 보조 용량의 위치에 배치되는 제2 보조 용량 전극; 그리고

상기 데이터 배선과 동일한 물질을 포함하며, 동일한 층에서 상기 데이터 배선에서 분기되어 상기 반도체 층의 일측부와 접촉하는 소스 전극, 상기 소스 전극과 일정 거리 이격하여 배치되어 상기 반도체 층의 타측부와 접촉하는 드레인 전극 및 상기 드레인 전극에서 연장되어 상기 제2 보조 용량 전극과 중첩하는 제3 보조 용량 전극을 더 포함하는 박막 트랜지스터 기판.

청구항 3

제 1 항에 있어서,

상기 데이터 배선을 덮으며, 상기 애노드 전극의 중앙부 대부분을 노출하는 개구 영역을 정의하는 बैं크;

상기 बैं크 위에서 상기 노출된 애노드 전극 위에 적층된 유기발광 층; 그리고

상기 유기발광 층 위에 적층된 캐소드 전극을 더 포함하는 박막 트랜지스터 기판.

청구항 4

제 1 항에 있어서,

상기 게이트 전극 및 상기 애노드 전극은 동일한 층에 배치되며, 인듐-주석-산화물과 같은 투명 도전 물질을 포함하는 박막 트랜지스터 기판.

청구항 5

기관 위에 스캔 배선을 형성하는 단계;

상기 스캔 배선이 형성된 상기 기관 표면 위에 버퍼층을 도포하고, 상기 버퍼층 위에 반도체 층을 형성하는 단계;

상기 반도체 층의 중앙부 및 화소 영역을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에서 상기 반도체 층의 상기 중앙부와 중첩하는 게이트 전극 및 상기 화소 영역에 배치된 애노드 전극을 형성하는 단계;

상기 게이트 전극 및 상기 애노드 전극을 덮는 중간 절연막을 형성하는 단계;

상기 중간 절연막 위에서 상기 스캔 배선과 교차하는 데이터 배선을 형성하는 단계; 그리고

상기 데이터 배선을 덮으며 상기 애노드 전극의 중앙부 대부분을 노출하는 बैं크를 형성하는 단계를 포함하는 박막 트랜지스터 기관 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 다이오드 표시장치와 같은 평판 표시장치용 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 스캔 배선과 데이터 배선 사이의 절연성을 높여 기생 용량을 줄이고, 고속 구동이 가능한 평판 표시장치용 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치에는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광 표시장치(Electroluminescence Device, EL) 등이 있다.

[0003] 전계발광 표시장치는 발광층의 재료에 따라 무기 전계발광 표시장치와 유기발광다이오드 표시장치로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 도 1은 일반적인 유기발광 다이오드의 구조를 나타내는 도면이다. 유기발광 다이오드는 도 1과 같이 전계발광하는 유기 전계발광 화합물층과, 유기 전계발광 화합물층을 사이에 두고 대향하는 캐소드 전극(Cathode) 및 애노드 전극(Anode)을 포함한다. 유기 전계발광 화합물층은 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL)을 포함한다.

[0005] 유기발광 다이오드는 애노드 전극(Anode)과 캐소드 전극(Cathode)에 주입된 정공과 전자가 발광층(EML)에서 재결합할 때의 여기 과정에서 여기자(excitation)가 형성되고 여기자로부터의 에너지로 인하여 발광한다. 유기발광 다이오드 표시장치는 도 1과 같은 유기발광다이오드의 발광층(EML)에서 발생하는 빛의 양을 전기적으로 제어하여 영상을 표시한다.

[0006] 전계발광 소자인 유기발광 다이오드의 특징을 이용한 유기발광 다이오드 표시장치(Organic Light Emitting Diode display: OLED)에는 패시브 매트릭스 타입의 유기발광 다이오드 표시장치(Passive Matrix type Organic Light Emitting Diode display, PMOLED)와 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(Active Matrix type Organic Light Emitting Diode display, AMOLED)로 대별된다.

[0007] 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(AMOLED)는 박막 트랜지스터(Thin Film Transistor: 혹은 "TFT")를 이용하여 유기발광 다이오드에 흐르는 전류를 제어하여 화상을 표시한다. 도 2는 일반적인 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 등가 회로도의 한 예이다. 도 3은 종래 기술에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도이다. 도 4는 도 3에서 절취선 I-I'로 자른 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

[0008] 도 2 내지 3을 참조하면, 액티브 매트릭스 유기발광 다이오드 표시장치는 스위칭 박막 트랜지스터(ST), 스위칭

박막 트랜지스터(ST)와 연결된 구동 박막 트랜지스터(DT), 구동 박막 트랜지스터(DT)에 접속된 유기발광 다이오드(OLE)를 포함한다. 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)과 데이터 배선(DL)이 교차하는 부위에 형성되어 있다. 스위칭 박막 트랜지스터(ST)는 화소를 선택하는 기능을 한다. 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)에서 분기하는 게이트 전극(SG)과, 반도체 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다.

[0009] 그리고 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)에 의해 선택된 화소의 유기발광 다이오드(OLE)를 구동하는 역할을 한다. 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLE)의 애노드 전극(ANO)과 연결되어 있다.

[0010] 좀 더 상세히 살펴보기 위해 도 4를 참조하면, 액티브 매트릭스 유기발광 다이오드 표시장치는, 투명 기판(SUB) 상에 스위칭 TFT(ST) 및 구동 TFT(DT)의 게이트 전극(SG, DG)이 형성되어 있다. 그리고 게이트 전극(SG, DG) 위에는 게이트 절연막(GI)이 덮고 있다. 게이트 전극(SG, DG)과 중첩되는 게이트 절연막(GI)의 일부분에 반도체 층(SA, DA)이 형성되어 있다. 반도체 층(SA, DA) 위에는 일정 간격을 두고 소스 전극(SS, DS)과 드레인 전극(SD, DD)이 마주보고 형성된다. 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)은 게이트 절연막(GI)에 형성된 게이트 콘택홀(GH)을 통해 구동 박막 트랜지스터(DT)의 게이트 전극(DG)과 접촉한다. 이와 같은 구조를 갖는 스위칭 박막 트랜지스터(ST) 및 구동 박막 트랜지스터(DT)를 덮는 보호층(PAS)이 전면에도포된다.

[0011] 특히, 반도체 층(SA, DA)을 산화물 반도체 물질로 형성하는 경우, 높은 전하 이동도 특성에 의해 충전 용량이 큰 대면적 박막 트랜지스터 기판에서 고 해상도 및 고속 구동에 유리하다. 그러나, 산화물 반도체 물질은 소자의 안정성을 확보하기 위해 상부 표면에 식각액으로부터 보호를 위한 에치 스톱퍼(SE, DE)를 더 포함하는 것이 바람직하다. 구체적으로, 소스 전극(SS, DS)과 드레인 전극(SD, DD) 사이의 이격된 부분에서 노출된 상부면과 접촉하는 식각액으로부터 반도체 층(SA, DA)이 백 에치(Back Etch) 되는 것을 보호하도록 에치 스톱퍼(SE, DE)를 형성한다.

[0012] 나중에 형성될 애노드 전극(ANO)의 영역에 해당하는 부분에 칼라 필터(CF)가 형성된다. 칼라 필터(CF)는 가급적 넓은 면적을 차지하도록 형성하는 것이 바람직하다. 예를 들어, 데이터 배선(DL), 구동 전류 배선(VDD) 및 전단의 스캔 배선(SL)의 많은 영역과 중첩하도록 형성하는 것이 바람직하다. 이와 같이 칼라 필터(CF)가 형성된 기판은 여러 구성요소들이 형성되어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판의 표면을 평탄하게 할 목적으로 오버코트 층(OC)을 기판(SUB) 전체 표면에 도포한다.

[0013] 그리고 오버코트 층(OC) 위에 유기발광 다이오드(OLE)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 오버코트 층(OC) 및 보호층(PAS)에 형성된 화소 콘택홀(PH)을 통해 구동 TFT(DT)의 드레인 전극(DD)과 연결된다.

[0014] 애노드 전극(ANO)이 형성된 기판 위에, 화소 영역을 정의하기 위해 스위칭 박막 트랜지스터(ST), 구동 박막 트랜지스터(DT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 बैं크(BA)를 형성한다. बैं크(BA)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다.

[0015] बैं크(BA)에 의해 노출된 애노드 전극(ANO) 위에 유기발광 층(OL)과 캐소드 전극(CAT)이 순차적으로 적층된다. 유기발광 층(OL)은 백색광을 발하는 유기물질로 이루어진 경우, 아래에 위치한 칼라 필터(CF)에 의해 각 화소에 배정된 색상을 나타낸다. 도 4와 같은 구조를 갖는 유기발광 다이오드 표시장치는 아래 방향으로 발광하는 하부 발광(Bottom Emission) 표시 장치가 된다.

[0016] 유기발광 다이오드 표시장치의 경우, 비교적 대전류를 이용하여 유기발광 다이오드를 구동한다. 따라서, 박막 트랜지스터의 특성이 대전류 구동에 적합한 것이 바람직하다. 산화물 반도체의 경우, 이러한 유기발광 다이오드 표시장치에 적합하다. 하지만, 고밀도 고집적화된 유기발광 다이오드의 필요성이 증가함에 따라, 대전류를 고속으로 구동하는데 적합한 박막 트랜지스터의 특성이 더욱 필요한 실정이다.

[0017] 특히, 산화물 반도체의 경우, 주변에서 유입되는 빛에 의해 특성 변화가 심하다는 단점이 있다. 유기발광 다이오드 표시장치는 자발광 소자로 빛을 발하는 유기층에서 출사된 빛이 박막 트랜지스터의 산화물 반도체 층에 유입될 경우, 소자의 특성을 안정화하기 어렵다는 문제가 있다.

[0018] 산화물 반도체 물질을 채널 층으로 사용하고 고속 구동을 위해서는, 도 4에 도시한 구조와 다른, 탑 게이트 구조의 박막 트랜지스터를 사용할 수 있다. 도 4에 도시한 바텀 게이트 구조에서는 외부광에 노출되는 측면에 게이트 금속이 배치되어 있어, 외부 빛의 영향을 게이트 금속이 차단할 수 있다. 하지만 탑 게이트 구조에서는, 하부 발광형 유기발광 다이오드 표시장치에서는 외부광에 노출되는 측면에 채널 층이 배치되기 때문에, 외부 빛

에 의해 채널 층이 영향을 받아 소자 특성이 열화될 수 있다.

발명의 내용

해결하려는 과제

[0019] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써, 탑(Top) 게이트 구조의 박막 트랜지스터의 하부에 차광용 금속층을 배치하여 소자 특성을 확보한 박막 트랜지스터를 구비한 평판 표시장치용 박막 트랜지스터 기판을 제공하는 데 있다. 또한, 차광용 금속층은 바텀(Bottom) 게이트 기능을 부여하여 이중 게이트 구조를 가질 수 있고, 필요에 따라 다른 전원과 연결되어 다양한 목적으로 활용할 수도 있다. 또한, 상부 게이트 전극을 화소 전극과 동일한 층에 동일한 물질로 형성함으로써 공정을 단순화한 평판 표시장치용 박막 트랜지스터 기판의 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0020] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 평판 표시장치용 박막 트랜지스터 기판은, 기판 위에 배치된 스캔 배선, 스캔 배선을 덮는 버퍼층, 버퍼층 위에 배치된 반도체 층, 반도체 층 위에 배치된 게이트 절연막 및 게이트 전극, 애노드 전극, 게이트 전극을 덮는 중간 절연막 그리고 중간 절연막 위에 배치된 데이터 배선을 포함한다. 기판 위에는 다수 개의 화소 영역이 정의된다. 스캔 배선은 기판 위에서 화소 영역의 일측 방향으로 배치된다. 게이트 절연막은 반도체 층의 중앙 영역인 채널 영역을 덮는다. 게이트 전극은 게이트 절연막 위에서 채널 영역과 중첩하고, 스캔 배선과 연결된다. 애노드 전극은 게이트 절연막 위에서 상기 화소 영역 내에 배치된다. 중간 절연막은 게이트 전극을 덮으며, 화소 전극의 중앙 대부분을 노출한다. 그리고 데이터 배선은 중간 절연막 위에서 화소 영역의 타측 방향으로 배치된다.

[0021] 박막 트랜지스터 기판은, 차광층 및 제1 보조 용량 전극, 제2 보조 용량 전극 그리고 소스 전극, 드레인 전극 및 제3 보조 용량 전극을 더 포함한다. 차광층은 스캔 배선과 동일한 물질로, 동일한 층에서 반도체 층과 중첩하도록 배치된다. 제1 보조 용량 전극은 스캔 배선과 동일한 물질로, 동일한 층에서 보조 용량의 위치에 배치된다. 제2 보조 용량 전극의 반도체 층과 동일한 물질을 포함하며, 동일한 층에서 보조 용량의 위치에 배치된다. 소스 전극은 데이터 배선과 동일한 물질을 포함하며, 동일한 층에서 데이터 배선에서 분기되어 반도체 층의 일측부와 접촉한다. 드레인 전극은 소스 전극과 일정 거리 이격하여 배치되어 반도체 층의 타측부와 접촉한다. 그리고 제3 보조 용량 전극은 드레인 전극에서 연장되어 제2 보조 용량 전극과 중첩한다.

[0022] 박막 트랜지스터 기판은, बैं크, 유기발광 층 및 캐소드 전극을 더 포함한다. बैं크는 데이터 배선을 덮으며, 애노드 전극의 중앙부 대부분을 노출하는 개구 영역을 정의한다. 유기발광 층은 बैं크 위에서 노출된 애노드 전극 위에 적층된다. 그리고 캐소드 전극은 유기발광 층 위에 적층된다.

[0023] 게이트 전극 및 애노드 전극은 동일한 층에 배치되며, 인듐-주석-산화물과 같은 투명 도전 물질을 포함한다.

[0024] 또한, 본 발명에 의한 평판 표시장치용 박막 트랜지스터 기판의 제조 방법은, 기판 위에 스캔 배선을 형성하는 단계, 반도체 층을 형성하는 단계, 게이트 절연막을 형성하는 단계, 게이트 전극 및 애노드 전극을 형성하는 단계, 중간 절연막을 형성하는 단계, 데이터 배선을 형성하는 단계 그리고 बैं크를 형성하는 단계를 포함한다. 반도체 층을 형성하는 단계는 스캔 배선이 형성된 기판 표면 위에 버퍼층을 도포하고, 버퍼층 위에 반도체 층을 형성한다. 게이트 절연막은 반도체 층의 중앙부 및 화소 영역을 덮도록 형성한다. 게이트 전극은 게이트 절연막 위에서 반도체 층의 중앙부와 중첩하도록 형성한다. 이와 동시에 애노드 전극은 화소 영역에 배치한다. 중간 절연막은 게이트 전극 및 애노드 전극을 덮는다. 데이터 배선은 중간 절연막 위에서 스캔 배선과 교차하도록 배치한다. 그리고 बैं크는 데이터 배선을 덮으며 애노드 전극의 중앙부 대부분을 노출하도록 형성한다.

발명의 효과

[0025] 본 발명에 의한 평판 표시장치용 박막 트랜지스터 기판은, 기판 위에서 서로 직교하며 화소 영역을 정의하는 스캔 배선과 데이터 배선 그리고 스캔 배선과 구동 전류 배선 사이에 버퍼층 및 중간 절연막을 포함하는 이중 구조의 절연막이 개재된다. 이는 스캔 배선을 차광층과 같은 위치에 형성함으로써 달성할 수 있다. 그 결과, 스캔 배선과 데이터 배선 사이에서 기생 용량의 발생을 억제할 수 있다. 또한, 데이터 배선이 스캔 배선을 넘어가는 부위에서 절연 파괴 발생을 방지하여 배선이 열화되지 않도록 한다. 이러한 구조에서 게이트 전극을 스캔 배선과 별도의 층에 형성하여야 하는데, 애노드 전극을 형성할 때 게이트 전극을 함께 형성함으로써, 마스크 공

정의 수를 증가하지 않는다.

도면의 간단한 설명

[0026] 도 1은 일반적인 유기발광 다이오드의 구조를 나타내는 도면.

도 2는 일반적인 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 등가 회로도.

도 3은 종래 기술에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도.

도 4는 도 3에서 절취선 I-I'로 자른 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.

도 5는 본 발명에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도.

도 6은 도 5에서 절취선 II-II'로 자른 본 발명에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.

도 7a 내지 7g는, 도 5에서 절취선 II-II'로 자른, 본 발명에 의한 유기발광 다이오드 표시장치의 제조 방법을 나타내는 단면도들.

도 8은 본 발명에 의한 유기발광 다이오드 표시장치의 제조 공정을 개략적으로 나타낸 흐름도.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0028] 이하, 도 5 및 6을 참조하여 본 발명의 일 실시 예를 설명한다. 도 5는 본 발명에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도이다. 도 6은 도 5에서 절취선 II-II'로 자른 본 발명에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

[0029] 본 발명의 일 실시 예에 의한 액티브 매트릭스 유기발광 다이오드 표시장치는 스위칭 박막 트랜지스터(ST), 스위칭 박막 트랜지스터(ST)와 연결된 구동 박막 트랜지스터(DT), 구동 박막 트랜지스터(DT)에 접속된 유기발광 다이오드(OLE)를 포함한다. 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)과 데이터 배선(DL)이 교차하는 부위에 형성되어 있다. 스위칭 박막 트랜지스터(ST)는 화소를 선택하는 기능을 한다. 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)에서 분기하는 게이트 전극(SG)과, 반도체 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다.

[0030] 그리고 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)에 의해 선택된 화소의 유기발광 다이오드(OLE)를 구동하는 역할을 한다. 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLE)의 애노드 전극(ANO)과 연결되어 있다.

[0031] 본 발명에서는, 고속 특성에 유리한 산화물 반도체 물질을 반도체 층(SA, DA)으로 사용하며, 탑 게이트 구조의 박막 트랜지스터(ST, DT)를 적용한다. 또한, 탑 게이트 구조의 박막 트랜지스터(ST, DT)를 하부 발광형 유기발광 다이오드 표시장치에 적용할 경우, 외부 광에 노출되는 반도체 층(SA, DA)을 보호하기 위해 차광층(SLS, DLS)을 더 구비한다.

[0032] 특히, 차광층(SLS, DLS)과 함께, 스캔 배선(SL)을 형성하여 스캔 배선(SL)과 데이터 배선(DL) 사이에 절연막이 두 개 개재되도록 함으로써, 스캔 배선(SL)과 데이터 배선(DL) 사이의 기생 용량을 극소화하고, 절연 파괴에 의한 손상을 방지한다. 또한, 차광층(SLS, DLS)과 함께, 제1 보조 용량 전극(ST1)을 형성하면, 보조 용량의 크기를 더 확보할 수 있어, 보조 용량의 면적을 줄이고, 개구 영역을 늘릴 수 있다.

[0033] 상세히 설명하기 위해 도 6을 더 참조하면, 액티브 매트릭스 유기발광 다이오드 표시장치는, 투명 기관(SUB) 위에 불투명 금속 물질로 만든 스캔 배선(SL)을 포함한다. 한편, 스위칭 박막 트랜지스터(ST) 및 구동 박막 트랜지스터(DT)가 형성될 위치에는 스위칭 차광층(SLS) 및 구동 차광층(DLS)이 형성되어 있다. 또한, 보조 용량(STG)이 형성될 위치에는 제1 보조 용량 전극(ST1)이 형성되어 있다.

[0034] 스캔 배선(SL), 스위칭 차광층(SLS), 구동 차광층(DLS) 및 제1 보조 용량 전극(ST1) 위에는 버퍼 층(BUF)이 도

포되어 기판(SUB) 전체 표면을 덮고 있다. 버퍼 층(BUF) 위에는 반도체 층이 형성되는데, 스위칭 박막 트랜지스터(ST)의 채널영역(SA)은 스위칭 차광층(SLS) 영역 내에 중첩하도록, 구동 박막 트랜지스터(DT)의 채널영역(DA)은 구동 차광층(DLS) 영역 내에 중첩하도록 배치되어 있다. 또한, 반도체 층과 동일한 물질로, 보조 용량(STG)이 형성될 위치에, 제1 보조 용량 전극(ST1)과 중첩하는 제2 보조 용량 전극(ST2)이 형성되어 있다. 제2 보조 용량 전극(ST2)은 섬 모양으로 플로팅(floating)되도록 형성할 수도 있고, 스위칭 박막 트랜지스터(ST)의 반도체 층과 연결될 수도 있다. 도 5에서는 제2 보조 용량 전극(ST2)이 스위칭 박막 트랜지스터(ST)의 반도체 층과 연결된, 특히 드레인 영역에서 연장된 구조로 나타내었다.

[0035] 스위칭 채널영역(SA) 및 구동 채널영역(DA)의 각 상부에는 게이트 절연막(GI)과 스위칭 게이트 전극(SG) 및 구동 게이트 전극(DG)이 형성되어 있다. 또한, 화소 영역에는 화소 전극 혹은 애노드 전극(ANO)이 형성된다. 화소 전극 혹은 애노드 전극(ANO)과 게이트 전극들(SG, DG)을 동시에 형성하므로, 본 발명에서는 투명 도전 물질로 형성한다. 이 경우, 스위칭 게이트 전극(SG)은 스캔 배선(SL)과 연결하여야 한다. 본 발명에서는, 버퍼층(BUF)을 관통하는 차광층 콘택홀(LH)을 통해 스위칭 게이트 전극(SG)과 스캔 배선(SL)이 연결된다. 게이트 전극 물질이 형성되는 위치에 게이트 절연막(GI)을 형성하는 경우, 차광층 콘택홀(LH)은 게이트 절연막(GI)과 버퍼층(BUF)을 관통하도록 형성할 수 있다.

[0036] 게이트 전극들(SG, DG)과 애노드 전극(ANO) 위에는 중간 절연막(IN)이 기판(SUB) 전체 표면에 걸쳐 형성되어 있다. 중간 절연막(IN) 위에는 구리와 같은 전도성 물질로 형성한 데이터 배선(DL)과 구동 전류 배선(VDD)이 배치된다. 데이터 배선(DL) 및 구동 전류 배선(VDD)은 스캔 배선(SL)과 교차하는 구조를 가져, 화소 영역을 정의한다. 특히, 데이터 배선(DL) 및 구동 전류 배선(VDD)이 스캔 배선(SL)과 교차하는 부위에서, 버퍼층(BUF)과 중간 절연막(IN)이 적층되어 개재되므로, 두 배선 사이에서의 절연성이 우수하며, 기생 용량의 발생을 억제할 수 있다. 특히, 데이터 배선(DL)이 스캔 배선(SL)을 타고 넘어가는 부위에서 절연 파괴(break-down)에 의한 배선 단선 혹은 열화(burning)를 방지할 수 있다.

[0037] 또한, 중간 절연막(IN) 위에는, 데이터 배선(DL)에서 분기하는 스위칭 소스 전극(SS) 그리고 스위칭 소스 전극(SS)과 대향하여 배치된 스위칭 드레인 전극(SD)이 형성됨으로써, 스위칭 박막 트랜지스터(ST)가 형성된다. 스위칭 소스 전극(SS)은 스위칭 소스 콘택홀(SSH)을 통해 스위칭 채널영역(SA)의 일측과 연결된다. 스위칭 드레인 전극(SD)은 스위칭 드레인 콘택홀(SDH)을 통해 스위칭 채널영역(SA)의 타측과 연결된다. 마찬가지로 구동 전류 배선(VDD)에서 분기하는 구동 소스 전극(DS) 그리고 구동 소스 전극(DS)과 대향하여 배치된 구동 드레인 전극(DD)이 형성됨으로써, 구동 박막 트랜지스터(DT)가 형성된다. 구동 소스 전극(DS)은 구동 소스 콘택홀(DSH)을 통해 구동 채널영역(DA)의 일측과 연결된다. 구동 드레인 전극(DD)은 구동 드레인 콘택홀(DDH)을 통해 구동 채널영역(DA)의 타측과 연결된다. 한편, 스위칭 드레인 전극(SD)은 게이트 콘택홀(GH)을 통해 구동 게이트 전극(DG)과 연결된다.

[0038] 소스-드레인 요소들이 형성된 기판(SUB) 전체 표면 위에는 보호막(PAS) 혹은 बैं크(BN)이 도포되어 있다. 다른 예로, 보호막(PAS)과 बैं크(BA)가 순차적으로 적층된 구조를 가질 수도 있다. 보호막(PAS) 혹은 बैं크(BN) 그리고 애노드 전극(ANO)을 덮는 중간 절연막(IN)에는 애노드 전극(ANO)에서 발광 영역을 정의하는 개구부가 형성되어 있다.

[0039] 유기발광 다이오드 표시장치의 경우, बैं크(BN)가 형성된 기판(SUB)에서 애노드 전극(ANO) 위에 유기발광 층(OL)과 캐소드 전극(CAT)이 순차적으로 적층된다. 즉, 애노드 전극(ANO), 유기발광 층(OL) 및 캐소드 전극(CAT)의 적층구조로 유기발광 다이오드(OLE)가 구동 박막 트랜지스터(DT)에 연결되어 있다.

[0040] 본 발명의 설명에서, 칼라 필터에 대한 언급을 하지 않았다. 칼라 필터를 사용하면서 하부 발광형으로 구성할 경우, 애노드 전극(ANO) 하부에 칼라 필터를 형성하는 것이 바람직하다. 상부 발광형으로 구성할 경우에는, 애노드 전극(ANO) 위에 형성하는 것이 바람직하다. 경우에 따라서는, 유기발광 층(OL)이 적, 녹, 청 중 어느 하나를 발현하는 발광 물질을 사용하고, 각 화소 영역에 독립적으로 배치함으로써 칼라 필터를 적용하지 않는 구조를 가질 수도 있다.

[0041] 본 발명의 일 실시 예를 설명하는 도 5에서는 스위칭 차광층(SLS)과 구동 차광층(DLS)이 섬 모양으로 독립된 형태로 도시하였다. 하지만, 필요하다면, 게이트 전극들(SG, DG)과 연결하여 이중 게이트 구조를 가질 수도 있다. 예를 들어, 스위칭 차광층(SLS)은 스캔 배선(SL)에서 연장되는 형태로 형성할 수 있다. 반면에 구동 차광층(DLS)은 구동 게이트 전극(DG)과 별도의 콘택홀(도시하지 않음)을 통해 연결될 수 있다.

- [0042] 이하, 도 7a 내지 7g 그리고 도 8을 참조하여 본 발명에 의한 유기발광 다이오드 표시장치의 제조 방법을 설명한다. 도 7a 내지 7g는, 도 5에서 절취선 II-II'로 자른, 본 발명에 의한 유기발광 다이오드 표시장치의 제조 방법을 나타내는 단면도들이다. 도 8은 본 발명에 의한 유기발광 다이오드 표시장치의 제조 공정을 개략적으로 나타낸 흐름도이다.
- [0043] 먼저, 기판(SUB) 위에 불투명하고, 전도성이 우수한 금속 물질을 도포한다. 제1 마스크 공정으로 금속 물질을 패터닝하여, 스캔 배선(SL), 차광층(SLS, DLS) 및 제1 보조 용량 전극(ST1)을 형성한다. (도 8의 S100) 스캔 배선(SL)은 기판(SUB)의 일측 방향으로 진행하도록 배치한다. 차광층은 나중에 형성될 박막 트랜지스터의 반도체 층 특히, 채널 영역과 중첩하도록 배치하는 것이 바람직하다. 예를 들어, 스위칭 차광층(SLS)는 스위칭 박막 트랜지스터(ST)가 형성될 위치에, 구동 차광층(DLS)는 구동 박막 트랜지스터(ST)가 형성될 위치에 배치한다. 또한, 보조 용량(STG)을 형성할 위치에는 제1 보조 용량 전극(ST1)을 형성한다. (도 7a)
- [0044] 스캔 배선(SL), 차광층(SLS, DLS) 및 제1 보조 용량 전극(ST1)이 형성된 기판(SUB)의 전체 표면 위에 버퍼층(BUF)을 도포한다. 순차적으로 버퍼층(BUF) 위에, 인듐-갈륨-아연-산화물(Indium-Gallium-Zinc-Oxide: IGZO)과 같은 금속 산화물 반도체 물질을 도포한다. 제2 마스크 고정으로 산화물 반도체 물질을 패터닝하여 반도체 층(SE)과 제2 보조 용량 전극(ST2)을 형성한다. (도 8의 S200) 반도체 층(SE)은 스위칭 박막 트랜지스터(ST)와 구동 박막 트랜지스터(DT)가 형성될 위치에 형성하는 것이 바람직하다. 제2 보조 용량 전극(ST2)은 제1 보조 용량 전극(ST1)과 중첩하도록 배치하는 것이 바람직하다. 특히, 제2 보조 용량 전극(ST2)은 스위칭 박막 트랜지스터(ST)에 배치된 반도체 층에서 연장되도록 형성할 수도 있다. (도 7b)
- [0045] 반도체 층(SE)과 제2 보조 용량 전극(ST2)이 형성된 기판(SUB) 전체 표면 위에 절연물질을 도포한다. 제3 마스크 공정으로 절연 물질을 패터닝하여, 게이트 절연막(GI)을 형성한다. 특히, 게이트 절연막(GI)은 반도체 층(SE)의 중앙부를 덮고 양측부를 노출하도록 형성한다. 이 과정에서 노출된 반도체 층(SE)의 양측부는 도체화된다. 반면에, 중앙부는 반도체 상태로 남아 채널 영역으로 정의된다. 즉, 스위칭 박막 트랜지스터(ST) 위치에는 스위칭 채널 영역(SA)이, 구동 박막 트랜지스터(DT) 위치에는 구동 채널 영역(DA)이 정의된다. 이때, 제2 보조 용량 전극(ST2) 위에도 절연물질을 제거하여, 도체화하는 것이 바람직하다. 게이트 절연막(GI) 위에 형성되는 게이트 전극이 스캔 배선(SL)과 연결될 수 있도록 하기 위해, 스캔 배선(SL)의 일부를 노출하는 차광층 콘택홀(LH)을 형성한다. (도 8의 300) 유사한 성질을 갖는 게이트 절연막(GI)과 버퍼층(BUF)을 동시에 패터닝하기 위해, 필요하다면 하프-톤 마스크를 사용하는 것이 바람직하다. (도 7c)
- [0046] 게이트 절연막(GI)이 형성된 기판(SUB) 전체 표면 위에 인듐-주석-산화물(Indium-Tin-Oxide: ITO)과 같은 투명 도전 물질을 도포한다. 제4 마스크 공정으로 투명 도전 물질을 패터닝하여, 게이트 전극(SG, DG) 및 애노드 전극(ANO)을 형성한다. (도 8의 400) 스위칭 게이트 전극(SG)은 스위칭 채널 영역(SA)을 정의하는 게이트 절연막(GI) 위에 형성하는 것이 바람직하다. 마찬가지로 구동 게이트 전극(DG)은 구동 채널 영역(DA)을 정의하는 게이트 절연막(GI) 위에 형성하는 것이 바람직하다. 한편, 스위칭 게이트 전극(SG)은 스캔 배선(SL)과 중첩하도록 연장되어, 차광층 콘택홀(LH)을 통해 스캔 배선(SL)과 접촉한다. 또한, 화소 영역 내에는 애노드 전극(ANO)을 형성한다. 투명 도전 물질을 이용하여, 애노드 전극(ANO)과 게이트 전극들(SG, DG)을 동시에 형성함으로써, 마스크 공정 수를 절감할 수 있다. (도 7d)
- [0047] 투명 도전층 요소들이 형성된 기판(SUB) 전체 표면 위에 절연 물질을 도포하여 중간 절연막(IN)을 형성한다. 제5 마스크 공정으로 중간 절연막(IN)을 패터닝하여, 필요한 콘택홀들을 형성한다. (도 8의 500) 예를 들어, 스위칭 채널영역(SA)의 양측부 도체화 영역을 노출하는 스위칭 소스 콘택홀(SSH)과 스위칭 드레인 콘택홀(SDH)을 형성한다. 마찬가지로, 구동 채널 영역(DA)의 양측부 도체화 영역을 노출하는 구동 소스 콘택홀(DSH)과 구동 드레인 콘택홀(DDH)을 형성한다. 또한, 구동 게이트 전극(DG)의 일부를 노출하는 게이트 콘택홀(GH)을 형성한다. (도 7e)
- [0048] 콘택홀들이 형성된 기판(SUB) 전체 표면 위에 전도성이 우수한 금속 물질을 도포한다. 전도성이 우수한 금속 물질은 구리 혹은 알루미늄을 포함하는 것이 바람직하다. 필요하다면, 몰리브덴/구리/몰리브덴과 같이 3중 혹은 이중 금속이 적층된 구조를 가질 수도 있다. 제6 마스크 공정으로 금속 물질을 패터닝하여 소스-드레인 요소를 형성한다. (도 8의 600) 소스-드레인 요소에는 기판(SUB)의 타측 방향으로 연장되는 데이터 배선(DL) 및 구동 전류 배선(VDD), 데이터 배선(DL)에서 분기하는 스위칭 소스 전극(SS) 및 구동 전류 배선(VDD)에서 분기하는 구동 소스 전극(DS) 그리고 스위칭 소스 전극(SS)과 대향하는 스위칭 드레인 전극(SD) 및 구동 소스 전극(DS)과 대향하는 구동 드레인 전극(DD)을 포함한다.
- [0049] 스위칭 소스 전극(SS)은 스위칭 소스 콘택홀(SSH)을 통해 스위칭 채널 영역(SA)의 일측부와 연결된다. 스위칭

드레인 전극(SD)은 스위칭 드레인 콘택홀(SDH)을 통해 스위칭 채널 영역(SA)의 타측부와 연결된다. 마찬가지로, 구동 소스 전극(DS)은 구동 소스 콘택홀(DSH)을 통해 구동 채널 영역(DA)의 일측부와 연결된다. 구동 드레인 전극(DD)은 구동 드레인 콘택홀(DDH)을 통해 구동 채널 영역(DA)의 타측부와 연결된다. (도 7f)

[0050] 소스-드레인 요소들이 형성된 기판(SUB) 전체 표면 위에 절연 물질을 도포한다. 여기서, 절연 물질은 무기 절연 물질 혹은 유기 절연 물질을 포함할 수 있다. 경우에 따라서는, 무기 절연 물질과 유기 절연 물질을 순차적으로 적층할 수도 있다. 유기발광 다이오드 표시장치의 경우에는, 감광성 유기 절연 물질을 도포할 수 있다. 제7 마스크 공정으로 절연 물질을 패터하여 애노드 전극(ANO)의 대부분을 노출하는 개구부를 정의하는 बैं크(BN)을 형성한다. (도 8의 700) (도 7g)

[0051] 이후, 도면으로 도시하지 않았지만, बैं크(BN)가 형성된 기판(SUB) 전체 표면 위에 유기발광 층(OL)과 캐소드 전극(CAT)을 순차적으로 도포하면, 도 6과 같은 구조를 갖는 유기발광 다이오드 표시장치를 완성할 수 있다. 여기서 박막 트랜지스터 기판을 제조하는 과정을 중심으로 설명하였다.

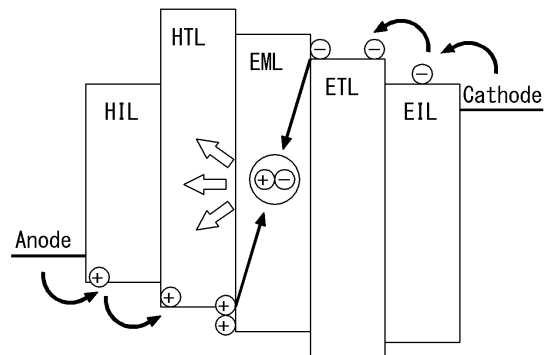
[0052] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

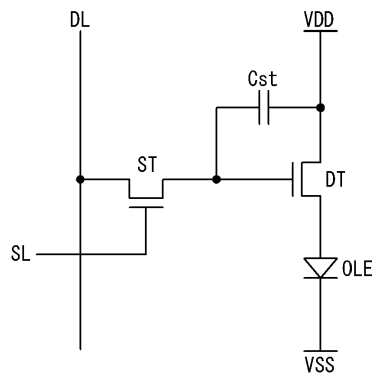
[0053] DL: 데이터 배선 SL: 스캔 배선
VDD: 구동 전류 배선 ST: 스위칭 TFT
DT: 구동 TFT OLED: 유기발광 다이오드
CAT: 캐소드 전극(층) ANO: 애노드 전극(층)
BN: बैं크 CF: 칼라 필터
OLE: (백색) 유기발광 층 SUB: 기판
PAS: 보호막 OC: 오버코트 층
SG, DG: 게이트 전극 SE: 반도체 층
SS, DS: 소스 전극 SD, DD: 드레인 전극
BUF: 버퍼층 PH: 화소 콘택홀
SLS: 스위칭 차광층 DLS: 구동 차광층
STG: 보조 용량 SG1: 제1 보조 용량 전극
SG2: 제2 보조 용량 전극 SG3: 제3 보조 용량 전극

도면

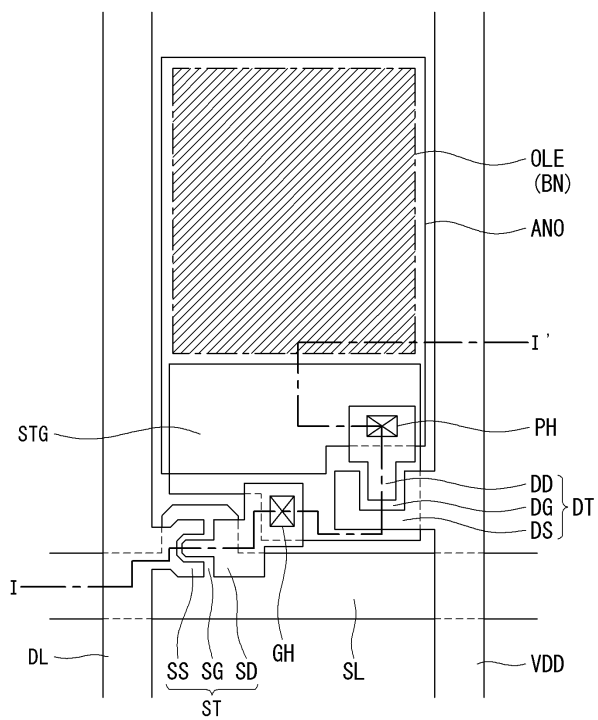
도면1



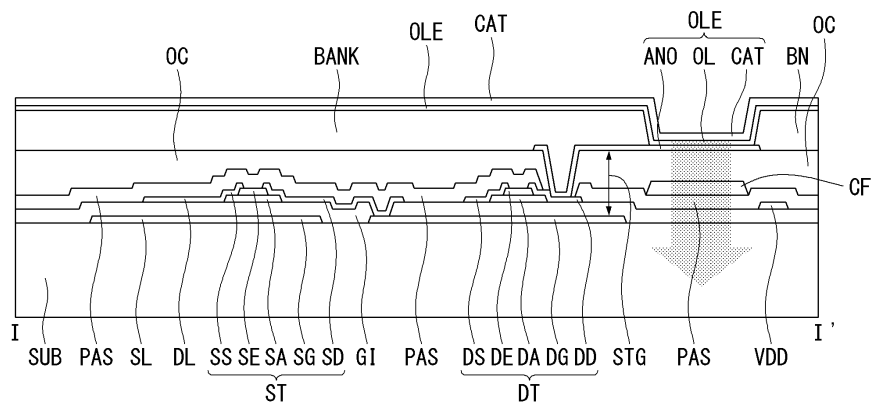
도면2



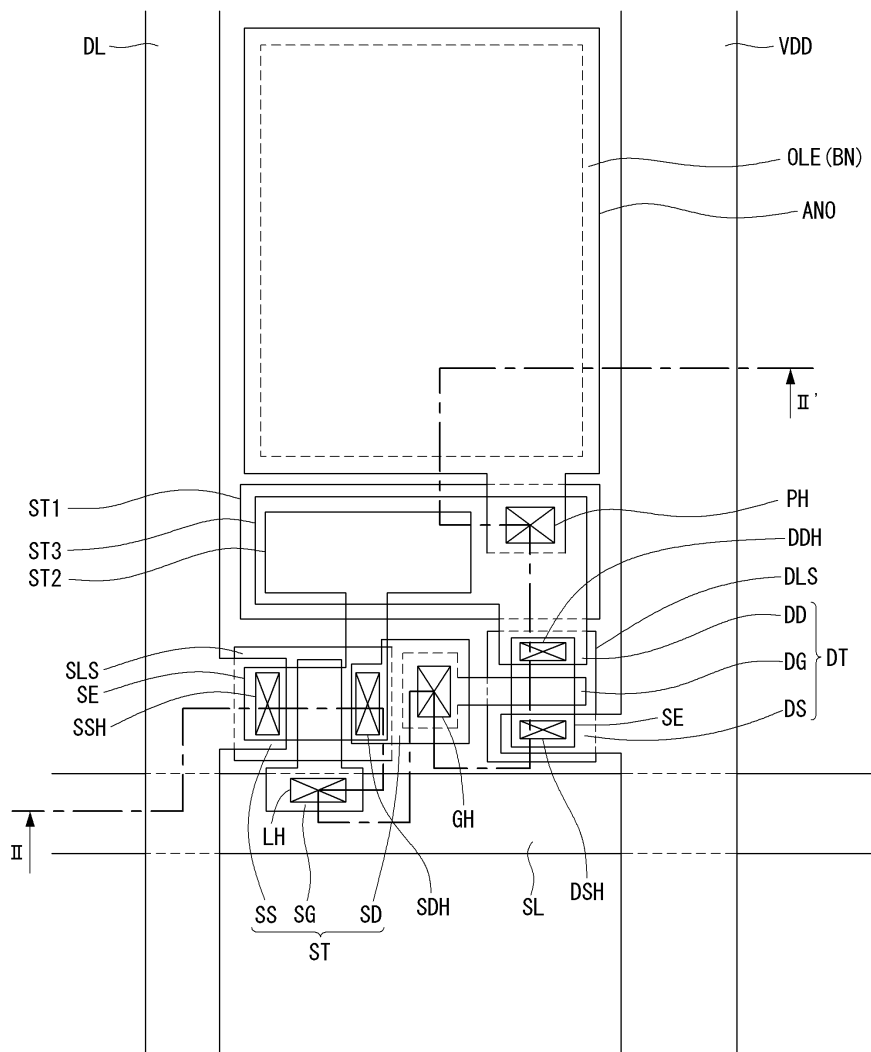
도면3



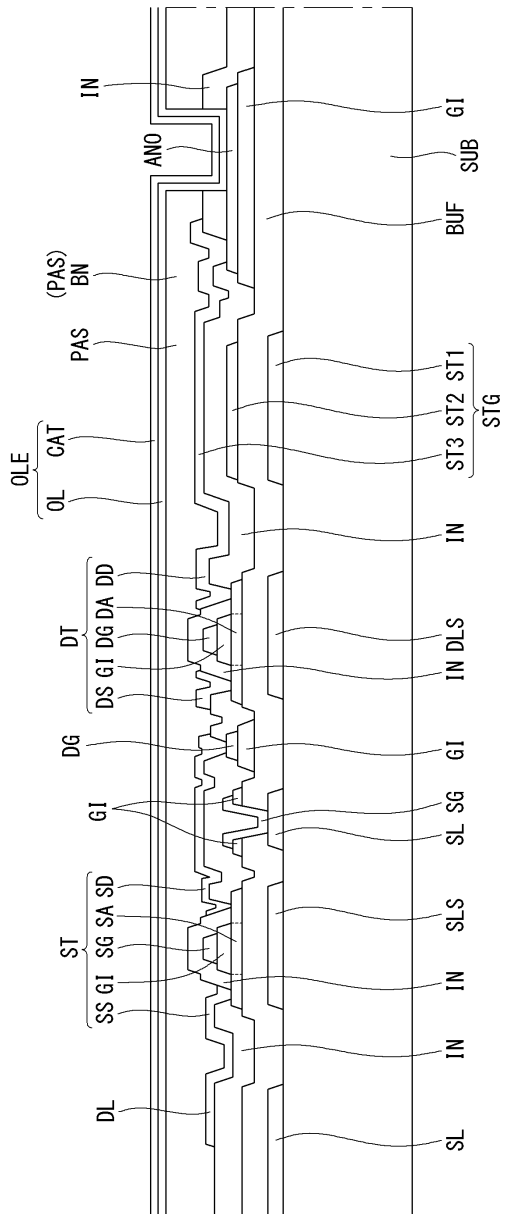
도면4



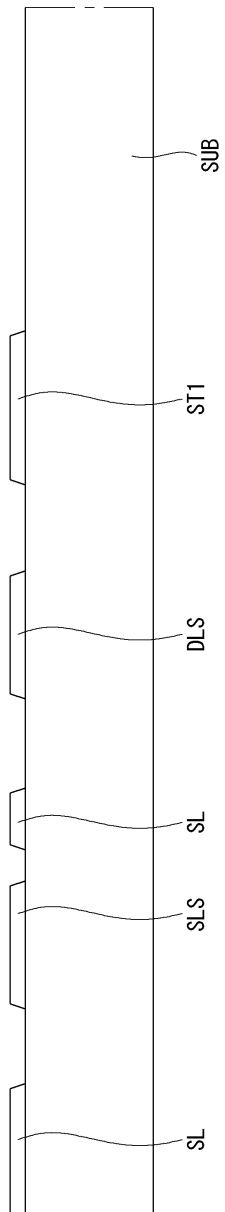
도면5



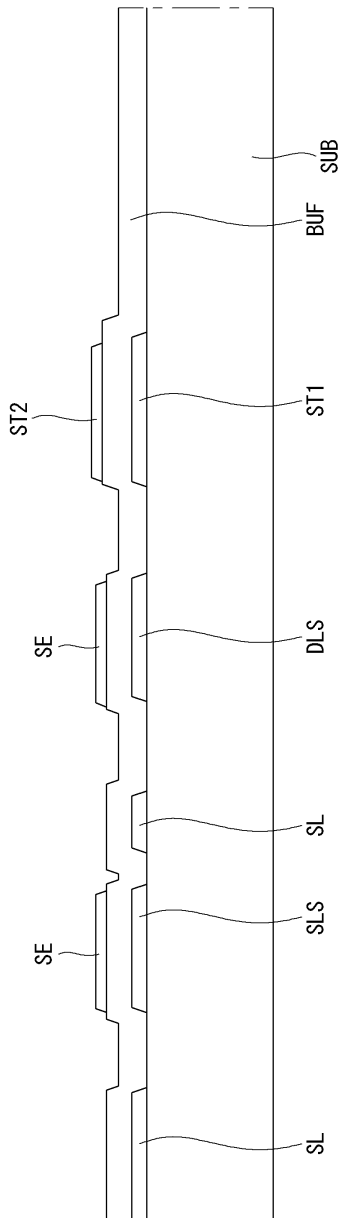
도면6



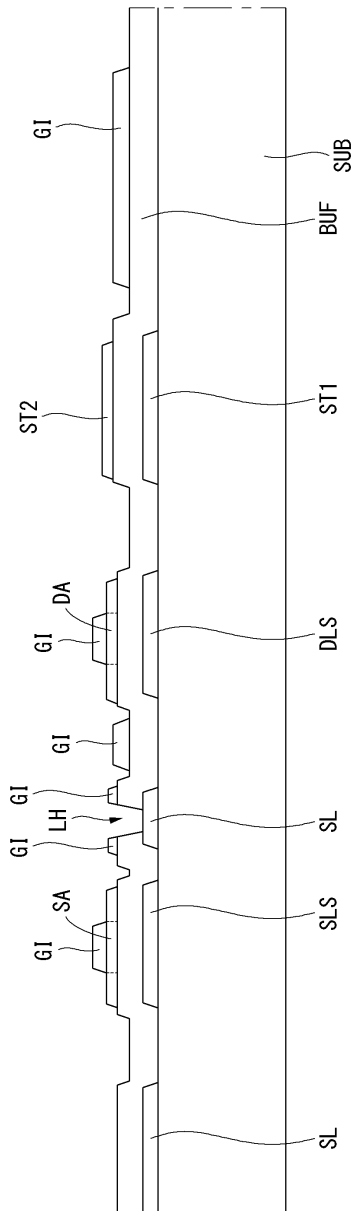
도면7a



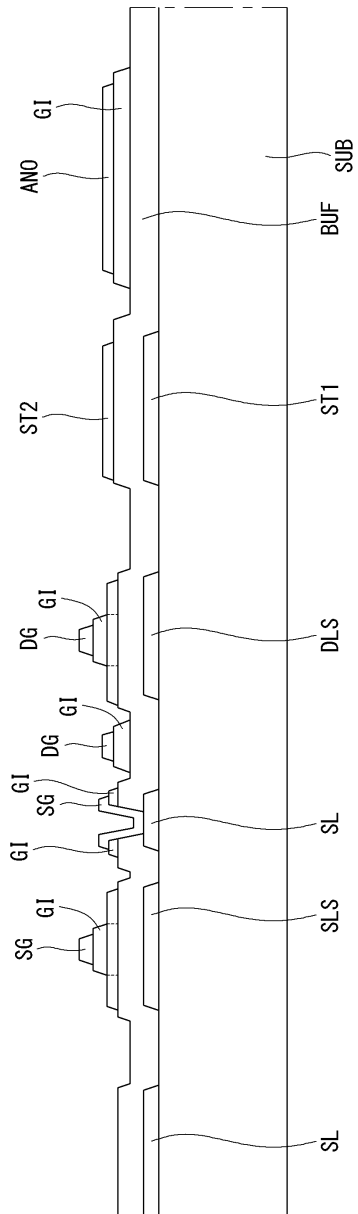
도면7b



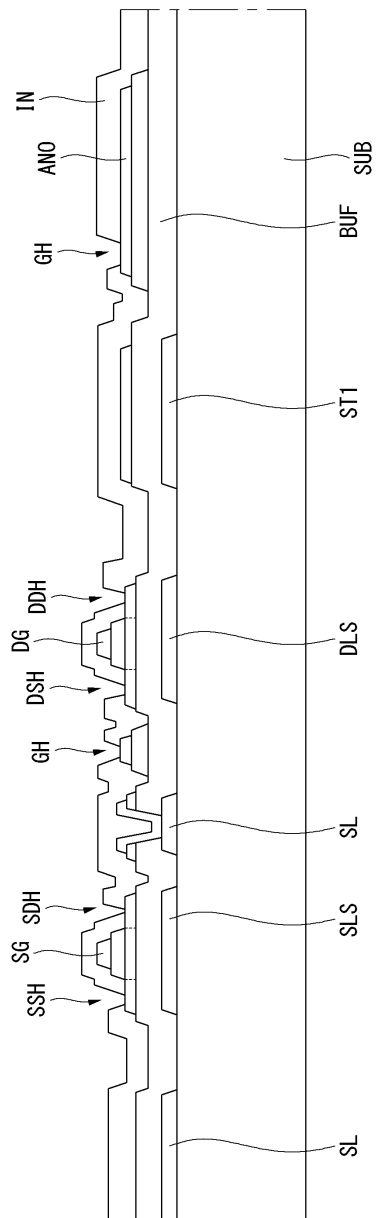
도면7c



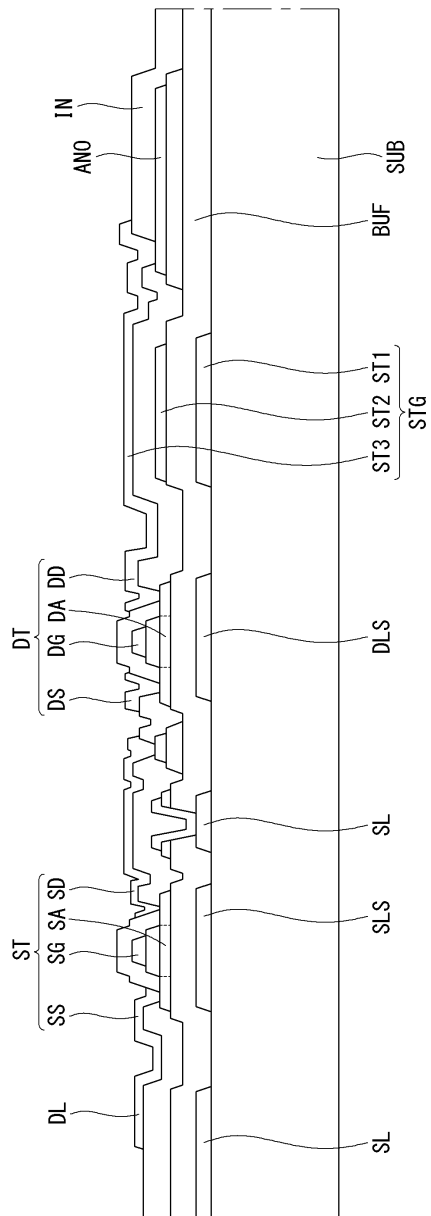
도면7d



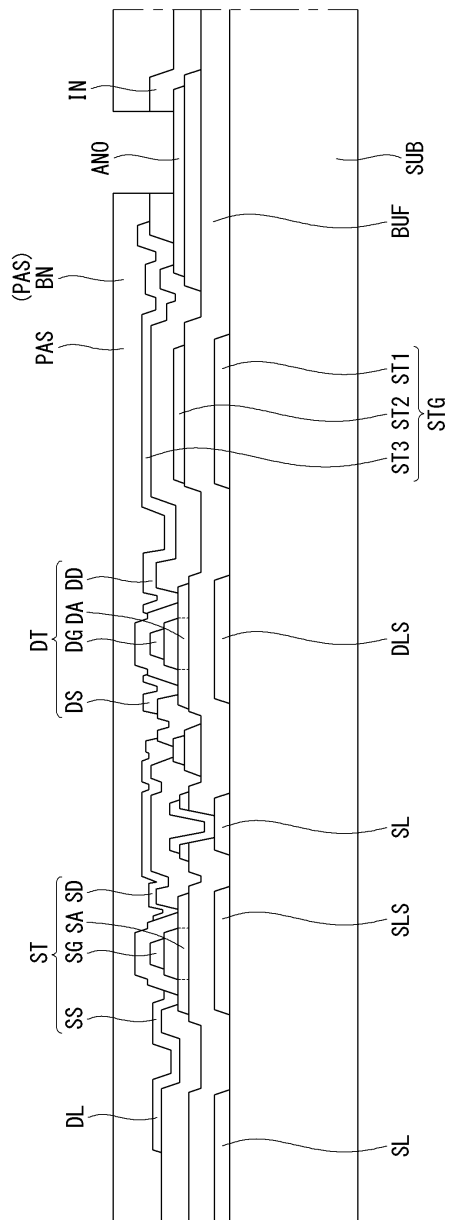
도면7e



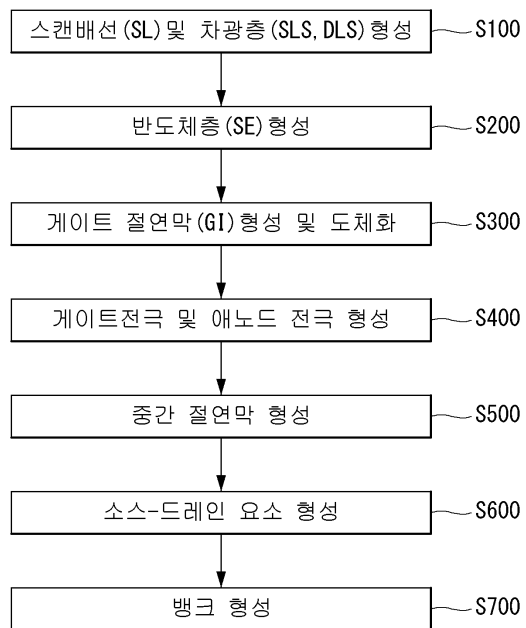
도면7f



도면7g



도면8



专利名称(译)	标题：用于平板显示器的薄膜晶体管基板及其制造方法		
公开(公告)号	KR1020160039092A	公开(公告)日	2016-04-08
申请号	KR1020140132060	申请日	2014-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK SE HEE 박세희		
发明人	박세희		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 H01L27/3265 H01L27/3272 H01L51/5206		
外部链接	Espacenet		

摘要(译)

本发明涉及用于诸如有机发光二极管显示器的平板显示器的薄膜晶体管基板及其制造方法。根据本发明的用于平板显示器的薄膜晶体管基板包括布置在基板上的扫描布线，覆盖扫描布线的缓冲层，布置在缓冲层上的半导体层，阳极电极，覆盖栅电极的中间绝缘膜和设置在中间绝缘膜上的数据布线。扫描线布置在基板上的像素区域的一侧上。栅极绝缘膜覆盖沟道区，沟道区是半导体层的中心区域。门电极与栅极绝缘膜上的沟道区重叠，并连接到扫描布线。阳极电极设置在栅极绝缘膜上的像素区域中。中间绝缘膜覆盖栅电极并暴露像素电极的中心部分。数据布线在像素区域的另一个方向上形成在中间绝缘膜上它布置。

