



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0138527
(43) 공개일자 2015년12월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2014-0065307

(22) 출원일자 2014년05월29일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

인해정

서울특별시 양천구 중앙로52길 16-11, 301호

박용성

서울특별시 송파구 송파대로 567, 520동505호

(74) 대리인

박영우

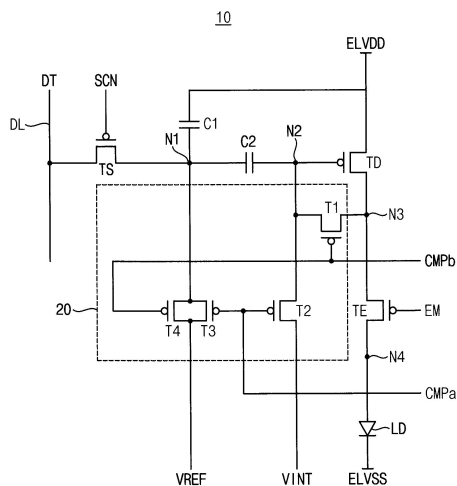
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 회로 및 이를 포함하는 전계발광 디스플레이 장치

(57) 요약

전계발광 디스플레이 장치의 화소 회로는, 데이터 라인과 제1 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 스캔 트랜지스터, 제1 전원 전압과 상기 제1 노드 사이에 결합된 제1 커패시터, 상기 제1 노드와 제2 노드 사이에 결합된 제2 커패시터, 상기 제1 전원 전압과 제3 노드 사이에 결합되고, 게이트 전극이 상기 제2 노드에 결합된 구동 트랜지스터, 상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 발광 제어 트랜지스터, 상기 제4 노드와 상기 제1 전원 전압보다 낮은 제2 전원 전압 사이에 결합된 발광 다이오드, 및 제1 보상 주기 동안에 상기 제2 노드를 초기 전압으로 초기화하고, 상기 제1 보상 주기 후의 제2 보상 주기 동안에 상기 제2 노드와 상기 제3 노드를 전기적으로 연결하는 보상 회로를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

데이터 라인과 제1 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 스캔 트랜지스터;
제1 전원 전압과 상기 제1 노드 사이에 결합된 제1 커패시터;
상기 제1 노드와 제2 노드 사이에 결합된 제2 커패시터;
상기 제1 전원 전압과 제3 노드 사이에 결합되고, 게이트 전극이 상기 제2 노드에 결합된 구동 트랜지스터;
상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 발광 제어 트랜지스터;
상기 제4 노드와 상기 제1 전원 전압보다 낮은 제2 전원 전압 사이에 결합된 발광 다이오드; 및
제1 보상 주기 동안에 상기 제2 노드를 초기 전압으로 초기화하고, 상기 제1 보상 주기 후의 제2 보상 주기 동안에 상기 제2 노드와 상기 제3 노드를 전기적으로 연결하는 보상 회로를 포함하는 전계발광 디스플레이 장치의 화소 회로.

청구항 2

제1 항에 있어서, 상기 보상 회로는,
상기 제1 보상 주기 및 상기 제2 보상 주기 동안에 상기 제1 노드에 기준 전압을 인가하는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 3

제1 항에 있어서, 상기 보상 회로는,
상기 제1 보상 주기 또는 상기 제2 보상 주기 동안에 상기 제4 노드에 상기 초기 전압을 인가하는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 4

제1 항에 있어서,
각각의 프레임 주기는 상기 제1 보상 주기, 상기 제1 보상 주기 후의 상기 제2 보상 주기 및 상기 제2 보상 주기 후의 상기 스캔 트랜지스터가 턴온되는 스캔 주기를 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 5

제4 항에 있어서,
상기 데이터 전압이 상기 기준 전압보다 낮은 경우에 상기 구동 트랜지스터가 턴온되고 상기 데이터 전압이 상기 기준 전압보다 높은 경우에 상기 구동 트랜지스터가 턴오프되는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 6

제1 항에 있어서,
상기 초기 전압은 상기 제1 전원 전압에서 상기 구동 트랜지스터의 문턱 전압을 감산한 전압보다 낮은 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 7

제1 항에 있어서,

상기 초기 전압은 상기 제2 전원 전압인 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 8

제1 항에 있어서, 상기 보상 회로는,

상기 제2 노드와 상기 제3 노드 사이에 결합되고, 게이트 전극으로 상기 제2 보상 주기 동안에 활성화되는 제2 보상 제어 신호를 수신하는 제1 트랜지스터; 및

상기 제2 노드와 상기 초기 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 주기 동안에 활성화되는 제1 보상 제어 신호를 수신하는 제2 트랜지스터를 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 9

제8 항에 있어서, 상기 보상 회로는,

상기 제1 노드와 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 제어 신호를 수신하는 제3 트랜지스터; 및

상기 제1 노드와 상기 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제2 보상 제어 신호를 수신하는 제4 트랜지스터를 더 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 10

제9 항에 있어서, 상기 보상 회로는,

상기 제4 노드와 상기 초기 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 제어 신호 또는 상기 제2 보상 제어 신호를 수신하는 제5 트랜지스터를 더 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 11

제1 항에 있어서,

상기 구동 트랜지스터는 포화 영역에서 동작하는 것을 특징으로 하는 전계발광 디스플레이 장치의 화소 회로.

청구항 12

복수의 행들과 복수의 열들로 형성된 복수의 화소 회로들을 포함하는 화소부;

상기 화소부에 데이터 신호들을 제공하는 데이터 구동부;

행 단위로 상기 화소 회로들을 제어하기 위한 행 제어 신호들을 제공하는 스캔 구동부; 및

상기 화소부, 상기 데이터 구동부 및 상기 스캔 구동부를 제어하는 타이밍 컨트롤러를 포함하고,

상기 화소 회로들의 각각은, 제1 보상 주기 동안에 구동 트랜지스터의 게이트 전극을 초기 전압으로 초기화하고, 상기 제1 보상 주기 후의 제2 보상 주기 동안에 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 드레인 전극을 전기적으로 연결하는 전계발광 디스플레이 장치.

청구항 13

제12 항에 있어서,

상기 스캔 구동부는 순차적으로 활성화되는 복수의 보상 제어 신호들을 발생하는 것을 특징으로 하는 전계발광 디스플레이 장치,

청구항 14

제13 항에 있어서,

상기 복수의 보상 제어 신호들 중 (k-1)번째(k는 자연수) 보상 제어 신호 및 k번째 보상 제어 신호가 k번째 행의 화소 회로들에 제공되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 15

제14 항에 있어서,

상기 k번째 행의 화소 회로들은, 상기 (k-1)번째 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극을 초기 전압으로 초기화하고 상기 k번째 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 드레인 전극을 전기적으로 연결하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 16

제12 항에 있어서,

상기 스캔 구동부는 순차적으로 활성화되는 제1 보상 제어 신호 및 제2 보상 제어 신호를 발생하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 17

제16 항에 있어서,

상기 제1 보상 제어 신호 및 상기 제2 보상 제어 신호가 모든 행의 화소 회로들에 공통으로 제공되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 18

제17 항에 있어서,

상기 모든 행의 화소 회로들은, 상기 제1 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극을 초기 전압으로 동시에 초기화하고 상기 제2 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 드레인 전극을 동시에 전기적으로 연결하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 19

제12 항에 있어서, 상기 화소 회로들의 각각은,

데이터 라인과 제1 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 스캔 트랜지스터;

제1 전원 전압과 상기 제1 노드 사이에 결합된 제1 커패시터;

상기 제1 노드와 제2 노드 사이에 결합된 제2 커패시터;

상기 제1 전원 전압과 제3 노드 사이에 결합되고, 게이트 전극이 상기 제2 노드에 결합된 구동 트랜지스터;

상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 발광 제어 트랜지스터;

상기 제4 노드와 상기 제1 전원 전압보다 낮은 제2 전원 전압 사이에 결합된 발광 다이오드; 및

상기 제1 보상 주기 동안에 상기 구동 트랜지스터의 게이트 전극에 상응하는 상기 제2 노드를 상기 초기 전압으로 초기화하고, 상기 제2 보상 주기 동안에 상기 제2 노드와 상기 구동 트랜지스터의 드레인 전극에 상응하는 상기 제3 노드를 전기적으로 연결하는 보상 회로를 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 20

제19 항에 있어서, 상기 보상 회로는,

상기 제2 노드와 상기 제3 노드 사이에 결합되고, 게이트 전극으로 상기 제2 보상 주기 동안에 활성화되는 제2 보상 제어 신호를 수신하는 제1 트랜지스터;

상기 제2 노드와 상기 초기 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 주기 동안에 활성화되는 제1 보상 제어 신호를 수신하는 제2 트랜지스터;

상기 제1 노드와 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 제어 신호를 수신하는 제3 트랜지스터; 및

상기 제1 노드와 상기 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제2 보상 제어 신호를 수신하는 제4 트랜지스터를 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 장치에 관한 것으로서, 더욱 상세하게는 화소 회로 및 이를 포함하는 전계발광 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 액정(liquid crystal) 디스플레이 장치, 플라즈마(plasma) 디스플레이 장치, 전계발광(electroluminescent) 디스플레이 장치와 같은 평판 디스플레이 장치들이 개발되고 있다. 특히 전계발광 디스플레이 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 발광 다이오드(LED; light emitting diode) 또는 유기 발광 다이오드(OLED; organic light emitting diode)를 이용하여 빠른 응답 속도와 낮은 소비전력으로 구동될 수 있다.

[0003] 전계발광 디스플레이 장치의 구동은 계조를 표현하는 방식에 따라 아날로그 구동 또는 디지털 구동으로 구분될 수 있다. 아날로그 구동은 발광 다이오드(이하, 유기 발광 다이오드를 포함한다)가 동일한 발광 시간 동안 발광 하면서 화소에 인가되는 데이터 전압의 레벨을 변경함으로써 계조를 표현할 수 있다. 디지털 구동은 화소에 동일한 레벨의 데이터 전압을 인가하면서 발광 다이오드가 발광되는 발광 시간을 변경함으로써 계조를 표현할 수 있다. 이러한 디지털 구동은, 아날로그 구동에 비하여, 전계발광 디스플레이 장치가 간단한 구조의 화소 및 구동 IC(Integrated Circuit)를 포함하는 장점이 있다. 또한, 전계발광 디스플레이 장치의 디스플레이 패널이 대형화되고 해상도가 높아질수록 디지털 구동을 채택할 필요성이 증가된다.

[0004] 디지털 구동에서는, 화소들의 문턱 전압 편차, 전원 전압의 저항성 강하(IR-drop) 등에 의하여 디스플레이 장치에 의해 표시되는 이미지의 품질이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 온도 변화, 전원전압의 변화, 구동 트랜지스터의 문턱 전압 편차, 발광 다이오드의 열화와 같은 변동 요인들(variation factors)에 강건한(robust) 화소 회로를 제공하는 것이다.

[0006] 또한 본 발명의 일 목적은 상기 변동 요인들에 강건한 화소 회로들을 포함하는 전계발광 디스플레이 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 전계발광 디스플레이 장치의 화소 회로는, 데이터 라인과 제1 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 스캔 트랜지스터, 제1 전원 전압과 상기 제1 노드 사이에 결합된 제1 커패시터, 상기 제1 노드와 제2 노드 사이에 결합된 제2 커패시터, 상기 제1 전원 전압과 제3 노드 사이에 결합되고, 게이트 전극이 상기 제2 노드에 결합된 구동 트랜지스터, 상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 발광 제어 트랜지스터, 상기 제4 노드와 상기 제1 전원 전압보다 낮은 제2 전원 전압 사이에 결합된 발광 다이오드, 및 제1 보상 주기 동안에 상기 제2 노드를 초기 전압으로 초기화하고, 상기 제1 보상 주기 후의 제2 보상 주기 동안에 상기 제2 노드와 상기 제3 노드를 전기적으로 연결하는 보상 회로를 포함한다.

[0008] 상기 보상 회로는, 상기 제1 보상 주기 및 상기 제2 보상 주기 동안에 상기 제1 노드에 기준 전압을 인가할 수 있다.

- [0009] 상기 보상 회로는, 상기 제1 보상 주기 또는 상기 제2 보상 주기 동안에 상기 제4 노드에 상기 초기 전압을 인가할 수 있다.
- [0010] 각각의 프레임 주기는 상기 제1 보상 주기, 상기 제1 보상 주기 후의 상기 제2 보상 주기 및 상기 제2 보상 주기 후의 상기 스캔 트랜지스터가 턴온되는 스캔 주기를 포함할 수 있다.
- [0011] 상기 데이터 전압이 상기 기준 전압보다 낮은 경우에 상기 구동 트랜지스터가 턴온되고 상기 데이터 전압이 상기 기준 전압보다 높은 경우에 상기 구동 트랜지스터가 턴오프될 수 있다.
- [0012] 상기 초기 전압은 상기 제1 전원 전압에서 상기 구동 트랜지스터의 문턱 전압을 감산한 전압보다 낮을 수 있다.
- [0013] 상기 초기 전압은 상기 제2 전원 전압일 수 있다.
- [0014] 상기 보상 회로는, 상기 제2 노드와 상기 제3 노드 사이에 결합되고, 게이트 전극으로 상기 제2 보상 주기 동안에 활성화되는 제2 보상 제어 신호를 수신하는 제1 트랜지스터, 및 상기 제2 노드와 상기 초기 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 주기 동안에 활성화되는 제1 보상 제어 신호를 수신하는 제2 트랜지스터를 포함할 수 있다.
- [0015] 상기 보상 회로는, 상기 제1 노드와 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 제어 신호를 수신하는 제3 트랜지스터, 및 상기 제1 노드와 상기 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제2 보상 제어 신호를 수신하는 제4 트랜지스터를 더 포함할 수 있다.
- [0016] 상기 보상 회로는, 상기 제4 노드와 상기 초기 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 제어 신호 또는 상기 제2 보상 제어 신호를 수신하는 제5 트랜지스터를 더 포함할 수 있다.
- [0017] 구동 트랜지스터는 포화 영역에서 동작할 수 있다.
- [0018] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 전계발광 디스플레이 장치는, 복수의 행들과 복수의 열들로 형성된 복수의 화소 회로들을 포함하는 화소부, 상기 화소부에 데이터 신호들을 제공하는 데이터 구동부, 행 단위로 상기 화소 회로들을 제어하기 위한 행 제어 신호들을 제공하는 스캔 구동부, 및 상기 화소부, 상기 데이터 구동부 및 상기 스캔 구동부를 제어하는 타이밍 컨트롤러를 포함한다. 상기 화소 회로들의 각각은, 제1 보상 주기 동안에 구동 트랜지스터의 게이트 전극을 초기 전압으로 초기화하고, 상기 제1 보상 주기 후의 제2 보상 주기 동안에 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 드레인 전극을 전기적으로 연결한다.
- [0019] 상기 스캔 구동부는 순차적으로 활성화되는 복수의 보상 제어 신호들을 발생할 수 있다.
- [0020] 상기 복수의 보상 제어 신호들 중 (k-1)번째(k는 자연수) 보상 제어 신호 및 k번째 보상 제어 신호가 k번째 행의 화소 회로들에 제공될 수 있다.
- [0021] 상기 k번째 행의 화소 회로들은, 상기 (k-1)번째 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극을 초기 전압으로 초기화하고 상기 k번째 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 드레인 전극을 전기적으로 연결할 수 있다.
- [0022] 상기 스캔 구동부는 순차적으로 활성화되는 제1 보상 제어 신호 및 제2 보상 제어 신호를 발생할 수 있다.
- [0023] 상기 제1 보상 제어 신호 및 상기 제2 보상 제어 신호가 모든 행의 화소 회로들에 공통으로 제공될 수 있다.
- [0024] 상기 모든 행의 화소 회로들은, 상기 제1 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극을 초기 전압으로 동시에 초기화하고 상기 제2 보상 제어 신호가 활성화되는 동안에 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 드레인 전극을 동시에 전기적으로 연결할 수 있다.
- [0025] 상기 화소 회로들의 각각은, 데이터 라인과 제1 노드 사이에 결합되고, 게이트 전극으로 스캔 신호를 수신하는 스캔 트랜지스터, 제1 전원 전압과 상기 제1 노드 사이에 결합된 제1 커패시터, 상기 제1 노드와 제2 노드 사이에 결합된 제2 커패시터, 상기 제1 전원 전압과 제3 노드 사이에 결합되고, 게이트 전극이 상기 제2 노드에 결합된 구동 트랜지스터, 상기 제3 노드와 제4 노드 사이에 결합되고, 게이트 전극으로 발광 제어 신호를 수신하는 발광 제어 트랜지스터, 상기 제4 노드와 상기 제1 전원 전압보다 낮은 제2 전원 전압 사이에 결합된 발광 다이오드, 및 상기 제1 보상 주기 동안에 상기 구동 트랜지스터의 게이트 전극에 상응하는 상기 제2 노드를 상기 초기 전압으로 초기화하고, 상기 제2 보상 주기 동안에 상기 제2 노드와 상기 구동 트랜지스터의 드레인 전극에 상응하는 상기 제3 노드를 전기적으로 연결하는 보상 회로를 포함할 수 있다.

[0026] 상기 보상 회로는, 상기 제2 노드와 상기 제3 노드 사이에 결합되고, 게이트 전극으로 상기 제2 보상 주기 동안에 활성화되는 제2 보상 제어 신호를 수신하는 제1 트랜지스터, 상기 제2 노드와 상기 초기 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 주기 동안에 활성화되는 제1 보상 제어 신호를 수신하는 제2 트랜지스터, 상기 제1 노드와 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제1 보상 제어 신호를 수신하는 제3 트랜지스터, 및 상기 제1 노드와 상기 기준 전압 사이에 결합되고, 게이트 전극으로 상기 제2 보상 제어 신호를 수신하는 제4 트랜지스터를 포함할 수 있다.

발명의 효과

[0027] 본 발명의 실시예들에 따른 화소 회로 및 이를 포함하는 전계발광 디스플레이 장치는, 각 화소의 특성을 반영하여 구동 트랜지스터의 게이트 전압을 보상함으로써, 전원 전압의 편차, 구동 트랜지스터의 문턱 전압의 편차 등에 따른 휘도의 변화를 감소하고, 디스플레이 이미지의 품질을 향상시킬 수 있다.

[0028] 또한 본 발명의 실시예들에 따른 화소 회로 및 이를 포함하는 전계발광 디스플레이 장치는, 구동 트랜지스터가 포화 영역에서 동작함으로써, 열화나 온도 변화에 의한 발광 다이오드의 특성 변화에 따른 휘도의 변화를 감소하고 디스플레이 이미지의 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 화소 회로를 나타내는 회로도이다.
 도2는 도 1의 화소 회로의 동작을 나타내는 타이밍도이다.
 도3은 본 발명의 일 실시예에 따른 전계발광 디스플레이 장치를 나타내는 블록도이다.
 도4는 도 3의 전계발광 디스플레이 장치의 동작을 나타내는 타이밍도이다.
 도5는 도 3의 전계발광 디스플레이 장치의 구동 방법의 일 예를 나타내는 도면이다.
 도6은 본 발명의 일 실시예에 따른 전계발광 디스플레이 장치를 나타내는 블록도이다.
 도7은 도 6의 전계발광 디스플레이 장치의 동작을 나타내는 타이밍도이다.
 도8은 도 6의 전계발광 디스플레이 장치의 구동 방법의 일 예를 나타내는 도면이다.
 도9 및 10은 본 발명의 실시예들에 따른 화소 회로의 동작을 설명하기 위한 도면들이다.
 도11 및 12는 본 발명의 다른 실시예들에 따른 화소 회로들을 나타내는 회로도들이다.
 도13은 본 발명의 실시예들에 따른 휴대 장치를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 화소 회로를 나타내는 회로도이다.

[0032] 도1을 참조하면, 화소 회로(10)는 스캔 트랜지스터(TS), 제1 커패시터(C1), 제2 커패시터(C2), 구동 트랜지스터(TD), 발광 제어 트랜지스터(TE), 발광 다이오드(LD) 및 보상 회로(20)를 포함한다.

[0033] 스캔 트랜지스터(TS)는 데이터 라인(DL)과 제1 노드(N1) 사이에 결합되고, 게이트 전극으로 스캔 신호(SCN)를 수신한다. 제1 커패시터(C1)는 제1 전원 전압(ELVDD)과 제1 노드(N1) 사이에 결합된다. 제2 커패시터(C2)는 제1 노드(N1)와 제2 노드(N2) 사이에 결합된다. 구동 트랜지스터(TD)는 제1 전원 전압(ELVDD)과 제3 노드(N3) 사이에 결합되고, 게이트 전극이 제2 노드(N2)에 결합된다. 발광 제어 트랜지스터(TE)는 제3 노드(N3)와 제4 노드(N4) 사이에 결합되고, 게이트 전극으로 발광 제어 신호(EM)를 수신한다. 발광 다이오드(LD)는 제4 노드(N4)와 제1 전원 전압(ELVDD)보다 낮은 제2 전원 전압(ELVSS) 사이에 결합된다.

[0034] 도1에는 트랜지스터들이 PMOS 트랜지스터로 구현되는 실시예가 도시되어 있다. 이 경우 PMOS 트랜지스터들의 게이트에 인가되는 신호들은 논리 로우 레벨로 활성화되는 신호들일 수 있다. 스캔 신호(SCN)가 논리 로우 레벨로 활성화되면 스캔 트랜지스터(TE)가 턴온되어 데이터 라인(DL)을 통하여 제공되는 데이터 전압(VDT)이 제1 노드(N1)에 인가된다. 구동 트랜지스터(TD)는 데이터 전압(VDT)에 따라 결정되는 제2 노드(N2)의 전압에 따라 턴온

또는 턴오프된다.

- [0035] 발광 제어 신호(EM)가 논리 로우 레벨로 활성화되면 발광 제어 트랜지스터(TE)가 턴온되고, 데이터 전압(VDT)에 따라서 구동 전류가 발광 다이오드(LD)에 제공된다. 구동 전류에 따라서 발광 다이오드(LD)의 발광 여부 및 휘도가 결정된다. 발광 다이오드(LD)는 임의 종류의 발광 다이오드일 수 있으며, 특히 유기발광(OLED; organic light emitting diode)일 수 있다.
- [0036] 보상 회로(20)는 제1 보상 주기(PC1) 동안에 제2 노드(N2)를 초기 전압(VINT)으로 초기화하고, 제1 보상 주기(PC1) 후의 제2 보상 주기(PC2) 동안에 제2 노드(N2)와 제3 노드(N3)를 전기적으로 연결한다. 또한 보상 회로(20)는 제1 보상 주기(PC1) 및 제2 보상 주기(PC2) 동안에 제1 노드(N1)에 기준 전압을 인가할 수 있다.
- [0037] 도1에 도시된 바와 같이, 보상 회로는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)를 포함하여 구현될 수 있다.
- [0038] 제1 트랜지스터(T1)는 제2 노드(N2)와 제3 노드(N3) 사이에 결합되고, 게이트 전극으로 제2 보상 주기 동안(PC2)에 활성화되는 제2 보상 제어 신호(CMPb)를 수신한다. 제2 트랜지스터(T2)는 제2 노드(N2)와 초기 전압(VINT) 사이에 결합되고, 게이트 전극으로 제1 보상 주기(PC1) 동안에 활성화되는 제1 보상 제어 신호(CMPa)를 수신한다. 이와 같은 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 이용하여 제1 보상 주기(PC1) 동안에 제2 노드(N2)를 초기 전압(VINT)으로 초기화하고, 제1 보상 주기(PC1) 후의 제2 보상 주기(PC2) 동안에 제2 노드(N2)와 제3 노드(N3)를 전기적으로 연결할 수 있다.
- [0039] 제3 트랜지스터(T3)는 제1 노드(N1)와 기준 전압(VREF) 사이에 결합되고, 게이트 전극으로 제1 보상 제어 신호(CMPa)를 수신한다. 제4 트랜지스터(T4)는 제1 노드(N1)와 기준 전압(VREF) 사이에 결합되고, 게이트 전극으로 제2 보상 제어 신호(CMPb)를 수신한다. 이와 같은 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)를 이용하여 제1 보상 주기(PC1) 및 제2 보상 주기(PC2) 동안에 제1 노드(N1)에 기준 전압을 인가할 수 있다.
- [0040] 도2는 도 1의 화소 회로의 동작을 나타내는 타이밍도이다.
- [0041] 도2를 참조하면, 각각의 프레임 주기(PF)는 제1 보상 주기(PC1), 제1 보상 주기(PC1) 후의 제2 보상 주기(PC2) 및 제2 보상 주기(PC2) 후의 스캔-발광 주기(PSE)를 포함한다.
- [0042] 제1 보상 주기(PC1)에서는 제1 보상 제어 신호(CMPa)가 논리 로우 레벨로 활성화되고 제2 보상 주기(PC2)에서는 제2 보상 제어 신호(CMPb)가 논리 로우 레벨로 활성화된다. 스캔-발광 주기(PSE)는 발광 제어 신호(EM)가 논리 로우 레벨로 활성화되어 발광 제어 트랜지스터(TE)가 턴온되는 적어도 하나의 발광 주기(PE) 및 스캔 신호(SCN)가 논리 로우 레벨로 활성화되어 스캔 트랜지스터(TS)가 턴온되는 적어도 하나의 스캔 주기(PS)를 포함한다.
- [0043] 발광 주기(PE)와 스캔 주기(PS)의 상대적인 타이밍은 구동 방식에 따라 다양하게 결정될 수 있다. 예를 들어, 발광 제어 트랜지스터들(TE)이 행 단위로 순차적으로 턴온되는 순차 발광(progressive emission)의 경우에는 도 2에 도시된 바와 같이 발광 주기(PS) 내에 스캔 주기(PS)가 포함될 수 있다. 즉 발광 제어 신호(EM)가 활성화되어 발광 제어 트랜지스터(TE)가 턴온되어 있는 상태에서 스캔 신호(SCN)가 활성화되어 스캔 트랜지스터(TS)가 턴온될 수 있다. 순차 발광 방식의 경우에 발광 주기(PS)는 스캔 주기(PS)가 경과한 뒤에 시작될 수도 있다. 한편 모든 행의 발광 제어 트랜지스터(TE)가 동시에 턴온되는 동시 발광 방식의 경우에는 모든 행에 대해서 스캔 주기(PS)가 경과한 후에 발광 주기(PE)가 시작된다.
- [0044] 이하 도 1 및 도 2를 참조하여 화소 회로(10)의 동작을 설명한다.
- [0045] 화소 회로(10)의 전체적인 동작은 도 2에 도시된 바와 같이 제1 보상 주기(PC1), 제2 보상 주기(PC2) 및 스캔-발광 주기(PSE)를 포함한다.
- [0046] 제1 보상 주기(PC1) 동안에는 제1 보상 제어 신호(CMPa)가 논리 로우 레벨로 활성화되어 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴온된다. 제2 보상 제어 신호(CMPb), 스캔 신호(SCN) 및 발광 제어 신호(EM)는 모두 논리 하이 레벨로 비활성화되어 스캔 트랜지스터(TS), 구동 트랜지스터(TD), 발광 제어 트랜지스터(TE), 제1 트랜지스터(T1) 및 제4 트랜지스터(T4)는 모두 턴오프된다. 결과적으로 제1 보상 주기(PC1) 동안에는 제1 노드(N1)에 기준 전압(VREF)이 인가되고 제2 노드(N2)에 초기 전압(VINT)이 인가된다. 구동 트랜지스터(TE)가 턴온될 수 있도록 초기 전압(VINT)은 제1 전원 전압(ELVDD)에서 구동 트랜지스터(TD)의 문턱 전압(VTH)을 감소한 전압(ELVDD-VTH)보다 낮게 설정된다. 구동 트랜지스터(TE)의 문턱 전압 편차 및 제2 커패시터(C2)에 의한 전압 부스팅 효과를 고려하여 초기 전압(VINT)은 충분히 낮은 전압으로 설정될 수 있다. 예를 들어, 초기 전압(VINT)은

제2 전원 전압(ELVSS)으로 설정될 수 있다.

[0047] 제2 보상 주기(PC2) 동안에는 제2 보상 제어 신호(CMPb)가 논리 로우 레벨로 활성화되어 제1 트랜지스터(T1) 및 제4 트랜지스터(T4)가 턴온된다. 제1 보상 제어 신호(CMPa), 스캔 신호(SCN) 및 발광 제어 신호(EM)는 모두 논리 하이 레벨로 비활성화되어 스캔 트랜지스터(TS), 구동 트랜지스터(TD), 발광 제어 트랜지스터(TE), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)는 모두 턴오프된다. 결과적으로 제2 보상 주기(PC2) 동안에는 제1 노드(N1)에 기준 전압(VREF)이 인가되고 제2 노드(N2)와 제3 노드(N3)가 전기적으로 연결되어 구동 트랜지스터(TD)의 다이오드 결합(diode-connection)이 형성된다. 상기 다이오드 결합에 의하여 제2 노드(N2)에는 제1 전원 전압(ELVDD)에서 구동 트랜지스터(TD)의 문턱 전압(VTH)을 감산한 전압(ELVDD-VTH)이 인가된다.

[0048] 스캔-발광 구간(PSE) 동안에는 제1 보상 제어 신호(CMPa) 및 제2 보상 제어 신호(CMPb)가 논리 하이 레벨로 비활성화되어 제1 내지 제4 트랜지스터들(T1, T2, T3, T4)이 모두 턴오프되고, 발광 제어 신호(EM)는 논리 로우 레벨로 활성화되어 발광 제어 트랜지스터(TE)가 턴온된다.

[0049] 도5 등을 참조하여 후술하는 바와 같이, 각 프레임 주기(PF)는 복수의 스캔-발광 주기들(PSE), 즉 복수의 서브-필드 구동 주기들이 포함할 수 있다. 각각의 스캔-발광 주기(PSE)에는 제1 노드(N1)에 데이터를 로딩 또는 프로그래밍하는 스캔 주기(PS)가 포함된다. 스캔 주기(PS) 동안에는 스캔 신호(SCN)가 논리 로우 레벨로 비활성화되어 스캔 트랜지스터(TS)가 턴온되고 제1 노드(N1)에는 데이터 전압(DT)이 인가된다. 데이터 전압(VDT)이 인가될 때, 제2 커패시터(C2)의 커플링에 의해 제2 노드(N2)의 전압(VB)은 수학적 식 1과 같게 된다.

[0050] [수학적 식 1]

[0051]
$$VB = (ELVDD - VTH + VDT - VREF)$$

[0052] 수학적 식 1에서, VB는 제2 노드(N2)의 전압, ELVDD는 제1 전원 전압, VTH는 구동 트랜지스터(TD)의 문턱 전압, VDT는 제1 노드(N1)에 프로그래밍된 데이터 전압, VREF는 기준 전압을 나타낸다. 이때, 구동 트랜지스터(TD)는 도 10을 참조하여 후술하는 바와 같이 포화 영역(saturation region)에서 동작하며, 구동 트랜지스터(TD)에 흐르는 전류(ITD)는 수학적 식 2와 같이 표현 될 수 있다.

[0053] [수학적 식 2]

[0054]
$$ITD = (1/2) * \mu * Cox * (W/L) * (ELVDD - VB - VTH)^2$$

[0055]
$$= (1/2) * \mu * Cox * (W/L) * (VREF - VDT)^2$$

[0056] 수학적 식 2에서, ITD는 구동 트랜지스터를 통하여 흐르는 전류, μ 는 구동 트랜지스터(TD)의 전하 캐리어의 이동도, Cox는 구동 트랜지스터(TD)의 게이트 커패시턴스(gate capacitance), W와 L은 구동 트랜지스터(TD)의 폭과 길이를 나타낸다.

[0057] 데이터 전압(VDT)이 기준 전압(VREF)보다 낮은 경우에 구동 트랜지스터(TD)가 턴온되고 데이터 전압(VDT)이 기준 전압(VREF)보다 높은 경우에 구동 트랜지스터(TD)가 턴오프된다. 만일 데이터 전압(VDT)이 기준 전압(VREF)보다 낮으면 구동 트랜지스터(TD)의 전류(ITD)는 수학적 식 2와 같이 표현되어 구동 트랜지스터(TD)의 문턱전압이나 제1 전원 전압(ELVDD)과는 무관한 값을 가질 수 있다. 만일 데이터 전압(VDT)이 기준 전압(VREF)보다 높으면 구동 트랜지스터(TD)는 턴오프되기 때문에 전류(ITD)는 수학적 식 2의 값이 아닌 0의 값을 갖는다. 가진다.

[0058] 따라서, 데이터 전압(VDT)의 논리 하이 레벨과 논리 로우 레벨을 기준 전압(VREF)보다 높은 전압 레벨과 낮은 전압 레벨의 2가지 전압 레벨들로 설정하여 구동 트랜지스터(TD)의 턴온 및 턴오프를 제어할 수 있다. 구동 트랜지스터(TD)가 턴온될 때에는 수학적 식 2의 전류(ITD)가 발광 다이오드(LD)로 흐르며, 턴오프될 때에는 발광 다이오드(LD)로 전류가 흐르지 않도록 하여 펄스폭 변조(PWM; pulse width modulation) 구동 방식에 의해 발광 다이오드(LD)의 발광 시간을 조절하여 계조를 표현할 수 있다.

[0059] 이와 같이, 본 발명의 실시예들에 따른 화소 회로(10)는 각 화소의 특성을 반영하여 구동 트랜지스터의 게이트

전압을 보상함으로써, 전원 전압의 편차, 구동 트랜지스터의 문턱 전압의 편차 등에 따른 휘도의 변화를 감소할 수 있다. 또한, 본 발명의 실시예들에 따른 화소 회로는 구동 트랜지스터가 포화 영역에서 동작함으로써, 열화나 온도 변화에 의한 발광 다이오드의 특성 변화에 따른 휘도의 변화를 감소할 수 있다.

- [0060] 도3은 본 발명의 일 실시예에 따른 전계발광 디스플레이 장치를 나타내는 블록도이다.
- [0061] 도3을 참조하면, 전계발광 디스플레이 장치(100)는 화소부(110) 및 구동부를 포함할 수 있다. 상기 구동부는 타이밍 컨트롤러(TMC)(120), 데이터 구동부(DDRV)(130) 및 스캔 구동부(SDRV)(140)를 포함할 수 있다. 도 3에는 도시를 생략하였으나, 전계발광 디스플레이 장치(100)는 디스플레이 데이터를 저장하기 위한 버퍼 등을 더 포함할 수 있다.
- [0062] 화소부(110)는 복수의 행들과 복수의 열들로 형성된 복수의 화소 회로들(PX)을 포함한다. 예를 들어, 도 3에 도시된 바와 같이, 화소 회로들(PX)은 m 개의 행과 n개의 열들로 이루어진 매트릭스 형태로 배열될 수 있다. 화소부(110)는 복수의 데이터 라인들을 통하여 데이터 구동부(130)와 연결되고, 복수의 행 제어 라인들을 통하여 스캔 구동부(140)와 연결될 수 있다.
- [0063] 도1 및 2를 참조하여 전술한 바와 같이, 화소 회로들(PX)의 각각은, 제1 보상 주기(PC1) 동안에 제2 노드(N2), 즉 구동 트랜지스터(TD)의 게이트 전극을 초기 전압(VINT)으로 초기화하고, 제1 보상 주기(PC1) 후의 제2 보상 주기(PC2) 동안에 제2 노드(N2)와 제3 노드(N3), 즉 구동 트랜지스터(TD)의 드레인 전극을 전기적으로 연결한다. 또한 화소 회로들(PX)의 각각은, 제1 보상 주기(PC1) 및 제2 보상 주기(PC2) 동안에 데이터가 프로그래밍될 제1 노드(N1)에 기준 전압을 인가할 수 있다.
- [0064] 데이터 구동부(130)는 상기 데이터 라인들을 통하여 화소부(110)에 데이터 신호들(DT1~DTn)을 제공한다. 스캔 구동부(130)는 상기 행 제어 라인들을 통하여 행 단위로 화소 회로들(PX)을 제어하기 위한 행 제어 신호들(EM1~EMm, SCN1~SCNm, CMP0~CMPm)을 제공할 수 있다. 행 제어 신호들은 발광 제어 신호 라인들을 통하여 제공되는 발광 제어 신호들(EM1~EMm), 스캔 라인들을 통하여 제공되는 스캔 신호들(SCN1~SCNm) 및 보상 제어 라인들을 통하여 제공되는 보상 제어 신호들(CMP0~CMPm)을 포함할 수 있다. 화소 회로들(PX)은 복수의 데이터 라인들 및 복수의 스캔 라인들의 교차부마다 위치할 수 있다.
- [0065] 구동부(120, 130, 140)는 외부로부터 디스플레이 데이터를 수신하고, 디스플레이 데이터에 상응하는 이미지를 표시하도록 화소부(110)를 구동한다. 예를 들어, 구동부(120, 130, 140)는 화소부(110)를 하이브리드(Hybrid) 구동 방식으로 구동할 수 있다. 즉, 구동부(120, 130, 140)는 하나의 프레임 주기 동안 화소부(110)의 각 화소(PX)의 발광 시간을 조절하여 계조를 표현하면서, 각 화소 회로(PX)의 구동 트랜지스터(TD)가 포화 영역에서 구동하도록 하는 데이터 전압을(예를 들어, 상기 구동 트랜지스터를 턴-온시키는 전압 또는 상기 구동 트랜지스터를 턴-오프시키는 전압 중 하나)을 화소부(110)의 각 화소 회로(PX)에 인가할 수 있다. 화소 회로(PX)의 구동 트랜지스터(TD)가 선형 영역에서 구동하는 종래의 디지털 구동 방식과는 달리, 각 화소 회로(PX)의 구동 트랜지스터(TD)가 포화 영역에서 구동하는 상기 하이브리드 구동 방식으로 화소부(110)가 구동됨으로써, 화소부(110)의 화소 회로들(PX)의 수명이 증가될 수 있다.
- [0066] 타이밍 컨트롤러(120)는 전계발광 디스플레이 장치(100)의 전반적인 동작을 제어한다. 타이밍 컨트롤러(120)는 소정의 타이밍 제어 신호들을 데이터 구동부(130) 및 스캔 구동부(140)에 제공함으로써 디스플레이 장치(100)의 동작을 제어할 수 있다. 일 실시예에서, 타이밍 컨트롤러(120), 데이터 구동부(130) 및 스캔 구동부(140)는 하나의 집적 회로(Integrated Circuit; IC)로 구현될 수 있다. 다른 실시예에서, 타이밍 컨트롤러(120), 데이터 구동부(130) 및 스캔 구동부(140)는 2 이상의 IC들로 구현될 수 있다.
- [0067] 도3에 도시된 바와 같이, 화소부(110)의 각각의 행(k)에는(k는 1 이상 m 이하의 자연수) 상응하는 발광 제어 신호(EMk) 및 스캔 신호(SCNk)가 제공된다. 또한 복수의 보상 제어 신호들(CMP0~CMPm) 중에서 (k-1)번째 보상 제어 신호(CMPk-1) 및 k번째 보상 제어 신호(CMPk)가 k번째 행의 화소 회로들에 제공된다.
- [0068] 이하 도 4 및 도 5를 참조하여 전계발광 디스플레이 장치(100)의 동작 및 그 구동 방법을 설명한다.
- [0069] 도4는 도 3의 전계발광 디스플레이 장치의 동작을 나타내는 타이밍도이고, 도 5는 도 3의 전계발광 디스플레이 장치의 구동 방법의 일 예를 나타내는 도면이다.
- [0070] 도3 및 4를 참조하면, 스캔 구동부(140)에서 제공되는 보상 제어 신호들(CMP0~CMPm)은 시구간들(T0~Tm) 동안에 순차적으로 활성화될 수 있다. 또한 스캔 신호들(SCN1~SCNm)들은 시구간들(T2~Tm+1) 동안에 순차적으로 활성화될 수 있다.

- [0071] (k-1)번째 보상 제어 신호(CMPk+1) 및 k번째 보상 제어 신호(CMPk)가 k번째 행의 화소 회로들에 제공된다. 도 1의 화소 회로(10)를 참조하면, (k-1)번째 보상 제어 신호(CMPk+1)는 제1 보상 제어 신호(CMPa)에 상응하고 k번째 보상 제어 신호(CMPk)는 제2 보상 제어 신호(CMPb)에 상응한다. 한편 k번째 스캔 신호(SCNk) 및 k번째 발광 제어 신호(EMk)는 각각 도 1의 스캔 신호(SCN) 및 발광 제어 신호(EM)에 상응한다.
- [0072] 상기 k번째 행의 화소 회로들은, (k-1)번째 보상 제어 신호(CMPk-1)가 활성화되는 동안, 즉 제1 보상 주기(PC1) 동안에 구동 트랜지스터(TD)의 게이트 전극(N2)을 초기 전압으로 초기화한다. 또한 상기 k번째 행의 화소 회로들은, k번째 보상 제어 신호(CMPk)가 활성화되는 동안, 즉 제2 보상 주기(PC2) 동안에 구동 트랜지스터(TD)의 게이트 전극(N2)과 구동 트랜지스터(TD)의 드레인 전극(N3)을 전기적으로 연결한다. 상기 k번째 행의 화소 회로들은, 제1 보상 주기(PC1)와 제2 보상 주기(PC2)가 경과한 후 k번째 스캔 신호(SCNk) 활성화되는 동안, 즉 스캔-발광 주기(PSE) 내의 스캔 주기(PS) 동안, 스캔 트랜지스터(TS)가 턴온되어 데이터 전압을 제1 노드(N1)에 인가한다.
- [0073] 예를 들어, 제1 행의 화소 회로 회로들은 0번째 보상 제어 신호(CMP0), 1번째 보상 제어 신호(CMP1) 및 1번째 스캔 신호(SCN1)를 수신하여 동작한다. 따라서 제1 행의 화소 회로들의 경우에, 제0 시구간(T0)은 제1 보상 주기(PC1)에 해당하고, 제1 시구간(T1)은 제2 보상 주기(PC2)에 해당하고 제2 시구간(T2)은 스캔 주기에 해당한다. 한편 제2 행의 화소 회로 회로들은 1번째 보상 제어 신호(CMP1), 2번째 보상 제어 신호(CMP2) 및 2번째 스캔 신호(SCN2)를 수신하여 동작한다. 따라서 제2 행의 화소 회로 회로들의 경우에, 제1 시구간(T1)은 제1 보상 주기(PC1)에 해당하고, 제2 시구간(T2)은 제2 보상 주기(PC2)에 해당하고 제3 시구간(T3)은 스캔 주기에 해당한다.
- [0074] 이와 같은 방식으로 제1 행부터 제m 행까지 행 단위의 순차적인 전압 보상 동작이 수행되고 제1 행부터 제m 행까지 행 단위의 순차적인 스캔 동작이 수행될 수 있다.
- [0075] 도 5에는 이러한 순차적인 전압 보상 동작 및 스캔 동작을 이용한 전계발광 디스플레이 장치의 구동 방법이 도시되어 있다.
- [0076] 도5를 참조하면, 하나의 프레임 주기(PF)는 보상 주기(PC) 및 복수의 스캔-발광 주기들(PSE1~PSE3)을 포함할 수 있다. 보상 주기(PS)는 제1 행부터 제m 행까지 순차적으로 개시될 수 있고, 보상 주기 후의 스캔-발광 주기(PSE)도 제1 행부터 제2 행까지 순차적으로 개시될 수 있다. 스캔-발광 주기(PSE)는 서브-필드 구동 주기 또는 서브 프레임 구동 주기로 언급될 수도 있다. 하나의 프레임 주기(PF)에 포함되는 스캔-발광 주기들의 개수는 다양하게 변경될 수 있다.
- [0077] 도5에는 발광 주기들(PE1~PE3)의 시간들이 점차 증가하는 예가 도시되어 있으나, 실시예에 따라서 주기들(PE1~PE3)의 시간들이 점차 감소할 수도 있다. 또한 도 5에는 발광 주기가 행 단위로 순차적으로 개시되는 순차 발광 방식이 도시되어 있으나, 실시예에 따라서 모든 행들에 대해 스캔 주기가 경과된 후 모든 행들에 대해 동시에 발광 주기가 개시되는 동시 발광 방식이 채용될 수도 있다.
- [0078] 스캔-발광 주기들(PSE1~PSE3)의 각각은 스캔 주기들(PS1~PS3)의 각각 및 발광 주기들(PE1~PE3)의 각각을 포함할 있다. 전술한 바와 같이, 각각의 스캔 주기(PSi)가 종료된 후에 상응하는 발광 주기(PEi)가 개시될 수도 있고, 각각의 스캔 주기(PSi)가 상응하는 발광 주기(PEi) 내에 포함될 수도 있다.
- [0079] 보상 주기(PC)는 전술한 바와 같은 구동 트랜지스터(TD)의 게이트 전극(N2)의 전압을 초기화하는 제1 보상 주기(PC1)와 구동 트랜지스터(TD)의 다이오드 결합을 형성하는 제2 보상 주기(PC2)를 포함한다.
- [0080] 전술한 바와 같이, 본 발명의 실시예들에 따른 화소 회로를 포함하는 전계발광 디스플레이 장치의 구동 방법은, 각 화소의 특성을 반영하여 구동 트랜지스터의 게이트 전압을 보상함으로써, 전원 전압의 편차, 구동 트랜지스터의 문턱 전압의 편차 등에 따른 휘도의 변화를 감소하고, 디스플레이 이미지의 품질을 향상시킬 수 있다.
- [0081] 도6은 본 발명의 일 실시예에 따른 전계발광 디스플레이 장치를 나타내는 블록도이다.
- [0082] 도6을 참조하면, 전계발광 디스플레이 장치(200)는 화소부(210) 및 구동부를 포함할 수 있다. 상기 구동부는 타이밍 컨트롤러(TMC)(220), 데이터 구동부(DDRV)(230) 및 스캔 구동부(SDRV)(240)를 포함할 수 있다. 도 6에는 도시를 생략하였으나, 전계발광 디스플레이 장치(200)는 디스플레이 데이터를 저장하기 위한 버퍼 등을 더 포함할 수 있다.
- [0083] 화소부(210)는 복수의 행들과 복수의 열들로 형성된 복수의 화소 회로들(PX)을 포함한다. 예를 들어, 도 6에 도시된 바와 같이, 화소 회로들(PX)은 m 개의 행과 n개의 열들로 이루어진 매트릭스 형태로 배열될 수 있다. 화소

부(210)는 복수의 데이터 라인들을 통하여 데이터 구동부(230)와 연결되고, 복수의 행 제어 라인들을 통하여 스캔 구동부(240)와 연결될 수 있다.

[0084] 도1 및 2를 참조하여 전술한 바와 같이, 화소 회로들(PX)의 각각은, 제1 보상 주기(PC1) 동안에 제2 노드(N2), 즉 구동 트랜지스터(TD)의 게이트 전극을 초기 전압(VINT)으로 초기화하고, 제1 보상 주기(PC1) 후의 제2 보상 주기(PC2) 동안에 제2 노드(N2)와 제3 노드(N3), 즉 구동 트랜지스터(TD)의 드레인 전극을 전기적으로 연결한다. 또한 화소 회로들(PX)의 각각은, 제1 보상 주기(PC1) 및 제2 보상 주기(PC2) 동안에 데이터가 프로그래밍될 제1 노드(N1)에 기준 전압을 인가할 수 있다.

[0085] 데이터 구동부(230)는 상기 데이터 라인들을 통하여 화소부(210)에 데이터 신호들(DT1-DTn)을 제공한다. 스캔 구동부(230)는 상기 행 제어 라인들을 통하여 행 단위로 화소 회로들(PX)을 제어하기 위한 행 제어 신호들(EM1-EMm, SCN1-SCNm, CMPa, CMPb)을 제공할 수 있다. 행 제어 신호들은 발광 제어 신호 라인들을 통하여 제공되는 발광 제어 신호들(EM1-EMm), 스캔 라인들을 통하여 제공되는 스캔 신호들(SCN1-SCNm) 및 보상 제어 라인들을 통하여 제공되는 제1 및 제2 보상 제어 신호들(CMPa, CMPb)을 포함할 수 있다. 화소 회로들(PX)은 복수의 데이터 라인들 및 복수의 스캔 라인들의 교차부마다 위치할 수 있다.

[0086] 구동부(220, 230, 240)는 외부로부터 디스플레이 데이터를 수신하고, 디스플레이 데이터에 상응하는 이미지를 표시하도록 화소부(210)를 구동한다. 예를 들어, 구동부(220, 230, 240)는 화소부(210)를 하이브리드(Hybrid) 구동 방식으로 구동할 수 있다. 즉, 구동부(220, 230, 240)는 하나의 프레임 주기 동안 화소부(210)의 각 화소(PX)의 발광 시간을 조절하여 계조를 표현하면서, 각 화소 회로(PX)의 구동 트랜지스터(TD)가 포화 영역에서 구동하도록 하는 데이터 전압(예를 들어, 상기 구동 트랜지스터를 턴-온시키는 전압 또는 상기 구동 트랜지스터를 턴-오프시키는 전압 중 하나)을 화소부(210)의 각 화소 회로(PX)에 인가할 수 있다. 화소 회로(PX)의 구동 트랜지스터(TD)가 선형 영역에서 구동하는 종래의 디지털 구동 방식과는 달리, 각 화소 회로(PX)의 구동 트랜지스터(TD)가 포화 영역에서 구동하는 상기 하이브리드 구동 방식으로 화소부(210)가 구동됨으로써, 화소부(210)의 화소 회로들(PX)의 수명이 증가될 수 있다.

[0087] 타이밍 콘트롤러(220)는 전계발광 디스플레이 장치(200)의 전반적인 동작을 제어한다. 타이밍 콘트롤러(220)는 소정의 타이밍 제어 신호들을 데이터 구동부(230) 및 스캔 구동부(240)에 제공함으로써 디스플레이 장치(200)의 동작을 제어할 수 있다. 일 실시예에서, 타이밍 콘트롤러(220), 데이터 구동부(230) 및 스캔 구동부(240)는 하나의 집적 회로(Integrated Circuit; IC)로 구현될 수 있다. 다른 실시예에서, 타이밍 콘트롤러(220), 데이터 구동부(230) 및 스캔 구동부(240)는 2 이상의 IC들로 구현될 수 있다.

[0088] 도 6에 도시된 바와 같이, 화소부(210)의 각각의 행(k)에는(k는 1 이상 m 이하의 자연수) 상응하는 발광 제어 신호(EMk) 및 스캔 신호(SCNk)가 제공된다. 또한 제1 보상 제어 신호(CMPa) 및 제2 보상 제어 신호(CMPb)가 모든 행의 화소 회로들에 공통으로 제공된다.

[0089] 이하 도 7 및 도 8을 참조하여 전계발광 디스플레이 장치(200)의 동작 및 그 구동 방법을 설명한다.

[0090] 도7은 도 6의 전계발광 디스플레이 장치의 동작을 나타내는 타이밍도이고, 도 8은 도 6의 전계발광 디스플레이 장치의 구동 방법의 일 예를 나타내는 도면이다.

[0091] 도7 및 8을 참조하면, 스캔 구동부(440)에서 제공되는 제1 및 제2 보상 제어 신호들(CMPa, CMPb)은 제0 및 제1 시구간들(T0, T1) 동안에 순차적으로 활성화될 수 있다. 또한 스캔 신호들(SCN1-SCNm)들은 시구간들(T2-Tm+1) 동안에 순차적으로 활성화될 수 있다.

[0092] 제1 보상 제어 신호(CMPa) 및 제2 보상 제어 신호(CMPb)는 모든 행의 화소 회로들에 공통으로 제공된다. 도 1의 화소 회로(10)를 참조하면, 모든 행에 대하여 제1 보상 제어 신호(CMPa) 및 제2 보상 제어 신호(CMPb)가 동일하고, k번째 스캔 신호(SCNk) 및 k번째 발광 제어 신호(EMk)는 각각 도 1의 스캔 신호(SCN) 및 발광 제어 신호(EM)에 상응한다.

[0093] 모든 행의 화소 회로들은, 제1 보상 제어 신호(CMPa)가 활성화되는 동안, 즉 제1 보상 주기(PC1) 동안에 구동 트랜지스터(TD)의 게이트 전극(N2)을 초기 전압으로 초기화한다. 또한 모든 행의 화소 회로들은, 제2 보상 제어 신호(CMPb)가 활성화되는 동안, 즉 제2 보상 주기(PC2) 동안에 구동 트랜지스터(TD)의 게이트 전극(N2)과 구동 트랜지스터(TD)의 드레인 전극(N3)을 전기적으로 연결한다. k번째 행의 화소 회로들은, 제1 보상 주기(PC1)와 제2 보상 주기(PC2)가 경과한 후 k번째 스캔 신호(SCNk) 활성화되는 동안, 즉 스캔-발광 주기(PSE) 내의 스캔 주기(PS) 동안, 스캔 트랜지스터(TS)가 턴온되어 데이터 전압을 제1 노드(N1)에 인가한다.

- [0094] 예를 들어, 제1 행의 화소 회로 회로들은 제1 보상 제어 신호(CMPa), 제2 보상 제어 신호(CMPb) 및 1번째 스캔 신호(SCN1)를 수신하여 동작한다. 따라서 제1 행의 화소 회로들의 경우에, 제0 시구간(T0)은 제1 보상 주기(PC1)에 해당하고, 제1 시구간(T1)은 제2 보상 주기(PC2)에 해당하고 제2 시구간(T2)은 스캔 주기에 해당한다. 한편 제2 행의 화소 회로 회로들은 제1 보상 제어 신호(CMPa), 제2 보상 제어 신호(CMPb) 및 2번째 스캔 신호(SCN2)를 수신하여 동작한다. 따라서 제2 행의 화소 회로 회로들의 경우에, 제0 시구간(T0)은 제1 보상 주기(PC1)에 해당하고, 제1 시구간(T1)은 제2 보상 주기(PC2)에 해당하고 제3 시구간(T3)은 스캔 주기에 해당한다.
- [0095] 이와 같은 방식으로 제1 행부터 제m 행의 모든 행에 대한 동시적인 문턱 전압 보상 동작이 수행되고 제1 행부터 제m 행까지 행 단위의 순차적인 스캔 동작이 수행될 수 있다.
- [0096] 도8에는 이러한 동시적인 문턱 전압 보상 동작 및 스캔 동작을 이용한 전계발광 디스플레이 장치의 구동 방법이 도시되어 있다.
- [0097] 도8을 참조하면, 하나의 프레임 주기(PF)는 보상 주기(PC) 및 복수의 스캔-발광 주기들(PSE1~PSE3)을 포함할 수 있다. 보상 주기(PS)는 제1 행부터 제m 행에 대하여 동시에 개시될 수 있고, 보상 주기 후의 스캔-발광 주기(PSE)는 제1 행부터 제2 행까지 순차적으로 개시될 수 있다. 스캔-발광 주기(PSE)는 서브-필드 구동 주기 또는 서브 프레임 구동 주기로 언급될 수도 있다. 하나의 프레임 주기(PF)에 포함되는 스캔-발광 주기들의 개수는 다양하게 변경될 수 있다.
- [0098] 도8에는 발광 주기들(PE1~PE3)의 시간들이 점차 증가하는 예가 도시되어 있으나, 실시예에 따라서 주기들(PE1~PE3)의 시간들이 점차 감소할 수도 있다. 또한 도 8에는 발광 주기가 행 단위로 순차적으로 개시되는 순차 발광 방식이 도시되어 있으나, 실시예에 따라서 모든 행들에 대해 스캔 주기가 경과된 후 모든 행들에 대해 동시에 발광 주기가 개시되는 동시 발광 방식이 채용될 수도 있다.
- [0099] 스캔-발광 주기들(PSE1~PSE3)의 각각은 스캔 주기들(PS1~PS3)의 각각 및 발광 주기들(PE1~PE3)의 각각을 포함할 수 있다. 전술한 바와 같이, 각각의 스캔 주기(PSi)가 종료된 후에 상응하는 발광 주기(PEi)가 개시될 수도 있고, 각각의 스캔 주기(PSi)가 상응하는 발광 주기(PEi) 내에 포함될 수도 있다.
- [0100] 보상 주기(PC)는 전술한 바와 같은 구동 트랜지스터(TD)의 게이트 전극(N2)의 전압을 초기화하는 제1 보상 주기(PC1)와 구동 트랜지스터(TD)의 다이오드 결합을 형성하는 제2 보상 주기(PC2)를 포함한다.
- [0101] 전술한 바와 같이, 본 발명의 실시예들에 따른 화소 회로를 포함하는 전계발광 디스플레이 장치의 구동 방법은, 각 화소의 특성을 반영하여 구동 트랜지스터의 게이트 전압을 보상함으로써, 전원 전압의 편차, 구동 트랜지스터의 문턱 전압의 편차 등에 따른 휘도의 변화를 감소하고, 디스플레이 이미지의 품질을 향상시킬 수 있다.
- [0102] 도9 및 10은 본 발명의 실시예들에 따른 화소 회로의 동작을 설명하기 위한 도면들이다.
- [0103] 도9는 구동 트랜지스터(TD)가 선형 영역(linear region)에서 동작하는 경우를 나타내고, 도 10은 구동 트랜지스터(TD)가 포화 영역(saturation region)에서 동작하는 경우를 나타낸다. 도 9 및 10에서 각각 C11 및 C21은 구동 트랜지스터(TD)의 전류-전압(소스-드레인 전압) 곡선(I-V curve)이고, C12 및 C22는 발광 다이오드(LD)의 전류-전압 곡선이고, C13 및 C23은 발광 다이오드(LD)가 열화된 경우의 전류-전압 곡선이다.
- [0104] 도9를 참조하면, 종래에는 구동 트랜지스터(TD)를 스위치로 사용하기 때문에 구동 트랜지스터(TD)는 선형 영역에서 동작하며, 구동 트랜지스터(TD)의 전류-전압 곡선(C11)과 발광 다이오드(LD)의 전류-전압 곡선이 만나는 점(P11)의 전류가 발광 다이오드(LD)로 흐르며 발광하게 된다. 이때, 구동 트랜지스터(TD)는 선형 영역에서 동작하기 때문에 발광 다이오드(LD)의 전류-전압 특성 변화에 매우 민감하게 구동 전류가 변화하게 된다. 발광 다이오드(LD)의 열화가 발생하거나 온도 변화 시 변경된 동작점(P12)에 의하여 구동 전류의 변화량(d1)이 매우 크게 되고 결과적으로 발광 다이오드(LD)의 휘도 편차가 증가한다.
- [0105] 도9를 참조하면, 본 발명의 실시예들에 따른 화소 회로는, 구동 트랜지스터(TD)가 포화 영역에서 동작하므로 발광 다이오드(LD)의 열화 또는 온도 변화에 따라 변경된 동작점(P21)에 의한 전류의 변화량(d2)이 상대적으로 매우 작은 것을 알 수 있다.
- [0106] 이와 같이, 본 발명의 실시예들에 따른 화소 회로 및 이를 포함하는 전계발광 디스플레이 장치는, 구동 트랜지스터가 포화 영역에서 동작함으로써, 열화나 온도 변화에 의한 발광 다이오드의 특성 변화에 따른 휘도의 변화를 감소하고 디스플레이 이미지의 품질을 향상시킬 수 있다.
- [0107] 도11 및 12는 본 발명의 다른 실시예들에 따른 화소 회로들을 나타내는 회로도들이다.

- [0108] 도11 및 12를 참조하면, 화소 회로들(11, 12)의 각각은 스캔 트랜지스터(TS), 제1 커패시터(C1), 제2 커패시터(C2), 구동 트랜지스터(TD), 발광 제어 트랜지스터(TE), 발광 다이오드(LD) 및 보상 회로(20)를 포함한다.
- [0109] 스캔 트랜지스터(TS)는 데이터 라인(DL)과 제1 노드(N1) 사이에 결합되고, 게이트 전극으로 스캔 신호(SCN)를 수신한다. 제1 커패시터(C1)는 제1 전원 전압(ELVDD)과 제1 노드(N1) 사이에 결합된다. 제2 커패시터(C2)는 제1 노드(N1)와 제2 노드(N2) 사이에 결합된다. 구동 트랜지스터(TD)는 제1 전원 전압(ELVDD)과 제3 노드(N3) 사이에 결합되고, 게이트 전극이 제2 노드(N2)에 결합된다. 발광 제어 트랜지스터(TE)는 제3 노드(N3)와 제4 노드(N4) 사이에 결합되고, 게이트 전극으로 발광 제어 신호(EM)를 수신한다. 발광 다이오드(LD)는 제4 노드(N4)와 제1 전원 전압(ELVDD)보다 낮은 제2 전원 전압(ELVSS) 사이에 결합된다.
- [0110] 도1을 참조하여 전술한 바와 같이, 보상 회로는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)를 포함하여 구현될 수 있다.
- [0111] 제1 트랜지스터(T1)는 제2 노드(N2)와 제3 노드(N3) 사이에 결합되고, 게이트 전극으로 제2 보상 주기 동안(PC2)에 활성화되는 제2 보상 제어 신호(CMPb)를 수신한다. 제2 트랜지스터(T2)는 제2 노드(N2)와 초기 전압(VINT) 사이에 결합되고, 게이트 전극으로 제1 보상 주기(PC1) 동안에 활성화되는 제1 보상 제어 신호(CMPa)를 수신한다. 이와 같은 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 이용하여 제1 보상 주기(PC1) 동안에 제2 노드(N2)를 초기 전압(VINT)으로 초기화하고, 제1 보상 주기(PC1) 후의 제2 보상 주기(PC2) 동안에 제2 노드(N2)와 제3 노드(N3)를 전기적으로 연결할 수 있다.
- [0112] 제3 트랜지스터(T3)는 제1 노드(N1)와 기준 전압(VREF) 사이에 결합되고, 게이트 전극으로 제1 보상 제어 신호(CMPa)를 수신한다. 제4 트랜지스터(T4)는 제1 노드(N1)와 기준 전압(VREF) 사이에 결합되고, 게이트 전극으로 제2 보상 제어 신호(CMPb)를 수신한다. 이와 같은 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)를 이용하여 제1 보상 주기(PC1) 및 제2 보상 주기(PC2) 동안에 제1 노드(N1)에 기준 전압을 인가할 수 있다.
- [0113] 도11에 도시된 바와 같이, 보상 회로(11)는 제4 노드(N4)와 초기 전압(VINT) 사이에 결합되고, 게이트 전극으로 제1 보상 제어 신호를 수신하는 제5 트랜지스터(T5)를 더 포함할 수 있다. 한편 도 12에 도시된 바와 같이, 보상 회로(12)는 제4 노드(N4)와 초기 전압(VINT) 사이에 결합되고, 게이트 전극으로 제2 보상 제어 신호를 수신하는 제5 트랜지스터(T5)를 더 포함할 수 있다. 이와 같은 제5 트랜지스터(T5)를 이용하여 제1 보상 주기(PC1) 또는 제2 보상 주기(PC2) 동안에 제4 노드(N4)에 초기 전압(VINT)을 인가할 수 있다. 제4 노드(N4)를 상대적으로 낮은 초기 전압(VINT)으로 초기화함으로써 구동 트랜지스터(TD)의 오프(OFF) 동작시 제3 노드에 잔류하는 전하에 의해 노이즈를 감소할 수 있다.
- [0114] 도13은 본 발명의 실시예들에 따른 휴대 장치를 나타내는 블록도이다.
- [0115] 도 13을 참조하면, 휴대 장치(700)는 프로세서(710), 메모리 장치(720), 저장 장치(730), 입출력 장치(740), 파워 서플라이(750) 및 전계발광 디스플레이 장치(760)를 포함할 수 있다. 휴대 장치(700)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.
- [0116] 프로세서(710)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(710)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(710)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라서, 프로세서(710)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0117] 메모리 장치(720)는 휴대 장치(700)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(720)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다.
- [0118] 저장 장치(730)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(740)는 키보드, 키패드, 터치패드,

터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(750)는 휴대 장치(700)의 동작에 필요한 파워를 공급할 수 있다. 전계발광 디스플레이 장치(760)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

[0119] 도 1 내지 12를 참조하여 전술한 바와 같이, 전계발광 디스플레이 장치(760)는 복수의 화로 회로들을 포함하고, 화소 회로들의 각각은 제1 보상 주기 동안에 구동 트랜지스터의 게이트 전극을 초기 전압으로 초기화하고, 상기 제1 보상 주기 후의 제2 보상 주기 동안에 상기 구동 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 드레인 전극을 전기적으로 연결할 수 있다.

[0120] 실시예에 따라, 휴대 장치(700)는 디지털 TV(Digital Television), 3D TV, 개인용 컴퓨터(Personal Computer; PC), 가정용 전자기기, 노트북 컴퓨터(Laptop Computer), 태블릿 컴퓨터(Tablet Computer), 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 내비게이션(Navigation) 등과 같은 디스플레이 장치(760)를 포함하는 임의의 전자 기기일 수 있다.

산업상 이용가능성

[0121] 본 발명은 전계발광 디스플레이 장치를 포함하는 임의의 휴대 장치에 적용되어 표시되는 이미지의 품질을 향상시킬 수 있다. 예를 들어, 본 발명은 TV, 디지털 TV, 3D TV, PC, 가정용 전자기기, 노트북 컴퓨터, 태블릿 컴퓨터, 휴대폰, 스마트 폰, PDA, PM), 디지털 카메라, 음악 재생기, 휴대용 게임 콘솔, 내비게이션 등에 유용하게 적용될 수 있다.

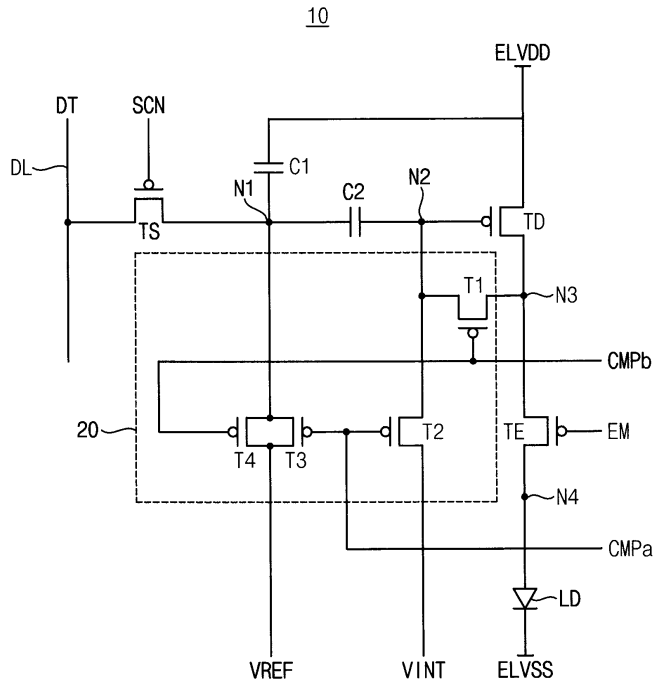
[0122] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

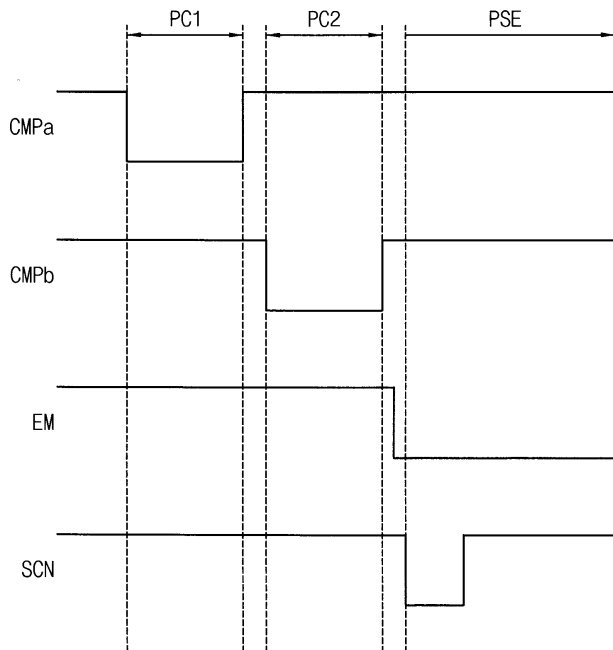
[0123] 10, 11, 12: 화소 회로
 20, 21, 22: 보상 회로
 TS: 스캔 트랜지스터
 TD: 구동 트랜지스터
 TE: 발광 제어 트랜지스터
 LD: 발광 다이오드
 SCN: 스캔 신호
 EM: 발광 제어 신호
 CMP: 보상 제어 신호
 PS1: 제1 보상 주기
 PS2: 제2 보상 주기

도면

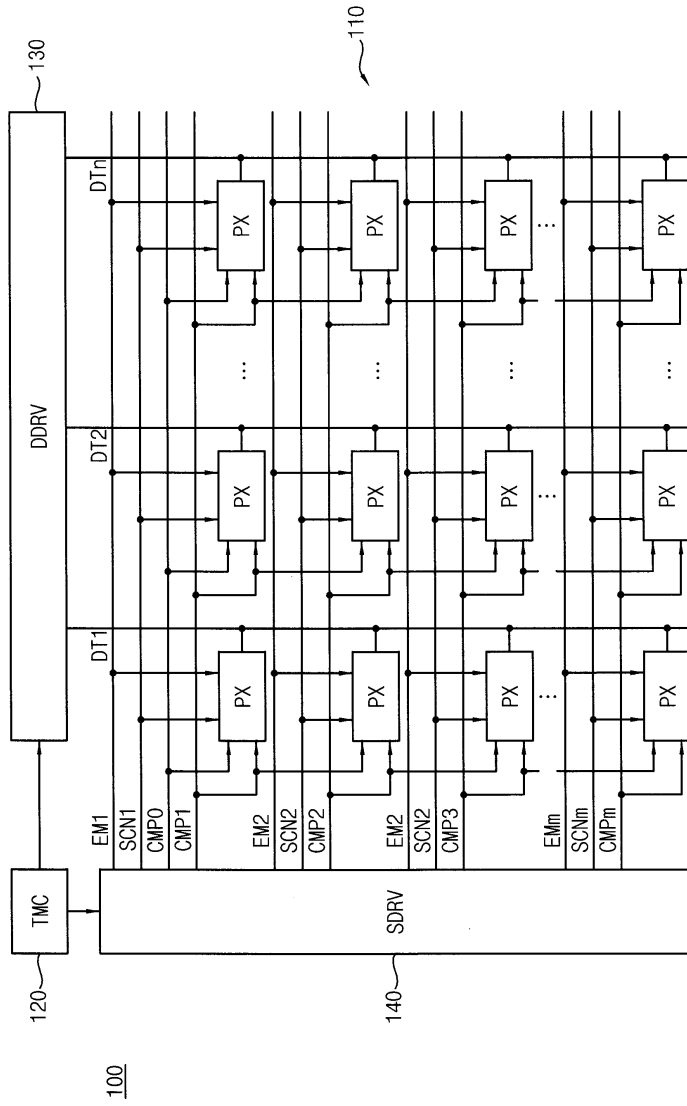
도면1



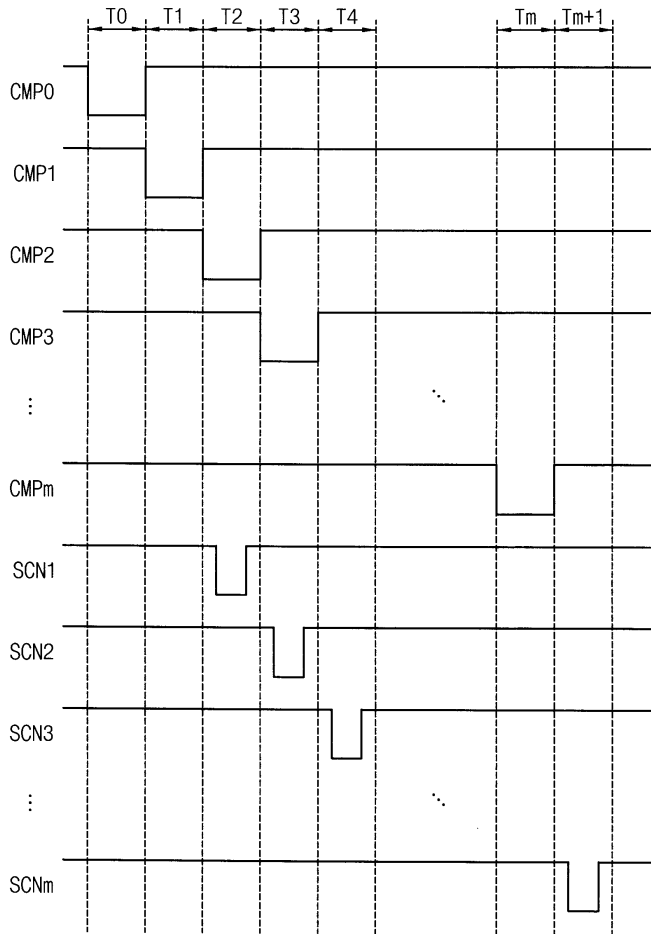
도면2



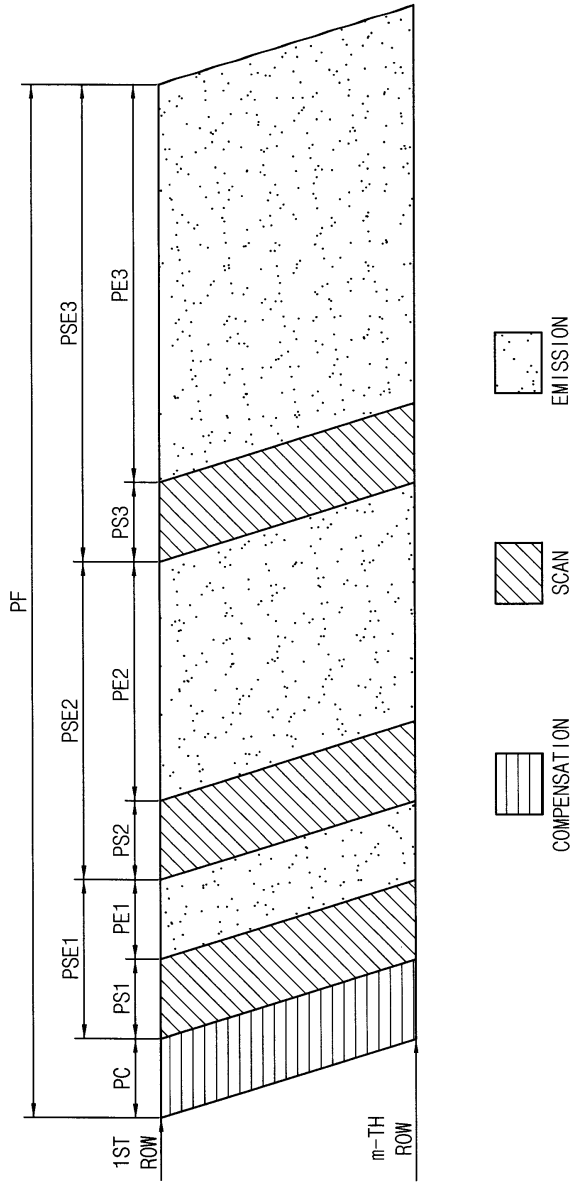
도면3



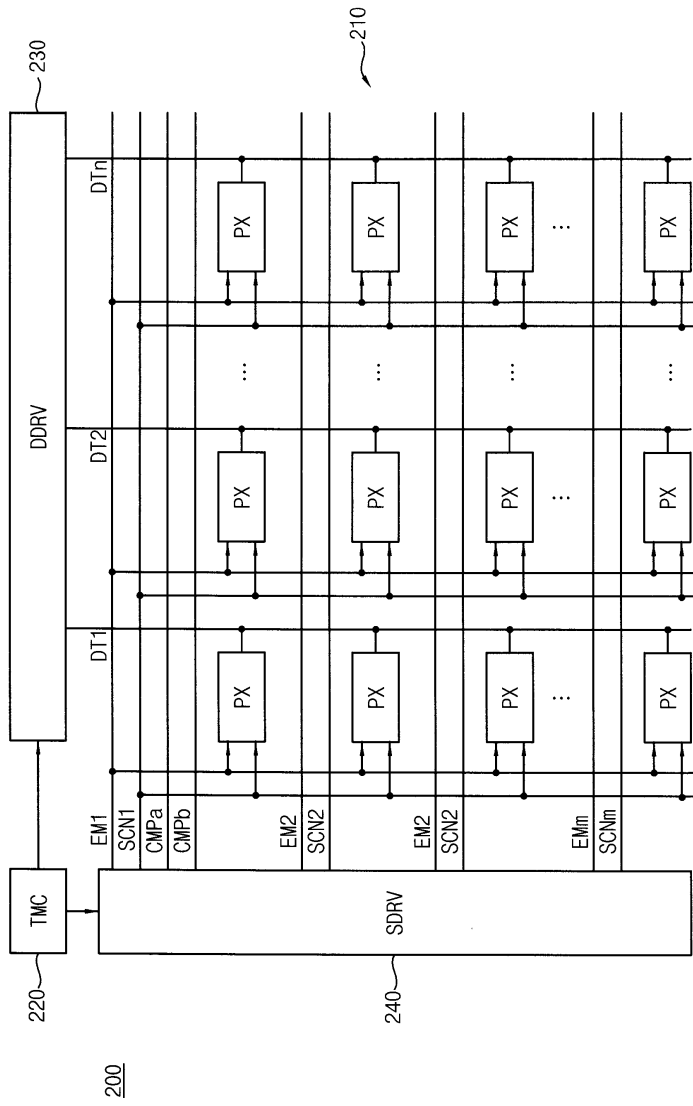
도면4



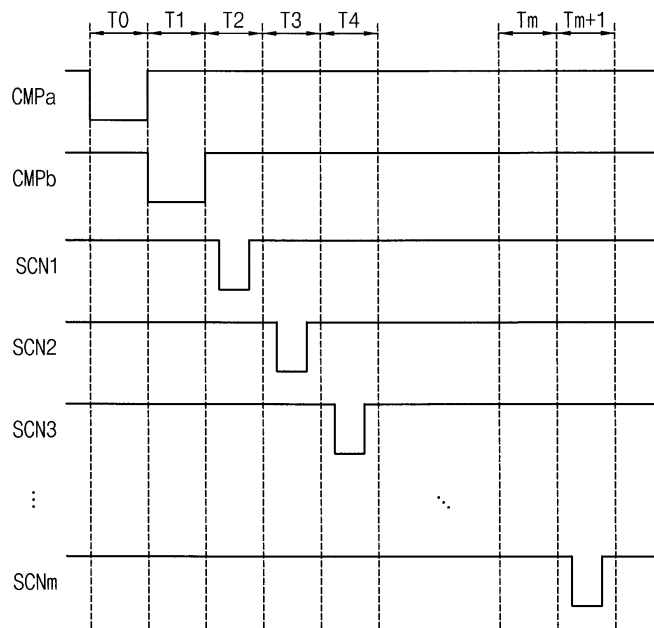
도면5



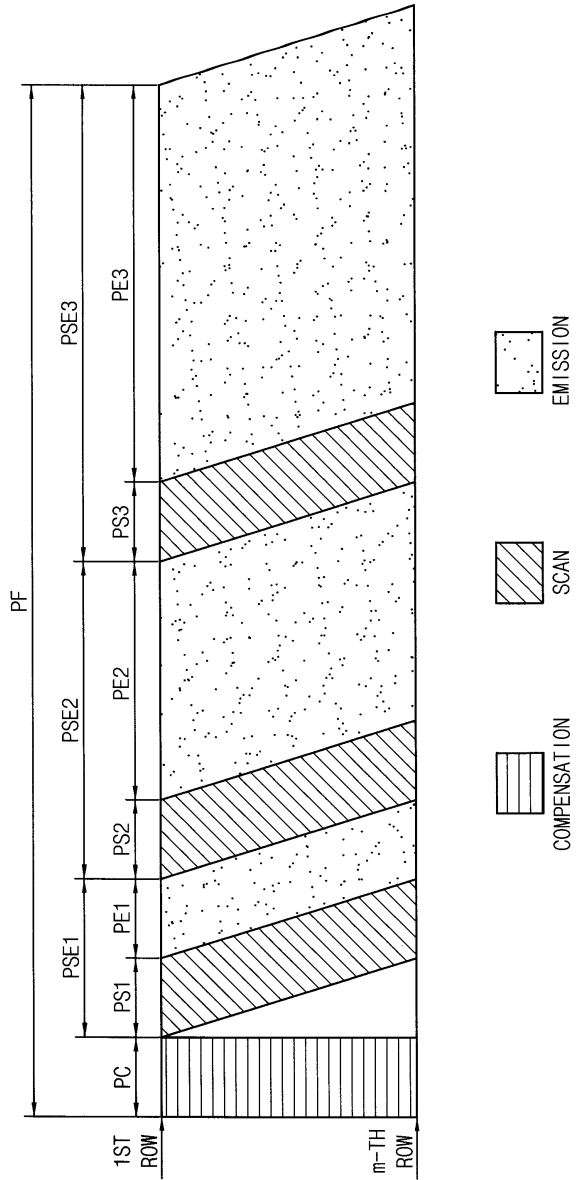
도면6



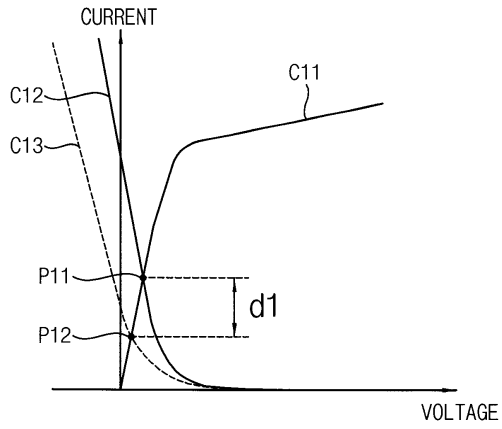
도면7



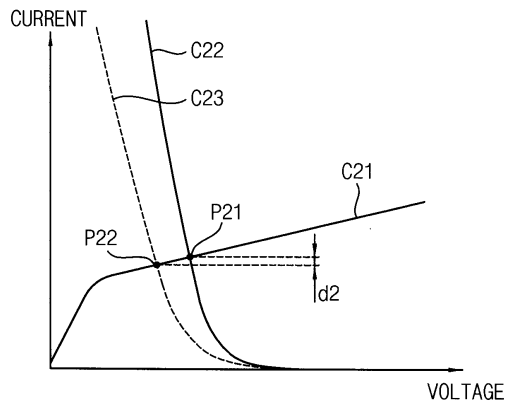
도면8



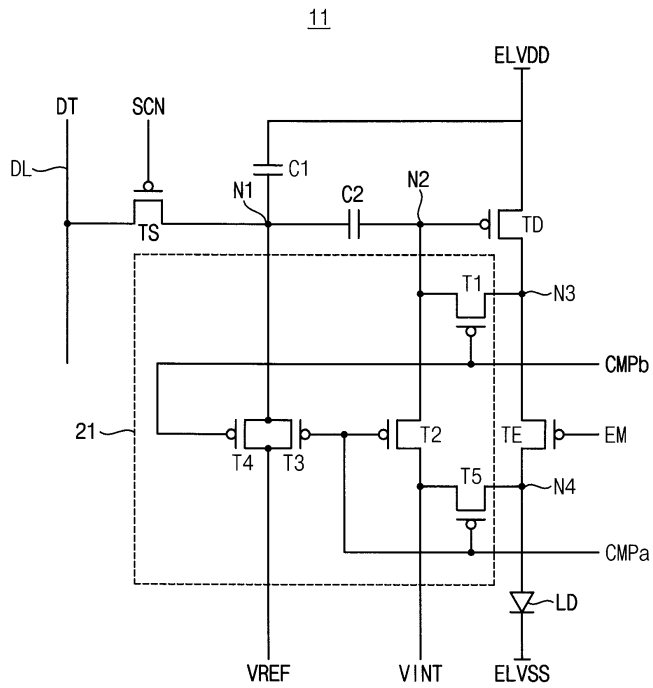
도면9



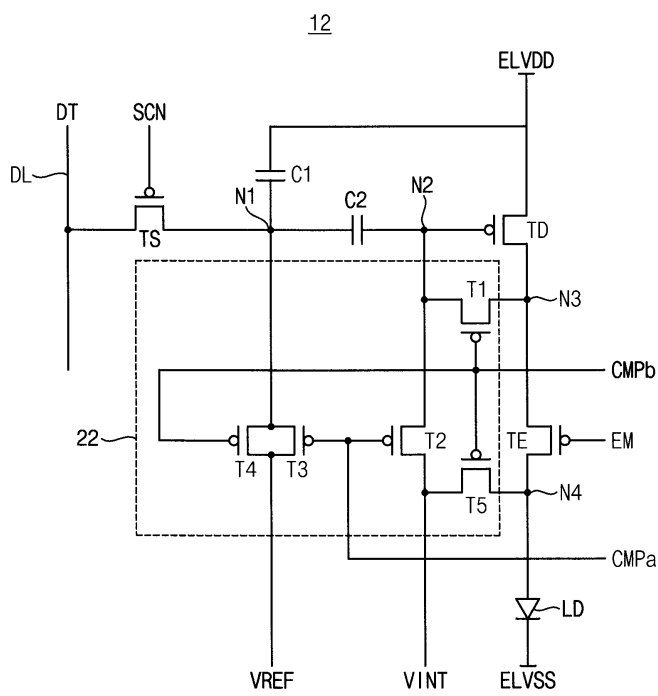
도면10



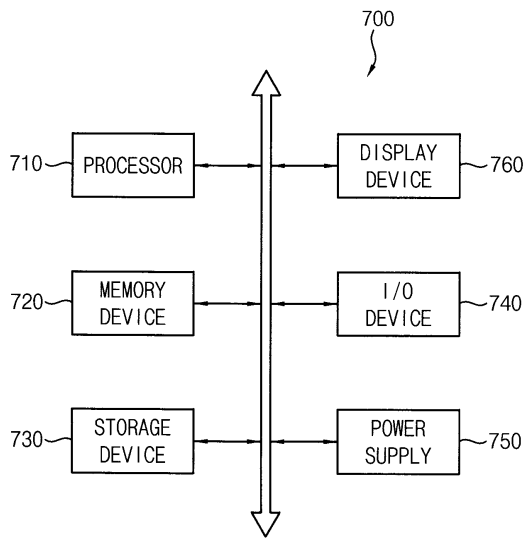
도면11



도면12



도면13



专利名称(译)	标题：像素电路和包括其的电致发光显示装置		
公开(公告)号	KR1020150138527A	公开(公告)日	2015-12-10
申请号	KR1020140065307	申请日	2014-05-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	IN HAI JUNG 인해정 PARK YONG SUNG 박용성		
发明人	인해정 박용성		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 G09G3/2022 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/063 G09G2320/0233 G09G2320/045		
代理人(译)	PARK, YOUNG WOO PARK, YOUNG WOO박영우		
外部链接	Espacenet		

摘要(译)

的EL显示装置的像素电路，耦合在数据线和第一节点，扫描接收一扫描信号到栅电极晶体管，第一电容器，其特征在于，所述与所述第一电源电压之间的耦合之间第一节点第二晶体管，耦合在第一节点和第二节点之间，驱动晶体管，耦合在第一电源电压和第三节点之间，并且具有耦合到第二节点的栅电极，发光二极管，耦合在第四节点和低于第一电源电压的第二电源电压之间，并且在第一补偿周期期间耦合到第二节点，以及补偿电路，用于在第一补偿周期之后的第二补偿周期期间电连接第二节点和第三节点。的。

