



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0101029  
(43) 공개일자 2015년09월03일

(51) 국제특허분류(Int. Cl.)  
G09G 3/32 (2006.01)

(21) 출원번호 10-2014-0021788  
(22) 출원일자 2014년02월25일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자  
인해정  
경기도 용인시 기흥구 삼성2로 95 (농서동)

박용성  
경기도 용인시 기흥구 삼성2로 95 (농서동)

정일훈  
경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인  
강신섭, 문용호, 이용우

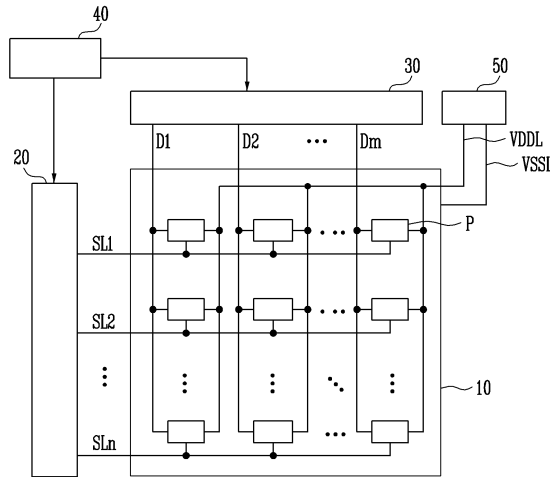
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기전계발광 표시장치와 그 구동방법

(57) 요약

본 발명은 유기전계발광 표시장치와 그 구동방법에 관한 것이다. 본 발명의 실시 예에 따른 유기전계발광 표시 장치는 데이터선들과 주사선들의 교차 구조에 매트릭스 형태로 배열된 화소들을 포함하는 표시패널; 1 프레임 기간을 복수의 서브필드들로 분할하고 상기 서브필드들 각각을 p(p는 2 이상의 양의 정수) 개의 기간들로 분할하여 구동하며, 상기 주사선들에 주사신호들을 공급하는 주사 구동부; 및 상기 주사신호들 각각에 동기화하여 상기 데이터선들에 데이터 전압들을 공급하는 데이터 구동부를 구비하고, 상기 데이터 전압은 p+1 개의 계조 전압들 중 어느 하나의 계조 전압으로 공급되는 것을 특징으로 한다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

데이터선들과 주사선들의 교차 구조에 매트릭스 형태로 배열된 화소들을 포함하는 표시패널;

1 프레임 기간을 복수의 서브필드들로 분할하고 상기 서브필드들 각각을  $p$  ( $p$ 는 2 이상의 양의 정수) 개의 기간들로 분할하여 구동하며, 상기 주사선들에 주사신호들을 공급하는 주사 구동부; 및

상기 주사신호들 각각에 동기화하여 상기 데이터선들에 데이터 전압들을 공급하는 데이터 구동부를 구비하고,

상기 데이터 전압은  $p+1$  개의 계조 전압들 중 어느 하나의 계조 전압으로 공급되는 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 2**

제 1 항에 있어서,

상기 화소는,

게이트 전극의 전압에 따라 턴-온 또는 턴-오프되는 구동 트랜지스터;

제 $k$  ( $k$ 는 양의 정수) 주사선의 주사신호에 응답하여 제 $j$  ( $j$ 는 양의 정수) 데이터선의 데이터 전압을 상기 구동 트랜지스터의 게이트 전극에 공급하는 제1 트랜지스터; 및

상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 3**

제 2 항에 있어서,

상기 화소는,

상기 구동 트랜지스터의 게이트 전극과 기준전압이 공급되는 기준전압 라인 사이에 접속된 캐패시터를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 4**

제 3 항에 있어서,

제 $q$  ( $q$ 는  $1 \leq q < p$ 를 만족하는 양의 정수) 기간의 기준전압은 제 $q+1$  기간의 기준전압보다 소정의 전압만큼 높거나 낮은 전압인 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 5**

제 4 항에 있어서,

제 $r$  ( $r$ 는  $1 \leq r \leq p$ 를 만족하는 양의 정수) 데이터 전압은 제 $r+1$  데이터 전압보다 상기 소정의 전압만큼 높거나 낮은 전압인 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 6**

제 5 항에 있어서,

상기 화소는,

상기 구동 트랜지스터의 게이트 전극과 소정의 전원전압이 공급되는 소정의 전원전압 라인 사이에 접속된 제2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 7**

제 6 항에 있어서,

상기 소정의 전원전압은 고전위 전압이고, 상기 소정의 전원전압 라인은 상기 구동 트랜지스터의 제1 전극에 접속된 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 8**

제 6 항에 있어서,

상기 소정의 전원전압은 초기화 전압인 것을 특징으로 하는 유기전계발광 표시장치.

**청구항 9**

데이터선들과 주사선들의 교차 구조에 매트릭스 형태로 배열된 화소들을 포함하는 표시패널을 구비하는 유기전계발광 표시장치의 구동방법에 있어서,

1 프레임 기간을 복수의 서브필드들로 분할하고 상기 서브필드들 각각을  $p$  ( $p$ 는 2 이상의 양의 정수) 개의 기간들로 분할하여 구동하며, 상기 주사선들에 주사신호들을 공급하는 단계; 및

상기 주사신호들 각각에 동기화하여 상기 데이터선들에 데이터 전압들을 공급하는 단계를 포함하고,

상기 주사신호들 각각에 동기화하여 상기 데이터선들에 데이터 전압들을 공급하는 단계는,

상기 데이터 전압은  $p+1$  개의 계조 전압들 중 어느 하나의 계조 전압으로 공급되는 것을 특징으로 하는 유기전계발광 표시장치의 구동방법.

**명세서**

**기술분야**

[0001] 본 발명은 유기전계발광 표시장치와 그 구동방법에 관한 것이다.

**배경기술**

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 다양한 평판표시장치들이 개발되고 있다. 평판표시장치로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel), 유기전계발광 표시장치(Organic Light Emitting Display) 등이 있다.

[0003] 평판표시장치들 중에서 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기발광다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비 전력으로 구동되는 장점이 있다.

[0004] 유기전계발광 표시장치는 데이터선들에 데이터 전압들을 공급하는 데이터 구동부와, 주사선들에 주사 신호들을 공급하는 주사 구동부와, 주사선들 및 데이터선들에 의하여 구획된 영역에 배치되는 화소들을 구비한다. 화소는 구동 트랜지스터(transistor)의 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(organic light emitting diode)에 공급되는 전류를 제어함으로써 소정의 휘도로 발광한다.

[0005] 유기전계발광 표시장치의 화소는 아날로그 구동방법 또는 디지털 구동방법으로 구동될 수 있다. 아날로그 구동방법은 데이터 전압에 따라 구동 트랜지스터의 드레인-소스간 전류를 제어하여 유기발광다이오드 소자의 발광량을 조절하는 방법이다. 디지털 구동방법은 데이터 전압에 따라 구동 트랜지스터의 턴-온을 제어하여 유기발광다이오드 소자의 발광 기간을 조절하는 방법이다.

[0006] 구체적으로, 디지털 구동방법은 1 프레임 기간을 복수의 서브필드들로 분할하고, 서브필드들 각각에서 구동 트랜지스터를 턴-온시켜 유기발광다이오드 소자를 발광시키거나 구동 트랜지스터를 턴-오프시켜 유기발광다이오드 소자를 비발광시킨다. 이로 인해, 화소들 각각은 서브필드들 각각에서 2 개의 계조들을 표현할 수 있다. 그 결과, 디지털 구동방법에서 화소들 각각은 서브필드들 각각에서 유기발광다이오드 소자의 발광/비발광의 조합에 따라 계조를 표현하게 된다.

[0007] 결국, 디지털 구동방법에서 화소의 계조 표현력은 서브픽셀들의 개수에 의존한다. 화소의 계조 표현력은 화소가 얼마나 많은 계조들을 표현할 수 있는지를 의미한다. 예를 들어, 화소들 각각이 서브픽셀들 각각에서 2 개의 계조들을 표현 가능한 경우, 화소는 서브 프레임들의 개수에 따라  $2^n$ (n은 양의 정수) 계조들을 표현될 수 있다. 이 경우 1 프레임 기간은 n 개의 서브픽셀들로 분할될 수 있다. 예를 들어, 화소가 64 계조들을 표현하는 경우 1 프레임 기간은 6 개의 서브픽셀들로 분할될 수 있고, 화소가 256 계조들을 표현하려면 1 프레임 기간은 8 개의 서브픽셀들로 분할될 수 있다. 하지만, 디지털 구동방법은 1 프레임 기간을 더 많은 서브픽셀들로 분할할수록 주사 구동부와 데이터 구동부의 프레임 주파수가 더 높아지는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명의 실시 예는 화소들 각각이 서브픽셀들 각각에서 적어도 3 개 이상의 계조들을 표현함으로써, 1 프레임 기간에 포함된 서브픽셀들의 개수를 줄일 수 있는 디지털 구동방법의 유기전계발광 표시장치와 그 구동방법을 제공한다.

**과제의 해결 수단**

[0009] 본 발명의 실시 예에 따른 유기전계발광 표시장치는 데이터선들과 주사선들의 교차 구조에 매트릭스 형태로 배열된 화소들을 포함하는 표시패널; 1 프레임 기간을 복수의 서브픽셀들로 분할하고 상기 서브픽셀들 각각을 p(p는 2 이상의 양의 정수) 개의 기간들로 분할하여 구동하며, 상기 주사선들에 주사신호들을 공급하는 주사 구동부; 및 상기 주사신호들 각각에 동기화하여 상기 데이터선들에 데이터 전압들을 공급하는 데이터 구동부를 구비하고, 상기 데이터 전압은 p+1 개의 계조 전압들 중 어느 하나의 계조 전압으로 공급되는 것을 특징으로 한다.

[0010] 데이터선들과 주사선들의 교차 구조에 매트릭스 형태로 배열된 화소들을 포함하는 표시패널을 구비하는 유기전계발광 표시장치의 구동방법은 1 프레임 기간을 복수의 서브픽셀들로 분할하고 상기 서브픽셀들 각각을 p(p는 2 이상의 양의 정수) 개의 기간들로 분할하여 구동하며, 상기 주사선들에 주사신호들을 공급하는 단계; 및 상기 주사신호들 각각에 동기화하여 상기 데이터선들에 데이터 전압들을 공급하는 단계를 포함하고, 상기 주사신호들 각각에 동기화하여 상기 데이터선들에 데이터 전압들을 공급하는 단계는, 상기 데이터 전압은 p+1 개의 계조 전압들 중 어느 하나의 계조 전압으로 공급되는 것을 특징으로 한다.

**발명의 효과**

[0011] 본 발명의 실시 예는 1 프레임 기간을 복수의 서브픽셀들로 분할하고 서브픽셀들 각각을 p(p는 2 이상의 양의 정수) 개의 기간들로 분할하여 구동한다. 또한, 본 발명의 실시 예는 p 개의 기간들 각각에서 화소에 p+1 개의 계조 전압들 중 어느 하나를 데이터 전압으로 공급한다. 그 결과, 본 발명의 실시 예는 서브픽셀들 각각에서 화소에 p+1 개의 계조 전압들 중 어느 계조 전압이 데이터 전압으로 공급되었는지에 따라 계조를 표현한다. 즉, 본 발명의 실시 예는 서브픽셀들 각각에서 화소가 3 개 이상의 계조들을 표현할 수 있으므로, 서브픽셀들 각각에서 화소가 2 개의 계조들을 표현할 수 있는 종래에 비하여 1 프레임 기간에 포함된 서브픽셀들의 개수를 줄일 수 있다.

**도면의 간단한 설명**

[0012] 도 1은 본 발명의 실시 예에 따른 유기전계발광 표시장치를 보여주는 블록도.  
 도 2는 디지털 구동방법에서 1 프레임 기간의 서브픽셀들을 보여주는 일 예시도면.  
 도 3은 본 발명의 제1 실시 예에 따른 화소의 등가 회로도.  
 도 4는 본 발명의 제1 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보

여주는 일 예시도면.

도 5는 도 3의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도.

도 6은 본 발명의 제2 실시 예에 따른 화소의 등가 회로도.

도 7은 본 발명의 제2 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보여주는 일 예시도면.

도 8은 도 6의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도.

도 9는 본 발명의 제3 실시 예에 따른 화소의 등가 회로도.

도 10은 본 발명의 제3 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보여주는 일 예시도면.

도 11은 도 9의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도.

도 12는 본 발명의 제4 실시 예에 따른 화소의 등가 회로도.

도 13은 본 발명의 제4 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보여주는 일 예시도면.

도 14는 도 12의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 이하 첨부된 도면을 참조하여 유기전계발광 표시장치를 중심으로 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0014] 도 1은 본 발명의 실시 예에 따른 유기전계발광 표시장치를 보여주는 블록도이다. 도 1을 참조하면, 발명의 실시 예에 따른 유기전계발광 표시장치는 표시패널(10), 주사 구동부(20), 데이터 구동부(30), 타이밍 제어부(40), 전원 공급원 (50) 등을 구비한다.
- [0015] 표시패널(10)에는 데이터선들(DL1~DLm, m은 2 이상의 양의 정수)과 주사선들(SL1~SLn, n은 2 이상의 양의 정수)이 서로 교차되도록 형성된다. 표시패널(10)에는 데이터선들(DL1~DLm)과 주사선들(SL1~SLn)의 교차 영역에 매트릭스 형태로 배치된 화소(P)들이 형성된다. 본 발명의 실시 예에 따른 표시패널(10)의 화소(P)에 대한 자세한 설명은 도 3, 도 6, 도 9 및 도 12를 결부하여 후술한다.
- [0016] 주사 구동부(20)는 주사 타이밍 제어신호(SCS)에 응답하여 주사선들(SL1~SLn)에 주사신호들을 공급한다. 주사 구동부(20)는 1 프레임 기간을 복수의 서브필드들로 분할하여 구동한다.
- [0017] 주사 구동부(20)는 주사선들(SL1~SLn)에 주사신호들을 비순차적으로 공급할 수 있다. 이 경우, 주사 구동부(20)는 디코더 방식(decoder type)으로 구현될 수 있다. 또는, 주사 구동부(20)는 도 2와 같이 복수의 서브필드들 각각에서 주사선들(SL1~SLn)에 주사신호들을 순차적으로 공급할 수 있다. 이 경우, 주사 구동부(20)는 쉬프트 레지스터 방식으로 구현될 수 있다. 쉬프트 레지스터 방식의 주사 구동부(20)는 순차적으로 신호들을 출력하는 쉬프트 레지스터, 쉬프트 레지스터로부터 출력된 신호들을 화소(P)의 트랜지스터 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 출력 버퍼 등을 포함할 수 있다.
- [0018] 데이터 구동부(30)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들 각각은 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)를 입력받는다. 소스 드라이브 IC들 각각은 타이밍 제어부(40)로부터의 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(DATA)를 데이터 전압들로 변환한다. 소스 드라이브 IC들은 주사신호들 각각에 동기화하여 데이터 전압들을 데이터선들(D1~Dm)에 공급한다. 이에 따라, 주사신호가 공급되는 화소(P)들에 데이터 전압들이 공급된다.
- [0019] 타이밍 제어부(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized

Differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(미도시)으로부터 디지털 비디오 데이터(DATA)를 입력받는다. 타이밍 제어부(40)는 수직 동기신호(vertical sync signal), 수평 동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 도트 클럭(dot clock) 등을 포함하는 타이밍 신호들을 입력받는다. 타이밍 제어부(40)는 타이밍 신호들에 기초하여 데이터 구동부(20)와 주사 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 주사 구동부(30)의 동작 타이밍을 제어하기 위한 주사 타이밍 제어신호(SCS), 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS)를 포함한다. 타이밍 제어부(40)는 주사 타이밍 제어신호(SCS)를 주사 구동부(30)로 출력하고, 데이터 타이밍 제어신호(DCS)와 디지털 비디오 데이터(DATA)를 데이터 구동부(20)로 출력한다.

- [0020] 전원 공급원(50)은 표시패널(10)의 화소(P)들 각각에 제1 전원전압 라인을 통해 제1 전원전압을 공급하며, 제2 전원전압 라인을 통해 제2 전원전압을 공급한다. 제1 전원전압은 고전위 전압(ELVDD)으로 설정되고, 제2 전원전압은 저전위 전압(ELVSS)으로 설정될 수 있다. 이하에서는, 설명의 편의를 위해 제1 전원전압 라인이 고전위 전압 라인(VDDL)이고, 제2 전원전압 라인이 저전위 전압 라인(VSSL)인 것을 중심으로 설명한다.
- [0021] 또한, 전원 공급원(50)은 표시패널(10)의 화소(P)들 각각에 기준전압 라인을 통해 기준전압을 공급한다. 나아가, 전원 공급원(50)은 표시패널(10)의 화소(P)들 각각에 초기화 전압 라인을 통해 초기화 전압을 공급할 수 있다. 도 1에서는 설명의 편의를 위해 기준전압 라인과 초기화 전압 라인을 생략하였음에 주의하여야 한다. 기준전압 라인 및 초기화 전압 라인에 대한 자세한 설명은 도 3, 도 6, 도 9 및 도 12를 결부하여 후술한다. 기준전압에 대한 자세한 설명은 도 3, 도 5, 도 6, 도 8, 도 9, 도 11, 도 12 및 도 14를 결부하여 후술한다.
- [0022] 도 2는 디지털 구동방법에서 1 프레임 기간의 서브필드들을 보여주는 일 예시도면이다. 본 발명의 실시 예에 따른 유기전계발광 표시장치는 디지털 구동방법으로 구동된다. 디지털 구동방법은 1 프레임 기간을 복수의 서브필드들로 분할하여 구동한다.
- [0023] 도 2를 참조하면, 1 프레임 기간은 복수의 서브필드들로 분할된다. 도 2에서는 1 프레임 기간이 4 개의 서브필드들(SF1, SF2, SF3, SF4)로 분할된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0024] 제1 내지 제4 서브필드들(SF1, SF2, SF3, SF4) 각각의 기간은 서로 다르다. 서브필드의 기간은 제1 서브필드(SF1)로부터 제4 서브필드(SF4)로 갈수록 길어질 수 있다. 예를 들어, 도 2와 같이 제 $i$ ( $i$ 는 양의 정수) 서브필드의 기간은  $2^{i-1} \times t$  기간으로 설정될 수 있다. 즉, 제1 서브필드(SF1)는  $t$  기간, 제2 서브필드(SF2)는  $2t$  기간, 제3 서브필드(SF3)는  $4t$  기간, 제4 서브필드(SF4)는  $8t$  기간으로 설정될 수 있다. 이 경우, 화소(P)들 각각은 서브필드들 각각에서 어느 계조로 발광하는지에 따라 계조를 표현하게 된다.
- [0025] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 1 프레임 기간을 복수의 서브필드들로 분할하고, 서브필드들 각각에서 화소(P)들 각각을 소정의 계조로 표현한다. 그 결과, 본 발명의 실시 예는 서브필드들에서 화소(P)들 각각이 표현하는 계조들의 조합에 따라 화소(P)들 각각의 계조를 표현할 수 있다.
- [0026] 도 3은 본 발명의 제1 실시 예에 따른 화소의 등가 회로도이다. 도 3을 참조하면, 화소(P)는 제 $k$ ( $k$ 는  $1 \leq k \leq n$ 을 만족하는 양의 정수) 주사선과 제 $j$ ( $j$ 는  $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터선과 접속된다. 또한, 화소(P)는 고전위 전압 라인(VDDL), 저전위 전압 라인(VSSL), 및 기준전압 라인(VREFL)에 접속된다.
- [0027] 화소(P)는 구동 트랜지스터(transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 복수의 트랜지스터들, 및 캐패시터(capacitor, C) 등을 포함한다. 복수의 트랜지스터들은 제1 및 제2 트랜지스터들(ST1, ST2)을 포함할 수 있다.
- [0028] 구동 트랜지스터(DT)는 게이트 전극에 공급되는 데이터 전압에 따라 턴-온 또는 턴-오프된다. 구동 트랜지스터(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 제1 전극은 제1 전원전압 라인(VDDL)에 접속되며, 제2 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속된다. 여기서, 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.
- [0029] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)가 턴-온되는 경우 소정의 전류를 공급받아 발광한다. 유기발광

다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되고, 캐소드 전극은 저전위 전압 라인(VSSL)에 접속된다.

[0030] 제1 트랜지스터(ST1)는 제1 노드(N1)와 제j 데이터선(Dj) 사이에 접속된다. 제1 트랜지스터(ST1)는 제k 주사선(SLk)의 주사신호에 의해 턴-온되어 제1 노드(N1)에 제j 데이터선(Dj)의 데이터 전압을 공급한다. 제1 트랜지스터(ST1)의 게이트 전극은 제k 주사선(SLk)에 접속되고, 제1 전극은 제j 데이터선(Dj)에 접속되며, 제2 전극은 제1 노드(N1)에 접속된다.

[0031] 제2 트랜지스터(ST2)는 제1 노드(N1)와 고전위 전압 라인(VDDL) 사이에 접속된다. 제2 트랜지스터(ST2)의 게이트 전극과 제2 전극은 고전위 전압 라인(VDDL)에 접속되고, 제1 전극은 제1 노드(N1)에 접속된다. 즉, 제2 트랜지스터(ST2)는 다이오드 접속된다.

[0032] 제2 트랜지스터(ST2)는 P 타입 MOSFET으로 형성되므로, 게이트-소스간 전압(Vgs)이 문턱전압(Vth2)보다 낮은 경우(Vgs < Vth) 턴-온된다. 즉, 제2 트랜지스터(ST2)는 게이트 전압인 고전위 전압(ELVDD)과 소스 전압인 제1 노드(N1)의 전압 간의 전압 차가 문턱전압(Vth2)보다 낮은 경우, 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 제1 노드(N1)는 고전위 전압 라인(VDDL)에 접속된다. 이 경우, 제1 노드(N1)의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(ELVDD-Vth2)으로 방전된다. 결국, 제2 트랜지스터(ST2)는 제1 노드(N1)의 전압이 고전위 전압(ELVDD)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(ELVDD-Vth2)보다 커지지 않도록 유지하는 역할을 한다.

[0033] 캐패시터(C)는 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된다. 즉, 캐패시터(C)의 일측 전극은 제1 노드(N1)에 접속되고, 타측 전극은 기준전압 라인(VREFL)에 접속된다.

[0034] 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2) 각각의 반도체층은 폴리 실리콘(Poly Silicon)으로 형성될 수 있으나, 이에 한정되지 않으며, a-Si, 및 산화물 반도체, 특히 옥사이드(Oxide) 중 어느 하나로 형성될 수도 있다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2) 각각의 반도체층이 폴리 실리콘으로 형성되는 경우, 그를 형성하기 위한 공정은 저온 폴리 실리콘(Low Temperature Poly Silicon: LTPS) 공정일 수 있다. 또한, 도 3에서는 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)가 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였음에 주의하여야 한다.

[0035] 도 4는 본 발명의 제1 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보여주는 일 예시도면이다. 도 4에서 x 축은 구동 트랜지스터(DT)의 게이트 전압(Vg)을 의미하며, y 축은 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)를 의미한다. 도 4의 그래프는 구동 트랜지스터(DT)가 도 3과 같이 P 타입 MOSFET으로 형성된 것을 중심으로 도시되었음에 주의하여야 한다.

[0036] 1 프레임 기간은 복수의 서브필드들로 분할되고, 서브필드들 각각은 도 5와 같이 p(p는 2 이상의 양의 정수) 개의 기간들로 분할된다. 이 경우, 데이터 전압은 p+1 개의 계조 전압들 중 어느 하나의 계조 전압으로 공급될 수 있다. 도 4에서는 설명의 편의를 위해 1 프레임 기간이 3 개의 서브필드들로 분할되고, 데이터 전압은 4 개의 계조 전압들, 즉 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 중 어느 하나의 계조 전압으로 공급되는 것을 중심으로 설명하였다. 한편, 서브필드들 각각의 p 개의 기간들에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0037] 도 4를 참조하면, 구동 트랜지스터(DT)는 P 타입 MOSFET으로 형성된다. 이로 인해, 구동 트랜지스터(DT)는 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)이 구동 트랜지스터(DT)의 문턱전압보다 낮은 경우 턴-온되고, 높거나 같은 경우 턴-오프될 수 있다.

[0038] 제1 계조 전압(V00)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당한다. 즉, 고전위 전압(ELVDD)과 제1 계조 전압(V00) 간의 전압 차(ELVDD-V00)는 구동 트랜지스터(DT)의 문턱전압보다 높거나 같다. 턴-오프 전압은 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)가 소정의 전류보다 낮게 흐르도록 하는 전압을 의미한다. 소정의 전류는 유기발광다이오드(OLED)를 거의 발광시키지 않을 만큼의 전류일 수 있으며, 사전 실험을 통해 미리 결정될 수 있다.

[0039] 제2 내지 제4 계조 전압(V01, V10, V11)은 구동 트랜지스터(DT)를 턴-온시키는 턴-온 전압에 해당한다. 즉, 고전위 전압(ELVDD)과 제2 계조 전압(V01) 간의 전압 차(ELVDD-V01)는 구동 트랜지스터(DT)의 문턱전압보다 낮고, 고전위 전압(ELVDD)과 제3 계조 전압(V10) 간의 전압 차(ELVDD-V10) 역시 구동 트랜지스터(DT)의 문턱전압보다

낮으며, 고전위 전압(ELVDD)과 제4 계조 전압(V11) 간의 전압 차(ELVDD-V11) 역시 구동 트랜지스터(DT)의 문턱 전압보다 낮다. 한편, 턴-온 전압은 구동 트랜지스터(DT)의 채널을 거의 개방시키는 전압, 즉 드레인-소스간 전류가 포화(saturation)되는 구간의 전압을 의미한다. 드레인-소스간 전류가 포화되는 구간은 드레인-소스간 전류가 90% 이상으로 흐르는 구간으로, 도 4에서는 제2 계조 전압(V02)보다 낮은 전압 구간에 해당한다.

[0040] 한편, 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 각각은 소정의 전압만큼 차이가 날 수 있다. 예를 들어, 서브필드들 각각이 p 개의 기간들로 분할되는 경우, 제r( $1 \leq r \leq p$ )를 만족하는 양의 정수 계조 전압은 제r+1 계조 전압보다 상기 소정의 전압만큼 높거나 낮은 전압일 수 있다. 또한, 서브필드들 각각이 p 개의 기간들로 분할되는 경우, 소정의 전압은 제q( $1 \leq q < p$ )를 만족하는 양의 정수) 기간의 기준전압과 제q 기간에 인접한 기간인 제q-1 또는 제q+1 기간의 기준전압 사이의 전압 변화량( $\Delta VREF$ )에 해당한다. 이하에서는, 설명의 편의를 위해 제q 기간의 기준전압과 제q-1 또는 제q+1 기간의 기준전압 사이의 전압 변화량( $\Delta VREF$ )을 간단히 기준 전압 변화량으로 정의한다.

[0041] 도 5는 도 3의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도이다. 도 5에는 제i 서브필드(SFi) 동안 제k 주사선(SLk)에 공급되는 제k 주사신호(SCANK), 제j 데이터선(Dj)에 공급되는 제j 데이터 전압(DATAj)이 나타나 있다. 또한, 도 5에는 제i 서브필드(SFi) 동안 기준전압 라인(VREFL)에 공급되는 기준전압(VREF)이 나타나 있다.

[0042] 도 5를 참조하면, 제i 서브필드(SFi)는 p 개의 기간들로 균등하게 분할된다. 이하에서는, 설명의 편의를 위해 제i 서브필드(SFi)가 도 5와 같이 3 개의 기간들( $t_1, t_2, t_3$ )로 균등하게 분할된 것을 중심으로 설명한다.

[0043] 제1 기간( $t_1$ )은 데이터 전압 공급 기간( $t_d$ )을 포함한다. 데이터 전압 공급 기간( $t_d$ )은 제k 주사선(SLk)의 게이트 온 전압( $V_{on}$ )의 제k 주사신호(SCANK)에 의해 화소(P)의 제1 트랜지스터(T1)가 턴-온되어 제j 데이터선(Dj)의 데이터 전압( $V_{data}$ )이 화소(P)의 제1 노드(N1)에 공급되는 기간이다. 게이트 온 전압( $V_{on}$ )은 제1 트랜지스터(T1)를 턴-온시키는 턴-온 전압에 해당하고, 게이트 오프 전압( $V_{off}$ )은 제1 트랜지스터(T1)를 턴-오프시키는 턴-오프 전압에 해당한다.

[0044] 기준전압(VREF)은 제i 서브필드(SFi)의 제1 내지 제3 기간들( $t_1 \sim t_3$ )의 기간마다 기준전압 변화량( $\Delta VREF$ )만큼 높아진다. 구체적으로, 기준전압(VREF)은 제1 기간( $t_1$ ) 동안 제1 레벨 전압(V1)으로 공급되고, 제2 기간( $t_2$ ) 동안 제2 레벨 전압(V2)으로 공급되며, 제3 기간( $t_3$ ) 동안 제3 레벨 전압(V3)으로 공급된다. 제2 레벨 전압(V2)은 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높은 전압이고, 제3 레벨 전압(V3)은 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 높은 전압이다. 즉, 제q+1 기간의 기준전압(VREF)은 제q 기간의 기준 전압(VREF)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다.

[0045] 기준전압 변화량( $\Delta VREF$ )은 구동 트랜지스터(DT)의 턴-온 전압과 턴-오프 전압 간의 차전압의 최소값보다 높은 전압으로 설정되어야 한다. 기준전압 변화량( $\Delta VREF$ )이 구동 트랜지스터(DT)의 턴-온 전압과 턴-오프 전압 간의 차전압의 최소값보다 작은 경우, 본 발명의 실시 예에 따른 화소(P)는 비발광하여야 함에도 발광하는 문제가 발생할 수 있다.

[0046] 이하에서는, 도 3 내지 도 5를 결부하여 데이터 전압( $V_{data}$ )이 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 중 어느 하나로 공급되는 경우, 제1 내지 제3 기간( $t_1 \sim t_3$ ) 동안 화소(P)의 동작을 상세히 살펴본다.

[0047] 첫 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제1 계조 전압(V00)이 공급되는 경우, 제1 내지 제3 기간( $t_1 \sim t_3$ ) 동안 화소(P)의 동작을 설명한다.

[0048] 제1 기간( $t_1$ )의 데이터 전압 공급 기간( $t_d$ ) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제1 계조 전압(V00)을 제1 노드(N1)에 공급한다. 제1 계조 전압(V00)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간( $t_1$ ) 동안 턴-오프된다. 또한, 제1 기간( $t_1$ ) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다.

[0049] 제2 기간( $t_2$ ) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간( $t_1$ ) 동안 공급되는 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간( $t_2$ ) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간( $t_2$ ) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간( $t_2$ ) 동안 제1 계조 전압(V0

0)과 기준전압 변화량( $\Delta V_{REF}$ )을 합한 전압이 된다.

- [0050] 제1 노드(N1)의 전압이 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ ) 간의 차전압(ELVDD- $V_{th2}$ )보다 높은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ ) 간의 차전압(ELVDD- $V_{th2}$ )으로 방전된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간( $t_2$ ) 동안 턴-오프된다.
- [0051] 제3 기간( $t_3$ ) 동안 기준전압( $V_{REF}$ )은 제3 레벨 전압( $V_3$ )으로 공급된다. 제3 기간( $t_3$ ) 동안 공급되는 제3 레벨 전압( $V_3$ )은 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압( $V_2$ )보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인( $V_{REFL}$ ) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링(capacitance coupling)에 의해 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 상승한다.
- [0052] 한편, 제1 노드(N1)의 전압이 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ ) 간의 차전압(ELVDD- $V_{th2}$ )보다 높은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ ) 간의 차전압(ELVDD- $V_{th2}$ )으로 방전된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간( $t_3$ ) 동안 턴-오프된다.
- [0053] 도 4와 같이 P 타입 MOSFET으로 형성된 구동 트랜지스터(DT)의 게이트 전압( $V_g$ )이 제1 게조 전압( $V_{00}$ )보다 높은 경우, 구동 트랜지스터(DT)가 턴-오프됨에도 불구하고, 구동 트랜지스터(DT)의 드레인-소스간 전류( $I_{ds}$ )는 구동 트랜지스터(DT)의 게이트 전압( $V_g$ )에 비례하여 상승한다. 즉, 구동 트랜지스터(DT)는 소정의 전류를 누설하게 되며, 이로 인해 유기발광다이오드(OLED)는 미세 발광하는 문제가 발생할 수 있다. 하지만, 본 발명의 실시 예는 제2 트랜지스터(ST2)를 이용하여 제1 노드(N1)의 전압을 제2 트랜지스터(ST2)에 의해 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ ) 간의 차전압(ELVDD- $V_{th2}$ )보다 낮은 레벨로 유지한다. 이로 인해, 본 발명의 실시 예는 제2 및 제3 기간( $t_2, t_3$ ) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류( $I_{ds}$ )의 누설을 최소화할 수 있다.
- [0054] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호( $SL_k$ )에 동기화하여 제j 데이터선( $D_j$ )에 제1 게조 전압( $V_{00}$ )이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간( $t_1$ - $t_3$ ) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간( $t_1$ - $t_3$ ) 동안 발광하지 않으므로, 화소(P)는 제1 내지 제3 기간( $t_1$ - $t_3$ ) 동안 발광하지 않는다.
- [0055] 두 번째로, 제k 주사신호( $SL_k$ )에 동기화하여 제j 데이터선( $D_j$ )에 제2 게조 전압( $V_{01}$ )이 공급되는 경우, 제1 내지 제3 기간( $t_1$ - $t_3$ ) 동안 화소(P)의 동작을 설명한다.
- [0056] 제1 기간( $t_1$ )의 데이터 전압 공급 기간( $t_d$ ) 동안 제1 트랜지스터(ST1)는 제k 주사신호( $SCAN_k$ )에 의해 턴-온되어 제j 데이터선( $D_j$ )의 제2 게조 전압( $V_{01}$ )을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간( $t_1$ ) 동안 턴-온된다. 또한, 제1 기간( $t_1$ ) 동안 기준전압( $V_{REF}$ )은 제1 레벨 전압( $V_1$ )으로 공급된다.
- [0057] 제2 기간( $t_2$ ) 동안 기준전압( $V_{REF}$ )은 제2 레벨 전압( $V_2$ )으로 공급된다. 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압( $V_2$ )은 제1 기간( $t_1$ ) 동안 공급되는 제1 레벨 전압( $V_1$ )보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인( $V_{REFL}$ ) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간( $t_2$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간( $t_2$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간( $t_2$ ) 동안 제2 게조 전압( $V_{01}$ )과 기준전압 변화량( $\Delta V_{REF}$ )을 합한 전압인 제1 게조 전압( $V_{00}$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간( $t_2$ ) 동안 턴-오프된다.
- [0058] 제3 기간( $t_3$ ) 동안 기준전압( $V_{REF}$ )은 제3 레벨 전압( $V_3$ )으로 공급된다. 제3 기간( $t_3$ ) 동안 공급되는 제3 레벨 전압( $V_3$ )은 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압( $V_2$ )보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인( $V_{REFL}$ ) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제3 기간( $t_3$ ) 동안 제1 게조 전압( $V_{00}$ )과 기준전압 변화량( $\Delta V_{REF}$ )을 합한 전압( $V_{00} + \Delta V_{REF}$ )이 된다.
- [0059] 한편, 제1 노드(N1)의 전압이 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ ) 간의 차전압(ELVDD- $V_{th2}$ )보다 높은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ ) 간의 차전압(ELVDD- $V_{th2}$ )으로 방전된다. 이로 인해, 구동 트

랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.

- [0060] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제2 계조 전압(V01)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온되고, 제2 및 제3 기간(t2, t3) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 기간(t1) 동안 발광하고 제2 및 제3 기간(t2, t3) 동안 발광하지 않는다. 즉, 화소(P)는 제1 기간(t1) 동안 발광하고, 제2 및 제3 기간(t2, t3) 동안 발광하지 않는다.
- [0061] 또한, 본 발명의 실시 예는 제2 트랜지스터(ST2)를 이용하여 제1 노드(N1)의 전압을 제2 트랜지스터(ST2)에 의해 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(ELVDD+Vth2)보다 낮은 레벨로 유지한다. 그러므로, 본 발명의 실시 예는 제3 기간(t3) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류의 누설을 최소화할 수 있다.
- [0062] 세 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제3 계조 전압(V10)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.
- [0063] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제3 계조 전압(V01)을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다.
- [0064] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제3 계조 전압(V10)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압인 제2 계조 전압(V01)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-온된다.
- [0065] 제3 기간(t3) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다. 제3 기간(t3) 동안 공급되는 제3 레벨 전압(V3)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제2 계조 전압(V01)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압인 제1 계조 전압(V00)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.
- [0066] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제3 계조 전압(V10)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 및 제2 기간(t1, t2) 동안 턴-온되고, 제3 기간(t2, t3) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 및 제2 기간(t1, t2) 동안 발광하고 제3 기간(t3) 동안 발광하지 않는다. 즉, 화소(P)는 제1 및 제2 기간(t1, t2) 동안 발광하고, 제3 기간(t3) 동안 발광하지 않는다.
- [0067] 네 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제4 계조 전압(V11)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.
- [0068] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제4 계조 전압(V11)을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다.
- [0069] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제4 계조 전압(V11)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압인 제3 계조 전압(V10)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-온된다.

- [0070] 제3 기간( $t_3$ ) 동안 기준전압(VREF)은 제3 레벨 전압( $V_3$ )으로 공급된다. 제3 기간( $t_3$ ) 동안 공급되는 제3 레벨 전압( $V_3$ )은 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압( $V_2$ )보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 높다. 이 경우, 제1 노드( $N_1$ )와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드( $N_1$ )에 반영된다. 이로 인해, 제1 노드( $N_1$ )의 전압은 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 상승한다. 즉, 제1 노드( $N_1$ )의 전압은 제3 기간( $t_3$ ) 동안 제3 계조 전압( $V_{10}$ )과 기준전압 변화량( $\Delta V_{REF}$ )을 합한 전압인 제2 계조 전압( $V_{01}$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간( $t_3$ ) 동안 턴-온된다.
- [0071] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제4 계조 전압( $V_{11}$ )이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간( $t_1, t_2, t_3$ ) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간( $t_1, t_2, t_3$ ) 동안 발광한다. 즉, 화소(P)는 제1 내지 제3 기간( $t_1, t_2, t_3$ ) 동안 발광한다.
- [0072] 결국, 화소(P)는 제1 내지 제p+1 계조 전압들 중 어느 계조 전압을 공급받느냐에 따라 제i 서브필드(SFi) 동안 p+1 개의 계조들 중 어느 하나를 표현할 수 있다. 그러므로, 본 발명의 실시 예는 1 프레임 기간을 h(h는 2 이상의 양의 정수) 개의 서브필드들로 분할하여 구동하는 경우, 화소(P)는  $(p+1)^h$  개의 계조들을 표현하도록 구현될 수 있다.
- [0073] 종래에는 화소들 각각이 서브필드들 각각에서 2 개의 계조들을 표현하였으나, 본 발명의 실시 예는 화소들 각각이 서브필드들 각각에서 3 개 이상의 계조들을 표현할 수 있다. 그러므로, 본 발명의 실시 예는 종래보다 1 프레임 기간에 포함된 서브필드들의 개수를 줄일 수 있다.
- [0074] 도 6은 본 발명의 제2 실시 예에 따른 화소의 등가 회로도이다. 도 6을 참조하면, 화소(P)는 제k 주사선과 제j 데이터선과 접속된다. 또한, 화소(P)는 고전위 전압 라인(VDDL), 저전위 전압 라인(VSSL), 및 기준전압 라인(VREFL)에 접속된다.
- [0075] 화소(P)는 구동 트랜지스터(DT), 유기발광다이오드(OLED), 복수의 트랜지스터들, 및 캐패시터(capacitor, C) 등을 포함한다. 복수의 트랜지스터들은 제1 및 제2 트랜지스터들(ST1, ST2)을 포함할 수 있다.
- [0076] 본 발명의 제2 실시 예에 따른 화소(P)의 구동 트랜지스터(DT), 유기발광다이오드(OLED), 제1 트랜지스터(ST1), 및 캐패시터(C)는 구동 트랜지스터(DT)와 제1 트랜지스터(ST1)가 N 타입 MOSFET으로 형성된 것을 제외하고는 본 발명의 제1 실시 예에 따른 화소(P)와 실질적으로 동일하다. 따라서, 본 발명의 제2 실시 예에 따른 화소(P)의 구동 트랜지스터(DT), 유기발광다이오드(OLED), 제1 트랜지스터(ST1), 및 캐패시터(C)에 대한 자세한 설명은 생략하기로 한다.
- [0077] 제2 트랜지스터(ST2)는 제1 노드( $N_1$ )와 고전위 전압 라인(VDDL) 사이에 접속된다. 제2 트랜지스터(ST2)의 게이트 전극과 제2 전극은 고전위 전압 라인(VDDL)에 접속되고, 제1 전극은 제1 노드( $N_1$ )에 접속된다. 즉, 제2 트랜지스터(ST2)는 다이오드 접속된다.
- [0078] 제2 트랜지스터(ST2)는 N 타입 MOSFET으로 형성되므로, 게이트-소스간 전압( $V_{gs}$ )이 문턱전압( $V_{th2}$ )보다 높은 경우( $V_{gs} > V_{th}$ ) 턴-온된다. 즉, 제2 트랜지스터(ST2)는 게이트 전압인 제1 노드( $N_1$ )의 전압과 소스 전압인 고전위 전압(ELVDD) 간의 전압 차가 문턱전압( $V_{th2}$ )보다 높은 경우, 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 제1 노드( $N_1$ )는 고전위 전압 라인(VDDL)에 접속된다. 이 경우, 제1 노드( $N_1$ )의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ )을 합한 전압(ELVDD+ $V_{th2}$ )으로 방전된다. 결국, 제2 트랜지스터(ST2)는 제1 노드( $N_1$ )의 전압이 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압( $V_{th2}$ )을 합한 전압(ELVDD+ $V_{th2}$ )보다 커지지 않도록 유지하는 역할을 한다.
- [0079] 도 7은 본 발명의 제2 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보여주는 일 예시도면이다. 도 7에서 x 축은 구동 트랜지스터(DT)의 게이트 전압( $V_g$ )을 의미하며, y 축은 구동 트랜지스터(DT)의 드레인-소스간 전류( $I_{ds}$ )를 의미한다. 도 7의 그래프는 구동 트랜지스터(DT)가 도 6과 같이 N 타입 MOSFET으로 형성된 것을 중심으로 도시되었음에 주의하여야 한다.
- [0080] 1 프레임 기간은 복수의 서브필드들로 분할되고, 서브필드들 각각은 도 8과 같이 p 개의 기간들로 분할된다.

이 경우, 데이터 전압은  $p+1$  개의 계조 전압들 중 어느 하나의 계조 전압으로 공급될 수 있다. 도 7에서는 설명의 편의를 위해 1 프레임 기간이 3 개의 서브필드들로 분할되고, 데이터 전압은 4 개의 계조 전압들, 즉 제1 내지 제4 계조 전압들( $V00, V01, V10, V11$ ) 중 어느 하나의 계조 전압으로 공급되는 것을 중심으로 설명하였다. 한편, 서브필드들 각각의  $p$  개의 기간들에 대한 자세한 설명은 도 8을 결부하여 후술한다.

[0081] 도 7을 참조하면, 구동 트랜지스터(DT)는 N 타입 MOSFET으로 형성된다. 이로 인해, 구동 트랜지스터(DT)는 구동 트랜지스터(DT)의 게이트-소스간 전압( $V_{gs}$ )이 구동 트랜지스터(DT)의 문턱전압보다 높은 경우 턴-온되고, 낮거나 같은 경우 턴-오프될 수 있다.

[0082] 제1 내지 제3 계조 전압( $V00, V01, V10$ )은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당한다. 즉, 고전위 전압( $ELVDD$ )과 제1 계조 전압( $V00$ ) 간의 전압 차( $ELVDD-V00$ )는 구동 트랜지스터(DT)의 문턱전압보다 낮거나 같고, 고전위 전압( $ELVDD$ )과 제2 계조 전압( $V01$ ) 간의 전압 차( $ELVDD-V01$ )는 구동 트랜지스터(DT)의 문턱전압보다 낮거나 같으며, 고전위 전압( $ELVDD$ )과 제3 계조 전압( $V10$ ) 간의 전압 차( $ELVDD-V10$ )는 구동 트랜지스터(DT)의 문턱전압보다 낮거나 같다. 턴-오프 전압은 구동 트랜지스터(DT)의 드레인-소스간 전류( $I_{ds}$ )가 소정의 전류보다 낮게 흐르도록 하는 전압을 의미한다. 소정의 전류는 유기발광다이오드(OLED)를 거의 발광시키지 않을 만큼의 전류일 수 있으며, 사전 실험을 통해 미리 결정될 수 있다.

[0083] 제4 계조 전압( $V11$ )은 구동 트랜지스터(DT)를 턴-온시키는 턴-온 전압에 해당한다. 즉, 고전위 전압( $ELVDD$ )과 제4 계조 전압( $V11$ ) 간의 전압 차( $ELVDD-V11$ )는 구동 트랜지스터(DT)의 문턱전압보다 높다. 턴-온 전압은 구동 트랜지스터(DT)의 채널을 거의 개방시키는 전압, 즉 드레인-소스간 전류가 포화(saturation)되는 구간의 전압을 의미한다. 드레인-소스간 전류가 포화되는 구간은 드레인-소스간 전류가 90% 이상으로 흐르는 구간으로, 도 7에서는 제4 계조 전압( $V11$ )보다 높은 전압 구간에 해당한다.

[0084] 한편, 제1 내지 제4 계조 전압들( $V00, V01, V10, V11$ ) 각각은 소정의 전압만큼 차이가 날 수 있다. 예를 들어, 서브필드들 각각이  $p$  개의 기간들로 분할되는 경우, 제 $r$ ( $r$ 은  $1 \leq r \leq p$ 를 만족하는 양의 정수) 계조 전압은 제 $r+1$  계조 전압보다 상기 소정의 전압만큼 높거나 낮은 전압일 수 있다. 또한, 서브필드들 각각이  $p$  개의 기간들로 분할되는 경우, 소정의 전압은 제 $q$ ( $q$ 는  $1 \leq q \leq p$ 를 만족하는 양의 정수) 기간의 기준전압과 제 $q$  기간에 인접한 기간인 제 $q-1$  또는 제 $q+1$  기간의 기준전압 사이의 전압 변화량( $\Delta V_{REF}$ )에 해당한다. 이하에서는, 설명의 편의를 위해 제 $q$  기간의 기준전압과 제 $q-1$  또는 제 $q+1$  기간의 기준전압 사이의 전압 변화량( $\Delta V_{REF}$ )을 간단히 기준전압 변화량으로 정의한다.

[0085] 도 8은 도 6의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도이다. 도 8에는 제 $i$  서브필드(SFi) 동안 제 $k$  주사선(SLk)에 공급되는 제 $k$  주사신호(SCANK), 제 $j$  데이터선(Dj)에 공급되는 제 $j$  데이터 전압(DATAj)이 나타나 있다. 또한, 도 8에는 제 $i$  서브필드(SFi) 동안 기준전압 라인(VREFL)에 공급되는 기준전압(VREF)이 나타나 있다.

[0086] 도 8을 참조하면, 제 $i$  서브필드(SFi)는  $p$  개의 기간들로 균등하게 분할된다. 이하에서는, 설명의 편의를 위해 제 $i$  서브필드(SFi)가 도 8과 같이 3 개의 기간들( $t1, t2, t3$ )로 균등하게 분할된 것을 중심으로 설명한다.

[0087] 도 8에 도시된 제 $k$  주사신호(SCANK), 제 $j$  데이터 전압(DATAj), 및 기준전압(VREF)은 제 $k$  주사신호(SCANK)의 게이트 온 전압( $V_{on}$ )이 게이트 오프 전압( $V_{off}$ )보다 하이 레벨 전압인 것을 제외하고는, 도 5에 도시된 제 $k$  주사신호(SCANK), 제 $j$  데이터 전압(DATAj), 및 기준전압(VREF)과 실질적으로 동일하다. 따라서, 도 8에 도시된 제 $k$  주사신호(SCANK), 제 $j$  데이터 전압(DATAj), 및 기준전압(VREF)에 대한 자세한 설명은 생략하기로 한다.

[0088] 이하에서는, 도 6 내지 도 8을 결부하여 데이터 전압( $V_{data}$ )이 제1 내지 제4 계조 전압들( $V00, V01, V10, V11$ ) 중 어느 하나로 공급되는 경우, 제1 내지 제3 기간( $t1 \sim t3$ ) 동안 화소(P)의 동작을 상세히 살펴본다.

[0089] 첫 번째로, 제 $k$  주사신호(SLk)에 동기화하여 제 $j$  데이터선(Dj)에 제1 계조 전압( $V00$ )이 공급되는 경우, 제1 내지 제3 기간( $t1 \sim t3$ ) 동안 화소(P)의 동작을 설명한다.

[0090] 제1 기간( $t1$ )의 데이터 전압 공급 기간( $t_d$ ) 동안 제1 트랜지스터(ST1)는 제 $k$  주사신호(SCANK)에 의해 턴-온되어 제 $j$  데이터선(Dj)의 제1 계조 전압( $V00$ )을 제1 노드(N1)에 공급한다. 제1 계조 전압( $V00$ )은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간( $t1$ ) 동안 턴-오프된다. 또한, 제1 기간( $t1$ ) 동안 기준전압(VREF)은 제1 레벨 전압( $V1$ )으로 공급된다.

[0091] 제2 기간( $t2$ ) 동안 기준전압(VREF)은 제2 레벨 전압( $V2$ )으로 공급된다. 제2 기간( $t2$ ) 동안 공급되는 제2 레벨

전압(V2)은 제1 기간(t1) 동안 공급되는 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제1 계조 전압(V0)과 기준전압 변화량( $\Delta VREF$ )을 합한 제2 계조 전압(V01)이 된다. 제2 계조 전압(V01)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-오프된다.

[0092] 제3 기간(t3) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다. 제3 기간(t3) 동안 공급되는 제3 레벨 전압(V3)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제2 계조 전압(V0)과 기준전압 변화량( $\Delta VREF$ )을 합한 제3 계조 전압(V10)이 된다. 제3 계조 전압(V10)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.

[0093] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제1 계조 전압(V00)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간(t1~t3) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간(t1~t3) 동안 발광하지 않는다. 즉, 화소(P)는 제1 내지 제3 기간(t1~t3) 동안 발광하지 않는다.

[0094] 두 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제2 계조 전압(V01)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.

[0095] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제2 계조 전압(V01)을 제1 노드(N1)에 공급한다. 제2 계조 전압(V01)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-오프된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다.

[0096] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제2 계조 전압(V0)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압인 제3 계조 전압(V10)이 된다. 제3 계조 전압(V10)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-오프된다.

[0097] 제3 기간(t3) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다. 제3 기간(t3) 동안 공급되는 제3 레벨 전압(V3)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제3 계조 전압(V10)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압인 제4 계조 전압(V11)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-온된다.

[0098] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제2 계조 전압(V01)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 및 제2 기간(t1, t2) 동안 턴-오프되고, 제3 기간(t3) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 및 제2 기간(t1, t2) 동안 발광하고 제3 기간(t3) 동안 발광하지 않는다. 즉, 화소(P)는 제1 및 제2 기간(t1, t2) 동안 발광하고, 제3 기간(t3) 동안 발광하지 않는다.

[0099] 세 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제3 계조 전압(V10)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.

[0100] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제3 계조 전압(V01)을 제1 노드(N1)에 공급한다. 제3 계조 전압(V10)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-오프된다. 또

한, 제1 기간(t1) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다.

[0101] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제3 계조 전압(V10)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압인 제4 계조 전압(V11)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-온된다.

[0102] 제3 기간(t3) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다. 제3 기간(t3) 동안 공급되는 제3 레벨 전압(V3)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제4 계조 전압(V11)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압(V11+ $\Delta VREF$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-온된다.

[0103] 한편, 제1 노드(N1)의 전압이 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 높은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)으로 방전된다. 즉, 제1 노드(N1)의 전압은 제2 트랜지스터(ST2)에 의해 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 낮은 레벨을 갖는다.

[0104] 제1 노드(N1)의 전압이 제4 계조 전압(V11)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압(V11+ $\Delta VREF$ )보다 커지는 경우, 구동 트랜지스터(DT)의 게이트 전극(Vg)에 인가되는 전압의 범위가 너무 넓어지게 된다. 이를 방지하기 위해, 본 발명의 실시 예는 제2 트랜지스터(ST2)를 이용하여 제1 노드(N1)의 전압을 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 낮은 레벨로 유지한다. 이로 인해, 본 발명의 실시 예는 구동 트랜지스터(DT)의 게이트 전극(Vg)에 인가되는 전압의 범위가 너무 넓어지지 않도록 제어할 수 있다.

[0105] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제3 계조 전압(V10)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-오프되고, 제2 및 제3 기간(t2, t3) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 기간(t1) 동안 발광하지 않고 제2 및 제3 기간(t2, t3) 동안 발광한다. 즉, 화소(P)는 제1 기간(t1) 동안 발광하지 않고 제2 및 제3 기간(t2, t3) 동안 발광한다.

[0106] 네 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제4 계조 전압(V11)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.

[0107] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제4 계조 전압(V11)을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다.

[0108] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제4 계조 전압(V11)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압(V11+ $\Delta VREF$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-온된다.

[0109] 한편, 제1 노드(N1)의 전압이 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 높은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)으로 방전된다. 즉, 제1 노드(N1)의 전압은 제2 트랜지스터(ST2)에 의해 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합

한 전압(ELVDD+Vth2)보다 낮은 레벨을 갖는다.

- [0110] 제3 기간(t3) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다. 제3 기간(t3) 동안 공급되는 제3 레벨 전압(V3)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 상승한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제4 계조 전압(V11)과 기준전압 변화량( $\Delta VREF$ )을 합한 전압( $V11+\Delta VREF$ )에 기준전압 변화량( $\Delta VREF$ )을 합한 전압( $V11+2\times\Delta VREF$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-온된다.
- [0111] 한편, 제1 노드(N1)의 전압이 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 높은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)으로 방전된다. 즉, 제1 노드(N1)의 전압은 제2 트랜지스터(ST2)에 의해 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 낮은 레벨을 갖는다.
- [0112] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제4 계조 전압(V11)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간(t1, t2, t3) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간(t1, t2, t3) 동안 발광한다. 즉, 화소(P)는 제1 내지 제3 기간(t1, t2, t3) 동안 발광한다.
- [0113] 또한, 본 발명의 실시 예는 제2 트랜지스터(ST2)를 이용하여 제1 노드(N1)의 전압을 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 낮은 레벨로 유지한다. 이로 인해, 본 발명의 실시 예는 구동 트랜지스터(DT)의 게이트 전극(Vg)에 인가되는 전압의 범위가 너무 넓어지지 않도록 제어할 수 있다.
- [0114] 결국, 화소(P)는 제1 내지 제p+1 계조 전압들 중 어느 전압을 공급받느냐에 따라 제i 서브필드(SFi) 동안 p+1 개의 계조들 중 어느 하나를 표현할 수 있다. 그러므로, 본 발명의 실시 예는 1 프레임 기간을 h(h는 2 이상의 양의 정수) 개의 서브필드들로 분할하여 구동하는 경우, 화소(P)가  $(p+1)^h$  개의 계조들을 표현하도록 구현될 수 있다.
- [0115] 종래에는 화소들 각각이 서브필드들 각각에서 2 개의 계조들을 표현하였으나, 본 발명의 실시 예는 화소들 각각이 서브필드들 각각에서 3 개 이상의 계조들을 표현할 수 있다. 그러므로, 본 발명의 실시 예는 종래보다 1 프레임 기간에 포함된 서브필드들의 개수를 줄일 수 있다.
- [0116] 도 9는 본 발명의 제3 실시 예에 따른 화소의 등가 회로도이다. 도 9를 참조하면, 화소(P)는 제k 주사선과 제j 데이터선과 접속된다. 또한, 화소(P)는 고전위 전압 라인(VDDL), 저전위 전압 라인(VSSL), 기준전압 라인(VREF) 및 초기화 전압 라인(ViniL)에 접속된다.
- [0117] 화소(P)는 구동 트랜지스터(DT), 유기발광다이오드(OLED), 복수의 트랜지스터들, 및 캐패시터(capacitor, C) 등을 포함한다. 복수의 트랜지스터들은 제1 및 제2 트랜지스터들(ST1, ST2)을 포함할 수 있다.
- [0118] 본 발명의 제3 실시 예에 따른 화소(P)는 제2 트랜지스터(ST2)를 제외하고는 본 발명의 제1 실시 예에 따른 화소(P)와 실질적으로 동일하다. 따라서, 본 발명의 제3 실시 예에 따른 화소(P)의 구동 트랜지스터(DT), 유기발광다이오드(OLED), 제1 트랜지스터(ST1) 및 캐패시터(C)에 대한 자세한 설명은 생략하기로 한다.
- [0119] 도 9를 참조하면, 제2 트랜지스터(ST2)는 제1 노드(N1)와 초기화 전압 라인(ViniL) 사이에 접속된다. 제2 트랜지스터(ST2)의 게이트 전극과 제1 전극은 제1 노드(N1)에 접속되고, 제2 전극은 초기화 전압 라인(ViniL)에 접속된다. 즉, 제2 트랜지스터(ST2)는 다이오드 접속된다.
- [0120] 제2 트랜지스터(ST2)는 P 타입 MOSFET으로 형성되므로, 게이트-소스간 전압(Vgs)이 문턱전압(Vth2)보다 낮은 경우( $Vgs < Vth$ ) 턴-온된다. 즉, 제2 트랜지스터(ST2)는 게이트 전압인 제1 노드(N1)의 전압과 소스 전압인 초기화 전압(Vini) 간의 전압 차가 문턱전압(Vth2)보다 낮은 경우, 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 제1 노드(N1)는 초기화 전압 라인(ViniL)에 접속된다. 이 경우, 제1 노드(N1)의 전압은 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)으로 충전된다. 결국, 제2 트랜지스

터(ST2)는 제1 노드(N1)의 전압이 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(ELVDD+Vth2)보다 작아지지 않도록 유지하는 역할을 한다.

[0121] 도 10은 본 발명의 제3 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보여주는 일 예시도면이다. 도 10에서 x 축은 구동 트랜지스터(DT)의 게이트 전압(Vg)을 의미하며, y 축은 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)를 의미한다. 도 10의 그래프는 구동 트랜지스터(DT)가 도 9와 같이 P 타입 MOSFET으로 형성된 것을 중심으로 도시되었음에 주의하여야 한다.

[0122] 1 프레임 기간은 복수의 서브필드들로 분할되고, 서브필드들 각각은 도 11과 같이 p 개의 기간들로 분할된다. 이 경우, 데이터 전압은 p+1 개의 계조 전압들 중 어느 하나의 계조 전압으로 공급될 수 있다. 도 10에서는 설명의 편의를 위해 1 프레임 기간이 3 개의 서브필드들로 분할되고, 데이터 전압은 4 개의 계조 전압들, 즉 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 중 어느 하나의 계조 전압으로 공급되는 것을 중심으로 설명하였다. 한편, 서브필드들 각각의 p 개의 기간들에 대한 자세한 설명은 도 11을 결부하여 후술한다.

[0123] 도 10을 참조하면, 구동 트랜지스터(DT)는 P 타입 MOSFET으로 형성된다. 이로 인해, 구동 트랜지스터(DT)는 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)이 구동 트랜지스터(DT)의 문턱전압보다 낮은 경우 턴-온되고, 높거나 같은 경우 턴-오프될 수 있다.

[0124] 제1 내지 제3 계조 전압들(V00, V01, V02)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당한다. 즉, 고전위 전압(ELVDD)과 제1 계조 전압(V00) 간의 전압 차(ELVDD-V00)는 구동 트랜지스터(DT)의 문턱전압보다 낮거나 같고, 고전위 전압(ELVDD)과 제2 계조 전압(V01) 간의 전압 차(ELVDD-V00)는 구동 트랜지스터(DT)의 문턱전압보다 낮거나 같으며, 고전위 전압(ELVDD)과 제3 계조 전압(V10) 간의 전압 차(ELVDD-V00)는 구동 트랜지스터(DT)의 문턱전압보다 낮거나 같다. 턴-오프 전압은 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)가 소정의 전류보다 낮게 흐르도록 하는 전압을 의미한다. 소정의 전류는 유기발광다이오드(OLED)를 거의 발광시키지 않을 만큼의 전류일 수 있으며, 사전 실험을 통해 미리 결정될 수 있다.

[0125] 제4 계조 전압(V11)은 구동 트랜지스터(DT)를 턴-온시키는 턴-온 전압에 해당한다. 즉, 고전위 전압(ELVDD)과 제4 계조 전압(V11) 간의 전압 차(ELVDD-V11)는 구동 트랜지스터(DT)의 문턱전압보다 높다. 턴-온 전압은 구동 트랜지스터(DT)의 채널을 거의 개방시키는 전압, 즉 드레인-소스간 전류가 포화(saturation)되는 구간의 전압을 의미한다. 드레인-소스간 전류가 포화되는 구간은 드레인-소스간 전류가 90% 이상으로 흐르는 구간으로, 도 10에서는 제2 계조 전압(V01)보다 높은 전압 구간에 해당한다.

[0126] 한편, 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 각각은 소정의 전압만큼 차이가 날 수 있다. 예를 들어, 서브필드들 각각이 p 개의 기간들로 분할되는 경우, 제r(r는 1≤r≤p를 만족하는 양의 정수) 계조 전압은 제r+1 계조 전압보다 상기 소정의 전압만큼 높거나 낮은 전압일 수 있다. 또한, 서브필드들 각각이 p 개의 기간들로 분할되는 경우, 소정의 전압은 제q(q는 1≤q<p를 만족하는 양의 정수) 기간의 기준전압과 제q 기간에 인접한 기간인 제q-1 또는 제q+1 기간의 기준전압 사이의 전압 변화량(ΔVREF)에 해당한다. 이하에서는, 설명의 편의를 위해 제q 기간의 기준전압과 제q-1 또는 제q+1 기간의 기준전압 사이의 전압 변화량(ΔVREF)을 간단히 기준 전압 변화량으로 정의한다.

[0127] 도 11은 도 9의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도이다. 도 11에는 제i 서브필드(SFi) 동안 제k 주사선(SLk)에 공급되는 제k 주사신호(SCANK), 제j 데이터선(Dj)에 공급되는 제j 데이터 전압(DATAj)이 나타나 있다. 또한, 도 11에는 제i 서브필드(SFi) 동안 기준전압 라인(VREFL)에 공급되는 기준전압(VREF)이 나타나 있다.

[0128] 도 11을 참조하면, 제i 서브필드(SFi)는 p 개의 기간들로 균등하게 분할된다. 이하에서는, 설명의 편의를 위해 제i 서브필드(SFi)가 도 11과 같이 3 개의 기간들(t1, t2, t3)로 균등하게 분할된 것을 중심으로 설명한다.

[0129] 도 11에 도시된 제k 주사신호(SCANK) 및 제j 데이터 전압(DATAj)은 도 5에 도시된 제k 주사신호(SCANK) 및 제j 데이터 전압(DATAj)과 실질적으로 동일하다. 따라서, 도 11에 도시된 제k 주사신호(SCANK) 및 제j 데이터 전압(DATAj)에 대한 자세한 설명은 생략하기로 한다.

[0130] 기준전압(VREF)은 제i 서브필드(SFi)의 제1 내지 제3 기간들(t1~t3)의 기간마다 기준전압 변화량(ΔVREF)만큼 낮아진다. 구체적으로, 기준전압(VREF)은 제1 기간(t1) 동안 제3 레벨 전압(V3)으로 공급되고, 제2 기간(t2)

동안 제2 레벨 전압(V2)으로 공급되며, 제3 기간(t3) 동안 제1 레벨 전압(V1)으로 공급된다. 제2 레벨 전압(V2)은 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 높은 전압이고, 제3 레벨 전압(V3)은 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 높은 전압이다. 즉, 제q+1 기간의 기준전압(VREF)은 제q 기간의 기준전압(VREF)보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 낮다.

[0131] 기준전압 변화량( $\Delta V_{REF}$ )은 구동 트랜지스터(DT)의 턴-온 전압과 턴-오프 전압 간의 차전압의 최소값보다 높은 전압으로 설정되어야 한다. 기준전압 변화량( $\Delta V_{REF}$ )이 구동 트랜지스터(DT)의 턴-온 전압과 턴-오프 전압 간의 차전압의 최소값보다 작은 경우, 본 발명의 실시 예에 따른 화소(P)는 비발광하여야 함에도 발광하는 문제가 발생할 수 있다.

[0132] 이하에서는, 도 9 내지 도 11을 결부하여 데이터 전압(Vdata)이 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 중 어느 하나로 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 상세히 살펴본다.

[0133] 첫 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제1 계조 전압(V00)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.

[0134] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제1 계조 전압(V00)을 제1 노드(N1)에 공급한다. 제1 계조 전압(V00)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-오프된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다.

[0135] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제3 레벨 전압(V3)보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제1 계조 전압(V00)으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압인 제2 계조 전압(V01)이 된다. 제2 계조 전압(V01)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-오프된다.

[0136] 제3 기간(t3) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다. 제3 기간(t3) 동안 공급되는 제3 레벨 전압(V3)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제2 계조 전압(V01)으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압인 제3 계조 전압(V10)이 된다. 제3 계조 전압(V10)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.

[0137] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제1 계조 전압(V00)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간(t1~t3) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간(t1~t3) 동안 발광하지 않는다. 즉, 화소(P)는 제1 내지 제3 기간(t1~t3) 동안 발광하지 않는다.

[0138] 두 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제2 계조 전압(V01)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.

[0139] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제2 계조 전압(V01)을 제1 노드(N1)에 공급한다. 제2 계조 전압(V01)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-오프된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다.

[0140] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제3 레벨 전압(V3)보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제2 계조 전압(V01)

1)으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압인 제3 계조 전압( $V_{10}$ )이 된다. 제3 계조 전압( $V_{10}$ )은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제2 기간( $t_2$ ) 동안 턴-오프된다.

[0141] 제3 기간( $t_3$ ) 동안 기준전압( $V_{REF}$ )은 제1 레벨 전압( $V_1$ )으로 공급된다. 제3 기간( $t_3$ ) 동안 공급되는 제1 레벨 전압( $V_1$ )은 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압( $V_2$ )보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 낮다. 이 경우, 제1 노드( $N_1$ )와 기준전압 라인( $V_{REFL}$ ) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드( $N_1$ )에 반영된다. 이로 인해, 제1 노드( $N_1$ )의 전압은 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 하강한다. 즉, 제1 노드( $N_1$ )의 전압은 제3 기간( $t_3$ ) 동안 제3 계조 전압( $V_{10}$ )으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압인 제4 계조 전압( $V_{11}$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간( $t_3$ ) 동안 턴-온된다.

[0142] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호( $SL_k$ )에 동기화하여 제j 데이터선( $D_j$ )에 제2 계조 전압( $V_{01}$ )이 공급되는 경우, 구동 트랜지스터(DT)는 제1 및 제2 기간( $t_1, t_2$ ) 동안 턴-오프되고, 제3 기간( $t_3$ ) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 및 제2 기간( $t_1, t_2$ ) 동안 발광하고 제3 기간( $t_3$ ) 동안 발광하지 않는다. 즉, 화소(P)는 제1 및 제2 기간( $t_1, t_2$ ) 동안 발광하고, 제3 기간( $t_3$ ) 동안 발광하지 않는다.

[0143] 세 번째로, 제k 주사신호( $SL_k$ )에 동기화하여 제j 데이터선( $D_j$ )에 제3 계조 전압( $V_{10}$ )이 공급되는 경우, 제1 내지 제3 기간( $t_1-t_3$ ) 동안 화소(P)의 동작을 설명한다.

[0144] 제1 기간( $t_1$ )의 데이터 전압 공급 기간( $t_d$ ) 동안 제1 트랜지스터( $ST_1$ )는 제k 주사신호( $SCAN_k$ )에 의해 턴-온되어 제j 데이터선( $D_j$ )의 제3 계조 전압( $V_{01}$ )을 제1 노드( $N_1$ )에 공급한다. 제3 계조 전압( $V_{10}$ )은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간( $t_1$ ) 동안 턴-오프된다. 또한, 제1 기간( $t_1$ ) 동안 기준전압( $V_{REF}$ )은 제3 레벨 전압( $V_3$ )으로 공급된다.

[0145] 제2 기간( $t_2$ ) 동안 기준전압( $V_{REF}$ )은 제2 레벨 전압( $V_2$ )으로 공급된다. 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압( $V_2$ )은 제1 기간( $t_1$ ) 동안 공급되는 제3 레벨 전압( $V_3$ )보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 낮다. 이 경우, 제1 노드( $N_1$ )와 기준전압 라인( $V_{REFL}$ ) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간( $t_2$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드( $N_1$ )에 반영된다. 이로 인해, 제1 노드( $N_1$ )의 전압은 제2 기간( $t_2$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 하강한다. 즉, 제1 노드( $N_1$ )의 전압은 제2 기간( $t_2$ ) 동안 제3 계조 전압( $V_{10}$ )으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압인 제4 계조 전압( $V_{11}$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간( $t_2$ ) 동안 턴-온된다.

[0146] 제3 기간( $t_3$ ) 동안 기준전압( $V_{REF}$ )은 제1 레벨 전압( $V_3$ )으로 공급된다. 제3 기간( $t_3$ ) 동안 공급되는 제1 레벨 전압( $V_3$ )은 제2 기간( $t_2$ ) 동안 공급되는 제2 레벨 전압( $V_2$ )보다 기준전압 변화량( $\Delta V_{REF}$ )만큼 낮다. 이 경우, 제1 노드( $N_1$ )와 기준전압 라인( $V_{REFL}$ ) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )은 제1 노드( $N_1$ )에 반영된다. 이로 인해, 제1 노드( $N_1$ )의 전압은 제3 기간( $t_3$ ) 동안 기준전압 변화량( $\Delta V_{REF}$ )만큼 하강한다. 즉, 제1 노드( $N_1$ )의 전압은 제3 기간( $t_3$ ) 동안 제4 계조 전압( $V_{11}$ )으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압( $V_{11}-\Delta V_{REF}$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간( $t_3$ ) 동안 턴-온된다.

[0147] 한편, 제1 노드( $N_1$ )의 전압이 초기화 전압( $V_{ini}$ )과 제2 트랜지스터( $ST_2$ )의 문턱전압( $V_{th2}$ )을 합한 전압( $V_{ini}+V_{th2}$ )보다 높아지는 경우, 제2 트랜지스터( $ST_2$ )가 턴-온된다. 이로 인해, 제1 노드( $N_1$ )의 전압은 초기화 전압( $V_{ini}$ )과 제2 트랜지스터( $ST_2$ )의 문턱전압( $V_{th2}$ )을 합한 전압( $V_{ini}+V_{th2}$ )으로 충전된다. 즉, 제1 노드( $N_1$ )의 전압은 제2 트랜지스터( $ST_2$ )에 의해 초기화 전압( $V_{ini}$ )과 제2 트랜지스터( $ST_2$ )의 문턱전압( $V_{th2}$ )을 합한 전압( $V_{ini}+V_{th2}$ )보다 높은 레벨을 갖는다.

[0148] 제1 노드( $N_1$ )의 전압이 제4 계조 전압( $V_{11}$ )으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압( $V_{11}+\Delta V_{REF}$ )보다 낮아지는 경우, 구동 트랜지스터(DT)의 게이트 전극( $V_g$ )에 인가되는 전압의 범위가 너무 넓어지게 된다. 이를 방지하기 위해, 본 발명의 실시 예는 제2 트랜지스터( $ST_2$ )를 이용하여 제1 노드( $N_1$ )의 전압을 초기화 전압( $V_{ini}$ )과 제2 트랜지스터( $ST_2$ )의 문턱전압( $V_{th2}$ )을 합한 전압( $V_{ini}+V_{th2}$ )보다 높은 레벨로 유지한다. 이로 인해, 본 발명의 실시 예는 구동 트랜지스터(DT)의 게이트 전극( $V_g$ )에 인가되는 전압의 범위가 너무 넓어지지 않도록 제어할 수 있다.

[0149] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호( $SL_k$ )에 동기화하여 제j 데이터선( $D_j$ )에 제3 계

조 전압(V10)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-오프되고, 제2 및 제3 기간(t2, t3) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 기간(t1) 동안 발광하지 않고 제2 및 제3 기간(t2, t3) 동안 발광한다. 즉, 화소(P)는 제1 기간(t1) 동안 발광하지 않고 제2 및 제3 기간(t2, t3) 동안 발광한다.

[0150] 네 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제4 계조 전압(V11)이 공급되는 경우, 제1 내지 제3 기간(t1-t3) 동안 화소(P)의 동작을 설명한다.

[0151] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANk)에 의해 턴-온되어 제j 데이터선(Dj)의 제4 계조 전압(V11)을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다.

[0152] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제3 레벨 전압(V3)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제4 계조 전압(V11)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압(V11- $\Delta VREF$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-온된다.

[0153] 한편, 제1 노드(N1)의 전압이 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)보다 높아지는 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)으로 충전된다. 즉, 제1 노드(N1)의 전압은 제2 트랜지스터(ST2)에 의해 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)보다 높은 레벨을 갖는다.

[0154] 제3 기간(t3) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다. 제3 기간(t3) 동안 공급되는 제1 레벨 전압(V1)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압(Vini+Vth2- $\Delta VREF$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-온된다.

[0155] 한편, 제1 노드(N1)의 전압이 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)보다 높아지는 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)으로 충전된다. 즉, 제1 노드(N1)의 전압은 제2 트랜지스터(ST2)에 의해 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)보다 높은 레벨을 갖는다.

[0156] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제4 계조 전압(V11)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간(t1, t2, t3) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간(t1, t2, t3) 동안 발광한다. 즉, 화소(P)는 제1 내지 제3 기간(t1, t2, t3) 동안 발광한다.

[0157] 또한, 본 발명의 실시 예는 제2 트랜지스터(ST2)를 이용하여 제1 노드(N1)의 전압을 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2)을 합한 전압(Vini+Vth2)보다 높은 레벨로 유지한다. 이로 인해, 본 발명의 실시 예는 구동 트랜지스터(DT)의 게이트 전극(Vg)에 인가되는 전압의 범위가 너무 넓어지지 않도록 제어할 수 있다.

[0158] 결국, 화소(P)는 제1 내지 제p+1 계조 전압들 중 어느 전압을 공급받느냐에 따라 화소(P)는 제i 서브필드(SFi) 동안 p+1 개의 계조들 중 어느 하나를 표현할 수 있다. 그러므로, 본 발명의 실시 예는 1 프레임 기간을 h(h는 2 이상의 양의 정수) 개의 서브필드들로 분할하여 구동하는 경우, 화소(P)는  $(p+1)^h$  개의 계조들을 표현하도록 구현될 수 있다.

[0159] 종래에는 화소들 각각이 서브필드들 각각에서 2 개의 계조들을 표현하였으나, 본 발명의 실시 예는 화소들 각각

이 서브필드들 각각에서 3 개 이상의 계조들을 표현할 수 있다. 그러므로, 본 발명의 실시 예는 종래보다 1 프레임 기간에 포함된 서브필드들의 개수를 줄일 수 있다.

- [0160] 도 12는 본 발명의 제4 실시 예에 따른 화소의 등가 회로도이다. 도 12를 참조하면, 화소(P)는 제k 주사선과 제j 데이터선과 접속된다. 또한, 화소(P)는 고전위 전압 라인(VDDL), 저전위 전압 라인(VSSL), 및 기준전압 라인(VREFL)에 접속된다.
- [0161] 화소(P)는 구동 트랜지스터(DT), 유기발광다이오드(OLED), 복수의 트랜지스터들, 및 캐패시터(capacitor, C) 등을 포함한다. 복수의 트랜지스터들은 제1 및 제2 트랜지스터들(ST1, ST2)을 포함할 수 있다.
- [0162] 본 발명의 제4 실시 예에 따른 화소(P)의 구동 트랜지스터(DT), 유기발광다이오드(OLED), 제1 트랜지스터(ST1), 및 캐패시터(C)는 구동 트랜지스터(DT)와 제1 트랜지스터(ST1)가 N 타입 MOSFET으로 형성된 것을 제외하고는 본 발명의 제1 실시 예에 따른 화소(P)와 실질적으로 동일하다. 따라서, 본 발명의 제4 실시 예에 따른 화소(P)의 구동 트랜지스터(DT), 유기발광다이오드(OLED), 제1 트랜지스터(ST1), 및 캐패시터(C)에 대한 자세한 설명은 생략하기로 한다.
- [0163] 제2 트랜지스터(ST2)는 제1 노드(N1)와 초기화 전압 라인(ViniL) 사이에 접속된다. 제2 트랜지스터(ST2)의 게이트 전극과 제2 전극은 초기화 전압 라인(ViniL)에 접속되고, 제1 전극은 제1 노드(N1)에 접속된다. 즉, 제2 트랜지스터(ST2)는 다이오드 접속된다.
- [0164] 제2 트랜지스터(ST2)는 N 타입 MOSFET으로 형성되므로, 게이트-소스간 전압(Vgs)이 문턱전압(Vth2)보다 높은 경우(Vgs>Vth) 턴-온된다. 즉, 제2 트랜지스터(ST2)는 게이트 전압인 초기화 전압(Vini)과 소스 전압인 제1 노드(N1)의 전압 간의 전압 차가 문턱전압(Vth2)보다 높은 경우, 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 제1 노드(N1)는 초기화 전압 라인(ViniL)에 접속된다. 이 경우, 제1 노드(N1)의 전압은 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)으로 충전된다. 결국, 제2 트랜지스터(ST2)는 제1 노드(N1)의 전압이 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)보다 작아지지 않도록 유지하는 역할을 한다.
- [0165] 도 13은 본 발명의 제4 실시 예에 따른 화소의 구동 트랜지스터의 게이트 전압에 따른 드레인-소스간 전류를 보여주는 일 예시도면이다. 도 13에서 x 축은 구동 트랜지스터(DT)의 게이트 전압(Vg)을 의미하며, y 축은 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)를 의미한다. 도 13의 그래프는 구동 트랜지스터(DT)가 도 12와 같이 N 타입 MOSFET으로 형성된 것을 중심으로 도시되었음에 주의하여야 한다.
- [0166] 1 프레임 기간은 복수의 서브필드들로 분할되고, 서브필드들 각각은 도 14와 같이 p 개의 기간들로 분할된다. 이 경우, 데이터 전압은 p+1 개의 계조 전압들 중 어느 하나의 계조 전압으로 공급될 수 있다. 도 13에서는 설명의 편의를 위해 1 프레임 기간이 3 개의 서브필드들로 분할되고, 데이터 전압은 4 개의 계조 전압들, 즉 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 중 어느 하나의 계조 전압으로 공급되는 것을 중심으로 설명하였다. 한편, 서브필드들 각각의 p 개의 기간들에 대한 자세한 설명은 도 14를 결부하여 후술한다.
- [0167] 도 13을 참조하면, 구동 트랜지스터(DT)는 N 타입 MOSFET으로 형성되므로, 구동 트랜지스터(DT)는 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)이 구동 트랜지스터(DT)의 문턱전압보다 높은 경우 턴-온되고, 낮거나 같은 경우 턴-오프될 수 있다. 제1 계조 전압(V00)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당한다. 즉, 고전위 전압(ELVDD)과 제1 계조 전압(V00) 간의 전압 차(ELVDD-V00)는 구동 트랜지스터(DT)의 문턱전압보다 낮거나 같다. 턴-오프 전압은 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)가 소정의 전류보다 낮게 흐르도록 하는 전압을 의미한다. 소정의 전류는 유기발광다이오드(OLED)를 거의 발광시키지 않을 만큼의 전류일 수 있으며, 사전 실험을 통해 미리 결정될 수 있다.
- [0168] 제2 내지 제4 계조 전압(V01, V10, V11)은 구동 트랜지스터(DT)를 턴-온시키는 턴-온 전압에 해당한다. 즉, 고전위 전압(ELVDD)과 제2 계조 전압(V01) 간의 전압 차(ELVDD-V01)는 구동 트랜지스터(DT)의 문턱전압보다 높고, 고전위 전압(ELVDD)과 제3 계조 전압(V10) 간의 전압 차(ELVDD-V10)는 구동 트랜지스터(DT)의 문턱전압보다 높으며, 고전위 전압(ELVDD)과 제4 계조 전압(V11) 간의 전압 차(ELVDD-V11)는 구동 트랜지스터(DT)의 문턱전압보다 높다. 턴-온 전압은 구동 트랜지스터(DT)의 채널을 거의 개방시키는 전압, 즉 드레인-소스간 전류가 포화(saturation)되는 구간의 전압을 의미한다. 드레인-소스간 전류가 포화되는 구간은 드레인-소스간 전류가 90%

이상으로 흐르는 구간으로, 도 10에서는 제2 계조 전압(V01)보다 높은 전압 구간에 해당한다.

- [0169] 한편, 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 각각은 소정의 전압만큼 차이가 날 수 있다. 예를 들어, 서브필드들 각각이 p 개의 기간들로 분할되는 경우, 제r(r은  $1 \leq r \leq p$ 를 만족하는 양의 정수) 계조 전압은 제r+1 계조 전압보다 상기 소정의 전압만큼 높거나 낮은 전압일 수 있다. 또한, 서브필드들 각각이 p 개의 기간들로 분할되는 경우, 소정의 전압은 제q(q는  $1 \leq q \leq p$ 를 만족하는 양의 정수) 기간의 기준전압과 제q 기간에 인접한 기간인 제q-1 또는 제q+1 기간의 기준전압 사이의 전압 변화량( $\Delta VREF$ )에 해당한다. 이하에서는, 설명의 편의를 위해 제q 기간의 기준전압과 제q-1 또는 제q+1 기간의 기준전압 사이의 전압 변화량( $\Delta VREF$ )을 간단히 기준전압 변화량으로 정의한다.
- [0170] 도 14는 도 12의 화소에 공급되는 주사신호, 기준전압, 및 데이터 전압의 일 예를 보여주는 파형도이다. 도 14에는 제i 서브필드(SFi) 동안 제k 주사선(SLk)에 공급되는 제k 주사신호(SCANK), 제j 데이터선(Dj)에 공급되는 제j 데이터 전압(DATAj)이 나타나 있다. 또한, 도 14에는 제i 서브필드(SFi) 동안 기준전압 라인(VREFL)에 공급되는 기준전압(VREF)이 나타나 있다.
- [0171] 도 14를 참조하면, 제i 서브필드(SFi)는 p 개의 기간들로 균등하게 분할된다. 이하에서는, 설명의 편의를 위해 제i 서브필드(SFi)가 도 14와 같이 3 개의 기간들(t1, t2, t3)로 균등하게 분할된 것을 중심으로 설명한다.
- [0172] 도 14에 도시된 제k 주사신호(SCANK) 및 제j 데이터 전압(DATAj)은 제k 주사신호(SCANK)의 게이트 온 전압(Von)이 게이트 오프 전압(Voff)보다 하이 레벨 전압인 것을 제외하고는, 도 5에 도시된 제k 주사신호(SCANK) 및 제j 데이터 전압(DATAj)과 실질적으로 동일하다. 따라서, 도 14에 도시된 제k 주사신호(SCANK) 및 제j 데이터 전압(DATAj)에 대한 자세한 설명은 생략하기로 한다.
- [0173] 기준전압(VREF)은 제i 서브필드(SFi)의 제1 내지 제3 기간들(t1~t3)의 기간마다 기준전압 변화량( $\Delta VREF$ )만큼 낮아진다. 구체적으로, 기준전압(VREF)은 제1 기간(t1) 동안 제3 레벨 전압(V3)으로 공급되고, 제2 기간(t2) 동안 제2 레벨 전압(V2)으로 공급되며, 제3 기간(t3) 동안 제1 레벨 전압(V1)으로 공급된다. 제2 레벨 전압(V2)은 제1 레벨 전압(V1)보다 기준전압 변화량( $\Delta VREF$ )만큼 높은 전압이고, 제3 레벨 전압(V3)은 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 높은 전압이다. 즉, 제q+1 기간의 기준전압(VREF)은 제q 기간의 기준전압(VREF)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다.
- [0174] 기준전압 변화량( $\Delta VREF$ )은 구동 트랜지스터(DT)의 턴-온 전압과 턴-오프 전압 간의 차전압의 최소값보다 높은 전압으로 설정되어야 한다. 기준전압 변화량( $\Delta VREF$ )이 구동 트랜지스터(DT)의 턴-온 전압과 턴-오프 전압 간의 차전압의 최소값보다 작은 경우, 본 발명의 실시 예에 따른 화소(P)는 비발광하여야 함에도 발광하는 문제가 발생할 수 있다.
- [0175] 이하에서는, 도 12 내지 도 14를 결부하여 데이터 전압(Vdata)이 제1 내지 제4 계조 전압들(V00, V01, V10, V11) 중 어느 하나로 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 상세히 살펴본다.
- [0176] 첫 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제1 계조 전압(V00)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.
- [0177] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제1 계조 전압(V00)을 제1 노드(N1)에 공급한다. 제1 계조 전압(V00)은 구동 트랜지스터(DT)를 턴-오프시키는 턴-오프 전압에 해당하므로, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-오프된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다.
- [0178] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제3 레벨 전압(V3)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제1 계조 전압(V0)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압(V00- $\Delta VREF$ )이 된다.
- [0179] 제1 노드(N1)의 전압이 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)보다 낮은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)으로 방전된다. 이로 인해, 구동 트랜지스터(DT)는

제2 기간(t2) 동안 턴-오프된다.

- [0180] 제3 기간(t3) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다. 제3 기간(t3) 동안 공급되는 제1 레벨 전압(V1)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링(capacitance coupling)에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다.
- [0181] 한편, 제1 노드(N1)의 전압이 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)보다 낮은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)으로 방전된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.
- [0182] 도 13과 같이 N 타입 MOSFET으로 형성된 구동 트랜지스터(DT)의 게이트 전압(Vg)이 제1 게조 전압(V00)보다 낮은 경우, 구동 트랜지스터(DT)가 턴-오프됨에도 불구하고, 구동 트랜지스터(DT)의 드레인-소스간 전류(IDs)는 구동 트랜지스터(DT)의 게이트 전압(Vg)에 비례하여 상승한다. 즉, 구동 트랜지스터(DT)는 소정의 전류를 누설하게 되며, 이로 인해 유기발광다이오드(OLED)는 미세 발광하는 문제가 발생할 수 있다. 하지만, 본 발명의 실시 예는 제2 트랜지스터(ST2)를 이용하여 제1 노드(N1)의 전압을 제2 트랜지스터(ST2)에 의해 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)보다 낮은 레벨로 유지한다. 이로 인해, 본 발명의 실시 예는 제2 및 제3 기간(t2, t3) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류(IDs)의 누설을 최소화할 수 있다.
- [0183] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제1 게조 전압(V00)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간(t1~t3) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간(t1~t3) 동안 발광하지 않으므로, 화소(P)는 제1 내지 제3 기간(t1~t3) 동안 발광하지 않는다.
- [0184] 두 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제2 게조 전압(V01)이 공급되는 경우, 제1 내지 제3 기간(t1~t3) 동안 화소(P)의 동작을 설명한다.
- [0185] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제2 게조 전압(V01)을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다.
- [0186] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제3 레벨 전압(V3)보다 기준전압 변화량( $\Delta VREF$ )만큼 높다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제2 게조 전압(V01)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압인 제1 게조 전압(V00)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-오프된다.
- [0187] 제3 기간(t3) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다. 제3 기간(t3) 동안 공급되는 제1 레벨 전압(V1)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제1 게조 전압(V00)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압(V00- $\Delta VREF$ )이 된다.
- [0188] 한편, 제1 노드(N1)의 전압이 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)보다 낮은 경우, 제2 트랜지스터(ST2)가 턴-온된다. 이로 인해, 제1 노드(N1)의 전압은 초기화 전압(Vini)과 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(Vini-Vth2)으로 방전된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.
- [0189] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제2 게조 전압(V01)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온되고, 제2 및 제3 기간(t2, t3) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 기간(t1) 동안 발광하고 제2 및 제3 기간

(t2, t3) 동안 발광하지 않는다. 즉, 화소(P)는 제1 기간(t1) 동안 발광하고, 제2 및 제3 기간(t2, t3) 동안 발광하지 않는다.

- [0190] 또한, 본 발명의 실시 예는 제2 트랜지스터(ST2)를 이용하여 제1 노드(N1)의 전압을 제2 트랜지스터(ST2)에 의해 고전위 전압(ELVDD)와 제2 트랜지스터(ST2)의 문턱전압(Vth2) 간의 차전압(ELVDD+Vth2)보다 낮은 레벨로 유지한다. 그러므로, 본 발명의 실시 예는 제3 기간(t3) 동안 구동 트랜지스터(DT)의 드레인-소스간 전류의 누설을 최소화할 수 있다.
- [0191] 세 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제3 계조 전압(V10)이 공급되는 경우, 제1 내지 제3 기간(t1-t3) 동안 화소(P)의 동작을 설명한다.
- [0192] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제3 계조 전압(V01)을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다.
- [0193] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제3 레벨 전압(V3)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제3 계조 전압(V10)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압인 제2 계조 전압(V01)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-온된다.
- [0194] 제3 기간(t3) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다. 제3 기간(t3) 동안 공급되는 제1 레벨 전압(V1)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제2 계조 전압(V01)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압인 제1 계조 전압(V00)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.
- [0195] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제3 계조 전압(V10)이 공급되는 경우, 구동 트랜지스터(DT)는 제1 및 제2 기간(t1, t2) 동안 턴-온되고, 제3 기간(t2, t3) 동안 턴-오프된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 및 제2 기간(t1, t2) 동안 발광하고 제3 기간(t3) 동안 발광하지 않는다. 즉, 화소(P)는 제1 및 제2 기간(t1, t2) 동안 발광하고, 제3 기간(t3) 동안 발광하지 않는다.
- [0196] 네 번째로, 제k 주사신호(SLk)에 동기화하여 제j 데이터선(Dj)에 제4 계조 전압(V11)이 공급되는 경우, 제1 내지 제3 기간(t1-t3) 동안 화소(P)의 동작을 설명한다.
- [0197] 제1 기간(t1)의 데이터 전압 공급 기간(td) 동안 제1 트랜지스터(ST1)는 제k 주사신호(SCANK)에 의해 턴-온되어 제j 데이터선(Dj)의 제4 계조 전압(V11)을 제1 노드(N1)에 공급한다. 이로 인해, 구동 트랜지스터(DT)는 제1 기간(t1) 동안 턴-온된다. 또한, 제1 기간(t1) 동안 기준전압(VREF)은 제3 레벨 전압(V3)으로 공급된다.
- [0198] 제2 기간(t2) 동안 기준전압(VREF)은 제2 레벨 전압(V2)으로 공급된다. 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)은 제1 기간(t1) 동안 공급되는 제3 레벨 전압(V3)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제2 기간(t2) 동안 제4 계조 전압(V11)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압인 제3 계조 전압(V10)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제2 기간(t2) 동안 턴-온된다.
- [0199] 제3 기간(t3) 동안 기준전압(VREF)은 제1 레벨 전압(V1)으로 공급된다. 제3 기간(t3) 동안 공급되는 제1 레벨 전압(V1)은 제2 기간(t2) 동안 공급되는 제2 레벨 전압(V2)보다 기준전압 변화량( $\Delta VREF$ )만큼 낮다. 이 경우, 제1 노드(N1)와 기준전압 라인(VREFL) 사이에 접속된 캐패시터(C)의 캐패시턴스 커플링에 의해 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )은 제1 노드(N1)에 반영된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 기준전압 변화량( $\Delta VREF$ )만큼 하강한다. 즉, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 제3 계조 전압(V10)으로부터 기준전압 변화량( $\Delta VREF$ )을 차감한 전압인 제1 계조 전압(V00)이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간(t3) 동안 턴-오프된다.

0)으로부터 기준전압 변화량( $\Delta V_{REF}$ )을 차감한 전압인 제2 계조 전압( $V_{01}$ )이 된다. 이로 인해, 구동 트랜지스터(DT)는 제3 기간( $t_3$ ) 동안 턴-온된다.

[0200] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제k 주사신호( $SL_k$ )에 동기화하여 제j 데이터선( $D_j$ )에 제4 계조 전압( $V_{11}$ )이 공급되는 경우, 구동 트랜지스터(DT)는 제1 내지 제3 기간( $t_1, t_2, t_3$ ) 동안 턴-온된다. 따라서, 화소(P)의 유기발광다이오드(OLED)는 제1 내지 제3 기간( $t_1, t_2, t_3$ ) 동안 발광한다. 즉, 화소(P)는 제1 내지 제3 기간( $t_1, t_2, t_3$ ) 동안 발광한다.

[0201] 결국, 화소(P)는 제i 서브필드( $SF_i$ ) 동안 제1 내지 제p+1 계조 전압들 중 어느 전압을 공급받느냐에 따라 p+1 개의 계조들 중 어느 하나를 표현할 수 있다. 그러므로, 본 발명의 실시 예는 1 프레임 기간을 h(h는 2 이상의 양의 정수) 개의 서브필드들로 분할하여 구동하는 경우, 화소(P)가  $(p+1)^h$  개의 계조들을 표현하도록 구현될 수 있다.

[0202] 종래에는 화소들 각각이 서브필드들 각각에서 2 개의 계조들을 표현하였으나, 본 발명의 실시 예는 화소들 각각이 서브필드들 각각에서 3 개 이상의 계조들을 표현할 수 있다. 그러므로, 본 발명의 실시 예는 종래보다 1 프레임 기간에 포함된 서브필드들의 개수를 줄일 수 있다.

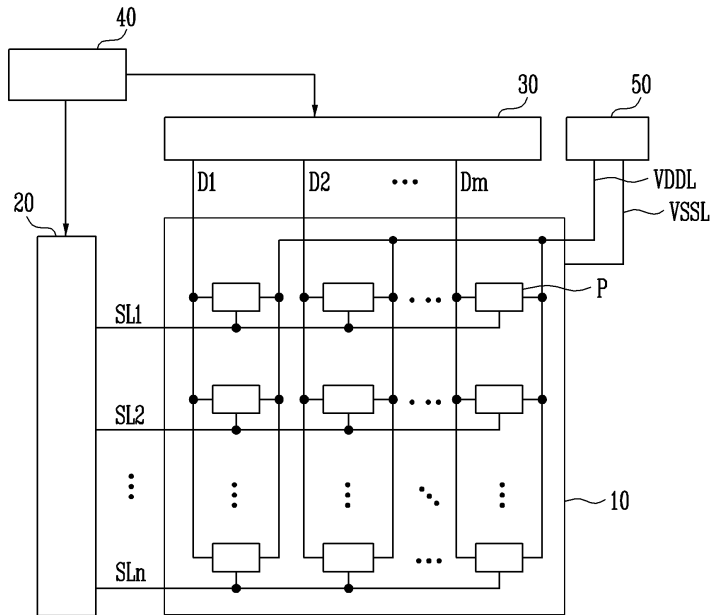
[0203] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

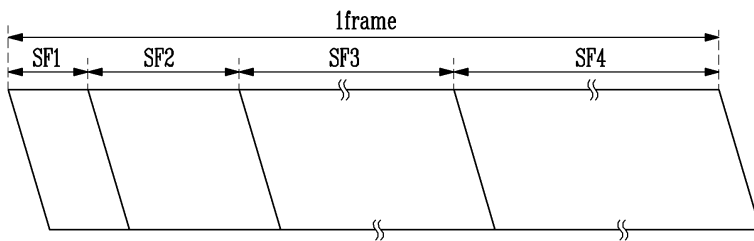
[0204] 10: 표시패널    20: 데이터 구동부  
 30: 스캔 구동부    40: 타이밍 제어부  
 50: 전원 공급원    C: 캐패시터  
 OLED: 유기발광다이오드    DT: 구동 트랜지스터  
 ST1: 제1 트랜지스터    ST2: 제2 트랜지스터  
 N1: 제1 노드

도면

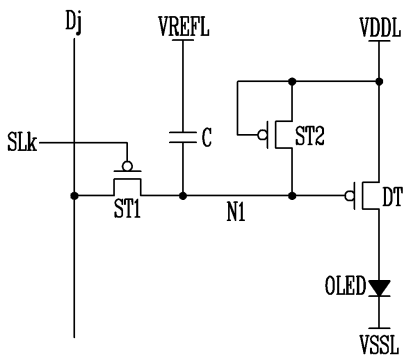
도면1



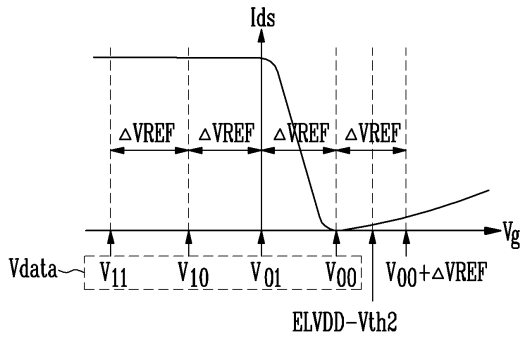
도면2



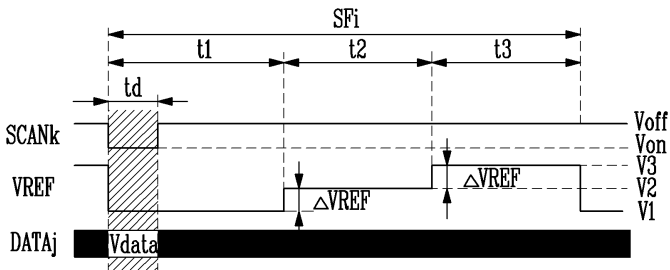
도면3



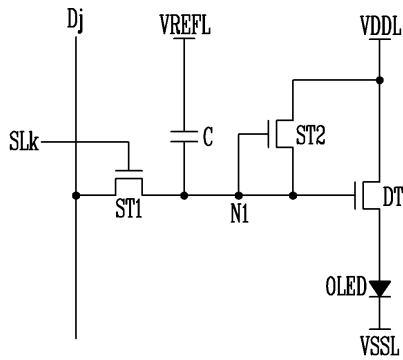
도면4



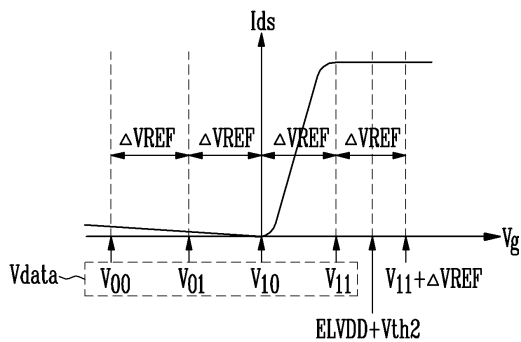
도면5



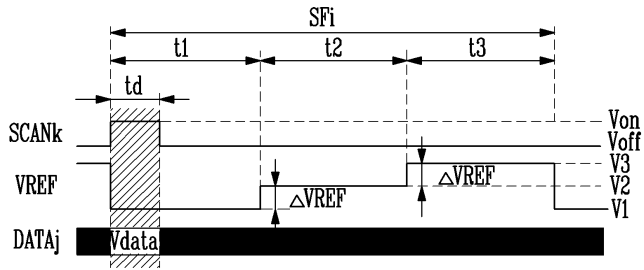
도면6



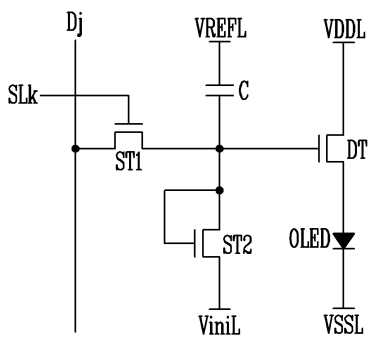
도면7



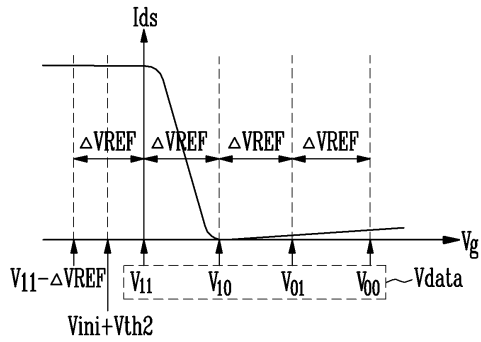
도면8



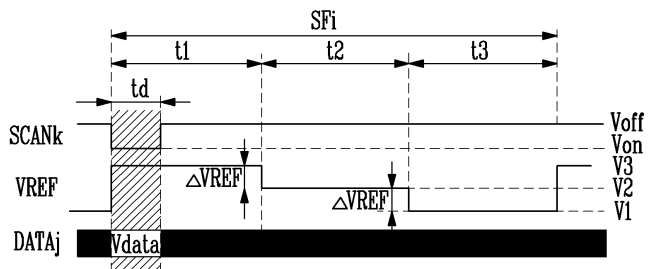
도면9



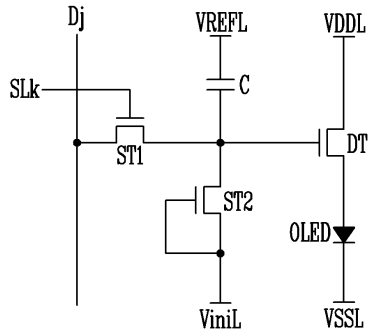
도면10



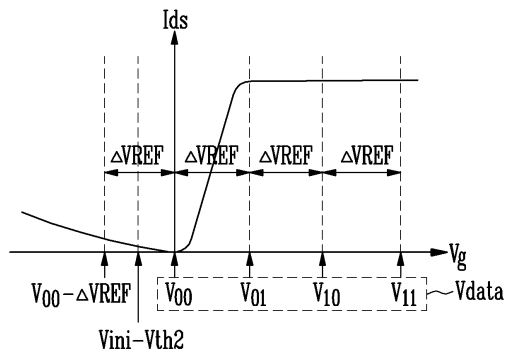
도면11



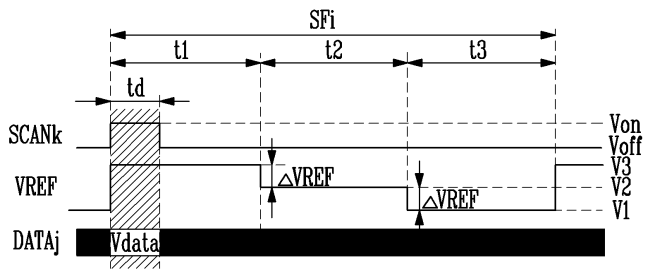
도면12



도면13



도면14



专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020150101029A</a>	公开(公告)日	2015-09-03
申请号	KR1020140021788	申请日	2014-02-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HAIJUNG IN 인해정 YONGSUNG PARK 박용성 ILHUN JEONG 정일훈		
发明人	인해정 박용성 정일훈		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3258 G09G3/2022 G09G3/2081 G09G3/3233 G09G3/3291 G09G2300/0842 G09G2300/0876 G09G2330/02		
代理人(译)	康SIN SEOB 永和的月亮 LEE, YONGWOO		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有机发光显示器及其驱动方法技术领域根据本发明示例性实施例的有机发光显示器包括显示面板，该显示面板包括以数据线和扫描线的交叉结构的矩阵布置的像素；扫描驱动器，用于将一个帧周期划分为多个子场，通过将每个子场划分为 $p$ 个周期（ $p$ 是2或更大的正整数）来驱动每个子场，并将扫描信号提供给扫描线；以及用于与每个扫描信号同步地向数据线提供数据电压的数据驱动器，其中数据电压被提供为 $p + 1$ 个灰度级电压之一。

