



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0144033
(43) 공개일자 2014년12월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) H01L 51/52 (2006.01)
(21) 출원번호 10-2013-0065955
(22) 출원일자 2013년06월10일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
나세환
경기도 파주시 가람로116번길 130, 706동 1904호
(와동동, 가람마을7단지 한라비발디)
안병철
서울특별시 서초구 방배로 268, 라동 404호 (방배
동, 신삼호아파트)
박영주
서울특별시 성동구 성수일로12길 52, 102동 2201
호 (성수동2가, 성수동 롯데캐슬파크)
(74) 대리인
박장원

전체 청구항 수 : 총 11 항

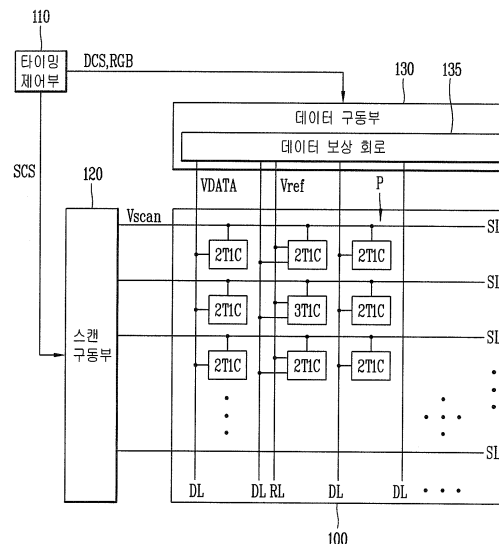
(54) 발명의 명칭 유기전계 발광표시장치

(57) 요약

본 발명은 유기전계 발광표시장치를 개시한다. 보다 상세하게는, 화소내에 구비되는 박막트랜지스터의 개수를 저감하여 고해상도를 구현하며, 화소간 구동편차의 보상수단의 구조를 단순화한 유기전계 발광표시장치에 관한 것이다.

본 발명의 실시예에 따르면, 각 화소를 최소의 박막트랜지스터만을 형성하여 구성하되, 일부를 대표화소로 정의하고 외부보상 구조로 형성하여 그 문턱전압 및 전자 이동도 특성에 따라 인접한 일반화소에 대한 데이터전압을 함께 보상함으로써 용이하게 고해상도의 유기전계 발광표시장치를 구현할 수 있는 효과가 있다.

대표도 - 도2



특허청구의 범위

청구항 1

표시패널;

상기 복수의 화소에 스캔신호를 제공하는 스캔 구동부;

상기 복수의 화소에 데이터전압을 제공하는 데이터 구동부; 및

상기 스캔 구동부 및 데이터 구동부를 제어하는 타이밍 제어부를 포함하고,

상기 데이터 구동부는,

상기 대표화소에 구비된 구동박막트랜지스터의 문턱전압 및 전자이동도 특성 중, 적어도 하나를 감지하여 상기 대표화소 및 상기 대표화소에 인접한 상기 일반화소에 제공되는 데이터 전압을 보상하는 데이터 보상회로

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 2

제 1 항에 있어서,

상기 대표화소는,

구동 박막트랜지스터와 발광다이오드 사이에 연결되어 상기 스캔신호에 따라 상기 구동 박막트랜지스터에 흐르는 전류를 상기 데이터 보상회로로 인가하는 싱크 박막트랜지스터

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 3

제 1 항에 있어서,

상기 복수의 화소는,

상기 대표화소 하나가 중앙에 배치되며, 다수의 상기 일반화소가 상기 대표화소에 인접하여 둘러싸는 형태로 배치되는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 4

제 1 항에 있어서,

상기 복수의 화소는 복수의 그룹으로 구분되며,

상기 그룹은 적어도 하나의 상기 대표화소를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 5

제 1 항에 있어서,

상기 복수의 화소는,

상기 대표화소 및 일반화소가 교번으로 배치되는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 6

제 1 항에 있어서,

상기 일반화소는,

발광다이오드;

상기 스캔화소에 대응하여 도통되는 스위칭 박막트랜지스터;

상기 스위칭 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 구동전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터; 및

상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 7

제 6 항에 있어서,

상기 대표화소는,

발광다이오드;

상기 스캔화소에 대응하여 도통되는 스위칭 박막트랜지스터;

상기 스위칭 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 드레인전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터;

상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터; 및

상기 드레인전류를 상기 데이터 보상회로에 제공하는 싱크 박막트랜지스터

를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 8

제 7 항에 있어서,

상기 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 싱크 박막트랜지스터는, n채널 MOSFET 인 것을 특징으로 하는 유기전계 발광표시장치.

청구항 9

제 6 항에 있어서,

상기 일반화소는,

리셋신호에 대응하여 구동 박막트랜지스터의 게이트가 연결된 노드를 전원전압으로 리셋시키는 제2 스위칭 박막트랜지스터

를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 10

제 9 항에 있어서,

상기 대표화소는,

발광다이오드;

상기 스캔화소에 대응하여 도통되는 스위칭 박막트랜지스터;

상기 스위칭 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 드레인전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터;

상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터; 및

상기 드레인전류를 상기 데이터 보상회로에 제공하는 싱크 박막트랜지스터 를 포함하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 11

제 10 항에 있어서,

상기 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 싱크 박막트랜지스터는, p채널 MOSFET 인 것을 특징으로

하는 유기전계 발광표시장치.

명세서

기술분야

[0001] 본 발명은 유기전계 발광표시장치에 관한 것으로, 특히 화소내에 구비되는 박막트랜지스터의 개수를 저감하여 고해상도를 구현하면서도 화소간 구동편차의 보상수단의 구조를 단순화한 유기전계 발광표시장치에 관한 것이다.

배경기술

[0002] 기존의 음극선관(Cathode Ray Tube)표시장치를 대체하기 위한 평판표시장치(Flat Panel Display)로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시장치(Plasma Display Panel) 및 유기전계 발광표시장치(Organic Light-Emitting Diode Display, OLED Display) 등이 있다.

[0003] 이중, 유기전계 발광표시장치에 구비되는 유기발광 다이오드는 높은 휘도와 낮은 동작 전압 특성을 가지며, 또한 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 용이하다. 또한, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이라는 장점이 있다.

[0004] 이러한, 유기전계 발광표시장치는 각 화소마다 적어도 하나의 스위칭 박막트랜지스터와 구동 박막트랜지스터 및 유기발광 다이오드를 구비하며, 특히 구동 박막트랜지스터는 유기발광 다이오드에 흐르는 전류의 양을 조절하여 영상의 계조를 표시하도록 하는 것으로서 화상품질에 중요한 역할을 한다.

[0005] 그러나, 하나의 표시패널 내에서도 각 화소간 구동 박막트랜지스터간 문턱전압(V_{th}) 및 전자 이동도(mobility, μ)의 편차가 발생하며, 각 유기발광 다이오드들에 흐르는 전류가 일정하지 않아 원하는 계조를 구현하지 못하는 문제가 발생하게 된다.

[0006] 이러한 문제를 해결하기 위해, 구동 박막트랜지스터의 문턱전압 및 전자 이동도를 화소내부 또는 화소외부에서 보상하는 구조가 제안되었다.

[0007] 도 1a는 종래의 일 화소에 대한 자체적 내부보상 수단을 구비하는 유기전계 발광표시장치의 일 예를 나타내는 도면이고, 도 1b는 외부보상회로를 이용하는 유기전계 발광표시장치의 일 화소를 나타낸 도면이다.

[0008] 먼저, 도 1a를 참조하면, 종래의 내부보상형 유기전계 발광표시장치(1)는 캐패시터($C1$)를 사이에 두고 드레인 및 게이트가 연결되는 스위칭 박막트랜지스터(SWT) 및 구동 박막트랜지스터(DT)와, 캐패시터($C1$)를 포함하여 하나의 루프(loop)를 이루는 복수의 샘플링 박막트랜지스터(SPT1 ~ SPT3)로 구성되며, 스캔신호(V_{scan}) 및 이엠신호(EM)에 따라 캐패시터($C1$)의 양 전극에 기준전압(V_{ref})을 인가하여 초기화 및 부트스트래핑(bootstrapping)과정을 통해 데이터 전압(VDATA)에 따라 구동 박막트랜지스터(DT1)를 흐르는 전류에 포함된 문턱전압(V_{th}) 및 전자 이동도(μ) 성분을 제거하여 유기발광 다이오드(EL)에 보상된 전류가 흐르도록 하는 구조이다.

[0009] 또한, 도 1b를 참조하면 종래의 외부보상형 유기전계 발광표시장치(2)는 스위칭 박막트랜지스터(SWT) 및 구동 박막트랜지스터(DT)를 구비하고, 구동 박막트랜지스터(DT)와 유기발광 다이오드(EL)사이에 연결되어 구동 박막트랜지스터(DT)을 통해 흐르는 전류(I_{sink})를 싱크(sink)하여 이에 근거하여 보상값을 연산하고 이를 데이터전압(VDATA)에 반영하여 화소편차를 보상하는 구조이다.

[0010] 그러나, 전술한 내부보상형 유기전계 발광표시장치(1)는 하나의 화소에 다수의 박막트랜지스터가 형성됨에 따라 300 ppi 이상의 고해상도 표시장치에 적용이 어렵다는 단점이 있다. 또한, 외부보상형 유기전계 발광표시장치(2)에서는 박막트랜지스터의 개수가 적어 구현은 용이하나, 감지되는 싱크전류에 따른 보상정보를 저장하기 위한 별도의 메모리(memory)가 다수개 필요하고, 고해상도로 갈수록 메모리 크기(size)가 기하급수적으로 증가함에 따라 회로구성이 복잡하게 되는 단점이 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 고해상도를 구현하면서도 회로구성을 단순하게 하여

제조비용이 절감되면서도 각 화소간 편차를 최소화하여 고품질의 화상을 구현하는 유기전계 발광표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

- [0012] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 유기전계 발광표시장치는, 표시패널; 상기 복수의 화소에 스캔신호를 제공하는 스캔 구동부; 상기 복수의 화소에 데이터전압을 제공하는 데이터 구동부; 및 상기 스캔 구동부 및 데이터 구동부를 제어하는 타이밍 제어부를 포함하고, 상기 데이터 구동부는, 상기 대표화소에 구비된 구동박막트랜지스터의 문턱전압 및 전자 이동도 특성 중, 적어도 하나를 감지하여 상기 대표화소 및 상기 대표화소에 인접한 상기 일반화소에 제공되는 데이터 전압을 보상하는 데이터 보상회로를 포함한다.
- [0013] 상기 대표화소는, 구동 박막트랜지스터와 발광다이오드 사이에 연결되어 상기 스캔신호에 따라 상기 구동 박막트랜지스터에 흐르는 전류를 상기 데이터 보상회로로 인가하는 싱크 박막트랜지스터를 포함하는 것을 특징으로 한다.
- [0014] 상기 복수의 화소는, 상기 대표화소 하나가 중앙에 배치되며, 다수의 상기 일반화소가 상기 대표화소에 인접하여 둘러싸는 형태로 배치되는 것을 특징으로 한다.
- [0015] 상기 복수의 화소는 복수의 그룹으로 구분되며, 상기 그룹은 적어도 하나의 상기 대표화소를 포함하는 것을 특징으로 한다.
- [0016] 상기 복수의 화소는, 상기 대표화소 및 일반화소가 교번으로 배치되는 것을 특징으로 한다.
- [0017] 상기 일반화소는, 발광다이오드; 상기 스캔화소에 대응하여 도통되는 스위칭 박막트랜지스터; 상기 스위칭 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 구동전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터; 및 상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터를 포함하는 것을 특징으로 한다.
- [0018] 상기 대표화소는, 발광다이오드; 상기 스캔화소에 대응하여 도통되는 스위칭 박막트랜지스터; 상기 스위칭 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 드레인전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터; 상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터; 및 상기 드레인전류를 상기 데이터 보상회로에 제공하는 싱크 박막트랜지스터를 포함하는 것을 특징으로 한다.
- [0019] 상기 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 싱크 박막트랜지스터는, n채널 MOSFET 인 것을 특징으로 한다.
- [0020] 또한, 전술한 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 유기전계 발광표시장치에서 상기 일반화소는, 리셋신호에 대응하여 구동 박막트랜지스터의 게이트가 연결된 노드를 전원전압으로 리셋시키는 제2 스위칭 박막트랜지스터를 더 포함하는 것을 특징으로 한다.
- [0021] 상기 대표화소는, 발광다이오드; 상기 스캔화소에 대응하여 도통되는 스위칭 박막트랜지스터; 상기 스위칭 박막트랜지스터를 통해 인가되는 상기 데이터전압에 따라 드레인전류를 상기 발광다이오드에 제공하는 구동 박막트랜지스터; 상기 데이터전압에 따라 상기 구동 박막트랜지스터에 인가되는 전압을 일정기간동안 유지시키는 캐패시터; 및 상기 드레인전류를 상기 데이터 보상회로에 제공하는 싱크 박막트랜지스터를 포함하는 것을 특징으로 한다.
- [0022] 상기 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 싱크 박막트랜지스터는, p채널 MOSFET 인 것을 특징으로 한다.

발명의 효과

- [0023] 본 발명의 실시예에 따르면, 각 화소를 최소의 박막트랜지스터만을 형성하여 구성하되, 일부를 외부보상 구조로 형성하여 그 문턱전압 및 전자 이동도의 특성에 따라 데이터전압을 보상함으로써 용이하게 고해상도의 유기전계 발광표시장치를 구현할 수 있는 효과가 있다.

도면의 간단한 설명

- [0024] 도 1a는 종래의 일 화소에 대한 자체적 내부보상 수단을 구비하는 유기전계 발광표시장치의 일 예를 나타내는

도면이고, 도 1b는 외부보상회로를 이용하는 유기전계 발광표시장치의 일 화소를 나타낸 도면이다.

도 2는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 전체구조를 블록도로 나타낸 도면이다.

도 3a 및 도 3b는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 일 화소를 등가회로도로서 나타낸 도면이다.

도 4a 및 도 4b는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 화소배치의 일 예를 개략적으로 나타낸 도면이다.

도 5a 및 도 5b는 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 일 화소를 등가회로도로서 나타낸 도면이다.

도 6은 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 화소배치의 일 예를 개략적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 유기전계 발광표시장치를 설명한다.

도 2는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 전체구조를 블록도로 나타낸 도면이다.

도시된 바와 같이, 본 발명의 유기전계 발광표시장치는 화상을 표시하는 복수의 화소(P)가 매트릭스 형태로 형성되는 표시패널(100)과, 외부시스템(미도시)으로부터 타이밍 신호를 수신하여 구동부를 위한 제어신호를 생성하고, 영상신호를 정렬 및 변환하는 타이밍 제어부(110)와, 표시패널(100)의 일측에 연결되어 스캔배선(SL)으로 스캔신호를 인가하는 스캔 구동부(120)와, 각 화소(P)에 데이터전압을 인가하며, 데이터 보상회로(135)에 내장된 메모리의 보상데이터를 이용하여 특정화소에 대한 문턱전압 및 전자 이동도

3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C

()특성 중 적어도 하나에 따라 데이터전압을 보상하는 데이터 구동부(130)를 포함한다.

표시패널(100)은 투명기판상에 복수의 스캔배선(SL) 및 데이터배선(DL)이 매트릭스 형태로 교차되어 형성된 것으로, 스캔배선(SL)은 게이트 구동부(120)의 출력단자에 연결되고, 데이터 배선(DL)은 데이터 구동부(130)의 출력단자에 연결되어 있다. 각 배선의 교차지점에는 화소가 정의된다. 또한, 도면상에 나타나 있지는 않지만 각 화소(P)들은 전원전압(ELVDD)배선 및 접지전압(ELVSS)배선과 연결되어 있다.

화소(P)는 적어도 하나의 스위칭 박막트랜지스터 및 구동 박막트랜지스터와, 하나의 유기전계 발광다이오드 및 캐패시터를 포함할 수 있으며, 일부의 화소에는 구동 박막트랜지스터를 통해 흐르는 전류를 싱크(sink)하는 싱크 박막트랜지스터가 더 구비되어 있다. 이러한 싱크 박막트랜지스터를 더 구비하는 화소는 데이터 전압의 보상

의 기준이 되는 대표화소로 정의된다.

- [0030] 도면에서는 하나의 스위칭 박막트랜지스터, 구동 박막트랜지스터 및 캐패시터를 구비한 화소를 "2T1C"로 기재하고 있으며, 싱크 박막트랜지스터를 더 구비하고 있는 대표화소를 "3T1C"로 기재하고 있다.
- [0031] 또한, 도면에서는 3T1C 화소를 인접한 8개의 2T1C 화소가 둘러싸는 형태의 표시패널의 일 예를 나타내고 있다.
- [0032] 도 3a 및 도 3b를 참조하여 본 발명의 유기전계 발광표시장치의 화소(P)를 설명하면, 먼저 2T1C 화소는 스캔배선(SL)으로 입력되는 스캔신호(Vscan)에 따라 스위칭 박막트랜지스터(SWT)가 도통되고, 각 화소마다 계조에 따른 데이터전압(VDATA)이 구동 박막트랜지스터(DT)의 게이트에 인가되어 데이터전압(VDATA)에 대응하는 전류가 유기발광 다이오드(D1)에 흘러 화상을 표시하게 된다. 이러한 데이터전압(VDATA)에 대응하는 전하는 캐패시터(C1)에 저장되며 1 프레임(frame)동안 유기발광 다이오드(D1)의 발광상태를 유지하게 된다.
- [0033] 그리고, 3T1C 화소는 유기발광 다이오드(D1)와, 유기발광 다이오드(D1)에 전류를 공급하는 구동 박막트랜지스터(DT)와, 데이터배선 및 구동 박막트랜지스터(DT)사이에 연결되어 제1 스캔신호(Vscan1)에 따라 데이터전압(VDATA)을 구동 박막트랜지스터(DT)의 게이트에 인가하는 스위칭 트랜지스터(SWT)와, 데이터 보상부(135)와 구동 박막트랜지스터(DT) 사이에 연결되어 제2 스캔신호(Vscan2)에 따라 기준전압(Vref)을 구동 박막트랜지스터(DT)의 소스에 인가하여 싱크전류(Isink)를 데이터 보상부(135)에 제공하는 싱크 박막트랜지스터(SST) 및 구동 박막트랜지스터(DT)의 게이트 및 소스 사이에 연결되는 캐패시터(C1)을 포함한다. 또한, 3T1C 화소는 2T1C 화소와는 달리 데이터 구동부(130)에 내장된 데이터 보상회로(135)와 싱크배선(RL)을 통해 연결되어 있다.
- [0034] 이러한 구조에 따라, 3T1C 화소에 하이레벨의 제1 및 제2 스캔신호(Vscan1, Vscan2)가 인가되면, 스위칭 및 싱크 박막트랜지스터(SWT, SST)는 도통되어 구동 박막트랜지스터(DT)의 게이트에 데이터전압(VDATA)이 인가되고, 소스에 기준전압(Vref)이 인가되며, 캐패시터(C1)의 양단에는 " $ELVDD - |V_{th}|$ " 및 "VDATA" 전압이 인가된다.
- [0035] 이후, 제1 스캔신호(Vscan1)가 로우레벨로 천이하여 스위칭 박막트랜지스터(SWT)가 턴-오프되면, 구동 박막트랜지스터(DT)의 게이트에는 " $ELVDD - |V_{th}| - VDATA + Vref$ " 전압이 인가되어, 결국 구동 박막트랜지스터(DT)의 드레인-소스 전류(I_{ds})는 " $k(VDATA - Vref)^2$ "이 된다('k'는 비례상수). 즉, 구동 박막트랜지스터(DT)를 통해 흐르는 전류는 문턱전압 및 전자 이동도 성분이 제거되어 기준전압(Vref)에 의해 조절되는 것으로, 따라서 소정시간 동안의 기준전압(Vref)의 변화량에 따라 흐르는 싱크전류(Isink)를 감지하여 이를 통해 보상정도를 산출하고 데이터 전압(VDATA)에 반영하여 각 화소간 편차를 보상하게 된다.
- [0036] 이상의 실시예에서 설명한 화소를 구성하는 박막트랜지스터는 모두 N채널 MOS FET 형으로 이루어진다.
- [0037] 다시 도 2를 참조하면, 3T1C 화소와 인접한 다른 2T1C 화소들도 3T1C 화소에 구비된 구동 박막트랜지스터와 매우 유사한 문턱전압(V_{th}) 및 전자 이동도(μ) 특성을 갖는 것으로 추정되며, 따라서 대표화소인 3T1C 화소를 통해 산출한 보상값을 공유하여 인접한 2T1C 화소의 데이터전압을 보상함으로써 데이터 보상회로 및 메모리의 크기를 작게 설계하면서도 표시패널(100)의 모든 화소에 대한 데이터 전압의 보상을 수행할 수 있다.
- [0038] 타이밍 제어부(110)는 외부시스템으로부터 전송되는 디지털 형태의 영상신호와 기타 타이밍 신호를 인가받아 스캔 구동부(120) 및 데이터 구동부(130)의 제어신호들(SCS, DCS)을 생성한다. 또한, 타이밍 제어부(110)는 통상의 인터페이스 방식을 통해 외부로부터 영상신호를 입력받게 되며, 입력된 영상신호는 데이터 구동부(130)가 처리가능한 형태로 정렬한 신호(RGB)로 공급하게 된다.
- [0039] 스캔구동부(120)는 표시패널(100)의 일측에 복수의 스테이지를 포함하는 쉬프트 레지스터로 구성되며, 표시패널(100)상에 박막트랜지스터 형태로 내장되는 게이트 인 패널(Gate-In-Panel)구조가 적용될 수 있다. 스캔구동부(120)는 타이밍 제어부(110)로부터 입력되는 스캔제어신호(SCS)에 응답하여 표시패널(100)에 형성된 스캔배선(SL)을 통해 스캔신호(Vscan)을 출력하여 화소(P)에 구비된 스위칭 박막트랜지스터(ST)들을 턴-온(turn-on)시킴으로써 데이터 구동부(130)로부터 출력되는 데이터전압(VDATA)이 각 화소(P)들의 구동 박막트랜지스터(DT)에 인가되도록 하고, 싱크배선(RL)으로부터 기준전압(Vref)이 화소(P)에 인가된 후 소정시간 후 감지할 수 있도록 한다.
- [0040] 또한, 3T1C 화소에 대해서는 스캔신호(Vscan)를 제1 및 제2 스캔신호로 분할 구동하여 싱크전류를 감지할 수 있도록 한다.
- [0041] 데이터 구동부(130)는 타이밍 제어부(110)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 정렬된 디지털형태의 영상신호(RGB)를 아날로그 형태의 데이터전압(VDATA)으로 변환한다. 이때, 내장된 데이터 보상회

로(135)로부터 싱크전류의 감지결과에 따른 데이터 보상값을 산출하고 데이터 전압(VDATA)에 반영한다. 도시되어 있지는 않지만, 데이터 구동부(130)는 별도의 칩(IC)으로 구성되어 표시패널(100)의 일측 비표시영역상에 TAB 또는 COG 방식으로 부착될 수 있다.

[0042] 또한, 데이터 구동부(130)는 3T1C 화소와 연결되는 데이터 보상회로(135)가 내장된다. 데이터 보상회로(135)는 싱크전류에 따라 화소(P)의 구동 박막트랜지스터의 문턱전압 및 전자 이동도 특성을 판단하고, 출력되는 데이터 전압(VDATA)에 반영한다. 이를 위해 데이터 보상회로(135)는 싱크배선(RL)을 통해 3T1C 화소에 기준전압(Vref)을 공급하고, 싱크전류를 감지한다. 또한, 데이터 보상회로(135)에는 판단된 문턱전압 및 전자 이동도 특성에 대응하는 보상값을 저장하는 소정의 메모리(미도시)가 내장되어 있다.

[0043] 따라서, 본 발명의 유기전계 발광표시장치에 구비되는 메모리는 표시패널(100)상의 모든 화소(P)중, 일부의 화소(3T1C)의 문턱전압 및 전자 이동도 특성에 대응하는 보상값만을 저장하게 되어 그 용량(size)이 종래 외부보상 표시장치에 비해 현저히 저감되게 되며, 최소의 박막트랜지스터만으로도 화소를 구성할 수 있어 고해상도의 표시패널을 용이하게 구현할 수 있다.

[0044] 이하, 도면을 참조하여 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 화소배치를 설명한다.

[0045] 도 4a 및 도 4b는 본 발명의 제1 실시예에 따른 유기전계 발광표시장치의 화소배치의 일 예를 개략적으로 나타낸 도면이다.

[0046] 도 4a는 하나의 표시패널에 두 개의 박막트랜지스터 및 하나의 캐패시터를 포함하는 2T1C 화소와, 세 개의 박막트랜지스터 및 하나의 캐패시터를 포함하는 대표화소인 3T1C 화소가 교번으로 배치되는 일 예를 나타내고 있다.

[0047] 상세하게는, 수직 일방향으로 2T1C 화소가 배치되고, 그 2T1C 화소에 인접하여 수직 일방향으로 3T1C 화소가 배열되며, 3T1C 화소에 포함된 구동 박막트랜지스터의 문턱전압 및 전자 이동도 특성을 싱크전류를 통해 판단하고, 그 결과를 좌, 우 어느 하나에 배치된 2T1C 화소에 인가되는 데이터 전압과 함께 보상하게 된다.

[0048] 또한, 데이터 전압을 보상하는데 있어서, 하나의 3T1C 화소와 2T1C 화소를 1:1 대응으로 보상하는 것이 아닌, 3T1C 화소의 개수를 줄이고 2개 이상의 2T1C 화소에 대한 보상값을 하나의 3T1C 화소의 보상값을 공유하여 보상하는 방식이 적용될 수 있으며, 또한 둘 이상의 3T1C 화소의 문턱전압 및 전자 이동도 특성의 RMS 평균값, 또는 중간값 등을 산출하고 이를 통해 데이터 전압의 보상값을 결정하는 방식이 적용될 수 있다.

[0049] 도 4b는 하나의 표시패널에 두 개의 박막트랜지스터 및 하나의 캐패시터를 포함하는 2T1C 화소와, 세 개의 박막트랜지스터 및 하나의 캐패시터를 포함하는 3T1C 화소를 소정의 그룹(G1~G9)으로 구획한 일 예를 나타내고 있다. 그룹의 개수는 표시패널에 형성된 화소의 개수에 대응하게 된다.

[0050] 즉, 표시패널에 포함되는 화소들은 9개가 하나의 그룹을 이루며, 9개의 화소 중, 가운데 배치되는 화소는 3T1C 화소로서 싱크 박막트랜지스터를 더 포함하며, 인접한 8개의 2T1C 화소들에 대한 문턱전압 및 전자 이동도 특성을 대표하여 싱크전류를 감지하고 데이터전압의 보상값을 결정하게 된다. 따라서, 각 그룹(G1 ~ G9)마다 데이터 전압의 보상값은 서로 상이할 수 있다. 여기서, 하나의 그룹에 포함되는 2T1C 화소 및 3T1C 화소의 개수는 설계자의 의도에 따라 변경될 수 있다. 일 예로서, 도시되어 있지는 않지만 하나의 3T1C 화소를 중심으로 16개의 2T1C 화소가 배치되는 형태도 적용될 수 있다.

[0051] 이하, 도면을 참조하여 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 화소 및 화소배치에 따른 데이터 전압 보상방법을 설명한다. 제2 실시예에서는 화소에 구비되는 박막트랜지스터가 모두 P채널 MOS FET 형으로 구성되며, 기타 타이밍 제어부, 스캔구동부 및 데이터구동부의 구성을 상기의 제1 실시예와 동일하되, 도 2에 도시된 2T1C가 3T1C로 대체되고, 3T1C가 4T1C의 P-MOSFET 으로 대체된다.

[0052] 도 5a 및 도 5b를 참조하면, 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 화소는 3T1C 화소 및 대표 화소인 4T1C 화소로 구성된다.

[0053] 먼저, 3T1C 화소는 제1 및 제2 스위칭 박막트랜지스터(SWT1, SWT2)와, 구동 박막트랜지스터(DT)와, 캐패시터(C1)와, 유기발광 다이오드(D1)를 포함한다. 이의 구동방법을 설명하면, 스캔배선으로 입력되는 스캔신호(Vscan)에 따라 제1 스위칭 박막트랜지스터(SWT1)가 도통되고, 계조에 따른 데이터전압(VDATA)이 구동 박막트랜지스터(DT)의 게이트에 인가되어 데이터전압(VDATA)에 대응하는 전류가 유기발광 다이오드(D1)에 흘러 화상을 표시하게 된다. 이러한 데이터전압(VDATA)에 대응하는 전하는 캐패시터(C1)에 저장되며 1 프레임(frame)동안 유기발광 다이오드(D1)의 발광상태를 유지하게 된다.

- [0054] 여기서, P-MOSFET으로 구성되는 구동 박막트랜지스터(DT)는 내부의 기생 캐패시턴스에 게이트-소스간 전압이 변동되어 오작동하는 문제가 발생할 수 있으며, 이에 데이터 전압(VDATA)이 인가된 후, 소정시간 뒤에 제2 스위칭 박막트랜지스터(SWT2)에 리셋신호(SEL)를 인가하여 구동 박막트랜지스터(DT)를 완전히 턴-오프 하게 된다.
- [0055] 그리고, 도 5b를 참조하면 4T1C 화소는 유기발광 다이오드(D1)와, 유기발광 다이오드(D1)에 전류를 공급하는 구동 박막트랜지스터(DT)와, 데이터배선 및 구동 박막트랜지스터(DT)사이에 연결되어 제1 스캔신호(Vscan1)에 따라 데이터전압(VDATA)을 구동 박막트랜지스터(DT)의 게이트에 인가하는 제1 스위칭 트랜지스터(SWT1)와, 리셋신호(SEL)에 의해 도통되어 구동 박막트랜지스터(DT)의 게이트에 전원전압(ELVDD)을 공급하는 제2 스위칭 박막트랜지스터(SWT2)와, 구동 박막트랜지스터(DT)의 소스에 연결되어 제2 스캔신호(Vscan2)에 따라 기준전압(Vref)을 구동 박막트랜지스터(DT)의 소스에 인가하여 싱크전류(Isink)를 데이터 보상부(135)에 제공하는 싱크 박막트랜지스터(SST) 및 구동 박막트랜지스터(DT)의 게이트 및 소스 사이에 연결되는 캐패시터(C1)을 포함한다. 이러한 구조의 4T1C 화소의 구동방법을 설명하면, 4T1C 화소에 제1 및 제2 스캔신호(Vscan1, Vscan2)의 인가에 따라, 최종적으로 구동 박막트랜지스터(DT)의 드레인-소스 전류(I_{ds})가 $k(VDATA - Vref)^2$ 이 되어, 구동 박막트랜지스터(DT)를 통해 흐르는 전류는 문턱전압 및 전자 이동도 성분이 제거된다. 문턱전압성분의 제거과정은 상기의 제1 실시예와 동일하며, 다만 구동 박막트랜지스터(DT)의 턴-오프시 제2 스위칭 박막트랜지스터(SWT2)의 도통에 따라 구동 박막트랜지스터(DT)를 완전히 턴-오프하는 단계가 추가된다.
- [0056] 이에 따라, 소정시간 동안의 기준전압(Vref)의 변화량에 따라 흐르는 싱크전류(Isink)를 감지하여 이를 통해 보상정도를 산출하고 데이터전압에 반영하여 각 화소간 편차를 보상하게 된다.
- [0057] 도 6는 본 발명의 제2 실시예에 따른 유기전계 발광표시장치의 화소배치의 일 예를 개략적으로 나타낸 도면이다.
- [0058] 도 6은 하나의 표시패널에 세 개의 박막트랜지스터 및 하나의 캐패시터를 포함하는 3T1C 화소와, 네 개의 박막트랜지스터 및 하나의 캐패시터를 포함하는 4T1C 화소가 교번으로 배치되는 일 예를 나타내고 있다.
- [0059] 도 6을 참조하면, 수직 일방향으로 3T1C 화소가 배치되고, 그 3T1C 화소에 인접하여 수직 일방향으로 4T1C 화소가 배열되며, 3T1C 화소에 포함된 구동 박막트랜지스터의 문턱전압 및 전자 이동도 특성을 싱크전류를 통해 판단하고, 그 결과를 좌, 우 어느 하나에 배치된 4T1C 화소에 인가되는 데이터 전압과 함께 보상하게 된다.
- [0060] 또한, 도시되어 있지는 않지만, 상기의 제1 실시예와 유사하게 4T1C 화소를 중심으로 하여 8개 내지 16개의 3T1C 화소들이 인접하여 둘러싸는 형태로 배치되고, 4T1C 화소에 대한 문턱전압 및 전자 이동도 특성을 대표하여 감지된 싱크전류를 통해 데이터전압의 보상값을 결정하는 구조도 적용될 수 있다.
- [0061] 뿐만 아니라, 데이터 전압을 보상하는데 있어서 4T1C 화소의 개수를 줄이고 2개 이상의 3T1C 화소에 대한 보상값을 하나의 4T1C 화소의 보상값을 공유하여 보상하는 방식이 적용될 수 있으며, 또한 둘 이상의 4T1C 화소의 문턱전압 및 전자 이동도 특성의 RMS 평균값, 또는 중간값 등을 산출하고 이를 통해 인접한 3T1C 화소의 데이터 전압의 보상값을 결정하는 방식이 적용될 수 있다.
- [0062] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

- [0063]
- | | |
|----------------|---------------|
| 100 : 표시패널 | 110 : 타이밍 제어부 |
| 120 : 스캔구동부 | 130 : 데이터 구동부 |
| 135 : 데이터 보상회로 | P : 화소 |
| SL : 스캔배선 | DL : 데이터배선 |
| RL : 싱크배선 | Vscan : 스캔신호 |
| VDATA : 데이터전압 | Vref : 기준전압 |
| SCS : 스캔제어신호 | DCS : 데이터제어신호 |

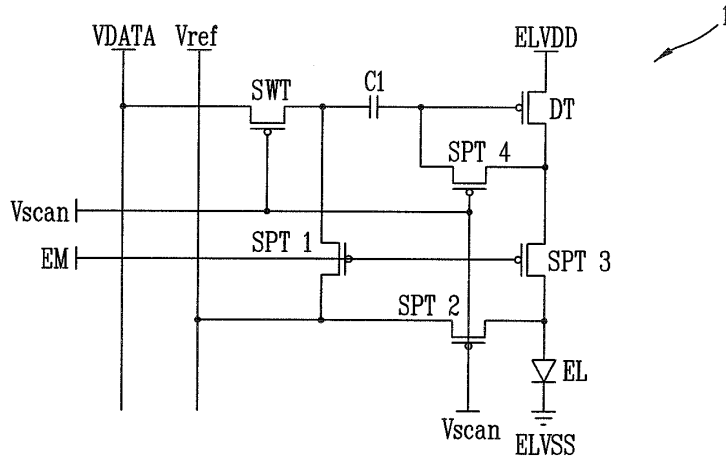
RGB : 데이터신호

2T1C : 2트랜지스터-1캐패시터 화소

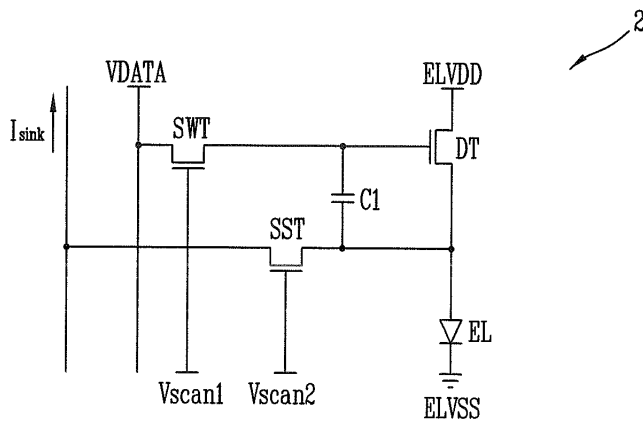
3T1C : 3트랜지스터-1캐패시터 화소

도면

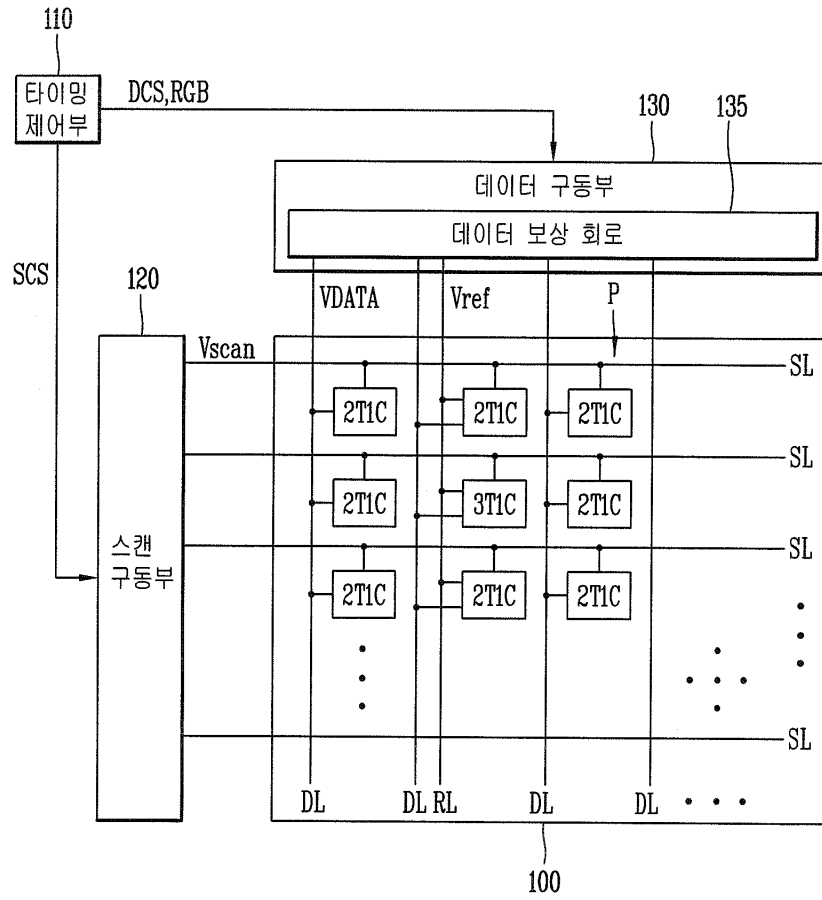
도면1a



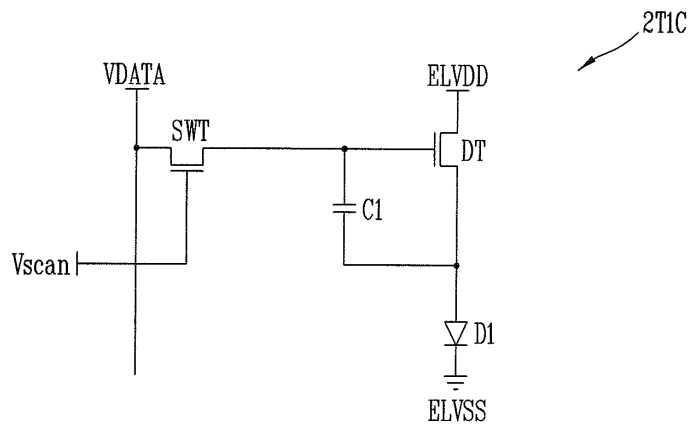
도면1b



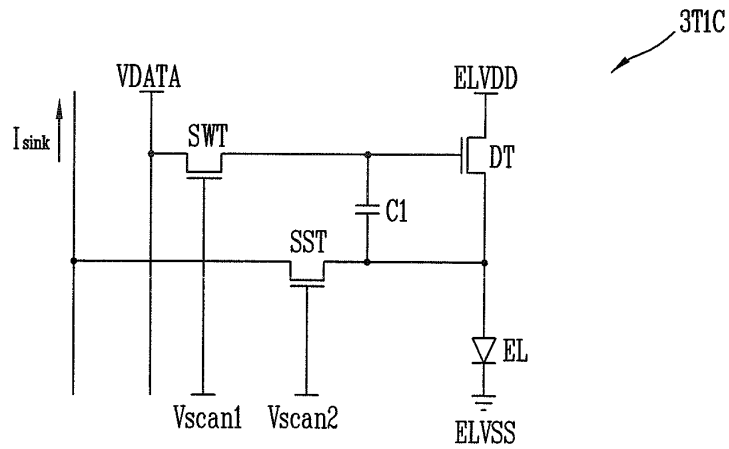
도면2



도면3a



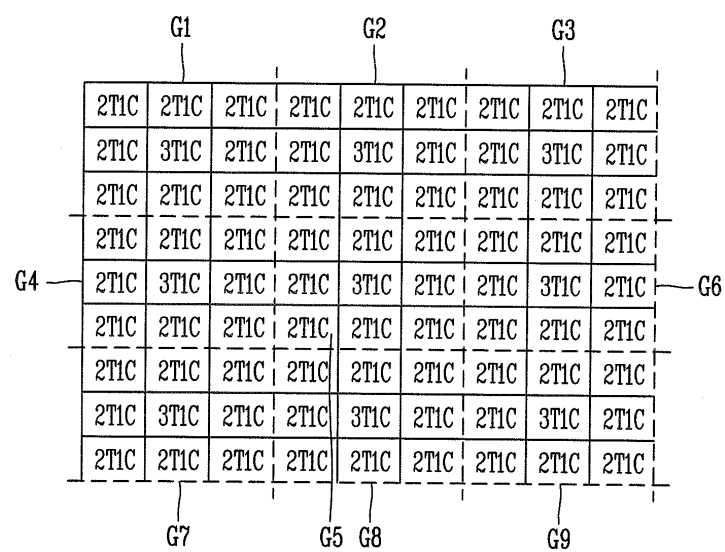
도면3b



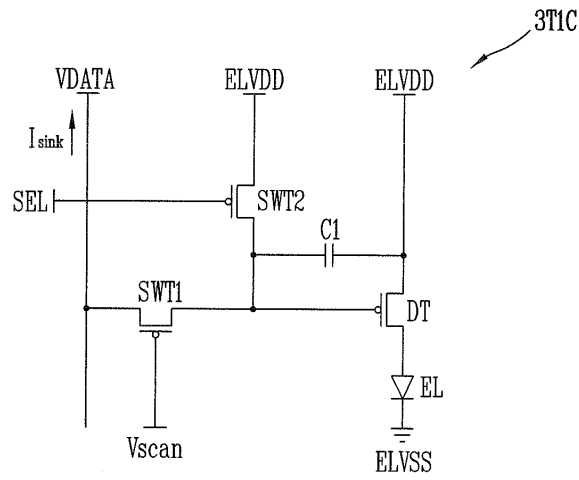
도면4a

[illegible]

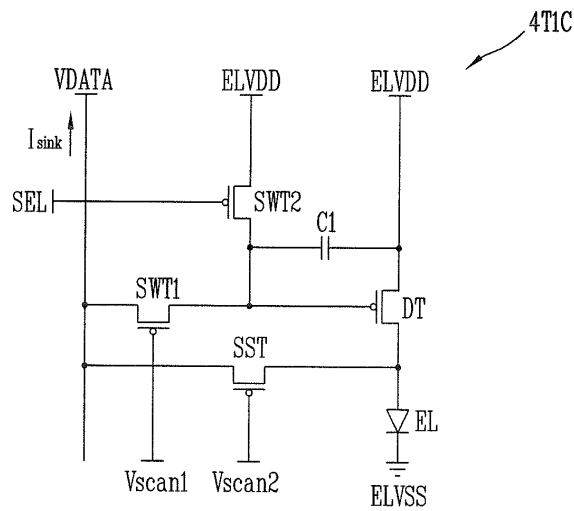
도면4b



도면5a



도면5b



도면6

3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C
3T1C	4T1C	3T1C	4T1C	3T1C	4T1C	3T1C	4T1C

专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020140144033A	公开(公告)日	2014-12-18
申请号	KR1020130065955	申请日	2013-06-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NA SE HWAN 나세환 AHN BYUNG CHUL 안병철 PARK YOUNG JU 박영주		
发明人	나세환 안병철 박영주		
IPC分类号	G09G3/30 H01L51/52		
CPC分类号	H01L27/32 G09G3/3208 G09F9/301 H01L27/3276 H01L27/3274 H01L27/3246 H01L27/326 H01L27/3262 H01L27/3265		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机电致发光显示装置。更具体地，本发明涉及一种有机发光显示装置，其中减少了像素中提供的薄膜晶体管的数量以实现高分辨率，并且简化了用于补偿像素间漂移的补偿装置的结构。根据本发明的实施例，通过仅形成最少数量的薄膜晶体管来形成每个像素，并且将像素的一部分定义为代表性像素并且形成为外部补偿结构。对应于相邻像素的数据通过补偿电压可以容易地实现高分辨率有机发光显示装置。

