



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0060915
(43) 공개일자 2013년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2011-0127226
(22) 출원일자 2011년11월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김대우
경기도 용인시 기흥구 삼성2로 95 (농서동)
박중현
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤특허법인

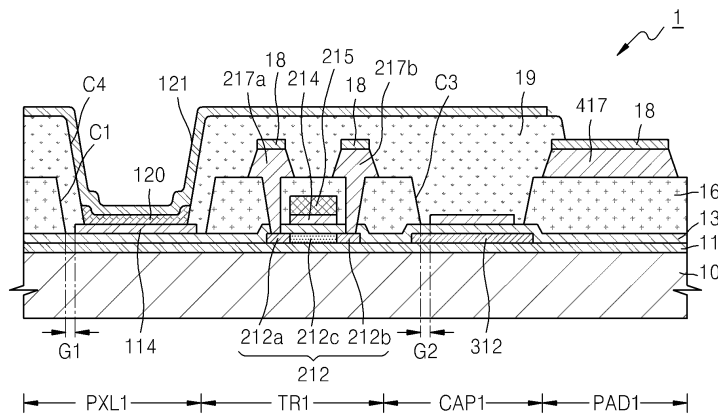
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **박막트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 박막트랜지스터 어레이 기판의 제조 방법**

(57) 요약

본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 상기 제1절연층 상에 배치되고, 상기 게이트전극과 동일한 재료를 포함하는 화소전극; 상기 활성층과 동일층에 배치된 제1전극과, 상기 게이트전극과 동일층에 배치된 제2전극을 포함하는 커패시터; 상기 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극과 동일한 재료를 포함하는 패드전극; 상기 패드전극 상에 형성된 보호층; 및 상기 보호층 상에 형성되고 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제1절연층 상에 배치되고, 상기 게이트전극과 동일한 재료를 포함하는 화소전극;

상기 활성층과 동일층에 배치된 제1전극과, 상기 게이트전극과 동일층에 배치된 제2전극을 포함하는 커패시터;

상기 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극과 동일한 재료를 포함하는 패드전극;

상기 패드전극 상에 형성된 보호층; 및

상기 보호층 상에 형성되고 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 활성층은 이온불순물이 도핑된 반도체 물질을 포함하는 박막트랜지스터 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 화소전극은 투명도전성 산화물을 포함하는 제1층 및 금속을 포함하는 제2층을 구비한 박막트랜지스터 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함하는 박막트랜지스터 어레이 기판.

청구항 5

제 1 항에 있어서,

상기 제1전극은 이온불순물이 도핑된 반도체 물질을 포함하는 박막트랜지스터 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 화소전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성된 박막트랜지스터 어레이 기판.

청구항 7

제 1 항에 있어서,

상기 화소전극의 단부와 상기 제3절연층의 단부가 오버랩된 박막트랜지스터 어레이 기판.

청구항 8

제 1 항에 있어서,

상기 제2전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성된 박막트랜지스터 어레이 기판.

청구항 9

제 8 항에 있어서,
상기 갭에서 상기 제3절연층이 상기 제1절연층과 직접 접촉하는 박막트랜지스터 어레이 기판.

청구항 10

제 1 항에 있어서,
상기 보호층은 상기 소스전극과 상기 드레인전극 상에 더 형성된 박막트랜지스터 어레이 기판.

청구항 11

제 1 항에 있어서,
상기 패드전극은 전자기동도가 다른 복수의 금속층을 포함하는 박막트랜지스터 어레이 기판.

청구항 12

제 11 항에 있어서,
상기 복수의 금속층은 몰리브덴을 포함하는 층과 알루미늄을 포함하는 층을 포함하는 박막트랜지스터 어레이 기판.

청구항 13

제 1 항에 있어서,
상기 보호층은 금속산화물 또는 투명도전성산화물을 포함하는 박막트랜지스터 어레이 기판.

청구항 14

제 13 항에 있어서,
상기 투명도전성산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함하는 박막트랜지스터 어레이 기판.

청구항 15

제 1 항에 있어서,
상기 패드전극의 단부와 상기 보호층의 단부 사이에 갭(gap)이 형성된 박막트랜지스터 어레이 기판.

청구항 16

제 15 항에 있어서,
상기 갭에서 상기 제3절연층이 상기 패드전극의 상부면과 직접 접촉하는 박막트랜지스터 어레이 기판.

청구항 17

제 1 항에 있어서,
상기 게이트전극은 투명도전성 산화물을 포함하는 제1층 및 금속을 포함하는 제2층을 구비한 박막트랜지스터 어레이 기판.

청구항 18

제 1 항에 있어서,
상기 게이트전극과 상기 소스전극 및 드레인전극은 동일한 재료를 포함하는 박막트랜지스터 어레이 기판.

청구항 19

활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

상기 제1절연층 상에 배치되고, 상기 게이트전극과 동일한 재료를 포함하는 화소전극;

상기 활성층과 동일층에 배치된 제1전극과, 상기 게이트전극과 동일층에 배치된 제2전극을 포함하는 커패시터;

상기 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극과 동일한 재료를 포함하는 패드전극;

상기 패드전극 상에 형성된 보호층;

상기 보호층 상에 형성되고 상기 화소전극을 노출시키는 제3절연층;

상기 화소전극 상에 배치된 유기발광층; 및

상기 유기발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서,

상기 대향전극은 상기 유기발광층에서 방출된 광을 반사하는 반사전극인 유기 발광 표시 장치.

청구항 21

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 제1전극을 형성하는 제1마스크공정;

제1절연층을 형성하고, 상기 제1절연층 상에 투명도전성 산화물층 및 제1금속층을 형성하고, 상기 투명도전성 산화물층 및 상기 제1금속층을 패터닝하여 화소전극, 박막트랜지스터의 게이트전극, 및 커패시터의 제2전극을 형성하는 제2마스크공정;

제2절연층을 형성하고, 상기 제2절연층이 상기 화소전극, 상기 활성층의 소스영역과 드레인영역, 및 상기 제1전극을 노출시키도록 개구들을 형성하는 제3마스크공정;

상기 제3마스크공정의 결과물 상에 제2금속층 및 보호층을 형성하고, 상기 제2금속층 및 보호층을 패터닝하여 상기 소스영역과 드레인영역에 접속하는 소스전극과 드레인전극, 및 패드전극을 형성하고, 상기 화소전극의 제1금속층과 상기 제2전극의 제1금속층을 제거하는 제4마스크공정; 및

제3절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제3절연층을 제거하는 제5마스크공정;을 포함하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 22

제 21 항에 있어서,

상기 제2마스크공정 후, 상기 소스영역 및 드레인영역에 이온불순물을 도핑하는 박막트랜지스터 기판의 제조방법.

청구항 23

제 21 항에 있어서,

상기 제3마스크공정에서, 상기 화소전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성되도록 상기 제2절연층의 개구를 형성하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 24

제 21 항에 있어서,

상기 제3마스크공정에서, 상기 제1전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성되도록 상기 제2절연층의 개구를 형성하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 25

제 21 항에 있어서,
 상기 제1금속층과 상기 제2금속층은 동일한 재료로 형성하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 26

제 21 항에 있어서,
 상기 제2금속층은 전자이동도가 다른 복수의 금속층으로 형성되는 박막트랜지스터 어레이 기판의 제조방법.

청구항 27

제 21 항에 있어서,
 상기 보호층은 금속산화물 또는 투명도전성산화물로 형성하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 28

제 21 항에 있어서,
 상기 제4마스크공정은 상기 제1금속층, 상기 제2금속층 및 상기 보호층을 식각하는 제1식각공정과,
 상기 보호층을 식각하는 제2식각공정을 포함하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 29

제 28 항에 있어서,
 상기 제2식각공정은 옥살산 또는 금속부식 방지제가 첨가된 에천트를 사용하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 30

제 21 항에 있어서,
 상기 제4마스크공정 후, 상기 제1전극에 이온불순물을 도핑하는 박막트랜지스터 어레이 기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 박막트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 박막트랜지스터 어레이 기판의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기판의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스테퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기판 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술

한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상술한 문제점 및 그 밖의 다른 문제점을 해결하기 위한 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 상기 제1절연층 상에 배치되고, 상기 게이트전극과 동일한 재료를 포함하는 화소전극; 상기 활성층과 동일층에 배치된 제1전극과, 상기 게이트전극과 동일층에 배치된 제2전극을 포함하는 커패시터; 상기 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극과 동일한 재료를 포함하는 패드전극; 상기 패드전극 상에 형성된 보호층; 및 상기 보호층 상에 형성되고 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

[0008] 상기 활성층은 이온불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0009] 상기 화소전극은 투명도전성 산화물을 포함하는 제1층 및 금속을 포함하는 제2층을 구비할 수 있다.

[0010] 상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.

[0011] 상기 제1전극은 이온불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0012] 상기 화소전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성될 수 있다.

[0013] 상기 화소전극의 단부와 상기 제3절연층의 단부가 오버랩될 수 있다.

[0014] 상기 제2전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성될 수 있다.

[0015] 상기 갭에서 상기 제3절연층이 상기 제1절연층과 직접 접촉할 수 있다.

[0016] 상기 보호층은 상기 소스전극과 상기 드레인전극 상에 더 형성될 수 있다.

[0017] 상기 패드전극은 전자기동도가 다른 복수의 금속층을 포함할 수 있다.

[0018] 상기 복수의 금속층은 폴리브텐을 포함하는 층과 알루미늄을 포함하는 층을 포함할 수 있다.

[0019] 상기 보호층은 금속산화물 또는 투명도전성산화물을 포함할 수 있다.

[0020] 상기 투명도전성산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.

[0021] 상기 패드전극의 단부와 상기 보호층의 단부 사이에 갭(gap)이 형성될 수 있다.

[0022] 상기 갭에서 상기 제3절연층이 상기 패드전극의 상부면과 직접 접촉할 수 있다.

[0023] 상기 게이트전극은 투명도전성 산화물을 포함하는 제1층 및 금속을 포함하는 제2층을 구비할 수 있다.

[0024] 상기 게이트전극과 상기 소스전극 및 드레인전극은 동일한 재료를 포함할 수 있다.

[0025] 본 발명의 다른 측면에 의하면, 활성층, 게이트 전극, 소스전극과 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 상기 제1절연층 상에 배치되고, 상기 게이트전극과 동일한 재료를 포함하는 화소전극; 상기 활

성층과 동일층에 배치된 제1전극과, 상기 게이트전극과 동일층에 배치된 제2전극을 포함하는 커패시터; 상기 제2절연층 상에 배치되고, 상기 소스전극 및 드레인전극과 동일한 재료를 포함하는 패드전극; 상기 패드전극 상에 형성된 보호층; 상기 보호층 상에 형성되고 상기 화소전극을 노출시키는 제3절연층; 상기 화소전극 상에 배치된 유기발광층; 및 상기 유기발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시 장치를 제공할 수 있다.

[0026] 상기 대향전극은 상기 유기발광층에서 방출된 광을 반사하는 반사전극일 수 있다.

[0027] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 제1전극을 형성하는 제1마스크공정; 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전성 산화물층 및 제1금속층을 형성하고, 상기 투명도전성 산화물층 및 상기 제1금속층을 패터닝하여 화소전극, 박막트랜지스터의 게이트전극, 및 커패시터의 제2전극을 형성하는 제2마스크공정; 제2절연층을 형성하고, 상기 제2절연층이 상기 화소전극, 상기 활성층의 소스영역과 드레인영역, 및 상기 제1전극을 노출시키도록 개구들을 형성하는 제3마스크공정; 상기 제3마스크공정의 결과물 상에 제2금속층 및 보호층을 형성하고, 상기 제2금속층 및 보호층을 패터닝하여 상기 소스영역과 드레인영역에 접속하는 소스전극과 드레인전극, 및 패드전극을 형성하고, 상기 화소전극의 제1금속층과 상기 제2전극의 제1금속층을 제거하는 제4마스크공정; 및 제3절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제3절연층을 제거하는 제5마스크공정;을 포함하는 박막트랜지스터 어레이 기판의 제조방법을 제공할 수 있다.

[0028] 상기 제2마스크공정 후, 상기 소스영역 및 드레인영역에 이온불순물을 도핑할 수 있다.

[0029] 상기 제3마스크공정에서, 상기 화소전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성되도록 상기 제2절연층의 개구를 형성할 수 있다.

[0030] 상기 제3마스크공정에서, 상기 제1전극의 단부와 상기 제2절연층의 단부 사이에 갭(gap)이 형성되도록 상기 제2절연층의 개구를 형성할 수 있다.

[0031] 상기 제1금속층과 상기 제2금속층은 동일한 재료로 형성할 수 있다.

[0032] 상기 제2금속층은 전자이동도가 다른 복수의 금속층으로 형성될 수 있다.

[0033] 상기 보호층은 금속산화물 또는 투명도전성산화물로 형성할 수 있다.

[0034] 상기 제4마스크공정은 상기 제1금속층, 상기 제2금속층 및 상기 보호층을 식각하는 제1식각공정과, 상기 보호층을 식각하는 제2식각공정을 포함할 수 있다.

[0035] 상기 제2식각공정은 육살산 또는 금속부식 방지제가 첨가된 에천트를 사용할 수 있다.

[0036] 상기 제4마스크공정 후, 상기 제1전극에 이온불순물을 도핑할 수 있다.

발명의 효과

[0037] 상기와 같은 본 발명에 따른 박막트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.

[0038] 첫째, 패드전극 상에 보호층을 형성하여 패드전극의 부식을 방지할 수 있다.

[0039] 둘째, 보호층의 돌출부분이 제거되어 돌출부분의 파티클(particle)로 인한 오염을 방지할 수 있다.

[0040] 셋째, 보호층의 단부를 패드전극의 단부보다 안쪽으로 형성하여 도핑에 의한 정전기 발생에 의한 불량을 방지할 수 있다.

[0041] 넷째, 보호층의 단부를 패드전극의 단부보다 안쪽으로 형성하여 스텝 커버리지(step coverage)를 개선할 수 있다.

[0042] 다섯째, 보호층의 단부를 패드전극의 단부보다 안쪽으로 형성하여 화소정의막과 패드전극의 접착력을 강화할 수 있다.

[0043] 여섯째, 커패시터 하부전극에 이온불순물이 도핑되지 않는 현상이 제거되어, 정전 용량이 증가하고, 커패시터 배선의 신호 전달 품질이 향상된다.

[0044] 일곱째, 개구율을 높일 수 있다.

[0045] 여덟째, 5마스크 공정으로 박막트랜지스터 어레이 기판 및 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

- [0046] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- 도 2는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정을 개략적으로 도시한 단면도이다.
- 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정을 개략적으로 도시한 단면도이다.
- 도 4는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정을 개략적으로 도시한 단면도이다.
- 도 5 및 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.
- 도 7은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정을 개략적으로 도시한 단면도이다.
- 도 8은 본 발명의 비교예에 따른 픽셀영역을 개략적으로 도시한 단면도이다.
- 도 9는 본 발명의 비교예에 따른 커패시터영역을 개략적으로 도시한 단면도이다.
- 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 제4마스크 공정의 제1식각 공정을 개략적으로 도시한 단면도이다.
- 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 제4마스크 공정의 제2식각 공정을 개략적으로 도시한 단면도이다.
- 도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 제4마스크 공정의 제2도핑 공정을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0047] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0048] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0049] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기판(10) 상에는 픽셀영역(PXL1), 트랜지스터영역(TR1), 커패시터영역(CAP1) 및 패드영역(PAD1)이 구비된다.
- [0050] 기판(10)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등의 투명 기판으로 구비될 수 있다.
- [0051] 기판(10) 상에 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 기판(10) 상부에 평활한 면을 형성하고 불순원소가 침투하는 것을 차단하기 위한 것으로, 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.
- [0052] 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널영역(212c)과, 채널영역(212c) 외측에 이온불순물이 도핑된 소스영역(212a) 및 드레인영역(212b)을 포함할 수 있다.
- [0053] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널영역(212c)에 대응되는 위치에 게이트전극(214, 215)이 구비된다. 게이트전극(214, 215)은 투명도전성 산화물을 포함하는 제1층(214)과 금속을 포함하는 제2층(215)이 차례로 구비된다. 제1층(214)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 제2층(215)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0054] 게이트전극(214, 215) 상에는 층간절연막인 제2절연층(16)을 사이에 두고 활성층(212)의 소스영역(212a)과 드레인영역(212b)에 각각 접속하는 소스전극(217a)과 드레인전극(217b)이 구비된다. 소스전극(217a)과 드레인전극

(217b)은, 게이트전극(214, 215)의 제2층(215)과 동일한 재료를 포함할 수 있다. 예를 들어, 소스전극(217a)과 드레인전극(217b)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

[0055] 소스전극(217a)과 드레인전극(217b) 상부에는 수분과 산소로부터 소스전극(217a)과 드레인전극(217b)의 부식을 방지할 수 있는 보호층(18)이 구비된다. 한편, 도 1에는 보호층(18)이 소스전극(217a)과 드레인전극(217b) 상부에만 구비된 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 보호층(18)은 소스전극(217a)과 드레인전극(217b)에 동일층에 형성되는 배선(미도시)의 상부에도 형성될 수 있다. 보호층(18)은 금속산화물 또는 투명도전성 산화물을 포함할 수 있다.

[0056] 제2절연층(16) 상에는 소스전극(217a)과 드레인전극(217b)을 덮도록 제3절연층(19)이 구비된다. 본 실시예에서 제1절연층(13) 및 제2절연층(16)은 무기 절연막으로 구비되고, 제3절연층(19)은 유기 절연막으로 구비될 수 있다. 제3절연층(19)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.

[0057] 픽셀영역(PXL1)에는 기판(10), 버퍼층(11), 및 제1절연층(13) 상에 게이트전극의 제1층(214)과 동일한 투명도전성 산화물을 포함하는 화소전극(114)이 형성된다. 화소전극(114)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상의 재료를 포함할 수 있다.

[0058] 화소전극(114) 외곽에는 제2절연층(16)이 형성되고, 제2절연층(16)에는 화소전극(114)을 노출시키는 제1개구(C1)가 형성된다. 이때, 제1개구(C1)는 화소전극(114)의 단부와 제2절연층(16)의 단부 사이에 제1갭(gap)(G1)이 형성될 수 있도록 화소전극(114)보다 크게 형성할 수 있다.

[0059] 제2절연층(16) 상에 제3절연층(19)이 형성되고, 제3절연층(19)에는 화소전극(114)을 노출시키는 제4개구(C4)가 형성된다. 이때, 화소전극(114)의 단부와 제3절연층(19)의 단부가 오버랩될 수 있다.

[0060] 제4개구(C4) 내부의 화소전극(114) 상에 유기발광층(120)이 구비된다. 유기발광층(120)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기발광층(120)이 저분자 유기물일 경우, 유기발광층(120)을 중심으로 홀수송층(hole transport layer: HTL), 홀주입층(hole injection layer: HIL), 전자수송층(electron transport layer: ETL) 및 전자주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기발광층(120)이 고분자 유기물일 경우, 유기발광층(120) 외에 홀수송층(HTL)이 포함될 수 있다. 홀수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.

[0061] 유기발광층(120) 상에는 공통전극으로 대향전극(121)이 구비된다. 대향전극(121)은 반사물질을 포함하는 반사전극으로 구성될 수 있다. 이때 상기 대향전극(121)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함할 수 있다. 대향전극(121)이 반사 전극으로 구비됨으로써, 유기발광층(120)에서 방출된 빛은 대향전극(121)에 반사되어 투명도전성 산화물로 구성된 화소전극(114)을 투과하여 기판(10) 측으로 방출될 수 있다.

[0062] 도 8은 본 발명의 비교예에 따른 픽셀영역(PXL1)을 개략적으로 도시한 단면도이다. 도 8을 참조하면, 기판(10) 및 제1절연층(13) 상에 화소전극(114)이 구비되고, 화소전극(114)의 단부는 제2절연층(16)에 의해 소정 폭(W1) 오버랩되어 있다. 제3절연층(19)은 제1개구(C1)보다 안쪽에서 화소전극(114)의 단부를 덮기 때문에 제4개구(C4)에 의해 형성되는 유효발광영역이 줄어든다.

[0063] 그러나, 본 실시예에서는 화소전극(114)의 단부와 제2절연층(13)의 단부 사이에 제1갭(G1)이 형성되기 때문에, 제3절연층(19)과 화소전극(114)과 오버랩되는 영역을 줄일 수 있다. 따라서, 유효발광영역이 증가함으로써 표시 장치의 개구율을 증가시킬 수 있다.

- [0064] 커패시터영역(CAP1)에는 제1전극(312)과 제2전극(314), 및 제1전극(312)과 제2전극(314) 사이에 배치된 제1절연층(13)이 구비된다.
- [0065] 제1전극(312)은 박막트랜지스터의 활성층(212)의 소스영역(212a) 및 드레인영역(122b)과 동일 재료로서, 이온불순물이 도핑된 반도체를 포함할 수 있다. 만약, 제1전극(312)을 이온불순물이 도핑되지 않은 진성 반도체로 형성할 경우, 커패시터는 MOS(Metal Oxide Semiconductor) CAP 구조가 된다. 그러나, 제1전극(312)을 본 실시예와 같이 이온불순물이 도핑된 반도체로 형성할 경우, MOS CAP 구조보다 정전용량이 큰 MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화 시킬 수 있다. 따라서, MIM CAP 구조는 MOS CAP 구조보다 작은 면적으로도 동일한 정전용량을 구현할 수 있으므로, 커패시터의 면적을 줄일 수 있는 마진이 높아지는 만큼, 화소전극(114)을 크게 형성하여 개구율을 높일 수 있다. 또한, 후술하겠지만 제1전극(312)에는 이온불순물이 도핑된 영역이 끊임 없이 연속적으로 분포되어 커패시터의 신호 품질이 향상될 수 있다.
- [0066] 제1전극(312) 상부에 유전막으로 기능하는 제1절연층(13)이 구비된다.
- [0067] 제1절연층(13) 상에는 게이트전극의 제1층(214)과 동일한 투명도전성 산화물을 포함하는 제2전극(314)이 구비된다.
- [0068] 제2전극(314) 외곽에는 제2절연층(16)이 형성되고, 제2절연층(16)에는 제2전극(314)을 노출시키는 제3개구(C3)가 형성된다. 이때, 제3개구(C3)는 제2전극(314)의 단부와 제2절연층(16)의 단부 사이에 제2갭(G2)이 형성될 수 있도록 제2전극(314)보다 크게 형성할 수 있다.
- [0069] 제2전극(314) 상에 제3절연층(19)이 구비되고, 제3절연층(19)은 전술한 제2갭(G2)에서 직접 제1절연층(13)과 접촉할 수 있다. 제3절연층(19)은 유기절연막으로 구비될 수 있다. 대향전극(121)과 제2전극(314) 사이에 유전율이 작은 유기절연물인 제3절연층(19)이 개재됨으로써, 대향전극(121)과 제2전극(314) 사이에 형성될 수 있는 기생용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0070] 도 9는 본 발명의 비교예에 따른 커패시터영역(CAP1)을 개략적으로 도시한 단면도이다. 도 9를 참조하면, 기판(10) 상에 제1전극(312)이 구비되고, 제1전극(312) 상에 제2절연층(16)이 구비된다. 제2전극(314)의 단부는 제2절연층(16)에 의해 소정 폭(W2) 오버랩되어 있다. 오버랩된 영역의 제2전극(314) 상에는 제2절연층(16)에 덮인 제2전극(314)의 상부층(315) 금속이 식각되지 않고 남아있다. 상부층(314)은 차단마스크로 기능하기 때문에 상부층(314)에 대응되는 제1전극(312)의 일정 부분(ND)에는 이온불순물이 도핑되지 않는다. 따라서, 커패시터의 저항이 커지고, 신호 전달 품질이 나빠진다.
- [0071] 그러나, 본 실시예에서는 제2전극(314)의 단부와 제2절연층(13)의 단부 사이에 제2갭(G2)이 형성될 수 있도록 제3개구(C3)를 제2전극(314)보다 크게 형성한다. 본 실시예에서 제2절연층(16)과 제2전극(314) 사이에 오버랩되는 영역이 없기 때문에 제2전극(314)에 전술한 상부층(315)이 잔존되지 않는다. 따라서, 제1전극(312)에 이온불순물이 끊임 없이 연속적으로 도핑되기 때문에 커패시터의 신호 품질이 향상될 수 있다.
- [0072] 유기 발광 표시 장치(1)의 외곽에는 외장 드라이버의 접속 단자인 패드전극(417)이 배치되는 패드영역(PAD1)이 위치한다.
- [0073] 본 실시예에서, 패드전극(417)은 소스전극(217a) 및 드레인전극(217b)과 동일 재료로 이루어질 수 있다. 패드전극(417)은 전자이동도가 다른 복수의 금속층을 포함할 수 있다. 예를 들어, 패드전극(417)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속이 다층으로 형성될 수 있다.
- [0074] 또한, 패드전극(417)은 소스전극(217a) 및 드레인전극(217b)과 동일 층에 배치된다. 즉, 패드전극(417)은 제2절연층(16) 상에 직접 배치된다. 패드전극(417)은 전술한 게이트전극(214, 215), 화소전극(114), 및 제1전극(312)과 제2전극(314)보다 나중에 형성되기 때문에, 게이트전극(214, 215), 화소전극(114), 제1전극(312) 또는 제2전극(314)을 형성하는 재료가 패드전극(417) 상에 위치하거나, 또는 이들을 패드전극(417) 상에서 제거하는 과정에서 패드전극(417)의 신뢰성이 저하되는 것을 방지할 수 있다.
- [0075] 패드전극(417) 상부에는 보호층(18)이 구비된다. 보호층(18)은 수분과 산소로부터 패드전극(417)의 손상을 방지한다. 보호층(18)은 금속산화물 또는 투명도전성 산화물을 포함할 수 있다.
- [0076] 한편, 도 1에는 도시되어 있지 않으나, 본 실시예에 따른 유기 발광 표시 장치(1)는 픽셀영역(PXL1), 커패시터영역(CAP1), 및 트랜지스터영역(TR1)을 포함하는 표시 영역을 봉지하는 봉지 부재(미도시)를 더 포함할 수

있다. 봉지 부재는 글라스재를 포함하는 기관, 금속 필름, 또는 유기절연막 및 무기절연막이 교번하여 배치된 봉지 박막 등으로 형성될 수 있다.

- [0077] 이하, 도 2 내지 7을 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0078] 도 2는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0079] 도 2를 참조하면, 기관(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11) 상에 반도체층(미도시)한 후, 반도체층(미도시)을 패터닝하여 박막트랜지스터의 활성층(212)과 커패시터의 제1전극(312)을 형성한다.
- [0080] 상기 도면에는 도시되어 있지 않지만, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝된다. 패터닝 결과, 전술한 활성층(212)과 제1전극(312)이 형성된다. 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(striping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0081] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0082] 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0083] 도 3을 참조하면, 도 2의 제1마스크 공정의 결과물 상에 제1절연층(13)을 형성하고, 제1절연층(13) 상에 투명도전성 산화물층(미도시)과 제1금속층(미도시)을 차례로 적층한 후 이를 패터닝한다. 이때, 제1금속층(미도시)은 전술한 바와 같이, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0084] 패터닝 결과, 제1절연층(13) 상에 게이트전극(214, 215)과, 커패시터의 제1전극(314)과 제1전극의 상부층(315)과, 화소전극(114)과 화소전극의 상부층(115)이 형성된다. 본 실시예에서, 제1금속층이 패터닝되어 형성된 제2전극의 상부층(315)은 몰리브덴(Mo)을 포함하는 제1층(315a), 알루미늄(Al)을 포함하는 제2층(315b), 몰리브덴(Mo)을 포함하는 제3층(315c)을 포함한다.
- [0085] 상기와 같은 구조물 위에 이온불순물이 1차 도핑(D1)된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm² 이상의 농도로 박막트랜지스터의 활성층(212)을 타겟으로 하여 도핑한다. 게이트전극(214, 215)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온불순물을 도핑함으로써 활성층(212)은 이온불순물이 도핑된 소스 및 드레인영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다.
- [0086] 도 4는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0087] 도 4를 참조하면, 도 3의 제2마스크 공정의 결과물 상에 제2절연층(16)을 형성하고, 제2절연층(16)을 패터닝하여 화소전극(114)과 그 상부층(115)을 노출시키는 제1개구(C1), 활성층(212)의 소스영역(212a) 및 드레인영역(212b)을 노출시키는 제2개구(C2), 및 제2전극(314)과 그 상부층(315)을 노출시키는 제3개구(C3)을 형성한다. 제1개구(C1)은 화소전극(114)의 단부와 제1갭(G1)을 형성하고, 제3개구(C3)는 제1전극(314)의 단부와 제2갭(G2)을 형성한다.
- [0088] 도 5 및 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.
- [0089] 도 5를 참조하면, 광차단부(M1, M2, M3)와 광투과부(M4)를 구비한 마스크(M)가 구비되고, 도 4의 제3마스크 공정의 결과물 상에 제2금속층(17), 보호층(18) 및 포토레지스터(PR)가 차례로 형성된다.
- [0090] 도 6을 참조하면, 광투과부(M4)에 대응되는 영역인, 화소전극(114) 상의 상부층(115), 제2금속층(17) 및 보호층(18)과, 제2전극(314) 상의 상부층(315), 제2금속층(17), 및 보호층(18)은 제거된다. 한편, 광차단부(M1, M2, M3)에 대응되는 영역의 제2금속층(17)과 보호층(18)은 각각 패터닝되어 보호층(18)이 구비된 소스전극(217a) 및 드레인전극(217b)과, 패드전극(417)이 형성된다.
- [0091] 제2금속층(17)은 전자이동도가 다른 복수의 금속층으로 형성될 수 있고, 본 실시예에서 제2금속층(17)이 패터닝

되어 형성된 패드전극(417)은 몰리브덴(Mo)을 포함하는 제1층(417a), 알루미늄(Al)을 포함하는 제2층(417b), 몰리브덴(Mo)을 포함하는 제3층(417c)을 포함한다. 보호층(18)은 제2금속층(18)과 동일한 마스크공정에서 동시에 패터닝되어, 소스전극(217a) 및 드레인전극(217b)과, 패드전극(417)을 각각 수분과 산소로부터 손상 받는 것을 방지한다.

[0092] 화소전극(114) 상의 상부층(115), 제2금속층(17) 및 보호층(18)과, 제2전극(314) 상의 상부층(315), 제2금속층(17), 및 보호층(18) 제거 후, 제2전극(314)을 타겟으로 하여 2차 도핑(D2) 공정을 실시한다. 1차 도핑(D1)시 도핑되지 않았던 제1전극(312)은, 2차 도핑(D2) 후 이온불순물이 도핑되어, 제2전극(314)과 함께 MIM CAP을 이룬다. 또한, 제2전극(314)의 단부와 제2절연층(16)의 단부 사이에 형성된 제2갭(G2)에 의해, 제1전극(312)에는 이온불순물이 끊임 없이 연속적으로 도핑되어, 커패시터의 신호 전달 품질이 저하되는 문제를 방지할 수 있다.

[0093] 한편, 상기 도면에는 상세히 도시하지 않았으나 제4마스크 공정에서 제2금속층(17)과 보호층(18)을 패터닝하여 데이터 배선을 함께 형성할 수 있다.

[0094] 도 7은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0095] 도 7을 참조하면, 도 6의 제4마스크 공정의 결과물 상에 제3절연층(19)을 형성한 후, 화소전극(114) 상부를 노출시키는 제4개구(C4), 및 패드전극(417)을 노출시키는 제5개구(C5)를 형성한다. 전술한 바와 같이 화소전극(114)의 단부와 제2절연층(13)의 단부 사이에 제1갭(G1)이 형성되기 때문에, 제3절연층(19)과 화소전극(114)이 오버랩되는 영역을 줄일 수 있다. 따라서, 유효발광영역이 증가함으로써 표시장치의 개구율을 증가시킬 수 있다.

[0096] 한편, 상기 도면들에는 도시되지 않았으나, 제5마스크 공정 이후 화소전극(114) 상에 유기발광층(120)을 형성하고, 유기발광층(120) 상에 공통전극인 대향전극(121, 도 1)을 형성하여, 도 1의 유기 발광 표시 장치(1)를 만들 수 있다. 또한, 대향전극(121, 도 1) 상에 봉지 부재(미도시)를 더 형성할 수 있다.

[0097] 이하, 도 10 내지 13을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 설명한다. 이하, 전술한 실시예에 따른 유기 발광 표시 장치(1)와의 차이점을 중심으로 본 실시예를 설명한다.

[0098] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.

[0099] 도 10을 참조하면, 본 실시예에 따른 유기 발광 표시 장치(2)의 기판(10) 상에는 픽셀영역(PXL2), 트랜지스터영역(TR2), 커패시터영역(CAP2) 및 패드영역(PAD2)이 구비된다. 본 실시예에서, 픽셀영역(PXL2)과 커패시터영역(CAP2)의 구조는 전술한 실시예와 동일하다.

[0100] 패드영역(PAD2)에서 패드전극(417) 상부에 보호층(18-2)이 형성된다. 이때, 패드전극(417)의 단부와 보호층(18-2)의 단부 사이에 제3갭(G3)이 형성된다. 즉, 보호층(18-2)의 단부는 패드전극(417)의 단부보다 안쪽으로 형성되어 제3절연층(19)은 제3갭(G3)에서 패드전극(417)의 상부면과 직접 접촉하게 된다.

[0101] 도 1에 도시된 전술한 실시예의 보호층(18)의 단부는 패드전극(417)의 단부와 정합되는 것으로 도시되어 있다. 그러나, 보호층(18)을 형성하는 재료와 패드전극(417)을 형성하는 재료의 식각률이 서로 다르기 때문에, 실제로는 보호층(18)의 단부는 패드전극(417) 바깥으로 돌출될 수 있다. 보호층(18)의 돌출된 부분은 공정 중 파티클(particle)화 되어 파티클성 불량을 일으킬 수 있다. 그러나, 본 실시예에서는 보호층(18-2)이 패드전극(417)의 단부에서 바깥으로 돌출되지 않고 안쪽으로 형성되기 때문에 파티클성 불량을 방지할 수 있다.

[0102] 한편, 보호층(18-2)의 단부가 패드전극(417)의 단부보다 안쪽으로 형성됨으로써 스텝 커버리지(step coverage)가 개선된다. 또한, 유기절연막인 제3절연층(19)과 직접 접촉하는 패드전극(417)의 표면적이 증가하기 때문에 제3절연층(19)과 패드전극(417)의 접착력을 강화하여 패드전극(417)의 신뢰성을 향상시킬 수 있다.

[0103] 트랜지스터영역(TR2)에서 소스전극(217a) 및 드레인전극(217b)의 상부에 보호층(18-2)이 형성되고, 전술한 패드전극(417) 상의 보호층(18-2)과 마찬가지로 파티클성 불량을 방지할 수 있다.

[0104] 이하, 도 11 내지 13을 참조하여 도 10의 유기 발광 표시 장치(2)의 제조방법을 간략히 설명한다.

[0105] 도 11 내지 13은 유기 발광 표시 장치(2)의 제4마스크 공정을 중심으로 도시한 것이고, 도면으로 도시되지 않은 본 실시예의 제1마스크 내지 제3 마스크 공정, 및 제5마스크 공정은 전술한 실시예와 동일하다.

[0106] 도 11은 유기 발광 표시 장치(2)의 제4마스크 공정의 제1식각 공정을 개략적으로 도시한 단면도이고, 도 12는

유기 발광 표시 장치(2)의 제4마스크 공정의 제2식각 공정을 개략적으로 도시한 단면도이다. 전술한 실시예와 비교하면, 본 실시예에서는 동일한 마스크 공정에서 2회의 식각 공정을 수행한다.

- [0107] 도 11을 참조하면, 제1식각 공정(1st ETCH)에 의해 화소전극(114) 상의 상부층(115, 도 5참조), 제2금속층(17, 도 5참조) 및 보호층(18, 도 5참조)과, 제2전극(314) 상의 상부층(315, 도 5참조), 제2금속층(17, 도 5참조), 및 보호층(18, 도 5참조)은 제거된다. 한편, 광차단부(M1, M2, M3, 도 5참조)에 대응되는 영역에는 포토레지스터(PR1, PR2)가 잔존하고, 각 포토레지스터(PR1, PR2) 하부에는 소스전극(217a) 및 드레인전극(217b)과, 패드전극(417)이 형성되고, 각 포토레지스터(PR1, PR2)와 소스전극(217a) 및 드레인전극(217b)과, 패드전극(417) 사이에는 보호층(18-2)이 형성된다.
- [0108] 이때, 보호층(18-2)과 소스전극(217a) 및 드레인전극(217b)의 식각률이 다르기 때문에 보호층(18-2)의 단부가 소스전극(217a) 및 드레인전극(217b)의 단부보다 돌출된 팁(tip)(T2)을 형성한다. 또한, 보호층(18-2)과 패드전극(417)의 식각률이 다르기 때문에, 보호층(18-2)의 단부가 패드전극(417)의 단부보다 돌출된 팁(T1)을 형성한다. 만약, 식각 공정이 전술한 실시예와 같이 1회만으로 종료된다면, 포토레지스터(PR1, PR2)를 제거한 후, 보호층(18-2)의 팁(T1, T2)이 남게 되고, 팁(T1, T2)은 공정 중에 파티클화 되어 파티클성 불량을 야기할 수 있다.
- [0109] 도 12를 참조하면, 제2식각 공정(2nd ETCH)에 의해 보호층(18-2)을 다시 식각한다. 이때, 옥살산 또는 금속부식 방지제가 첨가된 에천트를 사용할 수 있다. 제2식각 공정에 의해 보호층(18-2)의 팁(T1)은 패드전극(417)의 단부와 제3궤(G3)를 형성하고, 보호층(18-2)의 팁(T2)은 소스전극(217a) 및 드레인전극(217b)의 단부와 제4궤(G4)를 형성한다. 제2식각 공정 후, 보호층(18-2) 상에 잔존하는 포토레지스터(PR1, PR2)를 제거한다.
- [0110] 도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 제4마스크 공정의 제2도핑 공정을 개략적으로 도시한 단면도이다.
- [0111] 도 13을 참조하면, 제2 식각 공정 후, 제2전극(312)을 타겟으로 하여 2차 도핑(D2) 공정을 실시한다. 제2전극(312)은 이온불순물이 도핑되어, 제2전극(314)과 함께 MIM CAP을 이룬다. 만약, 전술한 실시예와 같이 1차 식각 공정만 실시하여 보호층(18-2)의 팁(T1, T2)이 제거되지 않은 상태에서 2차 도핑(D2)을 실시하면, 팁(T1, T2)에 정전기가 축적되고 이로 인한 방전이 발생할 수 있다. 그러나 본 실시예에서는 보호층(18-2)의 팁(T1, T2)이 제거되므로 정전기 및 방전에 의한 불량을 방지할 수 있다.
- [0112] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

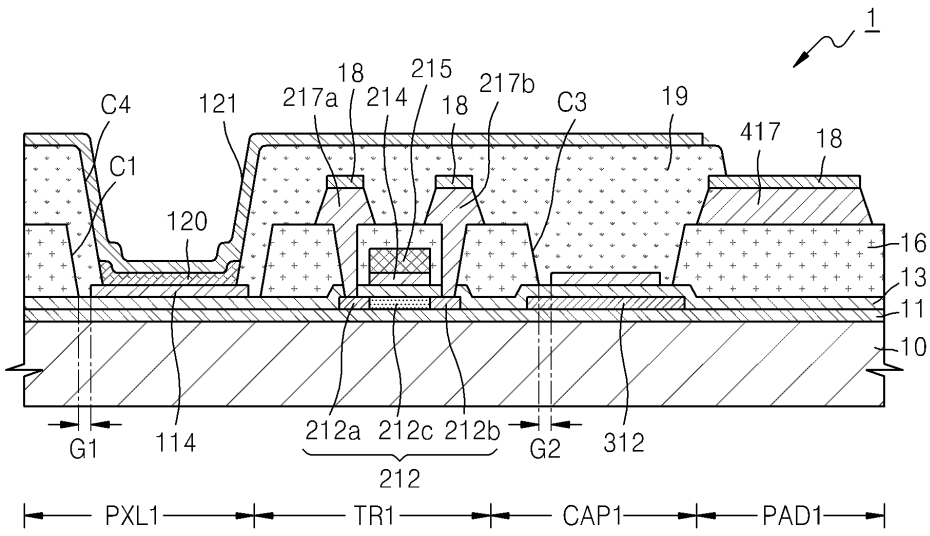
부호의 설명

[0113] 1: 유기 발광 표시 장치

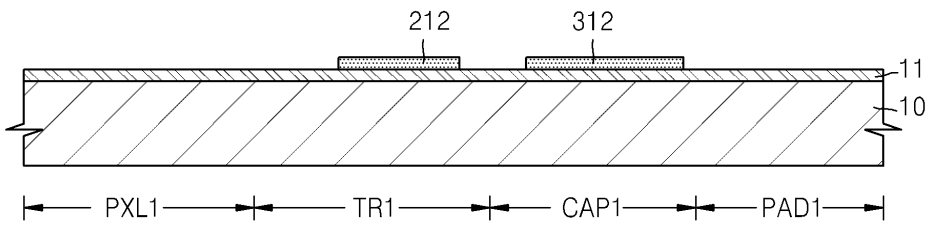
- | | |
|--------------|-----------------|
| 10: 기판 | 11: 버퍼층 |
| 13: 제1절연층 | 16: 제2절연층 |
| 18: 보호층 | 19: 제3절연층 |
| 114: 화소전극 | 120: 유기발광층 |
| 121: 대향전극 | 212: 활성층 |
| 212a: 소스영역 | 212b: 드레인영역 |
| 212c: 채널영역 | 214, 215: 게이트전극 |
| 217a: 소스전극 | 217b: 드레인전극 |
| 312: 제1전극 | 314: 제2전극 |
| 417: 패드전극 | C1~C5: 개구 |
| PXL1: 픽셀영역 | TR1: 트랜지스터영역 |
| CAP1: 커패시터영역 | PAD1: 패드영역 |

도면

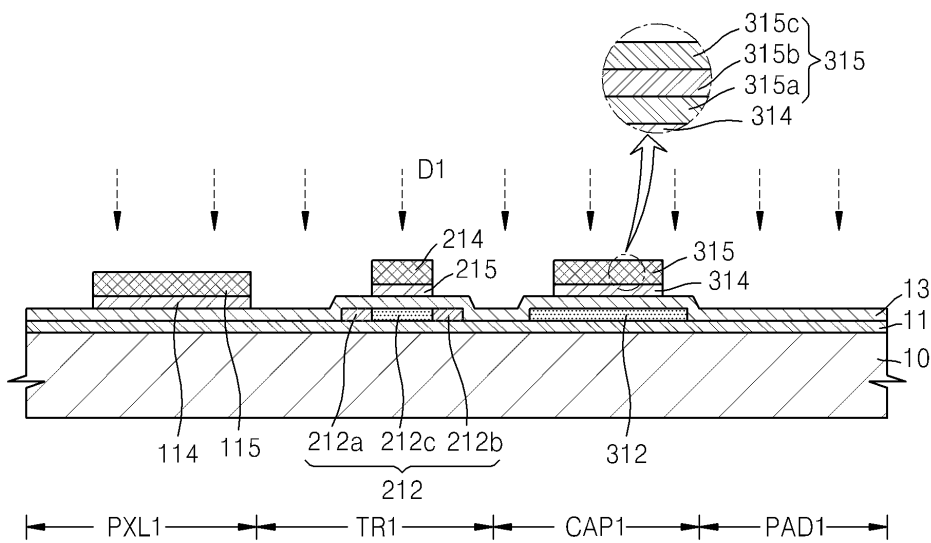
도면1



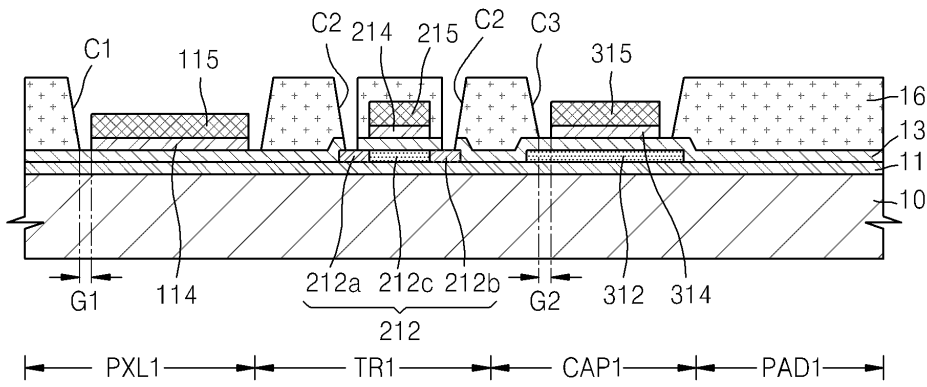
도면2



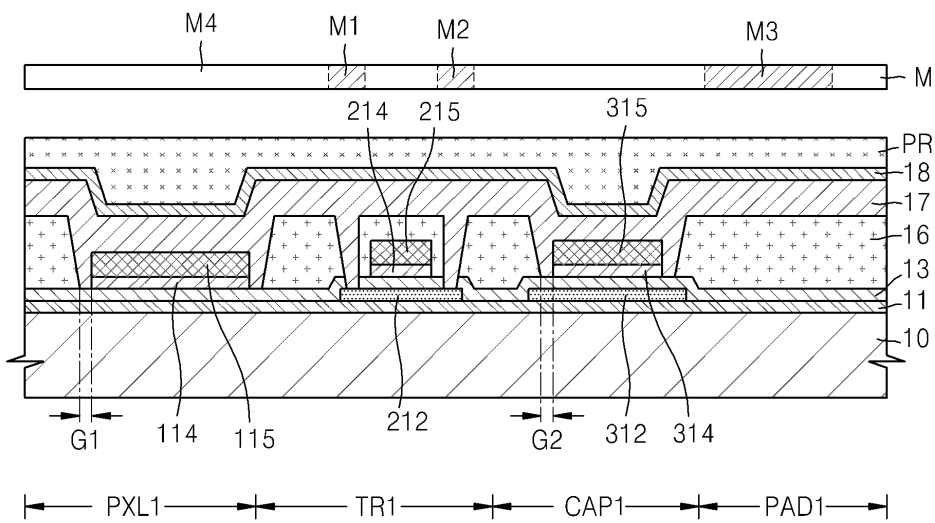
도면3



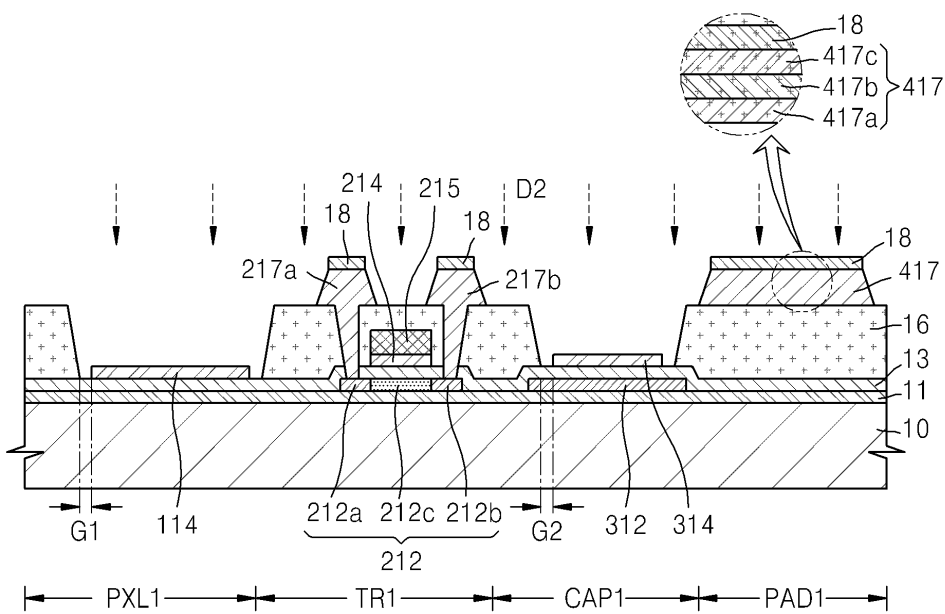
도면4



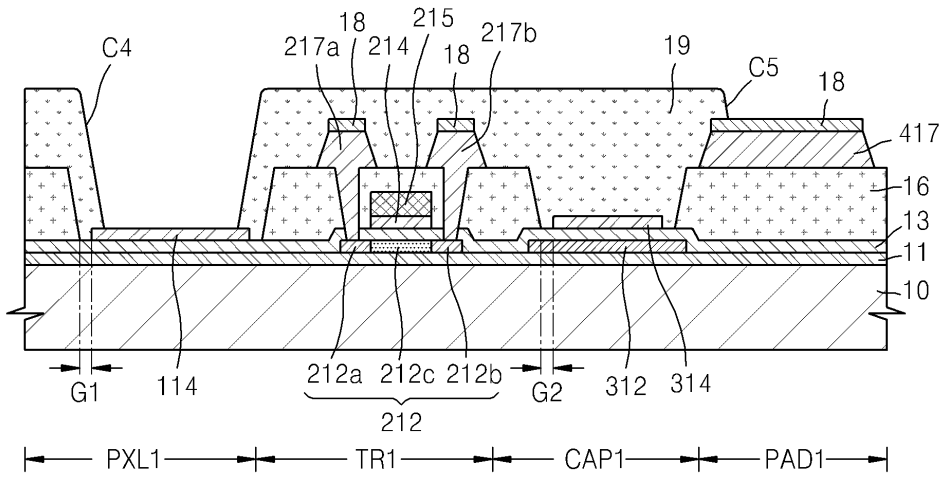
도면5



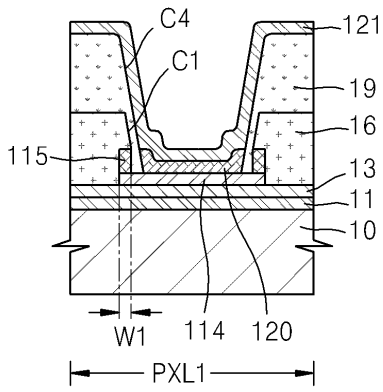
도면6



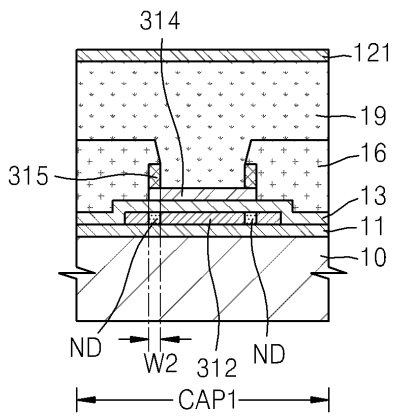
도면7



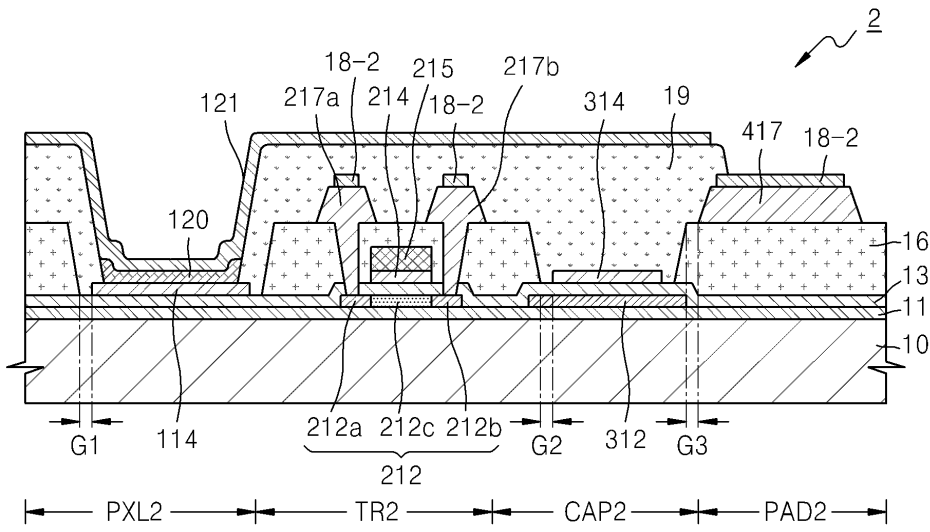
도면8



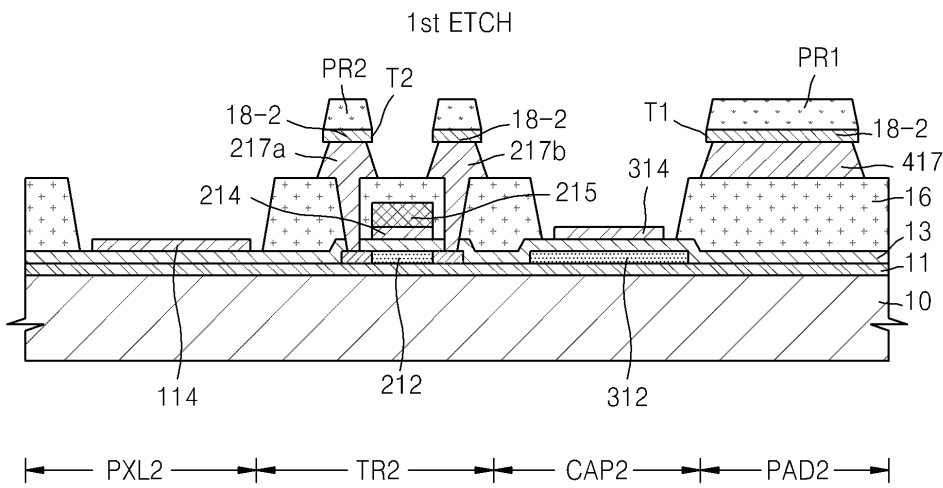
도면9



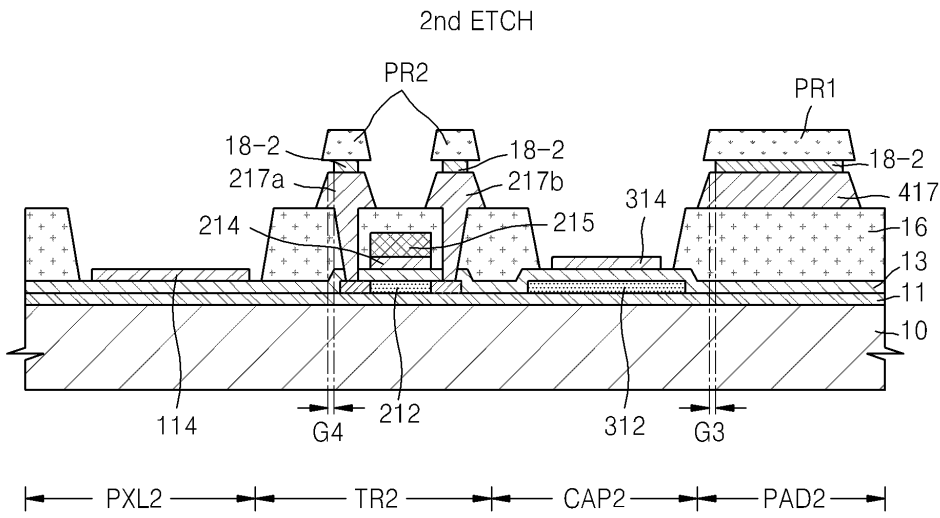
도면10



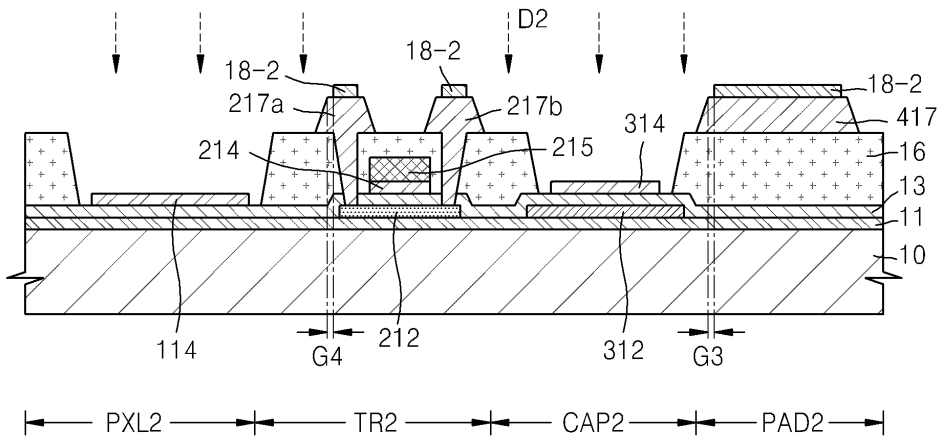
도면11



도면12



도면13



专利名称(译)	一种薄膜晶体管阵列基板，包括该薄膜晶体管阵列基板的有机发光显示器，以及制造薄膜晶体管阵列基板的方法		
公开(公告)号	KR1020130060915A	公开(公告)日	2013-06-10
申请号	KR1020110127226	申请日	2011-11-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DAE WOO 김대우 PARK JONG HYUN 박종현		
发明人	김대우 박종현		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L27/1259 H01L27/32 H01L27/1255 H01L27/124 H01L27/3276 H01L27/3265 H01L27/1288 H01L29/4908		
其他公开文献	KR101881895B1		
外部链接	Espacenet		

摘要(译)

用途：提供薄膜晶体管阵列基板，包括该薄膜晶体管阵列基板的有机发光显示装置和制造该薄膜晶体管阵列基板的方法，以通过使用形成在焊盘电极上的保护层来防止焊盘电极的腐蚀。组成：像素电极（114）设置在第一绝缘层（13）上。电容器包括有源层（212），第一电极和第二电极。第一电极和有源层形成在同一层中。第二电极和栅电极（214）形成在同一层中。焊盘电极（417）布置在第二绝缘层（16）上。焊盘电极由与源电极（217a）和漏电极（217b）相同的材料制成。在焊盘电极上形成保护层（18）。

