



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월11일
(11) 등록번호 10-1908383
(24) 등록일자 2018년10월10일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 27/32* (2006.01)
- (52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/127 (2013.01)
- (21) 출원번호 10-2018-0048020(분할)
- (22) 출원일자 2018년04월25일
심사청구일자 2018년04월25일
- (65) 공개번호 10-2018-0049820
- (43) 공개일자 2018년05월11일
- (62) 원출원 특허 10-2011-0047945
원출원일자 2011년05월20일
심사청구일자 2016년05월19일

(56) 선행기술조사문헌

KR1020060078573 A

(뒷면에 계속)

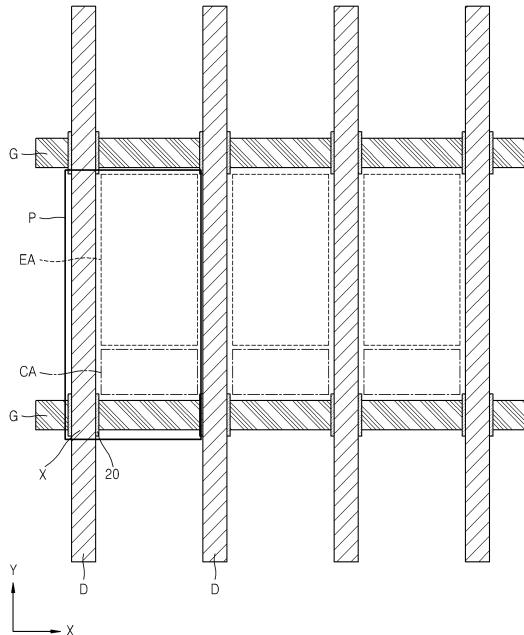
전체 청구항 수 : 총 20 항

심사관 : 고연화

(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요 약

본 발명은 게이트라인과 데이터라인의 교차부의 기생용량을 줄이기 위해, 기판 상에 제1방향으로 연장되어 형성된 게이트라인; 상기 기판 상에 상기 제1방향과 실질적으로 수직한 제2방향으로 연장되어 형성되며, 상기 게이트라인과 교차부에서 중첩되는 데이터라인; 상기 게이트라인 및 상기 데이터라인과 전기적으로 연결되며, 게이트전 (뒷면에 계속)

대 표 도 - 도1

극, 산화물반도체를 포함하는 활성층, 소스전극 및 드레인전극을 순차적으로 포함하며, 상기 게이트전극과 상기 활성층 사이에 개재된 게이트절연층을 포함하는 제1박막트랜지스터; 상기 제1박막트랜지스터와 전기적으로 연결되며 상기 게이트전극과 동일한 층에 형성된 하부전극, 상부전극 및 그 사이에 단일층으로 개재된 제1절연층을 포함하는 커패시터; 상기 커패시터와 전기적으로 연결된 제2박막트랜지스터; 및 상기 제2박막트랜지스터와 전기적으로 연결된 유기발광소자; 를 포함하며, 상기 교차부에는 상기 활성층과 분리되어 독립된 반도체섬이 형성되며, 상기 반도체섬은 산화물반도체를 포함하며, 상기 활성층과 동일한 층에 형성되고, 상기 교차부에는 상기 게이트라인과 상기 반도체섬 사이에 상기 게이트절연층과 분리되어 독립된 절연섬이 형성되며, 상기 절연섬은 상기 게이트절연층과 동일한 물질로 형성된 유기발광표시장치를 제공한다.

(52) CPC특허분류

H01L 27/3248 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3265 (2013.01)
H01L 27/3276 (2013.01)
H01L 2227/323 (2013.01)

(56) 선행기술조사문헌

KR1020090098246 A
KR1020100116876 A
KR1020110019883 A
EP0161284 A
US20040144988 A1
JP2011086921 A
JP2011100994 A
US20090278128 A1
US20070262315 A1

명세서

청구범위

청구항 1

기판 상에 제1방향으로 연장되어 형성된 게이트라인;

상기 기판 상에 상기 제1방향과 교차하는 제2방향으로 연장되어 형성되며, 상기 게이트라인과 교차부에서 중첩되는 데이터라인;

상기 게이트라인 및 상기 데이터라인과 전기적으로 연결되며, 게이트전극, 활성층, 소스전극, 드레인전극 및 게이트절연층을 포함하는 제1박막트랜지스터;

상기 제1박막트랜지스터와 전기적으로 연결되며 하부전극, 상부전극 및 그 사이에 개재된 제1절연층을 포함하는 커패시터;

상기 커패시터와 전기적으로 연결된 제2박막트랜지스터; 및

상기 제2박막트랜지스터와 전기적으로 연결된 유기발광소자;

를 포함하며,

상기 교차부에는 상기 활성층과 분리되어 독립된 반도체섬이 형성되며, 상기 반도체섬은 상기 활성층과 동일한 층에 형성되고,

상기 교차부에는 상기 게이트라인과 상기 반도체섬 사이에 상기 게이트절연층과 분리되어 독립되고 상기 게이트절연층과 서로 이격되도록 절연섬이 형성된 유기발광표시장치.

청구항 2

제1항에 있어서

상기 게이트전극은 상기 게이트라인에서 돌출 형성되고,

상기 소스전극은 상기 데이터라인에서 돌출 형성되는 유기발광표시장치.

청구항 3

제1항에 있어서

상기 게이트전극은

투명한 도전물질을 포함하는 제1도전층; 및

상기 제1도전층 상에 형성되며, 저저항의 도전물질을 포함하는 제2도전층;

을 포함하는 유기발광표시장치.

청구항 4

제1항에 있어서

상기 제1절연층은 상기 활성층과 상기 소스전극 및 드레인전극 사이에도 형성되어 양자를 절연하는 유기발광표시장치.

청구항 5

제1항에 있어서

상기 제1절연층은 상기 교차부의 상기 반도체섬과 상기 데이터라인 사이에도 형성되는 유기발광표시장치.

청구항 6

제1항에 있어서

상기 반도체섬과 상기 절연섬은 동일한 면적을 가지는 유기발광표시장치.

청구항 7

제1항에 있어서

상기 반도체섬의 상기 제1방향의 폭은 상기 절연섬의 제1방향의 폭과 동일하며, 상기 반도체섬의 상기 제2방향의 폭은 상기 절연섬의 상기 제2방향의 폭과 동일한 유기발광표시장치.

청구항 8

제1항에 있어서

상기 하부전극은

상기 게이트전극과 동일한 층에 형성되며,

투명한 도전물질을 포함하는 제1층; 및

상기 제1층 상에 형성되며, 저저항의 도전물질을 포함하는 제2층;

을 포함하는 유기발광표시장치.

청구항 9

제1항에 있어서

상기 유기발광소자는

상기 제2박막트랜지스터와 전기적으로 연결된 화소전극;

상기 화소전극에 대향된 대향전극; 및

상기 화소전극 및 상기 대향전극 사이에 개재된 유기발광층;

을 포함하는 유기발광표시장치.

청구항 10

제9항에 있어서

상기 화소전극은

상기 유기발광층과 직결되며 투명한 도전물질을 포함하는 제1전극층; 및

상기 제2박막트랜지스터와 직결되며 저저항의 도전물질을 포함하는 제2전극층;

을 포함하는 유기발광표시장치.

청구항 11

제1방향으로 연장되는 게이트라인 및 상기 제1방향과 교차하는 제2방향으로 연장되며, 상기 게이트라인과 교차부에서 중첩되는 데이터라인을 포함하는 유기발광표시장치의 제조방법에 있어서,

기판 상에 박막트랜지스터의 게이트전극, 커패시터의 하부전극 및 상기 게이트라인을 형성하는 단계;

상기 게이트전극 상에 게이트절연층을 형성하고, 상기 게이트라인의 상기 교차부에 상기 게이트절연층과 분리되어 독립되고 상기 게이트라인과 이격되는 절연섬을 동일층으로 형성하는 단계;

상기 게이트전극과 절연되도록 활성층을 형성하고, 상기 절연섬 상에 상기 활성층과 분리되어 독립된 반도체섬을 동일층으로 형성하는 단계;

상기 활성층, 상기 하부전극 및 상기 반도체섬 상에 제1절연층을 동일층으로 형성하는 단계; 및

상기 제1절연층 상에 소스전극 및 드레인전극을 형성하고, 상기 하부전극에 대응하는 상기 제1절연층 상에 상부

전극을 형성하며, 상기 제1절연층 상에 데이터라인을 동일층으로 형성하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 12

제11항에 있어서,

상기 반도체섬과 상기 절연섬은 동일한 면적을 가지도록 형성하는 유기발광표시장치의 제조방법.

청구항 13

제11항에 있어서

상기 반도체섬의 상기 제1방향의 폭은 상기 절연섬의 제1방향의 폭과 동일하게 형성하며, 상기 반도체섬의 상기 제2방향의 폭은 상기 절연섬의 상기 제2방향의 폭과 동일하게 형성하는 유기발광표시장치의 제조방법.

청구항 14

제11항에 있어서,

상기 유기발광표시장치는 유기발광소자를 더 포함하며,

상기 유기발광소자의 화소전극을 상기 게이트전극, 상기 하부전극 및 상기 게이트라인과 동시에 동일한 물질로 동일층에 형성하는 단계; 및

상기 화소전극 상에 상기 제1절연층을 형성하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

청구항 15

제14항에 있어서,

상기 게이트전극, 상기 하부전극 상기 화소전극 및 상기 게이트라인을 형성하는 단계는

투명한 도전물질을 포함하는 투명도전층을 형성하는 단계; 및

상기 투명도전층 상에 저저항의 도전물질을 포함하는 저저항도전층을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 16

제15항에 있어서,

상기 화소전극에 대응하는 상기 제1절연층 및 저저항도전층을 제거하여 상기 투명도전층을 노출하도록 제1개 구부를 형성하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

청구항 17

제16항에 있어서,

상기 소스전극, 상기 드레인전극, 상기 상부전극, 상기 데이터라인 및 상기화소전극 상에 화소정의막을 형성하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

청구항 18

제17항에 있어서

상기 화소전극에 대응하는 상기 화소정의막을 제거하고, 상기 제1개구부에 내에 형성되는 제2개구부를 형성하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

청구항 19

제18항에 있어서

상기 제2개구부를 통해 노출된 상기 화소전극에 대응하는 상기 투명도전층에 직접 접촉하도록 유기발광층을 형성하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

청구항 20

제19항에 있어서

상기 유기발광층 상에 대향전극을 형성하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 유기발광표시장치에 관한 것으로, 보다 상세하게는 산화물 반도체를 이용한 바텀 게이트 (bottom gate) 방식의 박막트랜지스터(thin film transistor)를 포함하는 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스형 유기 발광 표시 장치는 다수의 게이트라인 및 데이터라인이 매트릭스 형태로 배열되어 각 화소를 정의한다. 각각의 화소는 박막트랜지스터와 커패시터 및 이들에 연결된 유기발광소자를 포함한다. 유기발광소자는 상기 박막트랜지스터와 커패시터로부터 적절한 구동 신호를 인가 받아서 발광하며 원하는 화상을 구현하게 된다.

[0003] 그런데, 게이트라인 및 데이터라인은 매트릭스 형태로 배열되므로 항상 일정 부분이 중첩된다. 이러한 중첩부분은 게이트라인 및 데이터라인에 의해 기생용량을 갖게 된다. 이렇게 기생적으로 발생하는 커패시턴스 (capacitance)는 고해상도 화상의 구현을 어렵게 하므로 개선이 필요하다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 게이트라인과 데이터라인이 중첩되는 부분의 기생용량을 감소시키는 유기발광표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따르면 기판 상에 제1방향으로 연장되어 형성된 게이트라인; 상기 기판 상에 상기 제1방향과 수직으로 수직한 제2방향으로 연장되어 형성되며, 상기 게이트라인과 교차부에서 중첩되는 데이터라인; 상기 게이트라인 및 상기 데이터라인과 전기적으로 연결되며, 게이트전극, 산화물반도체를 포함하는 활성층, 소스전극 및 드레인전극을 순차적으로 포함하며, 상기 게이트전극과 상기 활성층 사이에 개재된 게이트절연층을 포함하는 제1박막트랜지스터; 상기 제1박막트랜지스터와 전기적으로 연결되며 상기 게이트전극과 동일한 층에 형성된 하부전극, 상부전극 및 그 사이에 단일층으로 개재된 제1절연층을 포함하는 커패시터; 상기 커패시터와 전기적으로 연결된 제2박막트랜지스터; 및 상기 제2박막트랜지스터와 전기적으로 연결된 유기발광소자; 를 포함하며, 상기 교차부에는 상기 활성층과 분리되어 독립된 반도체섬이 형성되며, 상기 반도체섬은 산화물반도체를 포함하며, 상기 활성층과 동일한 층에 형성되고, 상기 교차부에는 상기 게이트라인과 상기 반도체섬 사이에 상기 게이트절연층과 분리되어 독립된 절연섬이 형성되며, 상기 절연섬은 상기 게이트절연층과 동일한 물질로 형성된 유기발광표시장치를 제공한다.

- [0006] 본 발명의 특징에 따르면, 상기 게이트전극은 상기 게이트라인에서 돌출 형성되고, 상기 소스전극은 상기 테이터라인에서 돌출 형성된다.
- [0007] 본 발명의 다른 특징에 따르면, 상기 게이트전극은 투명한 도전물질을 포함하는 제1도전층; 및 상기 제1도전층 상에 형성되며, 저저항의 도전물질을 포함하는 제2도전층;을 포함한다.
- [0008] 본 발명의 다른 특징에 따르면 상기 제1절연층은 상기 활성층과 상기 소스전극 및 드레인전극 사이에도 형성되어 양자를 절연한다.
- [0009] 본 발명의 다른 특징에 따르면 상기 제1절연층은 상기 교차부의 상기 반도체섬과 상기 데이터라인 사이에도 형성된다.
- [0010] 본 발명의 다른 특징에 따르면 상기 반도체섬과 상기 절연섬은 동일한 면적을 가진다.
- [0011] 본 발명의 다른 특징에 따르면 상기 반도체섬의 상기 제1방향의 폭은 상기 절연섬의 제1방향의 폭과 동일하며, 상기 반도체섬의 상기 제2방향의 폭은 상기 절연섬의 상기 제2방향의 폭과 동일하다.
- [0012] 본 발명의 다른 특징에 따르면 상기 하부전극은 상기 게이트전극과 동일한 층에 형성되며, 투명한 도전물질을 포함하는 제1층; 및 상기 제1층 상에 형성되며, 저저항의 도전물질을 포함하는 제2층;을 포함한다.
- [0013] 본 발명의 다른 특징에 따르면 상기 유기발광소자는 상기 제2박막트랜지스터와 전기적으로 연결된 화소전극; 상기 화소전극에 대향된 대향전극; 및 상기 화소전극 및 상기 대향전극 사이에 개재된 유기발광층;을 포함한다.
- [0014] 본 발명의 다른 특징에 따르면 상기 화소전극은 상기 유기발광층과 직결되며 투명한 도전물질을 포함하는 제1전극층; 및 상기 제2박막트랜지스터와 직결되며 저저항의 도전물질을 포함하는 제2전극층;을 포함한다.
- [0015] 본 발명의 실시예에 따르면 제1방향으로 연장되는 게이트라인 및 상기 제1방향과 수직한 제2방향으로 연장되며, 상기 게이트라인과 교차부에서 중첩되는 데이터라인을 포함하는 유기발광표시장치의 제조방법에 있어서, 기판 상에 박막트랜지스터의 게이트전극, 커패시터의 하부전극 및 상기 게이트라인을 동일층으로 형성하는 단계; 상기 게이트전극 상에 게이트절연층을 형성하고, 상기 게이트라인의 상기 교차부에 상기 게이트절연층과 분리되어 독립된 절연섬을 동일층으로 형성하는 단계; 상기 게이트절연층 상에 산화물반도체를 포함하는 활성층을 형성하고, 상기 절연섬 상에 상기 활성층과 동일한 물질로 상기 활성층과 분리되어 독립된 반도체섬을 동일층으로 형성하는 단계; 상기 활성층, 상기 하부전극 및 상기 반도체섬 상에 제1절연층을 동일층으로 형성하는 단계; 및 상기 활성층에 대응하는 상기 제1절연층 상에 소스전극 및 드레인전극을 형성하고, 상기 하부전극에 대응하는 상기 제1절연층 상에 상부전극을 형성하며, 상기 반도체섬에 대응하는 상기 제1절연층 상에 데이터라인을 동일층으로 형성하는 단계; 를 포함하는 유기발광표시장치의 제조방법을 제공한다.
- [0016] 본 발명의 다른 특징에 따르면 상기 반도체섬과 상기 절연섬은 동일한 면적을 가지도록 형성한다.
- [0017] 본 발명의 다른 특징에 따르면 상기 반도체섬의 상기 제1방향의 폭은 상기 절연섬의 제1방향의 폭과 동일하게 형성하며, 상기 반도체섬의 상기 제2방향의 폭은 상기 절연섬의 상기 제2방향의 폭과 동일하게 형성한다.
- [0018] 본 발명의 다른 특징에 따르면 상기 유기발광표시장치는 유기발광소자를 더 포함하며, 상기 유기발광소자의 화소전극을 상기 게이트전극, 상기 하부전극 및 상기 게이트라인과 동시에 동일한 물질로 동일층에 형성하는 단계; 및 상기 화소전극 상에 상기 제1절연층을 형성하는 단계; 를 더 포함한다.
- [0019] 본 발명의 다른 특징에 따르면 상기 게이트전극, 상기 하부전극 상기 화소전극 및 상기 게이트라인을 형성하는 단계는 투명한 도전물질을 포함하는 투명도전층을 형성하는 단계; 및 상기 투명도전층 상에 저저항의 도전물질을 포함하는 저저항도전층을 형성하는 단계; 를 포함한다.
- [0020] 본 발명의 다른 특징에 따르면 상기 화소전극에 대응하는 상기 제1절연층을 및 저저항도전층을 제거하여 상기 투명도전층을 노출하도록 제1개구부를 형성하는 단계; 를 더 포함한다.
- [0021] 본 발명의 다른 특징에 따르면 상기 소스전극, 상기 드레인전극, 상기 상부전극, 상기 데이터라인 및 상기 화소전극 상에 화소정의막을 형성하는 단계; 를 더 포함한다.
- [0022] 본 발명의 다른 특징에 따르면 상기 화소전극에 대응하는 상기 화소정의막을 제거하고, 상기 제1개구부에 내에 형성되는 제2개구부를 형성하는 단계; 를 더 포함한다.
- [0023] 본 발명의 다른 특징에 따르면 상기 제2개구부를 통해 노출된 상기 화소전극에 대응하는 상기 투명도전층에 적

접 접촉하도록 유기발광층을 형성하는 단계; 를 더 포함한다.

[0024] 본 발명의 다른 특징에 따르면 상기 유기발광층 상에 대향전극을 형성하는 단계; 를 더 포함한다.

발명의 효과

[0025] 상술한 바와 같이 본 발명의 실시예에 따르면, 데이터배선의 교차부분에 독립된 절연섬 및 반도체섬을 형성함으로써, 기생용량을 감소시켜, 유기발광표시장치가 고해상도 화상을 구현할 수 있는 특징이 있다.

[0026] 상술한 바와 같이 본 발명의 실시예에 따르면, 절연섬 및 반도체섬은 박막트랜지스터를 형성할 때 동시에 형성함으로써, 추가적인 마스크 및 공정 단계가 소요되지 않아 효율 및 경제면에서 유리한 효과가 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예에 따른 유기발광표시장치의 개략 평면도이다.

도 2는 도 1의 일부분을 확대한 상세 평면도이다.

도 3은 도 2의 I-I'을 절단한 단면도이다.

도 4는 도 2의 II-II'을 절단한 단면도이다.

도 5는 도 2의 III-III'을 절단한 단면도이다.

도 6 내지 도 12는 도 2에 도시된 유기발광표시장치의 제조과정을 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0029] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0030] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

[0032] 도 1은 본 발명의 실시예에 따른 유기발광표시장치를 개략적으로 도시한 평면도이다.

[0033] 도 1을 참조하면, 유기발광표시장치는 x축 방향으로 연장되어 형성된 게이트라인(G) 및 x축 방향과 실질적으로 수직한 y축 방향으로 연장되어 형성된 데이터라인(D)을 포함한다. 한편, 도 1에서는 전원라인(도 2의 V)은 생략하고 도시하였다.

[0034] 화소영역(P)은 게이트라인(G) 데이터라인(D)에 의해 정의된다. 다수개의 게이트라인(G) 및 데이터라인(D)이 매트릭스 형태로 교차할 때 형성되는 사각형 안의 영역이 화소영역(P)이다.

[0035] 화소영역(P)에는 발광영역(EA) 및 회로영역(CA)이 포함된다. 발광영역(EA)은 유기발광소자(OLED)가 배치되며, 광을 발생시키는 영역이다. 회로영역(CA)은 데이터라인(D) 및 게이트라인(G)과 전기적으로 연결되며, 적어도 하나이상의 박막트랜지스터, 적어도 하나이상의 커패시터를 포함한다. 회로영역(CA)은 유기발광소자(OLED)를 구동하기 위한 영역이다.

[0036] 교차부(X)는 게이트라인(G)과 데이터라인(D)이 교차하여 중첩되는 부분이다. 각 화소영역(P)에는 적어도 하나 이상의 교차부(X)가 포함된다. 본 발명의 일 실시 예에 의하면, 교차부(X)에는 회로영역(CA)과 분리되어 독립적으로 형성된 반도체섬(20) 및 절연섬(도 4의 13)이 형성된다.

- [0037] 도 2는 도 1의 화소영역(P)을 상세하게 나타낸 평면도이다. 도 3은 도 2의 I-I`을 절단한 단면도이다. 도 4는 도 2의 II-II`을 절단한 단면도이고, 도 5는 도 2의 III-III`을 절단한 단면도이다.
- [0038] 도 2 내지 도 5를 참조하면, 유기발광표시장치의 회로영역(CA)에는 2개의 트랜지스터(TR1, TR2) 및 하나의 커페시터(Cst)가 포함된다. 그러나 이것은 예시적인 것에 불과하며, 트랜지스터 및 커페시터의 개수는 이에 한정되지 않는다.
- [0039] 한편, 도 2, 3, 및 5에는 바텀 게이트(bottom gate) 방식의 박막트랜지스터를 도시하였다. 그러나 이것은 예시적인 것에 불과하며 트랜지스터의 형태는 이에 한정되지 않는다.
- [0040] 먼저, 도 3을 참조하여, 제1박막트랜지스터(TR1)에 대하여 설명한다.
- [0041] 제1박막트랜지스터(TR1)는 게이트라인(G) 및 데이터라인(D)과 전기적으로 연결되어 스위칭트랜지스터의 역할을 한다. 제1박막트랜지스터(TR1)는 소스단으로 인가되는 게이트신호에 의해 턴온되어 데이터신호를 드레인단으로 출력한다.
- [0042] 제1박막트랜지스터(TR1)는 기판(100) 상에 순차적으로 형성된 제1게이트전극(110), 산화물반도체를 포함하는 제1활성층(120), 제1소스전극(131) 및 제1드레인전극(132)을 포함한다.
- [0043] 제1게이트전극(110)은 게이트라인(G)에서 돌출 형성된다. 제1게이트전극(110)은 제1도전층(111) 및 제2도전층(112)을 포함한다. 여기서 제1도전층(111)은 투명한 도전물질을 포함하며, 예를 들어, ITO, IZO 및 ZnO 중 어느 하나 이상을 포함할 수 있다. 제2도전층(112)은 저저항의 도전물질을 포함하며, 예를 들어, Mo, Al, Pt, Pd, Au 및 Cu 중 어느 하나 이상을 포함할 수 있다.
- [0044] 본 발명의 실시예에 의하면, 제1게이트전극(110)이 이렇게 복수개의 층으로 이루어짐으로써, 화소전극(410) 및 게이트전극(110)을 동일한 층에 동시에 형성할 수 있다. 이로부터 유기발광표시장치를 제조할 때 사용하는 마스크 개수를 줄여 공정단계를 절감할 수 있다.
- [0045] 제1게이트전극(110) 상에는 제1게이트절연층(113)이 형성된다. 제1게이트절연층(113)은 제1게이트전극(110)과 제1활성층(120)을 절연한다. 제1게이트절연층(113)은 SiO₂ 또는 SiNx와 같은 무기물 또는 유기물을 포함할 수 있다.
- [0046] 본 발명의 일 실시 예에 의하면, 제1게이트절연층(113)은 기판(100) 전면에 형성되는 것이 아니라, 제1박막트랜지스터(TR1)의 제1게이트전극(110)과 제1활성층(120) 사이에 형성된다. 또한, 제2박막트랜지스터(TR2)의 제2게이트전극(210)과 제2활성층(220) 사이에는 제1게이트절연층(113)과 대응되도록 제2게이트절연층(213)이 형성된다. 한편, 교차부(X)의 게이트라인(G)과 반도체섬(20) 사이에는 제1게이트절연층(113)과 대응되도록 절연섬(13)이 형성된다. 그러나, 커페시터(Cst) 상부전극(330) 및 하부전극(310)의 사이에는 제1게이트절연층(113)에 대응되는 절연층이 형성되지 않는다. 따라서, 커페시터(Cst) 상하부전극(330, 310)사이의 거리가 줄어들어 충전용량을 증가시킬 수 있다. 또한, 교차부(X)에서는 절연섬(13)에 의해 데이터라인(D) 및 게이트라인(G) 사이의 거리가 늘어나 기생용량이 감소될 수 있다.
- [0047] 제1게이트절연층(113) 상에는 제1활성층(120)이 형성된다. 제1활성층(120)은 산화물반도체를 포함하는 것을 특징으로 한다. 예를 들어 제1활성층(120)은 G-I-Z-O_a[a(In₂O₃)_b(Ga₂O₃)_c(ZnO)_d](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수), 또는 Hf-In-Zn-O_a 일 수 있다.
- [0048] 제1활성층(120) 상에는 제1절연층(105)이 형성되어 제1활성층(120)과 제1소스전극(131) 및 제1드레인전극(132)을 절연한다. 제1절연층(105)은 하부의 제1활성층(120)을 보호하기 위한 식각방지층(ESL)으로 가능할 수 있으며, SiO₂ 또는 SiNx와 같은 무기물 또는 유기물을 포함할 수 있다. 제1절연층(105)은 제1게이트절연층(113)과 달리 기판(100) 전면에 형성된다.
- [0049] 제1절연층(105) 상의 제1활성층(120)에 대응하는 부분에는 제1소스전극(131) 및 제1드레인전극(132)이 형성된다. 여기서 제1소스전극(131)은 데이터라인(D)에서 돌출 형성된다.
- [0050] 한편, 도면부호 107은 화소정의막(pixel defining layer)이다.
- [0051] 다음으로 도 4를 참조하여 교차부(X)에 대하여 설명한다.
- [0052] 교차부(X)에는 게이트라인(G), 절연섬(13), 반도체섬(20) 및 데이터라인(D)이 포함된다.
- [0053] 게이트라인(G)은 제1게이트전극(110)과 동일한 층에 동일한 물질로 형성된다. 왜냐하면, 제1게이트전극(110)은

게이트라인(G)에서 돌출 형성되기 때문이다. 따라서, 도면부호 11은 제1게이트전극(110)의 제1도전층(111)과 대응되는 투명도전층이며, 도면부호 12는 제1게이트전극(110)의 제2도전층(112)에 대응되는 저저항도전층이다.

[0054] 절연섬(13)은 교차부(X)의 게이트라인(G) 상에 형성되며, 제1게이트절연층(113)과 동시에 동일한 물질로 형성된다. 절연섬(13)은 제1게이트절연층(113)과 분리되어 아일랜드 타입으로 독립적으로 교차부(X)에만 형성된다. 절연섬(13)의 x축 방향의 폭은 데이터라인(D)의 폭과 같거나 클 수 있다. 절연섬(13)의 y축방향의 폭은 게이트라인(G)의 폭과 같거나 클 수 있다. 왜냐하면, 만약 절연섬(13)의 폭이 데이터라인(D)의 폭 및 게이트라인(G)의 폭보다 작은 경우 기생용량을 최대한 감소시킬 수 없기 때문이다.

[0055] 반도체섬(20)은 절연섬(13) 상에 형성되며, 제1활성층(120)과 동시에 동일한 물질로 형성된다. 따라서 반도체섬(20)은 산화물반도체를 포함할 수 있다. 반도체섬(20)은 제1활성층(120)과 분리되어 아일랜드 타입으로 독립적으로 교차부(X)에만 형성된다. 반도체섬(20)은 절연섬(13)과 동일한 면적을 가질 수 있다. 예를 들어, 반도체섬(20)의 x축방향의 폭은 절연섬(13)의 x축방향의 폭과 동일할 수 있으며, 반도체섬(20)의 y축방향의 폭은 절연섬(13)의 y축방향의 폭과 동일할 수 있다.

[0056] 반도체섬(20) 상에는 제1절연층(105)이 형성된다. 앞서 설명하였듯이 제1절연층(105)은 기판(100) 전면에 형성되므로 교차부(X)에도 제1절연층(105)이 형성되는 것이다.

[0057] 교차부(X)의 제1절연층(105) 상에는 데이터라인(D)이 형성된다. 데이터라인(D)은 게이트라인(G)과는 실질적으로 수직하게 연장되도록 형성된다. 데이터라인(D)은 제1소스전극(131) 및 제1드레인전극(132)과 동일한 층에 동일한 물질로 형성된다. 왜냐하면, 특히 제1소스전극(131)은 데이터라인(D)에서 돌출 형성되기 때문이다.

[0058] 본 발명의 일 실시 예에 의하면, 교차부(X)에 절연섬(13) 및 반도체섬(20)이 형성됨으로써, 교차부(X)의 기생용량을 감소시킬 수 있다. 양 전극 사이의 충전용량은 다음의 수학식 1에 의해 결정된다. 수학식 1에서 C는 충전용량, ϵ 은 유전상수, A는 전극의 면적을 나타내고 d는 전극 사이의 거리를 나타낸다.

수학식 1

$$C = \epsilon \frac{A}{d}$$

[0059] 즉, 게이트라인(G)과 데이터라인(D)이 교차부(X)에서 중첩됨으로써, 게이트라인(G) 및 데이터라인(D)에 의해 형성되는 충전용량은 게이트라인(G) 및 데이터라인(D) 사이의 제1절연층(105), 반도체섬(20) 및 절연섬(13) 각각의 유전상수 ϵ , 양 전극으로 기능하는 게이트라인(G) 및 데이터라인(D)의 거리 d 및 게이트라인(G) 및 데이터라인(D)의 중첩된 영역의 면적 A에 의해 결정된다.

[0060] 이와 같이 절연섬(13) 및 반도체섬(20)이 게이트라인(G) 및 데이터라인(D) 사이에 형성됨으로써, 게이트라인(G) 및 데이터라인(D)의 거리 d를 늘릴 수 있게 되어 기생용량이 감소되는 것이다.

[0061] 다음으로 도 5를 참조하여 커패시터(Cst)에 대하여 설명한다.

[0062] 커패시터(Cst)는 제1박막트랜지스터(TR1)와 전기적으로 연결되며, 인가된 데이터신호를 충전한다.

[0063] 커패시터(Cst)는 기판(100) 상에 순차적으로 형성된 하부전극(310), 상부전극(330) 및 그 사이에 단일층으로 개재된 제1절연층(105)을 포함한다.

[0064] 하부전극(310)은 기판(100) 상에 형성되며, 제1게이트전극(110)과 동시에 동일한 층에 동일한 물질로 형성된다. 따라서, 하부전극(310)도 제1층(311) 및 제2층(312)을 포함한다. 제1층(311)은 제1도전층(111)과 동일하게 투명한 도전물질을 포함한다. 제2층(312)은 제2도전층(112)과 동일하게 저저항의 도전물질을 포함한다.

[0065] 상부전극(330)은 제1소스전극(131) 및 제1드레인전극(132)과 동일한 층에 동일한 물질로 형성된다. 도면부호 V는 전원라인으로 상부전극(330)은 전원라인(V)이 돌출되어 형성된 것일 수 있다. 전원라인(V)은 데이터라인(D)과 동일한 물질로 동일한 층에 동시에 형성될 수 있다.

[0066] 하부전극(310)과 상부전극(330) 사이에는 단일막으로써 제1절연층(105)이 개재된다.

[0067] 본 발명의 일 실시 예에 의하면, 하부전극(310) 및 상부전극(330) 사이에 제1절연층(105)만 단일층으로 개재되

기 때문에 커패시터(Cst)의 충전용량이 커질 수 있다. 수학식 1을 참조하면, 커패시터(Cst)의 충전용량은 두 전극 사이의 거리에 반비례하기 때문에 두 전극 간 거리 d 를 줄일수록 큰 충전용량을 확보할 수 있게 된다. 본 구조에서는 하부전극(310) 및 상부전극(330) 사이에 제1절연층(105)만 개재되어 있어 큰 충전용량을 확보하는데 매우 유리하다.

[0069] 본 발명의 일 실시 예에 의하면, 교차부(X)에서의 기생용량은 줄이는 동시에 커패시터(Cst)의 충전용량은 크게 할 수 있는 장점이 있다. 만약, 교차부(X)의 기생용량을 줄이기 위해 제1절연층(105)을 두껍게 구성하거나, 제1게이트절연층(113)을 기판(100)에 전면적으로 형성하는 경우 커패시터(Cst)의 충전용량은 감소하는 부작용이 있다. 그러나, 본 발명의 일 실시 예에 의하면, 교차부(X)에 독립된 절연층(13) 및 반도체층(20)을 형성함으로써 상술한 부작용을 방지할 수 있다.

[0070] 다음으로 도 5를 참조하여 제2박막트랜지스터(TR2) 및 유기발광소자(OLED)에 대하여 설명한다.

[0071] 제2박막트랜지스터(TR2)는 커패시터(Cst)와 전기적으로 연결되어 구동트랜지스터의 역할을 한다. 제2박막트랜지스터(TR2)의 드레인단에는 유기발광소자(OLED)가 연결되며, 제2박막트랜지스터(TR2)는 턴온되어 유기발광소자(OLED)로 구동전류를 출력한다.

[0072] 제2박막트랜지스터(TR2)는 기판 상에 순차적으로 형성된 제2게이트전극(210), 산화물반도체를 포함하는 제2활성층(220), 제2소스전극(231) 및 제2드레인전극(232)을 포함한다. 또한, 제2게이트전극(210)과 제2활성층(220) 사이에는 제2게이트절연층(213)이 개재된다. 제2박막트랜지스터(TR2)의 구성은 제1박막트랜지스터(TR1)에서 설명한 구성과 대응되므로, 중복되는 설명은 생략한다.

[0073] 특히, 제2게이트전극(210)은 제1게이트전극(110)에, 제2활성층(220)은 제1활성층(120)에, 제2소스전극(231) 및 제2드레인전극(232)은 제1소스전극(131) 및 제1드레인전극(132)에 대응하고, 제2게이트절연층(213)은 제1게이트절연층(113)에 대응한다. 한편, 도면부호 211은 제1게이트전극(110)의 제1도전층(111)과 대응되는 투명도전층이며, 도면부호 212는 제1게이트전극(110)의 제2도전층(112)에 대응되는 저저항도전층이다.

[0074] 제2박막트랜지스터(TR2)의 제2드레인전극(232)은 유기발광소자(OLED)와 전기적으로 연결된다.

[0075] 유기발광소자(OLED)는 화소전극(410), 대향전극(430) 및 그들 사이에 개재된 유기발광층(420)을 포함한다.

[0076] 화소전극(410)은 기판(100) 상에 제1게이트전극(110)과 동일한 층에 형성되며, 제1게이트전극(110)과 동시에 동일한 물질로 형성된다. 화소전극(410)은 제1게이트전극(110)과 동일하게 제1전극층(411) 및 제2전극층(412)을 포함한다. 제1전극층(411)은 투명한 도전물질을 포함하며, 유기발광층(420)과 직접 접촉한다. 이를 위해 제2전극층(412)은 부분적으로 제거되어 일함수가 높은 ITO, IZO, ZnO와 같은 투명한 도전물질을 포함하는 제1전극층(411)이 노출되어야 한다. 제2전극층(412)은 저저항의 도전물질을 포함하며 제2드레인전극(232)과 직접 접촉한다.

[0077] 본 발명의 일 실시 예에 의하면, 화소전극(410), 게이트전극들(110, 210) 및 커패시터(Cst)의 하부전극(310)까지 동시에 형성할 수 있으므로, 제조 공정이 단순화되는 장점이 있다.

[0078] 대향전극(430)은 일함수가 작은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li 등의 금속을 포함할 수 있다. 화소전극(410)은 애노우드 전극의 기능을 하고, 대향전극(430)은 캐소우드 전극의 기능을 할 수 있는 데, 물론, 양 전극의 구성은 서로 반대로 되어도 무방하다.

[0079] 화소전극(410)과 대향전극(430) 사이에 개재된 유기발광층(420)은 정공 주입수송층, 발광층, 전자 주입수송층 등이 모두 또는 선택적으로 적층되어 구비될 수 있다. 다만, 발광층은 필수적으로 구비한다.

[0081] *도면으로 도시하지는 않았지만 대향전극(430) 위로는 보호층이 더 형성될 수 있고, 글라스 등에 의한 밀봉이 이루어질 수 있다.

[0082] 도면부호 107은 화소정의막(107)을 나타내며, 화소정의막(107)은 트랜지스터들(TR1, TR2), 커패시터(Cst) 및 화소전극(410) 상에 전면적으로 형성된다. 다만, 화소정의막(107)에는 화소전극(410)을 노출하도록 개구부가 형성되며 노출된 화소전극(410)의 제1전극층(411) 상부로 유기발광층(420) 및 대향전극(430)이 형성된다.

[0083] 도 6 내지 도 12를 참조하여 본 발명의 일 실시 예에 의한 유기발광표시장치의 제조방법에 대하여 설명한다.

[0084] 도 6 내지 도 12에서는 설명의 편의를 위하여, 화소영역(P)의 구성요소 중 도 4 및 도 5에 포함된 제2박막트랜지스터(TR2), 커패시터(Cst), 유기발광소자(OLED) 및 교차부(X)의 구성요소를 제조하는 방법만을 나타낸

것이다. 제1박막트랜지스터(TR1)은 제2박막트랜지스터(TR2)와 동일한 제조 방법에 의해 제조되므로, 중복되는 설명은 생략한다.

[0085] 본 발명의 일 실시 예에 의한 유기발광표시장치는 5개의 마스크로 제조한다. 먼저, 도 6은 제1마스크로 제조하며, 도 7은 제2마스크로, 도 9는 제3마스크로, 도 10은 제4마스크로, 도 11은 제5마스크로 제조한다.

[0086] 앞서 설명한 바와 같이, 제2게이트전극(210), 하부전극(310) 및 화소전극(410)을 복층으로 형성함으로써, 단지 5개의 마스크로 유기발광표시장치를 제조하는 것이 가능하며, 이로부터 공정 효율이 증가하는 효과가 있다.

[0087] 먼저, 도 6을 참조하면, 기판(100) 상에 제2박막트랜지스터(TR2)의 제2게이트전극(210), 커패시터(Cst)의 하부전극(310) 및 게이트라인(G)을 동일층으로 동시에 형성한다.

[0088] 구체적으로 기판(100) 상에 전면적으로 투명한 도전물질을 포함하는 투명도전층을 형성하고, 투명도전층 상에 저저항의 도전물질을 포함하는 저저항도전층을 형성한다. 그리고 제1마스크를 이용하여 제2게이트전극(210), 하부전극(310), 게이트라인(G) 및 화소전극(410)을 패터닝한다.

[0089] 따라서, 제2게이트전극(210), 하부전극(310), 게이트라인(G) 및 화소전극(410)은 모두 복층을 포함하며, 동시에 형성될 수 있다. 그리고, 도면에는 도시하지 않았으나 기판(100) 위에 먼저 버퍼층을 형성할 수도 있다.

[0090] 다음으로 도 7을 참조하면, 제2게이트전극(210) 상에 제2게이트절연층(213)을 형성하고, 게이트라인(G)의 교차부(X)에 제2게이트절연층(213)과 분리되어 독립된 절연섬(13)을 동일층으로 동시에 형성한다.

[0091] 구체적으로, 도 6의 구조물 상에 전면적으로 절연층을 형성한다. 그리고 제2마스크를 이용하여 제2게이트전극(210) 상에 제2게이트절연층(213)이 남도록 패터닝하며, 교차부(X)에 절연섬(13)이 남도록 패터닝한다.

[0092] 따라서, 제2게이트절연층(213)과 절연섬(13)은 동일한 물질로 동일한 층에 동시에 형성될 수 있다. 또한, 절연섬(13)은 제2게이트절연층(213)과 서로 분리되며, 독립적으로 형성될 수 있다.

[0093] 또한, 도 7을 참조하면, 제2게이트절연층(213) 상에 산화물반도체를 포함하는 제2활성층(220)을 형성하고, 절연섬(13) 상에 제2활성층(220)과 동일한 물질로 제2활성층(220)과 분리되어 독립된 반도체섬(20)을 동일층으로 형성한다.

[0094] 구체적으로, 기판(100)에 전면적으로 산화물반도체를 포함하는 층을 형성하고, 제2마스크를 이용하여 제2게이트절연층(213) 상에 제2활성층(220)이 남도록 패터닝하며, 교차부(X)의 절연섬(13) 상에 반도체섬(20)이 남도록 패터닝한다.

[0095] 따라서, 제2활성층(220)과 반도체섬(20)은 동일한 물질로 동일한 층에 동시에 형성될 수 있다. 또한, 반도체섬(20)은 제2활성층(220)과 서로 분리되며, 독립적으로 형성될 수 있다.

[0096] 한편, 설명의 편의를 위하여 절연층을 형성하고 패터닝하는 과정 및 산화물반도체를 포함하는 층을 형성하고 패터닝하는 과정을 나누어서 기재하였으나, 기판(100)에 전면적으로 절연층 및 산화물반도체를 포함하는 층을 순차적으로 형성한 후에 제2마스크를 이용하여 도 7의 구조를 한번에 패터닝할 수도 있다.

[0097] 본 발명의 실시 예에 의하면, 기생용량을 최대한 감소시키기 위해, 반도체섬(20)과 절연섬(13)은 동일한 면적을 가지도록 형성할 수 있다. 예를 들어, 반도체섬(20)의 x축방향의 폭은 절연섬(13)의 x축방향의 폭과 동일할 수 있으며, 반도체섬(20)의 y축방향의 폭은 절연섬(13)의 y축방향의 폭과 동일할 수 있다.

[0098] 도 8을 참조하면, 도 7의 구조물 상에 전면적으로 제1절연층(105)을 형성한다. 따라서 제1절연층(105)은 제2활성층(220), 하부전극(310) 및 반도체섬(20) 상에 모두 형성된다.

[0099] 도 9를 참조하면, 도 8의 구조물에 제3마스크를 사용하여, 제2활성층(220)을 노출하는 컨택홀, 화소전극(410)을 노출하는 개구 및 컨택홀을 형성한다.

[0100] 따라서, 화소전극(410) 상의 적어도 일부의 제1절연층(105)이 제거되어 화소전극(410)이 개구를 통해 노출된다.

[0101] 도 10을 참조하면, 제2활성층(220)에 대응하는 제1절연층(105) 상에 제2소스전극(231) 및 제2드레인전극(232)을 형성하고, 하부전극(310)에 대응하는 제1절연층(105) 상에 상부전극(330)을 형성하며, 반도체섬(20)에 대응하는 제1절연층(105) 상에 데이터라인(D)을 동일층으로 동시에 형성한다.

[0102] 구체적으로 도 9의 구조물 상에 전면적으로 금속층을 형성하고 제4마스크를 사용하여 제2소스전극(231), 제2드레인전극(232), 상부전극(330) 및 데이터라인(D)을 패터닝한다. 이때, 제2소스전극(231)은 컨택홀을 통해 제2활

성층(220)과 연결되고, 제2드레인전극(232)은 컨택홀을 통해 제2활성층(220) 및 화소전극(410)의 제2전극층(412)과 연결된다.

[0103] 도 10의 과정에서 제1절연층(105)의 개구를 통해 노출된 화소전극(410)의 제2전극층(412)의 일부가 식각되어 제1전극층(411)을 노출하는 제1개구부(1)가 형성된다.

[0104] 도 11을 참조하면, 도 10의 구조물 전면에 화소정의막(107)을 형성한다. 따라서, 제2소스전극(231), 제2드레인전극(232), 상부전극(330), 데이터라인(D) 및 화소전극(410) 상에 화소정의막(107)이 덮이게 된다. 그리고 제5마스크를 사용하여 화소전극(410)에 대응하는 화소정의막(107)을 제거하여 제2개구부(2)를 형성한다.

[0105] 이 때, 제2개구부(2)는 제1개구부(1)의 내에 형성될 수 있다. 그래야만, 제1개구부(1)를 둘러싸는 화소전극(410)의 제2전극층(412) 때문에 발생할 수 있는 쇼트 문제를 해결할 수 있기 때문이다.

[0106] 도 12를 참조하면, 제2개구부(2)를 통해 노출된 화소전극(410)의 제1전극층(411) 상에 직접 접촉하도록 유기발광층(420)을 형성한다. 또한, 유기발광층(420) 상에 대향전극(430)을 형성한다.

[0107] 이와 같은 제조공정을 살펴보면, 특별히 다른 공정을 추가하지 않고 박막트랜지스터들(TR1, TR2)를 제조하는 공정과 함께 교차부(X)에 절연섬(13) 및 반도체섬(20)을 형성할 수 있음을 확인할 수 있다. 또한, 커페시터(Cst)의 상부전극(330)과 하부전극(310) 사이에는 제1절연층(105)만 단일로 개재되게 하여 추가적인 공정없이 커페시터(Cst)의 충전용량을 증대시킬 수 있다.

[0108] 본 발명의 일 실시 예에 의하면, 교차부(X)의 기생용량은 감소하고, 커페시터(Cst)의 충전용량은 증가하여 고해상도의 화상 구현이 가능하다. 또한, 공정을 추가하지 않고 유기발광표시장치를 제조함으로써 경제적으로 유리하다.

[0109] 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

부호의 설명

[0110] P: 화소영역 EA: 발광영역

CA: 회로영역 G: 게이트라인

D: 데이터라인 V: 전원라인

TR1: 제1박막트랜지스터 110: 제1게이트전극

111: 제1도전층 112: 제2도전층

113: 제1게이트절연층 120: 제1활성층

131: 제1소스전극 132: 제1드레인전극

X: 교차부 13: 절연섬

20: 반도체섬 TR2: 제2박막트랜지스터

210: 제2게이트전극 213: 제2게이트절연층

220: 제2활성층 231: 제2소스전극

232: 제2드레인전극 Cst: 커페시터

310: 하부전극 311: 제1층

312: 제2층 330: 상부전극

OLED: 유기발광소자 410: 화소전극

411: 제1전극층 412: 제2전극층

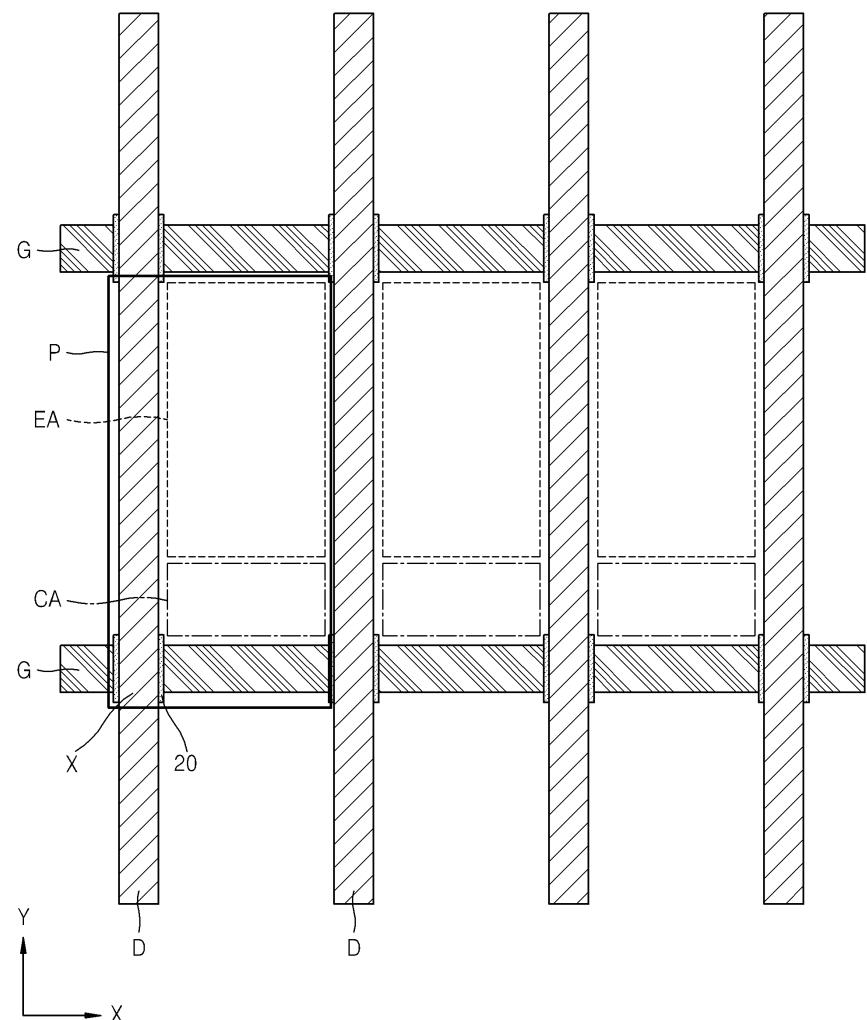
420: 유기발광층 430: 대향전극

105: 제1절연층

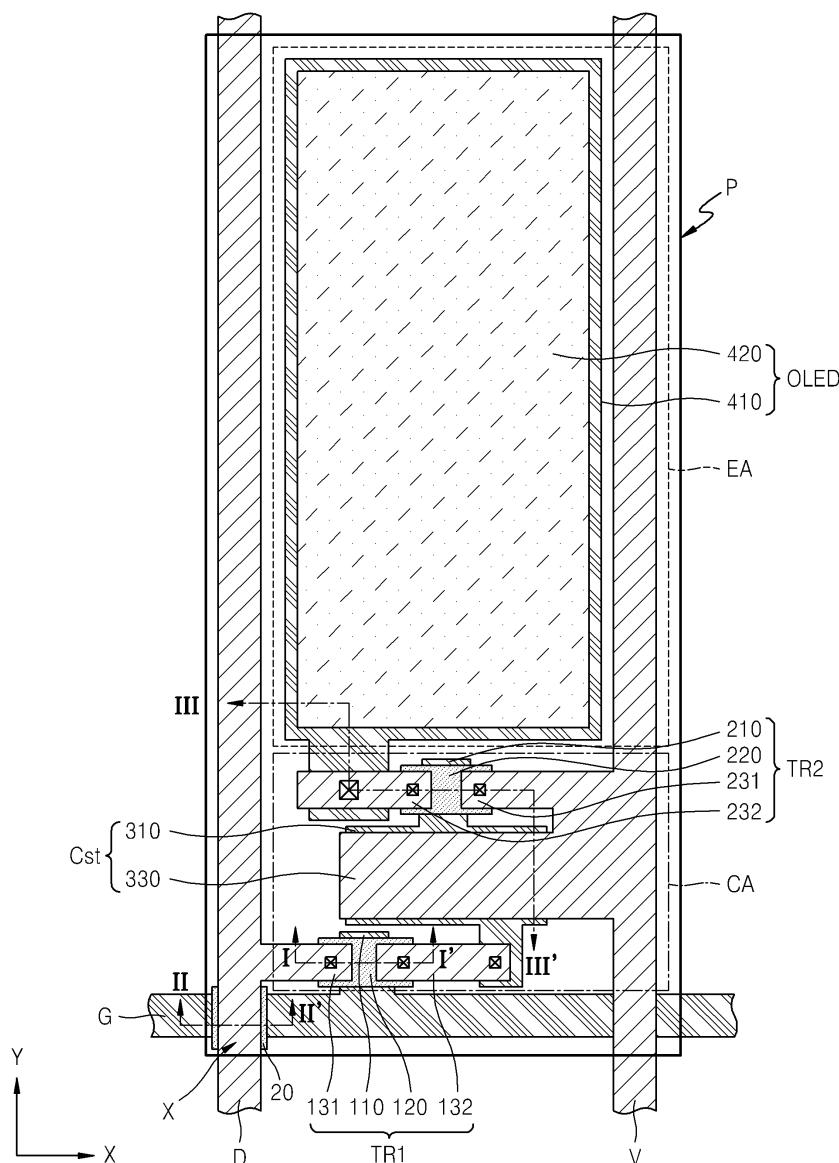
107: 화소정의막

1: 제1개구부

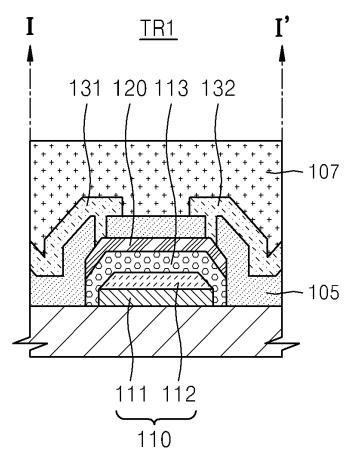
2: 제2개구부

도면**도면1**

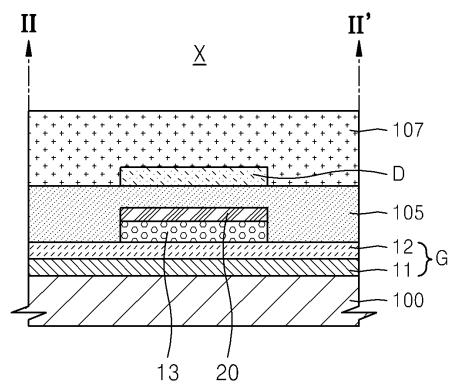
도면2



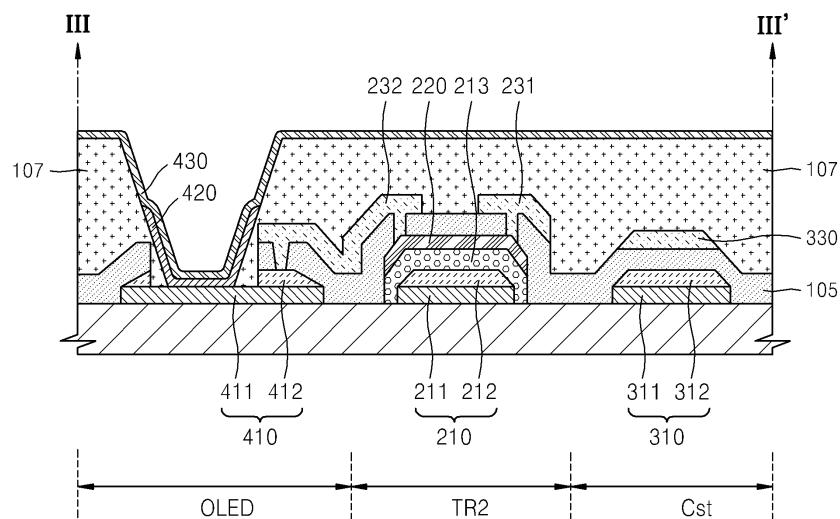
도면3



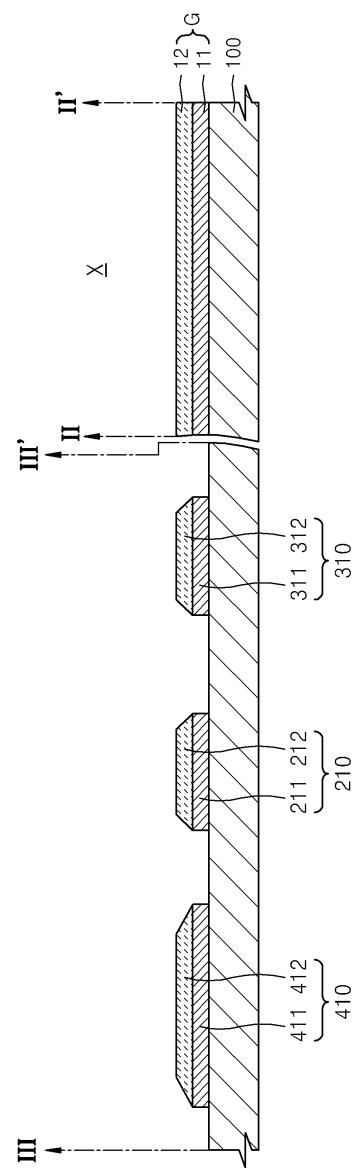
도면4



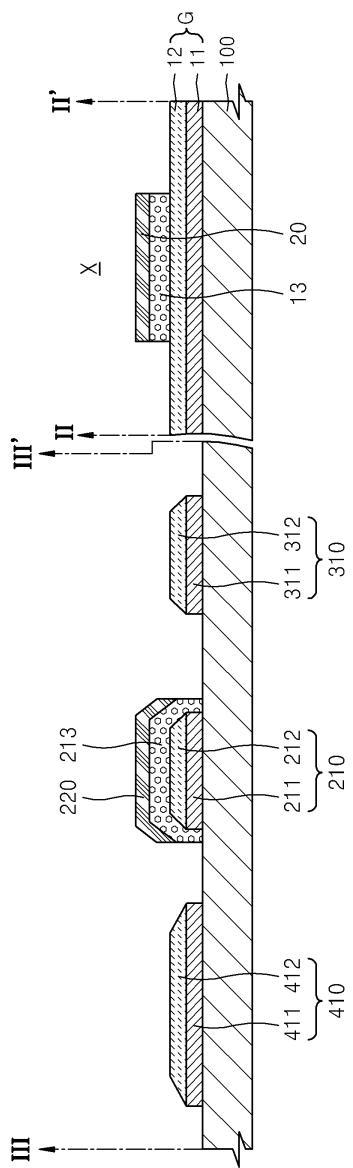
도면5



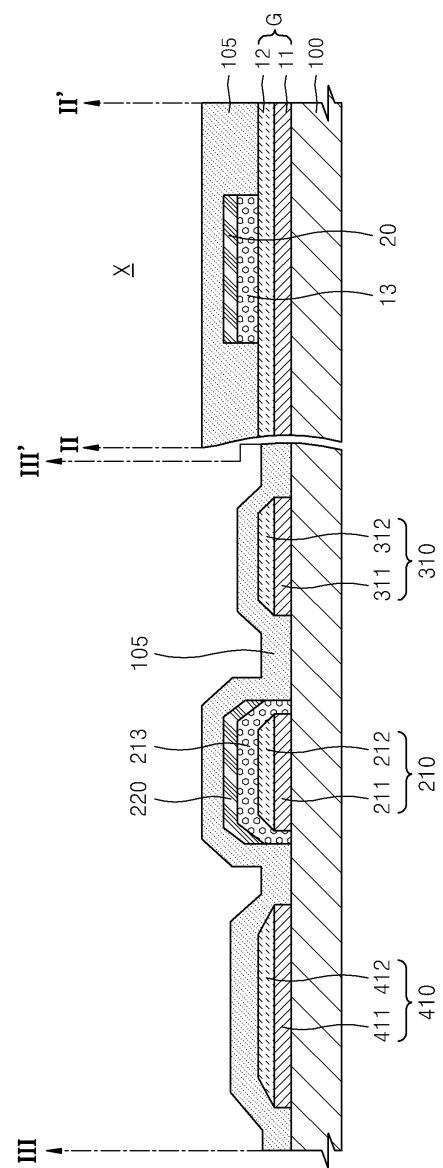
도면6



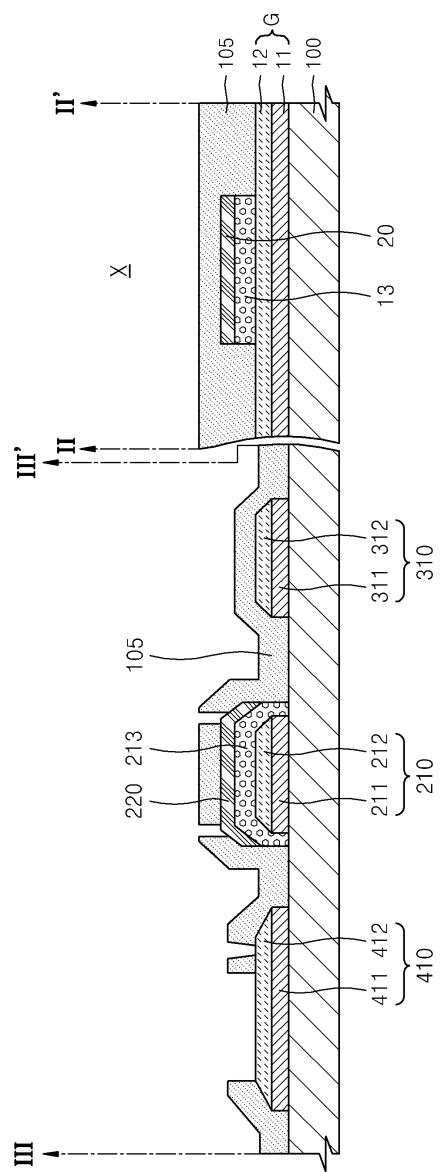
도면7



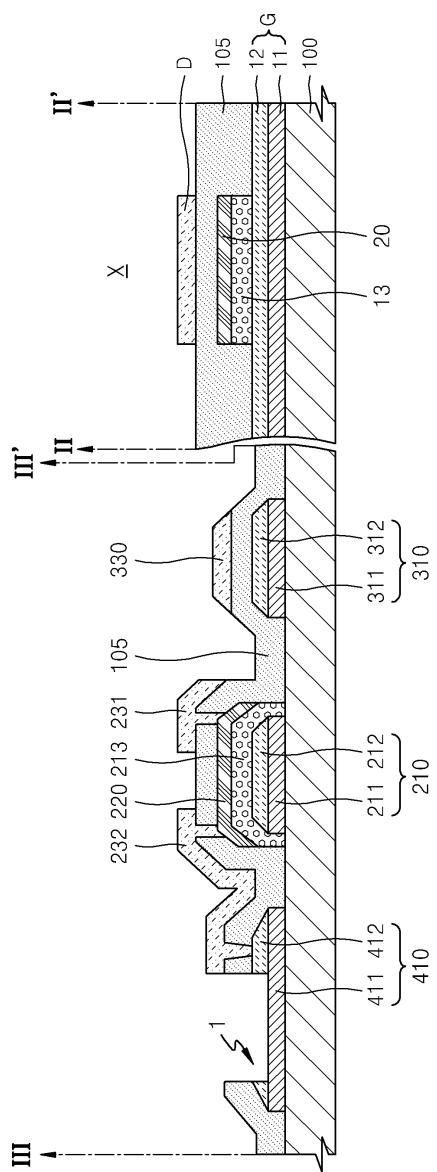
도면8



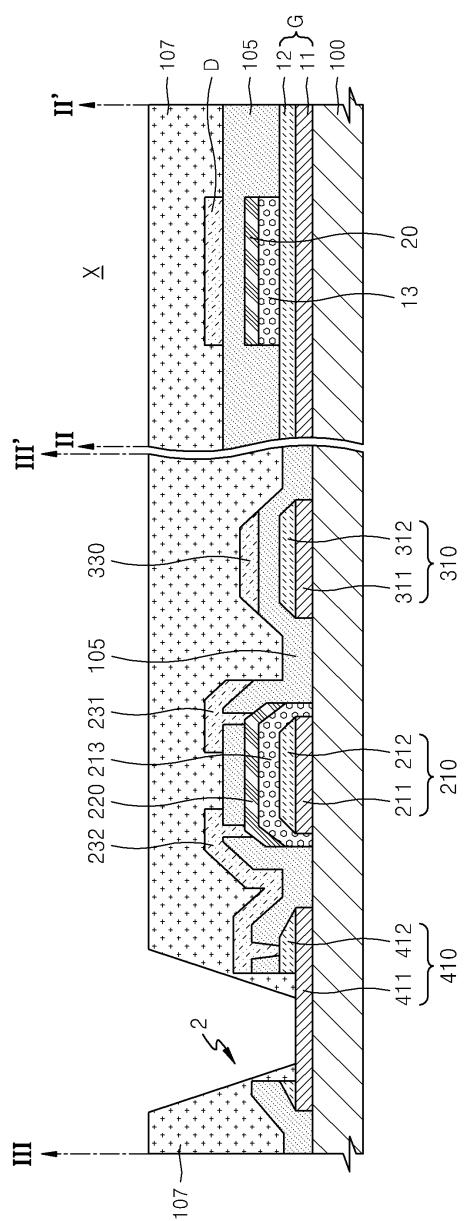
도면9



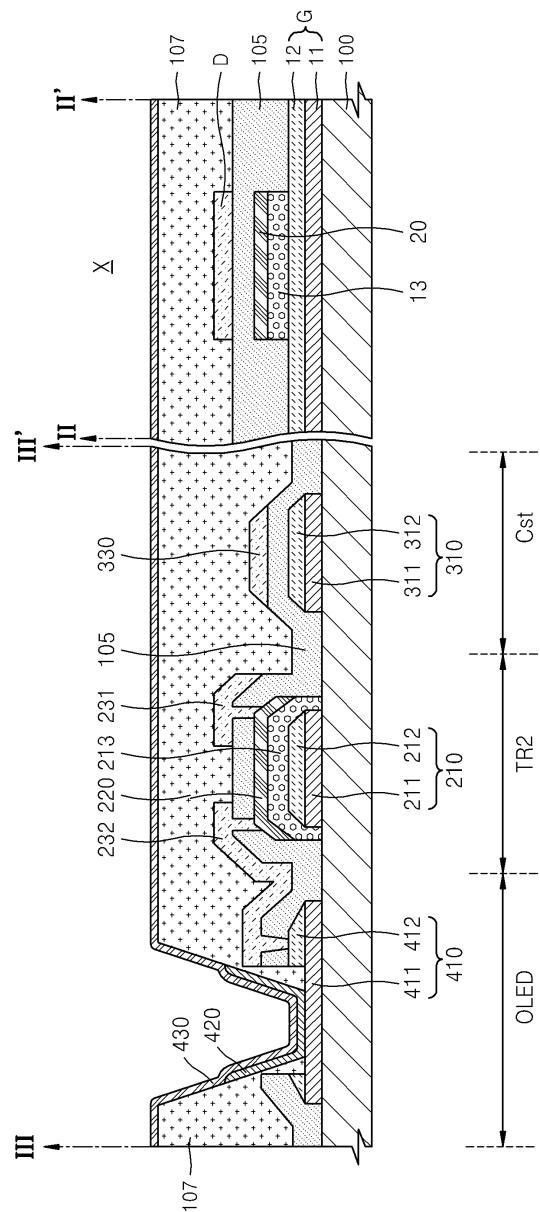
도면10



도면11



도면12



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제1항

【변경전】

상기 게이트절연막과

【변경후】

상기 게이트절연층과

专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR101908383B1	公开(公告)日	2018-12-11
申请号	KR1020180048020	申请日	2018-04-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SANG IL 박상일 AHN TAE KYUNG 안태경		
发明人	박상일 안태경		
IPC分类号	H01L27/12 H01L27/32		
CPC分类号	H01L27/1225 H01L27/127 H01L27/3248 H01L27/3262 H01L27/3265 H01L27/3276 H01L2227/323		
其他公开文献	KR1020180049820A		
外部链接	Espacenet		

摘要(译)

在基板上沿第一方向形成的栅极线，以减小栅极线与数据线的交叉点的寄生电容;数据线形成在基板上并沿基本垂直于第一方向的第二方向延伸，数据线在交叉处与栅极线重叠;它被连接到所述栅极线和所述数据线和电，所述栅电极，所述氧化物包括有源层，源电极和包括在序列中的半导体的漏极电极，包括在栅电极和所述活性层之间的栅绝缘层第一薄膜晶体管;所述第一薄膜晶体管和电连接到包括作为插入在下部电极的单个层，所述上部电极和所述相同的层作为栅电极之间形成的第一绝缘层的电容器;第二薄膜晶体管，电连接到电容器;并且有机发光二极管电连接到第二薄膜晶体管;其中，半导体岛形成在与有源层相同的层中，栅极线和半导体岛形成在与有源层相同的层中，从栅极绝缘层的独立和孤岛形式之间分离时，孤岛提供了一种有机发光材料相同的材料作为栅极绝缘层的形成显示装置。

