



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년12월21일  
 (11) 등록번호 10-1801350  
 (24) 등록일자 2017년11월20일

(51) 국제특허분류(Int. Cl.)  
 H01L 51/50 (2006.01) H01L 21/336 (2006.01)  
 H01L 29/786 (2006.01)  
 (21) 출원번호 10-2011-0076575  
 (22) 출원일자 2011년08월01일  
 심사청구일자 2016년08월01일  
 (65) 공개번호 10-2013-0014860  
 (43) 공개일자 2013년02월12일  
 (56) 선행기술조사문헌  
 KR1020110053804 A\*  
 (뒷면에 계속)

(73) 특허권자  
**삼성디스플레이 주식회사**  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
**김대우**  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
**박종현**  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
**이윤규**  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
 (74) 대리인  
**리엔목특허법인**

전체 청구항 수 : 총 29 항

심사관 : 정명주

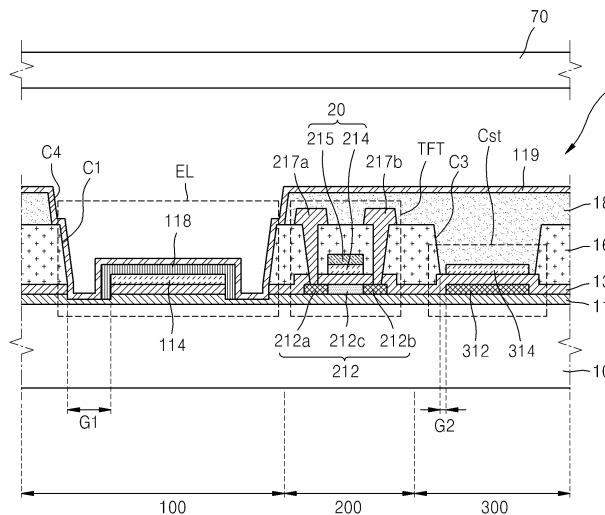
**(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법**

**(57) 요약**

본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 개시한다.

본 발명의 박막트랜지스터 어레이 기판은, 기판 상에 형성된 버퍼층과, 상기 버퍼층 상에 형성된 제1절연층과, 상기 제1절연층 상에 형성되고 투명한도전물로 형성된 화소전극과, 상기 화소전극의 상부와 외측면을 덮고, 발광층을 포함하는 중간층과, 상기 화소전극 주변부에 상기 제1절연층과 상기 버퍼층을 식각하여 형성된 갭과, 상기 중간층과 상기 갭을 덮으며 상기 화소전극의 상부 및 외측에 형성된 대향전극;을 포함할 수 있다.

**대표도 - 도1**



(56) 선행기술조사문헌

KR100571006 B1\*

KR1020100088269 A

KR1020110094463 A

JP2005310591 A

\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

기관 상에 형성된 버퍼층;  
 상기 버퍼층 상에 형성된 제1절연층;  
 상기 제1절연층 상에 형성되고 투명도전물로 형성된 화소전극;  
 상기 화소전극의 상부와 외측면을 덮고, 발광층을 포함하는 중간층;  
 상기 화소전극 주변부에 상기 제1절연층의 식각면과 상기 화소전극의 외측면 사이에 형성된 갭; 및  
 상기 중간층과 상기 갭을 덮으며 상기 화소전극의 상부 및 외측에 형성된 대향전극;을 포함하는 박막트랜지스터 어레이 기관.

**청구항 2**

제1항에 있어서,  
 상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극인 박막트랜지스터 어레이 기관.

**청구항 3**

제1항에 있어서,  
 상기 갭을 덮으며 상기 화소전극 외측에 구비된 대향전극은 격막 형상을 갖는 박막트랜지스터 어레이 기관.

**청구항 4**

제1항에 있어서,  
 상기 갭을 덮으며 상기 화소전극 외측에 구비된 대향전극은 오목거울 형상을 갖는 박막트랜지스터 어레이 기관.

**청구항 5**

제1항에 있어서,  
 상기 화소전극 전체를 노출시키는 개구를 갖고, 상기 제1절연층 상에 형성된 제2절연층; 및  
 상기 제2절연층의 개구보다 큰 개구를 갖고, 상기 제2절연층 상에 형성된 제3절연층;을 더 포함하는 박막트랜지스터 어레이 기관.

**청구항 6**

제5항에 있어서,  
 상기 화소전극이 박막트랜지스터의 소스 및 드레인 전극 중 하나와 연결되는 부분은 상기 제3절연층이 덮는 박막트랜지스터 어레이 기관.

**청구항 7**

제5항에 있어서,  
 상기 제1절연층 및 상기 제2절연층은 동일한 식각면을 구비하고, 상기 갭은 상기 식각면과 상기 화소전극의 외측면 사이에 형성된, 박막 트랜지스터 어레이 기관.

**청구항 8**

제5항에 있어서,

상기 버퍼층, 상기 제1절연층 및 상기 제2절연층은 동일한 식각면을 구비하고, 상기 갭은 상기 식각면과 상기 화소전극의 외측면 사이에 형성된, 박막 트랜지스터 어레이 기판.

**청구항 9**

기판 상에 형성된 버퍼층;

상기 버퍼층 상에 형성된 활성층, 게이트전극, 소스전극 및 드레인전극을 구비한 박막트랜지스터;

상기 게이트전극과 동일층에 배치된 화소전극, 발광층을 포함하고 상기 화소전극의 상부와 외측면을 덮는 중간층, 및 상기 중간층과 상기 화소전극 주변부에 형성된 제1갭을 덮으며 상기 화소전극의 상부와 외측에 형성된 대향전극을 구비한 유기발광소자;

상기 버퍼층 상에 형성되어 상기 활성층과 게이트 전극 사이 및 상기 화소전극 하부에 배치된 제1절연층;

상기 제1절연층과 상기 소스 전극 및 드레인 전극 사이에 배치되고, 상기 화소전극을 노출하는 개구를 갖는 제2절연층; 및

상기 제2절연층 상에 형성되고, 상기 제2절연층의 개구보다 큰 개구를 갖고 상기 화소전극을 노출하는 제3절연층;을 포함하고,

상기 제1갭은 상기 제1절연층의 식각면과 상기 화소전극의 외측면 사이에 형성된, 유기 발광 표시 장치.

**청구항 10**

제9항에 있어서,

상기 제1절연층 및 상기 제2절연층은 동일한 식각면을 구비하고, 상기 제1갭은 상기 식각면과 상기 화소전극의 외측면 사이에 형성된, 유기 발광 표시 장치.

**청구항 11**

제9항에 있어서,

상기 버퍼층, 상기 제1절연층, 및 상기 제2절연층은 동일한 식각면을 구비하고, 상기 제1갭은 상기 식각면과 상기 화소전극의 외측면 사이에 형성된 유기 발광 표시 장치.

**청구항 12**

제9항에 있어서,

상기 화소전극이 상기 박막트랜지스터의 소스 및 드레인 전극 중 하나와 연결되는 부분은 상기 제3절연층이 덮는 유기 발광 표시 장치.

**청구항 13**

제9항에 있어서,

상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극인 유기 발광 표시 장치.

**청구항 14**

제9항에 있어서,

상기 제1갭을 덮으며 상기 화소전극 외측에 구비된 대향전극은 격막 형상을 갖는 유기 발광 표시 장치.

**청구항 15**

제9항에 있어서,

상기 제1갭을 덮으며 상기 화소전극 외측에 구비된 대향전극은 오목거울 형상을 갖는 유기 발광 표시 장치.

**청구항 16**

제9항에 있어서,

상기 활성층과 동일층에 배치된 하부전극, 및 상기 게이트전극과 동일층에 배치된 상부전극을 구비한 커패시터;를 더 포함하는 유기 발광 표시 장치.

**청구항 17**

제16항에 있어서,

상기 제2절연층이 상기 상부전극을 노출시키는 또 다른 개구를 갖고, 상기 또 다른 개구와 상기 상부전극의 외측면 사이에 제2갭이 형성된 유기 발광 표시 장치.

**청구항 18**

기판 상에 버퍼층 및 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부전극을 형성하는 제1마스크 공정;

상기 기판 상에 상기 활성층 및 하부 전극을 덮도록 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 게이트전극, 화소전극을 형성하기 위한 제1전극패턴, 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴을 형성하는 제2마스크 공정;

상기 게이트 전극, 상기 제1전극패턴, 및 상기 제2전극패턴이 형성된 기판 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 활성층의 소스 및 드레인 영역, 상기 제1전극패턴, 및 상기 제2전극패턴을 노출시키는 개구를 형성하면서 상기 제1전극패턴 주변부에 제1갭을 형성하는 제3마스크 공정;

상기 제2절연층이 형성된 기판 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 및 드레인 영역과 접속하는 소스 및 드레인 전극을 형성하고, 상기 화소전극 및 상부전극 상의 제1금속을 제거하는 제4마스크 공정; 및

상기 제4마스크 공정 결과물 상에 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 제2절연층의 개구보다 큰 개구를 형성하여 상기 화소전극을 노출하는 제5마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 19**

제18항에 있어서,

상기 제2마스크 공정 후, 상기 활성층의 소스 및 드레인 영역을 도핑하는 단계;를 더 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 20**

제18항에 있어서,

상기 제3마스크 공정에서, 상기 제2절연층을 패터닝하여 상기 제1전극패턴을 노출시키는 개구 형성시, 상기 버퍼층, 상기 제1절연층 및 상기 제2절연층이 동시에 식각되어 동일한 식각면을 구비하고, 상기 식각면과 상기 제1전극패턴의 외측면 사이에 상기 제1갭이 형성되는 유기 발광 표시 장치의 제조 방법.

**청구항 21**

제18항에 있어서,

상기 제3마스크 공정에서, 상기 제2절연층을 패터닝하여 상기 제2전극패턴을 노출시키는 개구 형성시, 상기 제1절연층 및 상기 제2절연층이 동시에 식각되어 동일한 식각면을 구비하고, 상기 식각면과 상기 제2전극패턴의 외측면 사이에 제2갭이 형성되는 유기 발광 표시 장치의 제조 방법.

**청구항 22**

제18항에 있어서,

상기 제4마스크 공정은 상기 제2금속을 식각하는 제1식각 공정, 상기 화소전극 및 상부전극 상의 제1금속을 제

거하는 제2식각 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 23**

제18항에 있어서,

상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각하는 유기 발광 표시 장치의 제조 방법.

**청구항 24**

제18항에 있어서,

상기 제4마스크 공정 후, 상기 커패시터 하부전극을 도핑하는 단계;를 더 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 25**

제18항에 있어서,

상기 제5마스크 공정에서, 상기 화소전극이 상기 소스 및 드레인 전극 중 하나와 연결되는 부분은 상기 제3절연층이 덮는 유기 발광 표시 장치의 제조 방법.

**청구항 26**

제18항에 있어서,

상기 제5마스크 공정 후, 상기 화소전극 상부 및 외측면을 덮도록 발광층을 포함하는 중간층을 형성하는 단계; 및

상기 중간층과, 상기 화소전극 주변부에 형성된 상기 제1갭을 덮으며 상기 화소전극의 상부와 외측에 대향전극을 형성하는 단계;를 더 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 27**

제26항에 있어서,

상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극인 유기 발광 표시 장치의 제조 방법.

**청구항 28**

제26항에 있어서,

상기 제1갭을 덮으며 상기 화소전극 외측에 구비된 대향전극은 격막 형상을 갖는 유기 발광 표시 장치의 제조 방법.

**청구항 29**

제26항에 있어서,

상기 제1갭을 덮으며 상기 화소전극 외측에 구비된 대향전극은 오목거울 형상을 갖는 유기 발광 표시 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터 어레이 기관, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패틴이 형성된 기관 상에 제작된다.

[0003] 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그래피(photo-lithography) 공정을 이용한다. 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 제조 공정이 단순하고, 개구율 및 광추출 효율이 우수한 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0007] 본 발명의 바람직한 일 실시예에 따른 박막트랜지스터 어레이 기판은, 기판 상에 형성된 버퍼층; 상기 버퍼층 상에 형성된 제1절연층; 상기 제1절연층 상에 형성되고 투명도전물로 형성된 화소전극; 상기 화소전극의 상부와 외측면을 덮고, 발광층을 포함하는 중간층; 상기 화소전극 주변부에 상기 제1절연층과 상기 버퍼층을 식각하여 형성된 갭; 및 상기 중간층과 상기 갭을 덮으며 상기 화소전극의 상부 및 외측에 형성된 대향전극;을 포함할 수 있다.

[0008] 상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극일 수 있고, 상기 대향전극은 격막 또는 오목거울 형상일 수 있다.

[0009] 상기 박막트랜지스터 어레이 기판은, 상기 화소전극 전체를 노출시키는 개구를 갖고, 상기 제1절연층 상에 형성된 제2절연층; 및 상기 제2절연층의 개구보다 큰 개구를 갖고, 상기 제2절연층 상에 형성된 제3절연층;을 더 포함할 수 있다.

[0010] 상기 제3절연층은, 상기 화소전극이 박막트랜지스터의 소스 및 드레인 전극 중 하나와 연결되는 부분을 덮을 수 있다.

[0011] 상기 버퍼층, 상기 제1절연층, 및 상기 제2절연층은 동일한 식각면을 구비하고, 상기 갭은 상기 식각면과 상기 화소전극의 외측면 사이에 형성될 수 있다.

[0012] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 기판 상에 형성된 버퍼층; 상기 버퍼층 상에 형성된 활성층, 게이트전극, 소스전극 및 드레인전극을 구비한 박막트랜지스터; 상기 게이트전극과 동일층에 배치된 화소전극, 발광층을 포함하고 상기 화소전극의 상부와 외측면을 덮는 중간층, 및 상기 중간층과 상기 화소전극 주변부에 형성된 제1갭을 덮으며 상기 화소전극의 상부와 외측에 형성된 대향전극을 구비한 유기발광소자; 상기 버퍼층 상에 형성되어 상기 활성층과 게이트 전극 사이 및 상기 화소전극 하부에 배치된 제1절연층; 상기 제1절연층과 상기 소스 전극 및 드레인 전극 사이에 배치되고, 상기 화소전극을 노출하는 개구를 갖는 제2절연층; 및 상기 제2절연층 상에 형성되고, 상기 제2절연층의 개구보다 큰 개구를 갖고 상기 화소전극을 노출하는 제3절연층;을 포함할 수 있다.

[0013] 상기 제1갭은, 상기 제2절연층의 개구 형성시 상기 제1절연층과 상기 버퍼층의 식각에 의해 상기 화소전극 주변부에 형성될 수 있다.

[0014] 상기 버퍼층, 상기 제1절연층, 및 상기 제2절연층은 동일한 식각면을 구비하고, 상기 제1갭은 상기 식각면과 상기 화소전극의 외측면 사이에 형성될 수 있다.

- [0015] 상기 제3절연층은, 상기 화소전극이 박막트랜지스터의 소스 및 드레인 전극 중 하나와 연결되는 부분을 덮을 수 있다.
- [0016] 상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극일 수 있고, 상기 대향전극은 격막 또는 오목거울 형상일 수 있다.
- [0017] 상기 유기 발광 표시 장치는, 상기 활성층과 동일층에 배치된 하부전극, 및 상기 게이트전극과 동일층에 배치된 상부전극을 구비한 커패시터;를 더 포함할 수 있다.
- [0018] 상기 제2절연층은, 상기 상부전극을 노출시키는 또 다른 개구를 갖고, 상기 또 다른 개구와 상기 상부전극의 외측면 사이에 제2갭이 형성될 수 있다.
- [0019] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은, 기판 상에 버퍼층 및 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부전극을 형성하는 제1마스크 공정; 상기 기판 상에 상기 활성층 및 하부 전극을 덮도록 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 게이트전극, 화소전극을 형성하기 위한 제1전극패턴, 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴을 형성하는 제2마스크 공정; 상기 게이트 전극, 상기 제1전극패턴, 및 상기 제2전극패턴이 형성된 기판 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 활성층의 소스 및 드레인 영역, 상기 제1전극패턴, 및 상기 제2전극패턴을 노출시키는 개구를 형성하면서 상기 제1전극패턴 주변부에 제1갭을 형성하는 제3마스크 공정; 상기 제2절연층이 형성된 기판 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 및 드레인 영역과 접속하는 소스 및 드레인 전극을 형성하고, 상기 화소전극 및 상부전극 상의 제1금속을 제거하는 제4마스크 공정; 및 상기 제4마스크 공정 결과물 상에 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 제2절연층의 개구보다 큰 개구를 형성하여 상기 화소전극을 노출하는 제5마스크 공정;을 포함할 수 있다.
- [0020] 상기 제조 방법은, 상기 제2마스크 공정 후, 상기 활성층의 소스 및 드레인 영역을 도핑하는 단계;를 더 포함할 수 있다.
- [0021] 상기 제3마스크 공정에서, 상기 제2절연층을 패터닝하여 상기 제1전극패턴을 노출시키는 개구 형성시, 상기 버퍼층, 상기 제1절연층 및 상기 제2절연층이 동시에 식각되어 동일한 식각면을 구비하고, 상기 식각면과 상기 제1전극패턴의 외측면 사이에 상기 제1갭이 형성될 수 있다.
- [0022] 상기 제3마스크 공정에서, 상기 제2절연층을 패터닝하여 상기 제2전극패턴을 노출시키는 개구 형성시, 상기 제1절연층 및 상기 제2절연층이 동시에 식각되어 동일한 식각면을 구비하고, 상기 식각면과 상기 제2전극패턴의 외측면 사이에 제2갭이 형성될 수 있다.
- [0023] 상기 제4마스크 공정은 상기 제2금속을 식각하는 제1식각 공정, 상기 화소전극 및 상부전극 상의 제1금속을 제거하는 제2식각 공정을 포함할 수 있다.
- [0024] 상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각할 수 있다.
- [0025] 상기 제조 방법은, 상기 제4마스크 공정 후, 상기 커패시터 하부전극을 도핑하는 단계;를 더 포함할 수 있다.
- [0026] 상기 제5마스크 공정에서, 상기 화소전극이 상기 소스 및 드레인 전극 중 하나와 연결되는 부분은 상기 제3절연층이 덮을 수 있다.
- [0027] 상기 제5마스크 공정 후, 상기 화소전극 상부 및 외측면을 덮도록 발광층을 포함하는 중간층을 형성하는 단계; 및 상기 중간층과, 상기 화소전극 주변부에 형성된 상기 제1갭을 덮으며 상기 화소전극의 상부와 외측에 대향전극을 형성하는 단계;를 더 포함할 수 있다.
- [0028] 상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극일 수 있고, 상기 대향전극은 격막 또는 오목거울 형상일 수 있다.

**발명의 효과**

- [0029] 본 발명의 일 실시예에 따르면, 유기 발광 표시 장치의 제조공정이 단순화된다. 그리고, 발광 영역의 면적이 증가함으로써 개구율이 향상되고, 화소전극 주변에 대향전극을 오목거울 또는 격막 구조로 형성하여 광 산란을 최소화함으로써 광추출 효율을 높여 선명한 패넬을 제공할 수 있다.

**도면의 간단한 설명**

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- 도 2 및 도 3은 각각 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 픽셀 영역을 개략적으로 도시한 단면도 및 평면도이다.
- 도 4 및 도 5는 각각 본 발명의 비교예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 단면도 및 평면도이다.
- 도 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정을 개략적으로 도시한 단면도이다.
- 도 7 및 도 8은 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정을 개략적으로 도시한 단면도이다.
- 도 9는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정을 개략적으로 도시한 단면도이다.
- 도 10은 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.
- 도 11은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정을 개략적으로 도시한 단면도이다.
- 도 12 및 도 13은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정 후 공정을 개략적으로 도시한 단면도이다.
- 도 14는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- 도 15는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 픽셀 영역을 개략적으로 도시한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0031] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [0032] 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0033] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0035] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)는 TFT(thin film transistor) 및 유기 발광 소자 등을 포함하는 박막트랜지스터 어레이 기판인 제1기판(10) 및 상기 제1기판(10)과 실링을 통해 합착되는 제2기판(70)을 포함한다.
- [0036] 제1기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0037] 제2기판(70)은 제1기판(10)에 구비된 TFT 및 발광 화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1기판(10) 상에 배치되는 봉지기판일 수 있다. 제2기판(70)은 제1기판(10)과 대향되도록 위치하고, 제1기판(10)과 제2기판(70)은 그 가장자리를 따라 배치되는 실링부재에 의해 서로 접합된다. 제2기판(70)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판일 수 있다.
- [0038] 제1기판(10) 상에는 픽셀 영역(100), 트랜지스터 영역(200), 및 커패시터 영역(300)이 형성된다.
- [0039] 픽셀 영역(100)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 화소전극(114), 화소전극(114)과 마주보도록 형성된 대향전극(119) 및 그 사이에 개재된 중간층(118)으로 구성된다. 화소전극(114)은 제1기판(10), 버퍼층(11) 및 제1절연층(13) 상에 투명한 전도성 물질로 형성되며, 박막트랜지스터(TFT)의 게이트 제1전극(214), 커패시터(Cst)의 상부전극(314)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0040] 화소전극(114) 하부에 위치하는 버퍼층(11)과 제1절연층(13)은 굴절률이 서로 다른 물질이 교대로 구비되어, DBR(Distributed Brag Reflector)로 기능함으로써 중간층(118)에서 방출되는 광의 광효율을 높일 수 있다. 이와 같은 버퍼층(11)과 제1절연층(13)으로는 SiO<sub>2</sub>, SiN<sub>x</sub> 등이 사용될 수 있다. 한편, 상기 도면에는 제1절연층

(13)과 버퍼층(11)이 각각 하나의 층으로 형성된 것으로 도시되어 있으나 본 발명은 이에 한정되는 아니며, 제1절연층(13)과 버퍼층(11)은 각각 복수의 층으로 형성될 수 있다.

- [0041] 중간층(118)은 화소전극(114) 상부와 외측면을 덮도록 형성되어 대향전극(119)과 화소전극(114)을 절연하여 화소전극(114)과 대향전극(119)의 쇼트 발생을 방지한다. 중간층(118)은 발광층을 포함하고, 발광층에서 방출된 광은 화소전극(114)을 통하여 제1기판(10) 측으로 방출된다.
- [0042] 제1절연층(13) 상부 및 화소전극(114) 외곽에는 제2절연층(16)이 형성되고, 제2절연층(16)에는 화소전극(114) 전체를 노출시키는 제1개구(C1)가 형성된다. 이때 제1절연층(13)과 버퍼층(11)이 제2절연층(16)과 함께 식각되어 제1개구(C1)는 버퍼층(11)까지의 깊이를 가질 수 있다. 이에 따라, 제2절연층(16), 제1절연층(13)과 버퍼층(11)은 동일한 식각면을 가질 수 있고, 제1개구(C1)의 식각면과 화소전극(114)의 외측면 사이에 소정의 제1갭(G1)이 형성될 수 있다.
- [0043] 제2절연층(16) 상부에는 제3절연층(18)이 형성되고, 제3절연층(18)에는 화소전극(114)으로부터 멀어지는 방향으로 화소전극(114)을 노출시키며 제2절연층(16)의 제1개구(C1)보다 큰 제4개구(C4)가 형성될 수 있다. 여기서, 화소전극(114)이 소스/드레인전극(217a/217b) 중 하나와 연결되는 부분은 제3절연층(18)이 덮도록 형성할 수 있다. 이에 따라 소스/드레인전극(217a/217b)과 대향전극(119)의 쇼트 발생을 방지할 수 있다.
- [0044] 대향전극(119)은 반사 물질을 포함하는 반사 전극으로 구성되고, 중간층(118)의 발광층에서 방출된 광은 대향전극(119)에 반사되어 화소전극(114)을 투과하여 기판(10) 측으로 방출된다. 그리고, 대향전극(119)은 제1개구(C1)와 제4개구(C4)를 따라 화소전극(114)의 상부와 외측면에 구비된 중간층(118)과 제1갭(G1)을 덮으며 형성된다. 이에 따라, 화소전극(114)의 주변부에서 제1갭(G1)에 형성된 대향전극(119)은 중간층(118)의 발광층에서 방출되어 산란된 광을 반사시켜 반사된 광이 제1기판(10) 측으로 방출되도록 한다.
- [0045] 트랜지스터 영역(200)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(212), 게이트 전극(20) 및 소스/드레인 전극(217a/217b)으로 구성된다. 게이트 전극(20)은 제1전극(214)과 제2전극(215)으로 구성되고, 이때 제1전극(23)은 투명한 전도성 물질로 구성된다. 게이트 전극(20)과 활성층(212) 사이에는 이들 간의 절연을 위한 게이트 절연막인 제1절연층(13)이 개재되어 있다. 또한, 활성층(212)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인 영역(212a/212b)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(217a/217b)에 각각 연결되어 있다.
- [0046] 커패시터 영역(300)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부전극(312) 및 상부전극(314)으로 이루어지며, 이들 사이에 제1절연층(13)이 개재된다. 여기서, 하부전극(312)은 박막트랜지스터(TFT)의 활성층(212)과 동일한 층에 형성될 수 있다. 하부전극(312)은 반도체 물질로 이루어지며, 불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 상부전극(314)은 박막트랜지스터(TFT)의 게이트 제1전극(214), 유기발광소자(EL)의 화소전극(114)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0047] 만약, 하부전극(312)을 이온 불순물 도핑이 안된 진성 반도체로 형성할 경우, 커패시터(Cst)는 상부전극(314)과 함께 MOS(Metal Oxide Semiconductor) CAP 구조가 된다. 그러나, 하부전극(312)을 본 실시예와 같이 이온 불순물이 도핑된 반도체로 형성할 경우, MOS CAP 구조보다 정전용량이 큰 MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화시킬 수 있다. 따라서, MIM CAP 구조는 MOS CAP 구조보다 작은 면적으로도 동일한 정전용량을 구현할 수 있으므로, 커패시터의 면적을 줄일 수 있는 마진이 높아진다.
- [0048] 제1절연층(13) 상부 및 상부전극(314) 외곽에는 제2절연층(16)이 형성되고, 제2절연층(16)에는 상부전극(314) 전체를 노출시키며 상부전극(314)보다 큰 개구를 갖는 제3개구(C3)가 형성될 수 있다. 이때, 상부전극(314)의 외측면과 제2개구(C2) 사이에 소정의 제2갭(G2)이 형성될 수 있다. 제2갭(G2)이 형성된 영역에는 제3절연층(18)이 개재되어 있다.
- [0049] 이때, 제3절연층(18)이 유기절연물로 형성될 경우, 제2갭(G2)을 유기절연물이 적절히 메꿈으로써 하부전극(312)과 상부전극(314) 사이에 발생할 수 있는 쇼트를 방지할 수 있다. 또한, 대향전극(119)과 상부전극(314) 사이에 유전율이 작은 유기절연물이 개재됨으로써, 대향전극(119)과 상부전극(314) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0050] 상기 실시예에서는 상부전극(314)만을 노출시키는 제3개구(C3)가 형성되어 있으나, 본 발명은 이에 한정되는 것은 아니다. 즉, 제1절연층(13), 또는 제1절연층(13)과 버퍼층(11)의 적어도 일부까지 식각시켜 제3개구(C3)를 형성할 수 있다. 이에 따라, 제2절연층(16)과 제1절연층(13), 또는 제2절연층(16)과 제1절연층(13)과 버퍼층

(11)의 적어도 일부는 하부전극(312) 외곽에는 배치되지 않을 수 있다.

- [0051] 도 2 및 도 3은 각각 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 단면도 및 평면도이고, 도 4 및 도 5는 각각 본 발명의 비교예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 단면도 및 평면도이다. 도 3 및 도 5에서 대향 전극은 도시하지 않았다.
- [0052] 도 2 및 도 3을 참조하면, 본 실시예에서는 화소전극(114)의 주변부에 제1절연층(13) 및 버퍼층(11)에 형성된 제1갭(G1)을 구비한다. 제1갭(G1)은 제2절연층(16)에 화소전극(114)을 노출시키는 제1개구(C1)를 형성할 때 제2절연층(16)과 함께 제1절연층(13) 및 버퍼층(11)을 식각하여 형성될 수 있다. 이 경우 버퍼층(11), 제1절연층(13), 및 제2절연층(16)은 동일한 식각면을 구비하고, 제1갭(G1)은 식각면과 화소전극(114)의 외측면 사이에 형성된다.
- [0053] 제2절연층(16)의 상부에는 화소전극(114)과 제1갭(G1)을 노출시키도록 제1개구(C1)보다 큰 제4개구(C4)를 갖는 제3절연층(18)이 화소정의막으로서 형성된다. 이때, 제3절연층(18)은 화소전극(114)이 박막트랜지스터(TFT)의 소스/드레인전극(217a/217b) 중 하나와 연결되는 부분(P)을 커버하여 소스/드레인전극(217a/217b)과 대향전극(119) 간의 쇼트 발생을 방지할 수 있다.
- [0054] 본 실시예에서는 제3절연층(18)에 의해 형성되는 화소정의막을 화소전극(114) 외곽에 형성하여 화소전극(114)의 대부분을 노출시킴으로써 픽셀의 개구부가 확장되고, 이에 따라 발광영역이 확장되어 개구율을 향상시킬 수 있다.
- [0055] 그리고, 화소전극(114) 상부와 외측면을 덮는 발광층을 포함하는 중간층(118)이 구비된다. 대향전극(119)은 제1개구(C1)와 제4개구(C4)를 따라 중간층(118)과 제1갭(G1)을 덮고 있어, 화소전극(114) 외측에서 격막 형상을 갖는다. 대향전극(119)은 반사전극으로, 중간층(118)의 발광층에서 방출되어 산란된 광을 반사시켜 반사된 광이 제1기판(10) 측으로 방출되도록 한다. 즉, 화소전극(114)의 주변부의 제1갭(G1)에 형성된 대향전극(119)은 메탈 미러(Metal Mirror) 역할을 수행하여, 산란되는 광을 반사시켜 광이 산란되는 경로를 최소화할 수 있다.
- [0056] 도 4 및 도 5를 참조하면, 비교예에서, 제2절연층(16)과 제3절연층(18)에는 화소전극(114) 일부(중앙부)를 노출시키는 개구들(C1', C4')이 형성되어, 제2절연층(16)과 제3절연층(18)이 화소전극(114)의 상단부(B)에 남아있다. 따라서, 화소전극(114)은 도 2 및 도 3의 본 발명의 픽셀 영역의 화소전극(114)에 비해, 화소전극(114)의 상단부(B) 만큼 발광 영역이 줄어들어 개구율이 작아진다.
- [0057] 또한, 비교예에서는 중간층(118)의 발광층에서 방출되어 산란된 광을 제어하지 못하고, 광은 화소전극(114), 제1절연층(13) 및 버퍼층(11)을 통과하면서 굴절 및 산란되어 광효율이 낮아진다.
- [0058] 이하, 도 6 내지 13을 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0059] 도 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정을 개략적으로 도시한 단면도이다.
- [0060] 도 6을 참조하면, 버퍼층(11)이 적층된 제1기판(10)에 박막 트랜지스터의 활성층(212), 및 커패시터 하부 전극(312)을 형성한다.
- [0061] 제1기판(10)은 SiO<sub>2</sub>를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 제1기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0062] 제1기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층과 같은 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0063] 버퍼층(11) 상부에 박막트랜지스터(TFT)의 활성층(212)과 커패시터(Cst)의 하부전극(312)을 형성한다. 도면에는 도시되어 있지 않지만, 버퍼층(11) 상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝되어, 박막 트랜지스터의 활성층(212), 커패시터 하부 전극(312)이 동시에 형성될 수 있다.
- [0064] 포토리소그래피에 의한 제1마스크 공정은 제1마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0065] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다.

이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

- [0066] 본 실시예에서는, 박막트랜지스터(TFT)의 활성층(212)과 커패시터(Cst)의 하부전극(312)이 분리 형성되었으나, 박막트랜지스터(TFT)의 활성층(212)과 커패시터(Cst)의 하부전극(312)을 일체로 형성할 수도 있다.
- [0067] 도 7 및 도 8은 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정을 개략적으로 도시한 단면도이다.
- [0068] 도 7을 참조하면, 도 6의 제1마스크 공정에 의한 박막트랜지스터(TFT)의 활성층(212)과 커패시터(Cst)의 하부전극(312)이 형성된 제1기판(10)의 전면에 제1절연층(13)이 적층되고, 제1절연층(13) 상에 제1도전층(14)과 제2도전층(15)이 순차로 적층된다.
- [0069] 제1절연층(13)은  $\text{SiN}_x$  또는  $\text{SiO}_x$  등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(13)은, 박막트랜지스터(TFT)의 활성층(212)과 게이트전극(20) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터(Cst)의 상부전극(314)과 하부전극(312) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0070] 제1도전층(14)은 투명도전층으로서, 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide:  $\text{In}_2\text{O}_3$ ), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0071] 제2도전층(15)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0072] 도 8을 참조하면, 제2마스크(미도시)를 사용한 제2마스크 공정에 의해 제1도전층(14)과 제2도전층(15)이 동시에 패터닝된다. 패터닝 결과, 제1절연층(13) 상에 게이트 전극(20)과, 제1전극패턴(40)과 제2전극패턴(30)이 각각 형성된다.
- [0073] 트랜지스터 영역(200)에는 활성층(212) 상부에 게이트 전극(20)이 형성되고, 게이트 전극(20)은 제1도전층(14)의 일부로 형성된 게이트 제1전극(214)과 제2도전층(15)의 일부로 형성된 게이트 제2전극(215)을 포함한다.
- [0074] 픽셀 영역(100)에는 제1절연층(13) 상에 제1전극패턴(40)이 형성되고, 제1전극패턴(40)은 제1도전층(14)의 일부로 형성된 화소전극(114) 및 제2도전층(15)의 일부로 형성된 금속층(115)을 포함한다.
- [0075] 커패시터 영역(300)에는 제1절연층(13) 상에 제2전극패턴(30)이 형성되고, 제2전극패턴(30)은 제1도전층(14)의 일부로 형성된 커패시터 상부전극(314) 및 제2도전층(15)의 일부로 형성된 금속층(315)을 포함한다.
- [0076] 이어서, 게이트 전극(20)과, 제1전극패턴(40)과 제2전극패턴(30)이 형성된 제1기판(10) 전면에 이온 불순물이 도핑(D1)된다. 3족 원소인 붕소(B) 등으로 도핑하면 p-type, 5족 원소인 질소(N) 등으로 도핑하면 n-type 반도체를 형성할 수 있다. 도핑은 제1기판(10) 전면에서의 일괄 도핑으로 수행될 수 있다. 이때,  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 이상의 농도로 박막 트랜지스터의 활성층(212)을 타겟으로 하여 도핑(D1)한다.
- [0077] 여기서, 게이트 전극(20)은 활성층(212)의 중앙에 대응하도록 형성되며, 게이트 전극(20)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑함으로써 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 게이트 전극(20)을 셀프 얼라인 마스크로 사용함으로써, 별도의 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0078] 한편, 활성층(212)과 동일 재료로 형성된 커패시터 하부전극(312)은 제2전극패턴(30)이 차단 마스크 기능을 하기 때문에, 채널 영역(212c)과 마찬가지로 도핑되지 않는다.
- [0079] 도 9는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정을 개략적으로 도시한 단면도이다.
- [0080] 도 9를 참조하면, 도 8의 제2마스크 공정의 결과물 상에 제2절연층(16)이 적층되고, 제2절연층(16)과 하부 절연층들을 패터닝하여 제1전극패턴(40) 전체를 노출시키는 제1개구(C1), 활성층(212)의 소스 영역(212a) 및 드레인

영역(212b)의 일부를 노출시키는 제2개구(C2), 및 제2전극패턴(30) 전체를 노출시키는 제2개구(C3)이 형성된다.

- [0081] 제2절연층(16)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연층(16)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(13)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트전극(20)과 소스/드레인전극(217a/217b) 사이의 층간 절연막 역할을 수행한다. 한편, 제2절연층(16)은 상기와 같은 유기 절연 물질 뿐만 아니라, 전술한 제1절연층(13)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0082] 제1개구(C1)는 제2절연층(16), 제1절연층(13) 및 버퍼층(11)의 일부를 식각하여 제1전극패턴(40)을 노출시키도록 형성된다. 제2절연층(16), 제1절연층(13) 및 버퍼층(11)은 함께 식각될 수 있고, 따라서 제2절연층(16), 제1절연층(13) 및 버퍼층(11)은 동일한 식각면을 구비할 수 있다. 이에 따라, 제1전극패턴(40)의 외측면과 제1개구(C1)의 식각면 사이에 제1갭(G1)이 형성될 수 있다. 상기 도면에는 버퍼층(11)의 일부만 식각되고 있으나, 버퍼층(11) 전체가 식각될 수 있다. 또한, 상기 도면에는 제2절연층(16), 제1절연층(13) 및 버퍼층(11)에 제1갭(G1)이 형성된 예를 도시하였으나, 버퍼층(11)은 식각되지 않고 제2절연층(16) 및 제1절연층(13)에만 제1갭(G1)이 형성될 수 있다.
- [0083] 제2개구(C2)는 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시킨다. 이때, 제2절연층(16)과 제1절연층(13)이 함께 식각된다.
- [0084] 제3개구(C3)는 제2절연층(16)을 식각하여 제2전극패턴(30) 전체를 노출시키도록 형성된다. 이에 따라, 제2전극패턴(30)의 외측면과 제3개구(C3) 사이에 제2갭(G2)이 형성될 수 있다. 상기 도면에는 제2절연층(16)에 제2갭(G2)이 형성된 예를 도시하였으나, 제2절연층(16) 하부의 제1절연층(13), 또는 제1절연층(13)과 버퍼층(11)에도 제2갭(G2)이 형성될 수 있다.
- [0085] 도 10은 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.
- [0086] 도 10을 참조하면, 제2절연층(16) 상에 소스 및 드레인 전극(217a, 217b)이 형성된다. 소스 및 드레인 전극(217a, 217b)을 형성하는 금속은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0087] 상기 도면에는 상세히 도시되지 않았으나, 소스 및 드레인 전극(217a, 217b)은 다음과 같은 공정에 의해 형성된다. 먼저, 도 9의 제3마스크 공정의 결과물 상에 소스 및 드레인 전극(217a, 217b)을 형성하는 금속을 증착한 후, 제4마스크(미도시)를 이용하여 소스 및 드레인 전극(217a, 217b) 패턴만 남도록 패터닝한다.
- [0088] 이때, 소스 및 드레인 전극(217a, 217b)을 형성하는 금속과, 제1전극패턴(40)의 상부 금속층(115) 및 제2전극패턴(30)의 상부 금속층(315)을 형성하는 금속이 동일 재료일 경우에는 동일한 식각액을 이용한 한번의 식각 공정으로 소스 및 드레인 전극(217a, 217b)을 패터닝하면서 제1전극패턴(40)의 상부 금속층(115) 및 제2전극패턴(30)의 상부 금속층(315)을 제거할 수 있다.
- [0089] 만약, 제1전극패턴(40)의 상부 금속층(115) 및 제2전극패턴(30)의 상부 금속층(315)을 형성하는 금속이 서로 다른 재료일 경우에는, 1차 식각액으로 소스 및 드레인 전극(217a, 217b)을 형성하는 금속을 식각하여 소스 및 드레인 전극(217a, 217b) 패턴을 형성하고, 2차 식각액으로 제1전극패턴(40)의 상부 금속층(115) 및 제2전극패턴(30)의 상부 금속층(315)을 제거할 수 있다.
- [0090] 이에 따라, 픽셀 영역(100)에는 화소전극(114)이 형성되고, 커패시터 영역(300)에는 커패시터 상부전극(314)이 형성된다.
- [0091] 이어서, 상술한 제4마스크 공정 및 식각 공정 후 형성된 구조물 상에 이온 불순물이 도핑된다. n형 또는 p형의 불순물을 주입하여 적절한 농도로 커패시터 하부전극(312)을 타겟으로 하여 도핑(D2)한다. 도핑 시 주입되는 불순물은 상기 활성층(212)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다.
- [0092] 커패시터 하부전극(312)의 도핑에 의해 하부전극(312)의 도전성이 증가하고, 이에 따라 커패시터의 하부전극(312), 제1절연층(13) 및 상부전극(314)이 MIM CAP 구조를 형성하여, 커패시터의 정전용량을 증가시킬 수 있다.
- [0093] 또한, 제2절연층(16)에 상부전극(314)보다 크게 제3개구(C3)를 형성하고, 제2전극패턴(30)의 제2도전층(15)의 일부가 잔존하지 않고 모두 식각됨으로써, 커패시터 하부전극(312)이 완전히 도핑될 수 있어, 개구율 향상, 정

전 용량 증가, 및 커패시터 배선의 신호 전달 품질 향상을 도모할 수 있다. 여기서, 불순물의 도핑은 커패시터 하부전극(312)을 타겟으로 하지만 기관(10) 전면에 수행될 수도 있다.

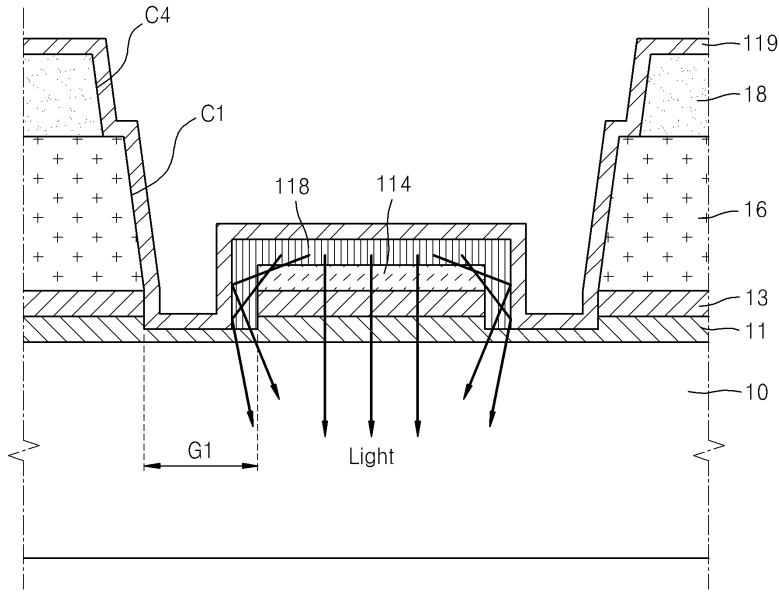
- [0094] 도 11은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정을 개략적으로 도시한 단면도이다.
- [0095] 도 11을 참조하면, 도 10의 제4마스크 공정의 결과물 상에 제3절연층(18)이 적층되고, 제3절연층(18)을 패터닝하여 화소전극(114)을 노출시키는 제4개구(C4)가 형성된다. 제3절연층(18)은 제4개구(C4)에 의해 발광 영역이 정의되는 화소정의막의 역할을 한다. 이때 제3절연층(18)은 화소전극(114)이 박막트랜지스터의 소스 및 드레인 전극(217a 및 217b) 중 하나와 연결되는 부분을 덮을 수 있다.
- [0096] 한편, 상기 개구(C4)는 제2절연층(16)에 형성된 제1개구(C1)의 크기보다 크게 형성되어, 화소전극(114)을 덮지 않기 때문에 발광영역이 확장되어 픽셀 영역(100)의 개구율을 높일 수 있다.
- [0097] 도 12 및 도 13은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정 후 공정을 개략적으로 도시한 단면도이다.
- [0098] 도 12를 참조하면, 화소전극(114) 상부와 측면으로 발광층을 포함하는 중간층(118)을 형성한다.
- [0099] 중간층(118)은 화소전극(114) 상부와 외측면을 덮도록 함으로써 대향전극(119)과 화소전극(114)을 절연하여 화소전극(114)과 대향전극(119)의 쇼트 발생을 방지한다.
- [0100] 중간층(118)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0101] 상기 중간층(118)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0102] 저분자 유기물로 형성되는 경우, 중간층(118)은 유기 발광층을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0103] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(118)은 유기 발광층 외에 홀 수송층(HTL)을 포함할 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0104] 도 13을 참조하면, 중간층(118) 상에 대향전극(119)이 증착된다. 대향전극(119)은 제1기관(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소전극(114)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0105] 대향전극(119)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향전극(119)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, Mg/Ag, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0106] 대향전극(119)은 픽셀 영역(100)에서, 제1개구(C1)와 제4개구(C4)를 따라 화소전극(114), 중간층(118), 제1갭(G1)을 덮는다. 이에 따라, 대향전극(119)은 화소전극(114)의 주변부에서 제1기관(10) 방향으로 돌출된 격막 구조를 갖는다. 격막 구조의 대향전극(114)은 제1갭(G1)에서 메탈 미러 역할을 수행하여 중간층(118)에서 산란하는 광을 반사시켜 광효율을 높인다.
- [0107] 도 14는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이고, 도 15는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 픽셀 영역을 개략적으로 도시한 단면도이다.
- [0108] 도 14 및 도 15를 참조하면, 유기 발광 표시 장치(2)는 도 1의 유기 발광 표시 장치(1)에 비해 픽셀 영역의 제1갭(G1)의 형상이 상이한 점을 제외하고 도 1의 유기 발광 표시 장치(1)와 동일하므로 중복되는 구성의 상세한

설명은 생략하겠다.

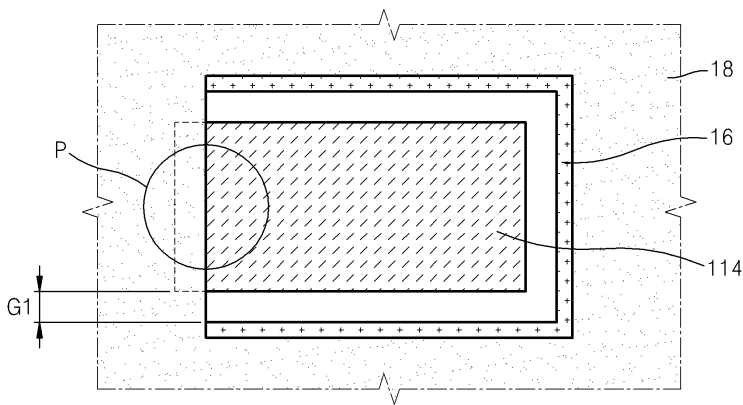
- [0109] 유기 발광 표시 장치(2)의 제1기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다.
- [0110] 픽셀 영역(100)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 화소전극(114), 화소전극(114)과 마주보도록 형성된 대향전극(119') 및 그 사이에 개재된 중간층(118)으로 구성된다. 화소전극(114)은 제1기판(10), 버퍼층(11) 및 제1절연층(13) 상에 투명한 전도성 물질로 형성되며, 박막트랜지스터(TFT)의 게이트 제1전극(214), 커패시터(Cst)의 상부전극(314)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0111] 중간층(118)은 화소전극(114) 상부와 외측면을 덮도록 형성되어 대향전극(119')과 화소전극(114)을 절연하여 화소전극(114)과 대향전극(119')의 쇼트 발생을 방지한다. 중간층(118)은 발광층을 포함하고, 발광층에서 방출된 광은 화소전극(114)을 통하여 제1기판(10) 측으로 방출된다.
- [0112] 제1절연층(13) 상부 및 화소전극(114) 외곽에는 제2절연층(16)이 형성되고, 제2절연층(16)에는 화소전극(114) 전체를 노출시키는 제1개구(C1)가 형성된다. 이때 제1절연층(13)과 버퍼층(11)이 제2절연층(16)과 함께 식각되어 제1개구(C1)는 버퍼층(11)까지의 깊이를 가질 수 있다. 이에 따라, 이 경우 버퍼층(11), 제1절연층(13), 및 제2절연층(16)은 동일한 식각면을 구비하고, 화소전극(114)의 외측면과 제1개구(C1)의 식각면 사이에 소정의 제1갭(G1)이 형성될 수 있다.
- [0113] 여기서, 제1갭(G1)을 형성하기 위하여 제2절연층(16)을 식각(에칭)할 시, 에칭액 및 에칭방법 등에 따라 제2절연층(16) 하부에 위치하는 제1절연층(13) 및 버퍼층(11)을 오버(over) 에칭시켜 언더컷(under-cut)을 형성함으로써 제1갭(G1)이 오목한 형상을 가질 수 있다.
- [0114] 제2절연층(16) 상부에는 제3절연층(18)이 형성되고, 제3절연층(18)에는 화소전극(114)으로부터 멀어지는 방향으로 제2절연층(16)과 화소전극(114)을 노출시키며 제2절연층(16)의 제1개구(C1)보다 큰 제4개구(C4)가 형성될 수 있다. 여기서, 화소전극(114)이 소스/드레인전극(217a/217b) 중 하나와 연결되는 부분은 제3절연층(18)이 덮도록 형성할 수 있다. 이에 따라 소스/드레인전극(217a/217b)과 대향전극(119')의 쇼트 발생을 방지할 수 있다.
- [0115] 중간층(118)은 화소전극(114) 상부와 측면을 덮도록 함으로써 대향전극(119')과 화소전극(114)을 절연하여 화소전극(114)과 대향전극(119')의 쇼트 발생을 방지한다.
- [0116] 대향전극(119')은 반사 물질을 포함하는 반사 전극으로 구성되고, 중간층(118)의 발광층에서 방출된 광은 대향전극(119')에 반사되어 화소전극(114)을 투과하여 기판(10) 측으로 방출된다. 그리고, 대향전극(119')은 제1개구(C1)와 제4개구(C4)를 따라 화소전극(114) 상부와 외측면에 구비된 중간층(118)과 제1갭(G1)을 덮으며 형성된다. 이에 따라, 화소전극(114)의 주변부에서 제1갭(G1)에 형성된 대향전극(119')은 중간층(118)의 발광층에서 방출되어 산란된 광을 반사시켜 반사된 광이 제1기판(10) 측으로 방출되도록 한다.
- [0117] 대향전극(119')은 픽셀 영역에서, 제1개구(C1)와 제4개구(C4)를 따라 중간층(118)과 제1갭(G1)을 덮고 있어, 대향전극(119')은 화소전극(114)의 외측에서 제1기판(10) 방향으로 돌출된 오목거울 형상을 갖는다. 이에 따라, 대향전극(114)은 제1갭(G1)에서 메탈 미러 역할을 수행하여 중간층(118)의 발광층에서 산란하는 광을 반사시켜 가운데로 집중시켜주는 효과가 생겨 광효율을 높일 수 있다.
- [0118] 상술한 바와 같은 본 발명의 실시예에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면, 제3마스크 공정에서 제2절연층(16)과 제3절연층(18)에 개구를 형성할 시, 화소전극(114) 전체를 노출시키도록 제1 및 제4개구(C1, C4)를 형성하고, 대향전극(119, 119')을 제1 및 제4개구(C1, C4)를 따라 형성하여 제1갭(G1)에서 격막 또는 오목거울 형상을 갖도록 함으로써, 개구율 향상, 및 광효율 향상을 도모할 수 있다.
- [0119] 한편, 상기 실시예에서는 제1개구(C1)와 제3개구(C3)를 모두 각각 화소전극(114) 및 커패시터 상부전극(314) 전체를 노출시키도록 형성하였으나, 본 발명은 이에 한정되지 않으며, 필요한 목적에 따라 제1개구(C1)만을 상기 와 같은 구조로 형성할 수 있음은 물론이다.
- [0120] 전술된 유기발광표시장치(1)를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0121] 한편, 전술한 실시예에서는 유기발광표시장치(1, 2)를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.



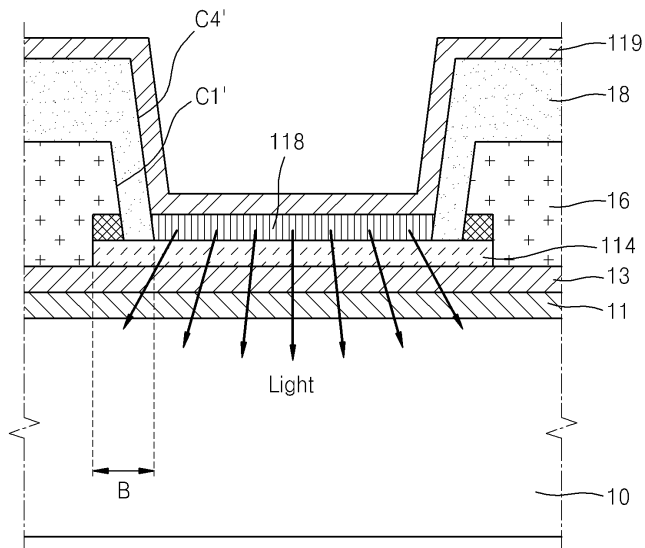
도면2



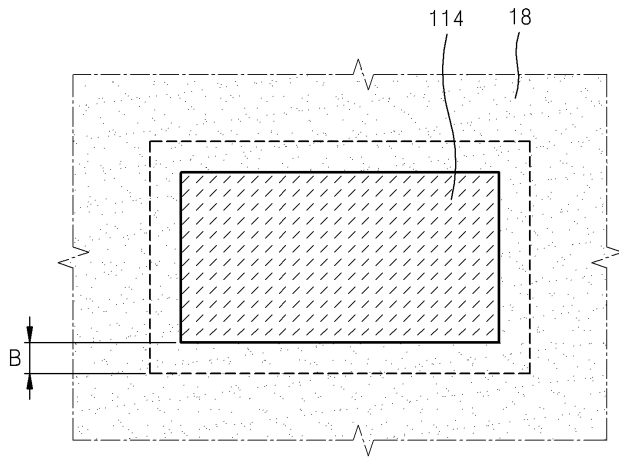
도면3



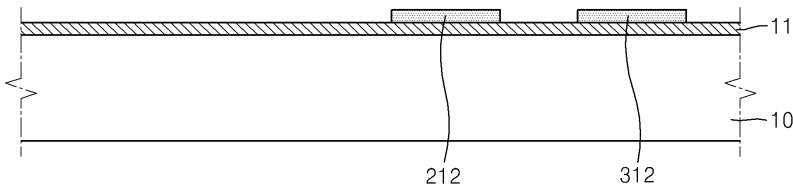
도면4



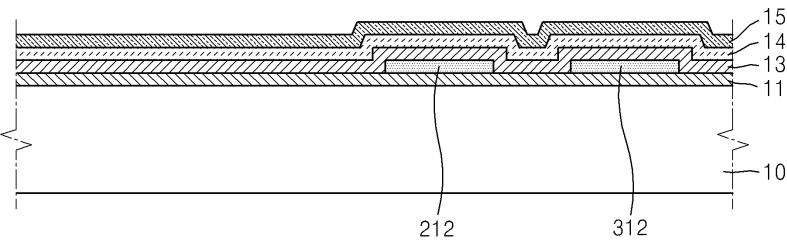
도면5



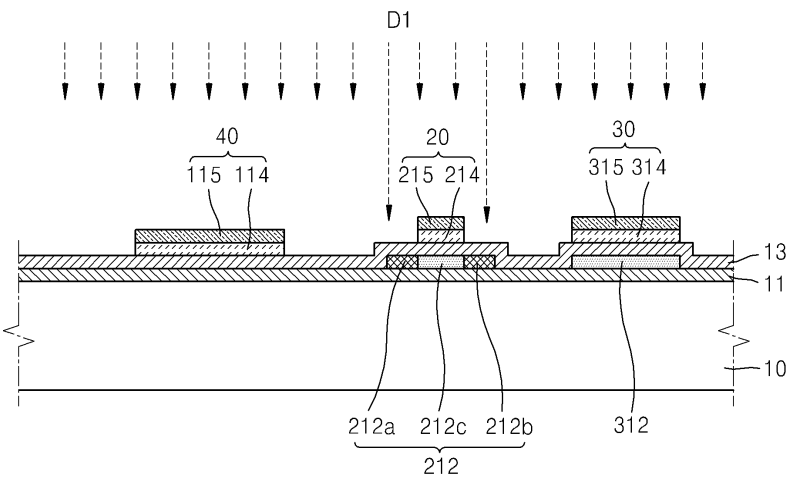
도면6



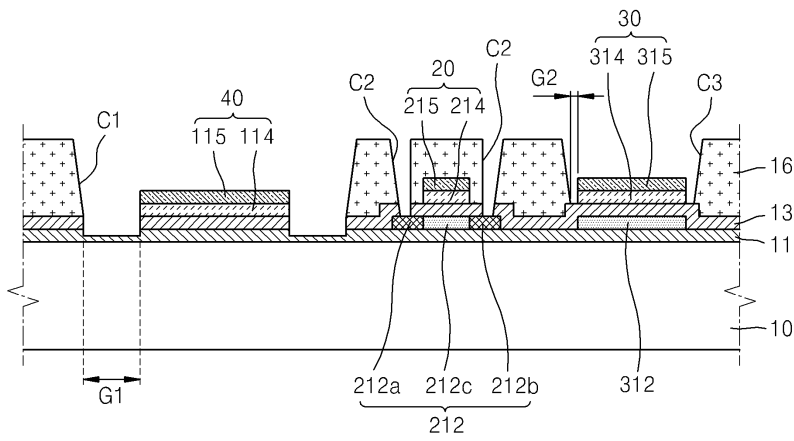
도면7



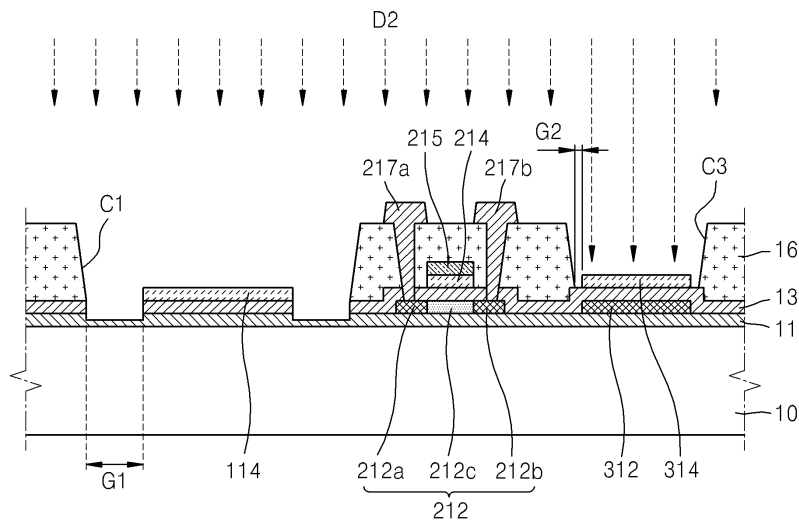
도면8



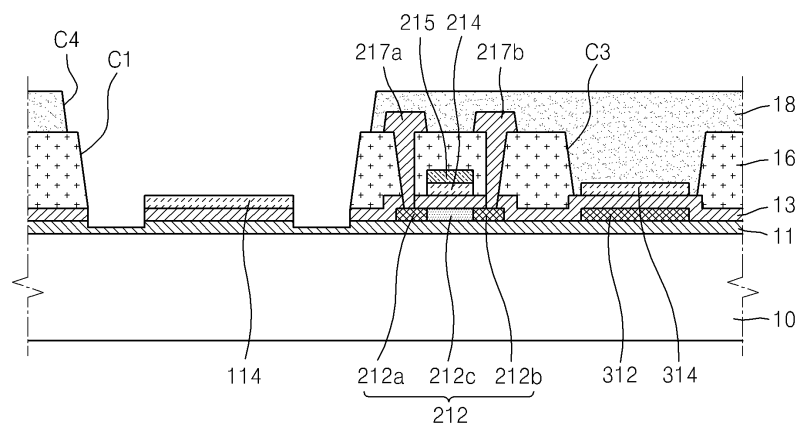
도면9



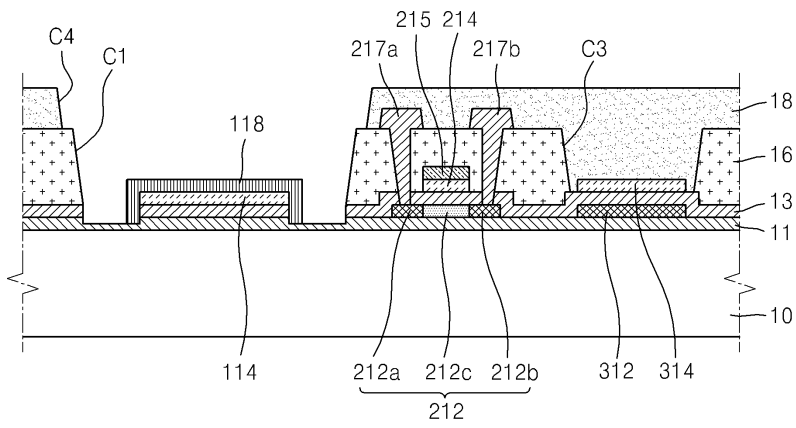
도면10



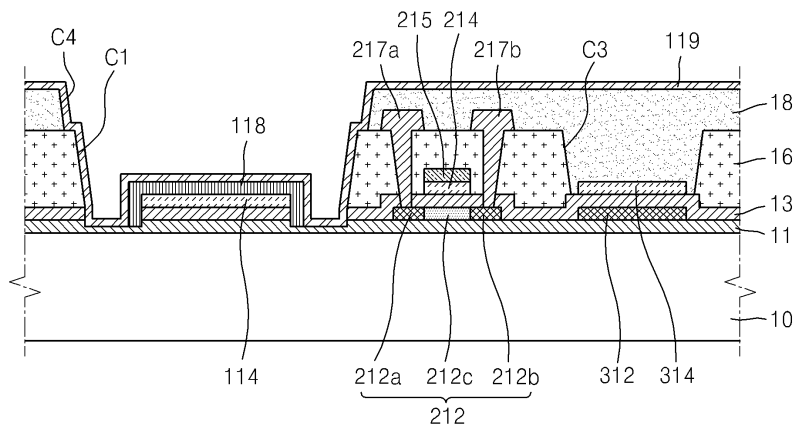
도면11



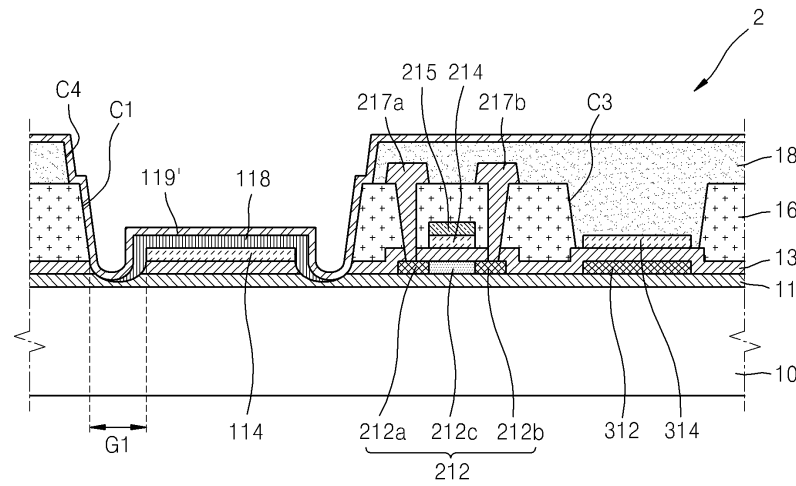
도면12



도면13



도면14





专利名称(译)	薄膜晶体管阵列基板，包括其的有机发光显示器及其制造方法		
公开(公告)号	<a href="#">KR101801350B1</a>	公开(公告)日	2017-12-21
申请号	KR1020110076575	申请日	2011-08-01
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DAE WOO 김대우 PARK JONG HYUN 박종현 LEE YUL KYU 이율규		
发明人	김대우 박종현 이율규		
IPC分类号	H01L51/50 H01L21/336 H01L29/786		
CPC分类号	H01L27/1248 H01L27/1259 H01L27/3248 H01L27/3258 H01L27/326 H01L51/5265 H01L51/5271 H01L2227/323 H01L51/56 H01L27/1255 H01L29/4908		
其他公开文献	KR1020130014860A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供薄膜晶体管阵列基板，包括该薄膜晶体管阵列基板的有机发光显示装置及其制造方法，以通过最小化通过凹面镜的相对电极或像素周围的分隔结构的光散射来获得透明面板电极。组成：在衬底（10）上形成缓冲层（11）。在缓冲层上形成第一绝缘层（13）。像素电极（114）形成在第一绝缘层上并由透明导电材料制成。中间层（118）覆盖像素电极的上侧和外侧。相对电极（119）形成在像素电极的上侧和外侧。

