



공개특허 10-2020-0026229



(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(11) 공개번호 10-2020-0026229
 (43) 공개일자 2020년03월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/3208 (2016.01)

(52) CPC특허분류

G09G 3/3208 (2013.01)

G09G 2300/0439 (2013.01)

(21) 출원번호 10-2020-0024435(분할)

(22) 출원일자 2020년02월27일

심사청구일자 2020년02월27일

(62) 원출원 특허 10-2013-0105877

원출원일자 2013년09월04일

심사청구일자 2018년05월15일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김현진

경기도 파주시 월롱면 엘지로 245

김범식

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인(유한)유일하이스트

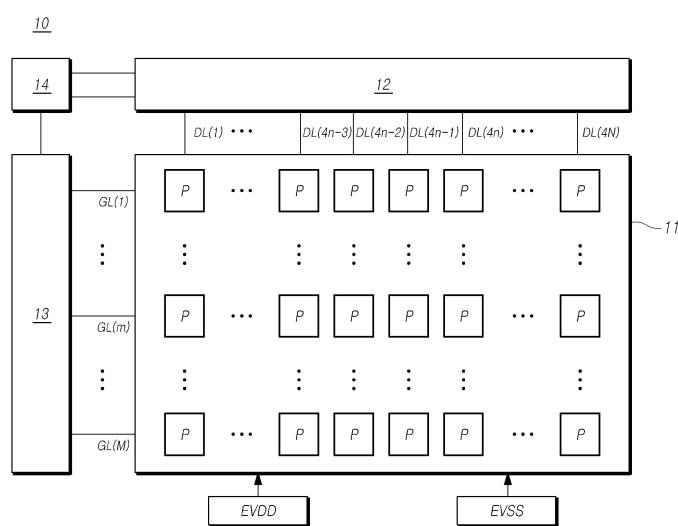
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 유기전계발광 표시장치와, 그 표시패널 및 구동방법

(57) 요 약

본 발명은, 데이터 라인과 게이트 라인이 교차하여 정의되는 각 화소는 유기발광다이오드와, 유기 발광다이오드를 구동하기 위한 구동 트랜지스터와, 게이트 라인에서 공급된 스캔신호에 의해 제어되며 기준전압 라인 또는 기준전압 라인에 연결되는 연결패턴과 구동 트랜지스터의 제1노드 사이에 연결되는 제1 트랜지스터와, 게이트 라인에서 공통으로 공급된 스캔신호에 의해 제어되며 데이터 라인과 구동 트랜지스터의 제2노드 사이에 연결되는 제2 트랜지스터와, 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 캐패시터를 포함하는 유기전계발광 표시장치와, 그 표시패널 및 구동방법에 관한 것이다.

대 표 도



(52) CPC특허분류

G09G 2300/0809 (2013.01)

G09G 2310/06 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/029 (2013.01)

G09G 2320/0693 (2013.01)

명세서

청구범위

청구항 1

제1 방향으로 연장되어 배치된 제1 데이터 라인 및 제2 데이터 라인;
 상기 제1 방향과 동일한 방향으로 연장되어 배치된 제1 기준전압 라인;
 상기 제1 데이터 라인과 전기적으로 연결되는 제1 화소; 및
 상기 제2 데이터 라인과 전기적으로 연결되는 제2 화소를 포함하고,
 상기 제1 화소 및 상기 제2 화소 각각은,
 제1 전극, 제2 전극 및 게이트 전극을 포함하는 구동 트랜지스터,
 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제1 트랜지스터,
 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제2 트랜지스터,
 제1 전극 및 제2 전극을 포함하는 캐패시터, 및
 제1 전극 및 제2 전극을 포함하는 발광다이오드를 포함하고,
 상기 제1 화소 및 상기 제2 화소 각각에서, 상기 구동 트랜지스터의 제1 전극은 상기 제1 트랜지스터의 제1 전극과 전기적으로 연결되고, 상기 구동 트랜지스터의 제1 전극은 상기 캐패시터의 제1 전극과 전기적으로 연결되고, 상기 구동 트랜지스터의 제1 전극은 상기 발광다이오드의 제1 전극과 전기적으로 연결되며, 상기 구동 트랜지스터의 게이트 전극은 상기 제2 트랜지스터의 제1 전극과 전기적으로 연결되고, 상기 구동 트랜지스터의 게이트 전극은 상기 캐패시터의 제2 전극과 전기적으로 연결되며,
 상기 제1 화소의 상기 제1 트랜지스터의 제2 전극과, 상기 제2 화소의 상기 제1 트랜지스터의 제2 전극은 상기 제1 기준전압 라인과 전기적으로 연결되며,
 상기 제1 화소의 제2 트랜지스터의 제2 전극은 상기 제1 데이터 라인과 전기적으로 연결되며, 상기 제2 화소의 제2 트랜지스터의 제2 전극은 상기 제2 데이터 라인과 전기적으로 연결되는 표시장치.

청구항 2

제1항에 있어서,
 제3 데이터 라인과 전기적으로 연결되는 제3 화소; 및
 제4 데이터 라인과 전기적으로 연결되는 제4 화소를 더 포함하고,
 상기 제3 화소 및 상기 제4 화소 각각은,
 제1 전극, 제2 전극 및 게이트 전극을 포함하는 구동 트랜지스터,
 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제1 트랜지스터,
 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제2 트랜지스터,
 제1 전극 및 제2 전극을 포함하는 캐패시터, 및
 제1 전극 및 제2 전극을 포함하는 발광다이오드를 포함하고,

상기 제3 화소 및 상기 제4 화소 각각에서, 상기 구동 트랜지스터의 제1 전극은 상기 제1 트랜지스터의 제1 전극과 전기적으로 연결되고, 상기 구동 트랜지스터의 제1 전극은 상기 캐패시터의 제1 전극과 전기적으로 연결되고, 상기 구동 트랜지스터의 제1 전극은 상기 발광다이오드의 제1 전극과 전기적으로 연결되며, 상기 구동 트랜지스터의 게이트 전극은 상기 제2 트랜지스터의 제1 전극과 전기적으로 연결되고, 상기 구동 트랜지스터의 게이트 전극은 상기 캐패시터의 제2 전극과 전기적으로 연결되며,

트 전극은 상기 캐페시터의 제2 전극과 전기적으로 연결되며,

상기 제3 화소의 상기 제1 트랜지스터의 제2 전극과, 상기 제4 화소의 상기 제1 트랜지스터의 제2 전극은 상기 제1 기준전압 라인과 전기적으로 연결되며,

상기 제3 화소의 제2 트랜지스터의 제2 전극은 상기 제3 데이터 라인과 전기적으로 연결되며, 상기 제4 화소의 제2 트랜지스터의 제2 전극은 상기 제4 데이터 라인과 전기적으로 연결되는 표시장치.

청구항 3

제2항에 있어서,

상기 제3 화소의 상기 제1 트랜지스터의 제2 전극은 제1 연결 패턴을 통해, 상기 제1 기준전압 라인과 전기적으로 연결되고,

상기 제4 화소의 상기 제1 트랜지스터의 제2 전극은 제2 연결 패턴을 통해 상기 제1 기준전압 라인과 전기적으로 연결되는 표시장치.

청구항 4

제3항에 있어서,

상기 제1 연결 패턴은 상기 제1 데이터 라인 및 상기 제3 데이터 라인과 중첩되고,

상기 제2 연결 패턴은 상기 제2 데이터 라인 및 상기 제4 데이터 라인과 중첩되는 표시장치.

청구항 5

제2항에 있어서,

상기 제1 화소와 상기 제2 화소 사이에 상기 제1 기준전압 라인이 배치되고,

상기 제1 화소는 상기 제1 기준전압 라인의 일 측에 위치하고,

상기 제2 화소는 상기 제1 기준전압 라인의 타 측에 위치하고,

상기 제3 화소는 상기 제1 기준전압 라인의 일 측에 위치하되, 상기 제1 화소보다 상기 제1 기준전압 라인에서 더 멀리 위치하고,

상기 제4 화소는 상기 제1 기준전압 라인의 타 측에 위치하되, 상기 제2 화소보다 상기 제1 기준전압 라인에서 더 멀리 위치하는 표시장치.

청구항 6

제3항에 있어서,

상기 제1 데이터 라인 및 상기 제3 데이터 라인은 상기 제1 화소와 상기 제3 화소 사이에 배치되고,

상기 제2 데이터 라인 및 상기 제4 데이터 라인은 상기 제2 화소와 상기 제4 화소 사이에 배치되는 표시장치.

청구항 7

제5항에 있어서,

상기 제1 방향과 동일한 방향으로 연장되어 배치된 제1 구동전압 라인 및 제2 구동전압 라인을 더 포함하고,

상기 제1 구동전압 라인은, 상기 제1 화소의 구동 트랜지스터의 제2 전극과 전기적으로 연결되고, 상기 제3 화

소의 구동 트랜지스터의 제2 전극과 전기적으로 연결되고,

상기 제2 구동전압 라인은, 상기 제2 화소의 구동 트랜지스터의 제2 전극과 전기적으로 연결되고, 상기 제4 화소의 구동 트랜지스터의 제2 전극과 전기적으로 연결되는 표시장치.

청구항 8

제5항에 있어서,

상기 제1 구동전압 라인은 상기 제3 화소의 일 측에 위치하고,

상기 제2 구동전압 라인은 상기 제4 화소의 타 측에 위치하는 표시장치.

청구항 9

제5항에 있어서,

상기 제1 구동전압 라인은, 상기 제1 화소의 구동 트랜지스터의 제2 전극과 제3 연결 패턴을 통해 전기적으로 연결되고,

상기 제2 구동전압 라인은, 상기 제2 화소의 구동 트랜지스터의 제2 전극과 제4 연결 패턴을 통해 전기적으로 연결되는 표시장치.

청구항 10

제9항에 있어서,

상기 제3 연결 패턴은 상기 제1 데이터 라인 및 상기 제3 데이터 라인과 중첩되고,

상기 제4 연결 패턴은 상기 제2 데이터 라인 및 상기 제4 데이터 라인과 중첩되는 표시장치.

청구항 11

제1항에 있어서,

상기 제1 화소가 구동 모드 및 센싱 모드 중 상기 센싱 모드로 동작될 때, 상기 제1 기준전압 라인의 전압은 상승하는 표시장치.

청구항 12

제11항에 있어서,

상기 제1 화소가 상기 센싱 모드로 동작될 때, 상기 제1 기준전압 라인의 전압 변화량은 상기 제1 화소의 구동 트랜지스터의 이동도에 따라 따라 달라지는 표시장치.

청구항 13

제1항에 있어서,

상기 제1 화소가 구동 모드 및 센싱 모드 중 상기 센싱 모드로 동작될 때, 상기 제1 기준전압 라인의 전압은 상승하다가 멈추는 표시장치.

청구항 14

제1항에 있어서,

상기 제1 화소가 상기 센싱 모드로 동작될 때, 상기 제1 기준전압 라인의 전압 변화량은 상기 제1 화소의 구동 트랜지스터의 문턱전압에 따라 따라 달라지는 표시장치.

청구항 15

제1항에 있어서,

상기 제1 화소에서, 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극은 전기적으로 연결되고,

상기 제2 화소에서, 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극은 전기적으로 연결되는 표시장치.

청구항 16

제1항에 있어서,

상기 제1 화소의 제1 트랜지스터의 게이트 전극 및 상기 제2 화소의 제1 트랜지스터의 게이트 전극과 전기적으로 연결되는 제 1 게이트 라인; 및

상기 제1 화소의 제2 트랜지스터의 게이트 전극 및 상기 제2 화소의 제2 트랜지스터의 게이트 전극과 전기적으로 연결되는 제 2 게이트 라인을 더 포함하는 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 유기전계발광 표시장치와, 그 표시패널 및 구동방법에 관한 것이다.

배경 기술

[0002]

최근, 표시장치로서 각광받고 있는 유기전계발광 표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003]

이러한 유기전계발광 표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

[0004]

이러한 유기전계발광 표시장치의 각 화소는 유기발광다이오드 이외에도, 서로 교차하는 데이터 라인 및 게이트 라인과 이와 연결 구조를 갖는 트랜지스터 및 스토리지 캐퍼시터 등으로 이루어져 있다.

[0005]

이러한 각 화소는, 각종 기능을 더 수행하기 위하여, 그에 맞는 트랜지스터를 더 포함할 수 있으며, 이로 인해, 트랜지스터들로 각종 신호를 공급하기 위한 신호 라인이 더 많아지고, 화소 구조도 복잡해질 수밖에 없다. 예를 들어, 화소 간의 휘도 불균일성을 보상하기 위한 내부 또는 외부 보상 회로가 화소 구조에 적용되는 경우, 보상을 위한 센싱 동작에 관여하는 트랜지스터가 추가되어야 하고, 이는 필요한 신호 라인의 수를 증가시키고 화소 구조를 복잡하게 하는 요인이 된다.

[0006]

또한, 대면적 또는 고해상도에 대한 요구 증대에 따라, 신호라인의 수도 그만큼 많아질 수 밖에 없으며 화소 구조도 더 복잡해지고 있는 실정이다.

[0007]

전술한 바와 같이, 센싱 및 보상 기능 등의 각종 기능의 추가, 대면적 또는 고해상도 등의 요구 증대 등으로 인해, 신호라인의 수가 증가하고 이로 인해 IC 패드 및 IC의 수도 그 만큼 많아질 수밖에 없으며, 화소 구조도 더욱 복잡해질 수 밖에 없다.

[0008]

이는, 제조를 어렵게 하고 결함 발생 확률을 높이는 것은 물론, 개구율을 현저히 떨어뜨리고, 유기발광다이오드

의 수명도 상당히 단축시킬 수 있는 문제점을 초래할 수 있다. 궁극적으로는, 양질의 표시패널을 얻을 수 없도록 하여 수율을 감소시키는 문제점을 발생시킨다.

발명의 내용

해결하려는 과제

- [0009] 이러한 배경에서, 본 발명의 목적은, 간단하고 컴팩트(Compact) 한 구조를 갖는 표시패널과 이를 포함하는 유기전계발광 표시장치를 제공하는 데 있다.
- [0010] 본 발명의 다른 목적은, 개구율을 높여주고, 발광다이오드의 수명을 길게 해주며, 결함 발생 확률도 낮추어줄 수 있도록 하는 화소 구조를 갖는 표시패널과 이를 포함하는 유기전계발광 표시장치를 제공하는 데 있다.
- [0011] 본 발명의 또 다른 목적은, 화소 구조가 대칭이 되도록 설계하여 간단하고 컴팩트(Compact) 한 구조를 갖는 표시패널과 이를 포함하는 유기전계발광 표시장치를 제공하는 데 있다.
- [0012] 본 발명의 또 다른 목적은, 화소 간의 휘도 편차를 보상해주기 위한 효율적인 센싱 및 보상 기능을 제공함에 있어서, 간단하고 컴팩트 한 화소 구조에 맞는 센싱 및 보상 기능을 갖는 유기전계발광 표시장치와 그 구동 방법을 제공하는 데 있다.

과제의 해결 수단

- [0013] 본 발명의 실시예들은, 제1 방향으로 연장되어 배치된 제1 데이터 라인 및 제2 데이터 라인; 제1 방향과 동일한 방향으로 연장되어 배치된 제1 기준전압 라인; 제1 데이터 라인과 전기적으로 연결되는 제1 화소; 및 제2 데이터 라인과 전기적으로 연결되는 제2 화소를 포함하는 표시장치를 제공할 수 있다.
- [0014] 제1 화소 및 제2 화소 각각은, 제1 전극, 제2 전극 및 게이트 전극을 포함하는 구동 트랜지스터, 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제1 트랜지스터, 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제2 트랜지스터, 제1 전극 및 제2 전극을 포함하는 캐패시터, 및 제1 전극 및 제2 전극을 포함하는 발광다이오드를 포함할 수 있다.
- [0015] 제1 화소 및 제2 화소 각각에서, 구동 트랜지스터의 제1 전극은 제1 트랜지스터의 제1 전극과 전기적으로 연결되고, 구동 트랜지스터의 제1 전극은 캐패시터의 제1 전극과 전기적으로 연결되고, 구동 트랜지스터의 제1 전극은 발광다이오드의 제1 전극과 전기적으로 연결되며, 구동 트랜지스터의 게이트 전극은 제2 트랜지스터의 제1 전극과 전기적으로 연결되고, 구동 트랜지스터의 게이트 전극은 캐패시터의 제2 전극과 전기적으로 연결될 수 있다.
- [0016] 제1 화소의 제1 트랜지스터의 제2 전극과, 제2 화소의 제1 트랜지스터의 제2 전극은 제1 기준전압 라인과 전기적으로 연결될 수 있다.
- [0017] 제1 화소의 제2 트랜지스터의 제2 전극은 제1 데이터 라인과 전기적으로 연결되며, 제2 화소의 제2 트랜지스터의 제2 전극은 제2 데이터 라인과 전기적으로 연결될 수 있다.
- [0018] 표시장치는, 제3데이터 라인과 전기적으로 연결되는 제3 화소; 및 제4데이터 라인과 전기적으로 연결되는 제4 화소를 더 포함할 수 있다.
- [0019] 제3 화소 및 제4 화소 각각은, 제1 전극, 제2 전극 및 게이트 전극을 포함하는 구동 트랜지스터, 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제1 트랜지스터, 제1 전극, 제2 전극 및 게이트 전극을 포함하는 제2 트랜지스터, 제1 전극 및 제2 전극을 포함하는 캐패시터, 및 제1 전극 및 제2 전극을 포함하는 발광다이오드를 포함할 수 있다.
- [0020] 제3 화소 및 제4 화소 각각에서, 구동 트랜지스터의 제1 전극은 제1 트랜지스터의 제1 전극과 전기적으로 연결되고, 구동 트랜지스터의 제1 전극은 캐패시터의 제1 전극과 전기적으로 연결되고, 구동 트랜지스터의 제1 전극은 발광다이오드의 제1 전극과 전기적으로 연결되며, 구동 트랜지스터의 게이트 전극은 제2 트랜지스터의 제1 전극과 전기적으로 연결되고, 구동 트랜지스터의 게이트 전극은 캐패시터의 제2 전극과 전기적으로 연결될 수 있다.
- [0021] 제3 화소의 제1 트랜지스터의 제2 전극과, 제4 화소의 제1 트랜지스터의 제2 전극은 제1 기준전압 라인과 전기적으로 연결될 수 있다.

- [0022] 제3 화소의 제2 트랜지스터의 제2 전극은 제3데이터 라인과 전기적으로 연결되며, 제4 화소의 제2 트랜지스터의 제2 전극은 제4데이터 라인과 전기적으로 연결될 수 있다.
- [0023] 제3 화소의 제1 트랜지스터의 제2 전극은 제1 연결 패턴을 통해, 제1 기준전압 라인과 전기적으로 연결되고, 제4 화소의 제1 트랜지스터의 제2 전극은 제2 연결 패턴을 통해 제1 기준전압 라인과 전기적으로 연결될 수 있다.
- [0024] 제1 연결 패턴은 제1 데이터 라인 및 제3 데이터 라인과 중첩되고, 제2 연결 패턴은 제2 데이터 라인 및 제4 데이터 라인과 중첩될 수 있다.
- [0025] 제1 화소와 제2 화소 사이에 제1 기준전압 라인이 배치되고, 제1 화소는 제1 기준전압 라인의 일 측에 위치하고, 제2 화소는 제1 기준전압 라인의 타 측에 위치할 수 있다.
- [0026] 제3 화소는 제1 기준전압 라인의 일 측에 위치하되, 제1 화소보다 제1 기준전압 라인에서 더 멀리 위치할 수 있다. 제4 화소는 제1 기준전압 라인의 타 측에 위치하되, 제2 화소보다 제1 기준전압 라인에서 더 멀리 위치할 수 있다.
- [0027] 제1 데이터 라인 및 제3 데이터 라인은 제1 화소와 제3 화소 사이에 배치되고, 제2 데이터 라인 및 제4 데이터 라인은 제2 화소와 제4 화소 사이에 배치될 수 있다.
- [0028] 제1 방향과 동일한 방향으로 연장되어 배치된 제1 구동전압 라인 및 제2 구동전압 라인을 더 포함할 수 있다.
- [0029] 제1 구동전압 라인은, 제1 화소의 구동 트랜지스터의 제2 전극과 전기적으로 연결되고, 제3 화소의 구동 트랜지스터의 제2 전극과 전기적으로 연결될 수 있다. 제2 구동전압 라인은, 제2 화소의 구동 트랜지스터의 제2 전극과 전기적으로 연결되고, 제4 화소의 구동 트랜지스터의 제2 전극과 전기적으로 연결될 수 있다.
- [0030] 제1 구동전압 라인은 제3 화소의 일 측에 위치하고, 제2 구동전압 라인은 제4화소의 타 측에 위치할 수 있다.
- [0031] 제1 구동전압 라인은, 제1 화소의 구동 트랜지스터의 제2 전극과 제3 연결 패턴을 통해 전기적으로 연결될 수 있다. 제2 구동전압 라인은, 제2 화소의 구동 트랜지스터의 제2 전극과 제4 연결 패턴을 통해 전기적으로 연결될 수 있다.
- [0032] 제3 연결 패턴은 제1 데이터 라인 및 제3 데이터 라인과 중첩될 수 있다. 제4 연결 패턴은 제2 데이터 라인 및 제4 데이터 라인과 중첩될 수 있다.
- [0033] 제1 화소가 구동 모드 및 센싱 모드 중 센싱 모드로 동작될 때, 제1 기준전압 라인의 전압은 상승할 수 있다. 제1 화소가 센싱 모드로 동작될 때, 제1 기준전압 라인의 전압 변화량은 제1 화소의 구동 트랜지스터의 이동도에 따라 따라 달라질 수 있다.
- [0034] 제1 화소가 구동 모드 및 센싱 모드 중 센싱 모드로 동작될 때, 제1 기준전압 라인의 전압은 상승하다가 멈출 수 있다. 제1 화소가 센싱 모드로 동작될 때, 제1 기준전압 라인의 전압 변화량은 제1 화소의 구동 트랜지스터의 문턱전압에 따라 따라 달라질 수 있다.
- [0035] 제1 화소에서, 제1 트랜지스터의 게이트 전극과 제2 트랜지스터의 게이트 전극은 전기적으로 연결될 수 있다. 제2 화소에서, 제1 트랜지스터의 게이트 전극과 제2 트랜지스터의 게이트 전극은 전기적으로 연결될 수 있다.
- [0036] 표시장치는, 제1 화소의 제1 트랜지스터의 게이트 전극 및 제2 화소의 제1 트랜지스터의 게이트 전극과 전기적으로 연결되는 제 1 게이트 라인; 및 제1 화소의 제2 트랜지스터의 게이트 전극 및 제2 화소의 제2 트랜지스터의 게이트 전극과 전기적으로 연결되는 제 2 게이트 라인을 더 포함할 수 있다.

발명의 효과

- [0037] 이상에서 설명한 바와 같이, 본 발명에 의하면, 간단하고 컴팩트(Compact) 한 구조를 갖는 표시패널과 이를 포함하는 유기전계발광 표시장치를 제공하는 효과가 있다.
- [0038] 또한, 본 발명에 의하면, 개구율을 높여주고, 발광다이오드의 수명을 길게 해주며, 결함 발생 확률도 낮추어줄 수 있도록 하는 화소 구조를 갖는 표시패널과 이를 포함하는 유기전계발광 표시장치를 제공하는 효과가 있다.
- [0039] 또한, 본 발명에 의하면, 화소 구조가 대칭이 되도록 설계하여 간단하고 컴팩트(Compact) 한 구조를 갖는 표시패널과 이를 포함하는 유기전계발광 표시장치를 제공하는 효과가 있다.
- [0040] 또한, 본 발명에 의하면, 화소 간의 휘도 편차를 보상해주기 위한 효율적인 센싱 및 보상 기능을 제공함에 있어

서, 간단하고 컴팩트 한 화소 구조에 맞는 센싱 및 보상 기능을 갖는 유기전계발광 표시장치와 그 구동 방법을 제공하는 효과가 있다.

[0041] 이러한 점들로 인해, 양질의 표시패널을 높은 수율로 제조할 수 있다.

[0042] 이러한 점들은 고해상도 및 대면적의 표시패널에 적용될 경우, 더욱 큰 효과가 될 것이다.

도면의 간단한 설명

[0043] 도 1은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치에 대한 전체 시스템 구성도이다.

도 2는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 표시패널 내 하나의 화소에 대한 등가회로도이다.

도 3은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다.

도 4는 도 3을 상세하게 나타낸 평면도이다.

도 5는 도 2에 도시된 하나의 화소에 대한 등가회로도를 4개의 화소에 적용한 회로도로서 도 4의 등가회로도이다.

도 6a는 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)), 구동전압 라인(DVL), 기준전압 라인(RV L)에 대한 형성 위치 구조를 확인하기 위한 도 4에서의 I-I' 단면도이다.

도 6b는 구동전압 라인 연결 구조를 확인하기 위한 도 4에서의 II-II' 단면도이다.

도 6c는 기준전압 라인 연결 구조를 확인하기 위한 도 4에서의 III-III' 단면도와 IV-IV' 단면도이다.

도 7은 구동 트랜지스터의 소스 전극과 유기발광다이오드의 제1전극을 연결하기 위한 구조를 설명하기 위한 단면도로서, 도 4에서의 V-V' 단면도이다.

도 8은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 표시패널에 대한 대칭성 구조적 특징을 설명하기 위한 간략한 평면도이다.

도 9는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치에 포함된 외부 보상 구성을 간략하게 나타낸 도면이다.

도 10은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치에 포함된 외부 보상 구성의 구현 방식을 나타낸 도면이다.

도 11은 도 10의 구현 방식에 대하여, 외부 보상 구성을 하나의 화소에 대한 등가회로와 함께 나타낸 도면이다.

도 12는 도 10의 구현 방식에 따른 외부 보상 구성과 다수의 화소를 함께 나타낸 도면이다.

도 13은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치에 포함된 외부 보상 구성의 다른 구현 방식을 나타낸 도면이다.

도 14는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치에 포함된 외부 보상 구성의 또 다른 구현 방식을 나타낸 도면이다.

도 15a 및 도 15b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치에 포함된 데이터 구동부에 대한 구성도이다.

도 16은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치에 포함된 게이트 구동부에 대한 구성도이다.

도 17은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 구동방법에 대한 흐름도이다.

도 18은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 화소가 동작하는 3가지 동작 모드에 대한 스캔 신호의 파형과 제1 스위치 및 제2 스위치에 대한 동작 타이밍도이다.

도 19a 및 도 19b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 화소가 구동 모드로 동작할 때의 회로도이다.

도 20은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 화소가 구동 모드로 동작할 때의 전압 변화 그

래프이다.

도 21a 및 도 21b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 화소가 S-센싱 모드로 동작할 때의 회로도이다.

도 22a는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 화소가 S-센싱 모드로 동작할 때의 전압 변화 그래프이다.

도 22b는 각 화소의 구동 트랜지스터의 문턱전압 편차를 나타낸 Vgs-Ids 그래프이다.

도 23a 및 도 23b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 화소가 F-센싱 모드로 동작할 때의 회로도이다.

도 24a는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 화소가 F-센싱 모드로 동작할 때의 전압 변화 그래프이다.

도 24b는 각 화소의 구동 트랜지스터의 이동도 편차를 나타낸 Vgs-Ids 그래프이다.

도 25a 내지 도 25f는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치의 표시패널에 대한 공정을 나타낸 도면이다.

도 26은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치에 대한 전체 시스템 구성도이다.

도 27은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치의 표시패널 내 하나의 화소에 대한 등가회로이다.

도 28은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다.

도 29는 도 28을 상세하게 나타낸 평면도이고,

도 30은 도 27에 도시된 하나의 화소에 대한 등가회로를 4개의 화소에 적용한 회로도로서 도 29의 등가회로이다.

도 31은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치의 표시패널에 대한 대칭성 구조적 특징을 설명하기 위한 간략한 평면도이다.

도 32는 본 발명의 제2 실시예에 따른 유기전계발광 표시장치의 외부 보상 구성 중에서 센싱부를 하나의 화소(P)에 대한 등가회로와 함께 나타낸 도면이다.

도 33은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치의 구동 모드와, 2가지 센싱 모드 각각에 대한 동작 타이밍도이다.

도 34는 본 발명의 제1 실시예 및 제2 실시예에 따른 이동도 편차를 보상 효과를 나타낸 도면이다.

도 35는 본 발명의 제1 실시예 및 제2 실시예에 따른 개구율을 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0044] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0045] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0046] 본 발명의 일부 실시예를 설명하기에 앞서, 먼저, 본 발명의 기술적 배경과 기술적 사상에 대하여 간략하게 설

명한다.

[0047] 본 발명의 일부 실시예는, 화소 구조가 복잡해지고 신호 라인의 수가 많아질 수 밖에 없는 기술 경향에도 불구하고, 트랜지스터, 캐패시터 및 유기발광다이오드 등의 형성 위치, 신호라인 연결 위치 등에 대한 화소 구조가 대칭이 되도록 설계하여 간단하고 컴팩트(Compact) 한 패널 구조를 갖는 유기전계발광 표시장치를 개시한다.

[0048] 이로 인해, 개구율을 높여주고 결함 발생 확률을 낮출 수 있으며, 제조를 더욱 용이하게 해 줄 수 있고, 양질의 패널을 높을 수 유통으로 제조할 수 있는 효과가 있다. 특히, 이러한 효과는 고해상도 또는 대면적의 패널을 갖는 유기전계발광 표시장치를 제조할 때 더욱 커질 것이다.

[0049] 이러한 본 발명의 일부 실시예는, 각 화소가 1개의 스캔신호를 사용하는 1 스캔 구조의 기본 화소구조를 갖는 제1 실시예와, 각 화소가 2개의 스캔신호를 사용하는 2 스캔 구조의 기본 화소구조를 갖는 제2 실시예로 크게 나눌 수 있다.

[0050] 이러한 본 발명의 일부 실시예 중 제1 실시예는, 각 화소의 구동 동작 및 센싱 동작(화소 간 휘도 불균형을 보상하기 위한 센싱 동작)이 정상적으로 이루어지면서도, 각 화소가 1개의 스캔신호만을 사용하기 때문에, 각 화소에 연결되는 게이트 라인의 수를 줄일 수 있어, 각 화소가 2개의 스캔신호를 사용하는 제2 실시예에 비해 개구율을 더욱 높일 수 있다.

[0051] 아래에서는, 본 발명의 제1 실시예로서 1 스캔 구조에 기반한 유기전계발광 표시장치와 그 구동 방법을 먼저 설명하고, 이어서, 본 발명의 제2 실시예로서 2 스캔 구조에 기반한 유기전계발광 표시장치와 그 구동 방법을 설명한다.

<제1 실시예>

[0053] 도 1은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)에 대한 전체 시스템 구성도이다.

[0054] 도 1을 참조하면, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)는, 일방향으로 형성되는 다수의 데이터 라인(DL: Data Line)과 다수의 데이터 라인과 교차하는 타방향으로 형성되는 다수의 게이트 라인(GL: Gate Line)의 교차 영역마다 배치되는 다수의 화소(P: Pixel)를 포함하는 표시패널(11)과, 데이터 라인을 통해 데이터 전압을 공급하는 데이터 구동부(12)와, 게이트 라인을 통해 스캔신호를 공급하는 게이트 구동부(13)와, 데이터 구동부(12) 및 게이트 구동부(13)의 구동 타이밍을 제어하는 타이밍 컨트롤러(14) 등을 포함한다.

[0055] 도 1을 참조하면, 표시패널(11)에는 일방향으로 다수의 데이터 라인(DL(1)~DL(4N))이 형성되고 다수의 데이터 라인(DL(1)~DL(4N))과 교차하는 타방향으로 다수의 게이트 라인(GL(1)~GL(M))이 형성되어 있다. 본 명세서에서는, 설명의 편의를 위해, 표시패널(11)에 형성된 데이터 라인 및 게이트 라인의 개수가 4N개 및 M개인 것으로 가정한다. 여기서, N과 M은 1 이상의 자연수이다. 그리고, 4N개의 데이터 라인 전체에서 각 데이터 라인을 식별하기 위한 용도로 사용되는 n은 1 이상이고 데이터 라인 개수의 1/4 이하인 자연수이다($1 \leq n \leq (4N/4)$).

[0056] 이러한 표시패널(11)에는, 4N개의 데이터 라인(DL(1)~DL(4N))과 M개의 게이트 라인(GL(1)~GL(M))이 서로 교차하는 영역에 화소(P)가 각각 정의된다. 각 화소(P)에 대한 화소 구조를 도 2를 참조하여 더욱 상세하게 설명한다.

[0057] 도 2는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11) 내 하나의 화소에 대한 등가회로도이다.

[0058] 도 2를 참조하면, 각 화소(P)는 1개의 데이터 라인(DL)과 연결되고 1개의 게이트 라인(GL)을 통해 하나의 스캔 신호(SCAN)만을 공급받는다.

[0059] 이러한 각 화소는, 도 2에 도시된 바와 같이, 유기발광다이오드(OLED: Organic Light Emitting Diode)를 포함하고, 구동 트랜지스터(DT: Driving Transistor), 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 스토리지 캐패시터(Cst) 등을 포함한다. 이와 같이, 각 화소는 3개의 트랜지스터(DT, T1, T2)와 1개의 스토리지 캐패시터(Cst)를 포함하기 때문에, 각 화소는 3T(Transistor) 1C(Capacitor) 구조를 갖는다고 한다.

[0060] 각 화소 내 구동 트랜지스터(DT)는, 구동전압 라인(DVL: Driving Voltage Line)에서 공급되는 구동전압(EVDD)을 인가 받고, 제2 트랜지스터(T2)를 통해 인가된 게이트 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기 발광다이오드(OLED)를 구동시키는 트랜지스터이다.

[0061] 이러한 구동 트랜지스터(DT)는 제1노드(N1), 제2노드(N2), 제3노드(N3)를 가지고 있으며, 제1노드(N1)로는 제1 트랜지스터(T1)와 연결되고, 제2노드(N2)로는 제2 트랜지스터(T2)와 연결되며, 제3노드(N3)로는 구동전압(EVD

D)을 공급받는다.

[0062] 여기서, 일 예로, 구동 트랜지스터(DT)의 제1노드는 소스 노드(Source Node, ‘소스 전극’이라고도 함)이고, 제2노드는 게이트 노드(Gate Node, ‘게이트 전극’이라고도 함)이며, 제3노드(N3)는 드레인 노드(Blend Node, ‘드레인 전극’이라고도 함)일 수 있다. 트랜지스터의 타입 변경, 회로 변경 등에 따라, 구동 트랜지스터(DT)의 제1노드, 제2노드 및 제3노드가 바뀔 수 있다.

[0063] 또한, 제1 트랜지스터(T1)는, 게이트 라인(GL)에서 공급되는 스캔신호(SCAN)에 의해 제어되며, 기준전압(Vref: Reference Voltage)을 공급하는 기준전압 라인(RVL: Reference Voltage Line) 또는 기준전압 라인(RVL)에 연결되는 연결패턴(CP: Connection Pattern)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다. 이러한 제1 트랜지스터(T1)는 “센서 트랜지스터(Sensor Transistor)”라고도 한다.

[0064] 또한, 제2 트랜지스터(T2)는 게이트 라인(GL)에서 공통으로 공급되는 스캔신호(SCAN)에 의해 제어되며 해당 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결된다. 이러한 제2 트랜지스터(T2)는 “스위칭 트랜지스터(Switching Transistor)”라고도 한다.

[0065] 또한, 스토리지 캐페시터(Cst)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어, 데이터 전압을 한 프레임 동안 유지시켜 주는 역할을 할 수 있다.

[0066] 위에서 언급한 바와 같이, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)는, 하나의 동일한 게이트 라인(공통 게이트 라인)을 통해 공급되는 하나의 스캔신호에 의해 제어된다. 이와 같이, 각 화소는 하나의 스캔신호를 사용하기 때문에, 본 발명의 제1 실시예에서 각 화소는 “3T1C 기반의 1 스캔 구조”의 기본 화소구조를 갖는다고 한다.

[0067] 이러한 3T1C 기반의 1 스캔 구조와 관련하여, 제1 트랜지스터(T1)는 기본적으로 구동 트랜지스터(DT)의 게이트 노드(N2)로 데이터 전압을 인가해주는 것으로 구동과 관련된 트랜지스터이고, 제2 트랜지스터(T2)는 구동과도 관련이 있을 수 있지만 기본적으로는 화소 간 휘도 편차를 보상해주기 위한 센싱(Sensing)과 관련된 트랜지스터로서, 2개의 트랜지스터(T1, T2)는 그 용도 및 기능이 다르기 때문에, 하나의 스캔신호에 의해 제어되는 것은, 그 관련 동작(구동 동작, 센싱 동작)에도 영향을 끼치게 된다. 따라서, 화소의 구동 동작 및 센싱 동작 등이 제대로 수행되기 위해서는 별도의 장치(예: 제2 스위치 등)와 동작 방식(예: 동작 타이밍 등)의 변경 등이 필요할 수 있으며, 이에 대해서는, 뒤에서 설명하게 될 보상 구성(기능) 설명 시 함께 설명하도록 한다.

[0068] 전술한 바와 같이, 본 발명의 제1 실시예의 유기전계발광 표시장치(10)에 따른 각 화소는, 3T1C 구조 하에서 1 개의 게이트 라인(GL)을 통해 하나의 스캔신호(SCAN)만을 공급받는 “3T1C 기반의 1 스캔 구조(공통 스캔 구조)”를 갖는다. 즉, 제1 트랜지스터의 게이트 노드와 제2 트랜지스터의 게이트 노드 각각으로 스캔신호가 별도로 인가되는 것이 아니라, 하나의 게이트 라인(GL, 공통 게이트 라인)을 통해 공급된 스캔신호(공통 스캔신호)가 공통으로 인가된다.

[0069] 한편, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소 구조는, 도 2를 참조하여 설명한 “기본 화소 구조(3T1C 기반의 1 스캔 구조)” 이외에, 각 화소가 데이터 라인(DL), 게이트 라인(GL), 구동전압 라인(DVL), 기준전압 라인(RVL) 등의 여러 신호 라인과 연결되는 것과 관련된 “신호 라인 연결 구조”도 포함한다.

[0070] 여기서, 여러 신호 라인은, 각 화소에 데이터 전압을 공급해주기 위한 데이터 라인파, 스캔신호를 공급해주기 위한 게이트 라인뿐만 아니라, 각 화소에 기준전압(Vref)을 공급하기 위한 기준전압 라인(RVL)과, 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL) 등을 더 포함한다.

[0071] 위에서 언급한 기준전압 라인(RVL)과 구동전압 라인(DVL)은 데이터 라인(DL)과 평행하게 형성되는데, 각각의 개수는 데이터 라인 개수와 동일할 수도 있고 데이터 라인 개수보다 적을 수도 있다.

[0072] 만약, 기준전압 라인 개수 및 구동전압 라인 개수가 데이터 라인 개수와 동일한 경우, 각 화소는 하나의 데이터 라인(DL) 및 하나의 게이트 라인(GL)과 연결되는 것은 물론, 하나의 구동전압 라인(DVL) 및 하나의 기준전압 라인(RVL)과도 바로 연결될 수 있다.

[0073] 이 경우, 각 화소의 신호 라인 연결 구조는 모두 동일할 수도 있다. 즉, 신호 라인 연결 구조의 기본 단위는 1 개의 화소가 되어, 신호 라인 연결 구조의 규칙성이 1개의 화소(1개의 화소 열)마다 있을 수 있다.

[0074] 만약, 기준전압 라인 개수 및 구동전압 라인 개수가 데이터 라인 개수보다 적은 경우, 일부 화소는 구동전압 라인(DVL) 및 기준전압 라인(RVL)과는 바로 연결될 수도 있고, 다른 일부 화소는 구동전압 라인(DVL) 및 기준전압

라인(RVL)과 바로 연결되지 않고 연결패턴(CP)을 통해 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 각각 연결될 수 있다.

[0075] 이러한 경우, 각 화소의 신호 라인 연결 구조는 모두 동일하지 않을 수도 있다. 하지만, 각 화소가 신호 라인과 연결되는 구조가 동일하지 않더라도, 몇 개 화소마다 신호 라인과 연결되는 구조가 동일할 수 있다. 즉, 신호 라인 연결 구조의 단위는 1개의 화소(P)가 아닌 다수의 화소가 될 수 있으며, 신호 라인 연결 구조의 규칙성이 다수의 화소(다수의 화소 열)마다 반복적으로 나타날 수 있다.

[0076] 예를 들어, 4개의 화소(P1~P4)마다 신호 라인 연결 구조가 동일하게 반복될 수 있으며, 즉, 신호 라인 연결 구조의 규칙성이 4개의 화소(4개의 화소 열)마다 반복적으로 나타날 수 있으며, 이 경우, 신호 라인 연결 구조의 기본 단위는 4개의 화소(4개의 화소 열)가 될 수 있다.

[0077] 이와 같이 신호 라인 연결 구조의 기본 단위가 4개의 화소(4개의 화소 열)인 경우, 기준전압 라인 개수는 데이터 라인 개수의 1/4일 수 있다. 즉, 데이터 라인 개수가 4N일 때, 기준전압 라인 개수는 N개일 수 있다.

[0078] 전술한 바와 같이, 신호 라인 연결 구조의 기본 단위가 4개의 화소(4개의 화소 열)인 경우, 기준전압 라인 연결 구조는 다음과 같을 수 있다.

[0079] 임의의 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n), $1 \leq n \leq N$) 각각으로부터 데이터 전압을 공급 받을 수 있는 화소(P1~P4), 즉, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)만을 고려하면, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)에 대해서 1개의 기준전압 라인(RVL)이 데이터 라인들과 평행하게 표시패널(11)에 형성되어 있다.

[0080] 이러한 1개의 기준전압 라인(RVL)은 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)) 중 2개의 데이터 라인(예: DL(4n-2), DL(4n-1))과 연결된 각 화소에는 직접 연결되어 기준전압(Vref)을 공급하고, 나머지 2개의 데이터 라인(예: DL(4n-3), DL(4n))과 연결된 각 화소에는 연결된 연결패턴을 통해 기준전압(Vref)을 공급할 수 있다.

[0081] 한편, 신호 라인 연결 구조의 기본 단위가 4개의 화소인 경우, 구동전압 라인 개수는 데이터 라인 개수의 1/2 또는 1/4일 수 있다. 즉, 데이터 전압 라인 개수가 4N일 때, 구동전압 라인 개수는 2N 또는 N개일 수 있다.

[0082] 만약, 일 예로, 구동전압 라인 개수가 2N인 경우, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)에는 2개의 구동전압 라인(DVL)이 형성되어 있는데, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)에 대한 2개의 구동전압 라인 연결 구조는 다음과 같다.

[0083] 2개의 구동전압 라인(DVL)은, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4) 중 2개의 데이터 라인(예: DL(4n-3), DL(4n))과 연결된 화소에는 직접 연결되어 구동전압(EVDD)을 공급하고, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4) 중 나머지 2개의 데이터 라인(예: DL(4n-2), DL(4n-1))과 연결된 화소에는 연결된 연결패턴을 통해 구동전압(EVDD)을 공급할 수 있다.

[0084] 본 명세서 및 도면에서, P1 화소는 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 모든 화소(즉, 화소 열(Pixel Column))를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다. P2 화소도 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 모든 화소를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다. P3 화소도 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 모든 화소를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다. P4 화소도 4n 번째 데이터 라인(DL(4n))과 연결된 모든 화소를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다.

[0085] 또한, 본 명세서 및 도면에서, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소, 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소 및 4n 번째 데이터 라인(DL(4n))과 연결된 화소는, 일 예로, R(Red) 화소, G(Green) 화소, B(Blue) 화소 및 W(White) 화소일 수 있다.

[0086] 또한, 본 명세서 및 도면에서는, 트랜지스터들(DT, T1, T2)이 N 타입인 것으로 도시되어 설명되었으나, 이는 설명의 편의를 위한 것일 뿐, 회로 설계 변경에 따라, 트랜지스터들(DT, T1, T2) 모두가 P 타입으로 변경되거나, 트랜지스터들(DT, T1, T2) 중 일부는 N 타입으로 다른 일부는 P 타입으로 구현될 수도 있다. 또한, 유기발광다이오드(OLED)는 인버티드(Inverted) 타입으로도 변경될 수 있을 것이다.

- [0087] 또한, 본 명세서에 기재된 트랜지스터들(DT, T1, T2)은 박막 트랜지스터(TFT: Thin Film Transistor)라고도 한다.
- [0088] 아래에서는, 이상에서 간략하게 설명한 기본 화소 구조(3T1C 기반의 1 스캔 구조) 및 신호 라인 연결 구조를 포함하는 화소 구조에 대하여, 도 3 내지 도 5를 참조하여 더욱 상세하게 설명한다. 단, 도 3 내지 도 5는 신호 라인 연결 구조의 기본 단위가 4개의 화소인 경우를 도시한 것이다.
- [0089] 전술한 바와 같이, 신호 라인 연결 구조의 기본 단위가 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 4개의 화소(P1~P4)인 경우, 4개의 화소(P1~P4)에 대하여, 기준전압(Vref)을 공급하기 위한 기준전압 라인(RVL)이 1개가 형성되고, 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL)이 2개가 형성될 수 있다.
- [0090]
- [0091] 도 3은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)의 일부를 간략하게 나타낸 평면도이고, 도 4는 도 3을 상세하게 나타낸 평면도이며, 도 5는 도 2에 도시된 하나의 화소에 대한 등가회로도를 4개의 화소에 적용한 회로도로서 도 4의 등가회로도이다.
- [0092] 도 3 내지 도 5를 참조하면, 신호 라인 연결 구조의 기본 단위가 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 4개의 화소(P1~P4)인 경우에 대하여, 3T1C 기반의 1 스캔 구조의 기본 화소구조와 신호 라인 연결 구조를 확인할 수 있다.
- [0093] 도 3 내지 도 5를 참조하면, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)) 각각은 4개의 화소(P1~P4) 각각으로 연결된다. 또한, 1개의 케이트 라인(GL(m), $1 \leq m \leq M$)은 4개의 화소(P1~P4)에 연결된다.
- [0094] 도 2에 도시된 바와 같이, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 화소(P1~P4) 각각은, 구동전압(EVDD)을 인가 받아 유기발광다이오드를 구동하는 구동 트랜지스터(DT)와, 기준전압(Vref)을 인가 받아 구동 트랜지스터(DT)의 제1노드(N1)에 전달하는 제1 트랜지스터(DL)와, 데이터 전압(Vdat a)을 인가 받아 구동 트랜지스터(DT)의 제2노드(N2)에 전달하는 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된 캐패시터(Cst) 등을 동일하게 포함한다.
- [0095] 이와 같이, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 화소(P1~P4) 각각은 3개의 트랜지스터(DT, T1, T2)와 1개의 캐패시터(Cst)를 포함하는 3T1C 구조를 공통으로 가질 뿐만 아니라, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)에 하나의 스캔신호만이 공급되는 구조를 갖고 있다. 전술한 바와 같이, 이러한 각 화소의 화소 구조를 “3T1C 기반의 1 스캔 구조”라고 한다.
- [0096] 한편, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결된 4개의 화소(P1~P4) 각각은, 트랜지스터 및 캐패시터 개수, 스캔신호 개수 등이 동일하더라도, 데이터 전압, 구동전압 및 기준전압 등을 인가 받기 위한 신호 라인 연결 구조(신호 인가 방식)가 서로 다를 수 있다. 하지만, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결된 4개의 화소(P1~P4) 간의 신호 라인 연결 구조는 어떠한 규칙성과 대칭성이 존재한다. 이에, 도 3 내지 도 5를 참조하여, 신호 라인 연결 구조를 아래에서 상세하게 설명한다.
- [0097] 먼저, 기준전압 라인 연결 구조에 대하여 설명한다.
- [0098] 표시패널(11)에서 데이터 라인 개수가 4N개이고 기준전압 라인 개수가 N개일 때, 하나의 $n (1 \leq n \leq N)$ 에 대하여, 즉, 4개의 화소 열(Pixel Column)에 대하여, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1), 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2), 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3) 및 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)에 제1 전압(Vref)을 공급하기 위한 제1 전압 라인에 해당하는 1개의 기준전압 라인(RVL)이 데이터 라인들과 평행한 방향으로 형성된다.
- [0099] 이러한 기준전압 라인(RVL)의 형성 개수에 따라, 표시패널(11)에서 데이터 라인 개수가 4N개이고 기준전압 라인 개수가 N개일 때, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 영역과 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 영역 사이에 제1 전압(기준전압, Vref)을 공급하기 위한 제1 전압 라인에 해당하는 기준전압 라인(RVL)이 1개 형성될 수 있다. 즉, 1개의 기준전압 라인(RVL)은 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)의 전체 영역의 가운데에 형성된다.
- [0100] 이러한 기준전압 라인의 형성 위치는 대칭적인 화소 구조를 가능하게 한다.
- [0101] 이러한 기준전압 라인(RVL)의 형성 위치에 따라, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 제1 트

랜지스터(T1)와 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 제1 트랜지스터(T1)는 기준전압 라인(RVL)에 직접 연결되고, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 제1 트랜지스터(T1)와 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 제1 트랜지스터(T1)는 기준전압 라인(RVL)과 연결된 연결패턴(CP, 점선)에 연결된다.

[0102] 이러한 기준전압 라인 연결 구조에 따라, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 제1 트랜지스터(T1)와 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 제1 트랜지스터(T1)는 기준전압 라인(RVL)으로부터 기준전압(Vref)을 직접 인가 받고, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 제1 트랜지스터(T1)와 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 제1 트랜지스터(T1)는 기준전압 라인(RVL)과 연결된 연결패턴(CP, 점선)으로부터 기준전압(Vref)을 인가 받는다.

[0103] 다음으로, 구동전압 라인 연결 구조에 대하여 설명한다.

[0104] 표시패널(11)에서 데이터 라인 개수가 4N개이고 구동전압 라인 개수가 2N개일 때, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1), 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2), 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3) 및 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)에 제2 전압(EVDD)을 공급하기 위한 제2 전압 라인에 해당하는 구동전압 라인(DVL)이 데이터 라인들과 평행한 방향으로 2개 형성된다.

[0105] 이러한 구동전압 라인(DVL)의 형성 개수에 따라 표시패널(11)에서 데이터 라인 개수가 4N개이고 구동전압 라인 개수가 2N개일 때, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측과 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역의 우측 각각에 제2 전압(구동전압, EVDD)을 공급하기 위한 제2 전압 라인에 해당하는 구동전압 라인(RVL)이 2개 형성될 수 있다.

[0106] 이러한 구동전압 라인의 형성 위치는 대칭적인 화소 구조를 가능하게 한다.

[0107] 이러한 구동전압 라인(DVL)의 형성 위치에 따라, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 구동 트랜지스터(DT)와 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 구동 트랜지스터(DT)는 각기 다른 구동전압 라인(RVL)에 직접 연결된다.

[0108] 즉, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 구동 트랜지스터(DT)는 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측에 형성된 구동전압 라인(RVL)에 직접 연결되고, 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 구동 트랜지스터(DT)는 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역의 우측에 형성된 구동전압 라인(RVL)에 직접 연결된다.

[0109] 그리고, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 구동 트랜지스터(DT)는 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측에 형성된 구동전압 라인(RVL)과 연결된 연결패턴(CP)에 연결된다. 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 구동 트랜지스터(DT)는, 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역의 우측에 형성된 구동전압 라인(RVL)과 연결된 연결패턴(CP)에 연결된다.

[0110] 이러한 구동전압 라인 연결 구조에 따라, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 구동 트랜지스터(DT)와 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 구동 트랜지스터(DT)는 각기 다른 구동전압 라인(RVL)으로부터 구동전압(EVDD)을 직접 인가 받는다.

[0111] 그리고, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 구동 트랜지스터(DT)는, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역 좌측에 있는 구동전압 라인(RVL)과 연결된 연결패턴(CP)으로부터 구동전압(EVDD)을 인가 받고, 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 구동 트랜지스터(DT)는, 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역 우측에 있는 구동전압 라인(RVL)과 연결된 연결패턴(CP)으로부터 구동전압(EVDD)을 인가 받는다.

[0112] 또 다음으로, 데이터 라인 연결 구조를 설명한다.

[0113] 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)) 각각은 4개의 화소 열(Pixel Column) 각각에 있는 화소들과 연결된다.

[0114] 4개의 데이터 라인(DL(4n-3)~DL(4n))의 형성 위치와 관련하여, 홀수번째 데이터 라인, 즉, 4n-3 번째 데이터 라인(DL(4n-3)) 및 4n-1 번째 데이터 라인(DL(4n-1)) 각각은 연결된 해당 화소(P1, P3)의 영역의 우측에 형성된다. 그리고, 짝수번째 데이터 라인, 즉, 4n-2 번째 데이터 라인(DL(4n-2)) 및 4n 번째 데이터 라인(DL(4n)) 각각은 연결된 해당 화소(P2, P4)의 영역의 좌측에 형성된다.

- [0115] 이러한 데이터 라인의 형성 위치는 대칭적인 화소 구조를 가능하게 한다.
- [0116] 또 다음으로, 게이트 라인 연결 구조를 설명한다.
- [0117] 하나의 화소 행(Pixel Row)에 대해서, 4N개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연속적으로 교차하는 방향으로 형성되는 신호 라인으로서는 1개의 게이트 라인(GL(m))만이 표시패널(11)에 형성된다.
- [0118] 하나의 화소 행(Pixel Row)에 대해서 형성된 1개의 게이트 라인(GL(m))은 하나의 화소 행에 있는 모든 화소(4개의 화소(P1~P4) 포함) 각각에 포함된 제1 트랜지스터(T1)와 제2 트랜지스터(T2)의 게이트 전극을 동시에 만들어 준다.
- [0119] 그리고, 1개의 게이트 라인(GL(m))은 하나의 화소 행에 있는 모든 화소(4개의 화소(P1~P4) 포함) 각각에 포함된 제1 트랜지스터(T1)와 제2 트랜지스터(T2)의 게이트 전극으로 스캔신호(공통 스캔신호)를 동시에 인가해준다.
- [0120] 이와 같은 3T1C 기반의 1 스캔 구조와 관련하여, 제1 트랜지스터(T1)는 기본적으로 구동 트랜지스터(DT)의 게이트 노드(N2)로 데이터 전압을 인가해주는 트랜지스터로서 유기발광다이오드의 구동과 관련된 트랜지스터이다. 이에 비해, 제2 트랜지스터(T2)는 유기발광다이오드의 구동과도 관련이 있을 수 있지만 기본적으로는 화소 간 휘도 편차를 보상해주기 위한 센싱(Sensing)과 관련된 트랜지스터이다.
- [0121] 위와 같이, 2개의 트랜지스터(T1, T2)는 그 용도 및 기능이 다르기 때문에, 하나의 게이트 라인으로부터 스캔신호를 공통으로 인가하여 제어하는 것은, 2개의 트랜지스터(T1, T2)와 관련된 구동 동작 및 센싱 동작에도 큰 영향을 끼칠 수 있다. 따라서, 본 발명의 제1 실시예는 간단하고 컴팩트한 화소 구조, 즉, 3T1C 기반의 1 스캔 구조를 구현함에 있어서, 화소의 구동 동작 및 센싱 동작 등이 전혀 문제 없이 정상적으로 이루어질 수 있도록 하는 구동 방법(예: 구동 모드, S-센싱 모드, F-센싱 모드 각각에 대한 신호 공급 타이밍, 스위칭 동작 타이밍 등)과 추가적인 구성(예: 제2 스위치(SW2) 등)이 필요하다. 이러한 3T1C 기반의 1 스캔 구조에 맞는 구동 방법에서는 뒤에서 도 17 내지 도 24b를 참조하여 더욱 상세하게 설명한다.
- [0122] 아래에서는, 이상에서 도 3 내지 도 5를 참조하여 설명한 신호라인 연결구조에 대하여, 도 6a, 도 6b 및 도 6c의 단면도를 참조하여 다시 한번 확인해본다.
- [0123] 도 6a는 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)), 구동전압 라인(DVL), 기준전압 라인(RVL)에 대한 형성 위치 구조를 확인하기 위한 도 4에서의 I - I' 단면도이다.
- [0124] 도 6a의 I - I' 단면도는 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 4개의 화소(P1~P4)의 영역에서 행(Row) 방향으로의 단면도이다.
- [0125] 도 6a를 참조하여, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 4개의 화소(P1~P4)의 영역에서, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)), 구동전압 라인(DVL), 기준전압 라인(RVL)이 어떠한 위치에 형성되는지를 설명한다. 신호 라인들의 형성을 위한 공정은 도 25a 내지 도 25f를 참조하여 더욱 상세하게 설명한다.
- [0126] 도 6a를 참조하면, 기준전압 라인(RVL)은 기판(60)에 형성된 게이트 절연막(61) 상에 형성되며, 4개의 화소 영역 가운데 지점, 즉, P2 화소 영역과 P3 화소 영역 사이에 형성될 수 있다.
- [0127] 도 6a를 참조하면, 구동전압 라인(DVL)은 4개의 화소 영역의 좌측과 우측에 하나씩 형성된다. 2개의 구동전압 라인(DVL) 중 P1 화소 영역 좌측에 있는 구동전압 라인(DVL)은 연결패턴(CP)과 연결되고, 이 연결패턴(CP)은 P2 화소에 포함된 구동 트랜지스터(DT)의 제3노드(N3)와 연결된다. 또한, 2개의 구동전압 라인(DVL) 중 P4 화소 영역 우측에 있는 구동전압 라인(DVL)은 연결패턴(CP)과 연결되고, 이 연결패턴(CP)은 P3 화소에 포함된 구동 트랜지스터(DT)의 제3노드(N3)와 연결된다.
- [0128] 도 6a를 참조하면, 홀수번째 데이터 라인, 즉, 4n-3 번째 데이터 라인(DL(4n-3))과 4n-1 번째 데이터 라인(DL(4n-1))은 해당 화소(P1, P3)의 화소 영역 우측에 형성되고, 짝수번째 데이터 라인, 즉, 4n-2 번째 데이터 라인(DL(4n-3))과 4n-1 번째 데이터 라인(DL(4n-1))은 해당 화소(P1, P3)의 화소 영역 우측에 형성된다.
- [0129] 도 6a를 참조하면, P1 화소 영역에서의 신호라인들의 위치 및 연결구조는, P4 화소 영역에서의 신호라인들의 위치 및 연결구조와 기준전압 라인(RVL)을 기준으로 서로 대칭이다. 또한, P2 화소 영역에서의 신호라인들의 위치 및 연결구조는, P3 화소 영역에서의 신호라인들의 위치 및 연결구조와 기준전압 라인(RVL)을 기준으로 서로 대칭이다.

- [0130] 도 6b는 구동전압 라인 연결 구조를 확인하기 위한 도 4에서의 II-II' 단면도이고, 도 6c는 기준전압 라인 연결 구조를 확인하기 위한 도 4에서의 III-III' 단면도와 IV-IV' 단면도이다.
- [0131] 먼저, 도 6b 및 도 4를 참조하여 구동전압 라인 연결 구조를 확인해 본다.
- [0132] 우선, 도 6b의 II-II' 단면도를 참조하면, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)와 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2) 각각의 구동 트랜지스터(DT)에서의 게이트 전극(N2)이 기판(60) 상에 형성된다. 이때, 연결패턴(CP)도 함께 기판(60) 상에 형성된다.
- [0133] 각 구동 트랜지스터(DT)의 게이트 전극(N2)과 연결패턴(CP) 위에 게이트 절연막(61)이 형성된다.
- [0134] 게이트 절연막(61) 상에서, 각 구동 트랜지스터(DT)의 소스 전극(N1) 및 드레인 전극(N2) 간의 채널이 형성되어야 하는 위치에 반도체 층(62)을 형성하고, 각 구동 트랜지스터(DT)의 소스 전극(N2) 및 드레인 전극(N3)이 형성된다. 이때, 구동전압 라인(DVL) 및 데이터 라인(DL(4n-3), DL(4n-2))도 함께 형성된다. 상기 형성 과정 이후, 평탄화 막(63), 유기발광다이오드의 제1전극(E: Electrode) 등이 형성된다.
- [0135] 이러한 형성 과정을 통해, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 구동 트랜지스터(DT)의 드레인 전극(N3)은, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측에 구동전압 라인(RVL)과 직접 연결되고, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 구동 트랜지스터(DT)의 드레인 전극(N3)은 구동전압 라인(RVL)과 컨택 홀(Contact Hole)을 통해 연결된 연결패턴(CP)과 연결되어, 구동전압 라인 연결 구조를 만들어진다.
- [0136] 도 6b는 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측에 구동전압 라인(RVL)이 2개의 화소(P1, P2)와 연결되는 구조를 나타낸 단면도로서, 이는, 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역의 우측에 구동전압 라인(RVL)이 나머지 2개의 화소(P3, P4)와 연결되는 구조를 나타낸 단면도와 동일하다. 이는 도 8을 참조하여 후술할 표시패널(11)의 대칭성 구조와 관련된다.
- [0137] 다음으로, 도 6c를 참조하여 기준전압 라인 연결 구조를 확인해본다.
- [0138] 먼저, 도 6c의 III-III' 단면도를 통해, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)와 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3) 각각의 제1 트랜지스터(T1)가 기준전압 라인(RVL)과 직접 연결되는 기준전압 라인 연결 구조를 살펴본다.
- [0139] 우선, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)와 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3) 각각의 제1 트랜지스터(T1)의 게이트 전극(64c, 65c)이 기판(60) 상에 형성된다.
- [0140] 각 제1 트랜지스터(T1)의 게이트 전극(64c, 65c) 위에 게이트 절연막(61)이 형성된다.
- [0141] 게이트 절연막(61) 상에, 각 제1 트랜지스터(T1)의 소스 및 드레인 전극(64b, 64c, 65b, 65c)의 채널 역할을 하는 반도체 층(62)이 형성되고, 그 위에 각 제1 트랜지스터(T1)의 소스 및 드레인 전극(64a, 64b, 65a, 65b)이 형성된다.
- [0142] 각 제1 트랜지스터(T1)의 드레인 전극(64a, 65a) 형성 시 기준전압 라인(RVL)이 함께 또는 일체로 형성된다.
- [0143] 따라서, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)와 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3) 각각의 제1 트랜지스터(T1)가 기준전압 라인(RVL)과 직접 연결된다.
- [0144] 다음으로, 도 6c의 IV-IV' 단면도를 통해, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4) 각각의 제1 트랜지스터(T1)가 기준전압 라인(RVL)에 연결된 연결패턴(CP)에 연결되는 기준전압 라인 연결 구조를 살펴본다.
- [0145] 우선, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4) 각각의 제1 트랜지스터(T1)의 게이트 전극(66c, 67c)이 기판(60) 상에 형성된다. 이때, 금속 물질의 연결패턴(CP)도 함께 형성된다.
- [0146] 각 제1 트랜지스터(T1)의 게이트 전극(66c, 67c) 및 연결패턴(CP) 위에 게이트 절연막(61)이 형성된다.
- [0147] 게이트 절연막(61) 상에, 각 제1 트랜지스터(T1)의 소스 및 드레인 전극(66a, 66b, 67a, 67b)의 채널 역할을 하는 반도체 층(62)이 형성되고, 그 위에 각 제1 트랜지스터(T1)의 소스 및 드레인 전극(66a, 66b, 67a, 67b)이 형성된다.

- [0148] 각 제1 트랜지스터(T1)의 드레인 전극(66a, 67a)은, 컨택 홀을 통해 연결패턴(CP)과 연결된다.
- [0149] 이러한 형성 과정에 따라, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4) 각각의 제1 트랜지스터(T1)가 기준전압 라인(RVL)에 연결된 연결패턴(CP)에 연결된다.
- [0150] 아래에서는, 이상에서 전술한 화소 구조를 갖는 화소에서 유기발광다이오드의 제1전극(E)이 형성되는 구조를 도 7을 참조하여 설명한다.
- [0151] 도 7은 구동 트랜지스터(DT)의 소스 전극(N1)과 유기발광다이오드의 제1전극(E: Electrode)을 연결하기 위한 구조를 설명하기 위한 단면도로서, 도 4에서의 IV-IV' 단면도이다.
- [0152] 도 7을 참조하면, 구동 트랜지스터(DT)의 게이트 전극(N2), 제1 트랜지스터(T1)의 게이트 전극(67c)이 기판(60)상에 형성된다. 이때, 구동 트랜지스터(DT)의 소스 전극(N1)과 제1 트랜지스터(T1)의 소스 전극(67b)을 연결시켜 주고, 스토리지 캐퍼시터(Cst)의 일면이 되는 금속 물질의 제1플레이트(68)도 함께 기판(60)상에 함께 형성된다. 이후, 게이트 절연막(61)이 형성된다.
- [0153] 구동 트랜지스터(DT)의 소스/드레인 전극(N1, N3)의 채널이 되는 반도체 층(62)과 제1 트랜지스터(T1)의 소스/드레인 전극(67b, 67a)의 채널이 되는 반도체 층(62)이 게이트 절연막(61) 위에 형성된다.
- [0154] 이후, 구동 트랜지스터(DT)의 소스/드레인 전극(N1, N3), 제1 트랜지스터(T1)의 소스/드레인 전극(67b, 67a)이 형성된다.
- [0155] 이때, 구동 트랜지스터(DT)의 소스 전극(N1)은 구동 트랜지스터(DT)의 게이트 전극(N2), 제1 트랜지스터(T1)의 게이트 전극(67c)과 함께 형성된 제1플레이트(68)와 연결되어 형성되고, 제1 트랜지스터(T1)의 소스 전극(67b)은, 구동 트랜지스터(DT)의 게이트 전극(N2), 제1 트랜지스터(T1)의 게이트 전극(67c)과 함께 형성된 제1플레이트(68)와 연결되어 형성된다. 또한, 이때, 스토리지 캐퍼시터(Cst)를 형성하기 위해, 위에서 언급한 제1플레이트(68)와 대응하도록 제2플레이트(69)도 게이트 절연막(61) 위에 함께 형성된다.
- [0156] 이후, 평탄화 층(63)이 위에 형성되고, 제1 트랜지스터(T1)의 소스 전극(67b)과 컨택홀 형태로 연결되는 보조전극(SE: Sub Electrode)이 형성되고, 그 위에, 유기발광다이오드의 제1전극(E)이 형성된다.
- [0157] 여기서, 유기발광다이오드의 제1전극(E)은 제1실시예에서 예로 든 회로 구성 상으로는 애노드 전극이지만, 회로 설계의 변경에 따라 캐소드 전극일 수 있다. 보조전극(SE)은 제1전극(E)과 구동 트랜지스터(DT)의 소스 전극(N1)의 연결을 보조해주는 전극이다.
- [0158] 유기발광다이오드의 제1전극(E)은, 일 예로, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium-Tin-Zinc-Oxide) 등의 투명전극일 수 있으며, 이 경우, 보조전극(SE)은, 일 예로, 은(Ag), 알루미늄(Al) 등의 금속전극일 수 있으며, 제1전극(E)과 구동 트랜지스터(DT)의 소스 전극(N1)의 연결을 보조해주는 역할뿐만 아니라 반사판으로서의 역할을 할 수도 있다.
- [0159] 전술한 형성 과정에 따라, 구동 트랜지스터(DT)의 소스 전극(N1), 제1 트랜지스터(T1)의 소스 전극(67b), 스토리지 캐퍼시터(Cst)의 제1플레이트(68), 제1전극(E)이 연결된다.
- [0160] 이상에서는, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소 구조, 즉, 3T1C 기반의 1 스캔 구조(기본 화소 구조)와 신호 라인 연결 구조를 설명하였다. 이하에서는, 도 8을 참조하여, 전술한 화소 구조와 관련된 표시패널(11)의 대칭성 구조적 특징에 대하여 설명한다.
- [0161] 도 8은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)에 대한 대칭성 구조적 특징을 설명하기 위한 간략한 평면도이다.
- [0162] 도 8을 참조하면, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)은, 데이터 라인 개수가 4N개일 때, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)의 화소 구조와 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)의 화소 구조는 서로 대칭이 되고, 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)의 화소 구조와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)의 화소 구조는 서로 대칭이 되는 1차 대칭 구조를 갖는다.
- [0163] 1차 대칭 구조에서, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)의 화소 구조와 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)의 화소 구조는 4n-3 번째 데이터 라인(DL(4n-3))과 4n-2 번째 데이터 라인(DL(4n-2)) 사이의 가상의 대칭선을 기준으로 대칭이 된다. 그리고, 4n-1 번째 데이터 라인(DL(4n-1))과 연결된

화소(P3)의 화소 구조와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)의 화소 구조는 4n-1 번째 데이터 라인(DL(4n-1))과 4n 번째 데이터 라인(DL(4n)) 사이의 가상의 대칭선을 기준으로 대칭이 된다.

[0164] 또한, 도 8을 참조하면, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)은, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)의 화소 구조와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)의 화소 구조는 서로 대칭이 되고, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)의 화소 구조와 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)의 화소 구조는 서로 대칭이 되는 2차 대칭 구조를 갖는다.

[0165] 2차 대칭 구조에서, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)의 화소 구조와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)의 화소 구조는 기준전압 라인(RVL)을 기준으로 대칭이 된다. 그리고, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)의 화소 구조와 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)의 화소 구조는 기준전압 라인(RVL)을 기준으로 대칭이다.

[0166] 전술한 바와 같이, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)에서, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 화소(P1~P4)는 1차 대칭 구조를 이루면서도, 동시에 2차 대칭 구조를 이루는 “이중 대칭 구조”를 갖는다.

[0167] 이러한 이중 대칭 구조와 관련된 화소 구조는, 3T1C 형성 위치를 포함할 수 있으며, 유기발광다이오드 형성 위치를 더 포함할 수도 있다. 여기서, 3T1C 형성 위치는, 트랜지스터 형성 위치, 캐페시터 형성 위치 등을 포함한다.

[0168] 각 화소 영역은 유기발광다이오드가 발광되는 발광 영역(81)과 3개의 트랜지스터(DT, T1, T2) 및 스토리지 캐페시터(Cst)가 형성되는 비발광 영역(82)으로 나누어지는데, 비발광 영역(82)에서의 3T1C 형성 위치 및 유기발광다이오드 형성 위치와 관련된 이중 대칭 구조를 도 8을 참조하여 더욱 상세하게 설명한다.

[0169] 1차 대칭 구조와 관련하여, P1 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치와 P2 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치는 P1 화소와 P2 화소 경계를 기준으로 대칭이 되고, P3 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치와 P4 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치는 P3 화소와 P4 화소 경계를 기준으로 대칭이 된다.

[0170] 그리고, P1 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치와 P2 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치는 P1 화소와 P2 화소 경계를 기준으로 대칭이 되고, P3 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치와 P4 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치는 P3 화소와 P4 화소 경계를 기준으로 대칭이 된다.

[0171] 그리고, P1 화소의 유기발광다이오드 형성위치의 형성위치와 P2 화소의 유기발광다이오드 형성위치는 서로 대칭이 된다. P3 화소의 유기발광다이오드 형성위치의 형성위치와 P4 화소의 유기발광다이오드 형성위치는 서로 대칭이 된다.

[0172] 여기서, 유기발광다이오드 형성위치는, 유기발광다이오드의 제1전극(52; 애노드 전극이지만, 회로 구성을 달리 하는 경우 캐소드 전극일 수도 있음)의 형성위치 또는 유기발광다이오드의 제1전극(E)이 구동 트랜지스터(DT)의 제1노드(N1)와 연결되는 위치일 수 있다.

[0173] 2차 대칭 구조와 관련하여, P1 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치와 P4 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 되고, P2 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치와 P3 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 된다.

[0174] 그리고, P1 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치와 P4 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 되고, P2 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치와 P3 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 된다.

[0175] 그리고, P1 화소의 유기발광다이오드 형성위치의 형성위치와 P4 화소의 유기발광다이오드 형성위치는 서로 대칭이 된다. P2 화소의 유기발광다이오드 형성위치의 형성위치와 P3 화소의 유기발광다이오드 형성위치는 서로 대칭이 된다.

[0176] 한편, 2차 대칭 구조에서, P1 화소와 P4 화소는 신호 라인 연결 구조에 있어서 기준전압 라인(RVL)을 기준으로 서로 대칭이 되고, P2 화소와 P3 화소는 신호 라인 연결 구조에 있어서 기준전압 라인(RVL)을 기준으로 서로 대칭이 된다.

- [0177] 더욱 상세하게 설명하면, P1 화소와 P4 화소는 구동전압 라인(DVL)과 직접 연결되어 구동전압(EVDD)을 공급받고 공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다. 또한, P1 화소와 P4 화소는 기준전압 라인(RVL)과 직접 연결되지 않고 기준전압 라인(RVL)과 연결된 연결패턴(CP)로부터 기준전압(Vref)을 공급받고, 공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다.
- [0178] P2 화소와 P3 화소는 구동전압 라인(DVL)과 직접 연결되지 않고 구동전압 라인(RVL)과 연결된 연결패턴(CP)과 연결되어 구동전압(EVDD)을 공급받고 공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다. 또한, P2 화소와 P3 화소는 기준전압 라인(RVL)과 직접 연결되어 기준전압(Vref)을 공급받고, 공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다.
- [0179] 전술한 바와 같이, 표시패널(11)은 4개의 화소열(P1~P4) 단위로 대칭 구조(단일 대칭 구조)를 가지기 때문에, 3T1C 화소 구조 하에서도 패널 구조가 간단해지고 컴팩트해질 수 있고, 결함 발생 확률도 그만큼 줄일 수 있다. 또한, 2개의 스캔신호가 반드시 필요했던 3T1C 화소 구조에서 1개의 스캔신호를 이용할 수 있는 구조로 변경함으로써 개구율을 더욱 높일 수 있다. 이로 인해, 양질의 패널을 높은 수율로 제조할 수 있다. 특히, 고해상도 및 대면적의 패널을 보다 높은 품질 및 높은 수율로 제조할 수 있다.
- [0180] 한편, 도 8을 참조하여 설명한 이중 대칭 구조는 유기전계발광 표시장치(10)의 표시패널(11)의 패널 구조인 것으로 설명하였으나, 이러한 이중 대칭 구조는 액정 표시장치(Liquid Crystal Display) 또는 그래핀 양자점 표시장치 등의 표시패널에도 적용될 수 있으며, 이뿐만 아니라, 매트릭스 형태로 화소가 정의될 수 있기만 하면 그 어떠한 표시장치의 표시패널에도 동일하게 적용될 수 있다. 이때, 이중 대칭 구조와 관련된 화소 구조는 트랜지스터 형성 위치, 캐패시터 형성 위치 등을 포함할 수 있다.
- [0181] 이상에서는, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)과 이 표시패널(11)에서의 화소 구조와 그 대칭성에 대하여 설명하였다.
- [0182] 이상에서 본 발명의 제1 실시예의 화소 구조와 그 대칭성에 따르면, 규칙성 있는 신호 라인 연결 구조와 이중 대칭 구조로 인해, 간단하고 컴팩트 한 패널 설계를 가능하게 하고, 패널 제조를 용이하게 해줄 뿐만 아니라 결함 발생 확률을 줄일 수 있어 높은 품질의 패널을 높은 수율로 생산할 수 있다.
- [0183] 또한, 본 발명의 제1 실시예의 화소 구조와 그 대칭성에 따르면, 2개의 스캔신호가 반드시 필요한 3T1C 화소구조에서 1개의 스캔신호만을 사용하기 때문에, 하나의 화소 행(Pixel Row)에 대하여 1개의 게이트 라인만을 표시 패널(11)에 형성할 수 있고, 이로 인해, 개구율을 높일 수 있고 결함(Defect) 발생 확률도 그만큼 줄일 수 있다.
- [0184] 본 발명의 제1 실시예의 화소 구조와 그 대칭성에 따른 전술한 장점들은, 특히, 고해상도 및 대면적의 패널 설계 및 제조 시 더욱 큰 장점을 가질 수 있다.
- [0185] 한편, 3T1C 화소구조는 기본적으로 2개의 스캔신호(구동 트랜지스터(DT)의 게이트 노드(N2)에 데이터 전압을 인가하기 위한 스위칭 트랜지스터 역할을 하는 제2 트랜지스터(T2)를 제어하는 스캔신호와 구동 트랜지스터(DT)의 특성정보(문턱전압, 이동도)를 파악하기 위한 전압 센싱에 이용되는 제1 트랜지스터(T1)를 제어하는 스캔신호)를 구별하여 사용해야만 한다.
- [0186] 하지만, 본 발명의 제1 실시예는, 이상에서 설명한 여러 장점들을 위해, 하나의 스캔신호만을 이용하기 때문에, 하나의 스캔신호만을 사용하더라도 화소의 모든 동작(구동 동작, 센싱 동작)이 정상적으로 이루어질 수 있도록 해주기 위하여, 3T1C 기반의 1 스캔 구조와 맞는 구동 동작 및 센싱 동작이 이루어져야만 한다.
- [0187] 이에, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)는 3T1C 기반의 1 스캔 구조에 맞는 구동방법을 제공한다.
- [0188] 아래에서는, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)가 3T1C 기반의 1 스캔 구조에 맞는 유기 발광다이오드를 구동하기 위한 효율적인 구동 동작(구동 기능 또는 발광 기능)과, 3T1C 기반의 1 스캔 구조에 맞는 각 화소에서의 구동 트랜지스터(DT)의 특성정보를 파악하기 위한 전압을 센싱하고 센싱된 전압(Vsen)를 이용하여 각 화소 내 구동트랜지스터 간의 특성편차를 보상해주는 센싱 동작과 보상 동작을 수행하기 위한 방법에 대해서도 설명한다. 단, 센싱 동작과 보상 동작을 위한 각 구성을 모두 포함하여 보상 구성(외부 보상 구성 또는 외부 보상 회로)이라고도 한다.
- [0189] 도 9는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)에 포함된 외부 보상 구성을 간략하게 나타낸

도면이다.

- [0190] 도 9를 참조하면, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 보상 구성으로서, 각 화소 간 휘도 불균형을 발생시킬 수 있는 각 화소(P) 내 구동 트랜지스터(DT)의 특성편차(예: 문턱전압 편차, 이동도 편차 등)를 보상해주기 위하여, 구동 트랜지스터(DT)의 특성정보(예: 문턱전압, 이동도 등)를 파악하기 위한 전압을 센싱하는 센싱부(91)와, 센싱된 전압을 저장하는 메모리(92)와, 센싱된 전압을 토대로 구동 트랜지스터(DT)의 특성정보를 파악하여 이를 보상해주는 보상부(93) 등을 포함할 수 있다.
- [0191] 전술한 센싱부(91)는, 각 화소(P) 내 구동 트랜지스터(DT)의 특성정보 파악을 위한 전압을 센싱하되, 각 화소(P)의 구동 트랜지스터(DT)의 제1노드(N1)의 전압을 센싱할 수 있다.
- [0192] 이러한 센싱부(91)는, 도 9에 도시된 바와 같이, 기준전압원으로부터 공급되는 기준전압(Vref)을 아날로그 값으로 변환하는 디지털 아날로그 변환부(DAC: Digital Analog Converter, 911)와, 센싱부(91)와 연결이 가능한 각 화소(P)의 구동 트랜지스터(DT)의 제1노드(N1)에서의 센싱된 전압을 디지털 값으로 변환하는 아날로그 디지털 변환부(ADC: Analog Digital Converter, 912)와, 디지털 아날로그 변환부(911)로부터 아날로그로 변환된 기준 전압(Vref)이 공급되는 기준전압 공급 노드(9131)와 아날로그 디지털 변환부(912)에 연결된 센싱 노드(9132) 중 하나가 기준전압 라인(RVL)과 연결되도록 스위칭하는 제1 스위치(913) 등을 포함할 수 있다.
- [0193] 구동 트랜지스터(DT)의 특성정보를 파악하기 위한 전압을 센싱하기 위해서는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 각각에 일정 전압을 인가해두고, 구동 트랜지스터(DT)의 제1노드(N1)에서 전압이 변하도록 하여 변화된 전압을 센싱 전압으로 측정해야만 한다.
- [0194] 이와 관련하여, 제1 스위치(913)에 의해 기준전압 공급 노드(9131)와 기준전압 라인(RVL)과 연결되면, 디지털 아날로그 변환부(911)로부터 아날로그로 변환된 기준전압(Vref)이 구동 트랜지스터(DT)의 제1노드(N1)에 인가된다. 그리고, 구동 트랜지스터(DT)의 제2노드(N2)에도 일정 전압을 인가해주어야 하는데, 본 발명의 제1 실시예에서는 해당 화소와 연결된 데이터 라인(DL)으로부터 데이터 전압(Vdata)를 구동 트랜지스터(DT)의 제2노드(N2)에 인가한다. 이후, 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱하기 위해서, 본 발명의 제1 실시예는, 도 9에 도시된 바와 같이, 데이터 구동부(12)의 데이터 전압 출력 지점(9141)이 해당 데이터 라인(DL)과 연결되도록 온(ON) 되거나 데이터 구동부(12)의 데이터 전압 출력 지점(9141)이 해당 데이터 라인(DL)과 플로팅되도록 오프(OFF) 되게 스위칭하는 제2 스위치(914)를 하나의 데이터 라인마다 하나씩 구비할 수 있다. 이러한 제2 스위치(914)는 해당 화소(P)에 대응되는 센싱부(91)에 기능적으로 포함되는 구성으로 볼 수 있다.
- [0195] 전술한 제2 스위치(914)는 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱하는 센싱 타이밍을 제어하기 위해 필요한 구성이다.
- [0196] 이와 관련하여, 각 화소 내 제1 트랜지스터(T1)과 제2 트랜지스터(T2)가 동일한 하나의 스캔신호를 인가 받는데, 이로 인해, 센서 트랜지스터인 제1트랜지스터(T1)에 의한 센싱 타이밍 제어가 어렵게 되고, 이를 보완하기 위해, 제2 스위치(914)를 추가 구성하여 센싱 타이밍을 구현할 수 있다.
- [0197] 전술한 센싱부(91)가 각 화소(P) 내 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 제대로 센싱하기 위해서는, 제1 스위치(913)와 제2 스위치(914)가 센싱 동작에 맞도록 정확하게 스위칭 동작이 되어야만 한다.
- [0198] 따라서, 타이밍 컨트롤러(14)는, 기준전압 라인(RVL)이 기준전압 공급 노드(9131)와 연결되도록 온(ON) 되거나 기준전압 라인(RVL)이 센싱 노드(9132)와 연결되도록 오프(OFF) 되게 스위칭하는 제1 스위치(913)와, 데이터 구동부(12)의 데이터 전압 출력 지점(9141)이 데이터 라인(DL)과 연결되도록 온(ON) 되거나 데이터 구동부(12)의 데이터 전압 출력 지점(9141)이 데이터 라인(DL)과 플로팅(Floating)되도록 오프(OFF) 되게 스위칭하는 제2 스위치(914)에 대한 스위칭 동작을 센싱 동작 타이밍에 맞게 제어할 수 있다. 이러한 타이밍 컨트롤러(14)에 의한 제1 스위치(913)와 제2 스위치(914)에 대한 스위칭 동작 타이밍에 대해서는, 도 19를 참조하여 더욱 상세하게 설명한다.
- [0199] 이상에서 전술한 센싱부(91)는, 데이터 구동부(12)의 내부에 포함되거나 외부에 포함될 수 있다.
- [0200] 또한, 센싱부(91)는 다수가 있을 수 있는데, 각 센싱부(91)는 하나의 데이터 라인마다 있을 수도 있고, 몇 개의 데이터 라인마다 하나씩 있을 수도 있다. 또한, 각 센싱부(91)는 하나의 기준전압 라인(RVL)마다 하나씩 있을 수 있다.
- [0201] 전술한 센싱부(91)는, 센싱된 전압을 디지털 형태로 메모리(92)에 저장해두거나 보상부(93)로 전달하여 구동 트

랜지스터(DT)의 특성정보가 보상되도록 한다.

- [0202] 센싱부(91)로부터 센싱된 전압을 전달받은 보상부(93)는 센싱부(91)로부터 전달받은 디지털 형태의 전압을 전달 받아 이를 토대로 문턱전압 및 이동도 중 하나 이상을 포함하는 구동 트랜지스터(DT)의 특성정보를 보상하는 데 이터 변환 처리를 수행할 수 있다.
- [0203] 전술한 보상부(93)는, 센싱부(91)로부터 센싱된 전압을 디지털 형태로 받기만 하면, 유기전계발광 표시장치(10) 내 그 어떠한 위치에 있어도 무관할 수 있다.
- [0204] 예를 들어, 보상부(93)는, 타이밍 컨트롤러(14)의 내부에 포함되거나, 데이터 구동부(12)의 내부에 포함되거나, 타이밍 컨트롤러(14)와 데이터 구동부(12)의 외부에 포함되어 구현될 수 있다.
- [0205] 도 10은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)에 포함된 외부 보상 구성 중 보상부(93)가 타이밍 컨트롤러(14)의 내부에 포함되어 구현된 경우(a), 타이밍 컨트롤러(14)와 데이터 구동부(12)의 외부에 포함되어 구현된 경우(b), 데이터 구동부(12)의 내부에 포함되어 구현된 경우(c) 각각을 개념적으로 나타낸 구현 방식의 예시도이다.
- [0206] 단, 도 10에서는, 센싱부(91)가 데이터 구동부(12) 내에 포함되어 구현된 경우로 가정한다.
- [0207] 도 10의 (a)를 참조하면, 보상부(93)가 데이터 구동부(12)의 내부에 포함되어 구현된 경우, 센싱부(91)가 해당 화소(P)에서 센싱한 전압(SI)을 타이밍 컨트롤러(14) 내부의 보상부(93)로 전달하고, 데이터 구동부(12)의 내부에 포함된 보상부(93)는 센싱부(91)에서 전달된 전압(SI)을 토대로 구동 트랜지스터(DT)의 특성정보를 파악하고 이에 기초하여 외부에서 공급된 데이터(Data)를 전달받은 보상 데이터(Data')로 변환하여 데이터 구동부(12)의 내부에 있는 DAC(Digital Analog Converter)로 공급할 수 있다. 이에 따라, 데이터 구동부(12)의 내부에 있는 DAC(Digital Analog Converter)는 보상부(93)로부터 공급받은 디지털 형태의 보상 데이터(Data')를 아날로그로 변환하여 해당 화소(P)로 공급해준다.
- [0208] 도 10의 (b)를 참조하면, 보상부(93)가 타이밍 컨트롤러(14)와 데이터 구동부(12)의 외부에 포함되어 구현된 경우, 센싱부(91)가 해당 화소(P)에서 센싱한 전압(SI)을 데이터 구동부(12)와 타이밍 컨트롤러(14)의 외부에 있는 보상부(93)로 전달하고, 보상부(93)는 센싱부(91)에서 전달된 전압(SI)을 토대로 구동 트랜지스터(DT)의 특성정보를 파악하고 이에 기초하여 타이밍 컨트롤러(14)에서 공급된 데이터(Data)를 보상 데이터(Data')로 변환하여 데이터 구동부(12)로 공급할 수 있다. 데이터 구동부(12)는 내부에 있는 DAC(Digital Analog Converter)를 통해 보상부(93)로부터 공급받은 디지털 형태의 보상 데이터(Data')를 아날로그로 변환하여 해당 화소(P)로 공급해준다.
- [0209] 도 10의 (c)를 참조하면, 보상부(93)가 데이터 구동부(12)의 내부에 포함되어 구현된 경우, 데이터 구동부(12) 내부의 센싱부(91)가 해당 화소(P)에서 센싱한 전압(SI)을 데이터 구동부(12) 내부의 보상부(93)로 전달하고, 보상부(93)는 센싱부(91)에서 전달된 전압(SI)을 토대로 구동 트랜지스터(DT)의 특성정보를 파악하고 이에 기초하여 타이밍 컨트롤러(14)에서 공급된 데이터(Data)를 보상 데이터(Data')로 변환하여 DAC(Digital Analog Converter)로 공급할 수 있다. 이에 따라, DAC(Digital Analog Converter)는 보상부(93)로부터 공급받은 디지털 형태의 보상 데이터(Data')를 아날로그로 변환하고, 아날로그로 변환된 보상 데이터(데이터 전압)를 해당 화소(P)로 공급해준다.
- [0210] 도 10의 (b) 및 (c)에서, 보상부(93)가 데이터(Data)를 공급받는 방법에 있어서, 타이밍 컨트롤러(14)로부터 직접 공급받을 수도 있지만, 타이밍 컨트롤러(14)가 메모리에 데이터를 저장해두면, 메모리에 저장된 데이터를 읽어오는 방식으로 공급받을 수도 있다.
- [0211] 도 10의 (a) 내지 (c)에 도시된 보상부(93)의 구현 예는, 디지털 형태의 데이터(Data)를 디지털 형태의 보상 데이터(Data')로 변환하여 보상하는 디지털 기반의 보상 방식(데이터 변환 방식)이다. 이 경우, 디지털 형태의 데이터(Data)에 구동 트랜지스터(DT)의 특성정보의 디지털 값을 더하거나 빼는 등의 연산 처리를 통해 디지털 형태의 보상 데이터(Data')를 생성할 수 있다.
- [0212] 도 11은 도 10의 (a) 내지 (c)의 경우에 대하여, 외부 보상 구성(센싱부(91), 메모리(92) 및 보상부(93))을 하나의 화소(P)에 대한 등가회로와 함께 나타낸 도면이다.
- [0213] 한편, 기준전압 라인 개수가 데이터 라인 개수와 동일한 경우, 즉, 수평 방향(타 방향)으로 배치된 각 화소(P)마다 기준전압 라인이 하나씩 형성되어 있는 경우, 수평 방향(타 방향)으로 배치된 각 화소(P)에 대응되는 센싱부(91)가 있을 수 있다. 이렇게 되면, 수평 방향(타 방향)으로 배치된 모든 화소들에 대하여 동시에 센싱 동작

을 수행할 수 있다. 즉, 도 5에서 기준전압 라인(RVL)이 4개의 화소(P1~P4) 각각에 대응되어 형성되어 있다면, 동시에, 4개의 화소(P1~P4) 각각에서의 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱할 수 있다.

[0214] 하지만, 기준전압 라인 개수가 데이터 라인 개수보다 적은 경우, 일 예로, 기준전압 라인 개수가 데이터 라인 개수의 1/4인 경우, 즉, 수평 방향(타 방향)으로 배치된 4개의 화소(P)마다 기준전압 라인이 하나씩 형성되어 있는 경우, 수평 방향(타 방향)으로 배치된 모든 화소들에 대하여 동시에 센싱 동작을 수행할 수 없고, 4개의 화소마다 하나의 화소에 대하여 센싱 동작을 수행할 수 있다. 즉, 도 5에서와 같이 4개의 화소(P1~P4)에 대하여 하나의 기준전압 라인(RVL)이 형성되어 있다면, 4개의 화소(P1~P4) 각각의 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 동시에 센싱할 수 없고, 특정 시점에서는 4개의 화소(P1~P4) 중 하나의 화소의 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압만을 센싱할 수 있다.

[0215] 따라서, 특정 시점에서 4개의 화소(P1~P4) 중 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱하기 위한 화소를 선택하는 기능이 필요할 수 있다.

[0216] 이를 위한 방법의 예로서, 제2 스위치(SW2)의 온/오프를 제어하여 화소를 선택하는 제1방법과, 제2 스위치(SW2)를 모두 온 시키되 각 화소에 인가되는 전압을 다르게 하는 제2방법이 있을 수 있다.

[0217] 제1방법과 관련하여, 타이밍 컨트롤러(14)는, 일 예로, 4n-3 번째 데이터 라인(DL(4n-3)), 4n-2 번째 데이터 라인(DL(4n-2)), 4n-1 번째 데이터 라인(DL(4n-1)) 및 4n 번째 데이터(DL(4n)) 라인 각각에 연결된 제2 스위치(SW2) 중에서 동일 시점에 하나만 온이 되도록 제어함으로써, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소, 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소 및 4n 번째 데이터(DL(4n)) 라인과 연결된 화소 중 하나의 화소에 포함된 구동 트랜지스터(DT)의 제2노드(N2)에만 데이터 전압(Vdata)가 인가되도록 해 줄 수 있다. 이로 인해, 센싱부(91)에 의해 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱하기 위한 화소가 선택되도록 제어할 수 있다. 이러한 센싱을 위한 화소 선택 방식은 도 12를 참조하여 예시적으로 설명한다.

[0218] 도 12는 도 10의 구현 방식에 따른 외부 보상 구성과 다수의 화소(P1~P4)를 함께 나타낸 도면이다.

[0219] 도 12는 4개의 화소(P1~P4) 중 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)를 선택하고, 선택된 화소의 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱하여 선택된 화소의 구동 트랜지스터(DT)의 특성 정보(문턱전압, 이동도)를 파악하고 이를 보상해주는 것을 나타낸 도면이다.

[0220] 도 12를 참조하면, 타이밍 컨트롤러(14)는, 4개의 화소(P1~P4) 중 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)를 선택하기 위하여, 4개의 화소(P1~P4)와 데이터 전압을 공급할 수 있는 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과의 연결을 스위칭하는 4개의 제2 스위치(914a, 914b, 914c, 914d) 중에서, 4n-1 번째 데이터 라인(DL(4n-1))과의 연결을 스위칭하는 제2 스위치(914c)만이 온(On) 되고 나머지 제1 스위치(914a, 914b, 914d)는 오프(Off) 되도록 하는 제어신호(제2 스위치 제어신호)를 각 센싱부(91) 또는 데이터 구동부(12)로 보낼 수 있다.

[0221] 한편, 화소 선택을 위한 제2방법과 관련하여, 4n-3 번째 데이터 라인, 4n-2 번째 데이터 라인, 4n-1 번째 데이터 라인 및 4n 번째 데이터 라인 각각에 연결된 제2 스위치(SW2)를 모두 온 시키되, 4n-3 번째 데이터 라인, 4n-2 번째 데이터 라인, 4n-1 번째 데이터 라인 및 4n 번째 데이터 라인 각각에 연결된 제2 스위치(SW2)를 통해 입력되는 전압을 다르게 제어함으로써, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소, 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소 및 4n 번째 데이터(DL(4n)) 라인과 연결된 화소 중 하나의 화소에 포함된 구동 트랜지스터(DT)의 제2노드(N2)에만 데이터 전압(Vdata)가 인가되도록 해 줄 수 있다. 이로 인해, 센싱부(91)에 의해 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱하기 위한 화소가 선택되도록 제어할 수 있다.

[0222] 일 예로, 도 12에서와 같이, 타이밍 컨트롤러(14)는, 4개의 화소(P1~P4) 중 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)를 선택하기 위하여, 센싱을 위한 화소(P3)에만 센싱에 필요한 데이터 전압(Vdata)가 입력되고, 나머지 화소(P1, P2, P4)에는 데이터 전압과는 다른 일정 전압(오프 되는 전압으로서, 일 예로, 0.5V)이 입력되도록 입력 전압을 제어함으로써, 센싱을 위한 화소가 선택되도록 제어할 수 있다.

[0223] 한편, 도 10의 (a) 내지 (c)에 도시된 보상부(93)의 구현 예, 즉, 디지털 기반의 보상 방식(데이터 변환 방식) 이외에도, 도 13에 도시된 바와 같이, 데이터 구동부(12)가 타이밍 컨트롤러(14)로부터 디지털 형태의 데이터(Data)를 공급받아 데이터 구동부(12)의 DAC가 디지털 형태의 데이터(Data)를 감마 기준전압을 이용하여 아날로

그로 변환하고, 보상부(93)는 센싱부(91)로부터 전달받은 트랜지스터(DT)의 특성 정보(SI)를 아날로그 값으로 변환하여, 아날로그 값으로 변환된 특성 정보에 기초하여, 아날로그로 변환된 데이터(Analog Data)를 변환하여 보상 데이터로서의 데이터 전압을 생성할 수도 있다. 이 방식은 완전한 아날로그 기반의 보상 방식(데이터 변환 방식)이다.

- [0224] 이러한 완전한 아날로그 기반의 보상 방식 이외에도, 도 14에 도시된 바와 같이, 데이터 구동부(12)가 타이밍 컨트롤러(14)로부터 디지털 형태의 데이터(Data)를 공급받아 데이터 구동부(12)의 DAC(보상부(93) 포함)가 디지털 형태의 데이터(Data)를 감마 기준전압을 이용하여 아날로그로 변환할 때 센싱부(91)로부터 전달받은 트랜지스터(DT)의 특성 정보를 이용하여 보상 데이터(Data')를 생성하고 이를 아날로그 형태로 변환하여 데이터 전압을 생성할 수도 있다. 이 방식도 염밀히 말해서는 디지털 형태로 데이터가 변환되지만, 아날로그로 변환하는 단계(DAC 단계)에서 이루어지므로 아날로그 기반의 보상 방식(데이터 변환 방식)이라고 한다.
- [0225] 이상에서 간략하게 설명한 센싱 동작(센싱 기능) 및 보상 기능(센싱 동작)은, 구동 동작(구동 기능)과 함께, 도 17 내지 도 24를 참조하여 더욱 상세하게 설명한다.
- [0226] 아래에서는, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 전체 시스템 구성 중에서 이상에서 설명한 표시패널(11), 센싱부(91), 보상부(93) 등을 설명하였으며, 이하에서는, 데이터 구동부(12) 및 게이트 구동부(13)에 대하여 도 15a, 도 15b 및 도 16을 참조하여 간략하게 설명한다.
- [0227] 도 15a 및 도 15b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)에 포함된 데이터 구동부(12)에 대한 구성도이다.
- [0228] 도 15a는 데이터 구동부(12)가 보상 데이터를 공급받아 데이터 라인을 구동하는 경우에 대하여, 데이터 구동부(12)를 나타낸 도면이고, 도 15b는 보상부(93)를 포함하는 데이터 구동부(12)를 나타낸 도면이다.
- [0229] 도 15a를 참조하면, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)에 포함된 데이터 구동부(12)는, 쉬프트 레지스터(151), 제1 데이터 레지스터(152), 제2 데이터 레지스터(153), 디지털/아날로그 변환부(154; DAC: Digital Analog Converter), 출력 버퍼(155), 데이터 수신부(156) 등을 포함한다.
- [0230] 데이터 수신부(156)는 타이밍 컨트롤러(14) 또는 데이터 구동부(12)의 내부에 포함되거나 타이밍 컨트롤러(14)와 데이터 구동부(12)의 외부에 포함된 보상부(93)으로부터 보상 데이터(Data')를 입력받고 RGB별로 각각 소정의 비트 디지털 데이터로 전환하여 출력한다.
- [0231] 쉬프트 레지스터(151)는, 라인 바이 라인(Line By Line) 구동을 하기 위하여, 수평클럭신호(Hclock)와 수평동기신호(Hsync)로 동작 시간을 제어하는데, 즉, 수평동기신호(Hsync), 수평클럭신호(Hclock)를 타이밍 컨트롤러(14)로부터 입력받아, 수평동기신호(Hsync)를 시작신호로 선택한 한 개의 게이트 라인(GL)에 해당하는 모든 데이터(Data')가 수평클럭신호(Hclock)에 동기화되어 순차적으로 제1 데이터 레지스터(152)에 샘플링되어 저장되도록 한다.
- [0232] 제1 데이터 레지스터(152)는 $m-1$ 번째 게이트 라인(GL($m-1$))의 화소들이 구현하려는 데이터(Data')를 순서대로 저장한다.
- [0233] 제2 데이터 레지스터(153)는 다음 수평동기신호(Hsync)에 따라 제1 데이터 레지스터(152)에 저장된 데이터(Data')를 저장한다. 이때, 제1 데이터 레지스터(152)에는 m 번째 게이트 라인(GL(m))의 화소들이 구현하려는 데이터(Data')가 순서대로 저장된다.
- [0234] 위에서 언급한 제1 데이터 레지스터(152) 및 제2 데이터 레지스터(153) 각각은, 인버터(Inverter) 두개로 출력과 입력이 서로 연결된 래치(Latch)로 구현될 수 있으며, 따라서, 제1 데이터 레지스터(152) 및 제2 데이터 레지스터(153) 각각을 제1 래치 및 제2 래치라고도 한다.
- [0235] DAC(154)는 외부에서 공급된 감마 기준전압을 기준으로 제2 데이터 레지스터(153)에 저장된 디지털 형태의 데이터(Data')를 아날로그 형태의 데이터 전압으로 변환한다.
- [0236] 출력 버퍼(155)는, 화소 구동력을 증폭시켜, 즉, 데이터 라인을 구동하기에 충분한 전류 구동능력을 갖추도록 하여, 데이터 전압을 데이터 라인을 통해 공급한다.
- [0237] 도 15b는 보상부(93)를 포함하는 데이터 구동부(12)를 나타낸 도면이다.
- [0238] 도 15b를 참조하면, 데이터 구동부(12)는 보상되지 않은 데이터를 타이밍 컨트롤러(14)로부터 공급받아, 내부에

포함된 보상부(93)가 데이터를 보상하여 데이터 라인을 구동할 수 있다.

[0239] 도 15b에 도시된 데이터 구동부(12)는, 도 15a에 도시된 데이터 구동부(12)와는 다르게, 보상되지 않은 데이터를 공급받기 때문에, 데이터 수신부(156)와 DAC(154)의 기능이 달라진다.

[0240] 도 15b를 참조하면, 데이터 수신부(156)는 타이밍 컨트롤러(14)로부터 보상되기 전의 데이터(Data)를 입력받고 RGB별로 각각 소정의 비트 디지털 데이터로 전환하여 출력한다.

[0241] DAC(154)는 외부에서 공급된 감마 기준전압을 기준으로 제2 데이터 레지스터(153)에 저장된 디지털 형태의 데이터(Data)를 아날로그 형태의 데이터 전압으로 변환할 때, 센싱부(91)로부터 더 입력받은 센싱 전압(SI)를 더 고려하여, 변환할 수 있다. 따라서, 도 15b의 데이터 구동부(12)에 포함된 DAC(154)는 보상부(93)를 내부 구성으로 포함한다.

[0242] 도 16은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)에 포함된 게이트 구동부(13)에 대한 구성도이다.

[0243] 도 16을 참조하면, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)에 포함된 게이트 구동부(13)는, 쉬프트 레지스터(161), 레벨 쉬프터(162), 출력 버퍼(163) 등을 포함한다.

[0244] 쉬프트 레지스터(161)는 타이밍 컨트롤러(14)로부터 한 프레임의 시작을 알리는 수직동기신호(Vsync)를 받아 스캔 펄스를 발생시키기 시작하여 수직클럭신호(Vclock)에 따라 스캔 펄스의 출력이 차례로 턴 온 되도록 한다. 또한, 출력 가능 신호(OE: Output Enable)를 이용하여 게이트 라인의 충전시간을 단축함으로써, 신호지연의 영향을 방지하는 등의 논리연산 회로가 포함될 수 있다.

[0245] 레벨 쉬프터(162)는, 제1, 2 트랜지스터(T1, T2)를 온/오프 시킬 수 있는 전압으로 스캔 펄스를 변환해준다. 즉, 온 전압 신호(Von) 및 오프 전압 신호(Voff)에 따라, 저전압을 제1, 2 트랜지스터(T1, T2)를 턴 온시키거나 턴 온프 시키는데 필요한 일정 전압 이상의 온 전압(Von)과 일정 전압 이하의 오프 전압(Voff)으로 변환한다.

[0246] 출력 버퍼(163)는 RC 부하를 갖는 게이트 라인(GL)을 구동하기에 적절하도록 전류 구동 능력을 향상시켜 스캔신호를 출력해 주는 회로로 구성될 수 있다.

[0247] 한편, 게이트 구동부(13)는 제1, 2 트랜지스터(T1, T2)의 게이트 노드로 하나의 게이트 라인(GL)을 통해 스캔신호를 공급한다.

[0248] 또한, 게이트 구동부(13)는, 타이밍 컨트롤러(14)의 제어신호에 따라 제1, 2 트랜지스터(T1, T2)가 턴 온 되도록 하는 스캔신호 레벨(제2레벨(VGH) 또는 제1레벨(VGL))로 유지되는 시간이 1 수평시간(HT: Horizontal Time) 이상이 되는 스캔신호를 공급할 수 있다. 여기서, 1 수평시간은 데이터 전압이 제2레벨(VGH)로 인가되는 시간일 수 있다. 이러한 관점에서, 제1, 2 트랜지스터(T1, T2)가 턴 온 되도록 하는 스캔신호가 1 수평시간 이상 공급 된다는 것은, 제1, 2 트랜지스터(T1, T2)가 턴 온 되도록 하는 스캔신호가 공급되는 시간이 데이터 전압이 제2레벨(VGH)로 공급되는 시간 이상이 될 수 있다는 것을 의미하고, 즉, 제1, 2 트랜지스터(T1, T2)가 턴 온 되도록 하는 스캔신호가 제2레벨(VGH)의 데이터 전압보다 더 오래 공급된다는 것을 의미한다.

[0249] 또한, 게이트 구동부(13)는, 타이밍 컨트롤러(14)의 제어신호에 따라 제1, 2 트랜지스터(T1, T2)가 턴 온 되도록 하는 스캔신호 레벨(제2레벨(VGH) 또는 제1레벨(VGL))로 변경된 시점이 데이터 전압의 인가 시점보다 더 빠른 스캔신호를 공급할 수 있다.

[0250] 전술한 바와 같이, 제1, 2 트랜지스터(T1, T2)가 턴 온 되도록 하는 레벨(제2레벨(VGH) 또는 제1레벨(VGL))로 유지되는 시간이 1 수평시간(HT) 이상이 되는 스캔신호를 공급하거나, 제1, 2 트랜지스터(T1, T2)가 턴 온 되도록 하는 레벨(제2레벨(VGH) 또는 제1레벨(VGL))로 변경된 시점이 데이터 전압의 인가 시점보다 더 빠른 스캔신호를 공급하는 이유는, 데이터 차징(Data Charging)을 위한 것이다.

[0251] 이와 관련하여, 스캔신호의 공급 경로인 게이트 라인(GL)의 길이가 길어지는 경우, 선택된 게이트 라인(GL)에 연결된 화소 각각에 스캔신호가 도달하는데 걸리는 시간이 화소마다 달라질 수 있다. 즉, 스캔신호가 공급되는 방향으로 처음에 위치한 화소에서 뒤로 갈수록 스캔신호가 도달하는데 걸리는 시간이 더 오래 걸릴 수 있다. 이러한 경우, 스캔신호를 늦게 공급받은 화소는, 스캔신호를 일찍 공급받은 화소에 비해, 데이터 차징 시간이 부족하여 해당 화소에서의 발광 타이밍이 늦어지거나 원하는 밝기를 내지 못하는 현상이 발생할 수 있다. 이러한 현상은 대면적 또는 고해상도의 표시패널(11)에서 더 심각하게 발생할 수 있을 것이다. 따라서, 전술한 바와 같이, 스캔신호를 데이터 전압이 인가되기 이전에 미리 길게 인가해줌으로써, 화소 간의 스캔신호 도달 시간 차이

에 따른 데이터 차징이 부족하거나 화질이 저하되는 현상을 줄여줄 수 있을 것이다.

[0252] 또한, 게이트 구동부(13)는, 타이밍 컨트롤러(14)의 제어신호에 따라, 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱할 수 있는 센싱 타임을 길게 또는 짧게 조절할 수 있도록, 센싱 타임의 길이에 대응되는 시간 동안 제1, 2 트랜지스터(T1, T2)가 온 되도록 하는 스캔신호를 공급할 수 있다. 이는 화소가 센싱 모드 중 S-센싱 모드와 F-센싱 모드를 구분하여 동작하는데 필요한 것이다.

[0253] 아래에서는, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 구동방법에 대하여 도 17 내지 도 24를 참조하여 설명한다.

[0254] 도 17은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 구동방법에 대한 흐름도이다.

[0255] 도 17을 참조하면, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 구동방법은, 기준전압 라인(RVL) 또는 기준전압 라인(RVL)에 연결되는 연결패턴(CP)과 구동 트랜지스터(DT)의 제1노드 사이를 연결하는 제1 트랜지스터(T1)와, 데이터 라인 및 구동 트랜지스터(DT)의 제2노드 사이를 연결하는 제2 트랜지스터(T2)에 스캔신호를 공통으로 공급하고, 스캔신호에 의해 공통으로 제어되는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 통해 기준전압 및 데이터 전압을 구동 트랜지스터(DT)의 제1노드 및 제2노드에 각각 공급하는 단계(S170)와, 화소가 구동 모드 및 센싱 모드 중 하나의 동작 모드로 동작하도록, 기준전압, 데이터 전압 및 스캔신호 중 하나 이상에 대한 공급을 제어하는 단계(S172) 등을 포함한다.

[0256] 도 17을 참조하면, S172 단계에서, 스캔신호의 레벨을 제1 레벨에서 제2 레벨로 바꾸어 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 턴 온시켜 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2)에 기준전압(Vref) 및 데이터 전압(Vdata)이 각각 인가되도록 하고, 이후, 스캔신호의 레벨을 다시 제1 레벨로 바꿈으로써, 구동 트랜지스터(DT)에 의해 유기발광다이오드를 구동하는 구동 단계(S174)를 더 포함할 수 있다. 이때, 화소는 구동 모드(Driving Mode)로 동작한다고 한다.

[0257] 또한, 도 17을 참조하면, S172 단계에서, 스캔신호의 레벨을 제1 레벨에서 제2 레벨로 바꾸어 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 턴 온시켜 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2)에 기준전압(Vref) 및 데이터 전압(Vdata)이 각각 인가되도록 하고, 이후, 구동 트랜지스터(DT)의 제1노드(N1)에 인가된 기준전압(Vref)만을 플로팅(Floating) 시킴으로써, 구동 트랜지스터(DT)의 제1노드(N1)에서 변화된 전압을 센싱하는 S-센싱(Slow-Sensing) 단계(S176)를 더 포함할 수 있다. 이때, 화소는 S-센싱 모드(S-Sensing Mode)로 동작한다고 한다.

[0258] 또한, 도 17을 참조하면, S172 단계에서, 스캔신호의 레벨을 바꾸어 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 턴 온시켜 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2)에 기준전압(Vref) 및 데이터 전압(Vdata)이 각각 인가되도록 하고, 이후, 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2)에 기준전압(Vref) 및 데이터 전압(Vdata)을 모두 플로팅(Floating) 시키거나 기준전압(Vref)만을 플로팅시킴으로써, 구동 트랜지스터(DT)의 제1노드(N1)에서 변화된 전압을 센싱하는 F-센싱(Fast-Sensing) 단계(S178)를 더 포함할 수 있다. 이때, 화소는 F-센싱 모드(F-Sensing Mode)로 동작한다고 한다.

[0259] 전술한 S-센싱 단계(S176)에서는, 구동 트랜지스터(DT)의 제1노드(N1)에 인가된 기준전압(Vref)만을 플로팅시킨 시점부터 스캔신호의 레벨이 제1 레벨로 다시 바뀔 때까지의 시간을 “S-센싱 타임(S-Sensing Time)”으로 하여 구동 트랜지스터(DT)의 제1노드(N1)에서 변화된 전압을 센싱할 수 있다.

[0260] 전술한 F-센싱 단계(S178)에서는, 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2)에 기준전압(Vref) 및 데이터 전압(Vdata)을 모두 플로팅시키거나 기준전압(Vref)만을 플로팅시킨 시점부터 스캔신호의 레벨이 제1 레벨로 다시 바뀔 때까지의 시간을 “F-센싱 타임(F-Sensing Time)”으로 하여 구동 트랜지스터(DT)의 제1노드(N1)에서 변화된 전압을 센싱할 수 있다.

[0261] 위에서 언급한 S-센싱 타임은 F-센싱 타임보다 길다. S-센싱 타임과 F-센싱 타임은 화소 내 구동 트랜지스터(DT) 등의 소자 특성에 따라 달라질 수 있지만, 예를 들어, S-센싱 타임은 대략 10msec 정도되고, F-센싱 타임은 대략 100 μ sec 정도 된다.

[0262] 이러한 S-센싱 타임과 F-센싱 타임의 길이는, 타이밍 컨트롤러(14)의 제어신호에 따라 게이트 구동부(13)에서 제1, 2 트랜지스터에 공통으로 공급하는 스캔신호로 제어될 수 있다. 즉, S-센싱 타임과 F-센싱 타임의 길이는 제1, 2 트랜지스터(T1, T2)를 턴 온시키는 스캔신호의 레벨이 유지되는 시간을 조절함으로써, 제어될 수 있다.

[0263] 전술한 S-센싱 단계(S176)는, 유기전계발광 표시장치(10)의 출하 이전에만 동작하는 단계이고, 전술한 F-센싱

단계(S178)는 유기전계발광 표시장치(10)의 출하 이전 및 이후에 모두 동작할 수 있는 단계로 설정될 수 있다. 여기서, 유기전계발광 표시장치(10)의 출하 이전 및 이후는, 유기전계발광 표시장치(10)의 시리얼 번호, 출하 여부 정보, 또는 동작 가능한 센싱 단계 식별 정보 등의 저장 여부에 따라 구분될 수 있다.

[0264] 한편, 도 17에 도시된 바와 같이, S-센싱 단계(S176) 또는 F-센싱 단계(S178) 이후, 센싱된 전압을 토대로 구동 트랜지스터(DT)의 문턱전압 및 이동도 중 하나 이상을 보상하는 보상 단계(S180)를 더 포함할 수 있다.

[0265] 이상에서 전술한 바와 같이, 화소는 구동 모드 및 센싱 모드(S-센싱 모드, F-센싱 모드) 중 하나로 동작할 수 있는데, 이러한 화소의 동작 모드를 타이밍 컨트롤러(14)가 제어할 수 있다.

[0266] 일 예로, 타이밍 컨트롤러(14)는, 제1 스위치(SW1) 및 제2 스위치(SW2)의 스위칭 동작(ON/OFF)과 스캔신호의 과형을 제어하여, 제2 스위치(SW2)에 의해 데이터 전압의 공급이 가능한 화소가 구동 모드 및 센싱 모드 중 하나의 동작 모드로 동작하도록 제어할 수 있다.

[0267] 도 18은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소가 동작하는 3가지 모드(구동 모드, S-센싱 모드, F-센싱 모드)에 대한 스캔신호의 과형과 제1 스위치(SW1, 913) 및 제2 스위치(SW2, 914)에 대한 동작 타이밍도이다.

[0268] 도 18에서, 스캔신호의 레벨은 제1레벨이거나 제2레벨일 수 있으며, 스캔신호의 레벨이 제2레벨일 때 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 턴 온(Turn-On) 될 수 있다. 본 명세서에서는, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)을 N타입으로 예시하고 있으므로, 제1레벨은 로우 레벨(VGL)이고 제2레벨은 하이 레벨(VGH)이다. 제1 트랜지스터(T1)와 제2 트랜지스터(T2)의 타입이 P타입으로 바뀌는 경우, 제2레벨이 로우 레벨(VGL)이고 제1 레벨이 하이 레벨(VGH)일 수 있다.

[0269] 먼저, 구동 모드의 타이밍도를 나타낸 도 18의 (a)를 참조하면, 타이밍 컨트롤러(14)는, 제1 스위치(SW1) 및 제2 스위치(SW2)를 항상 온(ON)이 되도록 제어하고, 스캔신호 레벨이 제1레벨(VGL)에서 제2레벨(VGH)로 바뀌고, 다시 제1레벨(VGL)로 바뀌는 스캔신호를 공급함으로써, 제2 스위치(SW2)에 의해 데이터 전압의 공급이 가능한 화소가 구동 모드로 동작하도록 제어한다.

[0270] 즉, 타이밍 컨트롤러(14)는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호가 일정 시간 동안 공급되고, 제1 스위치(SW1) 및 제2 스위치(SW2)가 항상 온(ON)이 되도록 제어하여, 제2 스위치(SW2)에 의해 데이터 전압의 공급이 가능한 화소가 구동 모드로 동작하도록 제어할 수 있다.

[0271] 이러한 구동 모드에서, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호가 일정 시간 동안 공급되는 구간, 즉, 스캔신호 레벨이 제2레벨(VGH)인 구간은 초기화 단계(STEP1)이고, 스캔신호 레벨이 제1레벨(VGL)로 바뀐 이후 구간은 구동 단계(STEP2)이다.

[0272] 또한, 구동 모드와 관련하여, 게이트 구동부(130)는, 구동 트랜지스터(DT)의 제2노드(N2)에 데이터 전압이 인가 되도록 스캔신호의 레벨을 제1레벨(VGL)에서 제2레벨(VGH)로 바꾸어 공급하되, 제어 신호에 따라 스캔신호의 하이 제2레벨(VGH) 구간이 1 수평 시간 이상이 되도록 공급할 수 있다. 즉, 게이트 구동부(130)는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 스캔신호를 1 수평 시간 이상 공급할 수 있다.

[0273] 또한, 게이트 구동부(130)는, 스캔신호의 레벨을 제1레벨(VGL)에서 제2레벨(VGH)로 변경하는 시점이 데이터 전압의 레벨이 제2레벨(VGH)로 변경되는 시점(즉, 스캔신호 인가 시점)보다 앞서도록 제어 신호에 따라 스캔신호를 제어할 수 있다. 즉, 게이트 구동부(130)는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호를 데이터 전압 공급 시점보다 앞서 공급할 수 있다.

[0274] 다음으로, S-센싱 모드의 타이밍도를 나타낸 도 18의 (b)를 참조하면, 타이밍 컨트롤러(14)는, 제1 스위치(SW1)가 오프에서 온이 되도록 제어하고 이때 제2 스위치(SW2)가 온이 계속해서 유지되도록 제어하여, 제2 스위치(SW2)에 의해 데이터 전압의 공급이 가능한 화소가 센싱 모드 중 S-센싱 모드로 동작하기 시작하도록 제어할 수 있다.

[0275] 즉, 타이밍 컨트롤러(14)는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호가 일정 시간(S-센싱 모드 전체 구간) 공급되는 동안, 제1 스위치(SW1) 및 제2 스위치(SW2)가 온 되어 있다가 제1 스위치(SW1)만 오프 되도록 제어함으로써, 제2 스위치(SW2)에 의해 데이터 전압의 공급이 가능한 화소가 센싱 모드 중 S-센싱 모드로 동작하도록 제어할 수 있다.

[0276] 더욱 상세하게 설명하면, 타이밍 컨트롤러(14)는, 제2 스위치(SW2)가 온 일 때 제1 스위치(SW1)를 온 시켜서 제

1 스위치(SW1) 및 제2 스위치(SW2)가 함께 온이 되도록 제어하여, 스캔신호에 의해 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 제어되어 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)에 기준전압(Vref)과 데이터 전압(Vdata)이 각각 인가되도록 제어한 이후, 제1 스위치(SW1)만 오프가 되도록 제어하여, 구동 트랜지스터(DT)의 제1노드(N1)에서의 전압이 변화되도록 제어할 수 있다.

[0277] 이에 따라, 센싱부(91)는, 제1 스위치(SW1)만 오프가 된 시점부터 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호의 공급이 끝나는 시점(즉, 스캔신호의 레벨이 제2레벨(VGH)에서 제1레벨(VGL)로 바뀌는 시점)까지를 S-센싱 타임으로 하여, S-센싱 타임 사이에 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압(Vdata-Vth)을 센싱할 수 있다.

[0278] 스캔신호 레벨이 제2레벨(VGH)인 구간은 S-센싱 모드 전체 구간이고, 이러한 S-센싱 모드 전체 구간에서, 제1 스위치(SW1)과 제2 스위치(SW2)가 모두 온인 구간은 초기화 단계(STEP1)이고, 제1 스위치(SW1)만 오프가 된 구간은 센싱 단계(STEP2)이다.

[0279] 또 다음으로, F-센싱 모드의 타이밍도를 나타낸 도 18의 (c)를 참조하면, 타이밍 컨트롤러(14)는, 제1 스위치(SW1) 및 제2 스위치(SW2)를 함께 오프에서 온이 되도록 제어하여, 제2 스위치(SW2)에 의해 데이터 전압의 공급이 가능한 화소가 센싱 모드 중 F-센싱 모드로 동작하기 시작하도록 제어할 수 있다.

[0280] 즉, 타이밍 컨트롤러(14)는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호가 일정 시간(F-센싱 모드 전체 구간) 공급되는 동안, 제1 스위치(SW1) 및 제2 스위치(SW2)가 온 되어 있다가 모두 오프 되거나 제1 스위치(SW1)만 오프 되도록 제어함으로써, 제2 스위치(SW2)에 의해 데이터 전압의 공급이 가능한 화소가 센싱 모드 중 F-센싱 모드로 동작하도록 제어할 수 있다.

[0281] 더욱 상세하게 설명하면, 타이밍 컨트롤러(14)는, 제1 스위치(SW1) 및 제2 스위치(SW2)가 함께 온이 되도록 제어하여, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)에 기준전압(Vref)과 데이터 전압(Vdata)이 각각 인가되도록 제어하고, 이후, 제1 스위치(SW1) 및 제2 스위치(SW2)가 모두 오프 되거나 제1 스위치(SW1)만 오프되도록 제어하여, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)에 공급되는 기준전압(Vref)과 데이터 전압(Vdata)을 플로팅(Floating)시키거나 기준전압(Vref)만을 플로팅시켜, 구동 트랜지스터(DT)의 제1노드(N1)에서의 전압이 변화되도록 제어할 수 있다.

[0282] 이에 따라, 센싱부(91)는, 제1 스위치(SW1) 및 제2 스위치(SW2)가 모두 오프가 된 시점 또는 제1 스위치(SW1)만 오프 된 시점부터 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호의 공급이 끝나는 시점(스캔신호의 레벨이 제2레벨(VGH)에서 제1레벨(VGL)로 바뀌는 시점)까지를 F-센싱 타임으로 하여, F-센싱 타임 사이에 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱할 수 있다. 여기서, F-센싱 타임은 S-센싱 타임보다는 상당히 짧은 시간이다.

[0283] 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호가 공급되는 시간, 즉, 스캔신호 레벨이 제2레벨(VGH)인 구간은 F-센싱 모드 전체 구간이다. 이러한 F-센싱 모드 전체 구간에서, 제1 스위치(SW1)과 제2 스위치(SW2)가 모두 온인 구간은 초기화 단계(STEP1)이고, 제1 스위치(SW1)과 제2 스위치(SW2)가 모두 오프하거나 제1 스위치(SW1)만 오프가 된 구간은 센싱 단계(STEP2)이다.

[0284] 여기서, F-센싱 모드의 센싱 단계(STEP2)는 S-센싱 모드의 센싱 단계(STEP2)보다 상당히 짧은 시간이다. 즉, F-센싱 타임은 S-센싱 타임보다는 상당히 짧은 시간이다. 이는, 타이밍 컨트롤러(14)의 제어에 따라, 게이트 구동부(13)가, S-센싱 모드에서보다 F-센싱 모드에서, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온 되도록 하는 스캔신호가 공급되는 시간을 훨씬 짧게 함으로써 가능해진다.

[0285] 도 18에서, 스캔신호의 제1레벨(VGL)과 제1 스위치(SW1) 및 제2 스위치(SW2)의 제1레벨(VGL)은 전압 값이 같을 수도 있고 다를 수도 있다. 또한, 스캔신호의 제2레벨(VGH)과 제1 스위치(SW1) 및 제2 스위치(SW2)의 제2레벨(VGH)은 전압 값이 같을 수도 있고 다를 수도 있다.

[0286] 아래에서는, 위에서 간략하게 설명한 3가지 동작 모드(구동 모드, S-센싱 모드, F-센싱 모드)에 대하여 더욱 상세하게 설명한다.

[0287] 먼저, 도 19a, 도 19b, 도 20을 참조하여 구동 모드에 대하여 설명한다.

[0288] 도 19a 및 도 19b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소가 구동 모드로 동작할 때의 회로도이다. 도 20은 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소가 구동 모드로 동작할

때의 전압 변화 그래프이다.

[0289] 도 19a는 도 18의 (a)에서 구동 모드의 초기화 단계(STEP1)에 대한 회로도이고, 도 19b는 도 18의 (a)에서 구동 단계(STEP2)에 대한 회로도이다.

[0290] 도 19a를 참조하면, 구동 모드의 초기화 단계(STEP1)에서는, 제1 스위치(SW1) 및 제2 스위치(SW2)가 온(ON)이고, 스캔신호 레벨이 제1레벨(VGL)에서 바뀐 제2레벨(VGH)이 유지되는 단계이다. 이때, 제1, 2 트랜지스터(T1, T2)는 턴 온 되어 있고, 구동 트랜지스터(DT)의 제1노드(N1)에 기준전압(Vref)이 인가되고 제2노드(N2)에 데이터 전압(Vdata)가 인가된 상태이다.

[0291] 여기서, 구동 트랜지스터(DT)의 제1노드(N1: 소스노드)와 제2노드(N2: 게이트 노드)의 전위차($V_{gs} = V_{data} - V_{th}$)가 구동 트랜지스터(DT)의 문턱전압(V_{th})보다 높아지도록, 기준전압(V_{ref})과 데이터 전압(V_{data})이 설정될 수 있다.

[0292] 유기발광다이오드에 전류가 흐르려면, 구동 트랜지스터(DT)의 제1노드(N1)의 전압이 유기발광다이오드의 문턱전압과 기저전압(EVSS)을 합한 전압보다 높아야 한다.

[0293] 초기화 단계(STEP1)에서 구동 트랜지스터(DT)의 제1노드(N1)의 전압이 기준전압(V_{ref})이고, 이 기준전압(V_{ref})은 유기발광다이오드에 전류가 흐를 수 있는 전압보다 낮은 전압이므로, 초기화 단계(STEP1)에서는 유기발광다이오드에 전류가 흐르지 않는다. 여기서, 기준전압(V_{ref})은, 유기발광다이오드에 전류가 흐를 수 있는 전압보다 낮도록, 기저전압(EVSS)에서 유기발광다이오드의 문턱전압(V_{th}')만큼 높은 전압보다 낮게 설정될 수 있다 ($V_{ref} < EVSS + V_{th}'$). 일 예로, 기저전압(EVSS)을 그라운드(GND) 전압으로 설정한 경우, 기준전압(V_{ref})은 유기발광다이오드의 문턱전압보다 낮게 설정될 수 있다.

[0294] 초기화 단계(STEP1)에서는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 각각에는 구동 트랜지스터(DT)를 턴 온 시킬 수 있는 정전압이 인가되어 있고, 구동 트랜지스터(DT)의 제1노드(N1)에 인가된 전압(V_{ref})은 유기발광다이오드로 전류가 흐르지 않도록 설정되어 있기 때문에, 구동 트랜지스터(DT)를 통해 흐르는 전류(I_{ds})는 제1노드(N1)를 거쳐 기준전압 라인(RVL)으로 흐르게 된다. 이때, 구동 트랜지스터(DT)의 제1노드(N1)의 전압은 바뀌지 않는다.

[0295] 이후, 도 20에 도시된 바와 같이, t_2 와 t_3 사이에 스캔신호의 전압이 낮아지게 되면, 즉, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 턴 온시켰던 스캔신호의 레벨이 제1레벨(VGL)로 바뀌어 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 오프되면, 이 시점부터 구동 단계(STEP2)가 시작된다. 이 시점이 도 18의 (b)에서 스캔신호의 레벨이 제1레벨(VGL)로 바뀌는 시점이다.

[0296] 이러한 구동 단계(STEP2)에서의 회로도를 나타낸 것이 도 19b이다.

[0297] 도 19b 및 도 20을 참조하면, 구동 단계(STEP2)에서는, 스캔신호의 전압이 낮아짐에 따라, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 각각의 전압의 정전압으로 유지할 수 없게 되고, 초기화 단계(STEP1)에서 제1 노드(N1)를 거쳐 기준전압 라인(RVL)으로 흐르던 구동 트랜지스터(DT)의 도통 전류(I_{ds})가 제1노드(N1)를 거쳐 기준전압 라인(RVL)으로 흐를 수 없게 되어 유기발광다이오드로 흐르게 되고, 유기발광다이오드가 발광을 하기 시작한다.

[0298] 또한, 구동 트랜지스터(DT)의 도통 전류(I_{ds})가 유기발광다이오드로 흐르게 됨에 따라, 구동 트랜지스터(DT)의 제1노드(N1)의 전압이 바뀌게 서서히 높아지게 되고, 구동 트랜지스터(DT)의 제2노드(N2)도 함께 서서히 높아지게 된다. 이러한 전압 상승은 구동 트랜지스터(DT)의 제1노드(N1)의 전압이 기저전압(EVSS)과 유기발광다이오드의 문턱전압을 합한 전압이 될 때까지 발생하고, 상승된 전압은 스토리지 캐패시터(Cst)에 의해 유지된다.

[0299] 다음으로, 도 21a, 도 21b, 도 22a, 도 22b를 참조하여 센싱 모드의 일종인 S-센싱 모드에 대하여 설명한다.

[0300] 도 21a 및 도 21b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소가 S-센싱 모드로 동작할 때의 회로도이다. 도 22a는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소가 S-센싱 모드로 동작할 때의 전압 변화 그래프이다. 도 22b는 각 화소의 구동 트랜지스터(DT)의 문턱전압 편차를 나타낸 $V_{gs} - I_{ds}$ 그래프이다.

[0301] 도 21a는 도 18의 (b)에서 S-센싱 모드의 초기화 단계(STEP1)에 대한 회로도이고, 도 21b는 도 18의 (b)에서 센싱 단계(STEP2)에 대한 회로도이다.

[0302] 도 21a를 참조하면, S-센싱 모드의 초기화 단계(STEP1)에서는, 제1 스위치(SW1) 및 제2 스위치(SW2)가 온(ON)이

고, 스캔신호 레벨이 제1레벨(VGL)에서 바뀐 제2레벨(VGH)이 유지되는 단계이다. 이때, 제1, 2 트랜지스터(T1, T2)는 턴 온 되어 있고, 구동 트랜지스터(DT)의 제1노드(N1)에 기준전압(Vref)이 인가되고 제2노드(N2)에 데이터 전압(Vdata)가 인가된 상태이다. 이때, 스토리지 캐패시터(Cst)는 충전되어, 양단(N1, N2)에 일정 전위차(Vdata-Vref)를 저장한다.

[0303] 도 18의 (b)를 참조하면, 제1 스위치(SW1)만 오프시킴으로써, 센싱 단계(STEP2)가 시작하여 스캔신호의 레벨이 제1레벨(VGL)로 바뀔 때까지 계속된다. 센싱 단계(STEP2)의 시간 길이가 S-센싱 모드에서의 S-센싱 타임이다.

[0304] 이러한 센싱 단계(STEP2)에서의 회로도가 도 21b이다.

[0305] 도 21b 및 도 22a를 참조하면, 센싱 단계(STEP2)에서는, 제2 스위치(SW2)가 온 되어 있으므로, 구동 트랜지스터(DT)의 제2노드(N2)의 전압(게이트 전압)이 정전압(Vdata)로 일정하게 유지되고 있고, 초기화 단계(STEP1)에서 스토리지 캐패시터(Cst)에 충전되어 있던 전하(Q)가 방전되면서 구동 트랜지스터(DT)의 제1노드(N1)의 전압(소스 전압)이 서서히 상승(Boosting)하기 시작한다.

[0306] 도 22a를 참조하면, 구동 트랜지스터(DT)의 제1노드(N1)의 전압(소스 전압)의 상승은 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 간의 전압 차이가 구동 트랜지스터(DT)의 문턱전압(Vth)이 될 때까지 일어난다. 이는, 하기 수학식 1에서와 같이, 구동 트랜지스터(DT)의 Vgs가 문턱전압(Vth)이 되었을 때, 구동 트랜지스터(DT)의 드레인 노드(N3) 및 소스 노드(N1) 간에 흐르는 전류(Ids)가 0이 되는 원리에 의한 것이며, 이는, 도 22b에 도시된 Vgs-Ids 그래프에서도 확인될 수 있다.

수학식 1

$$Ids = k(Vgs - Vth)^2, \text{ Where } k = \frac{1}{2} \mu Cox \frac{W}{L}$$

[0307]

[0308] 상기 수학식 1에서, Ids는 구동 트랜지스터(DT)의 드레인 노드(N3) 및 소스 노드(N1) 간에 흐르는 전류이고, Vgs는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 간의 전압 차이이고, Vth는 구동 트랜지스터(DT)의 문턱전압이다. k는 구동 트랜지스터(DT)의 이동도(Mobility)에 대한 성분으로서, 이동도(Mobility)인 μ , 옥사이드 캐패시턴스(Oxide Capacitance)인 Cox, 채널 폭(Channel Width)인 W, 채널 길이(Channel Length)인 L에 의해 정의된다.

[0309] 도 22a를 참조하면, 구동 트랜지스터(DT)의 제1노드(N1)의 전압(소스 전압)의 상승이 멈추었을 때, 센싱부(91)는 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압을 센싱하면 된다. 이때 센싱된 전압(Vsen)은 아래 수학식 2와 같다.

수학식 2

$$Vsen = Vdata - Vth$$

[0310]

[0311] 수학식 2에서, Vsen은 구동 트랜지스터(DT)의 제1노드(N1)에서 센싱된 전압이고, Vdata는 구동 트랜지스터(DT)의 제2노드(N2)에 인가된 정전압으로서의 데이터 전압이며, Vth는 구동 트랜지스터(DT)의 문턱전압이다.

[0312] 센싱부(91)에 의해 센싱된 전압(Vdata-Vth)을 디지털 값으로 변환하고, 이미 알고 있는 데이터 전압(Vdata)의 디지털 값에서 센싱 전압이 변환된 디지털 값을 빼면, 구동 트랜지스터(DT)의 문턱전압(Vth)을 알아낼 수 있다. 알아내어진 구동 트랜지스터(DT)의 문턱전압(Vth)은 메모리(92)에 저장될 수 있다. 데이터 전압(Vdata)가 이미 알고 있는 값이므로, 센싱 전압(Vdata-Vth)의 디지털 값을 메모리(92)에 그대로 저장해둘 수도 있다.

[0313] 도 22b를 참조하면, 메모리(92)에 저장된 각 화소 별 구동 트랜지스터(DT)의 문턱전압 (또는 센싱 전압)을 비교하면, 각 화소의 휘도 편차를 발생시킬 수 있는 각 화소 별 구동 트랜지스터(DT)의 문턱전압 편차(ΔVth)를 알아낼 수 있고, 이 문턱전압 편차를 보상하기 위해, 보상부(93)가 각 화소 별로 문턱전압 편차를 보상하기 위한 데이터 변환 처리를 수행될 수 있다.

- [0314] 도 22b를 참조하면, 만약, 기준 문턱전압(REF_Vth)이 0[volt]인 경우, 어떤 화소에서 문턱전압이 Vth로 파악된 경우, 이 화소에 데이터 전압을 공급할 때, 일 예로, 메모리(92)에서의 룩업 테이블(Lookup Table)에 저장된 기준 문턱전압(REF_Vth)을 참조하여, 이 화소에서 파악된 문턱전압과 기준 문턱전압의 편차($\Delta Vth=Vth-REF_Vth=Vth-0=Vth$)를 보상해주기 위하여, 원래의 데이터 전압(Vdata)에 문턱전압(Vth)을 더하여 생성한 보상 데이터 전압(Vdata+Vth)를 공급하여 문턱전압 편차를 없애줄 수 있다. 이와 동일한 방식으로 다른 화소들에도 보상 데이터 전압을 공급해줌으로써 구동 트랜지스터(DT)의 문턱전압 편차에 따른 화소 간 휘도의 불균형을 해소해줄 수 있다.
- [0315] 또 다음으로, 도 23a, 도 23b, 도 24a, 도 24b를 참조하여 센싱 모드의 일종인 F-센싱 모드에 대하여 설명한다.
- [0316] 도 23a 및 도 23b는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소가 F-센싱 모드로 동작할 때의 회로도이다. 도 24a는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소가 F-센싱 모드로 동작할 때의 전압 변화 그래프이다. 도 24b는 각 화소의 구동 트랜지스터(DT)의 이동도 편차를 나타낸 Vgs-Ids 그래프이다.
- [0317] 도 23a는 도 18의 (c)에서 F-센싱 모드의 초기화 단계(STEP1)에 대한 회로도이고, 도 23b는 도 18의 (c)에서 센싱 단계(STEP2)에 대한 회로도이다.
- [0318] 도 23a를 참조하면, F-센싱 모드의 초기화 단계(STEP1)에서는, 제1 스위치(SW1) 및 제2 스위치(SW2)가 온(ON)이고, 스캔신호 레벨이 제1레벨(VGL)에서 바뀐 제2레벨(VGH)이 유지되는 단계이다. 이때, 제1, 2 트랜지스터(T1, T2)는 턴 온 되어 있고, 구동 트랜지스터(DT)의 제1노드(N1)에 기준전압(Vref)이 인가되고 제2노드(N2)에 데이터 전압(Vdata)가 인가된 상태이다. 이때, 스토리지 캐패시터(Cst)는 충전되어, 양단(N1, N2)에 일정 전위차(Vdata-Vref)가 걸린다.
- [0319] 한편, 제2 트랜지스터(T)의 드레인 노드와 연결된 데이터 라인(DL)에 캐패시터(Cd1)이 연결되거나 형성되어 있다. 구동 트랜지스터(DT)의 제2노드(N2)에 일정한 데이터 전압(Vdata)이 인가될 때, 데이터 라인(DL)의 캐패시터(Cd1)에도 동일한 데이터 전압(Vdata)이 인가된다. 여기서, 데이터 라인(DL)의 캐패시터(Cd1)는 구동 트랜지스터(DT)의 제2노드(N2)의 전압이 일정하게 유지되도록 역할을 하는 캐패시터로서, 스토리지 캐패시터(Cst)의 캐패시턴스(Capacitance)보다 큰 캐패시턴스 값을 갖는다.
- [0320] 도 18의 (c)를 참조하면, 제1 스위치(SW1) 및 제2 스위치(SW2)가 모두 오프 됨으로써, 센싱 단계(STEP2)가 시작하여 스캔신호의 레벨이 제1레벨(VGL)로 바뀔 때까지 계속된다.
- [0321] F-센싱 모드의 센싱 단계(STEP2)의 시간 길이가 F-센싱 모드에서의 F-센싱 타임으로서, S-센싱 모드에서의 S-센싱 타임보다 짧다.
- [0322] 이러한 센싱 단계(STEP2)에서의 회로도가 도 23b이다.
- [0323] 도 23b 및 도 24a를 참조하면, 센싱 단계(STEP2)에서는, 제1 스위치(SW1) 및 제2 스위치(SW2)가 오프 되면, 구동 트랜지스터(DT)의 제2노드(N2)의 전압(케이트 전압)이 데이터 라인(DL)의 캐패시터(Cd1)에 의해 일정 시간 동안 정전압(Vdata)으로 일정하게 유지되고, 초기화 단계(STEP1)에서 스토리지 캐패시터(Cst)에 충전되어 있던 전하(Q)가 방전되면서 구동 트랜지스터(DT)의 제1노드(N1)의 전압(소스 전압)이 상승(Boosting)하기 시작하여 스캔신호의 레벨이 제1레벨(VGL)로 바뀔 때까지 조금씩 높아진다.
- [0324] 한편, 도 18의 (c) 및 도 23b를 참조하면, F-센싱 모드의 센싱 단계(STEP2)에서, 구동 트랜지스터(DT)의 제2노드(N2)의 전압(케이트 전압)을 일정 전압(Vdata)로 유지시켜 주기 위해, 데이터 라인(DL)의 캐패시터(Cd1)를 이용하였으나, S-센싱 모드의 센싱 단계(STEP2)에서처럼 데이터 전압(Vdata)를 공급해주는 데이터 전압원(미도시)을 이용할 수도 있다. 이러한 경우, F-센싱 모드의 센싱 단계(STEP2)의 제2 스위치(SW2)의 스위칭 동작을 위해, 정전압원으로서 데이터 라인(DL)의 캐패시터(Cd1)를 이용하는 경우에 해당하는 도 18의 (c)의 제2 스위치(SW2)에 대한 타이밍도를 사용하지 않고, 정전압원으로서 데이터 전압원을 이용하는 경우에 해당하는 도 18의 (b)의 제2 스위치(SW2)의 타이밍도를 이용할 수도 있다.
- [0325] 도 24b를 참조하면, 구동 트랜지스터(DT)의 이동도(k)는 Vgs-Ids 그래프의 기울기와 대응되고, 이 기울기 차이가 발생하면 구동 트랜지스터(DT)의 이동도 편차가 발생한 것이므로, 이 이동도 편차를 보상해주기 위하여, 화소(들)로 공급할 데이터를 보상 데이터로 변환하여 공급해줌으로써 화소 각각의 구동 트랜지스터(DT)의 이동도 편차를 줄여줄 수 있다. 화소 각각의 구동 트랜지스터(DT)의 이동도가 메모리(92)에서의 룩업 테이블(Lookup Table)에서 참조될 수 있는 기준 이동도(REF_k)로 되도록 보상 데이터를 생성함으로써 이동도 편차를 줄여줄 수

있다. 이에 따라, 구동 트랜지스터(DT)의 이동도 편차에 따른 화소 간 휘도의 불균형을 해소해줄 수 있다.

[0326] 아래에서는, 이상에서 설명한 본 발명의 제1실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)에 대한 공정방법을 도 25a 내지 도 25f를 참조하여 간략하게 설명한다.

[0327] 도 25a 내지 도 25f는 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)에 대한 제조 공정을 나타낸 도면이다. 단, 도 25b 내지 도 25f에서는, 설명의 편의를 위하여, 이전 단계에서 표시된 도면번호는 다음 단계에서 표시하지 않는다.

[0328] 제1 공정단계에서는, 도 25a를 참조하면, 각 구동 트랜지스터(DT)의 게이트 전극(251a), 각 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극을 형성하기 위한 게이트 라인(251b), 각 구동전압 라인(DVL)과 연결되는 연결패턴(252a), 각 기준전압 라인(RVL)과 연결되는 연결패턴(252b), 그리고, 각 스토리지 캐패시터(Cst)를 형성하기 위한 제1플레이트(252c) 등이 기판(250) 상에 형성된다.

[0329] 여기서, 게이트 라인(251b)은 연결되는 화소 각각에 포함된 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극으로 스캔신호를 공통으로 인가하기 위한 공통 게이트 라인이다. 따라서, 게이트 라인(251b)에서 게이트 전극이 형성될 부분은 설계치인 채널 길이(L)을 고려하여 다른 부분보다 넓게 형성된다. 아울러, 게이트 라인(251b)에서 게이트 전극이 형성되지 않은 부분은 기생 캐패시턴스를 최소화할 수 있도록 좁게 형성될 수 있다.

[0330] 제2 공정단계에서는, 도 25b를 참조하면, 각 구동 트랜지스터(DT)의 소스-드레인 영역의 반도체 층(253a), 각 제1 트랜지스터(T1)의 소스-드레인 영역의 반도체 층(253b), 각 제2 트랜지스터(T2)의 소스-드레인 영역의 반도체 층(253c) 등이 각 구동 트랜지스터(DT)의 게이트 전극(251a), 게이트 라인(251b), 각 구동전압 라인(DVL)과 연결되는 연결패턴(252a), 각 기준전압 라인(RVL)과 연결되는 연결패턴(252b), 그리고, 각 스토리지 캐패시터(Cst)를 형성하기 위한 제1플레이트(252c) 등이 형성된 기판(250) 상에 형성된다.

[0331] 제2 공정단계에서, 각 구동 트랜지스터(DT)의 소스-드레인 영역의 반도체 층(253a)은, 채널을 형성하기 위한 것으로서, 제1 공정단계에서 형성된 각 구동 트랜지스터(DT)의 게이트 전극(251a)의 형성위치에 대응되는 위치에 형성된다. 각 제1 트랜지스터(T1)의 소스-드레인 영역의 반도체 층(253b)은, 게이트 라인(251b)에서 각 제1 트랜지스터(T1)의 게이트 전극 역할을 하는 부분에 대응되는 위치에 형성된다. 각 제2 트랜지스터(T2)의 소스-드레인 영역의 반도체 층(253c)은, 게이트 라인(251b)에서 각 제2 트랜지스터(T2)의 게이트 전극 역할을 하는 부분에 대응되는 위치에 형성된다.

[0332] 제3 공정단계에서는, 도 25c를 참조하면, 4개의 화소 열마다 1개의 기준전압 라인(254), 4개의 화소 열마다 2개씩의 구동전압 라인(255a, 255b), 1개의 화소 열마다 대응되는 데이터 라인(256a, 256b, 256c, 256d) 등의 신호 라인들이 형성된다.

[0333] 도 25c를 참조하면, 제3 공정단계에서 형성된 기준전압 라인(254)은 4n-2번째 데이터 라인(256b)과 연결되는 화소의 제1 트랜지스터(T1)의 드레인 전극과 4n-1번째 데이터 라인(256c)과 연결되는 화소의 제1 트랜지스터(T1)의 드레인 전극으로서 역할을 하는 돌출부를 포함한다.

[0334] 또한, 제3 공정단계에서 형성된 구동전압 라인(255a, 255b)은 4n-3번째 데이터 라인(256a)과 연결되는 화소의 구동 트랜지스터(DT)의 드레인 전극과 4n번째 데이터 라인(256d)과 연결되는 화소의 구동 트랜지스터(DT)의 드레인 전극으로서 역할을 하는 돌출부를 포함한다.

[0335] 또한, 제3공정 단계에서 형성된 데이터 라인(256a, 256b, 256c, 256d)은 모든 화소의 제2 트랜지스터(T2)의 드레인 전극으로서 역할을 하는 돌출부를 포함한다.

[0336] 한편, 제3 공정단계에서는, 도 25c를 참조하면, 제1 공정단계에서 형성된 연결패턴(252b; 기준전압 라인(254)의 연결패턴)과 컨택 홀로 연결되는 제1 트랜지스터(T1)의 드레인 전극(257a)과, 제1 공정단계에서 형성된 연결패턴(252a; 구동전압 라인(255a, 255b)의 연결패턴)과 컨택 홀로 연결되는 구동 트랜지스터(DT)의 드레인 전극(257b)과, 모든 화소의 각 구동 트랜지스터(DT)의 소스 전극(257c)과, 각 화소의 구동 트랜지스터(DT)의 게이트 전극(251a)과 컨택 홀로 연결되는 부분과 각 화소의 제2 트랜지스터(DT)의 소스 전극 역할을 하는 부분을 포함하여 스토리지 캐패시터(Cst)를 형성하는 역할을 하는 제2플레이트(257d)와, 제1플레이트(252c)와 컨택 홀로 연결되는 각 화소의 제1 트랜지스터(T1)의 소스 전극(257e) 등이 더 형성된다.

[0337] 도 25c를 참조하면, 제3공정 단계에서 연결패턴(252b; 기준전압 라인(254)의 연결패턴)과 연결되어 형성되는 드레인 전극(257a)은, 4n-3 번째 데이터 라인(256a)과 연결되는 화소의 제1 트랜지스터(T1)의 드레인 전극과, 4n

번aze 데이터 라인(256d)과 연결되는 화소의 제1 트랜지스터(T1)의 드레인 전극이다.

[0338] 도 25c를 참조하면, 제3 공정단계에서 연결패턴(252a; 구동전압 라인(255a, 255b)의 연결패턴)과 연결되어 형성되는 드레인 전극(257b)는, 4n-2 번aze 데이터 라인(256b)과 연결되는 화소의 구동 트랜지스터(DT)의 드레인 전극과, 4n-1 번aze 데이터 라인(256c)과 연결되는 화소의 구동 트랜지스터(DT)의 드레인 전극이다.

[0339] 제4 공정단계에서는, 도 25d를 참조하면, 각 화소의 구동 트랜지스터(DT)의 소스전극(257c)와 연결된 제1플레이트(252c)와, 각 화소에서 제1 트랜지스터(T1)의 소스전극(257e)이 연결되는 컨택 홀에서 함께 연결되는 애노드 보조전극(258a)이 각 화소 마다 형성된다.

[0340] 제5 공정단계에서는, 도 25e를 참조하면, 앞서 형성된 애노드 보조전극(258a)과 연결되는 유기발광다이오드의 애노드 전극(258b)이 형성된다.

[0341] 제6 공정단계에서는, 도 25f를 참조하면, 화소를 정의하는 화소정의막(259; ‘뱅크’라고도 함)이 형성된다. 각 화소의 화소정의막(259) 상에 각 화소에 대응하는 발광층을 포함하는 유기층(미도시)을 적층하고 유기층 상에 모든 화소에 대한 공통전극을 적층할 수 있다. 한편, WOLED(White Organic Light Emitting Diode)인 경우, 모든 화소에 동일한 발광층을 포함하는 유기층을 적층하고 발광하는 방향에 컬러필터를 형성할 수 있다.

[0342] 도 25a 내지 도 25f를 참조하여 설명한 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)에 대한 공정에서, 게이트 전극(251a)이 반도체층(253b)의 하부에 위치하는 바텀 게이트(Bottom Gate)로 설명하였으나, 이는 설명의 편의를 위한 예시일 뿐, 게이트 전극(251a)이 반도체층(253b)의 상부에 존재하는 탑 게이트(Top Gate)일 수도 있다. 탑 게이트인 경우, 전술한 공정 단계들은 탑 게이트 구조에 맞게 변경될 수 있다. 한편, 바텀 게이트인 경우, 반도체 층(253b)은, 일 예로, 비정질 실리콘 또는 산화물 반도체일 수 있고, 탑 게이트인 경우, 반도체 층(253b)은, 일 예로, 비정질 실리콘을 결정화한 다결정 실리콘일 수 있으나, 이에 제한되지는 않는다.

[0343] 이상에서는 1 스캔 구조를 갖는 제1 실시예에 대하여 설명하였으며, 이하에서는 2 스캔 구조를 갖는 제2 실시예에 대하여 설명한다.

<제2 실시예>

[0345] 도 26은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)에 대한 전체 시스템 구성도이다.

[0346] 도 26을 참조하면, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)는, 다수의 화소(P)를 포함하는 표시패널(261)과, 표시패널(261)에서 일 방향으로 형성된 데이터 라인(DL(1)~DL(4N))을 통해 데이터 전압을 공급하는 데이터 구동부(262)와, 표시패널(261)에서 데이터 라인(DL(1)~DL(4N))과 교차하는 타 방향으로 형성된 제1 게이트 라인(GL1(1)~GL1(M))을 통해 제1 스캔신호를 공급하는 제1 게이트 구동부(263)와, 제1 게이트 라인(GL1(1)~GL1(M))과 평행하게 형성된 제2 게이트 라인(GL2(1)~GL2(M))을 통해 제2 스캔신호를 공급하는 제2 게이트 구동부(264)와, 데이터 구동부(262), 제1 게이트 구동부(263) 및 제2 게이트 구동부(264)의 구동 타이밍을 제어하는 타이밍 컨트롤러(265) 등을 포함한다.

[0347] 여기서, 데이터 라인 개수는 4N이고 제1 게이트 라인 개수 및 제2 게이트 라인 개수 각각은 M개이다. 그리고, N과 M은 1 이상의 자연수이다. 또한, 4N개의 데이터 라인 전체에서 각 데이터 라인을 식별하기 위한 용도로 사용되는 n은 1 이상이고 데이터 라인 개수의 1/4 이하인 자연수이다($1 \leq n \leq (4N/4)$).

[0348] 전술한 제1 게이트 구동부(263) 및 제2 게이트 구동부(264)는 각기 별도로 구현될 수도 있고, 경우에 따라서는, 하나의 게이트 구동부에 포함되어 구현될 수도 있다.

[0349] 각 화소(P)는 1개의 데이터 라인(DL), 1개의 제1 게이트 라인(GL1) 및 1개의 제2 게이트 라인(GL2)과 연결된다. 이러한 각 화소(P)의 화소 구조를 도 27을 참조하여 설명한다.

[0350] 도 27은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 표시패널(261) 내 하나의 화소(P)에 대한 등가회로도이다.

[0351] 도 27을 참조하면, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 표시패널(261) 내 하나의 화소(P)는, 기본적으로, 3개의 트랜지스터(DT, T1, T2)와 1개의 캐페시터(Cst)를 포함하는 3T1C 구조를 갖는다.

[0352] 즉, 각 화소(P)는, 유기발광다이오드(OLED)와, 유기 발광다이오드를 구동하기 위한 구동 트랜지스터(DT)와, 제1 게이트 라인(GL1)에서 공급된 제1 스캔신호에 의해 제어되며 기준전압 라인(RVL) 또는 기준전압 라인(RVL)에 연

결되는 연결패턴(CP)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결되는 제1 트랜지스터(T1)와, 제2 게이트 라인(GL2)에서 공급된 제2 스캔신호에 의해 제어되며 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결되는 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되는 스토리지 캐패시터(Cst) 등을 포함한다.

- [0353] 전술한 바와 같이, 각 화소(P)는 2개의 스캔신호(제1 스캔신호, 제2 스캔신호)를 2개의 게이트 라인(제1 게이트 라인, 제2 게이트 라인)을 통해 공급받는다. 이하에서는, 제1 스캔신호를 ‘센스 신호(SENSE)’라고도 기재하고, 제2 스캔신호를 ‘스캔신호(SCAN)’라고도 기재한다.
- [0354] 이와 같이, 각 화소(P)에 2개의 스캔신호(SCAN, SENSE)를 공급받기 때문에, 본 발명의 제2 실시예의 기본 화소 구조를 “2 스캔 구조(2 SCAN STRUCTURE)”라고 한다.
- [0355] 각 화소(P) 내 구동 트랜지스터(DT)는, 구동전압 라인(DVL)에서 공급되는 구동전압(EVDD)을 인가 받고 제2 트랜지스터(T2)를 통해 인가된 게이트 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기발광다이오드(OLED)를 구동시키는 트랜지스터이다.
- [0356] 이러한 구동 트랜지스터(DT)는, 제1노드(N1), 제2노드(N2), 제3노드(N3)를 가지고 있으며, 제1노드(N1)는 제1 트랜지스터(T1)와 연결되고, 제2노드(N2)는 제2 트랜지스터(T2)와 연결되며, 제3노드(N3)는 구동전압(EVDD)을 공급받는다.
- [0357] 여기서, 일 예로, 구동 트랜지스터(DT)의 제1노드는 소스 노드(Source Node; ‘소스 전극’이라고도 함)이고, 제2노드는 게이트 노드(Gate Node; ‘게이트 전극’이라고도 함)이며, 제3노드(N3)는 드레인 노드(Drain Node; ‘드레인 전극’이라고도 함)일 수 있다. 회로 구현 방식에 따라, 구동 트랜지스터(DT)의 제1노드, 제2노드 및 제3노드가 바뀔 수 있다.
- [0358] 또한, 제1 트랜지스터(T1)는, 제1 게이트 라인(GL1)에서 공급되는 제1 스캔신호(SENSE)에 의해 제어되며, 기준 전압(Vref)을 공급하는 기준전압 라인(RVL) 또는 기준전압 라인에 연결되는 연결패턴(CP)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다. 이러한 제1 트랜지스터(T1)는 “센서 트랜지스터(Sensor Transistor)”라고도 한다.
- [0359] 또한, 제2 트랜지스터(T2)는 제2 게이트 라인(GL2)에서 공통으로 공급되는 제2 스캔신호(SCAN)에 의해 제어되며 해당 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결된다. 이러한 제2 트랜지스터(T2)는 “스위칭 트랜지스터(Switching Transistor)”라고도 한다.
- [0360] 또한, 스토리지 캐패시터(Cst)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어, 데이터 전압을 한 프레임 동안 유지시켜 주는 역할을 할 수 있다.
- [0361] 한편, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 화소 구조는, 도 27를 참조하여 설명한 “기본 화소 구조(3T1C 기반의 2 스캔 구조)” 이외에, 각 화소(P)가 데이터 전압을 공급하기 위한 데이터 라인(DL), 제1 스캔신호(SENSE)를 공급하기 위한 제1 게이트 라인(GL1), 제2 스캔신호(SCAN)를 공급하기 위한 제2 게이트 라인(GL2), 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL), 기준전압(Vref)을 공급하기 위한 기준 전압 라인(RVL) 등의 여러 신호 라인과의 “신호 라인 연결 구조”도 포함한다.
- [0362] 여기서, 여러 신호 라인은, 각 화소에 데이터 전압을 공급해주기 위한 데이터 라인과, 제1 스캔신호를 공급해주기 위한 제1 게이트 라인과, 제2 스캔신호를 공급해주기 위한 제2 게이트 라인 뿐만 아니라, 각 화소에 기준전 압(Vref)을 공급하기 위한 기준전압 라인(RVL)과, 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL) 등을 더 포함한다.
- [0363] 위에서 언급한 기준전압 라인(RVL)과 구동전압 라인(DVL)은 데이터 라인(DL)과 평행하게 형성되는데, 각각의 개수는 데이터 라인 개수와 동일할 수도 있고 데이터 라인 개수보다 적을 수도 있다.
- [0364] 만약, 기준전압 라인 개수 및 구동전압 라인 개수가 데이터 라인 개수와 동일한 경우, 각 화소는 하나의 데이터 라인(DL) 및 하나의 게이트 라인(GL)과 연결되는 것은 물론, 하나의 구동전압 라인(DVL) 및 하나의 기준전압 라인(RVL)과도 바로 연결될 수 있다.
- [0365] 이 경우, 각 화소의 신호 라인 연결 구조는 모두 동일할 수도 있다. 즉, 신호 라인 연결 구조의 기본 단위는 1 개의 화소가 되어, 신호 라인 연결 구조의 규칙성이 1개의 화소(1개의 화소 열)마다 있을 수 있다.
- [0366] 만약, 기준전압 라인 개수 및 구동전압 라인 개수가 데이터 라인 개수보다 적은 경우, 일부 화소는 구동전압 라

인(DVL) 및 기준전압 라인(RVL)과는 바로 연결될 수도 있고, 다른 일부 화소는 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 바로 연결되지 않고 연결패턴(CP)을 통해 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 각각 연결될 수 있다.

[0367] 이러한 경우, 각 화소의 신호 라인 연결 구조는 모두 동일하지 않을 수도 있다. 하지만, 각 화소가 신호 라인과 연결되는 구조가 동일하지 않더라도, 몇 개 화소마다 신호 라인과 연결되는 구조가 동일할 수 있다. 즉, 신호 라인 연결 구조의 단위는 1개의 화소(P)가 아닌 다수의 화소가 될 수 있으며, 신호 라인 연결 구조의 규칙성이 다수의 화소(다수의 화소 열)마다 반복적으로 나타날 수 있다.

[0368] 예를 들어, 4개의 화소(P1, P2, P3, P4)마다 신호 라인 연결 구조가 동일하게 반복될 수 있으며, 즉, 신호 라인 연결 구조의 규칙성이 4개의 화소(4개의 화소 열)마다 반복적으로 나타날 수 있으며, 이 경우, 신호 라인 연결 구조의 기본 단위는 4개의 화소(4개의 화소 열)가 될 수 있다.

[0369] 이와 같이 신호 라인 연결 구조의 기본 단위가 4개의 화소(4개의 화소 열)인 경우, 기준전압 라인 개수는 데이터 라인 개수의 1/4일 수 있다. 즉, 데이터 라인 개수가 4N일 때, 기준전압 라인 개수는 N개일 수 있다.

[0370] 전술한 바와 같이, 신호 라인 연결 구조의 기본 단위가 4개의 화소(4개의 화소 열)인 경우, 기준전압 라인 연결 구조는 다음과 같을 수 있다.

[0371] 임의의 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n), $1 \leq n \leq N$) 각각으로부터 데이터 전압을 공급 받을 수 있는 화소(P1~P4), 즉, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)만을 고려하면, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)에 대해서 1개의 기준전압 라인(RVL)이 데이터 라인들과 평행하게 표시패널(11)에 형성되어 있다.

[0372] 이러한 1개의 기준전압 라인(RVL)은 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)) 중 2개의 데이터 라인(예: DL(4n-2), DL(4n-1))과 연결된 각 화소에는 직접 연결되어 기준전압(Vref)을 공급하고, 나머지 2개의 데이터 라인(예: DL(4n-3), DL(4n))과 연결된 각 화소에는 연결된 연결패턴을 통해 기준전압(Vref)을 공급할 수 있다.

[0373] 한편, 신호 라인 연결 구조의 기본 단위가 4개의 화소인 경우, 구동전압 라인 개수는 데이터 라인 개수의 1/2 또는 1/4일 수 있다. 즉, 데이터 전압 라인 개수가 4N일 때, 구동전압 라인 개수는 2N 또는 N개일 수 있다.

[0374] 만약, 일 예로, 구동전압 라인 개수가 2N인 경우, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)에는 2개의 구동전압 라인(DVL)이 형성되어 있는데, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)에 대한 2개의 구동전압 라인 연결 구조는 다음과 같다.

[0375] 2개의 구동전압 라인(DVL)은, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4) 중 2개의 데이터 라인(예: DL(4n-3), DL(4n))과 연결된 화소에는 직접 연결되어 구동전압(EVDD)을 공급하고, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4) 중 나머지 2개의 데이터 라인(예: DL(4n-2), DL(4n-1))과 연결된 화소에는 연결된 연결패턴을 통해 구동전압(EVDD)을 공급할 수 있다.

[0376] 본 명세서 및 도면에서, P1 화소는 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 모든 화소(즉, 화소 열(Pixel Column))를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다. P2 화소도 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 모든 화소를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다. P3 화소도 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 모든 화소를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다. P4 화소도 4n 번째 데이터 라인(DL(4n))과 연결된 모든 화소를 의미하거나 모든 화소 중 선택된 게이트 라인과 연결된 특정 화소만을 의미할 수도 있다.

[0377] 또한, 본 명세서 및 도면에서, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소, 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소 및 4n 번째 데이터 라인(DL(4n))과 연결된 화소는, 일 예로, R(Red) 화소, G(Green) 화소, B(Blue) 화소 및 W(White) 화소일 수 있다.

[0378] 또한, 본 명세서 및 도면에서는, 트랜지스터들(DT, T1, T2)이 N 타입인 것으로 도시되어 설명되었으나, 이는 설명의 편의를 위한 것일뿐, 회로 설계 변경에 따라, 트랜지스터들(DT, T1, T2) 모두가 P 타입으로 변경되거나, 트랜지스터들(DT, T1, T2) 중 일부는 N 타입으로 다른 일부는 P 타입으로 구현될 수도 있다. 또한, 유기발광다

이오드(OLED)는 인버티드(Invetered) 타입으로도 변경될 수 있을 것이다.

[0379] 또한, 본 명세서에 기재된 트랜지스터들(DT, T1, T2)은 박막 트랜지스터(TFT: Thin Film Transistor)라고도 한다.

[0380] 아래에서는, 이상에서 간략하게 설명한 기본 화소 구조(3T1C 기반의 1 스캔 구조) 및 신호 라인 연결 구조를 포함하는 화소 구조에 대하여, 도 28 내지 도 30을 참조하여 더욱 상세하게 설명한다. 단, 도 28 내지 도 30은 신호 라인 연결 구조의 기본 단위가 4개의 화소인 경우를 도시한 것이다.

[0381] 도 28은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 표시패널(261)의 일부를 간략하게 나타낸 평면도이다. 도 29는 도 28을 상세하게 나타낸 평면도이다. 도 30은 도 27에 도시된 하나의 화소에 대한 등가회로도를 4개의 화소에 적용한 회로도로서 도 29의 등가회로도이다.

[0382] 도 28 내지 도 30을 참조하면, 신호 라인 연결 구조의 기본 단위가 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))이 필요한 4개의 화소(P1~P4)인 경우에 대하여, 신호 연결 구조와 기본 화소 구조(3T1C 기반의 1 스캔 구조)를 확인할 수 있다.

[0383] 도 28 내지 도 29를 참조하면, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))은 4개의 화소(P1, P2, P3, P4) 각각으로 연결된다. 제1 게이트 라인(GL1(m), $1 \leq m \leq M$)과 제2 게이트 라인(GL2(m), $1 \leq m \leq M$) 각각은 4개의 화소(P1, P2, P3, P4)와 연결된다.

[0384] 또한, 도 27에 도시된 바와 같이, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 화소(P1~P4) 각각은, 구동전압(EVDD)을 인가 받아 유기발광다이오드를 구동하는 구동 트랜지스터(DT)와, 제1 스캔신호에 의해 제어되며 기준전압(Vref)을 인가 받아 구동 트랜지스터(DT)의 제1노드(N1)에 전달하는 제1 트랜지스터(DL)와, 제2 스캔신호에 의해 제어되며 데이터 전압(Vdata)을 인가 받아 구동 트랜지스터(DT)의 제2노드(N2)에 전달하는 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된 캐패시터(Cst) 등을 동일하게 포함한다.

[0385] 이와 같이, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 화소(P1~P4) 각각은 3개의 트랜지스터(DT, T1, T2)와 1개의 캐패시터(Cst)를 포함하는 3T1C 구조를 공통으로 가지고, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 각각에 제1 스캔신호 및 제2 스캔신호가 공급되는 구조를 갖고 있다. 전술한 바와 같이, 이러한 각 화소의 화소 구조를 “3T1C 기반의 2 스캔 구조”라고 한다.

[0386] 한편, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결된 4개의 화소(P1~P4) 각각은, 트랜지스터 및 캐패시터 개수, 스캔신호 개수 등이 동일하더라도, 데이터 전압, 구동전압 및 기준전압 등을 인가 받기 위한 신호 라인 연결 구조(신호 인가 방식)가 서로 다를 수 있다. 하지만, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결된 4개의 화소(P1~P4) 간의 신호 라인 연결 구조는 어떠한 규칙성과 대칭성이 존재한다. 이에, 도 28 내지 도 30을 참조하여, 신호 라인 연결 구조를 아래에서 상세하게 설명한다.

[0387] 전술한 바와 같이, 신호 라인 연결 구조의 기본 단위가 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))이 필요한 4개의 화소(P1~P4)인 경우, 4개의 화소(P1~P4)에 대하여, 기준전압(Vref)을 공급하기 위한 기준전압 라인(RVL)이 1개가 형성되고, 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL)이 2개가 형성될 수 있다.

[0388] 먼저, 기준전압 라인 연결 구조에 대하여 설명한다.

[0389] 표시패널(261)에서, 데이터 라인 개수가 4N개이고 기준전압 라인 개수가 N개일 때, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1), 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2), 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3) 및 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)에 제1 전압(Vref)을 공급하기 위한 제1 전압 라인에 해당하는 1개의 기준전압 라인(RVL)이 데이터 라인들과 평행한 일 방향으로 형성된다.

[0390] 이러한 기준전압 라인(RVL)의 형성 개수에 따라, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 영역과 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 영역 사이에 제1 전압(기준전압, Vref)을 공급하기 위한 제1 전압 라인에 해당하는 기준전압 라인(RVL)이 1개 형성될 수 있다. 즉, 1개의 기준전압 라인(RVL)은 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 화소(P1~P4)의 전체 영역의 가운데에 된다.

[0391] 이러한 기준전압 라인의 형성 위치는 대칭적인 화소 구조를 가능하게 한다.

- [0392] 이러한 기준전압 라인(RVL)의 형성 위치에 따라, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2) 및 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3) 각각에 포함된 제1 트랜지스터(T1)는 기준전압 라인(RVL)에 직접 연결되고, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1) 및 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4) 각각에 포함된 제1 트랜지스터(T1)는 기준전압 라인(RVL)과 연결된 연결패턴(CP, 점선)에 연결된다.
- [0393] 이러한 기준전압 라인 연결 구조에 따라, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2) 및 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3) 각각에 포함된 제1 트랜지스터(T1)는 기준전압 라인(RVL)으로부터 기준전압(Vref)을 직접 인가 받이고, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1) 및 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4) 각각에 포함된 제1 트랜지스터(T1)는 기준전압 라인(RVL)과 연결된 연결패턴(CP, 점선)으로부터 기준전압(Vref)을 인가 받는다.
- [0394] 다음으로, 구동전압 라인 연결 구조에 대하여 설명한다.
- [0395] 표시패널(261)에서, 데이터 라인 개수가 4N개이고 기준전압 라인 개수가 N개일 때, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1), 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2), 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3) 및 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P1)에 제2 전압(EVDD)을 공급하기 위한 제2 전압 라인에 해당하는 구동전압 라인(DVL)이 데이터 라인들과 평행한 방향으로 2개 형성된다.
- [0396] 이러한 구동전압 라인(DVL)의 형성 개수와 관련하여, 표시패널(11)에서 데이터 라인 개수가 4N개이고 구동전압 라인 개수가 2N개일 때, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측과 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역의 우측 각각에 제2 전압(구동전압, EVDD)을 공급하기 위한 제2 전압 라인에 해당하는 구동전압 라인(RVL)이 2개 형성될 수 있다.
- [0397] 이러한 구동전압 라인의 형성 위치는 대칭적인 화소 구조를 가능하게 한다.
- [0398] 이러한 구동전압 라인(DVL)의 형성 위치에 따라, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 구동 트랜지스터(DT)와 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 구동 트랜지스터(DT)는 각기 다른 구동전압 라인(RVL)에 직접 연결된다.
- [0399] 그리고, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)의 구동 트랜지스터(DT)는, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측에 형성된 구동전압 라인(RVL)과 연결된 연결패턴(CP)과 연결된다. 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 구동 트랜지스터(DT)는, 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역의 우측에 형성된 구동전압 라인(RVL)과 연결된 연결패턴(CP)과 연결된다.
- [0400] 이러한 구동전압 라인 연결 구조에 따라, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1) 및 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4) 각각에 포함된 구동 트랜지스터(DT)는 각기 다른 구동전압 라인(RVL)으로부터 구동전압(EVDD)을 직접 인가 받는다.
- [0401] 그리고, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 화소(P2)에 포함된 구동 트랜지스터(DT)는, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 화소(P1)의 영역의 좌측에 형성된 구동전압 라인(RVL)과 연결된 연결패턴(CP)으로부터 구동전압(EVDD)을 인가 받이고, 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 화소(P3)의 구동 트랜지스터(DT)는, 4n 번째 데이터 라인(DL(4n))에 연결된 화소(P4)의 영역의 우측에 형성된 구동전압 라인(RVL)과 연결된 연결패턴(CP)으로부터 구동전압(EVDD)을 인가 받는다.
- [0402] 또 다음으로, 데이터 라인 연결 구조를 설명한다.
- [0403] 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n)) 각각은 4개의 화소 열(Pixel Column) 각각에 있는 화소들과 연결된다.
- [0404] 4개의 데이터 라인(DL(4n-3)~DL(4n))의 형성 위치와 관련하여, 홀수번째 데이터 라인, 즉, 4n-3 번째 데이터 라인(DL(4n-3)) 및 4n-1 번째 데이터 라인(DL(4n-1)) 각각은 연결된 해당 화소(P1, P3)의 영역의 우측에 형성된다. 그리고, 짝수번째 데이터 라인, 즉, 4n-2 번째 데이터 라인(DL(4n-2)) 및 4n 번째 데이터 라인(DL(4n)) 각각은 연결된 해당 화소(P2, P4)의 영역의 좌측에 형성된다.
- [0405] 이러한 데이터 라인의 형성 위치는 대칭적인 화소 구조를 가능하게 한다.
- [0406] 또 다음으로, 게이트 라인 연결 구조를 설명한다.
- [0407] 표시패널(11)에서 하나의 화소 행(Pixel Row)에 대하여, 4N개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1),

DL(4n))과 연속적으로 교차하는 방향으로 형성되는 신호 라인으로서, 2개의 게이트 라인, 즉, 각 화소의 제1 트랜지스터(T1)로 제1 스캔신호(SENSE)를 공급하기 위한 제1 게이트 라인(GL1(m))과 각 화소의 제2 트랜지스터(T2)로 제2 스캔신호(SCAN)를 공급하기 위한 제2 게이트 라인(GL2(m))이 형성된다.

[0408] 이와 같이, 하나의 화소 행(Pixel Row)에 대하여, 2개의 게이트 라인(GL1(m), GL2(m))이 형성됨으로써, 하나의 화소 행(Pixel Row)에 있는 화소들 각각에 포함된 제1 트랜지스터(T1)와 제2 트랜지스터(T2)를 각기 다르게 제어할 수 있다. 이는 본 발명의 제2 실시예의 기본 화소 구조가 3T1C 기반의 2 스캔 구조를 갖기 때문이다.

[0409] 이상에서는, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 화소 구조, 즉, 3T1C 기반의 2 스캔 구조(기본 화소 구조)와 신호 라인 연결 구조를 설명하였다. 이하에서는, 도 31을 참조하여, 전술한 화소 구조와 관련된 표시패널(261)의 대칭성 구조적 특징에 대하여 설명한다.

[0410] 도 31은 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 표시패널(261)에 대한 대칭성 구조적 특징을 설명하기 위한 간략한 평면도이다.

[0411] 도 31을 참조하면, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 표시패널(261)은, 데이터 라인 개수가 4N개일 때, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)의 화소 구조와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)의 화소 구조는 서로 대칭이 되고, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)의 화소 구조와 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)의 화소 구조는 서로 대칭이 되는 대칭 구조를 갖는다.

[0412] 이러한 대칭 구조에서, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 화소(P1)의 화소 구조와 4n 번째 데이터 라인(DL(4n))과 연결된 화소(P4)의 화소 구조는 제1 전압을 공급하는 제1 전압 라인에 해당하는 기준전압 라인(RVL)을 기준으로 대칭이 된다. 그리고, 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 화소(P2)의 화소 구조와 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 화소(P3)의 화소 구조는 제1 전압을 공급하는 제1 전압 라인에 해당하는 기준전압 라인(RVL)을 기준으로 대칭이다.

[0413] 전술한 바와 같이, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 표시패널(261)에서, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 화소(P1~P4)는 기준전압 라인(RVL)을 기준으로 하는 “단일 대칭 구조”를 갖는다.

[0414] 단일 대칭 구조와 관련된 화소 구조는, 3T1C 형성 위치를 포함할 수 있으며, 신호 라인 연결 방식(위치) 및 유기발광다이오드 형성 위치를 더 포함할 수도 있다. 여기서, 3T1C 형성 위치는, 트랜지스터 형성 위치, 캐페시터 형성 위치 등을 포함한다.

[0415] 각 화소 영역은 유기발광다이오드가 발광되는 발광 영역(311)과 3개의 트랜지스터(DT, T1, T2) 및 스토리지 캐페시터(Cst)가 형성되는 비발광 영역(312)으로 나누어지는데, 비발광 영역(312)에서의 3T1C 형성 위치, 신호 라인 연결 방식(위치) 및 유기발광다이오드 형성 위치와 관련된 대칭 구조(단일 대칭 구조)를 도 31을 참조하여 더욱 상세하게 설명한다.

[0416] 대칭 구조와 관련하여, P1 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치와 P4 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 되고, P2 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치와 P3 화소의 구동 트랜지스터(DT) 및 스토리지 캐페시터(Cst)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 된다.

[0417] 또한, P1 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치와 P4 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 되고, P2 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치와 P3 화소의 제1, 제2 트랜지스터(T1, T2)의 형성 위치는 기준전압 라인(RVL)을 기준으로 대칭이 된다.

[0418] 또한, P1 화소의 유기발광다이오드 형성 위치와 P4 화소의 유기발광다이오드 형성 위치는 서로 대칭이 된다. P2 화소의 유기발광다이오드 형성 위치와 P3 화소의 유기발광다이오드 형성 위치는 서로 대칭이 된다.

[0419] 또한, P1 화소의 신호 라인 연결 방식과 P4 화소의 신호 라인 연결 방식은 서로 대칭이고, P2 화소의 신호 라인 연결 방식과 P3 화소의 신호 라인 연결 방식은 서로 대칭이다.

[0420] 더욱 상세하게 설명하면, P1 화소와 P4 화소는 구동전압 라인(DVL)과 직접 연결되어 구동전압(EVDD)을 공급받고 공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다. 또한, P1 화소와 P4 화소는 기준전압 라인(RVL)과 직접 연결되지 않고 기준전압 라인(RVL)과 연결된 연결패턴(CP)로부터 기준전압(Vref)을 공급받고,

공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다.

- [0421] P2 화소와 P3 화소는 구동전압 라인(DVL)과 직접 연결되지 않고 구동전압 라인(RVL)과 연결된 연결패턴(CP)과 연결되어 구동전압(EVDD)을 공급받고 공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다. 또한, P2 화소와 P3 화소는 기준전압 라인(RVL)과 직접 연결되어 기준전압(Vref)을 공급받고, 공급받는 위치가 기준전압 라인(RVL)의 위치를 기준으로 서로 대칭이다.
- [0422] 전술한 바와 같이, 표시패널(261)은 4개의 화소열(P1-P4) 단위로 대칭 구조(단일 대칭 구조)를 가지기 때문에, 2개의 스캔신호(SENSE, SCAN)가 반드시 필요한 3T1C 화소 구조 하에서도 패널 구조가 간단해지고 컴팩트해질 수 있고, 결함 발생 확률도 그만큼 줄일 수 있으며 개구율도 높일 수 있는 장점이 있다. 이로 인해, 양질의 패널을 높은 수율로 제조할 수 있다. 특히, 고해상도 및 대면적의 패널을 보다 높은 품질 및 높은 수율로 제조할 수 있다.
- [0423] 한편, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)는, 각 화소에 포함된 구동 트랜지스터(DT)의 특성정보의 파악이 가능하도록 하는 효율적인 센싱 기능과 센싱된 정보를 토대로 각 화소에 포함된 구동 트랜지스터(DT)의 특성정보를 파악하여 이를 보상해주어 각 화소 내 구동 트랜지스터(DT) 간의 특성편차를 줄여줄 수 있는 보상 기능, 그리고 이러한 센싱 기능과 보상 기능이 효율적으로 이루어질 수 있도록 하는 구조에 대하여, 도 32 및 도 33을 참조하여 설명한다.
- [0424] 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 외부 보상 기능(센싱 기능과 보상 기능)은, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 외부 보상 기능과 기본적으로 동일하다. 특히, 보상 기능은 제1 실시예와 제2 실시예는 동일하다. 다만, 제1 실시예는 1 스캔 구조이지만 본 발명의 제2 실시예는 2 스캔 구조라는 점에서, 센싱 기능과 관련하여 센싱 타임을 제어하기 위한 방식 등에서만 다소 차이점이 있을 뿐이다. 따라서, 아래에서는, 제1 실시예와 동일한 보상 기능(즉, 보상부)에 대해서는 설명을 생략하고, 제1 실시예와 차이점이 있는 부분을 위주로 설명한다.
- [0425] 도 32는 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 외부 보상 구성 중에서 센싱부(320)를 하나의 화소(P)에 대한 등가회로와 함께 나타낸 도면이다.
- [0426] 도 32를 참조하면, 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)는, 각 화소 간 휘도 불균형을 발생시킬 수 있는 각 화소(P) 내 구동 트랜지스터(DT)의 특성편차(예: 문턱전압 편차, 이동도 편차 등)를 보상해 주기 위하여, 구동 트랜지스터(DT)의 특성정보(예: 문턱전압, 이동도 등)를 파악하기 위한 전압을 센싱하는 센싱부(320)와, 센싱된 전압을 저장하는 메모리(330)와, 센싱된 전압을 토대로 구동 트랜지스터(DT)의 특성정보를 파악하여 이를 보상해주는 보상부(340) 등을 포함할 수 있다.
- [0427] 전술한 센싱부(320)는, 각 화소(P) 내 구동 트랜지스터(DT)의 특성정보 파악을 위한 전압을 센싱하되, 각 화소(P)의 구동 트랜지스터(DT)의 제1노드(N1)의 전압(Vsen)을 센싱하는데, 이를 위해, 도 32에 도시된 바와 같이, 기준전압원으로부터 공급되는 기준전압(Vref)을 아날로그 값으로 변환하는 디지털 아날로그 변환부(DAC, 321)와, 센싱부(320)와 연결이 가능한 각 화소(P)의 구동 트랜지스터(DT)의 제1노드(N1)에서의 센싱된 전압을 디지털 값으로 변환하는 아날로그 디지털 변환부(ADC, 322)와, 디지털 아날로그 변환부(321)로부터 아날로그로 변환된 기준전압(Vref)이 공급되는 기준전압 공급 노드(3231)와 아날로그 디지털 변환부(912)에 연결된 센싱 노드(3232) 중 하나가 기준전압 라인(RVL)과 연결되도록 스위칭하는 제1 스위치(323) 등을 포함할 수 있다.
- [0428] 본 발명의 제2 실시예의 센싱부(320), 메모리(330) 및 보상부(340)는, 제1 실시예의 센싱부(91), 메모리(92) 및 보상부(93)와 각각 그 구성 및 동작 등이 모두 동일하다.
- [0429] 특히, 본 발명의 제2 실시예의 센싱부(320)에서 구동 트랜지스터(DT)의 특성정보(예: 문턱전압, 이동도 등)를 파악하기 위한 전압이 센싱되고 나면, 센싱된 전압(Vsen)이 메모리(330)에 저장되고, 보상부(340)가 센싱된 전압(Vsen)을 토대로 구동 트랜지스터(DT)의 특성정보를 파악하여 이를 보상해주는 동작은 본 발명의 제1 실시예와 동일하다.
- [0430] 다만, 제1 실시예는 1 스캔 구조이고 제2 실시예는 2 스캔 구조라는 점에서의 화소 구조적인 차이점이 있고, 제1 실시예에서 데이터 전압에 대한 데이터 라인(DL)으로의 공급 여부를 스위칭하여 S-센싱 모드 및/또는 F-센싱 모드에서 구동 트랜지스터(DT)의 제2노드(N2)에 대한 정전압을 인가해줄지 말지를 제어하기 위한 용도로 사용된 제2 스위치(SW2, 914)가 제2 실시예에서는 없어졌다는 점에서 차이점이 있다.
- [0431] 이러한 두 가지 차이점(제1 실시예: 1 스캔 구조, SW2 있음, 제2 실시예: 2 스캔 구조, SW2 없음)으로 인해, 구

동 모드, S-센싱 모드, F-센싱 모드 각각에서의 동작 타이밍에서 다소 차이점이 있다.

[0432] 구동 트랜지스터(DT)의 특성정보를 파악하기 위한 전압을 센싱하기 위해서는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 각각에 일정 전압을 인가해두고, 구동 트랜지스터(DT)의 제1노드(N1)에서 전압이 변하도록 하여 변화된 전압을 센싱 전압으로 측정해야만 한다.

[0433] 이와 관련하여, 제1 스위치(323)에 의해 기준전압 공급 노드(3231)와 기준전압 라인(RVL)과 연결되도록 제1 스위치(323)를 온(On) 시켜서, 디지털 아날로그 변환부(321)로부터 아날로그로 변환된 기준전압(Vref)이 구동 트랜지스터(DT)의 제1노드(N1)에 인가되도록 해줄 수 있다. 이는 제1 실시예와 동일하다.

[0434] 구동 트랜지스터(DT)의 제2노드(N2)에 대한 일정 전압(Vdata)을 인가해주기 위해서, 제1 실시예에서는 제2 스위치(914)를 온(On)시키는 것이 필요했으나, 제2 실시예에서는 제1 실시예에서의 제2 스위치(914)가 없기 때문에, 제2 트랜지스터(T2)만 턴 온되면, 구동 트랜지스터(DT)의 제2노드(N2)에 일정 전압(Vdata)이 인가될 수 있다.

[0435] 따라서, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 각각에 일정 전압을 인가해두고, 구동 트랜지스터(DT)의 제1노드(N1)에서 전압이 변하도록 하여 변화된 전압을 센싱 전압으로 측정하기 위해서는, 제1 스위치(323)의 스위칭 동작, 제1 트랜지스터(T1)의 턴온/턴오프를 제어하기 위한 제1 스캔신호(SENSE), 제2 트랜지스터(T2)의 턴온/턴오프를 제어하기 위한 제2 스캔신호(SCAN)를 제어하는 것이 필요하다.

[0436] 이러한 제1 스위치(323), 제1 스캔신호(SENSE) 및 제2 스캔신호(SCAN)의 타이밍 제어는 타이밍 컨트롤러(265)에 의해 수행될 수 있으며, 이는 도 33을 참조하여 더욱 상세하게 설명한다.

[0437] 도 33 본 발명의 제2 실시예에 따른 유기전계발광 표시장치(260)의 구동 모드와, 2가지 센싱 모드(S-센싱 모드, F-센싱 모드) 각각에 대한 동작 타이밍도이다.

[0438] 먼저, 도 33의 (a)를 참조하여 화소가 구동 모드로 동작하는 경우에 대하여 설명한다.

[0439] 도 33의 (a)를 참조하면, 구동 모드에서 제1 스위치(SW1, 323)는 항상 온이 되어 있을 수 있으며, 경우에 따라서는 오프가 되어 있어도 무방하다.

[0440] 도 33의 (a)를 참조하면, 제1 스위칭(323)이 항상 온이 되어 있는 상태에서, 제1 트랜지스터(T1)에 제2레벨(VGH)의 제1 스캔신호(SENSE)가 인가되고, 제2 트랜지스터(T2)에 제2레벨(VGH)의 제2 스캔신호(SCAN)가 되는 단계가 구동 모드의 초기화 단계(STEP1)이다.

[0441] 그리고, 제1 트랜지스터(T1)에 인가되던 제1 스캔신호(SENSE)의 레벨이 제1레벨(VGL)로 바뀌고, 제2 트랜지스터(T2)에 인가되던 제2 스캔신호(SCAN)의 레벨이 제1레벨(VGL)로 바뀌고, 데이터 전압(Vdata)가 인가되지 않는 단계가 구동 모드의 구동 단계(STEP2)이다.

[0442] 구동 모드의 초기화 단계(STEP1)에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 모두 턴온되고, 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2) 각각에 일정 전압인 기준전압(Vref)과 데이터 전압(Vdata)이 인가된다.

[0443] 이때, 스토리지 캐패시터(Cst)의 양단에도 기준전압(Vref)과 데이터 전압(Vdata)가 인가되어 데이터 전압(Vdata)과 기준전압(Vref) 간의 전위차에 해당하는 전하가 충전이 된다.

[0444] 구동 모드의 구동 단계(STEP2)에서는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)에 정전압을 인가해주는 것이 없어지게 되어, 구동 트랜지스터(DT)의 제1노드(N1)의 전압(소스전압)과 제2노드(N2)의 전압(게이트 전압)이 함께 서서히 높아지게 되고, 이에 따라, 구동 트랜지스터(DT)의 제1노드(N1)의 전압(소스전압)이 유기발광다이오드(OLED)에 전류가 흐를 수 있는 전압보다 높아지면, 유기발광다이오드로 전류가 흐르기 시작하여 유기발광다이오드가 발광한다.

[0445] 이와 같이, 화소가 구동 모드로 동작할 때의 전압 변화 그래프는 도 20과 동일하다.

[0446] 다음으로, 도 33의 (b)를 참조하여 화소가 S-센싱 모드로 동작하는 경우에 대하여 설명한다.

[0447] 도 33의 (b)를 참조하면, S-센싱 모드에서, 제1 스위치(323)가 오프에서 온이 되어 있을 때, 제1 트랜지스터(T1)에 제2레벨(VGH)의 제1 스캔신호(SENSE)가 인가되고, 제2 트랜지스터(T2)에 제2레벨(VGH)의 제2 스캔신호(SCAN)가 인가되는 동안이 S-센싱 모드의 초기화 단계(STEP1)이다.

[0448] 그리고, 제1 스위치(323)가 오프되고, 제1 트랜지스터(T1)에 인가되던 제1 스캔신호(SENSE)의 레벨이 제2레벨(VGH)로 일정 시간(S-센싱 타임) 동안 유지되고, 제2 트랜지스터(T2)에도 제2 스캔신호(SCAN)의 레벨이 제2레벨

(VGH)로 일정 시간(이 시간은 S-센싱 타임보다는 짧을 수 있음) 동안 유지되며, 제1 스캔신호(SENSE)의 레벨이 제1레벨(VGL)로 바뀌기 직전까지를 S-센싱 모드의 센싱 단계(STEP2)라고 한다.

[0449] 이때, 제1 스위치(323)이 오프된 시점부터 제1 스캔신호(SENSE)의 레벨이 제1레벨(VGL)로 변할 때까지를 S-센싱 타임이다. 이 S-센싱 타임 사이에 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압이 센싱될 수 있다.

[0450] S-센싱 모드의 초기화 단계(STEP1)에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 모두 턴온되고, 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2) 각각에 일정 전압인 기준전압(Vref)과 데이터 전압(Vdata)가 인가된다.

[0451] 이때, 스토리지 캐패시터(Cst)의 양단에도 기준전압(Vref)과 데이터 전압(Vdata)가 인가되어 데이터 전압(Vdata)과 기준전압(Vref) 간의 전위차에 해당하는 전하가 충전이 된다.

[0452] S-센싱 모드의 센싱 단계(STEP2)에서는, 제2 트랜지스터(T2)의 턴 온되어 있어, 구동 트랜지스터(DT)의 제2노드(N2)에 정전압(Vdata)가 걸려 있고, 구동 트랜지스터(DT)의 제1노드(N1)의 전압이 변화되고, 그 변화는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)의 전압 차이가 구동 트랜지스터(DT)의 문턱전압(Vth)이 될 때까지 일어난다.

[0453] 따라서, S-센싱 타임 사이에 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압은 Vdata-Vth가 되고, 이 전압이 센싱 전압(Vsen)으로서 센싱될 수 있다. S-센싱 모드에서 센싱된 전압(Vsen)의 변화는 도 22a와 같다.

[0454] 또 다음으로, 도 33의 (c)를 참조하여 화소가 F-센싱 모드로 동작하는 경우에 대하여 설명한다.

[0455] 도 33의 (c)를 참조하면, F-센싱 모드에서, 제1 스위치(323)가 오프에서 온이 되어 있을 때, 제1 트랜지스터(T1)에 제2레벨(VGH)의 제1 스캔신호(SENSE)가 인가되고, 제2 트랜지스터(T2)에 제2레벨(VGH)의 제2 스캔신호(SCAN)가 인가되는 동안이 F-센싱 모드의 초기화 단계(STEP1)이다.

[0456] 그리고, 제1 스위치(323)이 오프되고, 제1 트랜지스터(T1)에 인가되었던 제1 스캔신호(SENSE)의 레벨이 제2레벨(VGH)로 일정 시간(S-센싱 타임) 동안 유지되는 반면, 제2 트랜지스터(T2)에 인가되었던 제2 스캔신호(SCAN)의 레벨이 제1레벨(VGL)로 바뀐 이후 제1 스캔신호(SENSE)의 레벨이 제1레벨(VGL)로 바뀌기 직전까지를 S-센싱 모드의 센싱 단계(STEP2)라고 한다.

[0457] 이때, 제1 스위치(323)이 오프된 시점부터 제1 스캔신호(SENSE)의 레벨이 제1레벨(VGL)로 변할 때까지를 F-센싱 타임이다. 이 F-센싱 타임 사이에 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압이 센싱될 수 있다. 또한, F-센싱 타임은 S-센싱 타임보다 상당히 짧은 시간으로서, 이를 위해, F-센싱 모드를 위해 제2레벨(VGH)의 제1 스캔신호가 인가되는 시간을 S-센싱 모드를 위해 제2레벨(VGH)의 제1 스캔신호가 인가되는 시간보다 짧아지도록, 타이밍 컨트롤러(265)는 제1 스캔신호의 생성을 제어할 수 있다.

[0458] F-센싱 모드의 초기화 단계(STEP1)에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 모두 턴온되고, 구동 트랜지스터(DT)의 제1노드(N1) 및 제2노드(N2) 각각에 일정 전압인 기준전압(Vref)과 데이터 전압(Vdata)가 인가된다.

[0459] 이때, 스토리지 캐패시터(Cst)의 양단에도 기준전압(Vref)과 데이터 전압(Vdata)가 인가되어 데이터 전압(Vdata)과 기준전압(Vref) 간의 전위차에 해당하는 전하가 충전이 된다.

[0460] F-센싱 모드의 센싱 단계(STEP2)에서는, 제2 트랜지스터(T2)가 턴 오프 되어 있으나, 제2 트랜지스터(T2)의 게이트노드 및 소스노드 사이에서의 캐패시터(Cgs) 성분으로 인해, 구동 트랜지스터(DT)의 제2노드(N2)에서의 전압이 Vdata로 짧은 시간동안 유지될 수 있다.

[0461] 따라서, 제2 트랜지스터(T2)의 캐패시터(Cgs) 성분으로 인해 구동 트랜지스터(DT)의 제2노드(N2)에서의 전압이 Vdata로 짧은 시간동안 유지되고 있을 때, 구동 트랜지스터(DT)의 제1노드(N1)에서의 전압이 F-센싱 타임 사이에 미세하게 바뀔 수 있다.

[0462] 이에, F-센싱 타임 사이에, 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압이 센싱 전압(Vsen)으로서 센싱될 수 있다.

[0463] 따라서, S-센싱 타임 사이에 구동 트랜지스터(DT)의 제1노드(N1)에서의 변화된 전압은 Vdata-Vth가 되고, 이 전압이 센싱 전압(Vsen)으로서 센싱될 수 있다. S-센싱 모드에서 센싱된 전압(Vsen)의 변화는 도 24a와 같다.

[0464] 도 33의 (b) 및 (c)를 참조하여 설명한 S-센싱 모드 및 F-센싱 모드에서 센싱된 전압(Vsen)을 이용하여 구동 트

랜지스터(DT)의 특성정보(문턱전압, 이동도)의 편차를 보상해줌으로써, 화소 간 휘도 불균형을 줄여줄 수 있다.

[0465] 아래에서는, 이상에서 설명한 본 발명의 제1 실시예 및 제2 실시예에 따른 외부 보상 기능에 따라 화소 각각의 구동 트랜지스터(DT)의 이동도 편차에 대한 보상 능력을 도 34에 도시된 실험 결과 표와 그래프를 통해 확인해본다.

[0466] 도 34는 본 발명의 제1 실시예 및 제2 실시예에 따른 이동도 편차를 보상 효과를 나타낸 도면이다.

[0467] 도 34를 참조하면, 5개의 화소가 있고, 각 화소의 구동 트랜지스터(DT)의 이동도가 0.8, 0.9, 1, 1.1, 1.2로 각각 다른 경우, 즉, 5개의 화소 간에 구동 트랜지스터(DT)의 이동도가 다른 경우, 5개의 화소의 휘도가 모두 200nit가 되도록 하는 전류(200nit 전류)를 기준으로 하여, 실제로 유기발광다이오드(OLED)로 전류가 얼마나 흘렀는지를 측정하고, 실제로 흐른 전류와 200nit 전류의 차이를 ΔI_{oled} 로서 산출하였다. 이러한 측정을 제1 실시예(1 스캔 구조)와 제2 실시예(2 스캔 구조) 각각에 따라 보상 전과 보상 후 각각에 대하여 수행하였다.

[0468] 그 측정 결과를 표로 나타낸 것이 도 34의 (a)이고, 그래프로 나타낸 것이 도 34의 (b)이다.

[0469] 도 34의 (b)를 참조하면, 제1 실시예(1 SCAN)에 따른 보상 전과 제2 실시예(1 SCAN)에 따른 보상 전에는, 5개의 구동 트랜지스터(DT) 간의 이동도 편차로 인해, 5개의 화소 모두가 동일한 휘도를 내기 위한 목표 전류(200nit 전류)와 유기발광다이오드로 실제로 흐른 전류의 차이, ΔI_{oled} 가 이동도 편차에 따라 크게 달라짐을 알 수 있다.

[0470] 하지만, 도 34의 (b)의 점선 박스 부분에서 보는 바와 같이, 제1 실시예(1 SCAN)에 따른 보상 후와 제2 실시예(1 SCAN)에 따른 보상 후에는, 5개의 구동 트랜지스터(DT) 간의 이동도 편차가 있기는 하지만, 각 실시예의 보상 전 결과에 비해, 5개의 화소 모두가 동일한 휘도를 내기 위한 목표 전류(200nit 전류)와 유기발광다이오드로 실제로 흐른 전류의 차이, ΔI_{oled} 가 이동도 편차에 따라 크게 달라지지 않는다는 것을 확인할 수 있다.

[0471] 따라서, 본 발명의 제1 실시예 및 제2 실시예 모두에 따른 이동도 편차를 보상 효과는 상당하다는 것을 도 34의 실험 결과를 통해 확인할 수 있다.

[0472] 한편, 이상에서 전술한 바와 같이, 본 발명의 제1 실시예의 표시패널(11)과 본 발명의 제2 실시예의 표시패널(261)은, 4개의 화소 열마다 대칭적인 구조를 갖도록 설계됨으로써, 패널 구조가 간단하고 컴팩트해질 수 있고, 개구율을 높여주고 유기발광다이오드의 수명을 연장시켜줄 수 있으며, 결함 발생 확률도 낮출 수 있고, 패널 제조가 보다 용이해지도록 해줄 수 있다. 이로 인해, 양질의 패널을 높은 수율로 제조할 수 있다. 특히, 이러한 본 발명의 제1 실시예 및 제2 실시예는 고해상도, 또는 대면적의 유기전계발광 표시장치에 적용될 경우 더 큰 효과가 있을 것이다.

[0473] 다만, 본 발명의 제1 실시예는 3T1C 구조에서 필요한 2개의 스캔신호를 사용하지 않고 1개의 스캔신호만으로도 구동/센싱 동작이 가능하도록 설계한 화소구조를 개시하는 실시예로서, 2개의 스캔신호를 이용하는 제2 실시예 보다 개구율면에서 더 유리한 점이 있다.

[0474] 이러한 본 발명의 제1 실시예와 제2 실시예의 개구율 차이는 도 35를 통해 확인해볼 수 있다.

[0475] 도 35는 본 발명의 제1 실시예 및 제2 실시예에 따른 개구율을 비교한 도면이다.

[0476] 도 35를 참조하면, 하나의 화소 행(Pixel Row)에 대하여, 본 발명의 제2 실시예(2 스캔 구조)는 2개의 게이트 라인(GL1, GL2)이 형성되어 있다. 하지만 본 발명의 제1 실시예(1 스캔 구조)는 1개의 게이트 라인(GL)만이 형성되어 있다. 즉, 하나의 화소 행에 대하여, 본 발명의 제1 실시예는 제2 실시예에 비해 1개의 게이트 라인이 감소하였다.

[0477] 따라서, 본 발명의 제1 실시예는 제2 실시예에 비해, 표시영역(발광영역)이 더 커져 개구율이 더욱 커졌음을 알 수 있다. 이는 해상도가 높아지거나 면적이 커질 경우 더 큰 개구율 향상을 기대할 수 있다.

[0478] 이상에서 설명한 바와 같이, 본 발명에 의하면, 간단하고 컴팩트(Compact) 한 패널 구조를 갖는 유기전계발광 표시장치(10, 260)를 제공하는 효과가 있다.

[0479] 또한, 본 발명에 의하면, 개구율을 높여주고, 발광다이오드의 수명을 길게 해주며, 결함 발생 확률도 낮추어줄 수 있도록 하는 화소 구조를 갖는 유기전계발광 표시장치(10, 260)를 제공하는 데 있다.

[0480] 또한, 본 발명에 의하면, 화소 구조가 대칭이 되도록 설계하여 간단하고 컴팩트(Compact) 한 패널 구조를 갖는 유기전계발광 표시장치(10, 260)를 제공하는 효과가 있다.

- [0481] 또한, 본 발명에 의하면, 화소 간의 휘도 편차를 보상해주기 위한 효율적인 센싱 및 보상 기능을 제공함에 있어서, 간단하고 컴팩트 한 화소 구조에 맞는 센싱 및 보상 기능을 갖는 유기전계발광 표시장치(10, 260)와 그 구동 방법을 제공하는 효과가 있다.
- [0482] 이러한 점들로 인해, 양질의 패널(11, 261)을 높은 수율로 제조할 수 있다.
- [0483] 이러한 점들은 고해상도 및 대면적의 패널(11, 261)에 적용될 경우, 더욱 큰 효과가 될 것이다.
- [0484] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

10, 260: 유기전계발광 표시장치

11, 261: 표시패널

12, 262: 데이터 구동부

13, 263, 264: 게이트 구동부

14, 265: 타이밍 컨트롤러

DT: 구동 트랜지스터

T1: 제1 트랜지스터

T2: 제2 트랜지스터

DL: 데이터 라인

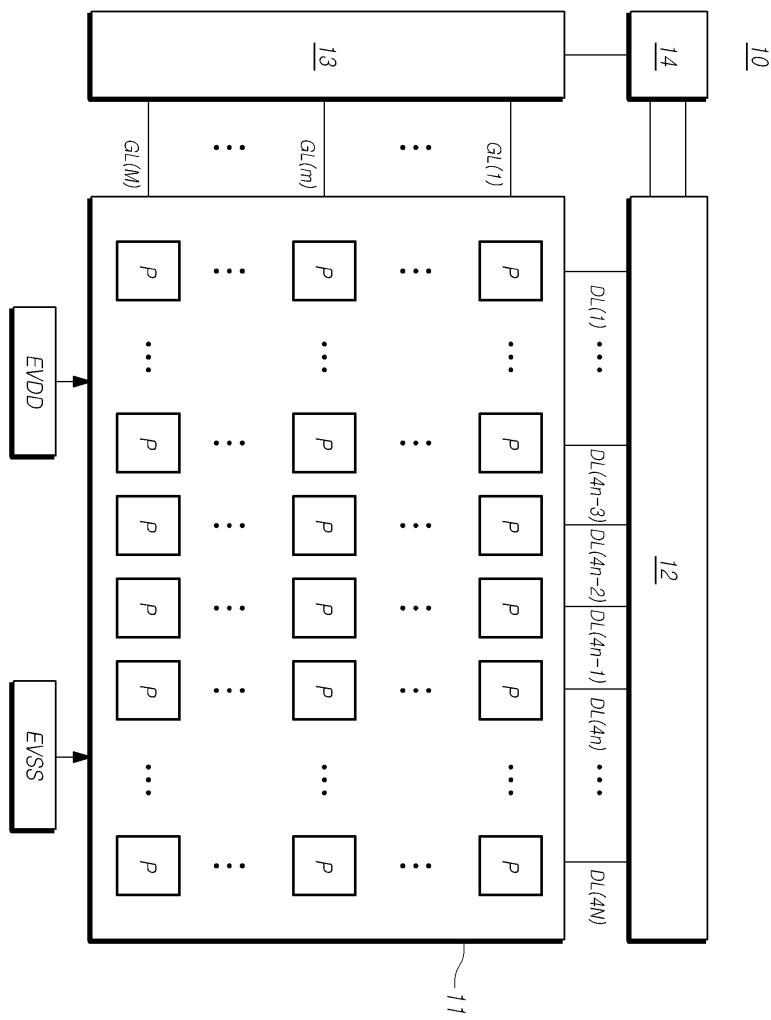
GL, GL1, GL2: 게이트 라인

DVL: 구동전압 라인

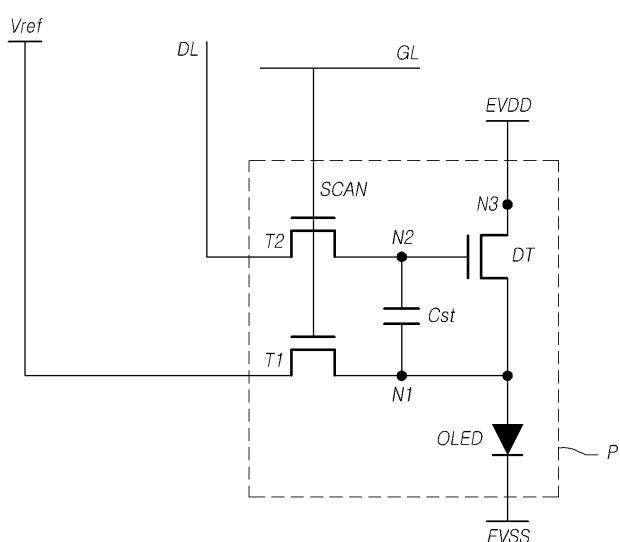
RVL: 기준전압 라인

도면

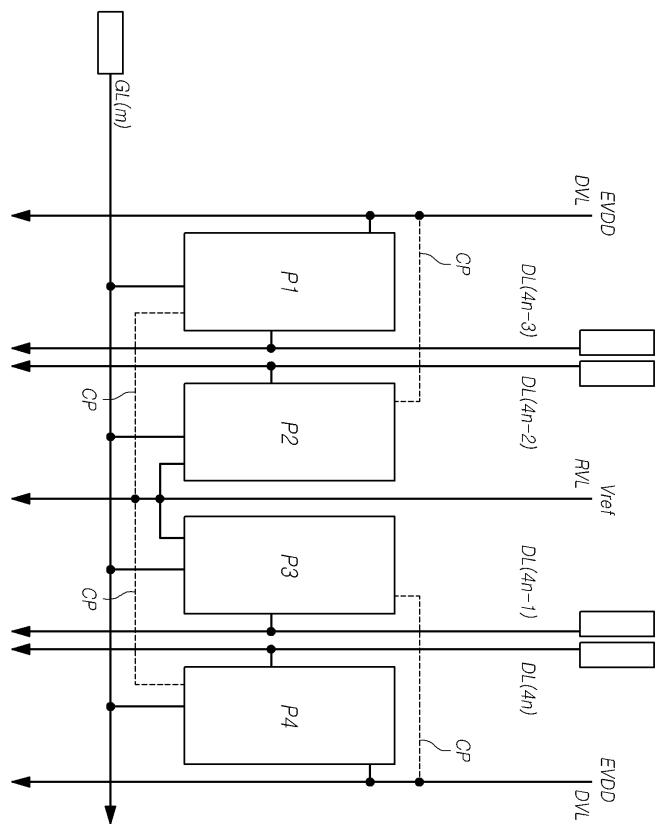
도면1



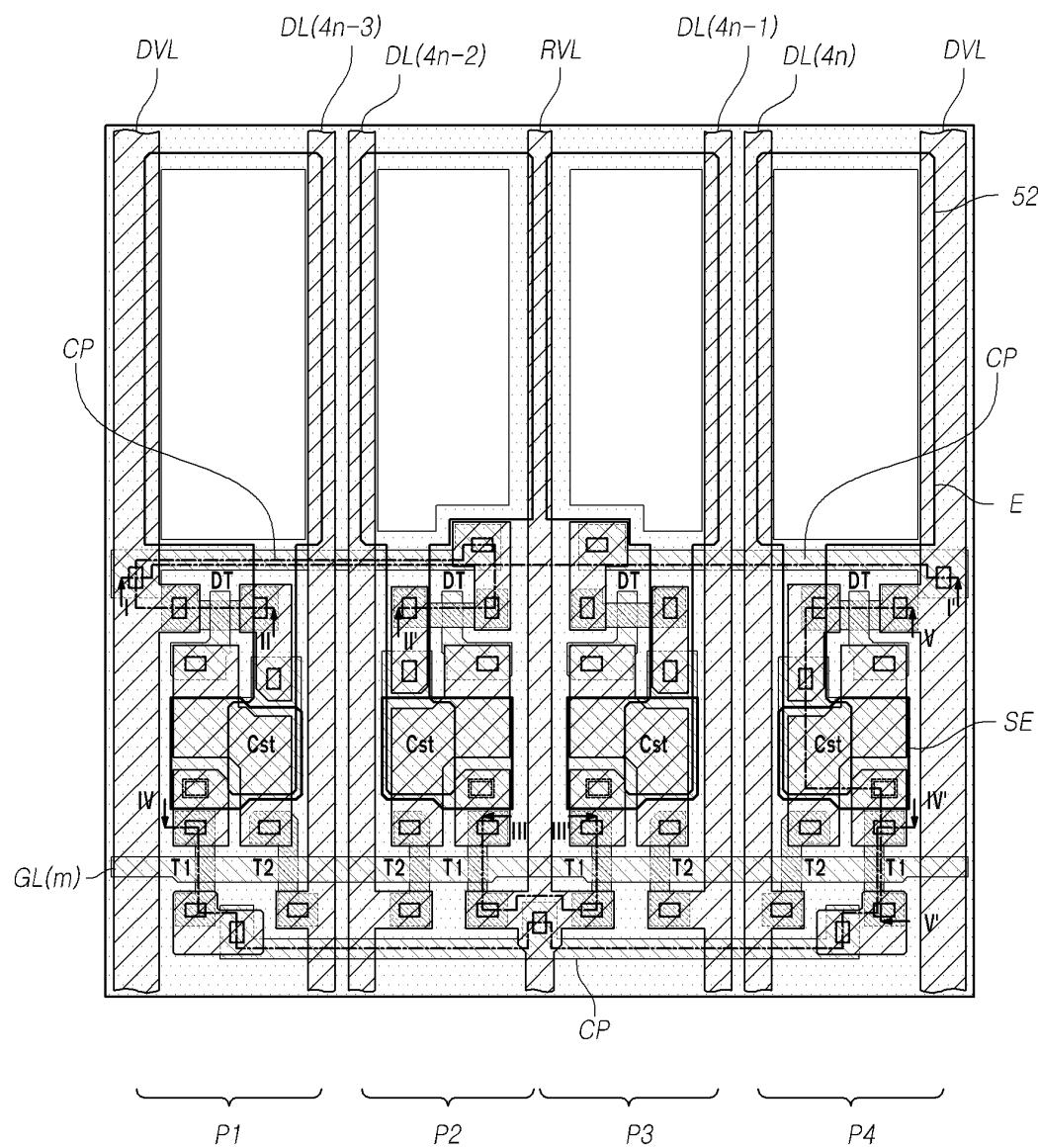
도면2



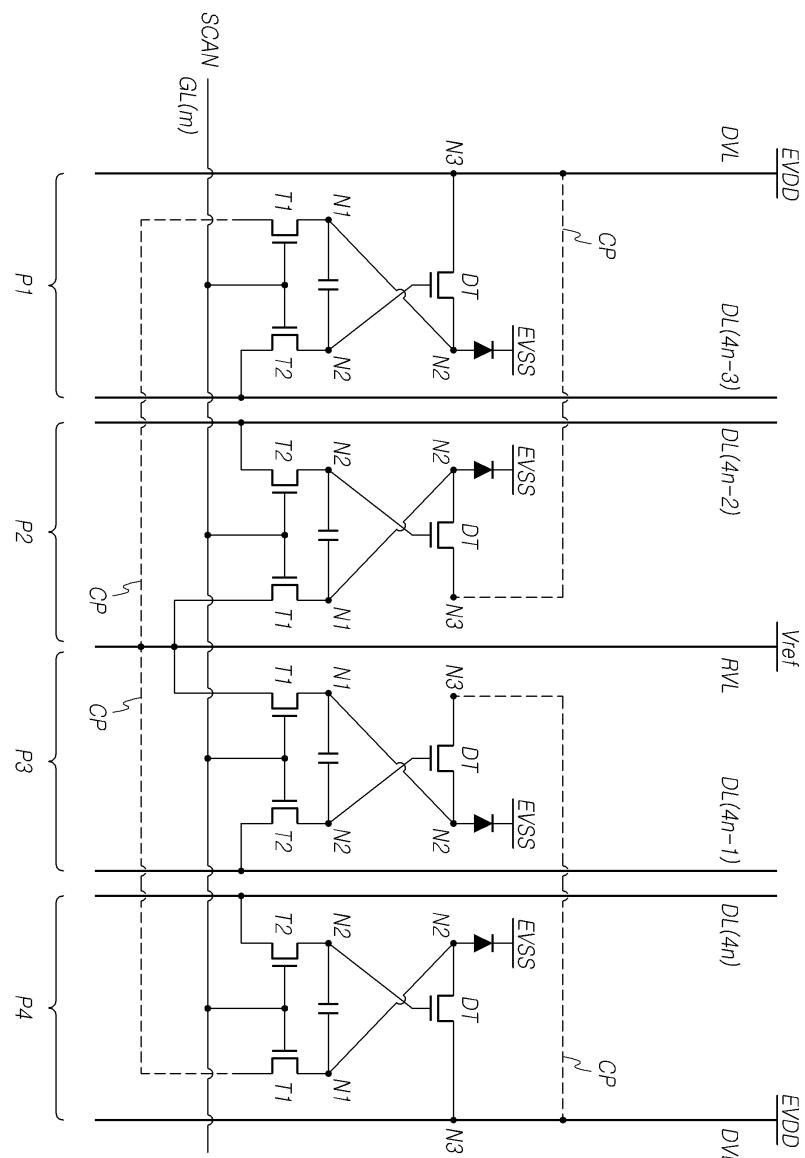
도면3



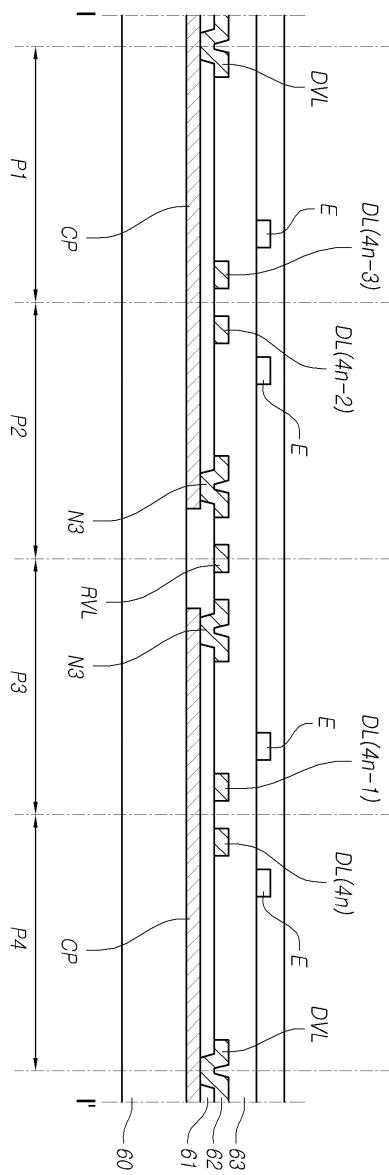
도면4



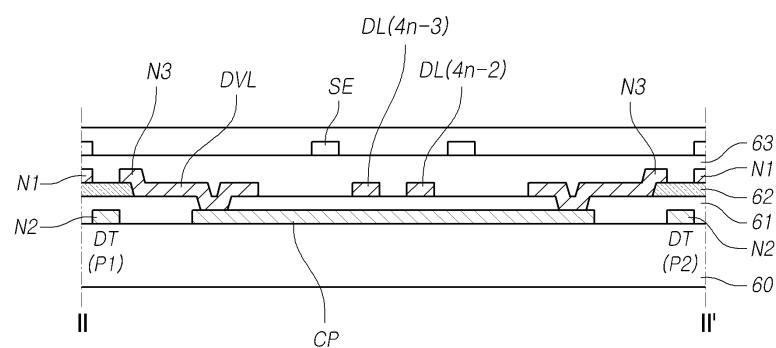
도면5



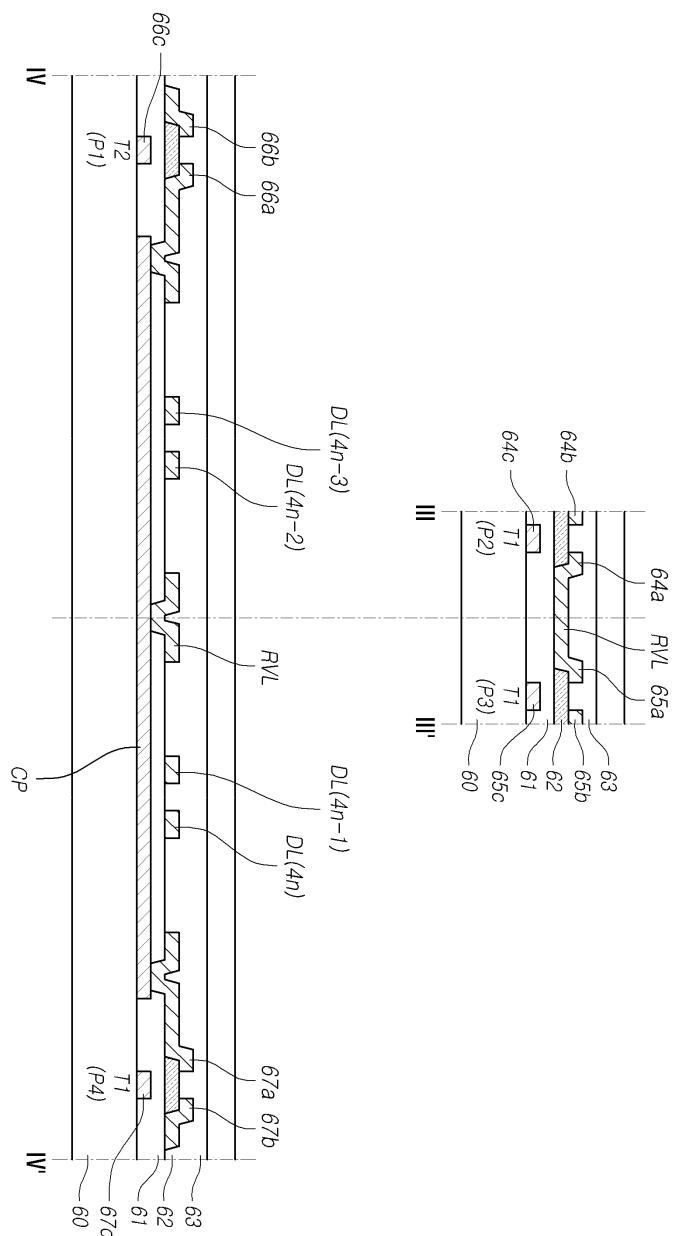
도면6a



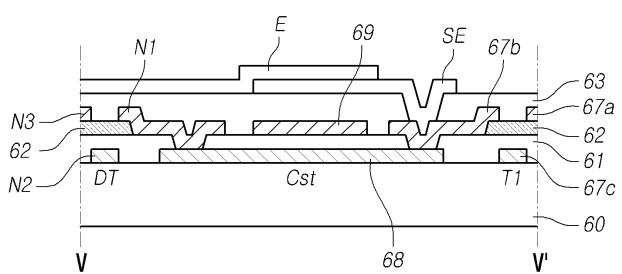
도면6b



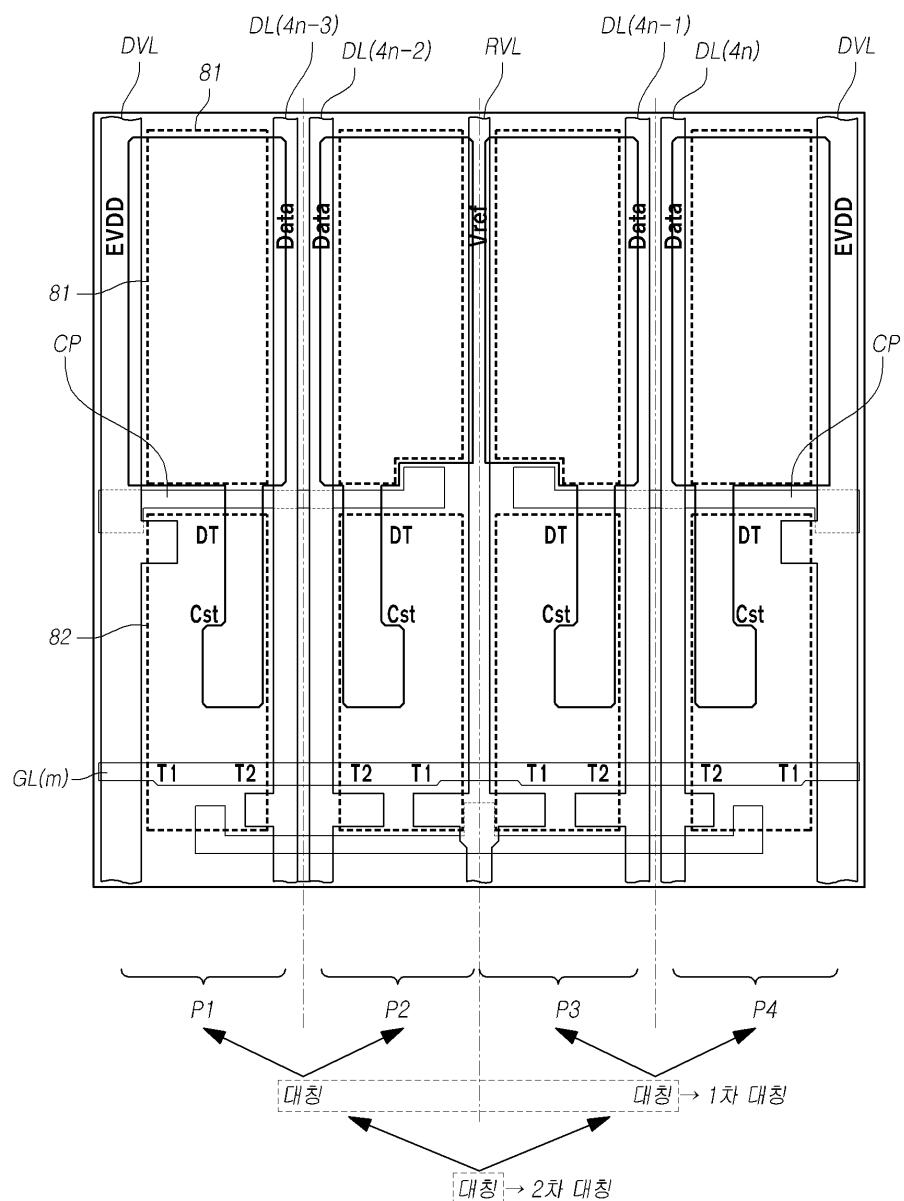
도면6c



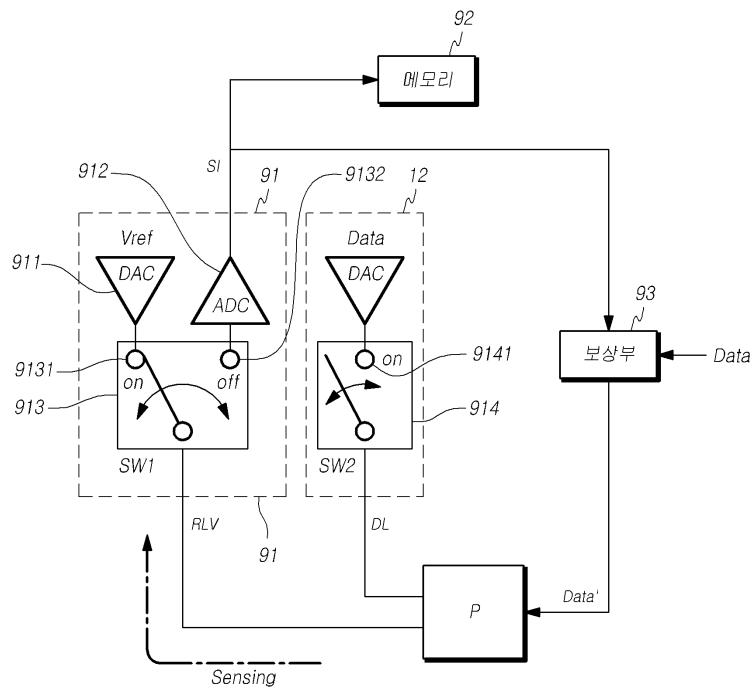
도면7



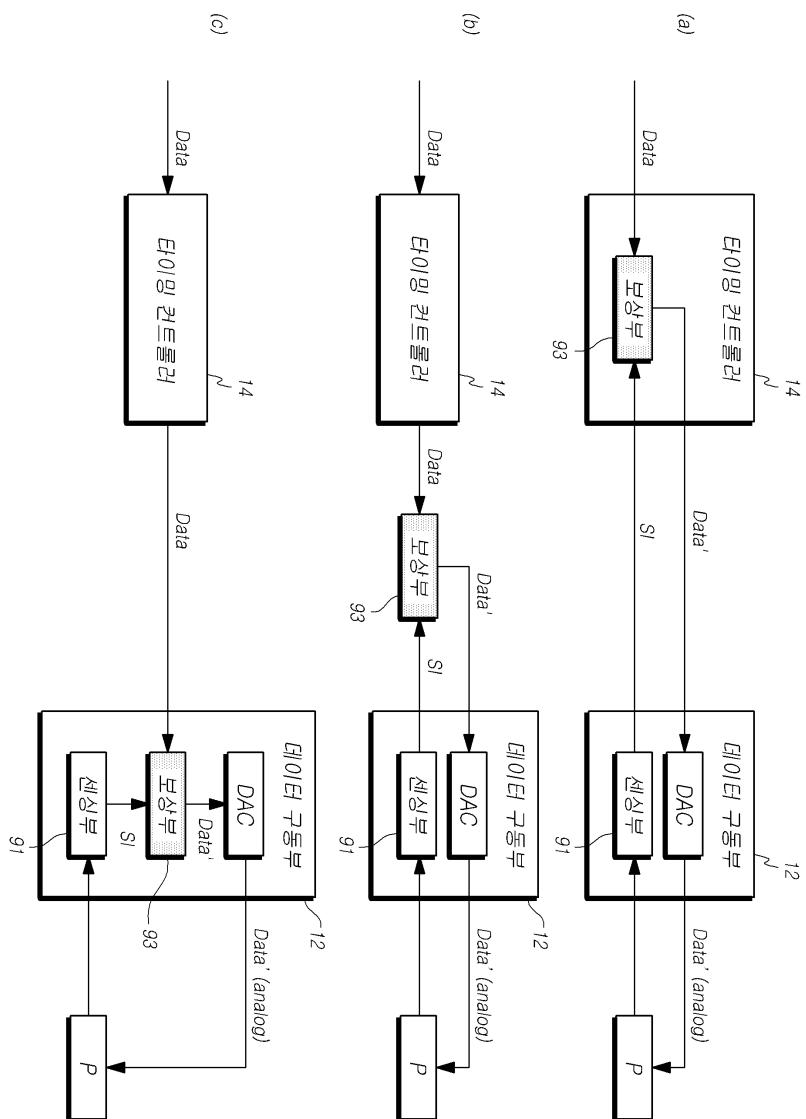
도면8



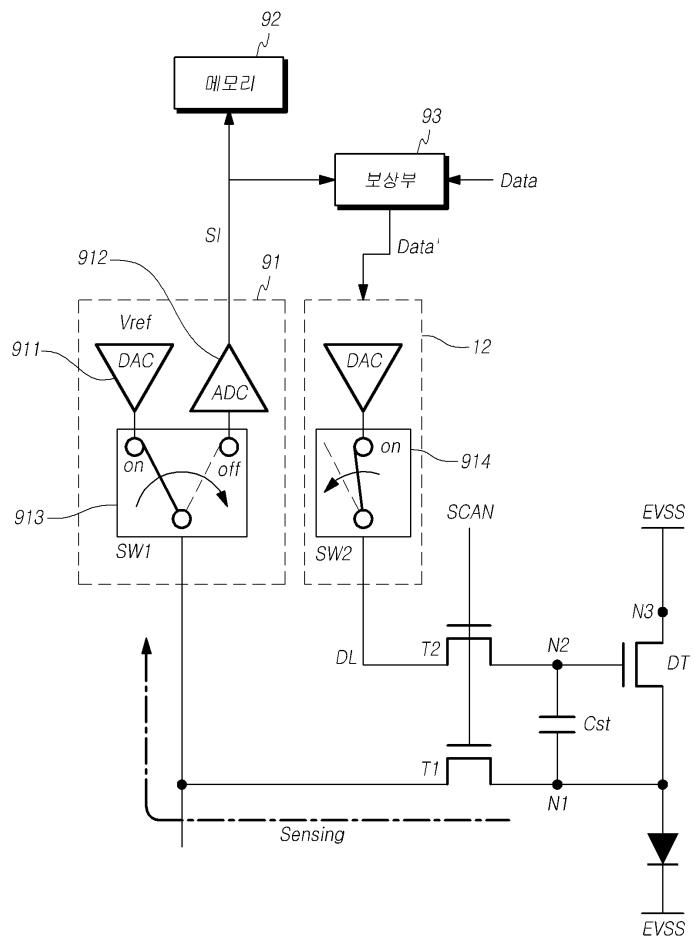
도면9



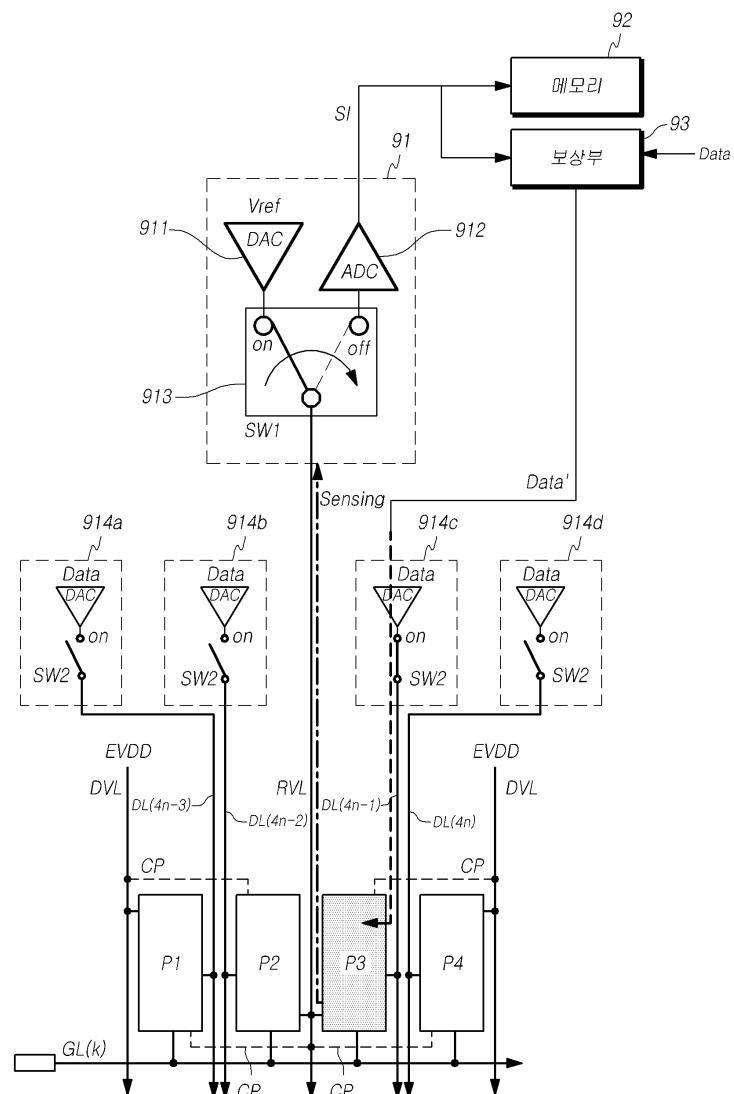
도면10



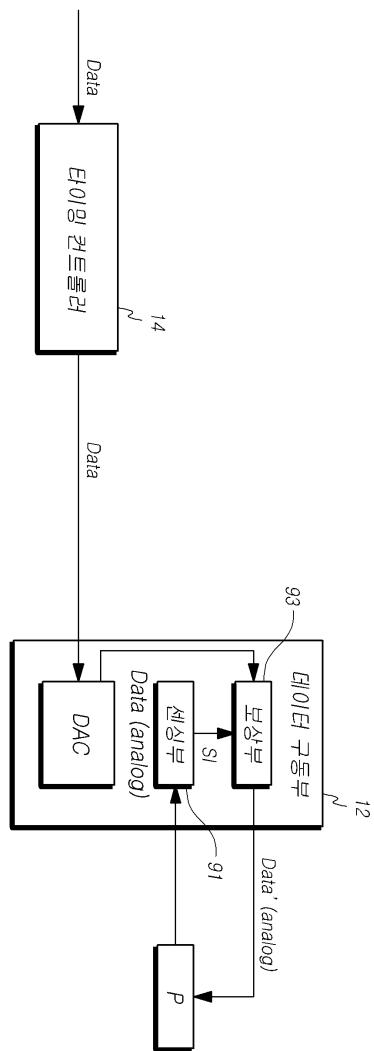
도면11



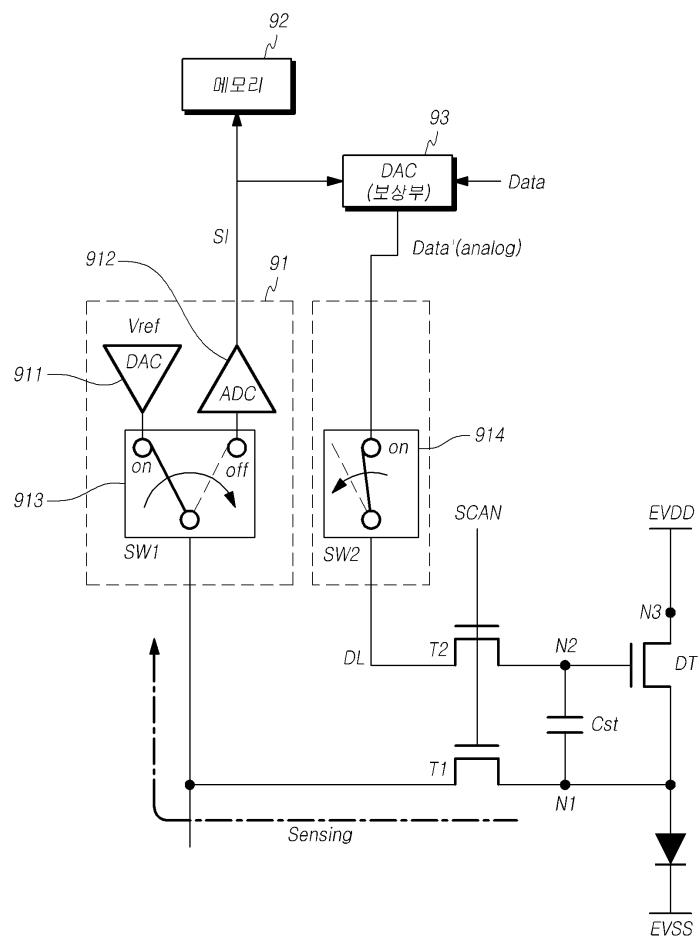
도면12



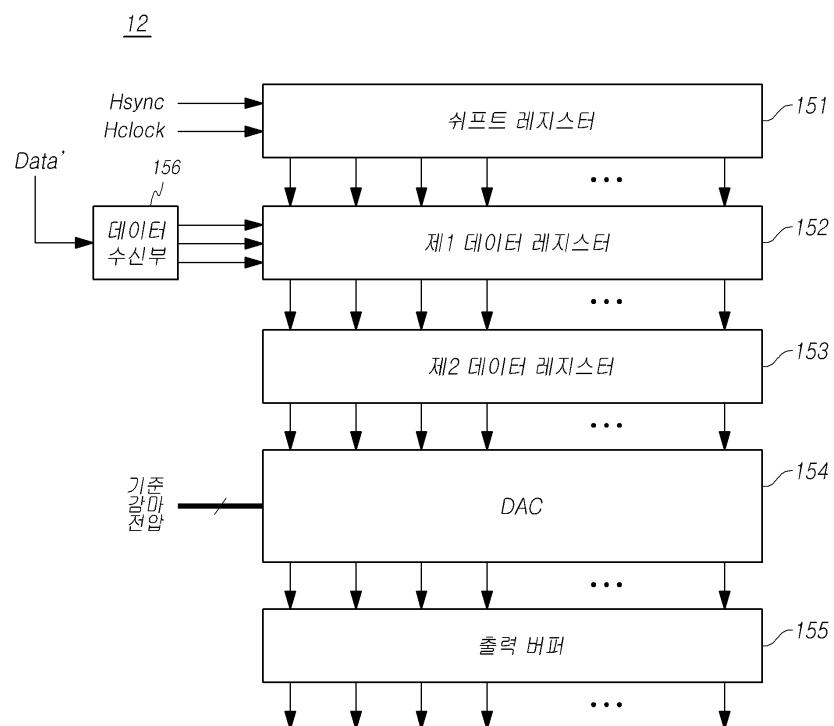
도면13



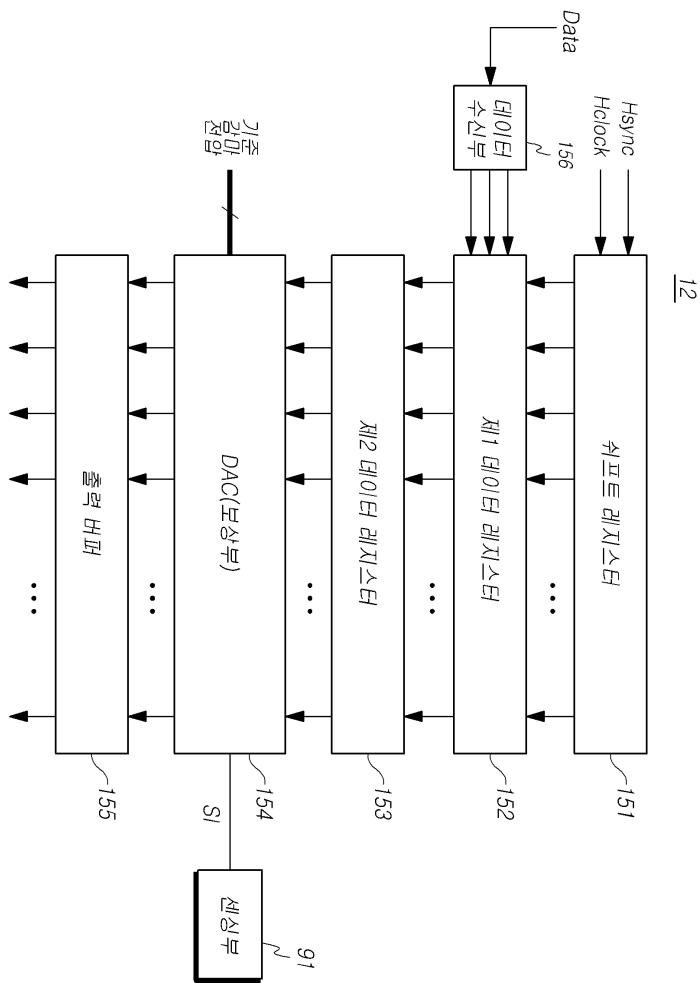
도면14



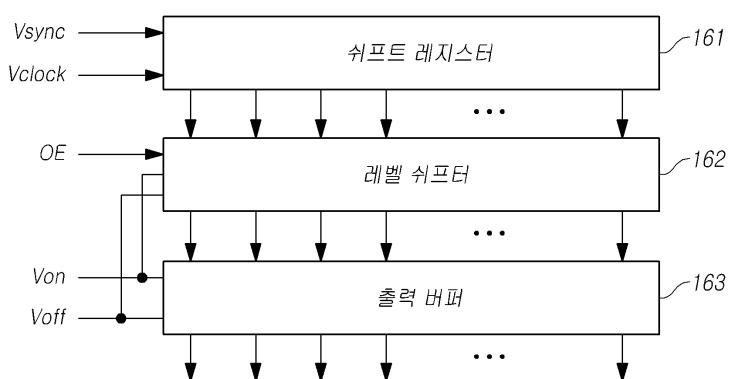
도면15a



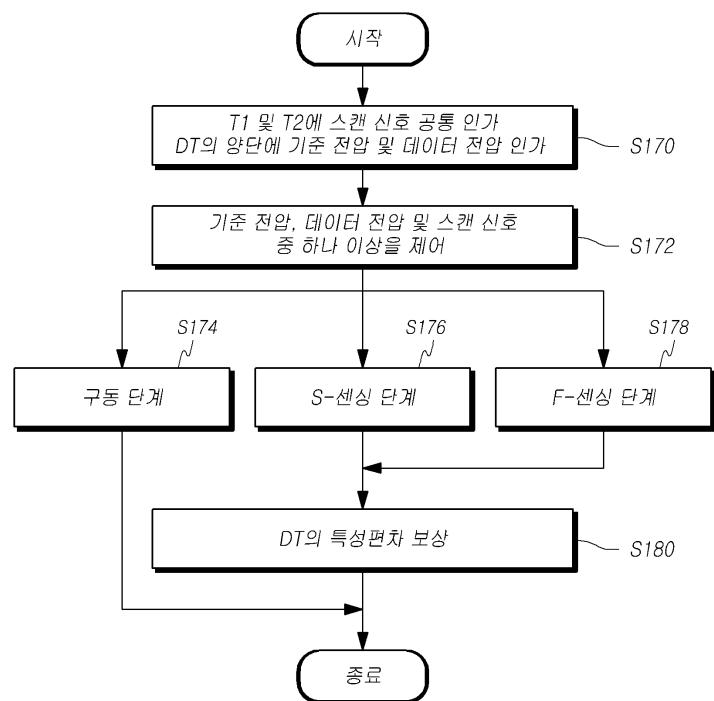
도면15b



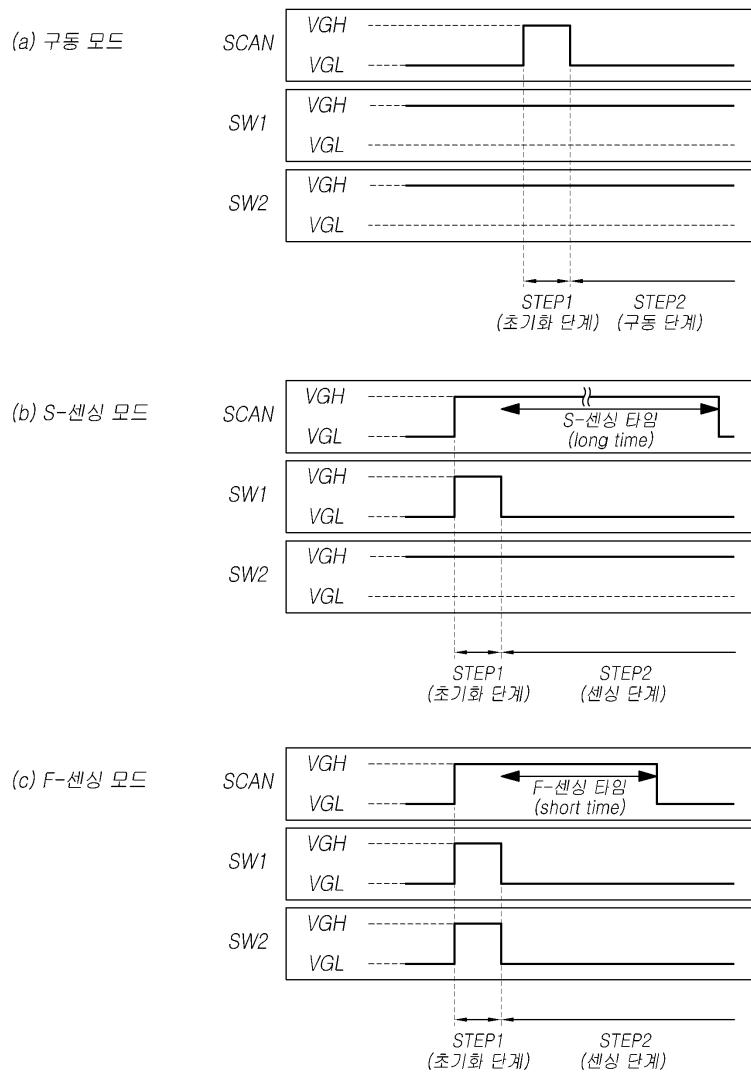
도면16



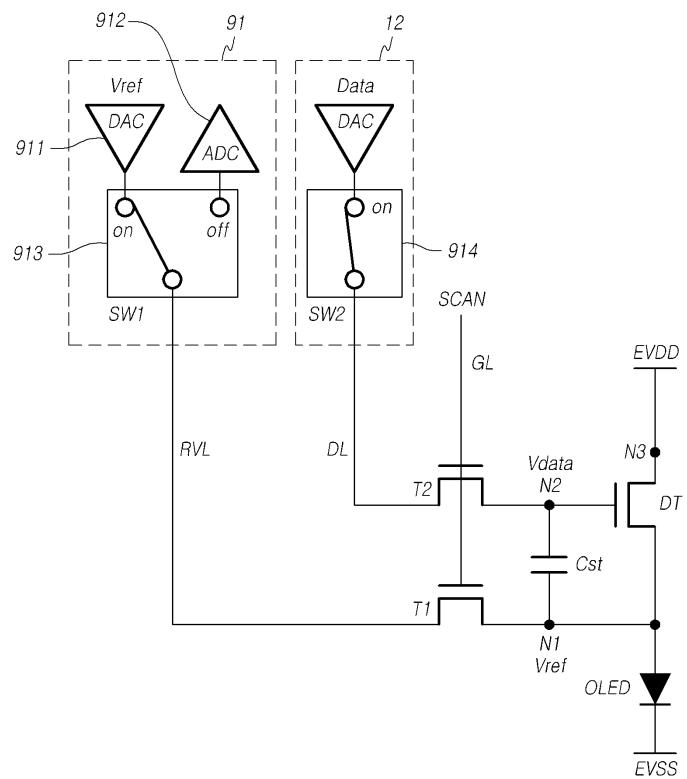
도면17



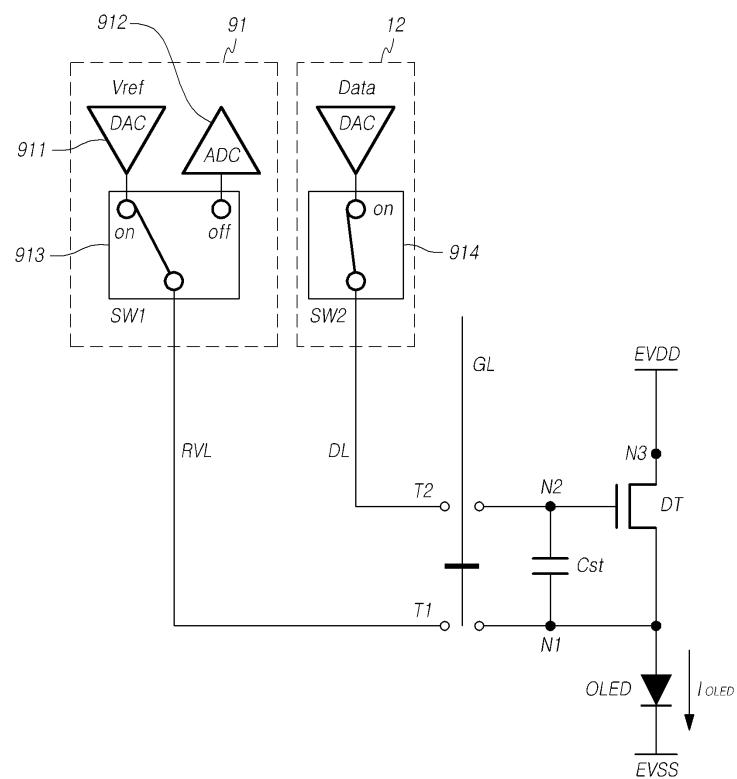
도면18



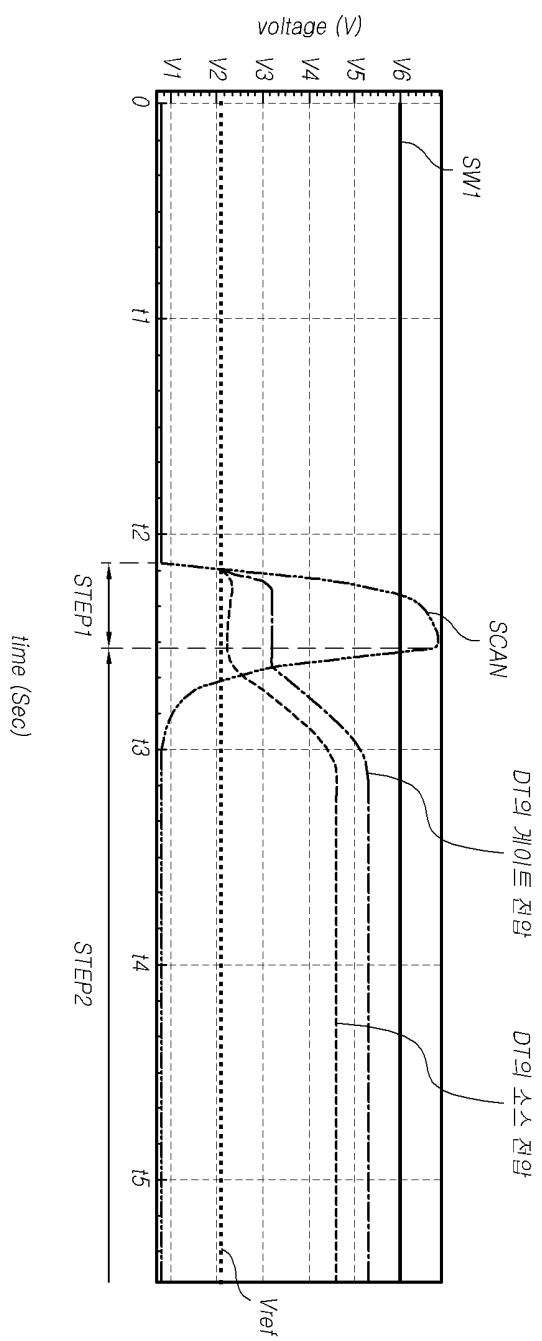
도면19a



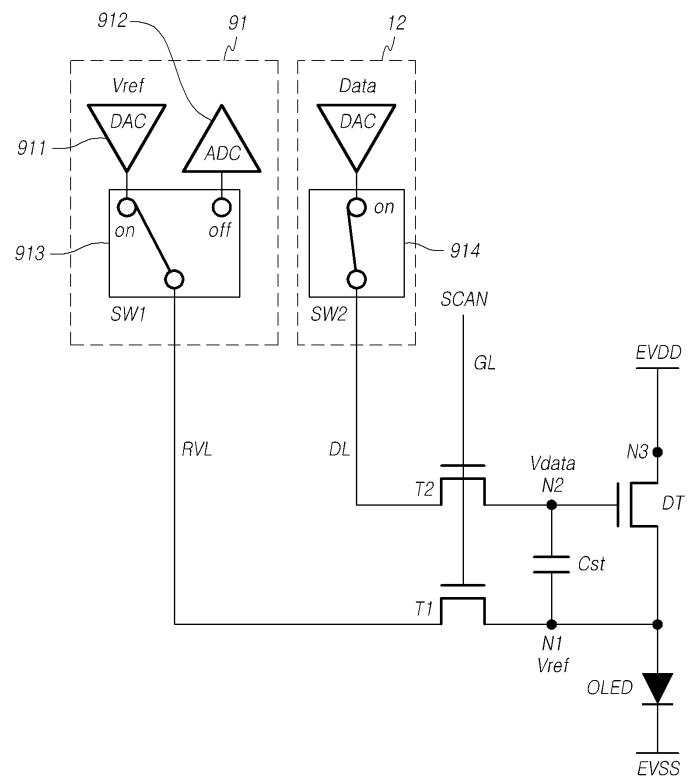
도면19b



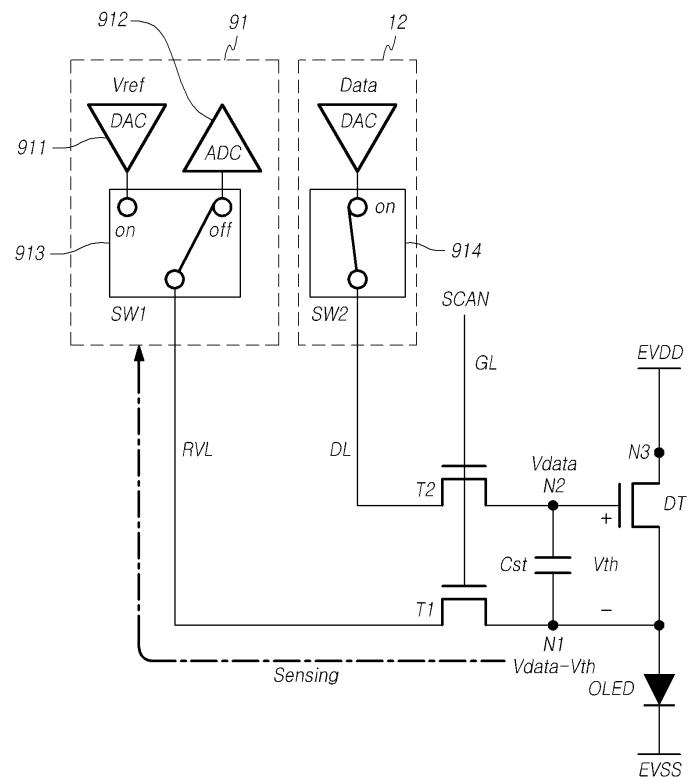
도면20



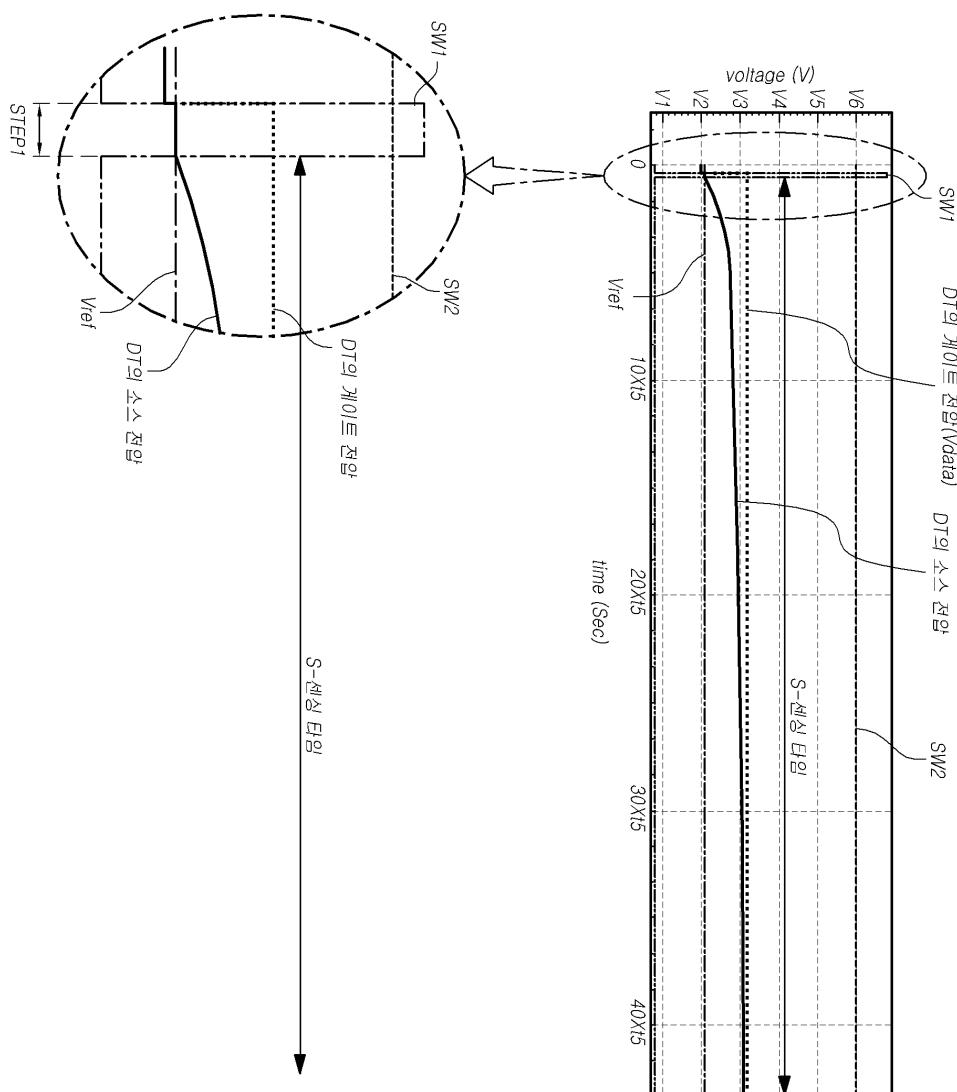
도면21a



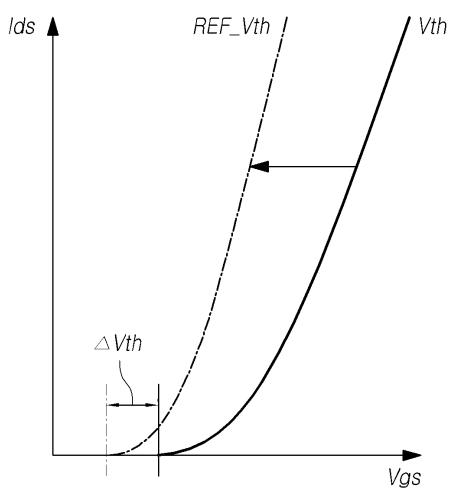
도면21b



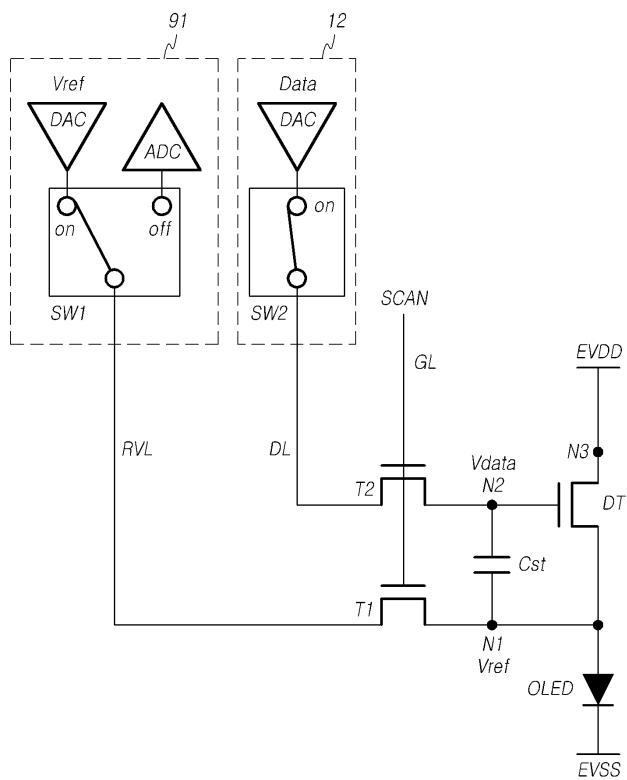
도면22a



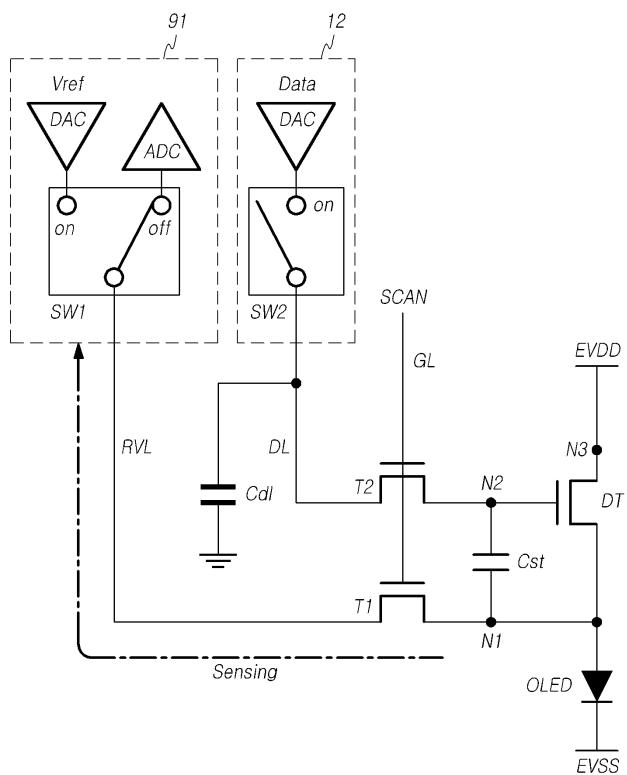
도면22b



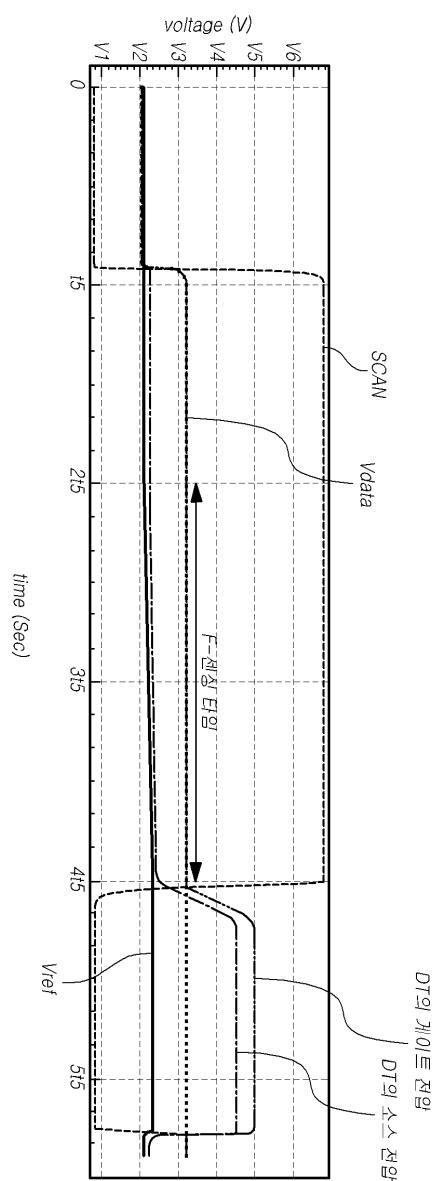
도면23a



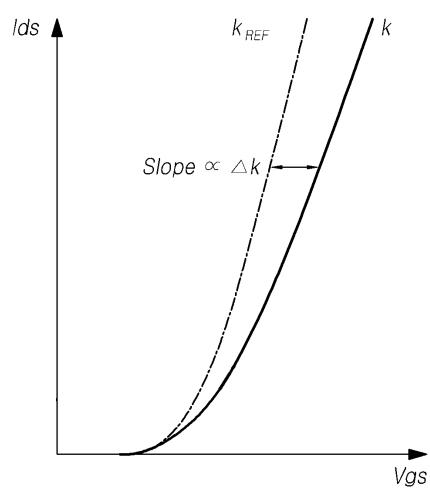
도면23b



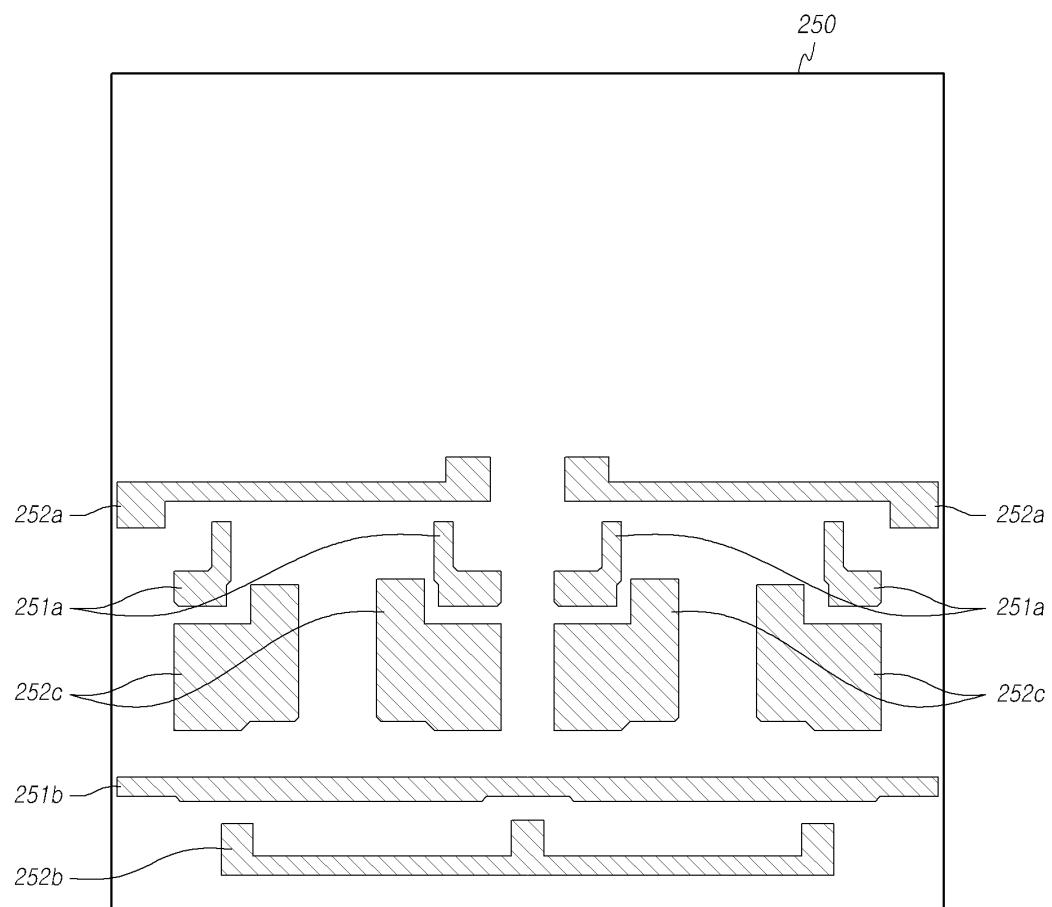
도면24a



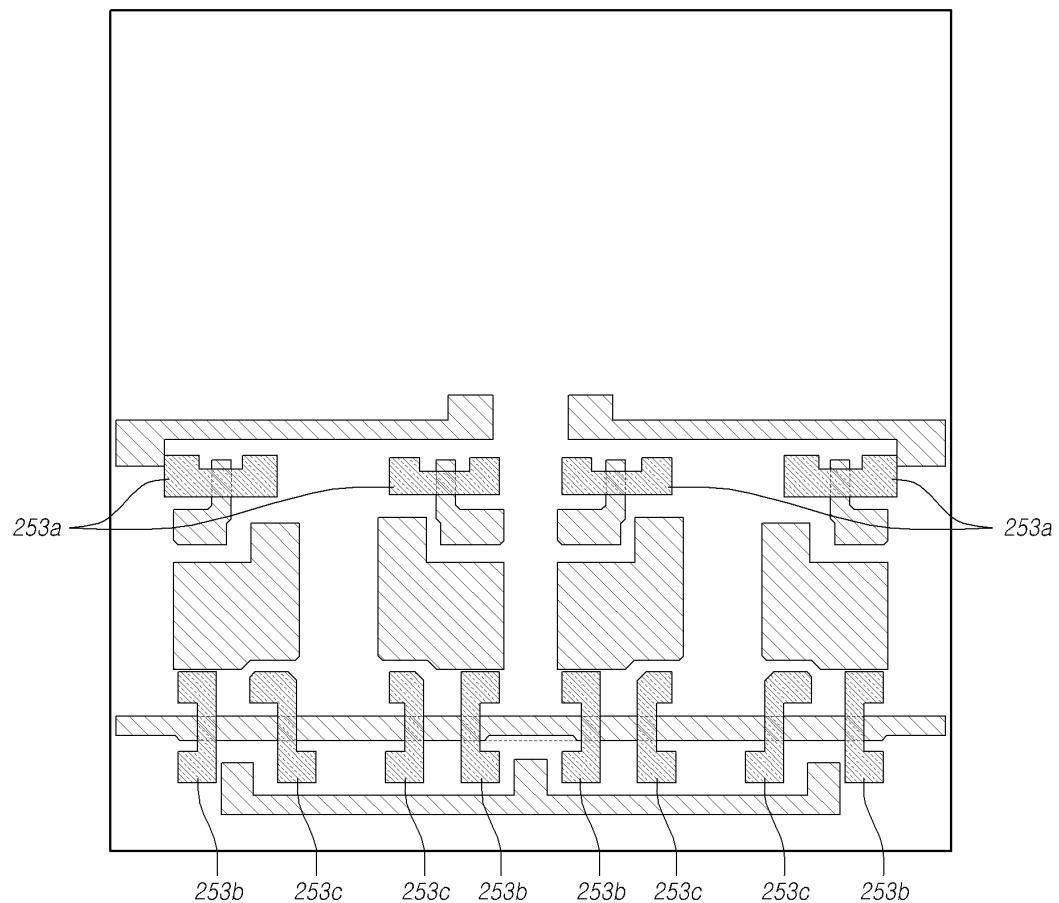
도면24b



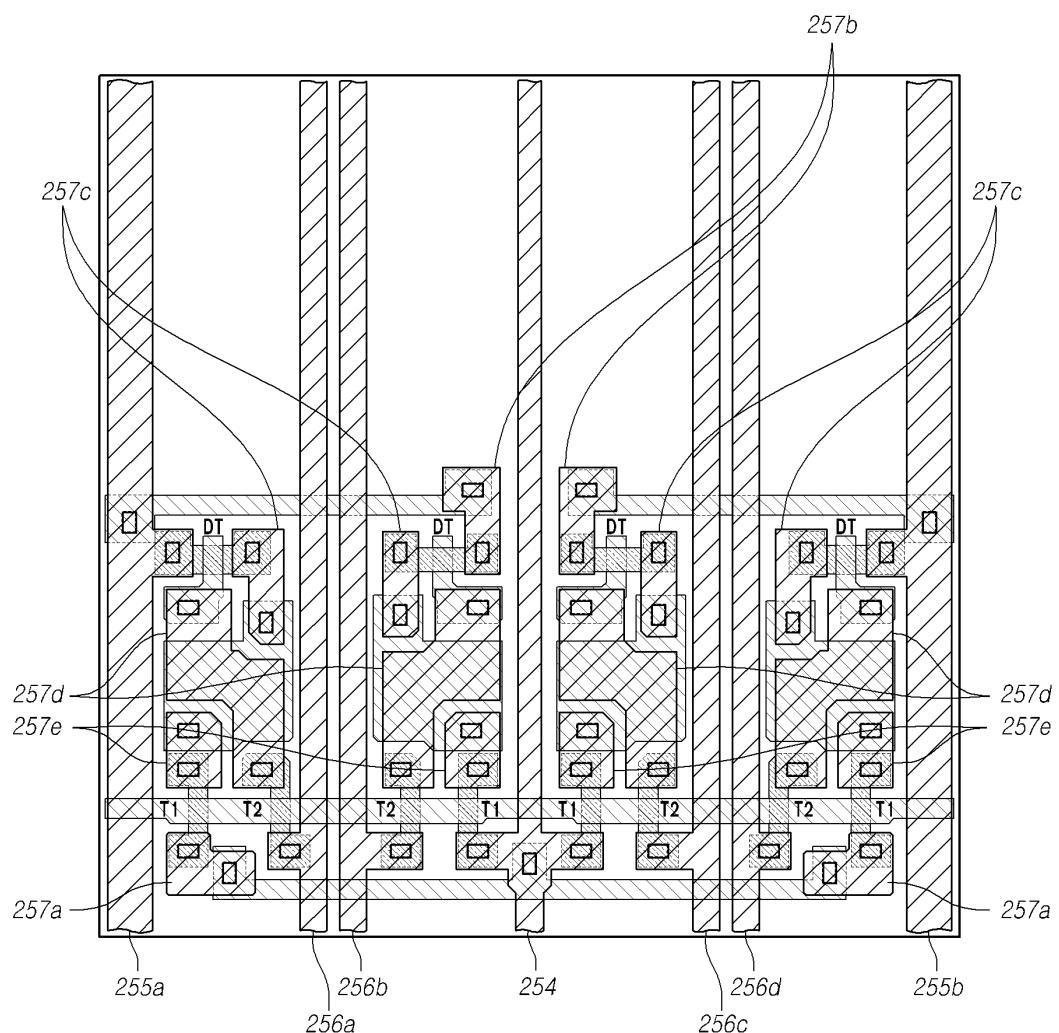
도면25a



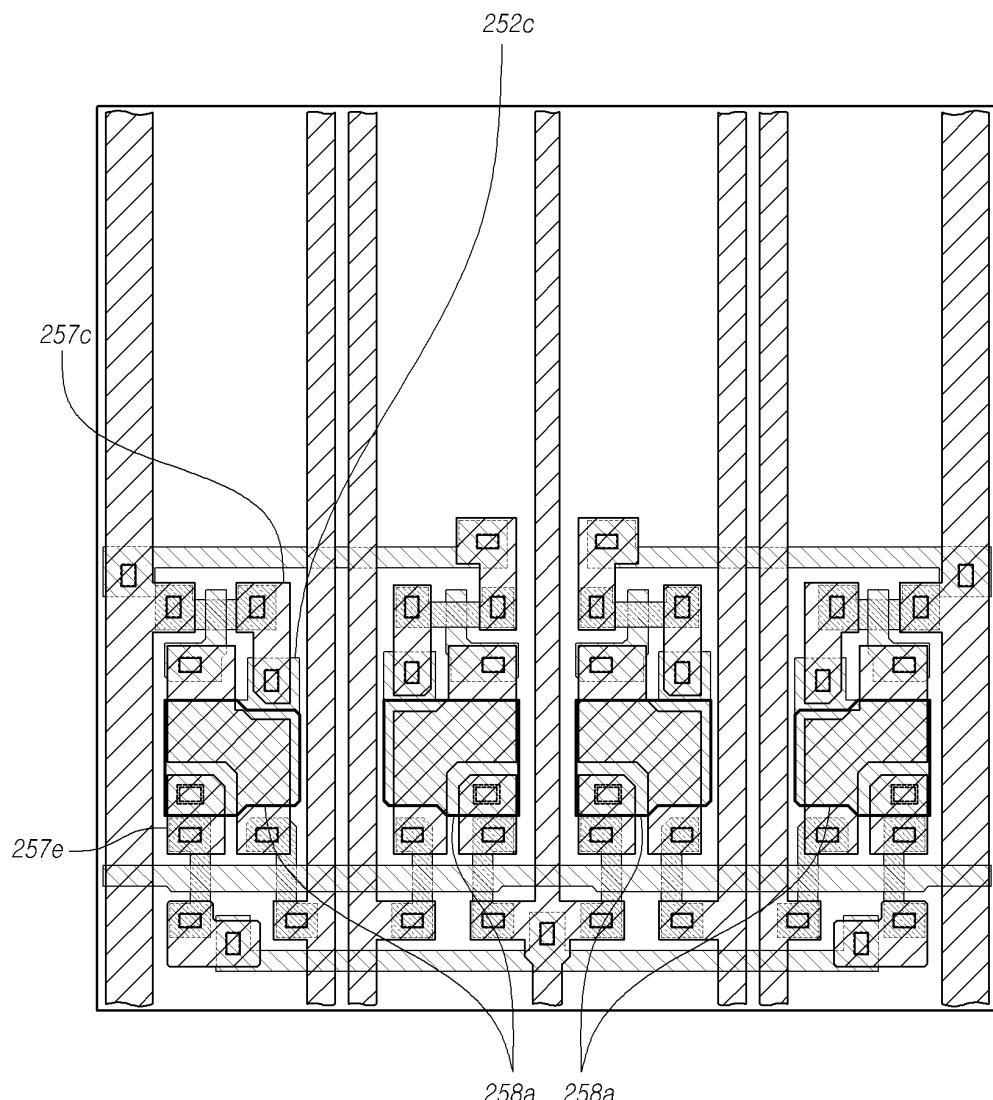
도면25b



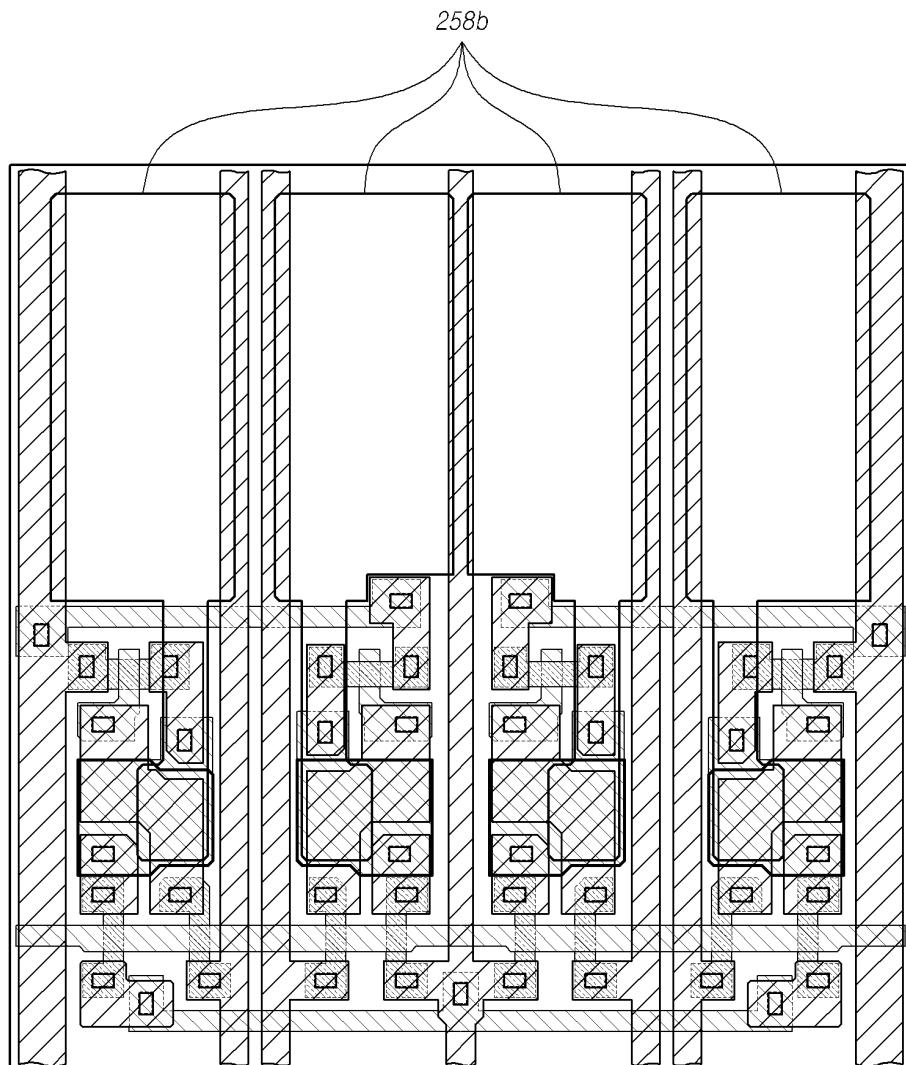
도면25c



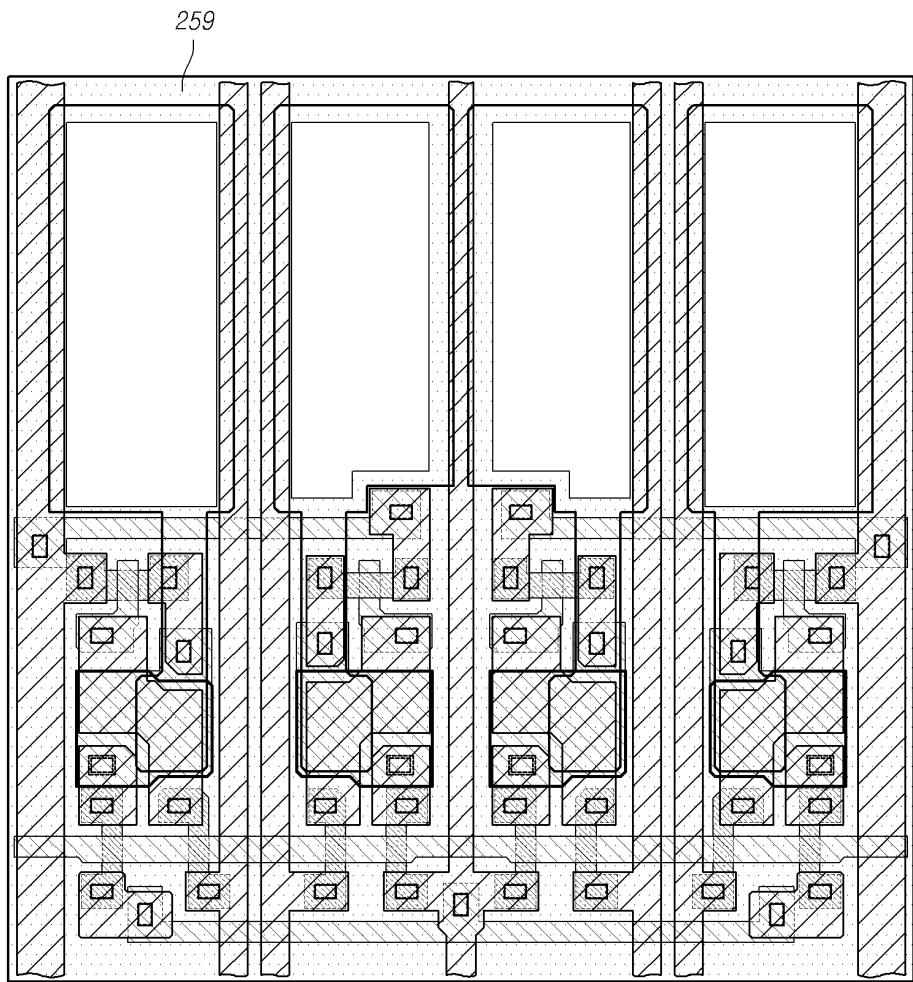
도면25d



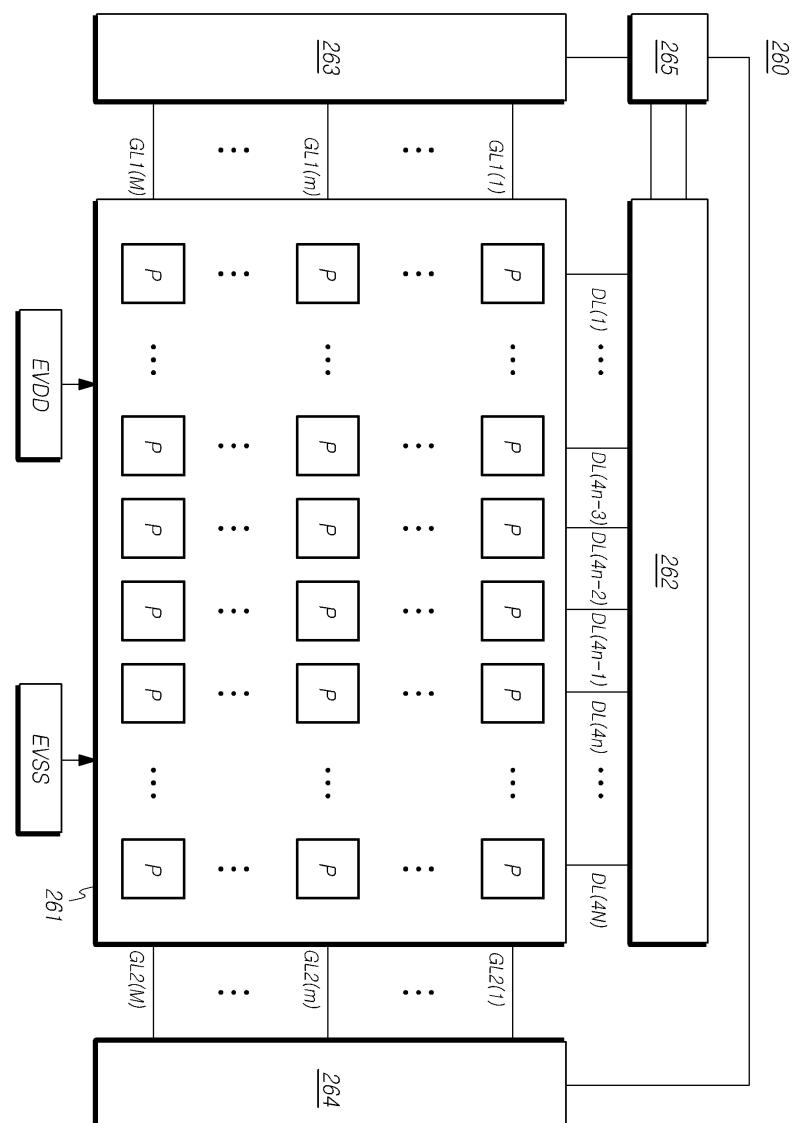
도면25e



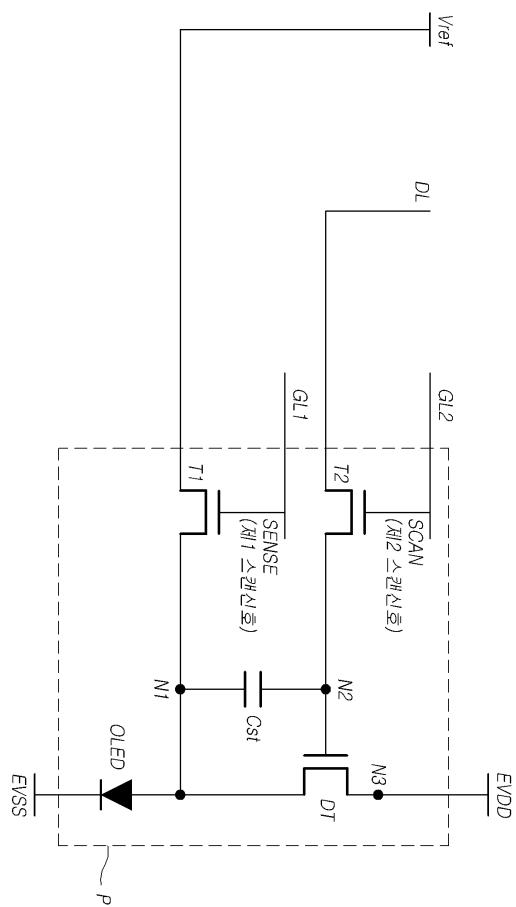
도면25f



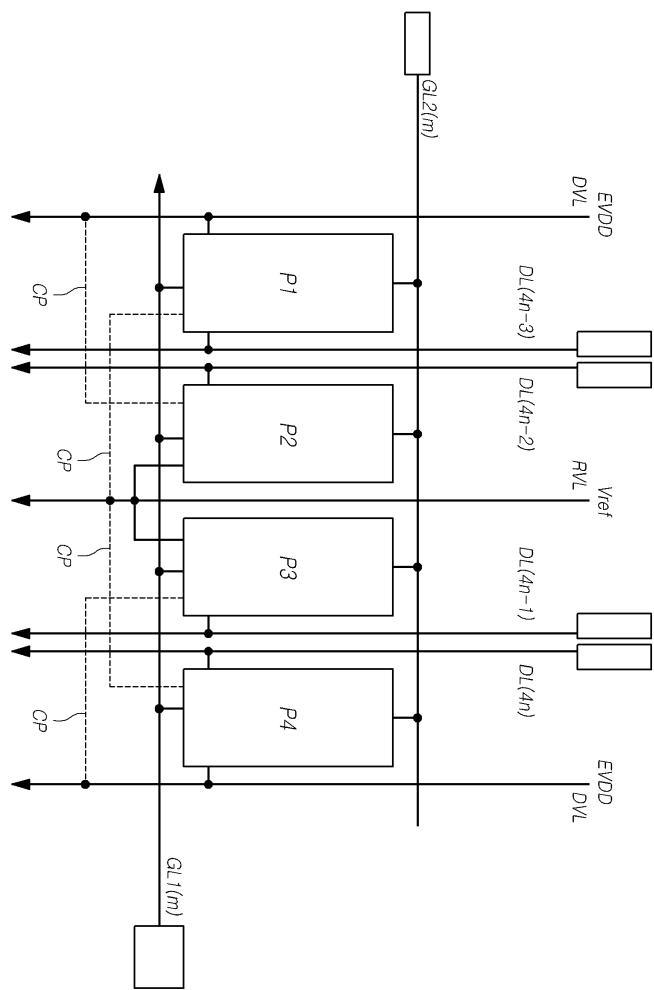
도면26



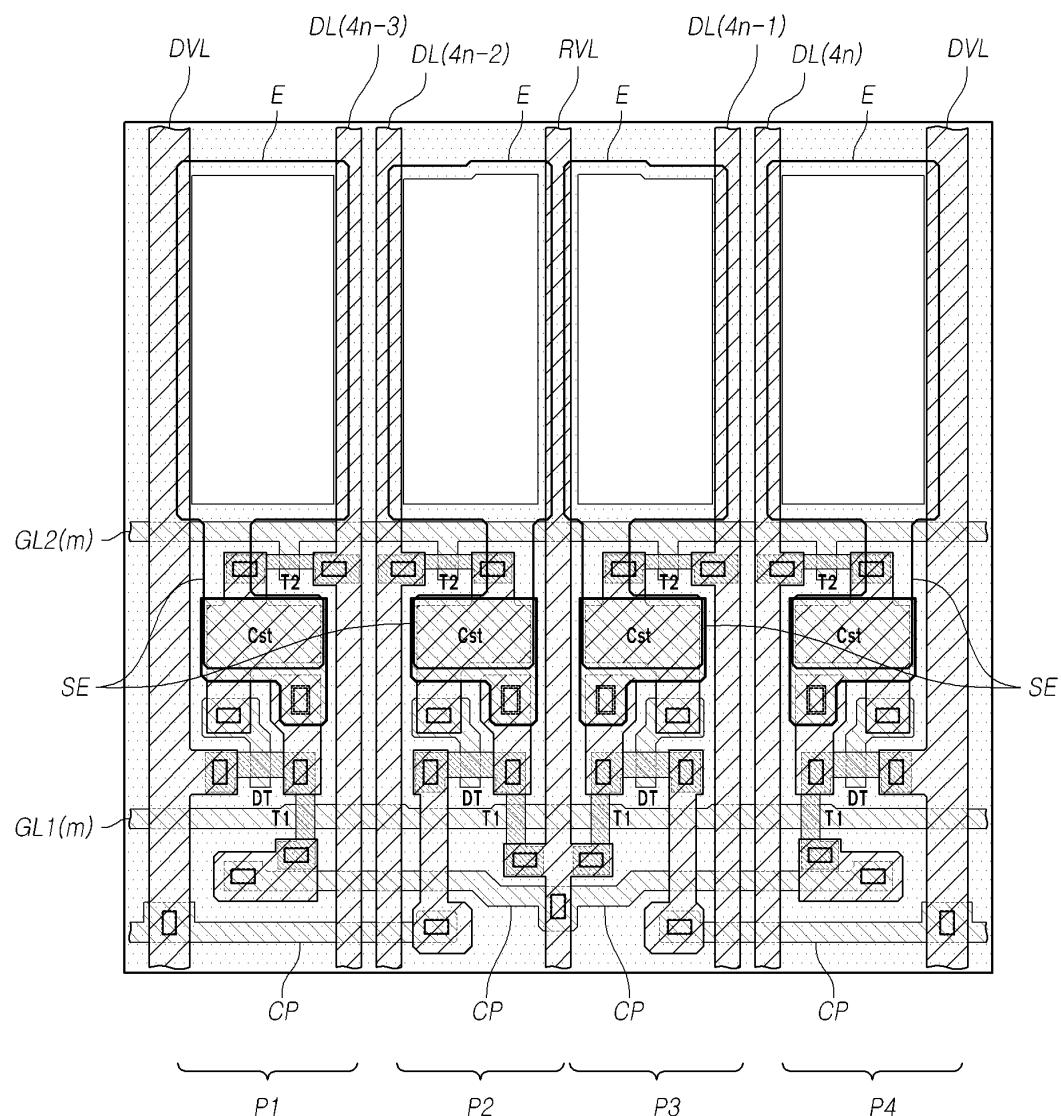
도면27



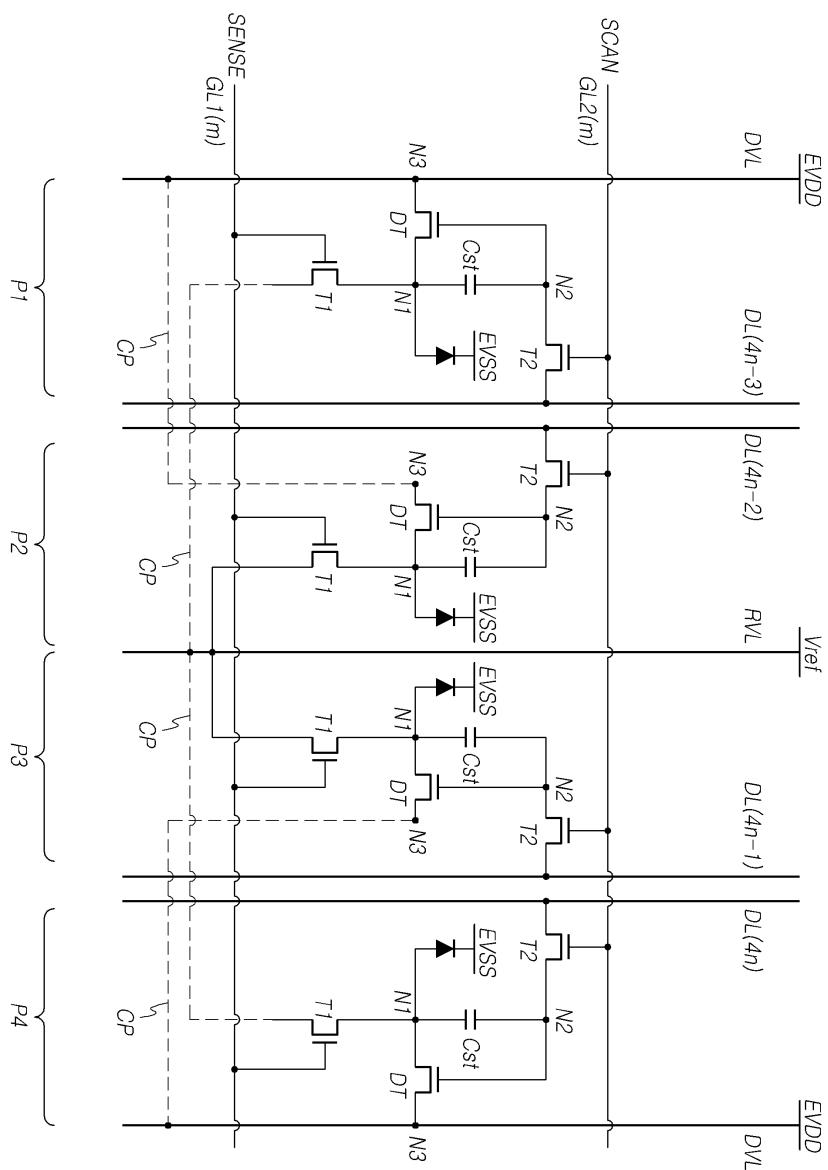
도면28



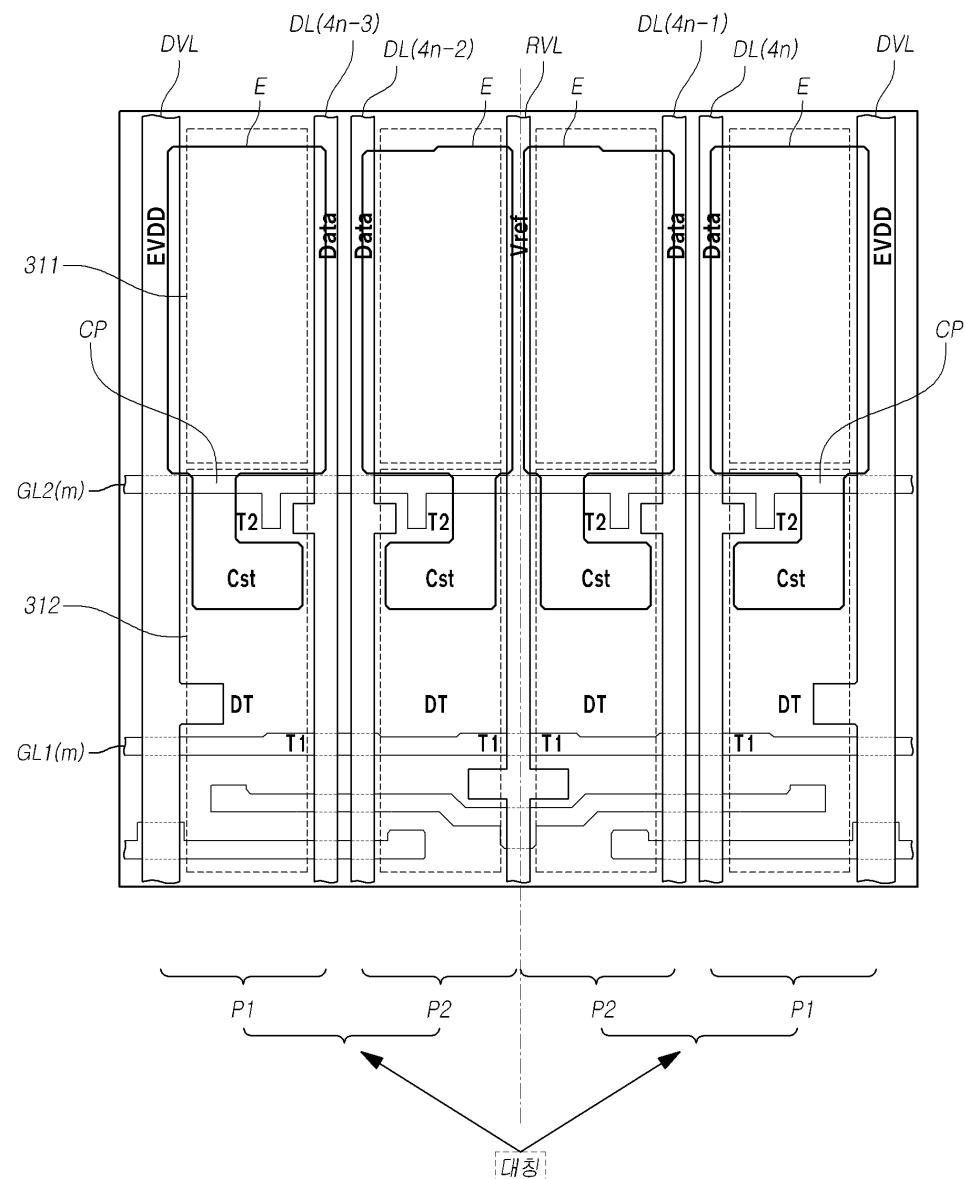
도면29



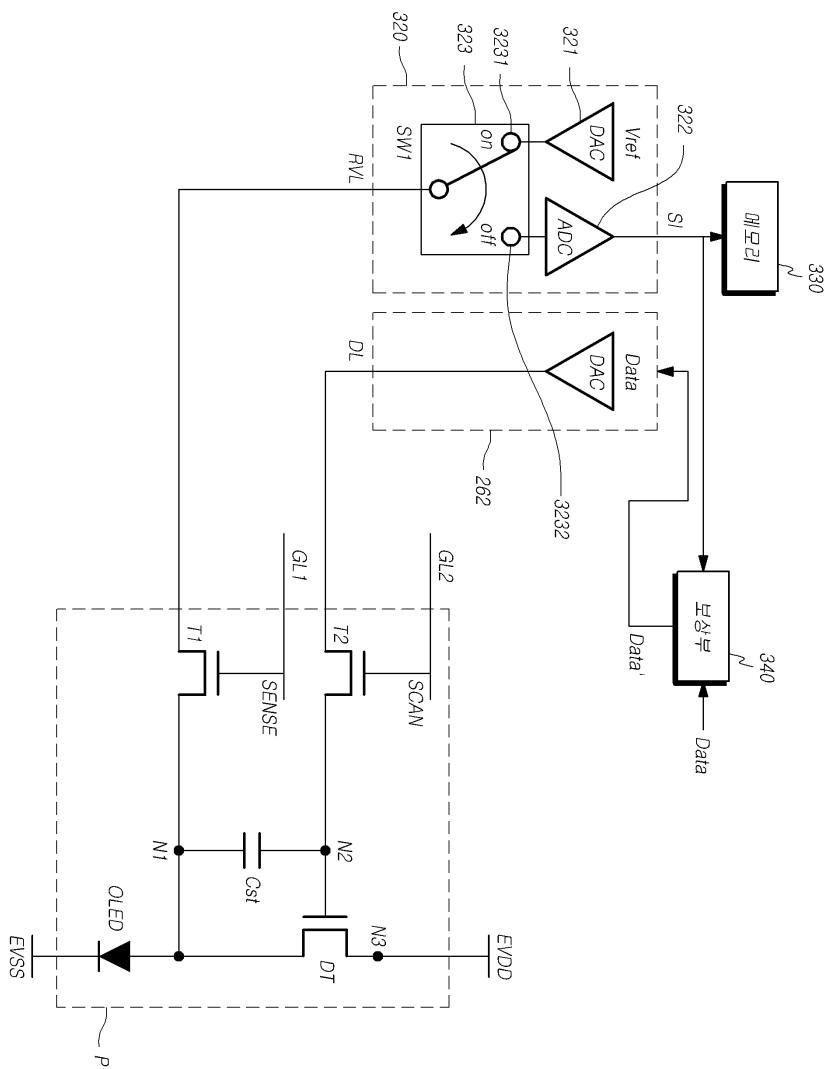
도면30



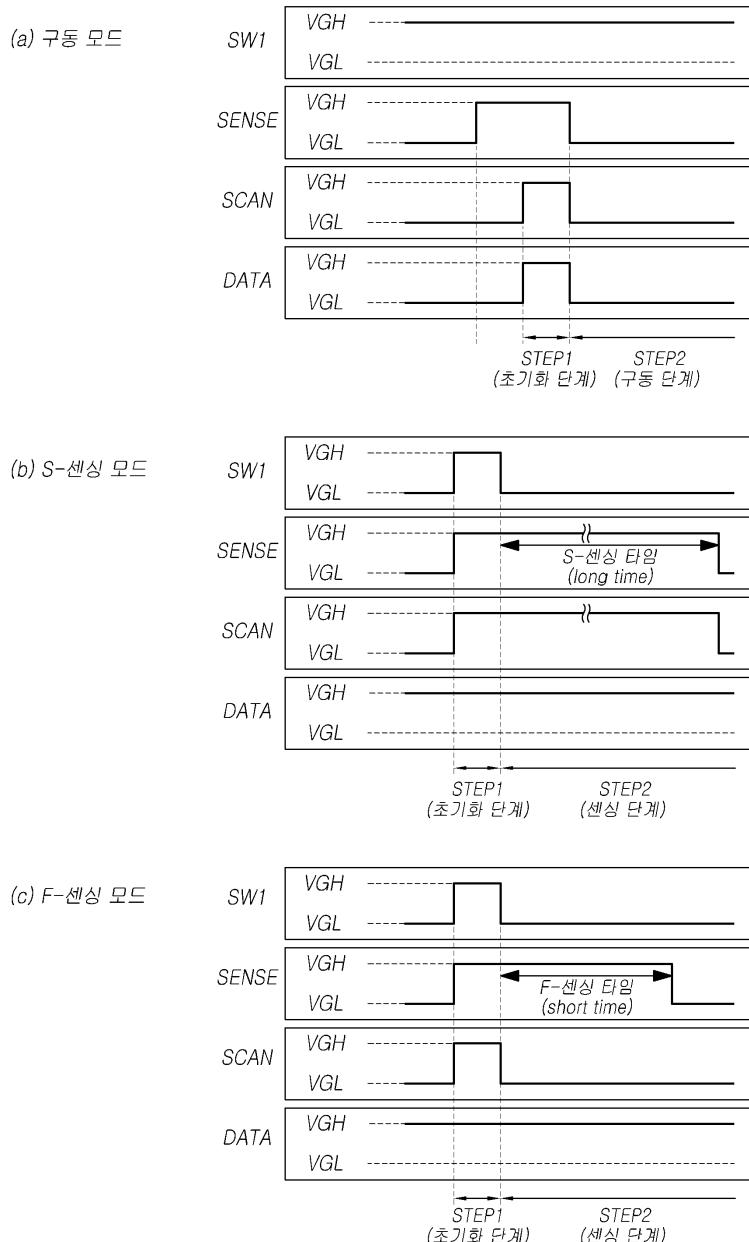
도면31



도면32



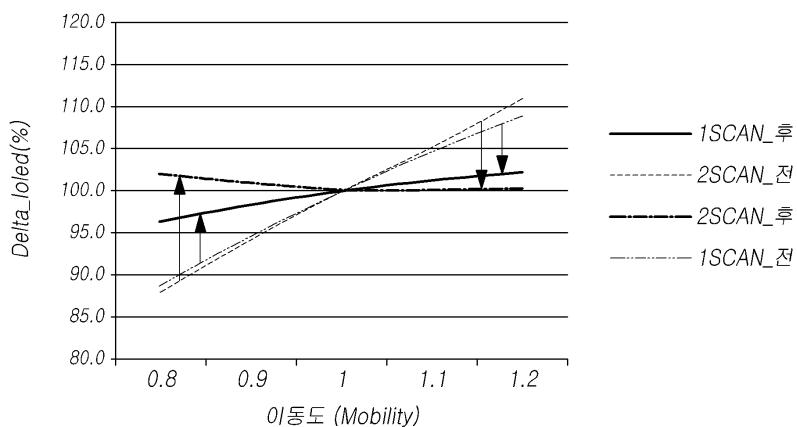
도면33



도면34

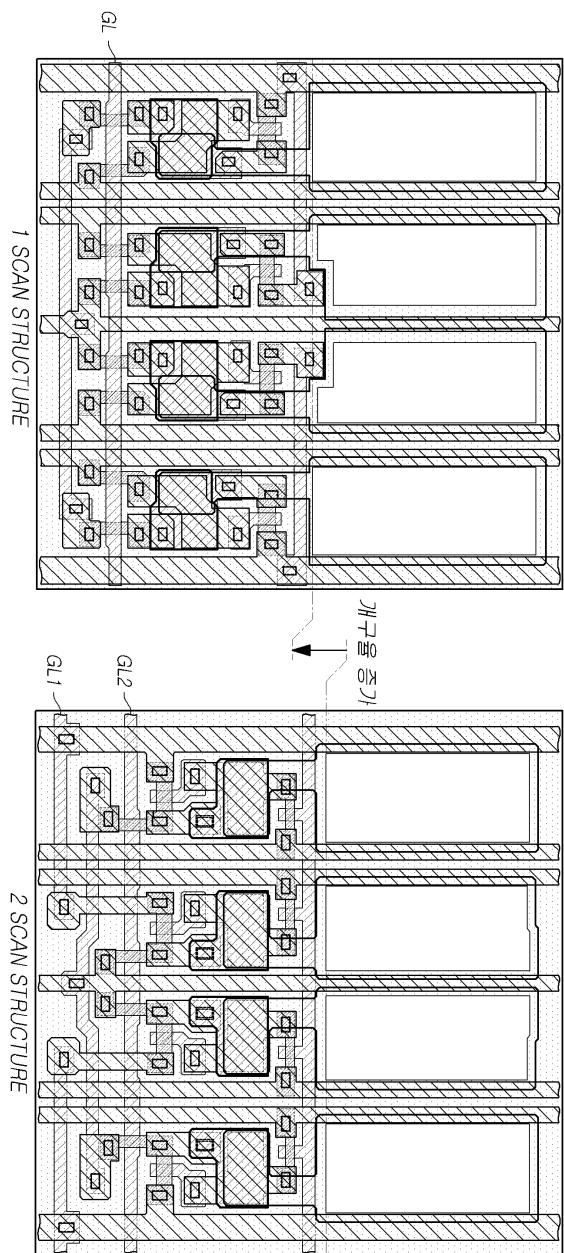
	1 스캔		2 스캔	
	Delta_Ioled (%)			
0/동도	전	후	전	후
0.8	88.8	96.4	88.0	101.9
0.9	94.7	98.4	94.3	100.9
1	100.0	100.0	100.0	100.0
1.1	104.7	101.2	105.3	100.2
1.2	108.9	102.3	110.8	100.3

(a)



(b)

도면35



专利名称(译)	有机电致发光显示装置，显示面板及其驱动方法		
公开(公告)号	KR1020200026229A	公开(公告)日	2020-03-10
申请号	KR1020200024435	申请日	2020-02-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김현진 김범식		
发明人	김현진 김범식		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2300/0439 G09G2300/0809 G09G2310/06 G09G2320/0233 G09G2320/029 G09G2320/0693		
外部链接	Espacenet		

摘要(译)

本发明涉及一种具有感测和补偿功能的有机电致发光显示装置及其显示面板及其驱动方法。由交叉数据和栅极线交叉定义的每个像素包括有机发光二极管，驱动有机发光二极管的驱动晶体管，由从栅极线提供并连接在参考电压线或连接点之间的扫描信号控制的第一晶体管。图案连接到参考电压线和驱动晶体管的第一节点，第二晶体管由从栅极线共同提供并连接在数据线和驱动晶体管的第二节点之间的扫描信号控制，电容器连接在驱动晶体管的第一和第二节点之间。

