

(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/326 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3272 (2013.01)

H01L 27/3274 (2013.01)

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상의 스캔선 및 데이터선;

상기 기관 상의 구동 전압선;

상기 기관 상의 초기화 전압선;

상기 기관 상의 발광 제어선;

상기 스캔선 및 상기 데이터선에 연결된 제1 박막 트랜지스터;

상기 구동 전압선 및 상기 제1 박막 트랜지스터 각각에 전기적으로 연결된 제2 박막 트랜지스터;

상기 제2 박막 트랜지스터와 전기적으로 연결된 유기 발광 소자;

상기 제2 박막 트랜지스터와 전기적으로 연결되되, 상기 발광 제어선, 상기 스캔선, 및 상기 초기화 전압선 중 어느 하나와 연결된 제3 박막 트랜지스터;

상기 제1 박막 트랜지스터의 게이트전극 아래의 제1 반도체층, 상기 제2 박막 트랜지스터의 게이트전극 아래의 제2 반도체층, 및 상기 제3 박막 트랜지스터의 게이트전극 아래의 제3 반도체층을 포함하는 반도체층;

상기 반도체층 상의 제1 절연막;

상기 제2 박막 트랜지스터의 상기 게이트전극을 포함하는 제1 축전판, 상기 제1 축전판 상의 제2 축전판, 및 상기 제1 축전판과 상기 제2 축전판 사이의 제2절연막을 포함하는 스토리지 커패시터; 및

상기 제2 축전판 상의 제3 절연막;

을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 제2 반도체층은 상기 제2 박막 트랜지스터의 상기 게이트전극 아래에서 굴곡부를 갖는, 유기 발광 표시 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 반도체층, 상기 제2 반도체층, 및 상기 제3 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당하는, 유기 발광 표시 장치.

청구항 4

제2항에 있어서,

상기 굴곡부는 둔각을 갖는, 유기 발광 표시 장치.

청구항 5

제2항에 있어서,

상기 굴곡부는 복수의 굴곡 지점을 포함하는, 유기 발광 표시 장치.

청구항 6

제2항에 있어서,
상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함하는 유기 발광 표시 장치.

청구항 7

제6항에 있어서,
상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며,
상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당하는, 유기 발광 표시 장치.

청구항 8

제7항에 있어서,
상기 반도체층은,
상기 데이터선과 일부 중첩하는, 유기 발광 표시 장치.

청구항 9

제2항에 있어서,
상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함하는 유기 발광 표시 장치.

청구항 10

제9항에 있어서,
상기 제3 박막 트랜지스터는 상기 스캔선에 전기적으로 연결되고,
상기 제4 박막 트랜지스터는 상기 발광 제어선에 전기적으로 연결된, 유기 발광 표시 장치.

청구항 11

제9항에 있어서,
상기 제3 박막 트랜지스터 및 상기 제4 박막 트랜지스터는 각각, 상기 발광 제어선에 전기적으로 연결된, 유기 발광 표시 장치.

청구항 12

제10항 또는 제11항에 있어서,
상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며,
상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당하는, 유기 발광 표시 장치.

청구항 13

제12항에 있어서,
상기 반도체층은 상기 데이터선과 일부 중첩하는, 유기 발광 표시 장치.

청구항 14

제2항에 있어서,
상기 제3 박막 트랜지스터는 상기 제2 박막 트랜지스터 및 상기 유기 발광 소자와 연결된, 유기 발광 박막 트랜지스터.

청구항 15

제12항에 있어서,
 상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함하고,
 상기 제4 박막 트랜지스터는 상기 스캔선 또는 상기 초기화 전압선과 전기적으로 연결된, 유기 발광 표시 장치.

청구항 16

제15항에 있어서,
 상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며,
 상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당하는 유기 발광 표시 장치.

청구항 17

제16항에 있어서,
 상기 반도체층은 상기 데이터선과 일부 중첩하는 유기 발광 표시 장치.

청구항 18

제2항에 있어서,
 상기 제3 박막 트랜지스터는 상기 발광 제어선 및 상기 구동 전압선에 전기적으로 연결된 유기 발광 표시 장치.

청구항 19

제18항에 있어서,
 상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함하며,
 상기 제4 박막 트랜지스터는, 상기 스캔선 또는 상기 초기화 전압선과 전기적으로 연결된, 유기 발광 표시 장치.

청구항 20

제19항에 있어서,
 상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며,
 상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당하는, 유기 발광 표시 장치.

청구항 21

제20항에 있어서,
 상기 반도체층은 상기 데이터선과 일부 중첩하는, 유기 발광 표시 장치.

청구항 22

제2항에 있어서,
 상기 제3 박막 트랜지스터는 상기 스캔선과 전기적으로 연결된, 유기 발광 박막 트랜지스터.

청구항 23

제22항에 있어서,
 상기 제2 박막 트랜지스터 및 상기 초기화 전압선 각각에 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함하는 유기 발광 표시 장치.

청구항 24

제23항에 있어서,

상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며,

상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당하는, 유기 발광 표시 장치.

청구항 25

제24항에 있어서,

상기 반도체층은 상기 데이터선과 일부 중첩하는 유기발광 표시 장치.

청구항 26

제23항에 있어서,

상기 제2 박막 트랜지스터 및 상기 발광 제어선 각각에 전기적으로 연결된 제5 박막 트랜지스터;를 더 포함하는 유기 발광 표시 장치.

청구항 27

제26항에 있어서,

상기 제5 박막 트랜지스터는 상기 제2 박막 트랜지스터 및 상기 유기 발광 소자와 연결된, 유기 발광 표시 장치.

청구항 28

제2항에 있어서,

상기 제2 반도체층은 채널영역, 상기 채널영역의 양측에 각각 배치된 소스영역 및 드레인영역을 포함하고,

상기 제1 반도체층은 상기 소스영역 또는 드레인영역에 연결된, 유기 발광 표시 장치.

청구항 29

제28항에 있어서,

상기 제2 반도체층의 상기 채널영역이 상기 굴곡부를 포함하는, 유기 발광 표시 장치.

청구항 30

제29항에 있어서,

상기 반도체층은 상기 데이터선과 중첩하되,

상기 반도체층 중 상기 데이터선과의 중첩영역은 상기 제1 반도체층과 상기 제2 반도체층의 연결 부분에 인접한, 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 실시예는 유기 발광 표시 장치 및 그 유기 발광 표시 장치 제조용 포토 마스크에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 소자를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 소자를 구동하기 위한 복수개의 박막 트랜지스터 및 캐패시터(Capacitor)가 형성되어 있다. 복수개의 박막 트랜지스터는 기본적으로 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함한다.

[0004] 한편, 구동 박막 트랜지스터는 구동 박막 트랜지스터의 게이트 전압(Vgs)의 크기를 조절하여 풍부한 계조를 가지도록 제어하기 위하여, 넓은 게이트 전압의 구동 범위(driving range)를 가져야 한다. 이를 위하여 구동 반도체층의 채널 길이를 최대화 하는 디자인이 요구된다. 한편, 한정된 공간에서 구동 반도체층이 긴 채널 길이를 가지도록 디자인할 경우 구동 반도체층이 일정한 채널 폭을 유지하기 어렵다. 그런데 구동 반도체층의 채널 폭이 일정하지 않은 경우 최단 거리를 따라 이동하는 캐리어로 인하여 채널 길이가 예측보다 짧아지는 문제가 발생하게 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일부 실시예는 채널 폭이 일정한 구동 반도체층을 포함하는 유기 발광 표시 장치를 제공할 수 있다. 본 발명의 일부 실시예는 그 유기 발광 표시 장치를 제조하기 위한 포토 마스크를 제공할 수 있다.

과제의 해결 수단

[0006] 본 발명의 일 실시예는, 기관; 상기 기관 상의 스캔선 및 데이터선; 상기 기관 상의 구동 전압선; 상기 기관 상의 초기화 전압선; 상기 기관 상의 발광 제어선; 상기 스캔선 및 상기 데이터선에 연결된 제1 박막 트랜지스터; 상기 구동 전압선 및 상기 제1 박막 트랜지스터 각각에 전기적으로 연결된 제2 박막 트랜지스터; 상기 제2 박막 트랜지스터와 전기적으로 연결된 유기 발광 소자; 상기 제2 박막 트랜지스터와 전기적으로 연결되며, 상기 발광 제어선, 상기 스캔선, 및 상기 초기화 전압선 중 어느 하나와 연결된 제3 박막 트랜지스터; 상기 제1 박막 트랜지스터의 게이트전극 아래의 제1 반도체층, 상기 제2 박막 트랜지스터의 게이트전극 아래의 제2 반도체층, 및 상기 제3 박막 트랜지스터의 게이트전극 아래의 제3 반도체층을 포함하는 반도체층; 상기 반도체층 상의 제1 절연막; 상기 제2 박막 트랜지스터의 상기 게이트전극을 포함하는 제1 축전판, 상기 제1 축전판 상의 제2 축전판, 및 상기 제1 축전판과 상기 제2 축전판 사이의 제2절연막을 포함하는 스토리지 커패시터; 및 상기 제2 축전판 상의 제3 절연막;을 포함하는 유기 발광 표시 장치를 개시한다.

[0007] 상기 제2 반도체층은 상기 제2 박막 트랜지스터의 상기 게이트전극 아래에서 굴곡부를 가질 수 있다.

[0008] 상기 제1 반도체층, 상기 제2 반도체층, 및 상기 제3 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당할 수 있다.

[0009] 상기 굴곡부는 둔각을 가질 수 있다.

[0010] 상기 굴곡부는 복수의 굴곡 지점을 포함할 수 있다.

[0011] 상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함할 수 있다.

[0012] 상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며, 상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당할 수 있다.

[0013] 상기 반도체층은, 상기 데이터선과 일부 중첩할 수 있다.

[0014] 상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함할 수 있다.

[0015] 상기 제3 박막 트랜지스터는 상기 스캔선에 전기적으로 연결되고, 상기 제4 박막 트랜지스터는 상기 발광 제어선에 전기적으로 연결될 수 있다.

[0016] 상기 제3 박막 트랜지스터 및 상기 제4 박막 트랜지스터는 각각, 상기 발광 제어선에 전기적으로 연결될 수 있다.

[0017] 상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며, 상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당할 수 있다. 그리고, 상기 반도체층은 상기 데이터선과 일부 중첩할 수 있다.

- [0018] 상기 제3 박막 트랜지스터는 상기 제2 박막 트랜지스터 및 상기 유기 발광 소자와 연결될 수 있다.
- [0019] 상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함하고, 상기 제4 박막 트랜지스터는 상기 스캔선 또는 상기 초기화 전압선과 전기적으로 연결될 수 있다.
- [0020] 상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며, 상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당할 수 있다. 그리고, 상기 반도체층은 상기 데이터선과 일부 중첩할 수 있다.
- [0021] 상기 제3 박막 트랜지스터는 상기 발광 제어선 및 상기 구동 전압선에 전기적으로 연결될 수 있다.
- [0022] 상기 제2 박막 트랜지스터와 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함하며, 상기 제4 박막 트랜지스터는, 상기 스캔선 또는 상기 초기화 전압선과 전기적으로 연결될 수 있다.
- [0023] 상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며, 상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당할 수 있다. 그리고, 상기 반도체층은 상기 데이터선과 일부 중첩할 수 있다.
- [0024] 상기 제3 박막 트랜지스터는 상기 스캔선과 전기적으로 연결될 수 있다.
- [0025] 상기 제2 박막 트랜지스터 및 상기 초기화 전압선 각각에 전기적으로 연결된 제4 박막 트랜지스터;를 더 포함할 수 있다.
- [0026] 상기 제4 박막 트랜지스터의 게이트전극 아래에 배치되는 제4 반도체층을 더 포함하며, 상기 제1 반도체층, 상기 제2 반도체층, 상기 제3 반도체층, 및 상기 제4 반도체층은 각각, 일체로 형성된 상기 반도체층의 일 부분에 해당할 수 있다. 그리고, 상기 반도체층은 상기 데이터선과 일부 중첩할 수 있다.
- [0027] 상기 제2 박막 트랜지스터 및 상기 발광 제어선 각각에 전기적으로 연결된 제5 박막 트랜지스터;를 더 포함할 수 있다.
- [0028] 상기 제5 박막 트랜지스터는 상기 제2 박막 트랜지스터 및 상기 유기 발광 소자와 연결될 수 있다.
- [0029] 상기 제2 반도체층은 채널영역, 상기 채널영역의 양측에 각각 배치된 소스영역 및 드레인영역을 포함하고, 상기 제1 반도체층은 상기 소스영역 또는 드레인영역에 연결될 수 있다.
- [0030] 상기 제2 반도체층의 상기 채널영역이 상기 굴곡부를 포함할 수 있다.
- [0031] 상기 반도체층은 상기 데이터선과 중첩하되, 상기 반도체층 중 상기 데이터선과의 중첩영역은 상기 제1 반도체층과 상기 제2 반도체층의 연결 부분에 인접할 수 있다.

발명의 효과

- [0032] 상술한 바와 같이 본 발명의 일 실시예에 의하면, 구동 반도체층의 채널 길이도 길게 할 수 있고, 채널 폭을 일정하게 구비할 수 있다. 구동 박막 트랜지스터가 넓은 게이트 전압의 구동 범위를 가져 유기 발광 표시 장치는 풍부한 계조를 표현할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 2는 도 1의 유기 발광 표시 장치의 화소에 대한 구체적인 배치도이다.
- 도 3은 도 2의 화소를 III-III선을 따라 자른 단면도이다.
- 도 4는 도 2의 V박스 내부를 나타낸 것이다.
- 도 5는 도 4의 유기 발광 표시 장치를 제조하기 위한 포토 마스크이다.
- 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구동 반도체층을 도시한 것이다.
- 도 7는 도 6의 패턴을 제조하기 위한 포토 마스크이다.
- 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구동 반도체층을 도시한 것이다.

도 9는 도 8의 패턴을 제조하기 위한 포토 마스크이다.

도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구동 반도체층을 도시한 것이다.

도 11는 도 10의 포 패턴을 제조하기 위한 포토 마스크이다.

도 12은 본 발명의 비교예에 따른 구동 채널 영역의 패턴을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 명세서에서는 본 발명을 명확하게 설명하기 위하여 본 발명과 관계없는 부분은 도시 및 기재 생략하거나, 간략히 기재하거나 도시하였다. 또한, 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께 및 넓이를 확대하거나, 과장되게 도시하였다.
- [0035] 본 명세서에서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 도면 부호를 붙였다. 본 명세서에서 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0036] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다. 도 2는 도 1의 유기 발광 표시 장치의 화소에 대한 구체적인 배치도이다. 도 3은 도 2의 화소를 III-III선을 따라 자른 단면도이다. 도 4는 도 2의 V박스 내부를 나타낸 것이다.
- [0038] 유기 발광 표시 장치는 기판 상에 구획되며 화상을 표시하는 표시 영역 및 표시 영역 주변에 배치되는 주변 영역을 포함한다. 표시 영역에는 빛을 발광하는 복수개의 화소들과 각 화소를 구동하기 위해 전기적인 신호를 인가하는 복수개의 배선들이 배치된다. 예를 들어 배선들은 스캔 신호(Sn, Sn-1)를 전달하는 스캔선(121,122), 데이터 신호를 전달하는 데이터선(171) 및 구동 전압(ELVDD)을 전달하는 구동 전압선(172)을 포함할 수 있다. 한편 본 발명은 이에 한정되지 않고 도 1에 도시된 바와 같이 초기화 전압(Vint)을 전달하는 초기화 전압선(124), 및 발광 제어 신호(En)를 전달하는 발광 제어선(123)을 더 포함할 수 있다. 각 화소는 제1방향으로 연장되는 복수개의 배선 및 제1방향과 교차하는 제2방향으로 연장되는 복수개의 배선들이 교차하는 지점에 배치된다.
- [0039] 각 화소는 빛을 발광하는 유기 발광 소자 및 배선으로부터 신호를 전달받아 유기 발광 소자를 구동하는 화소 회로를 포함한다. 화소 회로는 적어도 두 개의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있다. 한편, 본 발명은 이에 한정되지 않고 도 1에 도시된 바와 같이 화소 회로가 6개의 박막 트랜지스터 및 1개의 커패시터를 포함할 수도 있다.
- [0040] 이하에서는 도 1 내지 도 4를 참조하여 본 발명의 일 실시예에 의한 유기 발광 표시 장치에 대하여 설명한다.
- [0041] 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함한다.
- [0042] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Id)를 공급한다.
- [0043] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.
- [0044] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)에 연결되어 있고, 보상 박막 트랜지스터(T3)의 소

스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 캐패시터(Cst)의 일단(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 소자 연결시킴으로써 구동 박막 트랜지스터(T1)의 문턱 전압을 보상한다.

[0045] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 캐패시터(Cst)의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0046] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)와 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(S2)와 연결되어 있다. 상기 동작 제어 박막 트랜지스터(T5)는 구동 전압선(172)과 상기 구동 박막 트랜지스터(T1) 사이에 위치한다. 동작 제어 박막 트랜지스터(T5)는 상기 발광 제어선(123)에 의해 전달된 발광 제어 신호(En)에 의해 턴온되어 상기 구동 전압(ELVDD)을 상기 구동 박막 트랜지스터(T1)로 전달한다.

[0047] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 상기 발광 제어 박막 트랜지스터(T6)는 상기 구동 박막 트랜지스터(T1)와 상기 유기 발광 소자(OLED) 사이에 위치한다. 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)에 의해 전달된 발광 제어 신호(En)에 의해 턴온되어 구동 전압(ELVDD)을 상기 구동 박막 트랜지스터(T1)에서 상기 유기 발광 소자(OLED)로 전달한다.

[0048] 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐르게 된다.

[0049] 스토리지 캐패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 소자(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.

[0050] 이하에서 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.

[0051] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.

[0052] 이 후, 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.

[0053] 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 소자 연결되고, 순방향으로 바이어스 된다.

[0054] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다.

- [0055] 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.
- [0056] 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 소자(OLED)에 공급된다. 발광 기간동안 스토리지 캐패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 (Dm+Vth)-ELVDD 으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 (Dm-ELVDD)²에 비례한다. 따라서 구동 전류(Id)는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.
- [0057] 이하, 도 2 내지 도 4를 참조하여 유기 발광 표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다. 이 때, 유기 발광 표시 장치는 구동 박막 트랜지스터(T1) 및 스위칭 박막 트랜지스터(T2)를 중심으로 박막 트랜지스터의 구조에 대해 설명한다. 나머지 박막 트랜지스터의 구조는 구동 박막 트랜지스터(T1) 및 스위칭 박막 트랜지스터(T2)의 적층 구조와 대부분 유사하므로 중복되는 설명은 생략한다.
- [0058] 기판(110) 위에는 버퍼층(111)이 형성되어 있고, 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성되어 있다.
- [0059] 버퍼층(111) 위에는 반도체층(131a, 131b)이 형성되어 있다. 반도체층(131a, 131b)은 다양한 형상으로 굴곡되어 있다. 이러한 반도체층(131a, 131b)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 반도체층(131a, 131b)은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(131a) 및 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b)을 포함하며, 각각은 서로 연결되어 있다.
- [0060] 구동 반도체층(131a)은 구동 채널 영역(131a1) 및 구동 채널 영역(131a1)을 사이에 두고 서로 마주보는 구동 소스 영역(176a) 및 구동 드레인 영역(177a)을 포함하고, 스위칭 반도체층(131b)은 스위칭 채널 영역 및 스위칭 채널 영역을 사이에 두고 서로 마주보는 스위칭 소스 영역(176b) 및 스위칭 드레인 영역(177b)을 포함한다.
- [0061] 구동 채널 영역(131a1)은 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1영역(11), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2영역(12), 및 상기 제1영역(11)과 상기 제2영역(12)을 연결하는 제3영역(13)을 포함한다. 따라서 구동 채널 영역(131a1)은 굴곡부를 포함한 지그재그와 유사한 모양으로 배치될 수 있다.
- [0062] 반도체층(131a, 131b)을 덮도록 기판 상에 제1절연막(141)이 배치된다. 제1절연층(141)은 무기물 또는 유기물을 포함하는 다층 또는 단층의 박막으로 이루어질 수 있다.
- [0063] 제1절연층(141) 상에는 구동 게이트 전극(125a)가 배치된다. 한편, 구동 게이트전극(125a)과 중첩하여 스토리지 커패시터(Cst)가 배치된다.
- [0064] 스토리지 캐패시터(Cst)는 제2절연막(142)을 사이에 두고 배치되는 제1 스토리지 축전판(125a)과 제2 스토리지 축전판(127)을 포함한다. 여기서, 구동 게이트 전극(125a)은 제1 스토리지 축전판(125a)의 역할도 동시에 하며, 제2 게이트 절연막(142)은 유전체가 되며, 스토리지 캐패시터(Cst)에서 축전된 전하와 양 축전판(125a, 127) 사이의 전압에 의해 스토리지 캐패시턴스(Storage Capacitance)가 결정된다.
- [0065] 제1 스토리지 축전판(125a)은 인접한 화소와 분리되어 사각 형상으로 형성되어 있으며, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 및 스위칭 게이트 전극(125b) 과 동일한 물질로 동일한 층에 형성되어 있다. 제2 스토리지 축전판(127)은 인접한 화소와 연결되어 있으며, 초기화 전압선(124)과 동일한 물질로 동일한 층에 형성되어 있다.
- [0066] 이와 같이, 굴곡부를 가지는 구동 반도체층(131a)에 의해 줄어든 스토리지 캐패시터의 영역을 확보하기 위해 구동 반도체층(131a)과 중첩하여 스토리지 캐패시터를 형성함으로써, 고해상도에서도 스토리지 캐패시턴스의 확보가 가능하다.
- [0067] 본 발명의 일 실시예에 의하면 복수개의 굴곡부를 포함하는 구동 반도체층(131a)을 형성함으로써, 좁은 공간 내

에 길게 구동 반도체층(131a)을 형성할 수 있다. 따라서, 구동 반도체층(131a)의 구동 채널 영역(131a1)을 길게 형성할 수 있으므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 소자(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.

[0068] 이러한 구동 반도체층(131a)을 포함하는 반도체층(131a, 131b)은 포토 리소그래피 방법으로 형성한다. 상세히, 패터닝을 요하는 반도체층을 기판 전체적으로 형성한 후 감광 성질이 있는 포토레지스트를 반도체층 상에 형성한다. 그 다음 원하는 패턴이 새겨진 포토 마스크를 배치하고 노광하여 포토레지스트를 포토 마스크에 대응하여 소정의 패턴을 가지도록 한 후 남은 포토레지스트 패턴을 마스크로 하여 반도체층을 에칭으로써, 구동 반도체층(131a) 및 스위칭 반도체층(131b) 등의 패턴을 형성한다.

[0069] 그런데, 구동 반도체층(131a)과 같이 굴곡부를 포함하는 복잡한 형태를 가진 패턴의 경우 포토 리소그래피 과정에서 포토레지스트의 리플로우(reflow), 노광량 오차, 에칭 오차 등에 의해 원하는 형태대로 패터닝이 되지 않을 확률이 높다. 즉, 이러한 구조에서는 포토 리소그래피 과정에서 발생하는 공정 산포에 의해 최종 결과물이 균일하게 수득되기 어려운 문제가 있다.

[0070] 한편, 유기 발광 표시 장치가 고해상도화 될수록 픽셀의 좌우 폭이 점점 좁아져 구동 반도체층(131a)의 형태도 좌우 폭이 좁아지는 형태로 변하게 된다. 이와 관련하여 도 12의 본 발명의 비교예에 따른 구동 채널층의 패턴을 도시한 것을 참조하여 설명한다. 만약, 도 12에 도시된 비교예와 같이 제3영역(3)의 가상축이 제1영역(1)의 가상축 및 제2영역(2)의 가상축과 수직인 디자인이라면 다음과 같은 문제가 발생한다. 즉, 도 12에 도시된 비교예와 같이 구동 채널 영역이 r자 형태라면, 구동 반도체층의 좌우 폭이 좁아진 형태에서 제3영역(3)의 길이가 매우 짧아져 제3영역(3) 부근에서 채널 폭에 대한 정의가 불명확해진다. 예를 들어 제3영역(3)과 제1영역(1) 및 제2영역(2)을 연결하는 코너에서 포토레지스트(photoresist)의 리플로우(reflow), 노광량 오차, 에칭 오차 등에 의해 코너부의 채널 폭은 예상보다 넓게 나오나 상대적으로 직선부의 제3영역(3)에서는 반사적으로 채널 폭이 좁게 구현될 수 있다. 즉, 이러한 구조에서는 구동 채널 영역 전반에 걸쳐 균일한 채널 폭을 구현하는 것이 어렵다.

[0071] 이와 같은 문제를 해결하고 채널의 길이는 최대한으로 구현하되, 공정 산포에 의한 오차를 최소화하고 채널 폭을 일정하게 하기 위해 본 발명의 일 실시예는 다음과 같은 구동 채널 영역 구조 및 이를 구현하기 위한 포토 마스크를 제안한다.

[0072] 도 2 및 도 4를 참조하면, 본 발명의 일 실시예에 의한 구동 채널 영역(131a1)은 상술한 바와 같이 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1영역(11), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2영역(12), 및 상기 제1영역(11)과 상기 제2영역(12)을 연결하는 제3영역(13)을 포함한다

[0073] 제1영역(11)은 일단이 구동 소스 영역(176a)과 연결되며 타단이 제3영역(13)의 일단과 연결된다. 제1영역(11)은 상기 제1방향(x)으로 연장되는 제4영역(14), 상기 제2방향(y)으로 연장되는 제5영역(15) 및 상기 제4영역(14)과 상기 제5영역(15)을 연결하며 곡률을 갖는 제6영역(16)을 포함한다. 예를 들어 제4영역(14)과 제5영역(15)은 제6영역(16)을 사이에 두고 거의 수직하게 배치된다. 제6영역(16)은 곡률을 갖도록 부드러운 곡면을 갖도록 형성된다. 구동 채널 영역(131a1)은 소정의 채널 폭(wa)을 가지고 있으므로 제6영역(16)은 외측 코너(16a) 및 외측 코너(16a)에 대응하는 내측 코너(16b)를 포함한다. 따라서 외측 코너(16a) 및 내측 코너(16b) 모두 곡률을 갖는 곡선으로 이루어진다.

[0074] 제2영역(12)은 일단이 제3영역(13)의 일단과 연결되며 타단이 구동 드레인(177a) 영역과 연결된다. 제2영역(12)은 제1영역(11)과 유사하게 상기 제1방향(x)으로 연장되는 제4영역(14), 상기 제2방향(y)으로 연장되는 제5영역(15) 및 상기 제4영역(14)과 상기 제5영역(15)을 연결하며 곡률을 갖는 제6영역(16)을 포함한다. 예를 들어 제4영역(14)과 제5영역(15)은 제6영역(16)을 사이에 두고 거의 수직하게 배치된다. 제2영역(12)은 제1영역(11)을 시계방향으로 180도 회전한 형태를 가진다. 한편, 제6영역(16)은 곡률을 갖도록 부드러운 곡선을 갖도록 형성된다. 구동 채널 영역(131a1)은 소정의 채널 폭(wa)을 가지고 있으므로 제6영역(16)은 외측 코너(16a) 및 외측 코너(16a)에 대응하는 내측 코너(16b)를 포함한다. 따라서 외측 코너(16a) 및 내측 코너(16b) 모두 곡률을 갖는 곡선으로 이루어진다.

[0075] 제1영역(11)의 타단과 제2영역(12)의 일단은 제3영역(13)에 의해 연결된다. 제1영역(11)의 중심축은 제2영역

(12)의 중심축과 평행하게 배치된다. 상세히 제1영역(11) 중 제5영역(15)의 중심축과 제2영역(12) 중 제5영역(15)의 중심축은 서로 맞닿지 않고 평행하게 배치된다.

- [0076] 제3영역(13)은 제1영역(11)과 둔각을 갖고 동시에 제2영역(12)도 둔각을 갖도록 구비된다. 제3영역(13)은 직선부를 포함할 수 있는데, 제3영역(13)의 중심축은 제1영역(11)의 중심축과 둔각을 이룬다. 또한 제3영역(13)의 중심축은 제2영역(12)의 중심축과도 둔각을 이룬다. 따라서 제3영역(13)은 제1방향(x) 및 제2방향(y)에 대하여 비스듬하게 사선 형태로 배치되어 제1영역(11) 및 제2영역(12)을 연결한다.
- [0077] 본 발명의 일 실시예와 같이 제3영역(13)을 제1영역(11) 및 제2영역(12)과 둔각을 갖도록 구현하는 경우, 채널 길이의 큰 감소 없이 제3영역(13)에 대한 공정 산포 및 오차를 줄일 수 있으며 채널 영역 전반적으로 일정한 채널 폭(wa)을 구현할 수 있다.
- [0078] 한편, 제1영역(11) 또는 제2영역(12)의 길이는 제3영역(13)의 길이보다 긴 것을 특징으로 한다. 제1영역(11) 및 제2영역(12)은 꺾인 부분을 포함하므로, 직선부만 포함하는 제3영역(13)과 달리 보다 한정된 공간에서 보다 긴 채널 길이를 가질 수 있는 것이다.
- [0079] 도 5는 도 4의 구동 반도체층(131a)을 구현하기 위한 포토 마스크(331a)이다. 포토 마스크(331a)는 스위칭 반도체층(131b)에 대응하는 스위칭 개구 패턴(미도시) 및 상기 스위칭 개구 패턴(미도시)과 연결되며 구동 반도체층(131a)에 대응하는 구동 개구 패턴(331a)을 포함한다. 도 5에서는 설명의 편의를 위하여 구동 개구 패턴(331a)만을 도시하였다.
- [0080] 도 5를 참조하면, 포토 마스크(331a)의 경우도 도 4의 구동 반도체층(131a)에 대응하여 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1개구 패턴(31), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2개구 패턴(32), 및 상기 제1개구 패턴(31)과 상기 제2개구 패턴(32)을 연결하며 상기 제1개구 패턴(31) 및 상기 제2개구 패턴(32)과 각각 둔각을 갖도록 구비되는 제3개구 패턴(33)을 포함한다.
- [0081] 물론 제1개구 패턴(31) 또는 제2개구 패턴(32)의 길이는 제3개구 패턴(33)의 길이보다 긴 것을 특징으로 한다. 제1개구 패턴(31) 및 제2개구 패턴(32)은 꺾인 부분을 포함하므로, 직선부만 포함하는 제3개구 패턴(33)과 달리 보다 한정된 공간에서 보다 긴 채널 길이를 구현할 수 있는 것이다.
- [0082] 또한 포토 마스크(331a)의 경우, 채널 폭(wa)이 일정한 구동 반도체층(131a)을 패터닝하기 위하여 제1개구 패턴 내지 제3개구 패턴(31, 32, 33)이 일정한 폭(wb)을 갖는 것을 특징으로 한다.
- [0083] 한편, 도 4와 같은 실시예에서는 제6영역(6)에 대응하는 채널 폭(wa)이 다른 영역의 채널 폭(wa)에 비하여 다소 넓게 구현될 여지가 있다. 이를 극복하기 위해 도 6 및 도 7에는 제6영역(16)의 채널 폭이 보정된 구동 반도체층(131a) 및 제1개구 패턴(31)의 외측 코너(36a)가 보정된 포토 마스크(331a)가 개시되어 있다. 또한, 도 8 및 도 9에는 제6영역(16)의 채널 폭이 보정된 구동 반도체층(131a) 및 제1개구 패턴(31)의 내측 코너(36b)가 보정된 포토 마스크(331a)가 개시되어 있다.
- [0084] 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구동 반도체층을 도시한 것이다. 도 7는 도 6의 패턴을 제조하기 위한 포토 마스크이다.
- [0085] 도 6을 참조하면, 본 발명의 제2 실시예에 의한 구동 채널 영역(131a1)은 도 4의 제1 실시예와 같이 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1영역(11), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2영역(12), 및 상기 제1영역(11)과 상기 제2영역(12)을 연결하며 제1영역(11) 및 제2영역(12)과 각각 둔각을 갖는 제3영역(13)을 포함한다. 또한 제1영역(11) 및 제2영역(12)은 각각 제1방향(x)으로 연장되는 제4영역(14), 상기 제2방향(y)으로 연장되는 제5영역(15) 및 상기 제4영역(14)과 상기 제5영역(15)을 연결하며 곡률을 갖는 제6영역(16)을 포함한다.
- [0086] 여기서 제6영역(16)은 외측 코너(16a) 및 외측 코너(16a)에 대응하는 내측 코너(16b)를 포함하는데, 여기서 외측 코너(16a)의 곡률 반경(radius of curvature)은 상기 내측 코너(16b)의 곡률 반경보다 큰 것을 특징으로 한다. 곡률 반경은 곡면이나 곡선의 만곡의 정도를 표시하는 것으로 곡률 반경이 클수록 만곡이 완만한 것을 의미한다. 따라서, 외측 코너(16a)의 만곡된 정도는 내측 코너(16b)의 만곡된 정도보다 완만한 것을 특징으로 한다. 이는 도 4의 제1 실시예와 상이한 점이다. 도 4의 제1 실시예에 의한 외측 코너(16a)의 곡률 반경과 도 6의 제2 실시예에 의한 외측 코너(16a)의 곡률 반경을 비교하면, 도 6의 제2 실시예에 의한 외측 코너(16a)의 곡률 반경의 만곡된 정도가 더 완만한 것을 확인할 수 있다.

- [0087] 본 발명의 제2실시예와 같이 제6영역(16)의 외측 코너(16a)의 만곡된 정도를 보다 완만하게 하는 경우, 제6영역(16)에 대한 공정 산포 및 오차를 줄일 수 있으며 구동 채널 영역(131a1) 전반적으로 일정한 채널 폭(wa)을 구현할 수 있다. 상세히 제6영역(16)의 외측 코너(16a) 쪽에서 포토레지스트의 리플로우, 노광량 오차, 에칭 오차 등에 의해 코너부의 채널 폭은 예상보다 넓게 나오는 문제점을 해결하고 구동 채널 영역(131a1) 전반적으로 일정한 채널 폭(wa)을 구현할 수 있는 것이다.
- [0088] 도 7은 도 6의 구동 반도체층(131a)을 구현하기 위한 포토 마스크(331a)이다. 도 7에서도 이전 실시예와 같이 설명의 편의를 위하여 구동 개구 패턴만을 도시하였다.
- [0089] 도 7를 참조하면, 포토 마스크(331a)의 경우도 도 6의 구동 반도체층(131a)에 대응하여 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1개구 패턴(31), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2개구 패턴(32), 및 상기 제1개구 패턴(31)과 상기 제2개구 패턴(32)을 연결하며 상기 제1개구 패턴(31) 및 상기 제2개구 패턴(32)과 각각 둔각을 갖도록 구비되는 제3개구 패턴(33)을 포함한다.
- [0090] 또한 도 7의 포토 마스크(331a)의 제1개구 패턴(31) 및 상기 제2개구 패턴(32)에 각각 포함된 외측 코너(36a)는 챔퍼링(chamfering)된 것을 특징으로 한다. 챔퍼링이란, 가장자리 또는 코너를 비스듬하게 깎아내서 사면 또는 둥그런 모양으로 만드는 것을 의미한다. 즉, 제1개구 패턴(31) 및 상기 제2개구 패턴의 외측 코너(36a)를 챔퍼링함으로써, 도 6의 제6영역(16)의 외측 코너(16a)의 곡률 반경을 보다 크게 할 수 있다.
- [0091] 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구동 반도체층을 도시한 것이다. 도 9는 도 8의 패턴을 제조하기 위한 포토 마스크이다.
- [0092] 도 8을 참조하면, 본 발명의 제3 실시예에 의한 구동 채널 영역(131a1)은 도 6의 제2 실시예와 같이 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1영역(11), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2영역(12), 및 상기 제1영역(11)과 상기 제2영역(12)을 연결하며 제1영역(11) 및 제2영역(12)과 각각 둔각을 갖는 제3영역(13)을 포함한다. 또한 제1영역(11) 및 제2영역(12)은 상기 제1방향(x)으로 연장되는 제4영역(14), 상기 제2방향(y)으로 연장되는 제5영역(15) 및 상기 제4영역(14)과 상기 제5영역(15)을 연결하며 곡률을 갖는 제6영역(16)을 포함한다. 또한, 제6영역(16)에 포함된 외측 코너(16a)의 곡률 반경(radius of curvature)은 상기 내측 코너(16b)의 곡률 반경보다 큰 것을 특징으로 한다.
- [0093] 이에 더하여, 도 8의 제3 실시예에 의하면 제6영역(16)에 포함된 내측 코너(16b)의 곡률 반경이 도 6의 제2 실시예의 제6영역(16)에 포함된 내측 코너(16b)의 곡률 반경보다 더 작은 것을 특징으로 한다. 따라서, 제3 실시예에 의한 제6영역(16)에 포함된 내측 코너(16b)의 만곡된 정도는 제2 실시예의 제6영역(16)에 포함된 내측 코너(16b)의 만곡된 정도보다 큰 것을 특징으로 한다.
- [0094] 본 발명의 제3 실시예와 같이 제6영역(16)의 내측 코너(16b)의 만곡된 정도를 보다 크게 하는 경우, 제6영역(16)에 대한 공정 산포 및 오차를 줄일 수 있으며 구동 채널 영역(131a1) 전반적으로 일정한 채널 폭(wa)을 구현할 수 있다. 상세히 제6영역(16)의 내측 코너(16b) 쪽에서 포토레지스트의 리플로우, 노광량 오차, 에칭 오차 등에 의해 내측 코너(16b)의 경계선이 불명확하게 뭉그러져서 코너부의 채널 폭은 예상보다 넓게 나오는 문제점을 해결하고 구동 채널 영역(131a1) 전반적으로 일정한 채널 폭(wa)을 구현할 수 있는 것이다.
- [0095] 도 9는 도 8의 구동 반도체층(131a)을 구현하기 위한 포토 마스크(331a)이다. 도 9에서도 이전 실시예와 같이 설명의 편의를 위하여 구동 개구 패턴만을 도시하였다.
- [0096] 도 9를 참조하면, 포토 마스크(331a)의 경우도 도 9의 구동 반도체층(131a)에 대응하여 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1개구 패턴(31), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2개구 패턴(32), 및 상기 제1개구 패턴(31)과 상기 제2개구 패턴(32)을 연결하며 상기 제1개구 패턴(31) 및 상기 제2개구 패턴(32)과 각각 둔각을 갖도록 구비되는 제3개구 패턴(33)을 포함한다. 또한 제1개구 패턴(31) 및 상기 제2개구 패턴(32)에 각각 포함된 외측 코너(36a)는 챔퍼링(chamfering)된다.
- [0097] 이에 더하여, 도 9에 의한 제3 실시예에 의한 포토 마스크(331a)는 상기 제1개구 패턴(31) 및 상기 제2개구 패턴(32)에 각각 포함되며 상기 외측 코너(36a)에 대응하는 내측 코너(36b)는 상기 외측 코너(36a)의 방향으로 인입된 보정 패턴(35)을 더 포함하는 것을 특징으로 한다. 즉 포토 마스크(331a)의 내측 코너(36b)에 외측 코너(36a)의 방향으로 인입된 보정 패턴(35)이 더 포함됨으로써, 이러한 포토 마스크(331a)에 의해 형성된 패턴의

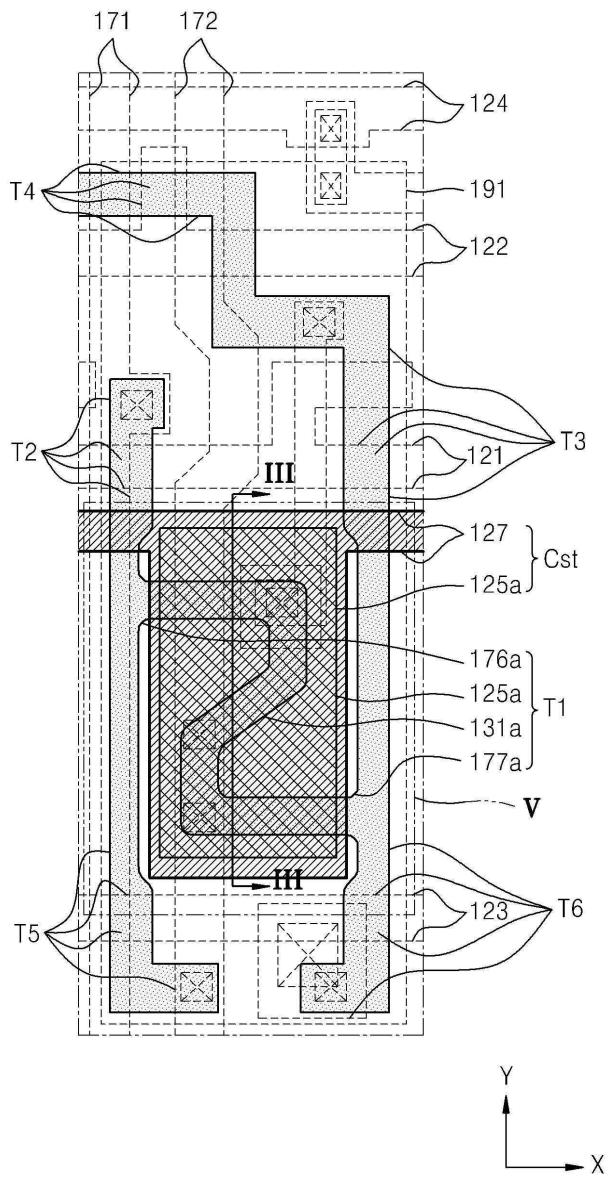
내측 코너(36b)의 만곡된 정도를 조절할 수 있다.

- [0098] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구동 반도체층을 도시한 것이다. 도 11는 도 10의 포 패턴을 제조하기 위한 포토 마스크이다.
- [0099] 도 10을 참조하면, 본 발명의 제4 실시예에 의한 구동 채널 영역(131a1)은 도 4의 제1실시예와 같이 제1방향(x)으로부터 상기 제1방향(x)과 교차하는 제2방향(y)으로 꺾여 연장되는 제1영역(11), 상기 제2방향(y)으로부터 상기 제1방향(x)으로 꺾여 연장되는 제2영역(12), 및 상기 제1영역(11)과 상기 제2영역(12)을 연결하며 제1영역(11) 및 제2영역(12)과 각각 둔각을 갖는 제3영역(13)을 포함한다. 또한 제1영역(11) 및 제2영역(12)은 상기 제1방향(x)으로 연장되는 제4영역(14), 상기 제2방향(y)으로 연장되는 제5영역(15) 및 상기 제4영역(14)과 상기 제5영역(15)을 연결하며 곡률을 갖는 제6영역(16)을 포함한다.
- [0100] 추가로 제4실시예에 의하면 구동 채널 영역(131a1)이 보다 긴 채널 길이를 구현하기 위하여 제3영역(13)은 직선 부만으로 구성되는 것이 아니라 도시된 바와 같이 복수개의 굴곡부를 더 포함하는 것을 특징으로 한다.
- [0101] 도 12은 본 발명의 효과를 설명하기 위하여 본 발명의 비교예에 따른 구동 채널 영역의 패턴을 도시한 것이다.
- [0102] 도 12를 참조하면, 비교예에 의한 구동 반도체층의 구동 채널 영역은 제3영역(3)의 가상축이 제1영역(1)의 가상축 및 제2영역(2)의 가상축과 수직한 디자인이다. 즉, 구동 채널 영역이 r자 형태이므로, 구동 반도체층의 좌우 폭이 좁아진 상태에서 제3영역(3)의 길이가 매우 짧아져 제3영역(3) 부근에서 구동 채널 영역의 채널 폭에 대한 정의가 불명확해 질 수 있다. 예를 들어 제3영역(3)과 제1영역(1) 및 제2영역(2)을 연결하는 코너에서 포토레지스트의 리플로우, 노광량 오차, 에칭 오차 등에 의해 코너부의 채널 폭은 예상보다 넓게 나오나 상대적으로 직선부의 제3영역(3)에서는 반사적으로 채널 폭이 좁게 구현될 수 있다. 즉, 이러한 구조에서는 구동 채널 영역 전반에 걸쳐 균일한 채널 폭을 구현하는 것이 어렵다.
- [0103] 그러나 상술한 본 발명의 제1 내지 제3실시예에 의하면, 제3영역(13)의 배치, 외측 코너(16a)의 보정 및 내측 코너(16b)의 보정으로 구동 채널 영역(131a1)의 길이의 손실 없이도 구동 채널 영역(131a1) 전반에 걸쳐 일정한 채널 폭을 구현하는 것이 가능하다. 또한, 본 발명의 제4실시예에 의하면 제3영역(13)에 복수의 굴곡부를 더 추가하여 구동 채널 영역(131a1)의 구동 채널 길이를 최대화 하는 것이 가능하다.
- [0104] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

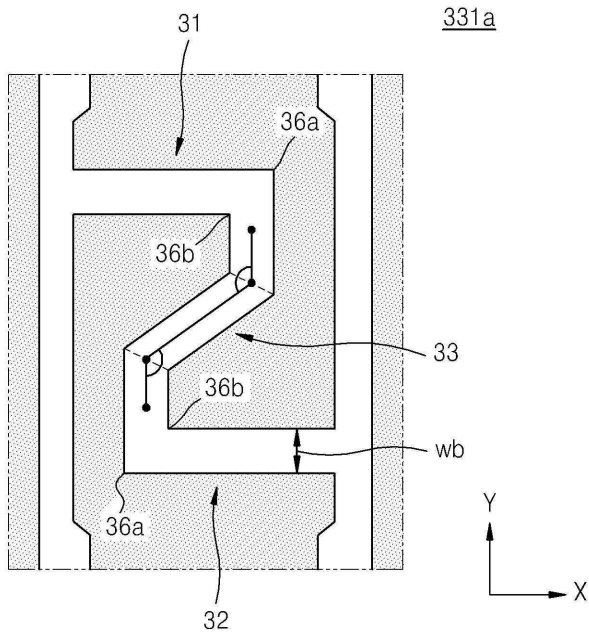
부호의 설명

- [0105] 131a: 구동 반도체층 131a1: 구동 채널 영역
- 11: 제1영역 12: 제2영역
- 13: 제3영역 14: 제4영역
- 15: 제5영역 16: 제6영역
- 16a: 외측 코너 16b: 내측 코너
- 31: 제1개구 패턴 32: 제2개구 패턴
- 33: 제3개구 패턴 36a: 외측 코너
- 36b: 내측 코너 35: 보정 패턴

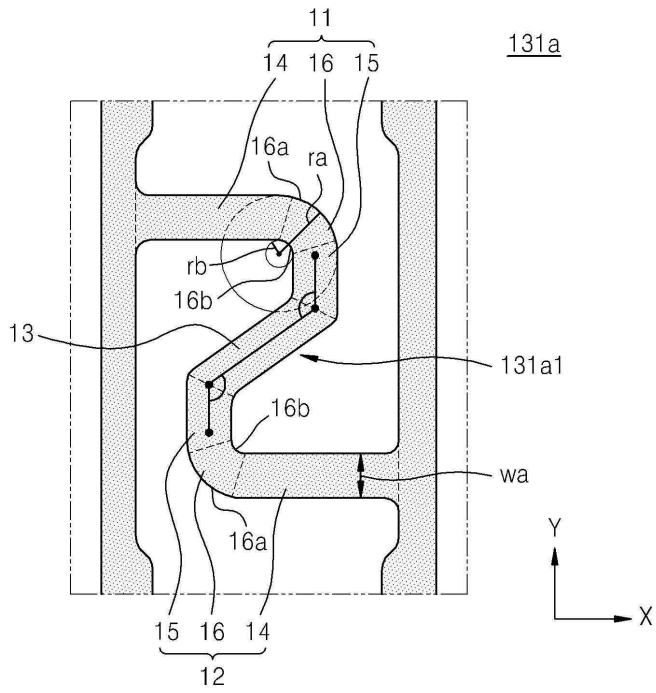
도면2



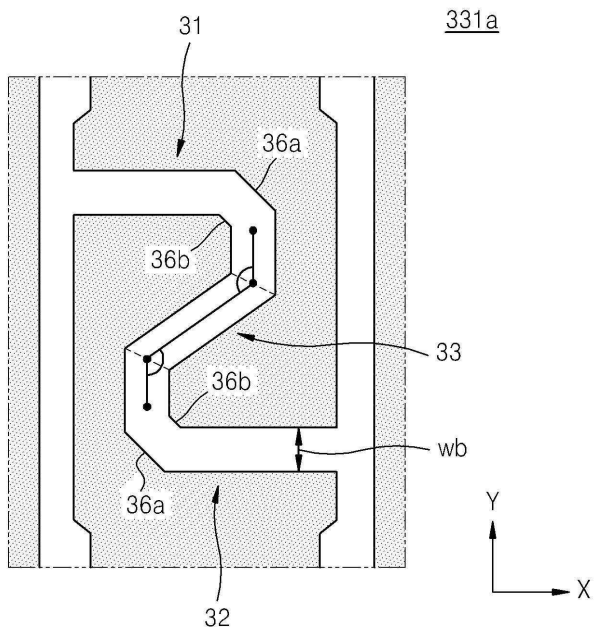
도면5



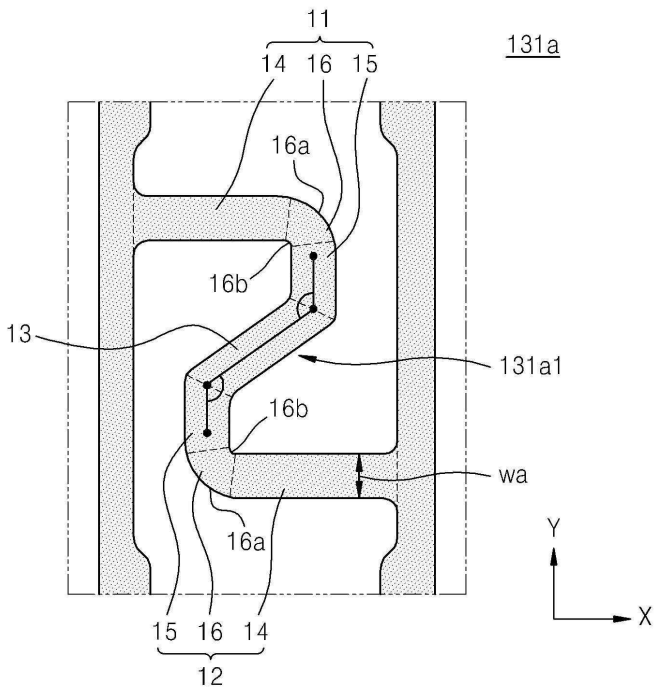
도면6



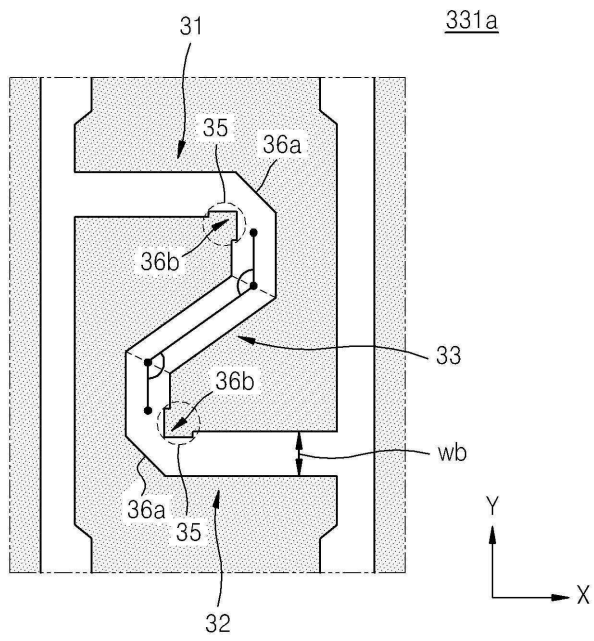
도면7



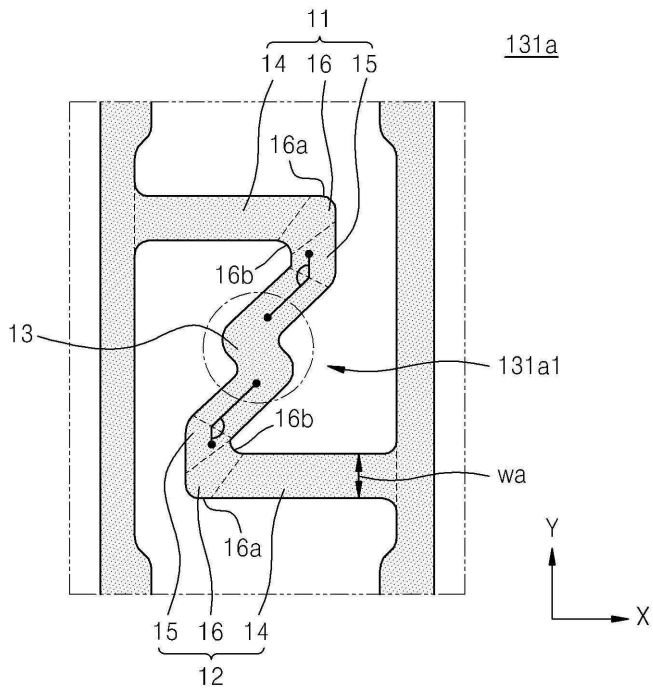
도면8



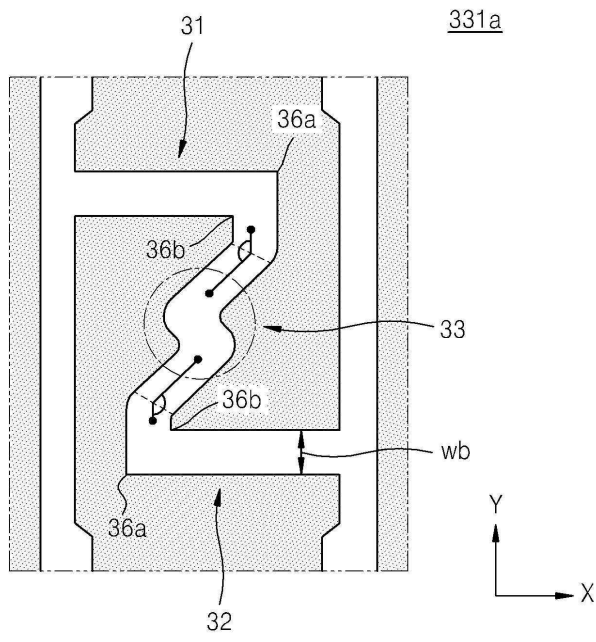
도면9



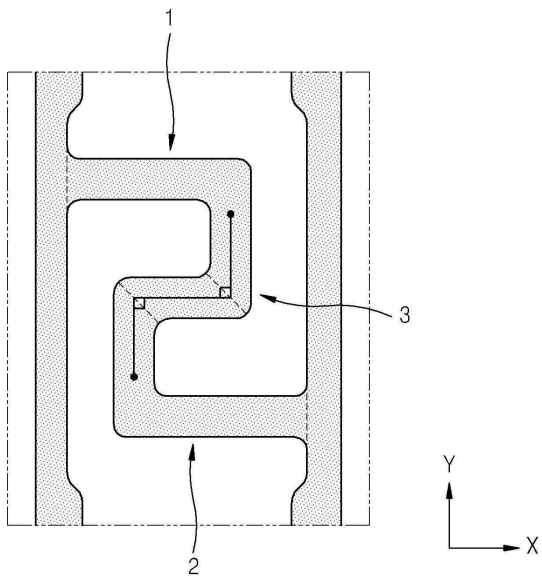
도면10



도면11



도면12



专利名称(译)	<无法获取翻译>		
公开(公告)号	KR1020190132621A	公开(公告)日	2019-11-28
申请号	KR1020190150479	申请日	2019-11-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김태준		
发明人	김태준		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3241 H01L27/3248 H01L27/3258 H01L27/326 H01L27/3262 H01L27/3265 H01L27/3272 H01L27/3274 H01L27/3276		
其他公开文献	KR102111564B1		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，公开了一种有机发光显示装置。该有机发光显示装置包括：第一薄膜晶体管，其连接至扫描线和数据线；以及第一薄膜晶体管。与驱动电压线电连接的第二薄膜晶体管和第一薄膜晶体管；有机发光元件与第二薄膜晶体管电连接；第三薄膜晶体管，与第二薄膜晶体管电连接，同时与发光控制线，扫描线或初始化电压线连接；半导体层，其包括在第一薄膜晶体管的栅电极下方的第一半导体层，在第二薄膜晶体管的栅电极下方的第二半导体层以及在第三薄膜晶体管的栅电极下方的第三半导体层。半导体层上的第一绝缘膜；存储电容器，包括：第一冷凝板，其包括第二薄膜晶体管的栅电极；第一冷凝板，其位于第一冷凝板上；第二绝缘膜，位于第一冷凝板和第二冷凝板之间；在第二聚光板上具有第三绝缘膜。因此，有机发光显示装置通过具有宽的栅极电压范围能够表达丰富的灰度。

