



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0131254
(43) 공개일자 2019년11월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3297 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2018-0055891
(22) 출원일자 2018년05월16일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
심종식
경기도 파주시 월롱면 엘지로 245
강병욱
경기도 파주시 월롱면 엘지로 245
황성환
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 19 항

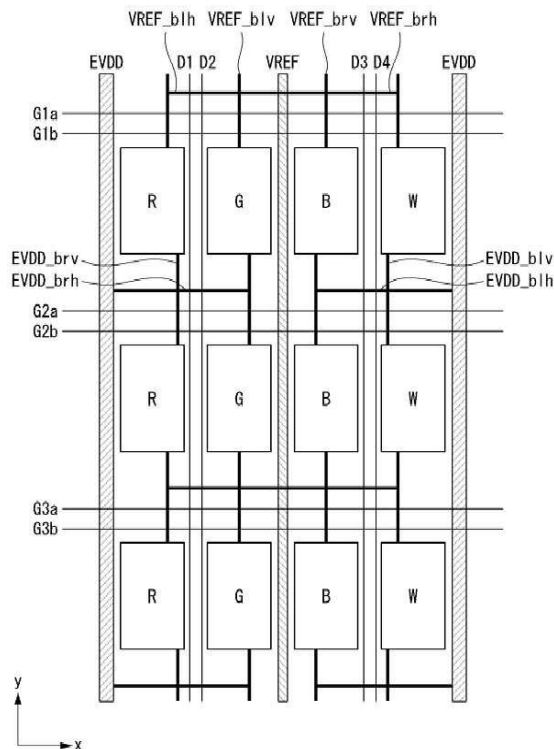
(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명은 개구율을 향상시킬 수 있는 전계발광 표시장치에 관한 것으로, 서로 교차하는 제1 방향과 제2 방향을 따라 배치되며, 각각이 발광영역과, 상기 발광영역을 중심으로 양측에 배치되는 제1 회로영역 및 제2 회로영역을 포함하는 복수의 서브 픽셀들; 상기 복수의 서브 픽셀들 중 단위 픽셀을 구성하는 서브 픽셀들의 최좌측과 최우

(뒷면에 계속)

대표도 - 도5



측에 상기 제2 방향을 따라 연장되도록 배치되며, 홀수 행에 배치된 서브픽셀들의 제2 회로영역들과, 짝수 행에 배치된 서브 픽셀들의 제1 회로영역들 중 적어도 하나의 회로영역들에 제1 전원을 공급하는 제1 전원 라인들; 상기 제1-1 및 상기 제1-2 전원라인들 사이에서 상기 단위 픽셀을 구성하는 서브 픽셀들을 양분하도록 배치되며, 홀수 행에 배치된 상기 서브 픽셀들의 제1 회로영역들과 짝수 행에 배치된 상기 서브 픽셀들의 제2 회로영역들 중 적어도 하나의 회로영역들에 초기화 전압 또는 센싱 전압을 공급하는 센싱 라인들 포함하는 것을 특징으로 한다.

(52) CPC특허분류

H01L 27/3244 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

서로 교차하는 제1 방향과 제2 방향을 따라 배치되며, 각각이 발광영역과, 상기 발광영역을 중심으로 양측에 배치되는 제1 회로영역 및 제2 회로영역을 포함하는 복수의 서브 픽셀들;

상기 복수의 서브 픽셀들 중 단위 픽셀을 구성하는 서브 픽셀들의 최좌측과 최우측에 상기 제2 방향을 따라 연장되도록 배치되며, 홀수 행에 배치된 서브픽셀들의 제2 회로영역들과, 짝수 행에 배치된 서브 픽셀들의 제1 회로영역들 중 적어도 하나의 회로영역들에 제1 전원을 공급하는 제1 전원 라인들;

홀수 행에 배치된 상기 서브 픽셀들의 제1 회로영역들과 짝수 행에 배치된 상기 서브 픽셀들의 제2 회로영역들 중 적어도 하나의 회로영역들에 초기화 전압 또는 센싱전압을 공급하는 센싱 라인들을 포함하는 전계발광 표시장치.

청구항 2

제1 항에 있어서,

상기 복수의 서브 픽셀들은 제1 내지 제4 서브 픽셀들을 포함하고,

상기 제1 전원라인들은,

상기 제1 서브 픽셀의 좌측에 배치되고, 상기 홀수 행에 배치된 제1 및 제2 서브 픽셀들의 제2 회로영역들과, 상기 짝수 행에 배치된 제1 및 제2 서브 픽셀들의 제1 회로영역들 중 어느 하나의 회로영역들에 상기 제1 전원을 공급하는 제1-1 전원 라인; 및

상기 제4 서브 픽셀의 우측에 배치되고, 상기 홀수 행에 배치된 제3 및 제4 서브 픽셀들의 제2 회로영역들과, 상기 짝수 행에 배치된 제3 및 제4 서브 픽셀들의 제1 회로영역들 중 어느 하나의 회로영역들에 상기 제1 전원을 공급하는 제1-2 전원 라인을 포함하는 전계발광 표시장치.

청구항 3

제2 항에 있어서,

상기 제1-1 전원 라인은,

상기 제1-1 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제1 수평 전원 브랜치 라인; 및

상기 제1 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 전원 브랜치 라인을 포함하고,

상기 제1-2 전원 라인은,

상기 제1-2 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제2 수평 전원 브랜치 라인; 및

상기 제2 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2 수직 전원 브랜치 라인을 포함하는 전계발광 표시장치.

청구항 4

제3 항에 있어서,

상기 센싱 라인은,

상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-1 전원 라인을 향해 연장되는 제1 수평 센싱 브랜치 라인;

상기 제1 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 센싱 브랜치 라인;

상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-2 전원 라인을 향해 연장되는 제2 수평 센싱 브랜치

라인;

상기 제2 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2 수직 센싱 브랜치 라인을 포함하는 전계발광 표시장치.

청구항 5

제4 항에 있어서,

상기 홀수 행에 배치된 상기 서브 픽셀들 각각의 제1 회로영역은 센싱 박막 트랜지스터를 포함하고, 상기 홀수 행에 배치된 상기 서브 픽셀들 각각의 제2 회로영역은 구동 박막 트랜지스터를 포함하며,

상기 짝수 행에 배치된 상기 서브 픽셀들 각각의 제2 회로영역은 센싱 박막 트랜지스터를 포함하고, 상기 짝수 행에 배치된 상기 서브 픽셀들 각각의 제1 회로영역은 구동 박막 트랜지스터가 배치되는 전계발광 표시장치.

청구항 6

제5 항에 있어서,

상기 제1 수직 전원 브랜치 라인은 상기 제1 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제1 및 제2 서브 픽셀들의 구동 트랜지스터들에 연결되고,

상기 제2 수직 전원 브랜치 라인은 상기 제2 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제3 및 제4 서브 픽셀들의 구동 트랜지스터들에 연결되는 전계발광 표시장치.

청구항 7

제5 항에 있어서,

제1 수직 센싱 브랜치 라인은 상기 제1 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제1 및 제2 서브 픽셀들의 센싱 박막 트랜지스터들에 연결되고,

상기 제2 수직 센싱 브랜치 라인은 상기 제2 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제3 및 제4 서브 픽셀들의 센싱 박막 트랜지스터들에 연결되는 전계발광 표시장치.

청구항 8

제4 항에 있어서,

상기 제1 서브 픽셀과 상기 제2 서브 픽셀 사이에 배치되어 서로 나란하게 상기 제2 방향으로 연장되는 제1 및 제2 데이터 라인들; 및

상기 제3 서브 픽셀과 상기 제4 서브 픽셀 사이에 배치되어 서로 나란하게 상기 제2 방향으로 연장되는 제3 및 제4 데이터 라인들을 더 포함하며,

상기 홀수 행에 배치된 제1 내지 제4 서브 픽셀들 각각의 제1 회로영역과, 상기 짝수 행에 배치된 제1 내지 제4 서브 픽셀들 각각의 제2 회로영역은 스위칭 박막 트랜지스터를 더 포함하고,

상기 제1 데이터 라인은 상기 제1 서브 픽셀의 스위칭 박막 트랜지스터에 연결되며,

상기 제2 데이터 라인은 상기 제2 서브 픽셀의 스위칭 박막 트랜지스터에 연결되고,

상기 제3 데이터 라인은 상기 제3 서브 픽셀의 스위칭 박막 트랜지스터에 연결되며,

상기 제4 데이터 라인은 상기 제4 서브 픽셀의 스위칭 박막 트랜지스터에 연결되는 전계발광 표시장치.

청구항 9

제8 항에 있어서,

상기 복수의 서브 픽셀들 중 하나의 행을 이루는 서브 픽셀들의 일측에서 서로 나란하게 상기 제1 방향을 따라 연장되는 제1 및 제2 스캔 라인들을 더 포함하며,

상기 제1 스캔 라인은 상기 센싱 박막 트랜지스터의 게이트 전극에 연결되고, 상기 제2 스캔라인은 상기 스위칭

박막 트랜지스터의 게이트 전극에 접속되는 전계발광 표시장치.

청구항 10

제5 항에 있어서,

상기 발광영역은 상기 센싱 트랜지스터의 드레인 전극에 연결되는 제1 전극과 상기 스위칭 트랜지스터의 드레인 전극에 연결되는 제2 전극을 구비하는 투명 스토리지 커패시터를 포함하는 전계발광 표시장치.

청구항 11

제1 항에 있어서,

상기 기관 상의 발광영역에는 절연층을 사이에 두고 서로 대향하는 제1 전극 및 제2 전극을 구비하는 스토리지 커패시터를 포함하는 전계발광 표시장치.

청구항 12

제1 방향을 따라 배열된 복수의 발광영역과, 상기 복수의 발광영역들 각각을 중심으로 양측에 배치되는 제1 및 제2 회로영역들을 포함하는 기관;

상기 기관 상의 상기 발광영역 외측에서 제1 방향을 따라 순차적으로 배열되며, 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는 제1전원 라인들, 센싱라인 및 데이터 라인들;

상기 제1 전원 라인들, 센싱라인 및 데이터 라인들의 일부 영역이 노출되도록 커버하는 버퍼층 상에 배치되는 반도체층;

상기 반도체층의 일부 영역이 노출되도록 상기 반도체층을 커버하는 게이트 절연막 상에 상기 제2 방향을 따라 배치되며, 상기 제1 및 제2 회로영역들에서 상기 제1 방향을 따라 연장되는 스캔라인들, 브랜치 라인들, 및 박막 트랜지스터들;

상기 스캔라인들 및 브랜치 라인들 및 박막 트랜지스터들의 전극들을 커버하는 패시베이션막 상에서 상기 발광 영역에 배치되는 컬러필터;

상기 컬러필터를 커버하는 오버코트층 상에 배치되며, 상기 오버코트층과 상기 패시베이션막을 관통하는 콘택홀을 통해 상기 박막 트랜지스터들의 하나에 연결되는 유기전계 발광 다이오드를 포함하는 전계발광 표시장치.

청구항 13

제12 항에 있어서,

상기 박막 트랜지스터들은 상기 제1 및 제2 회로영역들에 배치되는 센싱 박막 트랜지스터, 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함하고,

홀수 행 발광영역들 각각의 제1 회로영역에는 홀수 행 센싱 박막 트랜지스터와 홀수 행 스위칭 박막 트랜지스터에 대응하는 홀수 행 제1 차광패턴 및 홀수 행 제2 차광패턴이 각각 배치되고, 상기 홀수 행의 발광영역들 각각의 제2 회로영역에는 홀수 행 구동 박막 트랜지스터에 대응하는 홀수 행 제3 차광패턴이 배치되며,

짝수 행 발광영역들 각각의 제1 회로영역에는 짝수 행 구동 박막 트랜지스터에 대응하는 짝수 행 제3 차광패턴 배치되고, 짝수 행 발광영역들 각각의 제2 회로영역에는 짝수 행 센싱 박막 트랜지스터와 짝수 행 스위칭 박막 트랜지스터에 대응하는 짝수 행 제1 차광패턴 및 짝수 행 제2 차광패턴이 각각 배치되는 전계발광 표시장치.

청구항 14

제13 항에 있어서,

상기 기관 상의 상기 발광영역에는 상기 제1 전원 라인, 센싱라인 및 데이터 라인들과 동일 층에 배치되는 스토리지 커패시터의 제1 전극이 배치되는 전계발광 표시장치.

청구항 15

제14 항에 있어서,

상기 제1 전원 라인, 센싱라인 및 데이터 라인들은 상기 기판 상에 배치되는 투명 도전층과, 상기 투명 도전층 상에 배치되는 금속층의 2중층으로 이루어지며,

상기 스토리지 커패시터의 제1 전극은 상기 기판 상에 배치되는 투명 도전층으로 이루어지는 전계발광 표시장치.

청구항 16

제13 항에 있어서,

상기 제1전원 라인들은 서로 나란하게 배열된 제1-1 전원라인과 제1-2 전원라인을 포함하며,

상기 제1-1 전원라인은,

상기 제1-1 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제1 수평 전원 브랜치 라인; 및

상기 제1 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 전원 브랜치 라인을 포함하고,

상기 제1-2 전원 라인은,

상기 제1-2 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제2 수평 전원 브랜치 라인; 및

상기 제2 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2 수직 전원 브랜치 라인을 포함하는 전계발광 표시장치.

청구항 17

제13 항에 있어서,

상기 제1전원 라인들은 서로 나란하게 배열된 제1-1 전원라인과 제1-2 전원라인을 포함하며,

상기 센싱 라인은,

상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-1 전원 라인을 향해 연장되는 제1 수평 센싱 브랜치 라인;

상기 제1 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 센싱 브랜치 라인;

상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-2 전원 라인을 향해 연장되는 제2 수평 센싱 브랜치 라인;

상기 제2 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2 수직 센싱 브랜치 라인을 포함하는 전계발광 표시장치.

청구항 18

제 16 항에 있어서,

상기 제1 수직 전원 브랜치 라인은 상기 제1 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 구동 트랜지스터들에 연결되고,

상기 제2 수직 전원 브랜치 라인은 상기 제2 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 구동 트랜지스터들에 연결되는 전계발광 표시장치.

청구항 19

제 17 항에 있어서,

제1 수직 센싱 브랜치 라인은 상기 제1 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 센싱 트랜지스터들에 연결되고,

상기 제2 수직 센싱 브랜치 라인은 상기 제2 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 센싱 트랜지스터들에 연결되는 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로, 특히 개구율을 향상시킬 수 있는 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT: Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한, 평판 표시장치의 예로는, 액정 표시장치(LCD: Liquid Crystal Display), 전계방출 표시장치(FED: Field Emission Display), 플라즈마 표시장치(PDP: Plasma Display Panel) 및 전계발광 표시장치(Electroluminescent Display) 등이 있다.

[0003] 이들 평판 표시장치 중에서 전계발광 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 이러한 전계발광 표시장치는 발광시 일정한 전류를 유지하기 위해 스토리지 캐패시터를 포함한다. 스토리지 캐패시터는 매 화소마다 구비되어 일정 영역을 차지하므로 개구율이 감소된다. 개구율은 최근 표시장치의 고해상도 추세에 따라 중요한 이슈가 되고 있다. 개구율을 높임으로써 발광소자의 전류밀도를 낮추어 발광소자의 수명을 증가시킬 수 있고, 고해상도 표시장치에 적응성이 높아지므로, 높은 개구율을 갖는 전계발광 표시장치의 구현이 필수적이다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 고해상도 전계발광 표시장치에 적합한 높은 개구율을 갖는 전계발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 상기 목적달성을 위한 본 발명의 특징에 따른 전계발광 표시장치는, 서로 교차하는 제1 방향과 제2 방향을 따라 배치되며, 각각이 발광영역과, 상기 발광영역을 중심으로 양측에 배치되는 제1 회로영역 및 제2 회로영역을 포함하는 복수의 서브 픽셀들; 상기 복수의 서브 픽셀들 중 단위 픽셀을 구성하는 서브 픽셀들의 좌측과 최우측에 상기 제2 방향을 따라 연장되도록 배치되며, 홀수 행에 배치된 서브픽셀들의 제2 회로영역들과, 짝수 행에 배치된 서브 픽셀들의 제1 회로영역들 중 적어도 하나의 회로영역들에 제1 전원을 공급하는 제1 전원 라인들; 상기 제1-1 및 상기 제1-2 전원라인들 사이에서 상기 단위 픽셀을 구성하는 서브 픽셀들을 양분하도록 배치되며, 홀수 행에 배치된 상기 서브 픽셀들의 제1 회로영역들과 짝수 행에 배치된 상기 서브 픽셀들의 제2 회로영역들 중 적어도 하나의 회로영역들에 초기화 전압 또는 센싱전압을 공급하는 센싱 라인들 포함할 수 있다.

[0007] 상기 구성에 있어서, 상기 복수의 서브 픽셀들은 제1 내지 제4 서브 픽셀들을 포함하고, 상기 전원라인들은, 상기 제1 서브 픽셀의 좌측에 배치되고, 상기 홀수 행에 배치된 제1 및 제2 서브 픽셀들의 제2 회로영역들과, 상기 짝수 행에 배치된 제1 및 제2 서브 픽셀들의 제1 회로영역들 중 어느 하나의 회로영역들에 상기 제1 전원을 공급하는 제1-1 전원 라인; 및 상기 제4 서브 픽셀의 우측에 배치되고, 상기 홀수 행에 배치된 제3 및 제4 서브 픽셀들의 제2 회로영역들과, 상기 짝수 행에 배치된 제3 및 제4 서브 픽셀들의 제1 회로영역들 중 어느 하나의 회로영역들에 상기 제1 전원을 공급하는 제1-2 전원 라인을 포함할 수 있다.

[0008] 또한, 상기 제1-1 전원 라인은, 상기 제1-1 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제1 수평 전원 브랜치 라인; 및 상기 제1 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 전원 브랜치 라인을 포함하고, 상기 제1-2 전원 라인은, 상기 제1-2 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제2 수평 전원 브랜치 라인; 및 상기 제2 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2

수직 전원 브랜치 라인을 포함할 수 있다.

- [0009] 또한, 상기 센싱 라인은, 상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-1 전원 라인을 향해 연장되는 제1 수평 센싱 브랜치 라인; 상기 제1 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 센싱 브랜치 라인; 상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-2 전원 라인을 향해 연장되는 제2 수평 센싱 브랜치 라인; 상기 제2 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2 수직 센싱 브랜치 라인을 포함할 수 있다.
- [0010] 또한, 상기 홀수 행에 배치된 상기 서브 픽셀들 각각의 제1 회로영역은 센싱 박막 트랜지스터를 포함하고, 상기 홀수 행에 배치된 상기 서브 픽셀들 각각의 제2 회로영역은 구동 박막 트랜지스터를 포함하며, 상기 짝수 행에 배치된 상기 서브 픽셀들 각각의 제2 회로영역은 센싱 박막 트랜지스터를 포함하고, 상기 짝수 행에 배치된 상기 서브 픽셀들 각각의 제1 회로영역은 구동 박막 트랜지스터가 배치될 수 있다.
- [0011] 또한, 상기 제1 수직 전원 브랜치 라인은 상기 제1 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제3 및 제4 서브 픽셀들의 구동 트랜지스터들에 연결되고, 상기 제2 수직 전원 브랜치 라인은 상기 제2 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제1 및 제2 서브 픽셀들의 구동 트랜지스터들에 연결될 수 있다.
- [0012] 또한, 제1 수직 센싱 브랜치 라인은 상기 제1 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제1 및 제2 서브 픽셀들의 센싱 박막 트랜지스터들에 연결되고, 상기 제2 수직 센싱 브랜치 라인은 상기 제2 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 제3 및 제4 서브 픽셀들의 센싱 박막 트랜지스터들에 연결될 수 있다.
- [0013] 또한, 상기 제1 서브 픽셀과 상기 제2 서브 픽셀 사이에 배치되어 서로 나란하게 상기 제2 방향으로 연장되는 제1 및 제2 데이터 라인들; 및 상기 제3 서브 픽셀과 상기 제4 서브 픽셀 사이에 배치되어 서로 나란하게 상기 제2 방향으로 연장되는 제3 및 제4 데이터 라인들을 더 포함하며, 상기 홀수 행에 배치된 제1 내지 제4 서브 픽셀들 각각의 제1 회로영역과, 상기 짝수 행에 배치된 제1 내지 제4 서브 픽셀들 각각의 제2 회로영역은 스위칭 박막 트랜지스터를 더 포함하고, 상기 제1 데이터 라인은 상기 제1 서브 픽셀의 스위칭 박막 트랜지스터에 연결되며, 상기 제2 데이터 라인은 상기 제2 서브 픽셀의 스위칭 박막 트랜지스터에 연결되고, 상기 제3 데이터 라인은 상기 제3 서브 픽셀의 스위칭 박막 트랜지스터에 연결되며, 상기 제4 데이터 라인은 상기 제4 서브 픽셀의 스위칭 박막 트랜지스터에 연결될 수 있다.
- [0014] 또한, 상기 복수의 서브 픽셀들 중 하나의 행을 이루는 서브 픽셀들의 일측에서 서로 나란하게 상기 제1 방향을 따라 연장되는 제1 및 제2 스캔 라인들을 더 포함하며, 상기 제1 스캔 라인은 상기 센싱 박막 트랜지스터의 게이트 전극에 연결되고, 상기 제2 스캔라인은 상기 스위칭 박막 트랜지스터의 게이트 전극에 접속될 수 있다.
- [0015] 또한, 상기 발광영역은 상기 센싱 트랜지스터의 드레인 전극에 연결되는 제1 전극과 상기 스위칭 트랜지스터의 드레인 전극에 연결되는 제2 전극을 구비하는 스토리지 커패시터를 포함할 수 있다.
- [0016] 또한 기판 상의 발광영역에는 절연층을 사이에 두고 서로 대향하는 제1 전극 및 제2 전극을 구비하는 스토리지 커패시터가 배치될 수 있다.
- [0017] 상기 목적달성을 위한 본 발명의 다른 특징에 따른 전계발광 표시장치는, 제1 방향을 따라 배열된 복수의 발광 영역과, 상기 복수의 발광영역들 각각을 중심으로 양측에 배치되는 제1 및 제2 회로영역들을 포함하는 기판; 상기 기판 상의 상기 발광영역 외측에서 제1 방향을 따라 순차적으로 배열되며, 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는 제1전원 라인들, 센싱라인 및 데이터 라인들; 상기 제1 전원 라인들, 센싱라인 및 데이터 라인들의 일부 영역이 노출되도록 커버하는 버퍼층 상에 배치되는 반도체층; 상기 반도체층의 일부 영역이 노출되도록 상기 반도체층을 커버하는 게이트 절연막 상에 상기 제2 방향을 따라 배치되며, 상기 제1 및 제2 회로영역들에서 상기 제1 방향을 따라 연장되는 스캔라인들, 브랜치 라인들, 및 박막 트랜지스터들; 상기 스캔라인들 및 브랜치 라인들 및 박막 트랜지스터들의 전극들을 커버하는 패시베이션막 상에서 상기 발광영역에 배치되는 컬러필터; 상기 컬러필터를 커버하는 오버코트층 상에 배치되며, 상기 오버코트층과 상기 패시베이션막을 관통하는 콘택홀을 통해 상기 박막 트랜지스터들의 하나에 연결되는 유기전계 발광 다이오드를 포함할 수 있다.
- [0018] 상기 구성에서, 박막 트랜지스터들은 상기 제1 및 제2 회로영역들에 배치되는 센싱 박막 트랜지스터, 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함하고, 홀수 행 발광영역들 각각의 제1 회로영역에는 홀수 행 센싱 박막 트랜지스터와 홀수 행 스위칭 박막 트랜지스터에 대응하는 홀수 행 제1 차광패턴 및 홀수 행 제2 차광패턴이 각각 배치되고, 상기 홀수 행의 발광영역들 각각의 제2 회로영역에는 홀수 행 구동 박막 트랜지스터에

대응하는 홀수 행 제3 차광패턴 배치되며, 짝수 행 발광영역들 각각의 제1 회로영역에는 짝수 행 구동 박막 트랜지스터에 대응하는 짝수 행 제3 차광패턴 배치되고, 짝수 행 발광영역들 각각의 제2 회로영역에는 짝수 행 센싱 박막 트랜지스터와 짝수 행 스위칭 박막 트랜지스터에 대응하는 짝수 행 제1 차광패턴 및 짝수 행 제2 차광패턴이 각각 배치될 수 있다.

[0019] 또한, 상기 기관 상의 상기 발광영역에는 상기 제1-1 전원 라인, 센싱라인 및 데이터 라인들과 동일 층에 배치되는 스토리지 커패시터의 제1 전극이 배치될 수 있다.

[0020] 또한, 상기 제1-1 전원 라인, 센싱라인 및 데이터 라인들은 상기 기관 상에 배치되는 투명 도전층과, 상기 투명 도전층 상에 배치되는 금속층의 2중층으로 이루어지며, 상기 스토리지 커패시터의 제1 전극은 상기 기관 상에 배치되는 투명 도전층으로 이루어질 수 있다.

[0021] 또한, 상기 제1전원 라인들은 서로 나란하게 배열된 제1-1 전원라인과 제1-2 전원라인을 포함하며, 상기 제1-1 전원라인은, 상기 제1-1 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제1 수평 전원 브랜치 라인; 및 상기 제1 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 전원 브랜치 라인을 포함하고, 상기 제1-2 전원 라인, 상기 제1-2 전원 라인에 접속되어 상기 제1 방향을 따라 연장되는 제2 수평 전원 브랜치 라인; 및 상기 제2 수평 전원 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2 수직 전원 브랜치 라인을 포함할 수 있다.

[0022] 또한, 상기 센싱 라인, 상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-1 전원 라인을 향해 연장되는 제1 수평 센싱 브랜치 라인; 상기 제1 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제1 수직 센싱 브랜치 라인; 상기 센싱 라인에 접속되며 상기 제1 방향을 따라 상기 제1-2 전원 라인을 향해 연장되는 제2 수평 센싱 브랜치 라인; 상기 제2 수평 센싱 브랜치 라인으로부터 상기 제2 방향으로 연장되는 제2 수직 센싱 브랜치 라인을 포함할 수 있다.

[0023] 또한, 상기 제1 수직 전원 브랜치 라인은 상기 제1 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 구동 트랜지스터들에 연결되고, 상기 제2 수직 전원 브랜치 라인은 상기 제2 수평 전원 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 구동 트랜지스터들에 연결될 수 있다.

[0024] 또한, 제1 수직 센싱 브랜치 라인은 상기 제1 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 센싱 트랜지스터들에 연결되고, 상기 제2 수직 센싱 브랜치 라인은 상기 제2 수평 센싱 브랜치 라인의 상측 및 하측의 적어도 일측에 위치하는 센싱 트랜지스터들에 연결될 수 있다.

발명의 효과

[0025] 본 발명의 전계발광 표시장치에 따르면, 각 서브 픽셀의 발광영역을 중심으로 상측 및 하측으로 분리된 제1 및 제2 회로영역들이 배치되고, 구동 박막 트랜지스터와 센싱 박막 트랜지스터 및 스위칭 박막 트랜지스터를 상이한 회로영역에 배치되므로, 상하방향으로 인접한 서브 픽셀들이 전원라인 또는 센싱라인을 공유할 수 있게 되므로, 배선 수를 줄일 수 있다. 따라서, 배선 수의 절감에 따른 개구율을 향상시킬 수 있는 효과를 얻을 수 있다.

[0026] 또한, 각 서브픽셀의 발광영역을 제외한 제1 및 제2 회로영역들에 스토리지 커패시터가 배치되지 않는다. 따라서, 제1 및 제2 회로영역들에 배치되는 스토리지 커패시터에 의한 회로영역의 증가 때문에 발생하는 개구율 감소를 방지할 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 실시예에 따른 전계발광 표시장치를 개략적으로 도시한 블록도,
- 도 2는 도 1에 도시된 전계발광 표시장치의 서브 픽셀(SP)의 개략적인 회로 구성도,
- 도 3은 도 1에 도시된 전계발광 표시장치의 서브 픽셀(SP)의 일례를 도시한 등가 회로도,
- 도 4는 도 3에 도시된 전계발광 표시장치의 서브 픽셀회로들로 구성되는 단위 픽셀을 개략적으로 도시한 평면도,
- 도 5는 도 4에 도시된 단위 픽셀과 전원 공급라인 및 신호 공급라인의 관계를 개략적으로 도시한 도면,
- 도 6은 본 발명의 실시예에 따른 전계발광 표시장치의 단위 픽셀을 도시한 평면도,

도 7a 내지 도 7d는 도 6에 도시된 단위 픽셀의 일부 단층 구조를 도시한 평면도로서,
 도 7a는 기관 상에 배치되는 전원라인과 데이터 라인 등을 구성하는 제1 도전층을 도시한 평면도,
 도 7b는 도 7a에 도시된 구성요소를 커버하는 버퍼층 상에 배치되는 반도체층(ACT)을 도시한 평면도,
 도 7c는 스캔라인 및 브랜치 라인 등을 구성하는 제3 도전층을 도시한 평면도,
 도 7d는 각 서브 픽셀의 발광영역에 배치되는 애노드 전극을 도시한 평면도,
 도 8은 도 6의 라인 I-I' 라인을 따라 취한 단면도.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부 도면을 참조하여 본 발명의 실시예에 따른 표시장치에 대해 설명하기로 한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략하거나 간략히 설명한다.
- [0029] 이하, 도 1을 참조하여 본 발명의 실시예에 따른 전계발광 표시장치에 대해 설명하기로 한다.
- [0030] 도 1은 본 발명의 실시예에 따른 전계발광 표시장치를 개략적으로 도시한 블록도이다.
- [0031] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0032] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0033] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0034] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(D1~Dn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0035] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔 구동부(140)는 스캔 라인들(G1~Gm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0036] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0037] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0038] 다음으로 도 2 및 도 3을 참조하여, 본 발명의 실시예에 따른 전계발광 표시장치의 서브 픽셀에 대해 설명하기로 한다.
- [0039] 도 2는 도 1에 도시된 전계발광 표시장치의 서브 픽셀(SP)의 개략적인 회로 구성도이고, 도 3은 도 1에 도시된 전계발광 표시장치의 서브 픽셀(SP)의 일례를 도시한 등가 회로도이다.
- [0040] 도 2를 참조하면, 단위 픽셀을 구성하는 하나의 서브 픽셀(SP)은 스위칭 박막 트랜지스터(SW), 구동 박막 트랜지스터(DT), 스토리지 커패시터(Cst), 보상회로(CC) 및 유기발광 다이오드(OLED)를 포함한다.

- [0041] 스위칭 박막 트랜지스터(SW)는 제1 스캔 라인(G1)을 통해 공급된 스캔 신호에 응답하여 제1 데이터 라인(D1)을 통해 공급되는 데이터 신호가 스토리지 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 박막 트랜지스터(DT)는 스토리지 커패시터(Cst)에 저장된 데이터 전압에 따라 제1 전원라인(EVDD)과 제2 전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기발광 다이오드(OLED)는 구동 박막 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0042] 보상회로(CC)는 구동 박막 트랜지스터(DT)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 박막 트랜지스터를 포함할 수 있다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양하게 구성될 수 있다.
- [0043] 도 3을 참조하면, 도 2에 도시된 보상회로(CC)는 센싱 박막 트랜지스터(ST)와 센싱 라인(VREF)을 포함한다. 센싱 박막 트랜지스터(ST)는 구동 박막 트랜지스터(DT)의 드레인 전극과 유기발광 다이오드(OLED)의 애노드 전극 사이(이하, 센싱노드)에 접속된다. 센싱 박막 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화 전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0044] 스위칭 박막 트랜지스터(SW)는 제1 데이터 라인(D1)에 연결되는 소스 전극과, 구동 박막 트랜지스터(DT)의 게이트 전극에 연결되는 드레인 전극을 포함한다. 구동 박막 트랜지스터(DT)는 제1 전원라인(EVDD)에 연결되는 소스 전극과, 유기발광 다이오드(OLED)의 애노드 전극에 연결되는 드레인 전극을 포함한다.
- [0045] 스토리지 커패시터(Cst)는 유기발광 다이오드(OLED)의 애노드 전극에 연결되는 제1 전극(E1)과, 구동 박막 트랜지스터(DT)의 게이트 전극에 연결되는 제2 전극(E2)을 포함한다. 제2 전극(E2)은 반도체층을 도체화하여 형성될 수 있다.
- [0046] 유기발광 다이오드(OLED)는 구동 박막 트랜지스터(DT)의 드레인 전극에 연결되는 애노드 전극과, 제2 전원라인(EVSS)에 연결되는 캐소드 전극을 포함한다.
- [0047] 센싱 박막 트랜지스터(ST)는 센싱 라인(VREF)에 연결되는 소스 전극과, 유기발광 다이오드(OLED)의 애노드 전극이 접속된 센싱노드에 연결되는 드레인 전극을 포함한다.
- [0048] 센싱 박막 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 박막 트랜지스터(SW)와 유사, 동일, 또는 다를 수 있다. 일례로, 센싱 박막 트랜지스터(ST)는 제1a 스캔 라인(G1a)에 게이트 전극이 연결되고, 스위칭 박막 트랜지스터(SW)는 제1b 스캔 라인(G1b)에 게이트 전극이 연결될 수 있다. 다른 예로, 센싱 박막 트랜지스터(ST)의 게이트 전극에 연결된 제1a 스캔 라인(G1a)과 스위칭 박막 트랜지스터(SW)의 게이트 전극에 연결된 제1b 스캔 라인(G1b)은 공통으로 공유하도록 연결될 수 있다.
- [0049] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 박막 트랜지스터(SW)와 센싱 박막 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.
- [0050] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마신호 등이 될 수 있다. 이러한 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부, 또는 별도의 회로로 구현될 수 있다.
- [0051] 또한, 도 3의 예에서는 스위칭 박막 트랜지스터(SW), 구동 박막 트랜지스터(DT), 스토리지 커패시터(Cst), 유기발광 다이오드(OLED), 센싱 박막 트랜지스터(ST)를 포함하는 3T(Transistor) 1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 각 서브 픽셀은 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0052] 이하, 도 4를 참조하여 본 발명의 전계발광 표시장치의 구체적인 서브 픽셀 어레이 구조에 대해 설명하기로 한다.
- [0053] 도 4는 도 3에 도시된 전계발광 표시장치의 서브 픽셀들로 구성되는 단위 픽셀을 개략적으로 도시한 평면도이다.
- [0054] 도 4를 참조하면, 본 발명의 실시예에 따르는 전계발광 표시장치의 단위 픽셀은 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)을 포함한 4개의 제1 내지 제4 서브 픽셀들(R, G, B, W)로 구

성될 수 있다. 이하의 설명에서는 편의상 3T1C 서브 픽셀을 예로 들어 설명한다.

- [0055] 제1 내지 제4 서브 픽셀들(R, G, B, W) 각각은 발광영역(LE)과, 발광영역(LE)의 양측(즉, 도면의 상측 및 하측)에 배치되는 제1 회로영역(C1) 및 제2 회로영역(C2)을 포함할 수 있다. 즉, 본 발명의 실시예에 따르는 전계 발광 표시장치에서는 각 서브 픽셀(R, G, B, W)이 발광영역(R, G, B, W)을 중심으로 제1 회로영역(C1)과 제2 회로영역(C2)이 분리되어 있다. 또한, 본 발명의 실시예에 따르는 전계발광 표시장치에서, 홀수 행에 배치되는 서브 픽셀들에 포함된 스위칭 박막 트랜지스터들(SW) 및 센싱 박막 트랜지스터들(ST)은 제1 회로영역들(RC1, GC1, BC1, WC1)에 각각 배치되고, 구동 박막 트랜지스터들(DT)은 제2 회로영역들(RC2, GC2, BC2, WC2)에 각각 배치되며, 스토리지 커패시터들(Cst)은 발광영역들(RLE, GLE, BLE, WLE)에 배치될 수 있다. 반면, 짝수 행에 배치되는 서브 픽셀들에 포함된 구동 박막 트랜지스터들(DT)은 제1 회로영역들(RC1, GC1, BC1, WC1)에, 스위칭 박막 트랜지스터들(SW) 및 센싱 박막 트랜지스터들(ST)은 제2 회로영역들(RC2, GC2, BC2, WC2)에 각각 분리되어 배치되고, 스토리지 커패시터들(Cst)은 발광영역들(RLE, GLE, BLE, WLE)에 각각 배치될 수 있다.
- [0056] 이와 달리 홀수 행에 배치되는 서브 픽셀들에 포함된 구동 트랜지스터들(DT)은 제1 회로영역들(RC1, GC1, BC1, WC1)에, 스위칭 박막 트랜지스터들(SW) 및 센싱 박막 트랜지스터들(ST)은 제2 회로영역들(RC2, GC2, BC2, WC2)에 분리되어 배치되고, 발광영역들(RLE, GLE, BLE, WLE)에는 스토리지 커패시터들(Cst)이 배치될 수 있다. 또, 짝수 행에 배치되는 서브 픽셀들에 포함된 구동 박막 트랜지스터들(DT)은 제2 회로영역들(RC2, GC2, BC2, WC2)에, 스위칭 박막 트랜지스터들(SW) 및 센싱 박막 트랜지스터들(ST)은 제1 회로영역들(RC1, GC1, BC1, WC1)에 각각 분리되어 배치되고, 스토리지 커패시터들(Cst)은 발광영역들(RLE, GLE, BLE, WLE)에 각각 배치될 수 있다.
- [0057] 본 발명에 따르는 전계발광 표시장치에서는 홀수 행 및 짝수 행의 서브 픽셀들이 발광영역을 중심으로 상하 양측에 제1 회로영역과 제2 회로영역을 포함하고, 홀수 행 배치의 서브픽셀들의 제1 회로영역들과 짝수 행 배치의 서브픽셀들의 제2 회로영역들에 배치되는 회로소자들이 동일하고 홀수 행 배치의 서브픽셀들의 제2 회로영역들과 짝수 행 배치의 서브픽셀들의 제1 회로영역들에 배치되는 회로소자들이 동일하므로, 홀수 행 배치의 서브픽셀들과 짝수 행 배치의 서브픽셀들이 거울상으로 구현될 수 있다. 따라서, 홀수 행 배치의 서브픽셀들과 짝수 행 배치의 서브픽셀들이 거울상으로 구현할 수 있게 되므로 서브픽셀들에 공통되는 배선의 공유에 의한 개구율 증가효과를 얻을 수 있다.
- [0058] 도 5는 도 4의 구성을 보다 구체적으로 도시한 도면으로서, 도 4에 도시된 서브 픽셀들(R, G, B, W)과 전원 공급라인들(EVDD, VREF) 및 신호 공급라인들(D1~D4, G1~G6)의 관계를 개략적으로 도시한 도면이다.
- [0059] 도 5를 참조하면, 본 발명의 실시예에 따르는 전계발광 표시장치는 1개의 단위 픽셀을 구성하는 4개의 제1 내지 제 4서브 픽셀들(R, G, B, W), 제1 전원라인들(EVDD1, EVDD2), 센싱라인(VREF), 데이터 라인들(D1~D4), 및 스캔 라인들(G1a, G1b; G2a, G2b, G3a, G3b)를 포함할 수 있다.
- [0060] 1개의 단위 픽셀을 구성하는 제1 내지 제4 서브 픽셀들(R, G, B, W)은 서로 간격을 두고 제1 방향(예를 들면, x 축 방향)을 따라 반복적으로 배열되어 하나의 행을 구성할 수 있다. 이들 제 1 행의 서브 픽셀들의 배열은 제1 방향과 교차하는 제2 방향(예를 들면, y 축 방향)을 따라 반복적으로 적용되어 복수 행의 서브 픽셀들(R, G, B, W)을 포함하는 픽셀 어레이를 구성할 수 있다.
- [0061] 제1 전원라인들(EVDD1, EVDD2)은 제1 방향을 따라 일정 간격을 두고 배치되며, 각각 제2 방향을 따라 연장된다. 제1 전원라인들(EVDD1, EVDD2) 각각은 그에 연결되어 좌측방향으로 제1 방향을 따라 연장되는 제1 수평 전원 브랜치 라인(EVDD_b1h)과, 제1 수평 전원 브랜치 라인(EVDD_b1h)으로부터 제2 방향을 따라 연장되는 제1 수직 전원 브랜치 라인(EVDD_b1v)를 포함할 수 있다. 제1 전원라인들(EVDD) 각각은 또한 그에 연결되어 우측방향으로 제1 방향을 따라 연장되는 제2 수평 전원 브랜치 라인(EVDD_brh)과, 제2 수평 전원 브랜치 라인(EVDD_brh)으로부터 제2 방향을 따라 연장되는 제2 수직 전원 브랜치 라인(EVDD_brv)를 포함할 수 있다.
- [0062] 제1 전원라인들(EVDD1, EVDD2)의 좌측이나 우측에 서브 픽셀들이 배치되어 있지 않은 경우, 제1 수평 전원 브랜치 라인(EVDD_b1h)과 제1 수직 전원 브랜치 라인(EVDD_b1v) 또는 제2 수평 전원 브랜치 라인(EVDD_brh)과 제2 수직 전원 브랜치 라인(EVDD_brv)이 배치되지 않을 수도 있다.
- [0063] 제1 수직 전원 브랜치 라인(EVDD_b1v)과 제2 수직 전원 브랜치 라인(EVDD_brv)은 제1 수평 전원 브랜치 라인(EVDD_b1h)과 제2 수평 전원 브랜치 라인(EVDD_brh)의 상하 양측에 서브 픽셀들이 존재할 경우 제1 수평 전원 브랜치 라인(EVDD_b1h)과 제2 수평 전원 브랜치 라인(EVDD_brh)을 중심으로 상하 방향으로 연장될 수 있다.
- [0064] 제1 수평 전원 브랜치 라인(EVDD_b1h) 및 제2 수평 전원 브랜치 라인(EVDD_brh)과 제1 수직 전원 브랜치 라인(EVDD_b1v) 및 제2 수직 전원 브랜치 라인(EVDD_brv)은 홀수 행에 배열된 서브 픽셀들의 일측(예를 들면, 도 5

의 첫 번째 행에 배치된 서브 픽셀들의 하측)에 배치될 수 있다.

- [0065] 예를 들어, 좌측 제1 전원 라인(EVDD1)에 접속되어 첫 번째 홀수 행의 제1 및 제2 서브 픽셀들(R, G)의 하측에 배치된 제1 수직 전원 브랜치 라인(EVDD_brv)은 첫 번째 행의 제1 및 제2 서브 픽셀들(R, G)의 제2 회로영역에 배치된 구동 박막 트랜지스터들과, 두 번째 행의 제1 및 제2 서브 픽셀들(R, G)의 제1 회로영역에 배치된 구동 박막 트랜지스터들에 접속될 수 있다.
- [0066] 또한, 우측 제1 전원 라인(EVDD2)에 접속되어 첫 번째 홀수 행의 제3 및 제4 서브 픽셀들(B, W)의 하측에 배치된 제1 수직 전원 브랜치 라인(EVDD_blv)은 첫 번째 행의 제3 및 제4 서브 픽셀들(B, W)의 제2 회로영역에 배치된 구동 박막 트랜지스터들과, 두 번째 행의 제3 및 제4 서브 픽셀들(B, W)의 제1 회로영역에 배치된 구동 박막 트랜지스터들에 접속될 수 있다.
- [0067] 이와 같은 방식으로 제1 수직 전원 브랜치 라인(EVDD_blv)과 제2 수직 전원 브랜치 라인(EVDD_brv) 각각은 자신이 배치된 위치의 상측 및/또는 하측의 서브 픽셀들에 배치된 구동 박막 트랜지스터들에 접속될 수 있다.
- [0068] 센싱라인(VREF)은 2개의 제1 전원라인들(EVDD) 사이에 배치되며, 제2 방향을 따라 연장된다. 센싱라인(VREF)은 홀수 번째 제1 전원라인(좌측 EVDD)과의 사이에는 제1 및 제2 서브 픽셀들(R, G)이 배치되고, 짝수 번째 제1 전원라인(우측 EVDD)과의 사이에는 제3 및 제4 서브 픽셀들(B, W)이 배치되도록 구성될 수 있다.
- [0069] 센싱라인(VREF)은 그에 연결되어 좌측방향으로 제1 방향을 따라 연장되는 제1 센싱 수평 브랜치 라인(VREF_b1h)과, 제1 센싱 수평 브랜치 라인(VREF_b1h)으로부터 제2 방향을 따라 연장되는 제1 센싱 수직 브랜치 라인(VREF_blv)를 포함할 수 있다. 센싱라인(VREF)은 또한 그에 연결되어 우측방향으로 제1 방향을 따라 연장되는 제2 센싱 수평 브랜치 라인(VREF_brh)과, 제2 센싱 수평 브랜치 라인(VREF_brh)으로부터 제2 방향을 따라 연장되는 제2 센싱 수직 브랜치 라인(VREF_brv)를 포함할 수 있다.
- [0070] 제1 센싱 수직 브랜치 라인(VREF_blv)과 제2 센싱 수직 브랜치 라인(VREF_brv)은 제1 센싱 수평 브랜치 라인(VREF_b1h)과 제2 센싱 수평 브랜치 라인(VREF_brh)의 양측에 서브 픽셀들이 존재할 경우 제1 센싱 수평 브랜치 라인(VREF_b1h)과 제2 센싱 수평 브랜치 라인(VREF_brh)을 중심으로 상하 방향으로 연장될 수 있다.
- [0071] 제1 센싱 수평 브랜치 라인(VREF_b1h) 및 제2 센싱 수평 브랜치 라인(VREF_brh)과 제1 센싱 수직 브랜치 라인(VREF_blv) 및 제2 센싱 수직 브랜치 라인(VREF_brv)은 홀수 행에 배열된 서브 픽셀들의 일측(예를 들면, 도 5의 첫 번째 행에 배치된 서브 픽셀들의 상측) 또는 짝수 행에 배열된 서브 픽셀들의 일측(예를 들면, 도 5의 두 번째 행에 배치된 서브 픽셀들의 하측)에 배치될 수 있다.
- [0072] 예를 들어, 첫 번째 홀수 행의 제1 및 제2 서브 픽셀들(R, G)의 상측에 배치된 제1 센싱 수직 브랜치 라인(VREF_blv)은 첫 번째 행의 제1 및 제2 서브 픽셀들(R, G)의 제1 회로영역에 배치된 센싱 박막 트랜지스터들에 연결되고, 첫 번째 홀수 행의 제3 및 제4 서브 픽셀들(B, W)의 상측에 배치된 제2 센싱 수직 브랜치 라인(VREF_brv)은 첫 번째 행의 제3 및 제4 서브 픽셀들(B, W)의 제1 회로영역에 배치된 센싱 박막 트랜지스터들에 연결될 수 있다.
- [0073] 두 번째 홀수 행(즉, 세 번째 행)의 제1 및 제2 서브 픽셀들(R, G)의 상측에 배치된 제1 센싱 수직 브랜치 라인(VREF_blv)은 세 번째 행의 제1 및 제2 서브 픽셀들(R, G)의 제1 회로영역에 배치된 센싱 박막 트랜지스터들과, 두 번째 행의 제1 및 제2 서브 픽셀들(R, G)의 제2 회로영역에 배치된 센싱 박막 트랜지스터들에 연결된다.
- [0074] 또한, 두 번째 홀수 행(즉, 세 번째 행)의 제3 및 제4 서브 픽셀들(B, W)의 상측에 배치된 제2 센싱 수직 브랜치 라인(VREF_brv)은 세 번째 행의 제3 및 제4 서브 픽셀들(B, W)의 제1 회로영역에 배치된 센싱 박막 트랜지스터들과, 두 번째 행의 제3 및 제4 서브 픽셀들(B, W)의 제2 회로영역에 배치된 센싱 박막 트랜지스터들에 연결된다.
- [0075] 이와 같은 방식으로 제1 센싱 수직 브랜치 라인(VREF_blv)과 제2 센싱 수직 브랜치 라인(VREF_brv) 각각은 자신이 배치된 위치의 상측 및/또는 하측의 서브 픽셀들에 배치된 센싱 박막 트랜지스터들에 접속될 수 있다.
- [0076] 데이터 라인들(D1~D4)은 제1 및 제2 서브 픽셀들(R, G) 사이 및 제3 및 제4 서브 픽셀들(B, W) 사이에서 제2 방향을 따라 연장되도록 서로 나란하게 배치될 수 있다. 즉, 제1 데이터 라인(D1)과 제2 데이터 라인(D2)은 제1 서브 픽셀들(R)과 제2 서브 픽셀들(G) 사이에 나란하게 배치되고, 제3 데이터 라인(D3)과 제4 데이터 라인(D4)은 제3 서브 픽셀들(B)과 제4 서브 픽셀들(W) 사이에 나란하게 배치될 수 있다.
- [0077] 제1 데이터 라인(D1)은 홀수 행의 제1 서브 픽셀(R)의 제1 회로영역에 배치된 스위칭 박막 트랜지스터(SW)와,

짝수 행의 제1 서브 픽셀(R)의 제2 회로영역에 배치된 스위칭 박막 트랜지스터(SW)에 접속될 수 있다.

- [0078] 이와 유사하게 제2 데이터 라인(D2)은 홀수 행의 제2 서브 픽셀(G)의 제1 회로영역에 배치된 스위칭 박막 트랜지스터(SW)와, 짝수 행의 제2 서브 픽셀(G)의 제2 회로영역에 배치된 스위칭 박막 트랜지스터(SW)에 접속될 수 있다.
- [0079] 제3 데이터 라인(D3)은 홀수 행의 제3 서브 픽셀(B)의 제1 회로영역에 배치된 스위칭 박막 트랜지스터(SW)에 접속되고, 짝수 행의 제3 서브 픽셀(B)의 제2 회로영역에 배치된 스위칭 박막 트랜지스터(SW)에 접속될 수 있다.
- [0080] 제4 데이터 라인(D2)은 홀수 행의 제4 서브 픽셀(W)의 제1 회로영역에 배치된 스위칭 박막 트랜지스터(SW)에 접속되고, 짝수 행의 제4 서브 픽셀(W)의 제2 회로영역에 배치된 스위칭 박막 트랜지스터(SW)에 접속될 수 있다.
- [0081] 스캔 라인들(G1a, G1b; G2a, G2b; G3a, G3b)은 각 행의 서브 픽셀들의 일측(예를 들면, 상측)에서 제1 방향을 따라 연장되며, 제2 방향을 따라 나란히 배치될 수 있다. 스캔 라인들(G1a, G1b; G2a, G2b; G3a, G3b)은 1행의 서브 픽셀들 상측에 2개씩 배치될 수 있다. 예를 들어, 첫 번째 행 배열의 서브 픽셀들 상측에 제1a 및 제1b 스캔 라인들(G1a, G1b)이 서로 나란하게 배열되고, 두 번째 행 배열의 서브 픽셀들 상측에 제2a 및 제2b 스캔 라인들(G2a, G2b)이 서로 나란하게 배열되며, 세 번째 행 배열의 서브 픽셀들 상측에 제3a 및 제3b 스캔 라인들(G3a, G3b)이 서로 나란하게 배열될 수 있다.
- [0082] 상술한 바와 같이, 본 발명에 따르는 전계발광 표시장치에 의하면, 각 서브 픽셀마다 발광영역을 중심으로 상하측에 제1 회로영역과 제2 회로영역이 분리되어 배치되고, 제1 전원라인(EVDD)과 센싱라인(VREF)이 각각의 브랜치 라인들을 통해 상측 및 하측에 배열된 서브 픽셀들에 공통으로 연결될 수 있다. 따라서, 상하방향으로 인접한 서브 픽셀들이 제1 전원라인 및 센싱라인을 공유할 수 있게 되므로, 배선 수의 감소로 인해 개구율을 향상시킬 수 있는 효과를 얻을 수 있다.
- [0083] 다음으로 도 6 내지 도 8을 참조하여, 본 발명의 실시예에 따르는 전계발광 표시장치의 서브-픽셀 구조를 보다 구체적으로 설명하기로 한다.
- [0084] 도 6은 본 발명의 실시예에 따른 전계발광 표시장치의 단위 픽셀을 도시한 평면도이다. 도 7a 내지 도 7d는 도 6에 도시된 단위 픽셀의 일부 단층 구조를 도시한 평면도로서, 도 7a는 기관 상에 배치되는 전원라인과 데이터 라인 등을 구성하는 제1 도전층을 도시한 평면도이고, 도 7b는 도 7a에 도시된 제1 도전층을 커버하는 버퍼층 상에 배치되는 반도체층을 도시한 평면도이며, 도 7c는 스캔라인 및 브랜치 라인 등을 구성하는 제3 도전층을 도시한 평면도이며, 도 7d는 발광영역에 배치되는 애노드 전극을 구성하는 제4 도전층을 도시한 평면도이다. 도 8은 도 6의 라인 I-I' 라인을 따라 취한 단면도이다.
- [0085] 도 5 및 도 6 내지 도 8을 참조하면, 본 발명의 실시예에 따르는 전계발광 표시장치는 1개의 단위 픽셀을 구성하는 제1 내지 제4 서브 픽셀들(R, G, B, W)을 포함한다.
- [0086] 각 서브 픽셀(R, G, B, W)은 스토리지 커패시터(Cst), 컬러필터(CF) 및 전계발광 다이오드(OLED)가 배치되는 발광영역과, 발광영역의 일측(예를 들면, 발광영역의 상측)에 배치되며, 센싱 박막 트랜지스터(ST)와 스위칭 박막 트랜지스터(SW)를 포함하는 제1 회로영역과, 발광영역의 타측(예를 들면, 발광영역의 하측)에 배치되며, 구동 박막 트랜지스터(DT)를 포함하는 제2 회로영역을 포함할 수 있다.
- [0087] 또한, 동일 행에 배치되는 서브픽셀들의 일측(예를 들면, 상측)에는 센싱 박막 트랜지스터(ST)에 제1a 스캔신호를 공급하는 제1a 스캔라인(G1a)과, 스위칭 박막 트랜지스터(SW)에 제1b 스캔신호를 공급하는 제1b 스캔라인(G1b)이 배치될 수 있다.
- [0088] 1개의 단위 픽셀을 구성하는 4개의 제1 내지 제4 서브 픽셀들(R, G, B, W)은 제1 전원라인들(EVDD1, EVDD2)에 의해 이웃하는 단위픽셀과 경계가 구분될 수 있다. 즉, 제2 방향(열 방향)으로 배열된 제1 서브 픽셀들(R)의 좌측에는 좌측 제1 전원라인(EVDD1)이, 열 방향으로 배열된 제4 서브 픽셀들(W) 우측에는 우측 제1 전원라인(EVDD2)이 각각 배치될 수 있다. 이들 제1 전원라인(EVDD1, EVDD2)은 좌측 방향을 향해 수평방향으로 연장되는 제1 수평 전원 브랜치 라인(EVDD_B1h)과, 제1 수평 전원 브랜치 라인(EVDD_b1h)으로부터 제1 전원라인(EVDD)과 나란한 방향으로 연장되어 그 상측 및/또는 하측에 위치하는 서브픽셀의 구동 박막 트랜지스터(DT)에 연결되는 제1 수직 전원 브랜치 라인(EVDD_b1v)를 포함할 수 있다. 제1 전원라인은 또한 우측 방향을 향해 수평방향으로 연장되는 제2 수평 전원 브랜치 라인(EVDD_Brh)과, 제2 수평 전원 브랜치 라인(EVDD_brh)으로부터 제1 전원라인(EVDD)과 나란한 방향으로 연장되어 그 상측 및/또는 하측에 위치하는 서브픽셀의 구동 박막 트랜지스터(DT)에 연결되는 제2 수직 전원 브랜치 라인(EVDD_brv)를 포함할 수 있다.

- [0089] 열 방향으로 배열된 제1 서브 픽셀들(R)과 제2 서브 픽셀들(G) 사이에는 제 1 및 제2 데이터 라인들(D1, D2)이 서로 나란하게 배치될 수 있다. 제1 데이터 라인(D1)은 홀수 번째 행에 배치된 제1 서브픽셀(R)의 스위칭 박막 트랜지스터(SW)에 데이터 신호를 공급하고, 제2 데이터 라인(D2)은 홀수 번째 행에 배치된 제2 서브픽셀(G)의 스위칭 박막 트랜지스터(SW)에 데이터 신호를 공급할 수 있다.
- [0090] 열 방향으로 배열된 제3 서브 픽셀들(B)과 제4 서브 픽셀들(W) 사이에는 제 3 및 제4 데이터 라인들(D3, D4)이 서로 나란하게 배치될 수 있다. 제3 데이터 라인(D3)은 홀수 번째 행에 배치된 제3 서브픽셀(B)의 스위칭 박막 트랜지스터(SW)에 데이터 신호를 공급하고, 제4 데이터 라인(D4)은 홀수 번째 행에 배치된 제4 서브픽셀(W)의 스위칭 박막 트랜지스터(SW)에 데이터 신호를 공급할 수 있다.
- [0091] 열 방향으로 배열된 제2 서브 픽셀들(G)과 제3 서브 픽셀들(B) 사이에는 센싱라인이(VREF) 열 방향을 따라 연장 되도록 배치될 수 있다.
- [0092] 센싱라인(VREF)은 그에 접속되어 좌측 방향을 향해 수평방향으로 연장되는 제1 수평 센싱 브랜치 라인(VREF_b1h)과, 제1 수평 센싱 브랜치 라인(VREF_b1h)으로부터 센싱라인(VREF)과 나란한 방향으로 연장되는 제1 수직 센싱 브랜치 라인(VREF_b1v)을 포함할 수 있다. 제1 수직 센싱 브랜치 라인(VREF_b1v)은 홀수 번째 행에 배치된 제1 및 제2 서브 픽셀들 및 그 하측에 배치되는 제1 및 제 2 서브픽셀들의 센싱 박막 트랜지스터들(ST)에 연결될 수 있다.
- [0093] 센싱라인(VREF)은 그에 접속되어 우측 방향을 향해 수평방향으로 연장되는 제2 수평 센싱 브랜치 라인(VREF_brh)과, 제2 수평 센싱 브랜치 라인(VREF_brh)으로부터 센싱라인(VREF)과 나란한 방향으로 연장되는 제2 수직 센싱 브랜치 라인(VREF_brv)을 포함할 수 있다. 제2 수직 센싱 브랜치 라인(VREF_brv)은 홀수 번째 행에 배치된 제3 및 제4 서브 픽셀들 및 그 하측에 배치된 제3 및 제4 서브픽셀들의 센싱 박막 트랜지스터들(ST)에 연결될 수 있다.
- [0094] 도 6, 도 7a 및 도 8를 참조하면, 기관(SUB) 상에는 제1 방향(예를 들면, x축 방향)을 따라 서로 나란하게 배열되며 제1 방향과 교차하는 제2 방향(예를 들면, y축 방향)으로 연장되는 제1 전원 라인들(EVDD1, EVDD2)과, 2개의 제1 전원 라인들(EVDD1, EVDD2) 사이에서 이들과 나란하게 서로 인접하여 배치되는 제1 및 제2 데이터 라인들(D1, D2)과, 제2 데이터 라인(D2)과 제3 데이터 라인(D3) 사이에서 이들과 나란하게 배치되는 센싱라인(VREF)과, 센싱라인(VREF)과 우측 제1 전원라인(EVDD2) 사이에서 이들과 나란하게 배치되는 제3 및 제4 데이터 라인들(D3, D4)이 형성될 수 있다.
- [0095] 제1 데이터 라인(D1)은 좌측 제1 전원라인(EVDD)와의 사이에 제1 서브 픽셀(R)이 위치할 수 있도록 미리 정해진 거리를 두고 배치될 수 있다. 제2 데이터 라인(D2)은 제1 데이터 라인에 인접하여 배치될 수 있다.
- [0096] 센싱라인(VREF)은 제2 데이터 라인(D2)과의 사이에 제2 서브 픽셀(G)이 위치하고, 제3 데이터 라인(D3)과의 사이에 제3 서브 픽셀(B)이 위치할 수 있도록 미리 정해진 거리를 두고 배치될 수 있다.
- [0097] 제3 및 제4 데이터 라인들(D3, D4)은 서로 인접하게 배치될 수 있다. 제4 데이터 라인(D4)은 우측 제1 전원라인(EVDD2)과의 사이에 제4 서브 픽셀(W)이 위치할 수 있도록 미리 정해진 거리를 두고 배치될 수 있다.
- [0098] 좌측 제1 전원 라인(EVDD1)과 제1 데이터 라인(D1) 사이, 제2 데이터 라인(D2)과 센싱라인(VREF) 사이, 센싱라인(VREF)과 제3 데이터 라인(D3) 사이, 및 제4 데이터 라인(D4)과 우측 제1 전원라인(EVDD2) 사이에는 도 4에 도시된 바와 같이 제1 내지 제4 서브 픽셀들(R, G, B, W)의 발광영역(RLE, GLE, BLE, WLE)을 중심으로 상하 양측에 배치되는 제1 회로영역들(RC1, GC1, BC1, WC1)과 제2 회로영역들(RC2, GC2, BC2, WC2)이 배치될 수 있다.
- [0099] 제1 내지 제4 서브 픽셀(R, G, B, W)의 제1 회로영역들(RC1, GC1, BC1, WC1) 각각에 대응하는 영역에는 센싱 박막 트랜지스터(ST)에 대응하는 센싱 차광패턴(LS_ST)과 스위칭 박막 트랜지스터(SW)에 대응하는 스위칭 차광패턴(LS_SW)이 배치될 수 있다.
- [0100] 제1 내지 제4 서브 픽셀(R, G, B, W)의 발광영역들(RLE, GLE, BLE, WLE) 각각에 대응하는 영역에는 스토리지 커패시터(Cst)의 제1 전극(E1)이 배치될 수 있다.
- [0101] 또한, 제1 내지 제4 서브 픽셀(R, G, B, W)의 제2 회로영역들(RC2, GC2, BC2, WC2) 각각에 대응하는 영역에는 구동 박막 트랜지스터들(DT)에 대응하는 구동 차광패턴(LS_DT)이 배치될 수 있다.
- [0102] 센싱 차광패턴(LS_ST), 스위칭 차광패턴(LS_SW) 및 구동 차광패턴(LS_DT)은 각각 센싱 박막 트랜지스터(ST), 스

위칭 박막 트랜지스터(SW) 및 구동 박막 트랜지스터(DT)의 채널영역에 입사되는 외광을 차단하여 이들 박막 트랜지스터를 보호하기 위해 존재한다.

- [0103] 스위칭 차광패턴(LS_SW)은 각 데이터 라인(D1, D2, D3, D4)으로부터 연장될 수 있다. 센싱 차광패턴(LS_ST), 구동 차광패턴(LS_DT) 및 스토리지 커패시터(Cst)의 제1 전극(E1)은 전기적으로 서로 연결될 수 있으며, 제1 전원 라인들(EVDD1, EVDD2) 및 제1 내지 제4 데이터 라인들(D1~D4)로부터 분리되어 형성될 수 있다.
- [0104] 기판(SUB) 상에 배치되는 제1 전원라인들(EVDD1, EVDD2), 데이터 라인들(D1~D4), 센싱 차광패턴(LS_ST), 스위칭 차광패턴(LS_SW), 및 구동 차광패턴(LS_DT)은 기판(SUB) 상에 형성된 투명 도전층(L1)과 투명 도전층(L1) 상에 형성된 금속층(L2)의 2중층으로 구성될 수 있다.
- [0105] 스토리지 커패시터(Cst)의 제1 전극(E1)은 투명 도전층(L1)으로 형성되며, 발광영역들(RLE, GLE, BLE, WLE) 각각에 배치된다. 스토리지 커패시터(Cst)의 제1 전극(E1)은 센싱 차광패턴(LS_ST)의 투명 도전층(L1)과 구동 차광패턴(LS_DT)의 투명 도전층(L1)을 전기적으로 연결할 수 있다.
- [0106] 도 8을 참조하면, 도 7a에 도시된 구성요소들이 형성된 기판(SUB) 상에 이들을 커버하도록 버퍼층(BUF)이 배치될 수 있다. 버퍼층(BUF)은 센싱 차광패턴(LS_ST), 스위칭 차광패턴(LS_SW), 및 구동 차광패턴(LS_DT)이나 기판(SUB)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하는 역할을 한다. 버퍼층(BUF)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0107] 도 6, 도 7b, 및 도 8을 참조하면, 버퍼층(BUF) 상에는 반도체층(ACT)이 배치될 수 있다.
- [0108] 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100cm²/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 박막 트랜지스터에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(ACT)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널 영역을 포함한다.
- [0109] 반도체층(ACT)은 도 4에 도시된 각 서브 픽셀(R, G, B, W)의 제1 회로영역(RC1, GC1, BC1, WC1)에 대응하는 영역에 배치되는 센싱 박막 트랜지스터(ST)의 센싱 반도체층(ST_A), 스위칭 박막 트랜지스터(SW)의 스위칭 반도체층(SW_A), 각 서브 픽셀(R, G, B, W)의 제2 회로영역(RC2, GC2, BC2, WC2)에 대응하는 영역에 배치되는 구동 박막 트랜지스터(DT)의 구동 반도체층(DT_A), 및 각 서브 픽셀(R, G, B, W)의 발광영역(RLE, GLE, BLE, WLE)에 대응하는 영역에 배치되는 발광영역 반도체층을 포함할 수 있다. 발광영역 반도체층은 도체화 처리되어 투명한 스토리지 커패시터(Cst)의 제2 전극(E2)을 구성할 수 있다. 발광 반도체층(LE_A)은 스위칭 박막 트랜지스터(SW)의 스위칭 반도체층(SW_A)에 연결될 수 있다. 따라서, 스토리지 커패시터(Cst)의 제2 전극(E2)은 제1 내지 제4 서브 픽셀(R, G, B, W)의 발광영역들(RLE, GLE, BLE, WLE) 각각에 대응하는 영역에서 스토리지 커패시터(Cst)의 제1 전극(E1)에 대응하도록 배치될 수 있다.
- [0110] 도 8을 참조하면, 버퍼층(BUF) 상에는 반도체층(ACT)의 일부 영역과 버퍼층(BUF)의 일부 영역이 노출되도록 게이트 절연막(GI)이 배치될 수 있다. 게이트 절연막(GI)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0111] 도 6, 도 7c 및 도 8을 참조하면, 버퍼층(BUF)과 게이트 절연막(GI) 상에는 서브 픽셀들(R, G, B, W)의 제1 회로영역들(RC1, GC1, BC1, WC1)을 가로지르도록 배치되는 제1 수평 전원 브랜치 라인(EVDD_B1h) 및 제2 수평 센싱 브랜치 라인(VREF_brh)과, 제1a 스캔라인(G1a)과, 제1b 스캔라인(G1b)이 제2 방향을 따라 서로 나란하게 배치될 수 있다.
- [0112] 제1 수평 전원 브랜치 라인(EVDD_B1h)은 제1 및 제2 서브 픽셀들(R, G)의 제1 회로영역들(RC1, GC1)에 위치하도록 배열될 수 있다. 제1 수평 전원 브랜치 라인(EVDD_B1h)에는 그로부터 제1a 스캔라인(G1a)을 향해 연장되는 적어도 하나의 제1 수직 전원 브랜치 라인(EVDD_b1v)이 형성될 수 있다.
- [0113] 제2 수평 전원 브랜치 라인(EVDD_Brh)은 제3 및 제4 서브 픽셀들(B, W)의 제1 회로영역들(BC1, WC1)에 위치하도록 배열될 수 있다. 제2 수평 전원 브랜치 라인(EVDD_Brh)에는 그로부터 제1a 스캔라인(G1a)을 향해 연장되는 적어도 하나의 제2 수직 전원 브랜치 라인(EVDD_brv)이 형성될 수 있다.
- [0114] 제1a 스캔라인(G1a)과 제1b 스캔라인(G1b) 사이에는 후술할 센싱 박막 트랜지스터(ST)의 드레인 전극(ST_D)과

스토리지 커패시터(Cst)의 제1 전극(E1)을 연결하기 위한 제2 연결패턴(CP2)과, 후술할 데이터 라인과 스위칭 박막 트랜지스터(SW)의 소스전극(SW_S)을 연결할 제3 연결패턴(CP3)이 배치될 수 있다.

- [0115] 또한, 버퍼층(BUF)과 게이트 절연막(GI) 상에는 제1 및 제2 서브 픽셀(R, G)의 제2 회로영역(RC2, GC2)을 가로지르도록 배치되는 제1 수평 전원 브랜치 라인(EVDD_b1h)과, 제3 및 제4 서브 픽셀(B, W)의 제2 회로영역(BC2, WC2)을 가로지르도록 배치되는 제2 수평 센싱 브랜치 라인(VREF_brh)이 동일 선 상에서 서로 이격되어 배치될 수 있다. 제1 수평 전원 브랜치 라인(EVDD_B1h)에는 그로부터 제1 및 제2 발광영역(RLE, GLE)을 향해 연장되는 적어도 하나의 제1 수직 센싱 브랜치 라인(VREF_b1v)이 형성될 수 있다. 또한, 제2 수평 전원 브랜치 라인(EVDD_brh)에는 그로부터 제3 및 제4 발광영역(BLE, WLE)을 향해 연장되는 적어도 하나의 제2 수직 센싱 브랜치 라인(VREF_brv)이 형성될 수 있다.
- [0116] 제2 수직 센싱 브랜치 라인(VREF_brv)의 하나에는 그로부터 연장되는 구동 박막 트랜지스터의 (DT)소스전극(DT_S)이 형성될 수 있다.
- [0117] 또한, 제1 수평 전원 브랜치 라인(EVDD_b1h)과 제3 및 제4 발광영역(BLE, WLE) 사이와, 제2 수평 전원 브랜치 라인(EVDD_Brh)과 제1 및 제2 발광영역(RLE, GLE) 사이에는 각각 구동 박막 트랜지스터(DT)의 드레인 전극(DT_G)이 배치될 수 있다. 구동 박막 트랜지스터(DT)의 드레인 전극(DT_G)의 일단부에는 그로부터 연장되어 후술할 애노드 전극(AN)과 구동 박막 트랜지스터(DT)의 드레인 전극(DT_G)을 연결하는 제1 연결패턴(CP1)이 형성될 수 있다.
- [0118] 도 7c에 도시된 구성요소들은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 이들은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층으로 이루어질 수 있다.
- [0119] 도 8을 참조하면, 도 7c에 도시된 전체 구성요소를 커버하도록 패시베이션막(PAS)이 배치될 수 있다. 패시베이션막(PAS)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다.
- [0120] 패시베이션막(PAS) 상에는 각 서브 픽셀(R, G, B, W)의 발광영역들(RLE, GLE, BLE, WLE)에 대응하여 적색, 녹색, 청색 및 백색의 컬러필터들(CF)이 배치될 수 있다. 컬러필터들(CF)은 유기발광 다이오드(OLED)에서 발광된 백색 광을 통과시켜 각각 적색, 녹색, 청색, 백색을 나타내는 광을 출사한다.
- [0121] 적색, 녹색, 청색 및 백색의 컬러필터들(CF)이 배치된 패시베이션막(PAS) 상에는 이들 컬러필터(CF)를 커버하는 오버코트층(OC)이 배치될 수 있다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다.
- [0122] 도 6, 도 7d 및 도 8을 참조하면, 오버코트층(OC) 상에는 각 서브 픽셀(R, G, B, W)의 발광영역들(RLE, GLE, BLE, WLE)에 대응하여 유기 발광 다이오드(OLED)의 애노드 전극들(AN(R), AN(G), AN(B), AN(W))이 배치될 수 있다. 애노드 전극들(AN(R), AN(G), AN(B), AN(W))은 화소 전극으로 작용하며, 오버코트층(OC)과 패시베이션막(PAS)을 관통하는 콘택홀을 통해 노출된 서브 픽셀들(R, G, B, W)의 제2 회로영역들(RC2, GC2, BC2, WC2)에 배치된 구동 박막 트랜지스터(DT)의 드레인 전극(DT_D)에 드레인 전극(DT_D)과 일체로 형성된 제1 연결패턴(CP1)을 통해 접속될 수 있다.
- [0123] 애노드 전극들(AN(R), AN(G), AN(B), AN(W))은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 애노드 전극들(AN(R), AN(G), AN(B), AN(W))이 반사 전극인 경우, 애노드 전극들(AN(R), AN(G), AN(B), AN(W))은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide)은 반사층을 더 포함할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.
- [0124] 애노드 전극들(AN(R), AN(G), AN(B), AN(W))을 포함하는 기관(SUB) 상에 화소를 구획하는 बैं크층(BN)이 위치한다. बैं크층(BN)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다. बैं크층(BN)은 애노드 전극들(AN(R), AN(G), AN(B), AN(W))을 노출시키는 발광영역들(RLE, GLE, BLE, WLE)을 정의할 수 있다. बैं크층(BN)의 발광영역들(RLE, GLE, BLE, WLE)에는 애노드 전극들(AN(R), AN(G), AN(B), AN(W))과 접촉하도록 발광층(EML)이 배치될 수 있다. 발광층(EML)은 전자와 정공이 결합하여 발광하는 층이다. 발광층(EML)과 애노드 전극들(AN(R), AN(G), AN(B), AN(W))은

AN(W)) 사이에는 정공주입층 또는 정공수송층이 배치될 수 있으며, 발광층(EML) 상에 전자수송층 또는 전자주입층이 위치할 수 있다.

[0125] 발광층(EML) 상에는 캐소드 전극(CAT)이 위치할 수 있다. 캐소드 전극(CAT)은 표시부의 전면 상에 배치될 수 있다. 캐소드 전극은 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 캐소드 전극(CAT)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 이루어지고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 이루어질 수 있다.

[0126] 상술한 본 발명의 실시예에 따르는 전계발광 표시장치에 의하면, 각 서브 픽셀의 발광영역을 중심으로 상측 및 하측으로 분리된 제1 및 제2 회로영역들이 배치되고, 구동 박막 트랜지스터와 센싱 박막 트랜지스터 및 스위칭 박막 트랜지스터를 상이한 회로영역에 배치되므로, 상하방향으로 인접한 서브 픽셀들이 전원라인 또는 센싱라인을 공유할 수 있게 되므로, 배선 수를 줄일 수 있다. 따라서, 배선 수의 절감에 따른 개구율을 향상시킬 수 있는 효과를 얻을 수 있다.

[0127] 또한, 본 발명의 실시예에 따르는 전계발광 표시장치에서는 각 서브픽셀의 발광영역을 제외한 제1 및 제2 회로영역들에 스토리지 커패시터가 배치되지 않는다. 따라서, 제1 및 제2 회로영역들에 배치되는 스토리지 커패시터에 의한 회로영역의 증가 때문에 발생하는 개구율 감소를 방지할 수 있는 효과를 얻을 수 있다.

[0128] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 본 발명에 도시된 예에서는 전계발광 표시장치를 예로 들어 설명했으나, 본 발명이 이에 한정되는 것은 아니며, 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출 표시장치(Field Emission Display Device: FED), 및 전기영동 표시장치(Electrophoretic Display Device: ED)와 같은 다양한 평판 표시장치에 적용될 수 있다. 따라서, 본 발명의 기술적 범위는 발명의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0129] R, G, B, W: 서브 픽셀 LE, RLE, GLE, BLE, WLE: 발광 영역

C1, RC1, GC1, BC1, WC1: 제1 회로영역

C2, RC2, GC2, BC2, WC2: 제2 회로영역

DT: 구동 박막 트랜지스터 ST: 센싱 트랜지스터

SW: 스위칭 트랜지스터 EVDD1, EVDD2: 제1 전원 라인

EVDD_B1h: 제1 수평 전원 브랜치 라인

EVDD_b1v: 제1 수직 전원 브랜치 라인

EVDD_brh: 제2 수평 전원 브랜치 라인

EVDD_brv: 제2 수직 전원 브랜치 라인

VREF: 센싱 라인

VREF_b1h: 제1 수평 센싱 브랜치 라인

VREF_b1v: 제1 수직 센싱 브랜치 라인

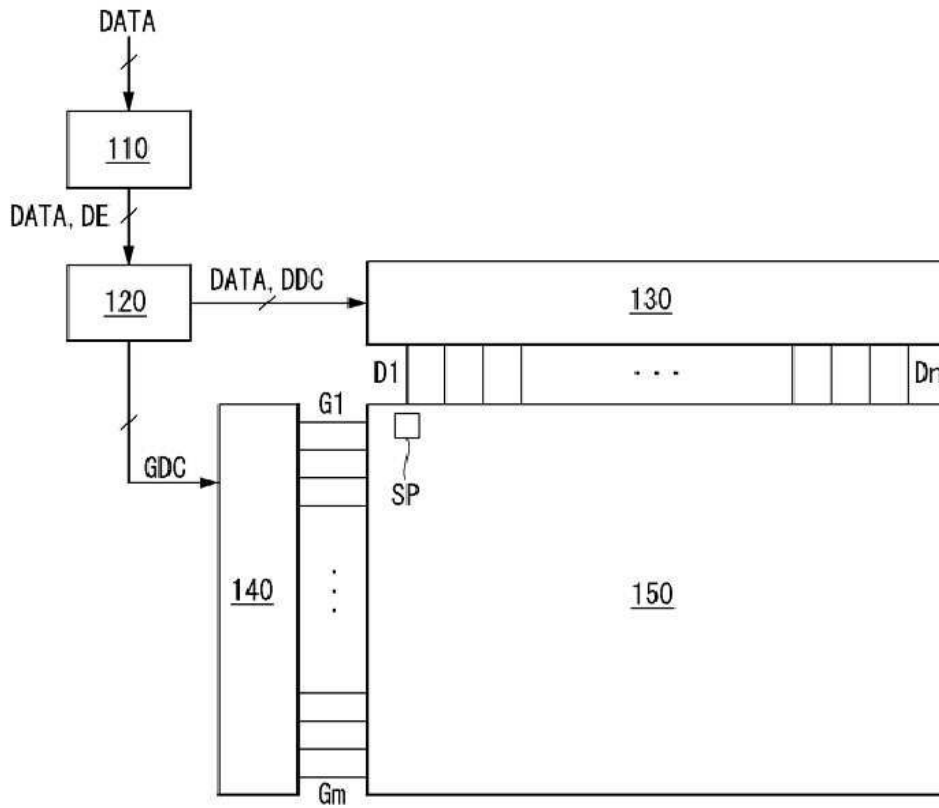
VREF_brh: 제2 수평 센싱 브랜치 라인

VREF_brv: 제2 수직 센싱 브랜치 라인

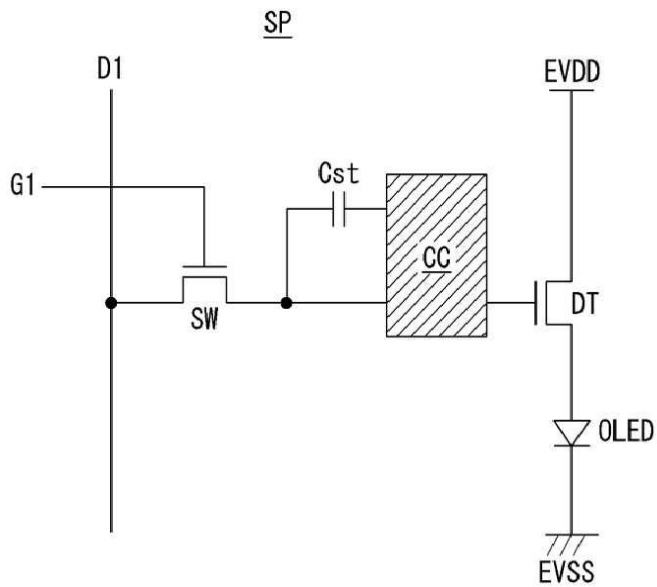
LS_SW, LS_ST, LS_DT: 차광패턴

도면

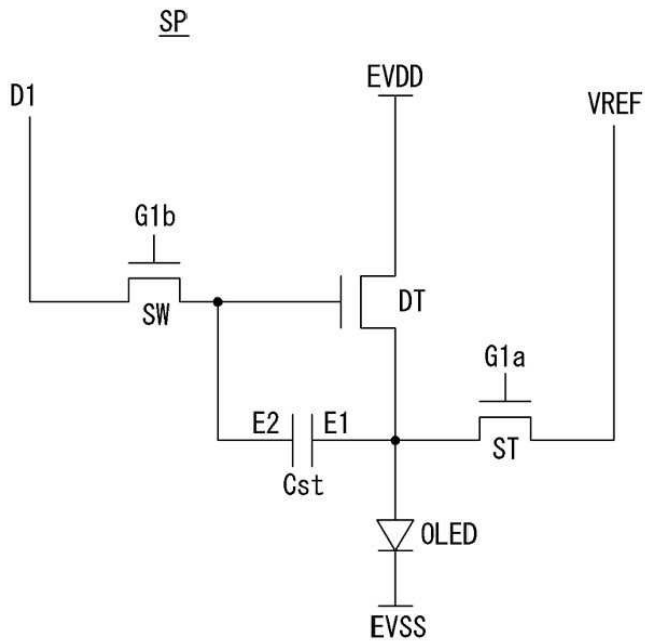
도면1



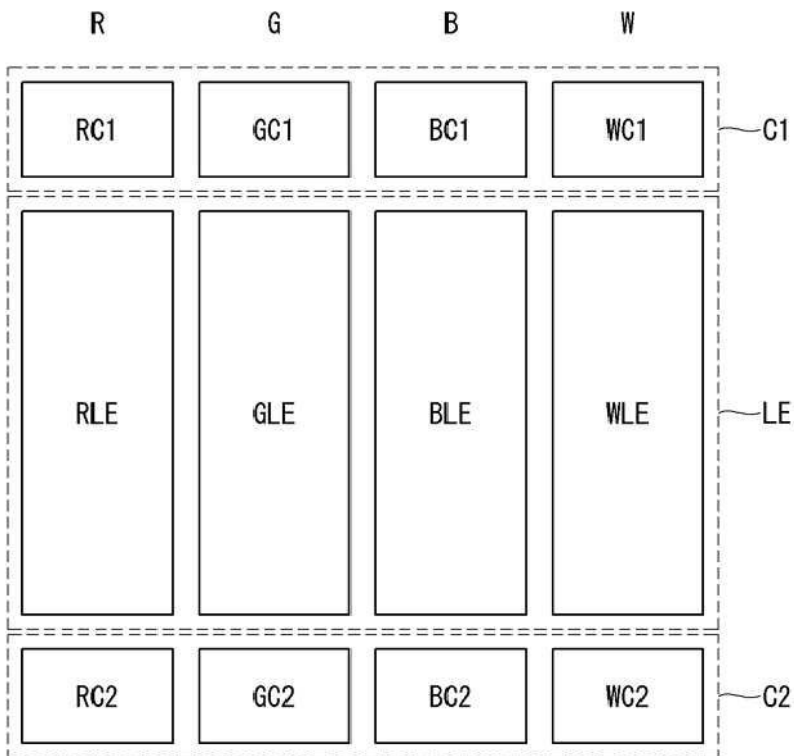
도면2



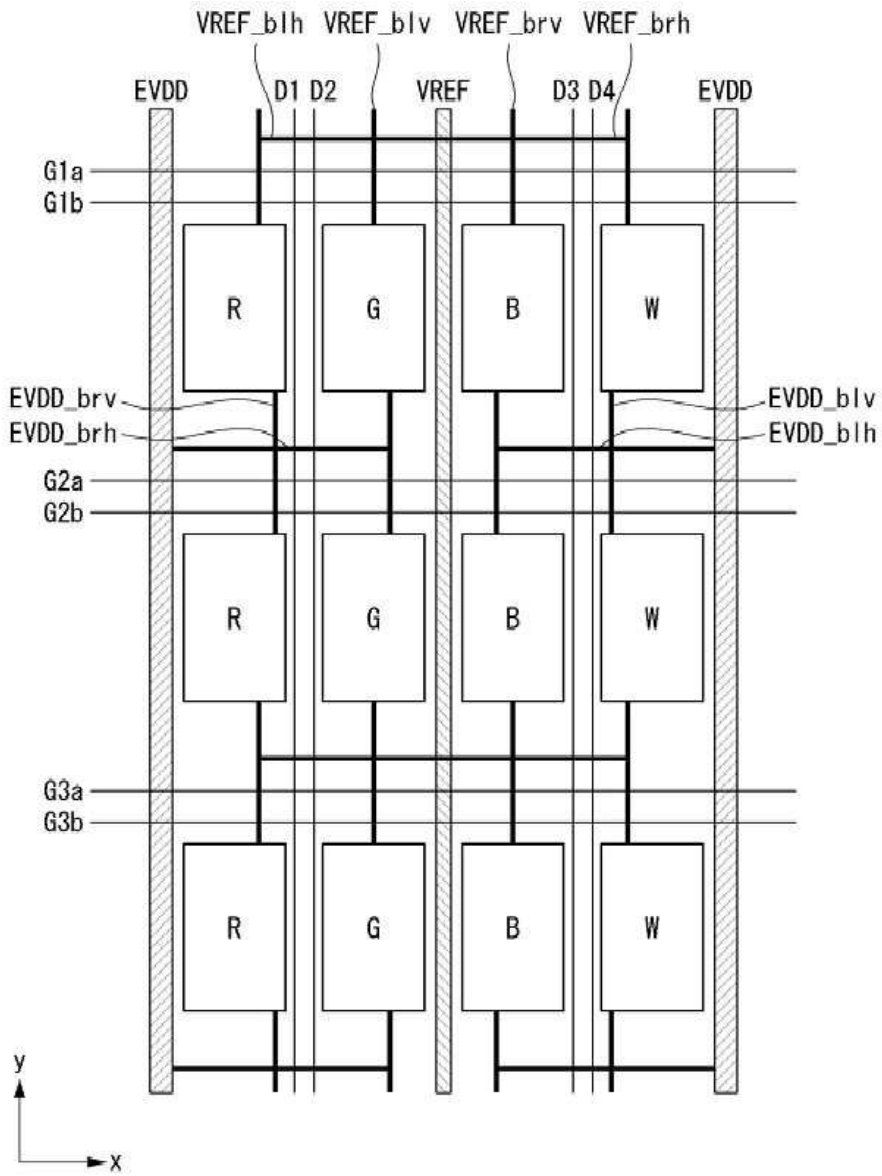
도면3



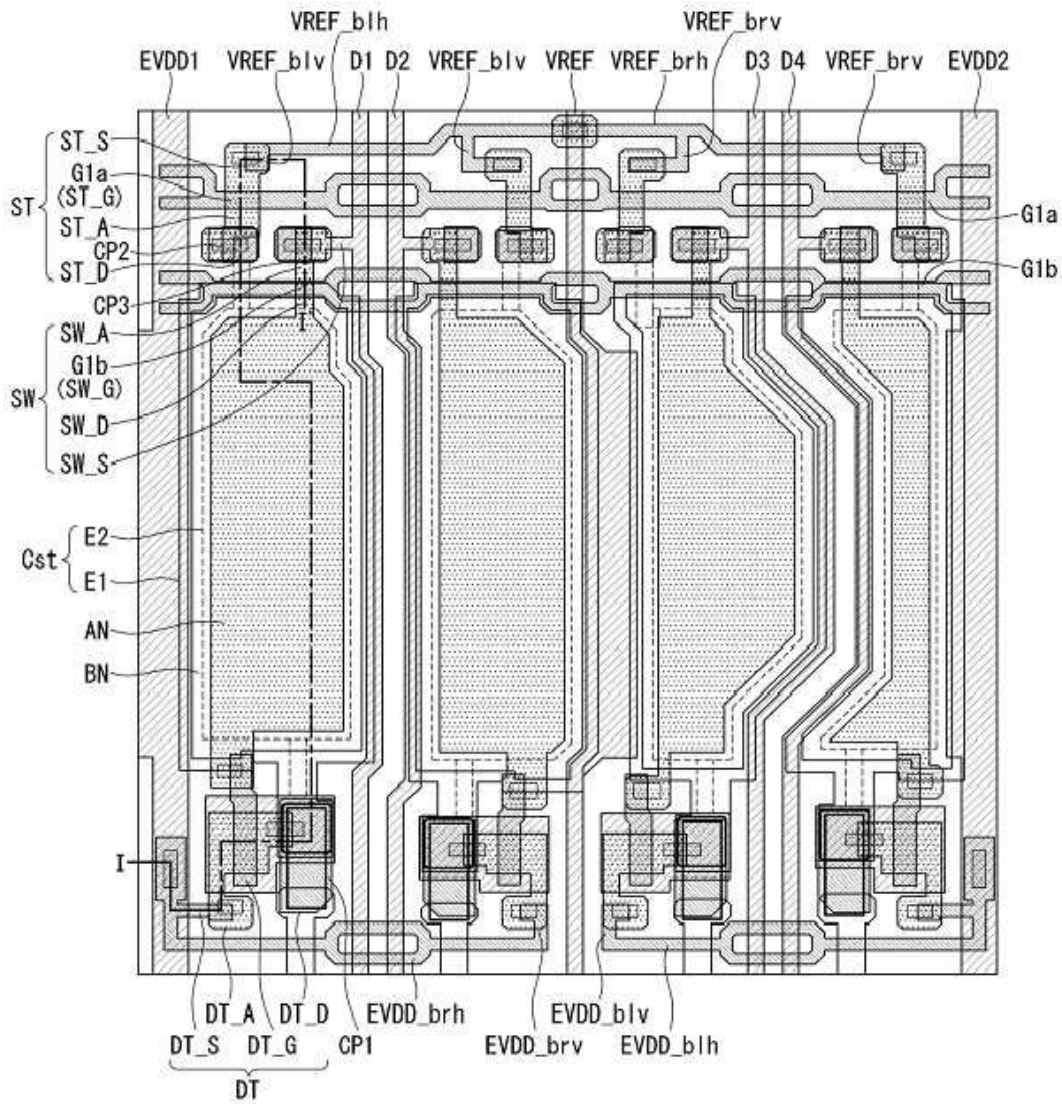
도면4



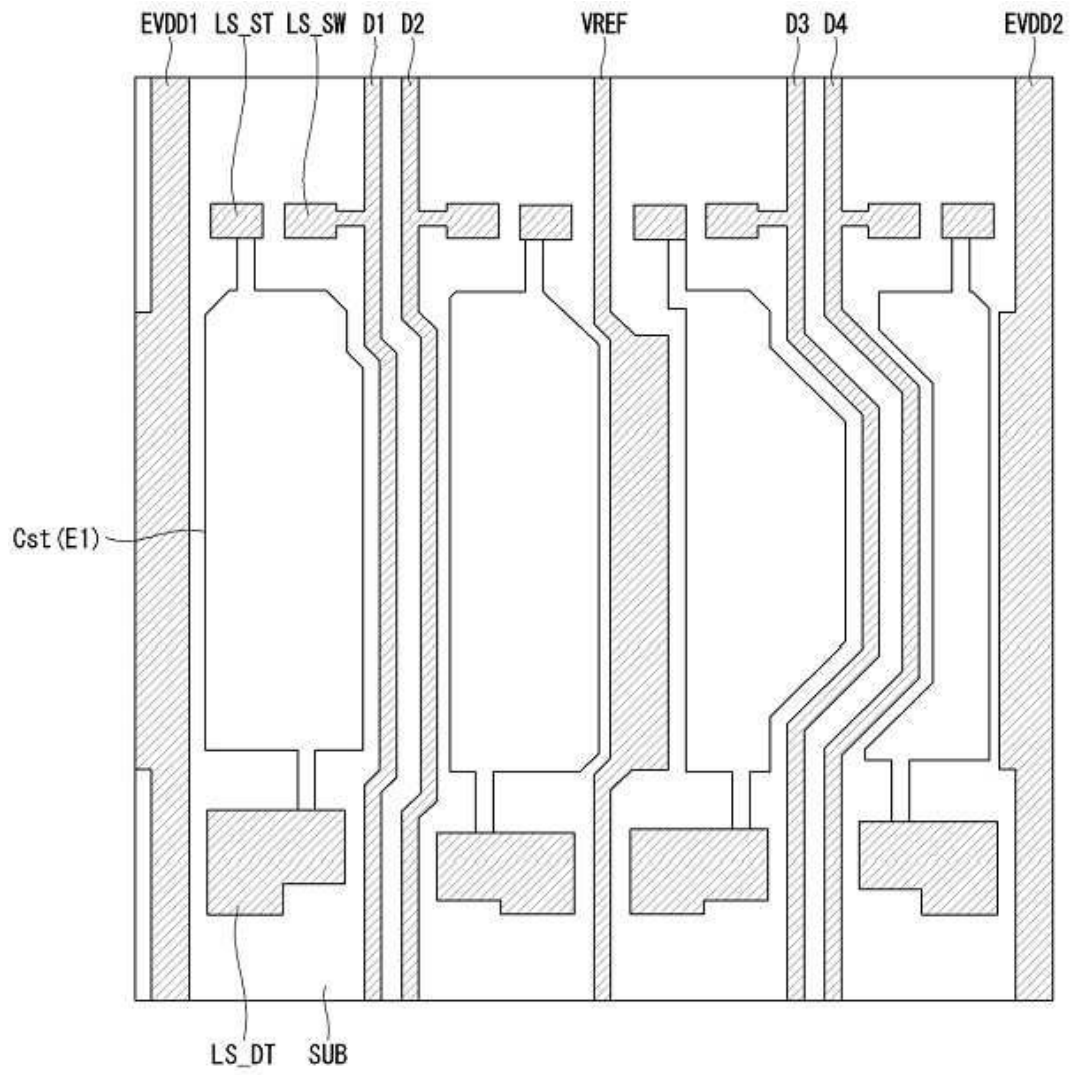
도면5



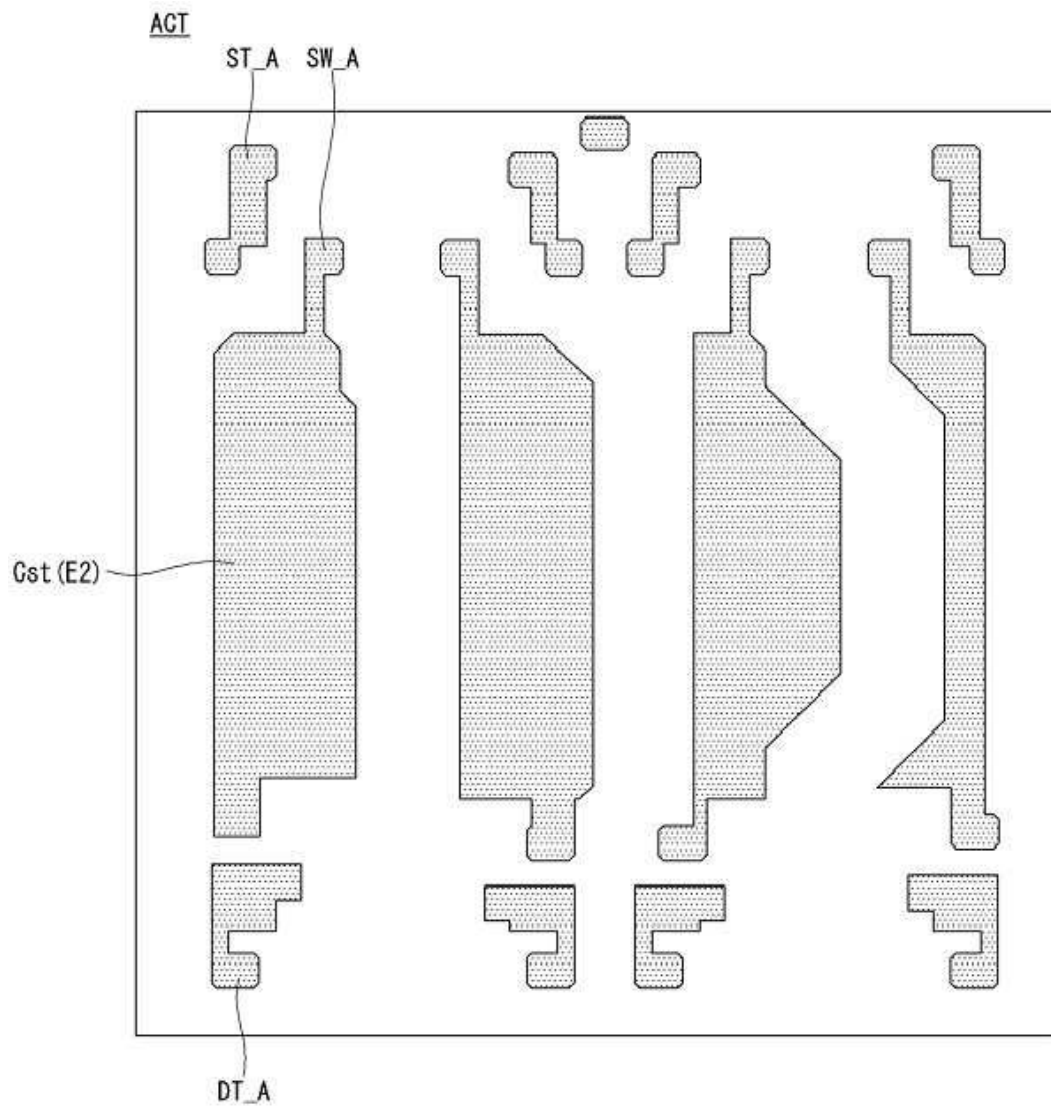
도면6



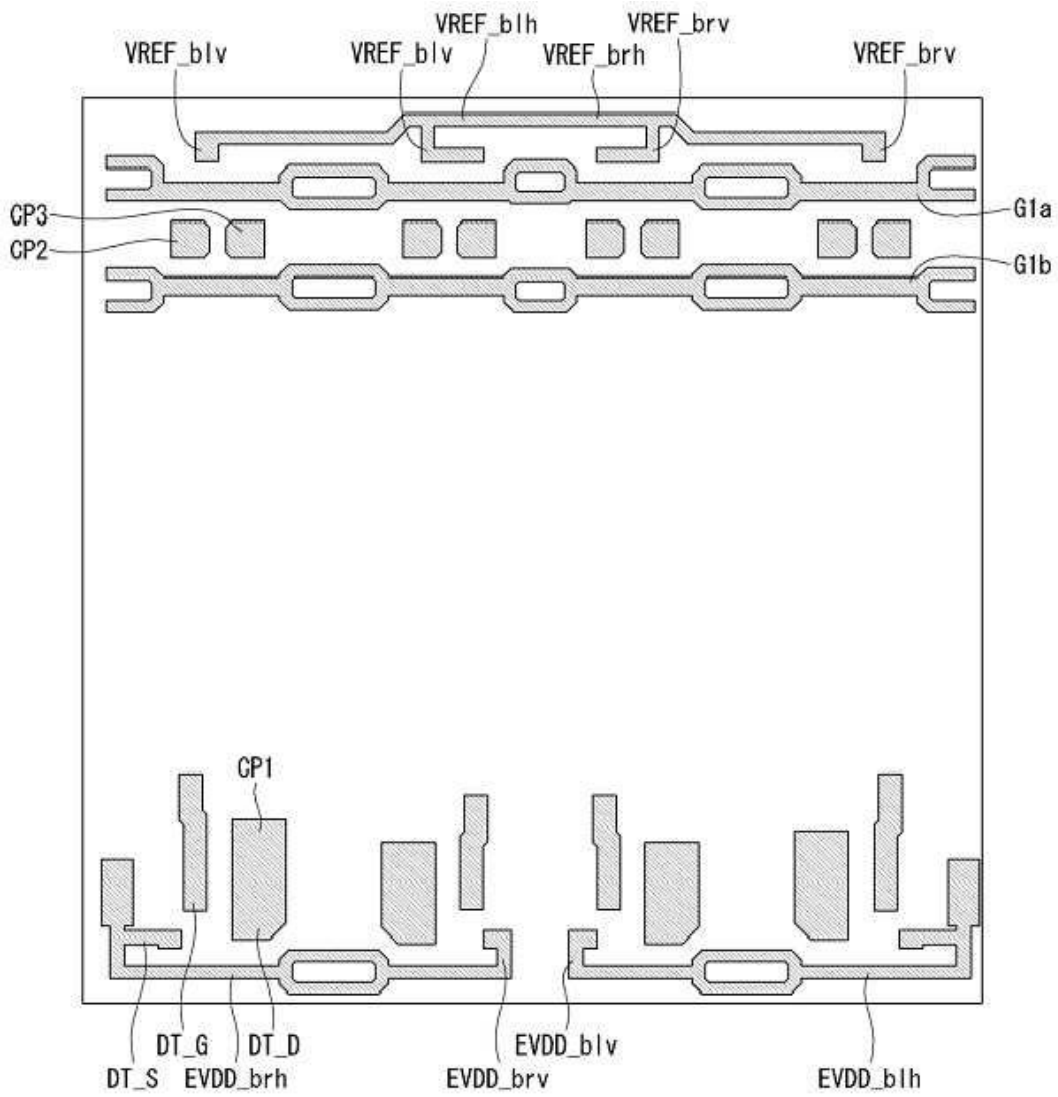
도면7a



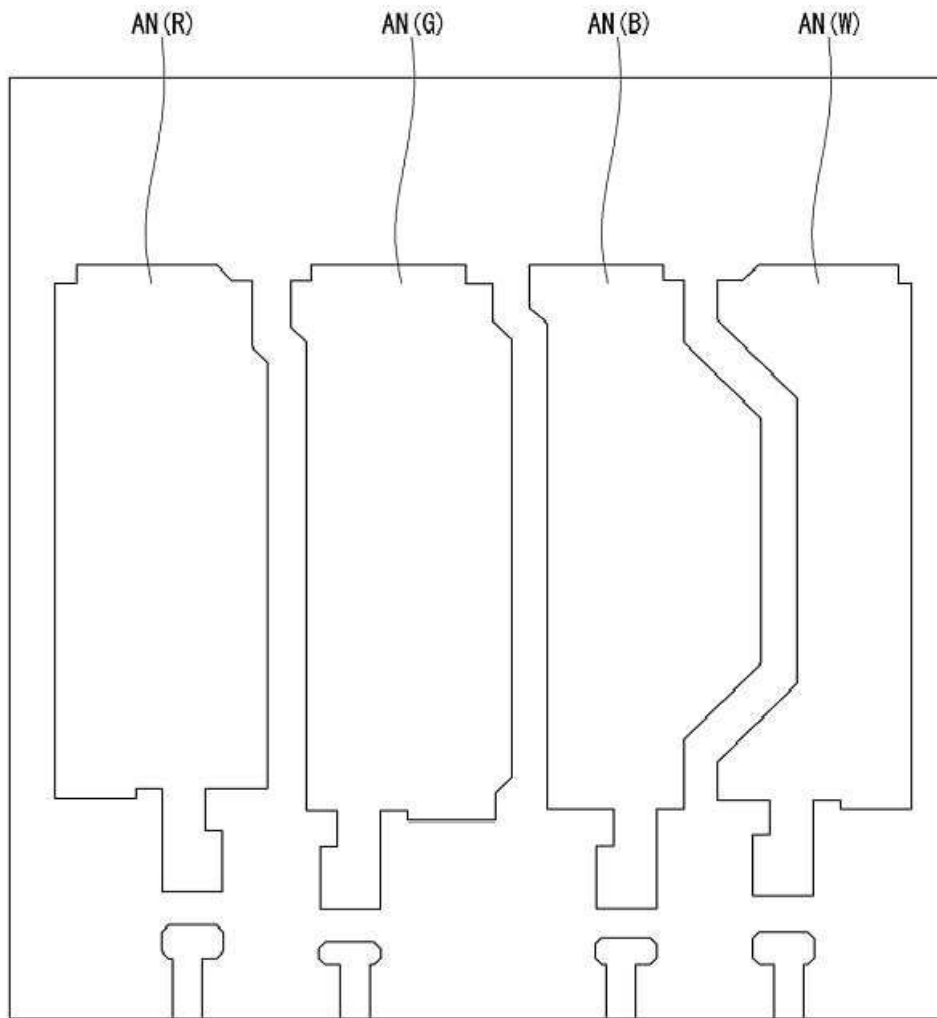
도면7b



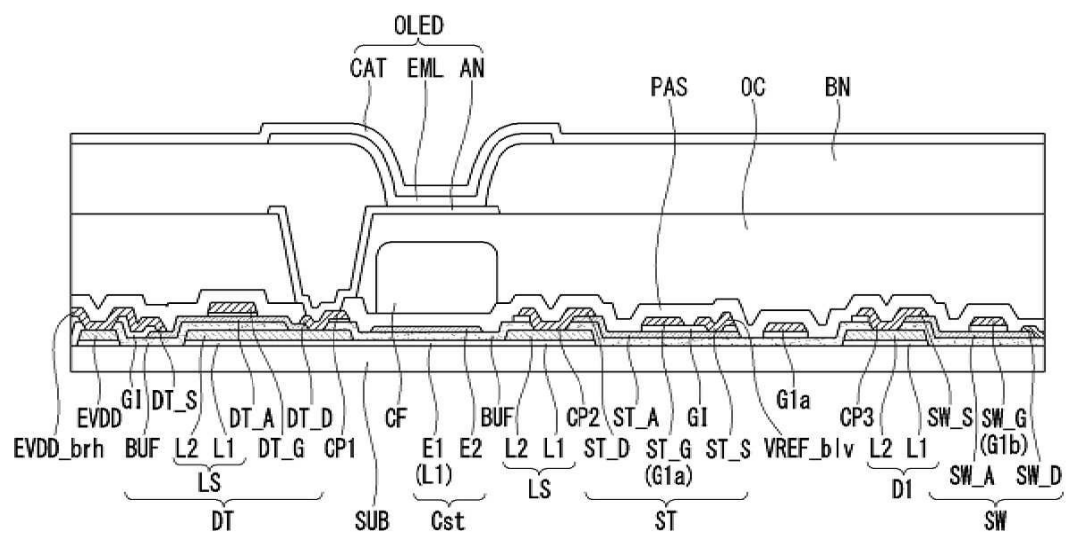
도면7c



도면7d



도면8



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | <无法获取翻译> | | |
| 公开(公告)号 | KR1020190131254A | 公开(公告)日 | 2019-11-26 |
| 申请号 | KR1020180055891 | 申请日 | 2018-05-16 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 심종식 강병욱 항성환 | | |
| 发明人 | 심종식 강병욱 항성환 | | |
| IPC分类号 | H01L27/32 H01L51/50 | | |
| CPC分类号 | H01L27/3297 H01L27/3211 H01L27/3244 H01L27/3276 H01L51/50 G09G3/3208 H01L27/3225 G09G3/3233 G09G2300/0426 G09G2300/0465 G09G2310/0262 G09G2320/029 G09G2320/045 G09G2330/02 H01L27/3213 H01L27/326 G09G3/3225 H01L27/3262 | | |
| 外部链接 | Espacenet | | |

摘要(译)

电致发光显示装置技术领域本发明涉及一种能够提高开口率的电致发光显示装置。所述电致发光显示装置包括：多个子像素，所述多个子像素在彼此相交的第一方向和第二方向上布置，其中，所述多个子像素中的每个包括发光区域以及布置在所述第二子像素的两侧的第一电路区域和第二电路区域。发光区域；第一电源线布置成在多个子像素中的构成单位像素的子像素的最左侧和最右侧沿第二方向延伸，并向布置在奇数行中的子像素的至少一个第二电路区域提供第一电源 子像素的第一电路区域排列成偶数行；感测线布置成将构成单位像素的子像素划分为第(1-1)和第(1-2)电源线之间的两部分，并向第一电源中的至少一个提供初始化电压或电源电压 布置在奇数行中的子像素的第二电路区域和布置在偶数行中的子像素的第二电路区域。

