



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0093238
(43) 공개일자 2019년08월09일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3248 (2013.01)

(21) 출원번호 10-2018-0012342

(22) 출원일자 2018년01월31일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

배한성

경기도 용인시 기흥구 삼성로 1 (농서동)

곽원규

경기도 용인시 기흥구 삼성로 1 (농서동)

(74) 대리인

리엔목특허법인

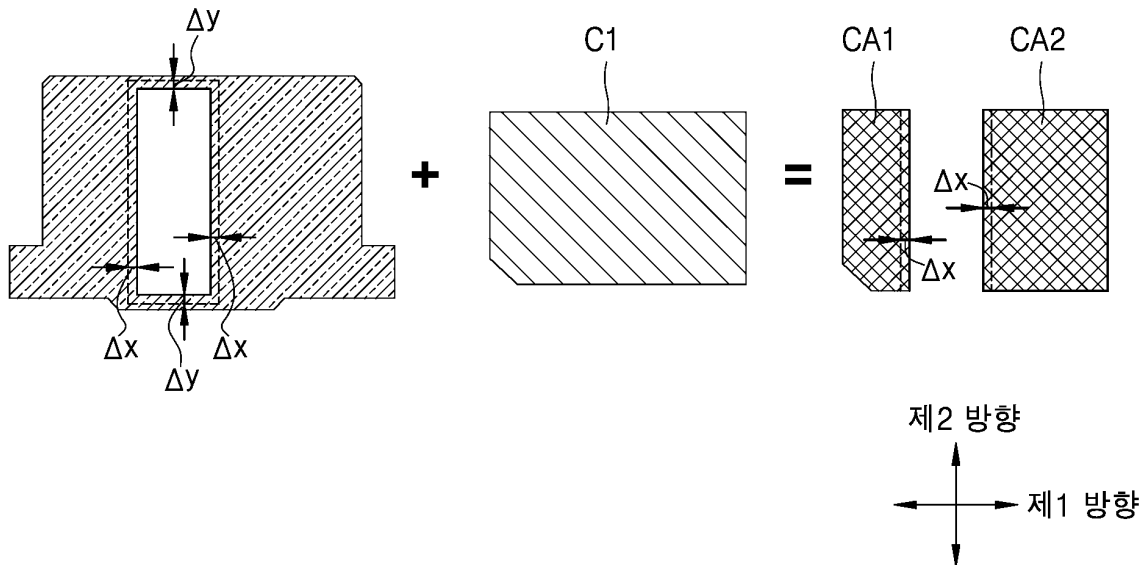
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막트랜지스터 어레이 기판 및 유기발광표시장치

(57) 요약

박막트랜지스터 어레이 기판 및 이를 포함하는 유기발광표시장치를 개시한다. 본 발명의 일 실시예는, 기판; 상기 기판 상에 배치된 하부전극, 상기 하부전극과 중첩되도록 배치되며 단일 폐곡선 형상의 개구부를 구비하는 상부전극, 및 상기 하부전극 및 상부전극 사이에 배치된 유전체층을 포함하는 커패시터; 상기 커패시터를 덮는 층간절연층; 및 상기 층간절연층 상에 배치되어, 상기 커패시터와 적어도 하나의 박막트랜지스터를 전기적으로 연결하는 노드연결선;을 포함하며, 상기 커패시터의 상기 하부전극과 상기 상부전극이 중첩하는 영역은 상기 개구부에 의해서 두 개의 영역으로 분리되는, 박막트랜지스터 어레이 기판을 개시한다.

대표도 - 도11



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치된 하부전극, 상기 하부전극과 중첩되도록 배치되며 단일 폐곡선 형상의 개구부를 구비하는 상부전극, 및 상기 하부전극 및 상부전극 사이에 배치된 유전체층을 포함하는 커패시터;

상기 커패시터를 덮는 층간절연층; 및

상기 층간절연층 상에 배치되어, 상기 커패시터와 적어도 하나의 박막트랜지스터를 전기적으로 연결하는 노드 연결선;을 포함하며,

상기 커패시터의 상기 하부전극과 상기 상부전극이 중첩하는 영역은 상기 개구부에 의해서 두 개의 영역으로 분리되는, 박막트랜지스터 어레이 기관.

청구항 2

제1항에 있어서,

상기 개구부는 일방향에 따른 상기 하부전극의 양 끝단을 노출하는, 박막트랜지스터 어레이 기관.

청구항 3

제1항에 있어서,

평면도 상에서 볼 때, 상기 상부전극의 가장자리는 상기 하부전극의 가장자리의 외측으로 이격되며 상기 하부전극의 가장자리를 둘러싸는, 박막트랜지스터 어레이 기관.

청구항 4

제1항에 있어서,

상기 개구부 안에 배치되며, 상기 층간절연막 및 상기 유전체층을 관통하는 노드 콘택홀;을 더 구비하며,

상기 노드연결선의 일단은 상기 노드 콘택홀을 통해서 상기 하부전극과 연결된, 박막트랜지스터 어레이 기관.

청구항 5

제4항에 있어서,

상기 개구부의 크기는 상기 노드 콘택홀의 크기보다 큰, 박막트랜지스터 어레이 기관.

청구항 6

제1항에 있어서,

제1방향으로 연장된 스캔선; 및

상기 제1방향과 수직인 제2방향으로 연장된 데이터선;을 더 포함하며,

상기 개구부는 상기 제1방향으로 긴 변을 갖는 직사각형 형상인, 박막트랜지스터 어레이 기관.

청구항 7

제1항에 있어서,

제1방향으로 연장된 스캔선; 및

상기 제1방향과 수직인 제2방향으로 연장된 데이터선;을 더 포함하며,

상기 개구부는 상기 제2방향으로 긴 변을 갖는 직사각형 형상인, 박막트랜지스터 어레이 기판.

청구항 8

제1항에 있어서,

상기 노드연결선과 동일층에 배치되며, 구동 전압을 전달하는 구동전압선;을 더 포함하며,

상기 상부전극은 상기 구동전압선과 콘택홀을 통해 연결된, 박막트랜지스터 어레이 기판.

청구항 9

제1항에 있어서,

상기 커패시터와 중첩되는 구동 박막트랜지스터;를 더 포함하며,

상기 구동 박막트랜지스터의 구동 게이트전극은 상기 하부전극과 일체(一體)로 구비된, 박막트랜지스터 어레이 기판.

청구항 10

제9항에 있어서,

상기 구동 박막트랜지스터의 구동 반도체층은 굴곡된 형상을 포함하는, 박막트랜지스터 어레이 기판.

청구항 11

제9항에 있어서,

상기 적어도 하나의 박막트랜지스터는 보상 박막트랜지스터를 포함하며,

상기 노드연결선의 일단은 상기 하부전극과 연결되고, 상기 노드연결선의 타단은 상기 보상 박막트랜지스터의 드레인 영역과 연결된, 박막트랜지스터 어레이 기판.

청구항 12

기판;

상기 기판 상에 배치되며 구동 전압을 전달하는 구동전압선;

상기 기판 상에 제1방향으로 연장된 스캔선;

상기 스캔선과 절연되며, 상기 제1방향과 교차하는 제2방향으로 연장된 데이터선;

상기 구동전압선, 상기 스캔선, 및 상기 데이터선과 전기적으로 연결되는 화소 회로; 및

상기 화소 회로와 전기적으로 연결된 유기발광소자;를 포함하며,

상기 화소 회로는,

상기 기판 상에 배치된 하부전극, 상기 하부전극과 중첩되도록 배치되며 단일 패곡선 형상의 개구부를 구비하는 상부전극, 및 상기 하부전극 및 상부전극 사이에 배치된 유전체층을 포함하는 커패시터;

상기 커패시터를 덮는 층간절연층; 및

상기 층간절연층 상에 배치되어, 상기 커패시터와 적어도 하나의 박막트랜지스터를 전기적으로 연결하는 노드연결선;을 포함하며,

상기 커패시터의 상기 하부전극과 상기 상부전극이 중첩하는 영역은 상기 개구부에 의해서 두 개의 영역으로 분리되는, 유기발광표시장치.

청구항 13

제12항에 있어서,

상기 개구부는 일방향에 따른 상기 하부전극의 양 끝단을 노출하는, 유기발광표시장치.

청구항 14

제12항에 있어서,

평면도 상에서 볼 때, 상기 상부전극의 가장자리는 상기 하부전극의 가장자리의 외측으로 이격되며 상기 하부전극의 가장자리를 둘러싸는, 유기발광표시장치.

청구항 15

제12항에 있어서,

상기 개구부 안에 배치되며, 상기 층간절연막 및 상기 유전체층을 관통하는 노드 콘택홀;을 더 구비하며, 상기 노드연결선의 일단은 상기 노드 콘택홀을 통해서 상기 하부전극과 연결된, 유기발광표시장치.

청구항 16

제15항에 있어서,

상기 개구부의 크기는 상기 노드 콘택홀의 크기보다 큰, 유기발광표시장치.

청구항 17

제12항에 있어서,

상기 개구부는 상기 제1방향 또는 제2방향으로 길게 연장되어 구비된, 유기발광표시장치.

청구항 18

제12항에 있어서,

상기 구동전압선은 상기 노드연결선과 동일층에 배치되며,
상기 상부전극은 상기 구동전압선과 콘택홀을 통해 연결된, 유기발광표시장치.

청구항 19

제12항에 있어서,

상기 커패시터와 중첩되는 구동 박막트랜지스터;를 더 포함하며,
상기 구동 박막트랜지스터의 구동 게이트전극은 상기 하부전극과 일체(一體)로 구비된, 유기발광표시장치.

청구항 20

제19항에 있어서,

상기 적어도 하나의 박막트랜지스터는 보상 박막트랜지스터를 포함하며,
상기 노드연결선의 일단은 상기 하부전극과 연결되고, 상기 노드연결선의 타단은 상기 보상 박막트랜지스터의 드레인 영역과 연결된, 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 박막트랜지스터 어레이 기관 및 이를 포함하는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 소자를 포함하는 복수개의 화소를 포함하며, 각 화소에

는 유기 발광 소자를 구동하기 위한 복수개의 박막 트랜지스터(thin film transistor) 및 커패시터(Capacitor)가 형성되어 있다.

[0004] 이러한 유기발광표시장치의 균일한 성능을 확보하기 위해서 공정상 오차에도 균일한 특성을 갖는 소자들에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 공정 편차에 민감하지 않는 정전용량을 제공하는 커패시터를 포함하는 박막트랜지스터 어레이 기판 및 이를 포함하는 유기발광표시장치를 제공하고자 한다.

[0006] 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0007] 본 발명의 일 실시예는, 기판; 상기 기판 상에 배치된 하부전극, 상기 하부전극과 중첩되도록 배치되며 단일 패곡선 형상의 개구부를 구비하는 상부전극, 및 상기 하부전극 및 상부전극 사이에 배치된 유전체층을 포함하는 커패시터; 상기 커패시터를 덮는 층간절연층; 및 상기 층간절연층 상에 배치되어, 상기 커패시터와 적어도 하나의 박막트랜지스터를 전기적으로 연결하는 노드연결선;을 포함하며, 상기 커패시터의 상기 하부전극과 상기 상부전극이 중첩하는 영역은 상기 개구부에 의해서 두 개의 영역으로 분리되는, 박막트랜지스터 어레이 기판을 개시한다.

[0008] 일 실시예에 있어서, 상기 개구부는 일방향에 따른 상기 하부전극의 양 끝단을 노출할 수 있다.

[0009] 일 실시예에 있어서, 평면도 상에서 볼 때, 상기 상부전극의 가장자리는 상기 하부전극의 가장자리의 외측으로 이격되며 상기 하부전극의 가장자리를 둘러쌀 수 있다.

[0010] 일 실시예에 있어서, 상기 개구부 안에 배치되며, 상기 층간절연막 및 상기 유전체층을 관통하는 노드 콘택홀;을 더 구비하며, 상기 노드연결선의 일단은 상기 노드 콘택홀을 통해서 상기 하부전극과 연결될 수 있다.

[0011] 일 실시예에 있어서, 상기 개구부의 크기는 상기 노드 콘택홀의 크기보다 클 수 있다.

[0012] 일 실시예에 있어서, 제1방향으로 연장된 스캔선; 및 상기 제1방향과 수직인 제2방향으로 연장된 데이터선;을 더 포함하며, 상기 개구부는 상기 제1방향으로 긴 변을 갖는 직사각형 형상일 수 있다.

[0013] 일 실시예에 있어서, 제1방향으로 연장된 스캔선; 및 상기 제1방향과 수직인 제2방향으로 연장된 데이터선;을 더 포함하며, 상기 개구부는 상기 제2방향으로 긴 변을 갖는 직사각형 형상일 수 있다.

[0014] 일 실시예에 있어서, 상기 노드연결선과 동일층에 배치되며, 구동 전압을 전달하는 구동전압선;을 더 포함하며, 상기 상부전극은 상기 구동전압선과 콘택홀을 통해 연결될 수 있다.

[0015] 일 실시예에 있어서, 상기 커패시터와 중첩되는 구동 박막트랜지스터;를 더 포함하며, 상기 구동 박막트랜지스터의 구동 게이트전극은 상기 하부전극과 일체(一體)로 구비될 수 있다.

[0016] 일 실시예에 있어서, 상기 구동 박막트랜지스터의 구동 반도체층은 굴곡된 형상을 포함할 수 있다.

[0017] 일 실시예에 있어서, 상기 적어도 하나의 박막트랜지스터는 보상 박막트랜지스터를 포함하며, 상기 노드연결선의 일단은 상기 하부전극과 연결되고, 상기 노드연결선의 타단은 상기 보상 박막트랜지스터의 드레인 영역과 연결될 수 있다.

[0018] 본 발명의 다른 실시예는, 기판; 상기 기판 상에 배치되며 구동 전압을 전달하는 구동전압선; 상기 기판 상에 제1방향으로 연장된 스캔선; 상기 스캔선과 절연되며, 상기 제1방향과 교차하는 제2방향으로 연장된 데이터선; 상기 구동전압선, 상기 스캔선, 및 상기 데이터선과 전기적으로 연결되는 화소 회로; 및 상기 화소 회로와 전기적으로 연결된 유기발광소자;를 포함하며, 상기 화소 회로는, 상기 기판 상에 배치된 하부전극, 상기 하부전극과 중첩되도록 배치되며 단일 패곡선 형상의 개구부를 구비하는 상부전극, 및 상기 하부전극 및 상부전극 사이에 배치된 유전체층을 포함하는 커패시터; 상기 커패시터를 덮는 층간절연층; 및 상기 층간절연층 상에 배치되어, 상기 커패시터와 적어도 하나의 박막트랜지스터를 전기적으로 연결하는 노드연결선;을 포함하며, 상기 커패시터의 상기 하부전극과 상기 상부전극이 중첩하는 영역은 상기 개구부에 의해서 두 개의 영역으로 분리되는,

유기발광표시장치를 개시한다.

- [0019] 일 실시예에 있어서, 상기 개구부는 일방향에 따른 상기 하부전극의 양 끝단을 노출할 수 있다.
- [0020] 일 실시예에 있어서, 평면도 상에서 볼 때, 상기 상부전극의 가장자리는 상기 하부전극의 가장자리의 외측으로 이격되며 상기 하부전극의 가장자리를 둘러쌀 수 있다.
- [0021] 일 실시예에 있어서, 상기 개구부 안에 배치되며, 상기 층간절연막 및 상기 유전체층을 관통하는 노드 콘택홀; 을 더 구비하며, 상기 노드연결선의 일단은 상기 노드 콘택홀을 통해서 상기 하부전극과 연결될 수 있다.
- [0022] 일 실시예에 있어서, 상기 개구부의 크기는 상기 노드 콘택홀의 크기보다 클 수 있다.
- [0023] 일 실시예에 있어서, 상기 개구부는 상기 제1방향 또는 제2방향으로 길게 연장되어 구비될 수 있다.
- [0024] 일 실시예에 있어서, 상기 구동전압선은 상기 노드연결선과 동일층에 배치되며, 상기 상부전극은 상기 구동전압선과 콘택홀을 통해 연결될 수 있다.
- [0025] 일 실시예에 있어서, 상기 커패시터와 중첩되는 구동 박막트랜지스터;를 더 포함하며, 상기 구동 박막트랜지스터의 구동 게이트전극은 상기 하부전극과 일체(一體)로 구비될 수 있다.
- [0026] 일 실시예에 있어서, 상기 적어도 하나의 박막트랜지스터는 보상 박막트랜지스터를 포함하며, 상기 노드연결선의 일단은 상기 하부전극과 연결되고, 상기 노드연결선의 타단은 상기 보상 박막트랜지스터의 드레인 영역과 연결될 수 있다.

발명의 효과

- [0027] 상기와 같이, 본 발명의 실시예에 따른 유기발광표시장치에 포함된 커패시터는 상부전극의 개구부에 의해서 상부전극과 하부전극이 중첩되는 영역이 분리되고 있어, 유기발광표시장치의 제조과정 중에 발생할 수 있는 오버레이(overlay) 편차 및 임계치수(critical dimension) 편차가 발생하더라도 정전용량의 변화가 최소화될 수 있다.
- [0028] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 블록도이다.
- 도 3는 도 1의 유기발광표시장치에 구비된 하나의 화소의 등가 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 화소 회로에 포함된 복수의 박막트랜지스터들, 및 커패시터의 위치를 개략적으로 나타낸 배치도이다.
- 도 5 내지 도 8는 도 4에 도시된 복수의 박막트랜지스터들 및 커패시터 같은 구성요소들을 총별로 개략적으로 도시하는 배치도들이다.
- 도 9는 도 4를 I-I', 및 II-II' 으로 자른 단면도이다.
- 도 10은 도 4에 포함된 커패시터의 하부전극 및 상부전극을 도시한 평면도이다.
- 도 11은 도 4에 포함된 커패시터의 하부전극 및 상부전극이 중첩되는 영역을 나타낸 도면이다.
- 도 12는 본 발명의 실시예에 대한 비교예를 나타낸 도면이다.
- 도 13는 본 발명의 다른 실시예에 따른 화소 회로에 포함된 복수의 박막트랜지스터들, 및 커패시터의 위치를 개략적으로 나타낸 배치도이다.
- 도 14는 도 13에 포함된 커패시터의 하부전극 및 상부전극이 중첩되는 영역을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과

함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0032] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0033] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0034] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0035] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0036] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0037] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0038] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 평면도이다.
- [0040] 도 1을 참조하면, 유기발광표시장치는 디스플레이영역(DA) 및 비디스플레이영역인 주변영역(PA)을 포함한다. 디스플레이영역(DA)에는 유기발광소자(organic light-emitting device, OLED)를 구비한 화소(PX)들이 배치되어, 소정의 이미지를 제공한다. 주변영역(PA)은 이미지를 제공하지 않는 영역으로서, 디스플레이영역(DA)의 화소(PX)들에 인가할 전기적 신호를 제공하는 스캔 구동부 및 데이터 구동부 등, 및 구동전압 및 공통전압과 같은 전원을 제공하는 전원선들을 포함한다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 블록도이다.
- [0042] 본 발명의 일 실시예에 의한 유기발광표시장치는 복수의 화소(PX)를 포함하는 표시부(10), 스캔 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 및 제어부(50)를 포함한다.
- [0043] 표시부(10)는 디스플레이영역에 배치되며, 복수의 스캔선(SL1 내지 SLn+1, scanning line), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광제어선(EL1 내지 ELn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소(PX)를 포함한다. 복수의 스캔선(SL1 내지 SLn+1) 및 복수의 발광제어선(EL1 내지 ELn)은 행 방향인 제2방향으로 연장되고, 복수의 데이터선(DL1 내지 DLm) 및 구동전압선(ELVDDL)은 열 방향인 제1방향으로 연장되어 있다. 하나의 화소 라인에서 복수의 스캔선(SL1 내지 SLn+1)의 n 값은 복수의 발광제어선(EL1 내지 ELn)의 n 값과 상이할 수 있다.
- [0044] 각 화소(PX)는 표시부(10)에 전달되는 복수의 스캔선(SL1 내지 SLn+1) 중 세 개의 스캔선에 연결되어 있다. 스캔 구동부(20)는 복수의 스캔선(SL1 내지 SLn+1)을 통해 각 화소(PX)에 세 개의 스캔 신호를 생성하여 전달한다. 즉, 스캔 구동부(20)는 스캔선(SL2~SLn), 이전 스캔선(SL1~SLn-1) 또는 이후 스캔선(SL3~SLn+1)으로 스캔 신호를 순차적으로 공급한다.
- [0045] 초기화전압선(IL)은 외부의 전원 공급원(VINT)으로부터 초기화 전압을 인가받아 각 화소(PX)에 공급할 수 있다.
- [0046] 또한, 각 화소(PX)는 표시부(10)에 연결되는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 표시부(10)에 연결되는 복수의 발광제어선(EL1 내지 ELn) 중 하나의 발광제어선에 연결되어 있다.

- [0047] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소(PX)에 데이터 신호를 전달한다. 데이터 신호는 제1스캔선(SL2~SLn)으로 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 화소(PX)로 공급된다.
- [0048] 발광 제어 구동부(40)는 복수의 발광제어선(EL1 내지 ELn)을 통해 각 화소에 발광 제어 신호를 생성하여 전달한다. 발광 제어 신호는 화소(PX)의 발광 시간을 제어한다. 발광 제어 구동부(40)는 화소(PX)의 내부 구조에 따라 생략될 수도 있다.
- [0049] 제어부(50)는 외부에서 전달되는 복수의 영상 신호(IR, IG, IB)를 복수의 영상 데이터 신호(DR, DG, DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(50)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 스캔 구동부(20), 데이터 구동부(30), 및 발광 제어 구동부(40)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 스캔 구동부(20)를 제어하는 스캔 구동 제어 신호(SCS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS), 및 발광 제어 구동부(40)를 제어하는 발광 구동 제어 신호(ECS)를 각각 생성하여 전달한다.
- [0050] 복수의 화소(PX) 각각은 외부의 구동전원전압(ELVDD) 및 공통전원전압(ELVSS)을 공급받는다. 구동전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 공통전원전압(ELVSS)은 상기 구동전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다. 구동전원전압(ELVDD)은 구동전압선(ELVDDL)을 통해 각 화소(PX)로 공급된다.
- [0051] 복수의 화소(PX) 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호에 따라 발광 소자로 공급되는 구동 전류에 의해 소정 휘도의 빛을 발광한다.
- [0052] 도 3은 본 발명의 일 실시예에 따른 디스플레이 장치에 구비된 하나의 화소의 등가 회로도이다.
- [0053] 도 3을 참조하면, 화소(PX)는 신호선들(121, 122, 123, 151), 신호선들에 연결되어 있는 복수개의 박막트랜지스터들(T1, T2, T3, T4, T5, T6, T7), 커패시터(Capacitor, Cst), 초기화전압선(131), 구동전압선(152) 및 유기발광소자(OLED)를 포함한다.
- [0054] 도 3에서는 하나의 화소(PX) 마다 신호선들(121, 122, 123, 151), 초기화전압선(131) 및 구동전압선(152)이 구비된 경우를 도시하고 있으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예로서, 신호선들(121, 122, 123, 151) 중 적어도 어느 하나, 또는/및 초기화전압선(131)은 이웃하는 화소들에서 공유될 수 있다.
- [0055] 박막트랜지스터는 구동 박막트랜지스터(driving TFT, T1), 스위칭 박막트랜지스터(switching TFT, T2), 보상 박막트랜지스터(T3), 제1초기화 박막트랜지스터(T4), 동작제어 박막트랜지스터(T5), 발광제어 박막트랜지스터(T6) 및 제2초기화 박막트랜지스터(T7)를 포함할 수 있다.
- [0056] 신호선은 스캔신호(Sn)를 전달하는 스캔선(121), 제1초기화 박막트랜지스터(T4)와 제2초기화 박막트랜지스터(T7)에 이전 스캔신호(Sn-1)를 전달하는 이전 스캔선(122), 동작제어 박막트랜지스터(T5) 및 발광제어 박막트랜지스터(T6)에 발광제어신호(En)를 전달하는 발광제어선(123), 스캔선(121)과 교차하며 데이터신호(Dm)를 전달하는 데이터선(151)을 포함한다. 구동전압선(152)은 구동 박막트랜지스터(T1)에 구동전압(ELVDD)을 전달하며, 초기화전압선(131)은 구동 박막트랜지스터(T1) 및 화소전극을 초기화하는 초기화전압(Vint)을 전달한다.
- [0057] 구동 박막트랜지스터(T1)의 구동 게이트전극(G1)은 스토리지 커패시터(Cst)의 제1전극(Cst1)에 연결되어 있고, 구동 박막트랜지스터(T1)의 구동 소스전극(S1)은 동작제어 박막트랜지스터(T5)를 경유하여 하부 구동전압선(152)에 연결되어 있으며, 구동 박막트랜지스터(T1)의 구동 드레인전극(D1)은 발광제어 박막트랜지스터(T6)를 경유하여 유기발광소자(OLED)의 화소전극과 전기적으로 연결되어 있다. 구동 박막트랜지스터(T1)는 스위칭 박막트랜지스터(T2)의 스위칭 동작에 따라 데이터신호(Dm)를 전달받아 유기발광소자(OLED)에 구동전류(I_{OLED})를 공급한다.
- [0058] 스위칭 박막트랜지스터(T2)의 스위칭 게이트전극(G2)은 스캔선(121)에 연결되어 있고, 스위칭 박막트랜지스터(T2)의 스위칭 소스전극(S2)은 데이터선(151)에 연결되어 있으며, 스위칭 박막트랜지스터(T2)의 스위칭 드레인전극(D2)은 구동 박막트랜지스터(T1)의 구동 소스전극(S1)에 연결되어 있으면서 동작제어 박막트랜지스터(T5)를 경유하여 하부 구동전압선(152)에 연결되어 있다. 스위칭 박막트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔신호(Sn)에 따라 턴-온되어 데이터선(151)으로 전달된 데이터신호(Dm)를 구동 박막트랜지스터(T1)의 구동 소스전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0059] 보상 박막트랜지스터(T3)의 보상 게이트전극(G3)은 스캔선(121)에 연결되어 있고, 보상 박막트랜지스터(T3)의 보상 소스전극(S3)은 구동 박막트랜지스터(T1)의 구동 드레인전극(D1)에 연결되어 있으면서 발광제어 박막트랜

지스터(T6)를 경유하여 유기발광소자(OLED)의 화소전극과 연결되어 있고, 보상 박막트랜지스터(T3)의 보상 드레인전극(D3)은 스토리지 커패시터(Cst)의 제1전극(Cst1), 제1초기화 박막트랜지스터(T4)의 제1초기화 드레인전극(D4) 및 구동 박막트랜지스터(T1)의 구동 게이트전극(G1)에 연결되어 있다. 보상 박막트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔신호(Sn)에 따라 턴-온되어 구동 박막트랜지스터(T1)의 구동 게이트전극(G1)과 구동 드레인전극(D1)을 전기적으로 연결하여 구동 박막트랜지스터(T1)를 다이오드 연결시킨다.

[0060] 제1초기화 박막트랜지스터(T4)의 제1초기화 게이트전극(G4)은 이전 스캔선(122)에 연결되어 있고, 제1초기화 박막트랜지스터(T4)의 제1초기화 드레인전극(D4)은 제2초기화 박막트랜지스터(T7)의 제2초기화 드레인전극(D7)과 초기화전압선(131)에 연결되어 있으며, 제1초기화 박막트랜지스터(T4)의 제1초기화 소스전극(S4)은 스토리지 커패시터(Cst)의 제1전극(Cst1), 보상 박막트랜지스터(T3)의 보상 드레인전극(D3) 및 구동 박막트랜지스터(T1)의 구동 게이트전극(G1)에 연결되어 있다. 제1초기화 박막트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔신호(Sn-1)에 따라 턴-온되어 초기화전압(Vint)을 구동 박막트랜지스터(T1)의 구동 게이트전극(G1)에 전달하여 구동 박막트랜지스터(T1)의 구동 게이트전극(G1)의 전압을 초기화시키는 초기화동작을 수행한다.

[0061] 동작제어 박막트랜지스터(T5)의 동작제어 게이트전극(G5)은 발광제어선(123)에 연결되어 있으며, 동작제어 박막트랜지스터(T5)의 동작제어 소스전극(S5)은 하부 구동전압선(152)과 연결되어 있고, 동작제어 박막트랜지스터(T5)의 동작제어 드레인전극(D5)은 구동 박막트랜지스터(T1)의 구동 소스전극(S1) 및 스위칭 박막트랜지스터(T2)의 스위칭 드레인전극(D2)과 연결되어 있다.

[0062] 발광제어 박막트랜지스터(T6)의 발광제어 게이트전극(G6)은 발광제어선(123)에 연결되어 있고, 발광제어 박막트랜지스터(T6)의 발광제어 소스전극(S6)은 구동 박막트랜지스터(T1)의 구동 드레인전극(D1) 및 보상 박막트랜지스터(T3)의 보상 소스전극(S3)에 연결되어 있으며, 발광제어 박막트랜지스터(T6)의 발광제어 드레인전극(D6)은 제2초기화 박막트랜지스터(T7)의 제2초기화 소스전극(S7) 및 유기발광소자(OLED)의 화소전극에 전기적으로 연결되어 있다.

[0063] 동작제어 박막트랜지스터(T5) 및 발광제어 박막트랜지스터(T6)는 발광제어선(123)을 통해 전달받은 발광제어신호(En)에 따라 동시에 턴-온되어, 구동전압(ELVDD)이 유기발광소자(OLED)에 전달되어 유기발광소자(OLED)에 구동전류(I_{OLED})가 흐르도록 한다.

[0064] 제2초기화 박막트랜지스터(T7)의 제2초기화 게이트전극(G7)은 이전 스캔선(122)에 연결되어 있고, 제2초기화 박막트랜지스터(T7)의 제2초기화 소스전극(S7)은 발광제어 박막트랜지스터(T6)의 발광제어 드레인전극(D6) 및 유기발광소자(OLED)의 화소전극에 연결되어 있으며, 제2초기화 박막트랜지스터(T7)의 제2초기화 드레인전극(D7)은 제1초기화 박막트랜지스터(T4)의 제1초기화 소스전극(S4) 및 초기화전압선(131)에 연결되어 있다. 제2초기화 박막트랜지스터(T7)는 이전 스캔선(122)을 통해 전달받은 이전 스캔신호(Sn-1)에 따라 턴-온되어 유기발광소자(OLED)의 화소전극을 초기화시킨다.

[0065] 도 3에서는 제1초기화 박막트랜지스터(T4)와 제2초기화 박막트랜지스터(T7)가 이전 스캔선(122)에 연결된 경우를 도시하였으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예로서, 제1초기화 박막트랜지스터(T4)는 이전 스캔선(122)에 연결되어 이전 스캔신호(Sn-1)에 따라 구동하고, 제2초기화 박막트랜지스터(T7)는 별도의 신호선(예컨대, 이후 스캔선)에 연결되어 상기 신호선에 전달되는 신호에 따라 구동될 수 있다. 한편, 도 3의 소스전극들(S1~S7) 및 드레인전극들(D1~D4)은 트랜지스터의 종류(p-type or n-type)에 따라 위치가 서로 바뀔 수 있다.

[0066] 일 실시예에 따른 각 화소(PX)의 구체적 동작은 다음과 같다.

[0067] 초기화 기간 동안, 이전 스캔선(122)을 통해 이전 스캔신호(Sn-1)가 공급되면, 이전 스캔신호(Sn-1)에 대응하여 제1초기화 박막트랜지스터(T4)가 턴-온(Turn on)되며, 초기화전압선(131)으로부터 공급되는 초기화전압(Vint)에 의해 구동 박막트랜지스터(T1)가 초기화된다.

[0068] 데이터 프로그래밍 기간 동안, 스캔선(121)을 통해 스캔신호(Sn)가 공급되면, 스캔신호(Sn)에 대응하여 스위칭 박막트랜지스터(T2) 및 보상 박막트랜지스터(T3)가 턴-온된다. 이 때, 구동 박막트랜지스터(T1)는 턴-온된 보상 박막트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.

[0069] 그러면, 데이터선(151)으로부터 공급된 데이터신호(Dm)에서 구동 박막트랜지스터(T1)의 문턱 전압(Threshold voltage, V_{th})만큼 감소한 보상 전압($Dm+V_{th}$, V_{th} 는 (-)의 값)이 구동 박막트랜지스터(T1)의 구동 게이트전극(G1)에 인가된다.

- [0070] 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.
- [0071] 발광 기간 동안, 발광제어선(123)으로부터 공급되는 발광제어신호(En)에 의해 동작제어 박막트랜지스터(T5) 및 발광제어 박막트랜지스터(T6)가 턴-온된다. 구동 박막트랜지스터(T1)의 게이트전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(I_{OLED})가 발생하고, 발광제어 박막트랜지스터(T6)를 통해 구동 전류(I_{OLED})가 유기발광소자(OLED)에 공급된다.
- [0072] 도 4는 본 발명의 일 실시예에 따른 화소 회로에 포함된 복수의 박막트랜지스터들, 및 커패시터의 위치를 개략적으로 나타낸 배치도이고, 도 5 내지 도 8는 도 4에 도시된 복수의 박막트랜지스터들 및 커패시터와 같은 구성요소들을 층별로 개략적으로 도시하는 배치도들이다. 그리고, 도 9는 도 4를 I-I', 및 II-II' 으로 자른 단면도에 유기발광소자가 포함된 구조를 도시한다.
- [0073] 도 5 내지 도 8 각각은 동일층에 위치하는 배선, 전극, 반도체층 등의 배치를 도시한 것으로서, 도 5 내지 도 8에 도시된 층들 사이에는 절연층이 개재될 수 있다. 예컨대, 도 5에 도시된 층과 도 6에 도시된 층 사이에는 제1게이트절연층(112, 도 9 참조)이 개재되고, 도 6에 도시된 층과 도 7에 도시된 층 사이에는 제2게이트절연층(113, 도 10 참조)이 개재되며, 도 7에 도시된 층과 도 8에 도시된 층 사이에는 층간절연층(114, 도 10 참조)이 개재된다. 전술한 절연층들 중 적어도 일부 절연층에 정의된 콘택홀을 통해, 도 5 내지 도 8에 도시된 층들은 서로 전기적으로 연결될 수 있다.
- [0074] 도 4, 도 5, 및 도 9를 참조하면, 구동 박막트랜지스터(T1), 스위칭 박막트랜지스터(T2), 보상 박막트랜지스터(T3), 제1초기화 박막트랜지스터(T4), 동작제어 박막트랜지스터(T5), 발광제어 박막트랜지스터(T6), 제2초기화 박막트랜지스터(T7)의 반도체층(AS1 내지 AS7)은 동일 층에 배치되며, 동일 물질을 포함한다. 예컨대, 반도체층(AS1 내지 AS7)은 다결정 실리콘으로 형성될 수 있다.
- [0075] 반도체층(AS1 내지 AS7)은 기판(110) 상에 배치된 버퍼층(111, 도 10 참조) 상에 배치된다. 기판(110)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재로 형성될 수 있다. 버퍼층(111)은 산화규소(SiO_x)와 같은 산화막, 및/또는 질화규소(SiN_x)와 같은 질화막으로 형성될 수 있다.
- [0076] 기판(110)은 글라스재, 세라믹재, 금속재, 또는 플렉서블 또는 벤더블 특성을 갖는 물질을 포함할 수 있다. 기판(110)이 플렉서블 또는 벤더블 특성을 갖는 경우, 기판(110)은 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate, PAR), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylenen naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide, PI), 폴리카보네이트(polycarbonate, PC) 또는 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate, CAP)와 같은 고분자 수지를 포함할 수 있다. 기판(110)은 상기 물질의 단층 또는 다층구조를 가질 수 있으며, 다층구조의 경우 무기층을 더 포함할 수 있다. 일부 실시예에서, 기판(110)은 유기물/무기물/유기물의 구조를 가질 수 있다.
- [0077] 버퍼층(111)은 기판(100)의 상면의 평활성을 높이는 역할을 할 수 있으며, 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등과 같은 무기물을 포함할 수 있다.
- [0078] 기판(110)과 버퍼층(111) 사이에는 배리어층(미도시)이 더 포함될 수 있다. 배리어층은 기판(110) 등으로부터의 불순물이 반도체층(AS1 내지 AS7)으로 침투하는 것을 방지하거나 최소화하는 역할을 할 수 있다. 배리어층은 산화물 또는 질화물과 같은 무기물, 또는 유기물, 또는 유무기 복합물을 포함할 수 있으며, 무기물과 유기물의 단층 또는 다층 구조로 이루어질 수 있다.
- [0079] 구동 박막트랜지스터(T1)의 구동 반도체층(AS1), 스위칭 박막트랜지스터(T2)의 스위칭 반도체층(AS2), 보상 박막트랜지스터(T3)의 보상 반도체층(AS3), 제1초기화 박막트랜지스터(T4)의 제1초기화 반도체층(AS4), 동작제어 박막트랜지스터(T5)의 동작제어 반도체층(AS5), 발광제어 박막트랜지스터(T6)의 발광제어 반도체층(AS6), 및 제2초기화 박막트랜지스터(T7)의 제2초기화 반도체층(AS7)은, 서로 연결되며 다양한 형상으로 굴곡질 수 있다.
- [0080] 반도체층(AS1 내지 AS7)은 채널영역, 채널영역의 양 옆의 소스영역 및 드레인영역을 포함할 수 있다. 일 예로, 소스영역 및 드레인영역은 불순물로 도핑될 수 있으며, 불순물은 N형 불순물 또는 P형 불순물을 포함할 수 있다. 소스영역 및 드레인영역은, 각각 소스전극 및 드레인전극에 해당한다. 이하에서는, 소스전극이나 드레인

전극 대신 소스영역 및 드레인영역이라는 용어를 사용한다.

- [0081] 구동 반도체층(AS1)은 구동 채널영역(A1), 구동 채널영역(A1)의 양측의 구동 소스영역(S1) 및 구동 드레인영역(D1)을 포함한다. 구동 반도체층(AS1)은 굴곡된 형상을 가져, 구동 채널영역(A1)은 다른 채널영역(A2 내지 A7)보다 길게 형성될 수 있다. 예컨대, 구동 반도체층(AS1)이 오메가 또는 알파벳 "S"와 같이 복수 회 절곡된 형상을 가짐으로써, 좁은 공간 내에 긴 채널길이를 형성할 수 있다. 구동 채널영역(A1)이 길게 형성되므로, 구동 게이트전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)가 넓어지게 되어 유기발광소자(OLED)에서 방출되는 빛의 계조를 보다 정교하게 제어할 수 있으며, 표시 품질을 향상시킬 수 있다.
- [0082] 스위칭 반도체층(AS2)은 스위칭 채널영역(A2), 스위칭 채널영역(A2)의 양측의 스위칭 소스영역(S2) 및 스위칭 드레인영역(D2)을 포함한다. 스위칭 드레인영역(D2)은 구동 소스영역(S1)과 연결된다.
- [0083] 보상 반도체층(AS3)은 보상 채널영역(A3a, A3c), 및 보상 채널영역(A3a, A3c)의 양측의 보상 소스영역(S3) 및 보상 드레인영역(D3)을 포함한다. 보상 반도체층(AS3)에 형성되는 보상 박막트랜지스터(T3)는 듀얼 박막트랜지스터로, 2개의 보상 채널영역(A3a, A3c)을 구비하며, 보상 채널영역(A3a, A3c)들 사이의 영역(A3b)은 불순물이 도핑된 영역으로, 국소적으로 듀얼 박막트랜지스터 중 어느 하나의 소스영역이면서 다른 하나의 드레인영역에 해당한다.
- [0084] 제1초기화 반도체층(AS4)은 제1초기화 채널영역(A4a, A4c), 제1초기화 채널영역(A4a, A4c)의 양측의 제1초기화 소스영역(S4) 및 제1초기화 드레인영역(D4)을 포함한다. 제1초기화 반도체층(AS4)에 형성되는 제1초기화 박막트랜지스터(T4)는 듀얼 박막트랜지스터로, 2개의 제1초기화 채널영역(A4a, A4c)을 구비하며, 제1초기화 채널영역(A4a, A4c)들 사이의 영역(A4b)은 불순물이 도핑된 영역으로, 국소적으로 듀얼 박막트랜지스터 중 어느 하나의 소스영역이면서 다른 하나의 드레인영역에 해당한다.
- [0085] 동작제어 반도체층(AS5)은 동작제어 채널영역(A5), 동작제어 채널영역(A5)의 양측의 동작제어 소스영역(S5) 및 동작제어 드레인영역(D5)을 포함한다. 동작제어 드레인영역(D5)은 구동 소스영역(S1)과 연결될 수 있다.
- [0086] 발광제어 반도체층(AS6)은 발광제어 채널영역(A6), 발광제어 채널영역(A6)의 양측의 발광제어 소스영역(S6) 및 발광제어 드레인영역(D6)을 포함한다. 발광제어 소스영역(S6)은 구동 드레인영역(D1)과 연결될 수 있다.
- [0087] 제2초기화 반도체층(AS7)은 제2초기화 채널영역(A7), 제2초기화 채널영역(A7)의 양측의 제2초기화 소스영역(S7) 및 제2초기화 드레인영역(D7)을 포함한다.
- [0088] 반도체층(AS1 내지 AS7) 상에는 제1게이트절연층(112)이 위치한다. 제1게이트절연층(112)은 산화물 또는 질화물을 포함하는 무기물을 포함할 수 있다. 예컨대, 제1게이트절연층(112)은 실리콘산화물(SiO_2), 실리콘질화물(SiNx), 실리콘산질화물(SiON), 알루미늄산화물(Al_2O_3), 티타늄산화물(TiO_2), 탄탈산화물(Ta_2O_5), 하프늄산화물(HfO_2), 또는 아연산화물(ZnO_2)등을 포함할 수 있다.
- [0089] 본 실시예에서, 복수의 화소 각각의 반도체층(AS1 내지 AS7)은 서로 분리되어 형성된다. 예컨대, 제1화소(PX1)의 반도체층(AS1 내지 AS7)은 제2화소(PX2)의 반도체층(AS1 내지 AS7)과 서로 이격되어 형성된다.
- [0090] 도 4, 도 6 및 도 9을 참조하면, 제1게이트절연층(112) 상에 스캔선(121), 이전 스캔선(122), 발광제어선(123), 및 구동 게이트전극(G1)이 배치된다. 스캔선(121), 이전 스캔선(122), 발광제어선(123), 및 구동 게이트전극(G1)은 동일층에 배치되며, 동일 물질을 포함한다. 예컨대, 스캔선(121), 이전 스캔선(122), 발광제어선(123), 구동 게이트전극(G1)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti) 등을 포함하며 단층 또는 다층으로 이루어질 수 있다.
- [0091] 구동 게이트전극(G1)은 아일랜드 타입으로, 구동 반도체층(AS1)의 구동 채널영역(A1)과 중첩하도록 배치된다. 구동 게이트전극(G1)은 구동 박막트랜지스터(T1)의 게이트전극으로서의 기능뿐만 아니라, 커패시터(Cst)의 하부전극(C1)으로서의 기능도 수행할 수 있다. 즉, 구동 게이트전극(G1)과 하부전극(C1)은 일체(一體)인 것으로 이해될 수 있다.
- [0092] 스캔선(121), 이전 스캔선(122), 발광제어선(123)의 일부 또는 돌출된 부분은 박막트랜지스터(T2 내지 T7)의 게이트전극에 해당한다.
- [0093] 스캔선(121) 중 스위칭 채널영역(A2) 및 보상 채널영역(A3a, A3c)과 중첩하는 영역은, 각각 스위칭 게이트전극(G2), 및 보상 게이트전극(G3a, G3b)에 해당한다. 이전 스캔선(122) 중 제1초기화 채널영역(A4a, A4c), 및 제2초기화 채널영역(A7)과 중첩하는 영역은, 각각 제1초기화 게이트전극(G4a, G4b) 및 제2초기화 게이트전극(G7)에

해당한다. 발광제어선(123) 중 동작제어 채널영역(A5) 및 발광제어 채널영역(A6)과 중첩하는 영역은, 각각 동작 제어 게이트전극(G5) 및 발광제어 게이트전극(G6)에 해당한다.

- [0094] 보상 게이트전극(G3a, G3b)은 제1보상 게이트전극(G3a)과 제2보상 게이트전극(G3b)을 포함하는 듀얼 게이트전극으로서, 누설 전류(leakage current)의 발생을 방지하거나 줄이는 역할을 할 수 있다.
- [0095] 스캔선(121), 이전 스캔선(122), 발광제어선(123), 구동 게이트전극(G1) 상에는 제2게이트절연층(113)이 위치한다. 제2게이트절연층(113)은 산화물 또는 질화물을 포함하는 무기물을 포함할 수 있다. 예컨대, 제2게이트절연층(113)은 실리콘산화물(SiO_2), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al_2O_3), 티타늄산화물(TiO_2), 탄탈산화물(Ta_2O_5), hafnium산화물(HfO_2), 또는 아연산화물(ZnO_2) 등을 포함할 수 있다.
- [0096] 도 4, 도 7 및 도 9를 참조하면, 제2게이트절연층(113) 상에 커패시터(Cst)의 상부전극(C2), 및 초기화전압선(131)이 위치한다.
- [0097] 커패시터(Cst)의 상부전극(C2), 및 초기화전압선(131)은 동일층에 배치되며, 동일 물질을 포함할 수 있다. 예컨대, 커패시터(Cst)의 상부전극(C2), 및 초기화전압선(131)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질을 포함할 수 있고, 상기의 재료를 포함하는 다층 또는 단층으로 형성될 수 있다.
- [0098] 커패시터(Cst)의 상부전극(C2)은 하부전극(C1)과 중첩되도록 배치되며, 개구부(OP1, opening)를 구비한다. 개구부(OP1)는 상부전극(C2)의 일부가 제거되어 형성된 것으로, 단일 폐곡선(closed curve) 형태를 가질 수 있다. 여기서 단일폐곡선이란, 다각형, 원 등과 같이 직선이나 곡선 위에 한 점을 찍었을 때 시작점과 끝점이 같은 닫힌 도형을 의미한다. 이러한, 개구부(OP1)를 구비한 상부전극(C2)는 도넛 형태를 가진다고 할 수 있다.
- [0099] 상부전극(C2)과 하부전극(C1) 사이에는 제2게이트절연층(113)이 배치되고 있어, 제2게이트절연층(113)이 커패시터(Cst)의 유전체층 역할을 할 수 있다. 상부전극(C2)의 제1방향의 폭 및 제2방향의 폭은 하부전극(C1)의 제1방향의 폭 및 제2방향의 폭보다 크게 구비될 수 있다. 또한, 상부전극(C2)에 정의된 개구부(OP1)에 의해서 제2방향에 배치된 하부전극(C1)의 양 끝단이 노출될 수 있다.
- [0100] 이러한 본 실시예의 개구부(OP1)를 구비하는 상부전극(C2)를 포함하는 커패시터(Cst)를 통해, 유기발광표시장치의 제조 공정 중에 발생할 수 있는 오버레이(overlay) 편차 및 임계치수(critical dimension) 편차가 발생하더라도 커패시터의 변화가 최소화될 수 있는 특징이 있다. 이와 관련해서는 도 10 및 도 11을 참조하면서 후술하기로 한다.
- [0101] 커패시터(Cst)의 상부전극(C2), 및 초기화전압선(131) 상에는 층간절연층(114)이 위치한다. 층간절연층(114)은 산화물 또는 질화물을 포함하는 무기물을 포함할 수 있다. 예컨대, 층간절연층(114)은 실리콘산화물(SiO_2), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al_2O_3), 티타늄산화물(TiO_2), 탄탈산화물(Ta_2O_5), hafnium산화물(HfO_2), 또는 아연산화물(ZnO_2) 등을 포함할 수 있다.
- [0102] 도 4, 도 8 및 도 9를 참조하면, 층간절연층(114) 상에는 제2방향으로 연장된 제2 연결배선(150)이 위치한다. 제2 연결배선(150)은 제1 연결배선(140)과는 층간절연층(114)에 의해서 절연된다. 제2 연결배선(150)은 데이터선(151), 구동전압선(152), 제1노드연결선(153), 제2노드연결선(154) 및 연결전극(155)을 포함할 수 있다.
- [0103] 데이터선(151), 구동전압선(152), 제1노드연결선(153), 제2노드연결선(154) 및 연결전극(155)은 동일 층에 배치되며, 동일 물질을 포함한다. 예컨대, 데이터선(151), 구동전압선(152), 제1노드연결선(153), 제2노드연결선(154) 및 연결전극(155)은 금속, 전도성 산화물 등 도전성이 높은 물질로 구비될 수 있다.
- [0104] 데이터선(151)은 층간절연층(114), 제2게이트절연층(113), 및 제1게이트절연층(112)을 관통하는 콘택홀(CNT8)을 통해 스위칭 박막트랜지스터(T2)의 스위칭 소스영역(S2)과 연결된다. 데이터선(151)은 제2방향으로 나열된 복수의 화소들을 연결할 수 있다.
- [0105] 구동전압선(152)은 층간절연층(114), 제2게이트절연층(113), 및 제1게이트절연층(112)을 관통하는 콘택홀(CNT6)을 통해 동작제어 박막트랜지스터(T5)의 동작제어 소스영역(S5)과 연결된다.
- [0106] 또한, 구동전압선(152)은 층간절연층(114)을 관통하는 콘택홀(CNT7)을 통해 커패시터(Cst)의 상부전극(C2)과 연결된다. 구동전압선(152)은 제2방향으로 나열된 복수의 화소들을 연결할 수 있다.
- [0107] 제1노드연결선(153)은 콘택홀(CNT1, CNT2)을 통해 구동 게이트전극(G1)과 보상 박막트랜지스터(T3)의 보상 드레인영역(D3)을 연결한다. 제1노드연결선(153)에 의해 아일랜드 타입의 구동 게이트전극(G1)은 보상 박막트랜지스터

터(T3)와 전기적으로 연결될 수 있다. 구동 게이트전극(G1)은 커패시터(Cst)의 하부전극(C1)의 역할을 하는 바, 제1노드연결선(153)은 하부전극(C1)과 연결된다고 말할 수 있다.

- [0108] 제1노드연결선(153)의 일단과 하부전극(C1)은 컨택홀(CNT1)을 통해 연결된다. 상기 컨택홀(CNT1)은 상부전극(C2)의 개구부(OP1) 내에 배치되어 제1노드연결선(153)의 일단과 하부전극(C1)을 연결할 수 있다. 상기 개구부(OP1)의 크기는 상기 컨택홀(CNT1)의 크기보다 크게 구비되어 상기 컨택홀(CNT1)은 상부전극(C2)과 접촉하지 않을 수 있다.
- [0109] 제1노드연결선(153)의 타단과 보상 박막트랜지스터(T3)는 컨택홀(CNT2)를 통해서 연결된다. 컨택홀(CNT2)은 층간절연층(114), 제2게이트절연층(113), 제1게이트절연층(112)을 관통하도록 형성되어, 제1노드연결선(153)의 타단은 보상 박막트랜지스터(T3)의 드레인영역(D3)과 연결될 수 있다.
- [0110] 제2노드연결선(154)은 구동 박막트랜지스터(T1) 및 화소전극(210)을 초기화하는 초기화전압(Vint)을 전달한다. 제2노드연결선(154)은 층간절연층(114), 및 제1게이트절연층(112)을 관통하는 컨택홀(CNT3)을 통해 제1 및 제2 초기화 박막트랜지스터(T4, T7)에 연결되고, 층간절연층(114)을 관통하는 컨택홀(CNT4)을 통해 초기화전압선(131)에 연결된다.
- [0111] 연결전극(155)은 층간절연층(114), 제2게이트절연층(113), 및 제1게이트절연층(112)을 관통하는 컨택홀(CNT5)을 통해 발광제어 박막트랜지스터(T6)의 발광제어 드레인영역(D6)과 연결될 수 있다. 연결전극(155)은 화소전극(210)과 연결되어, 발광제어 박막트랜지스터(T6)를 통해 인가되는 신호를 화소전극(210)에 전달할 수 있다.
- [0112] 테이터선(151), 구동전압선(152), 제1노드연결선(153), 제2노드연결선(154) 및 연결전극(155) 상에는 평탄화층(116)이 위치한다. 평탄화층(116)은 아크릴, BCB(Benzocyclobutene), 폴리이미드(polyimide) 또는 HMDSO(Hexamethyldisiloxane) 등의 유기물을 포함할 수 있다. 또는, 평탄화층(116)은 무기물을 포함할 수 있다. 평탄화층(116)은 박막트랜지스터들(T1 내지 T7)을 덮는 보호막 상부를 대체로 평탄화하는 역할을 할 수 있다. 평탄화층(116)은 단층 또는 다층으로 구비될 수 있다.
- [0113] 평탄화층(116) 상에는 화소전극(210), 대향전극(230) 및 그 사이에 개재되며 발광층을 포함하는 중간층(220)을 갖는 유기발광소자(OLED)가 위치할 수 있다.
- [0114] 화소전극(210)은 평탄화층(116)에 정의된 컨택홀을 통해 연결전극(155)에 연결되며, 연결전극(155)에 의해 발광제어 박막트랜지스터(T6)의 발광제어 드레인영역(D6)에 연결된다.
- [0115] 평탄화층(116) 상부에는 화소정의막(117)이 배치될 수 있다. 이 화소정의막(117)은 각 부화소들에 대응하는 개구, 즉 적어도 화소전극(210)의 중앙부가 노출되도록 하는 개구를 가짐으로써 화소를 정의하는 역할을 한다. 또한, 화소정의막(117)은 화소전극(210)의 가장자리와 화소전극(210) 상부의 대향전극(230)과의 사이의 거리를 증가시킴으로써 화소전극(210)의 가장자리에서 아크 등이 발생하는 것을 방지하는 역할을 한다. 이와 같은 화소정의막(117)은 예컨대 폴리이미드 또는 HMDSO(hexamethyldisiloxane) 등과 같은 유기물로 형성될 수 있다.
- [0116] 유기발광소자(OLED)의 중간층(220)은 저분자 또는 고분자 물질을 포함할 수 있다. 저분자 물질을 포함할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층된 구조를 가질 수 있으며, 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 유기물질을 포함할 수 있다. 이러한 층들은 진공증착의 방법으로 형성될 수 있다.
- [0117] 중간층(220)이 고분자 물질을 포함할 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)을 포함하는 구조를 가질 수 있다. 이 때, 홀 수송층은 PEDOT을 포함하고, 발광층은 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 물질을 포함할 수 있다. 이러한 중간층(220)은 스크린 인쇄나 잉크젯 인쇄방법, 레이저열전사방법(LITI; Laser induced thermal imaging) 등으로 형성할 수 있다.
- [0118] 물론 중간층(220)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다. 그리고 중간층(220)은 복수개의 화소전극(210)들에 걸쳐서 일체인 층을 포함할 수도 있고, 복수의 화소전극(210)들 각각에 대응하도록 패터닝된 층을 포함할 수도 있다.
- [0119] 대향전극(230)은 디스플레이영역(DA) 상부에 배치되는데, 도 10에 도시된 것과 같이 디스플레이영역(DA)을 덮도록 배치될 수 있다. 즉, 대향전극(230)은 복수개의 유기발광소자들에 있어서 일체(一體)로 형성되어 복수개의

화소전극(210)들에 대응할 수 있다.

- [0120] 이러한 유기발광소자(OLED)는 외부로부터의 수분이나 산소 등에 의해 쉽게 손상될 수 있기에, 봉지층(300)이 이러한 유기발광소자를 덮어 이들을 보호하도록 할 수 있다. 봉지층(300)은 디스플레이영역(DA)을 덮으며 디스플레이영역(DA) 외측까지 연장될 수 있다. 이러한 봉지층(300)은 제1무기봉지층(310), 유기봉지층(320) 및 제2무기봉지층(330)을 포함할 수 있다.
- [0121] 제1무기봉지층(310)은 대향전극(230)을 덮으며, 세라믹, 금속산화물, 금속질화물, 금속탄화물, 금속산질화물, 인듐산화물(In_2O_3), 주석 산화물(SnO_2), 인듐 주석 산화물(ITO), 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등을 포함할 수 있다. 물론 필요에 따라 제1무기봉지층(310)과 대향전극(230) 사이에 캐핑층 등의 다른 층들이 개재될 수도 있다. 이러한 제1무기봉지층(310)은 그 하부의 구조물을 따라 형성되기에, 제1무기봉지층(310)의 상면이 평탄하지 않게 된다.
- [0122] 유기봉지층(320)은 이러한 제1무기봉지층(310)을 덮는데, 제1무기봉지층(310)과 달리 그 상면이 대략 평탄하도록 할 수 있다. 구체적으로, 유기봉지층(320)은 디스플레이영역(DA)에 대응하는 부분에서는 상면이 대략 평탄하도록 할 수 있다. 이러한 유기봉지층(320)은 아크릴, 메타아크릴(metacrylic), 폴리에스터, 폴리에틸렌(polyethylene), 폴리프로필렌(polypropylene), 폴리에틸렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리카보네이트, 폴리이미드, 폴리에틸렌설폰네이트, 폴리옥시메틸렌, 폴리아릴레이트, 헥사메틸디실록산으로 이루어지는 군으로부터 선택된 하나 이상의 재료를 포함할 수 있다.
- [0123] 제2무기봉지층(330)은 유기봉지층(320)을 덮으며, 세라믹, 금속산화물, 금속질화물, 금속탄화물, 금속산질화물, 인듐산화물(In_2O_3), 주석 산화물(SnO_2), 인듐 주석 산화물(ITO), 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등을 포함할 수 있다.
- [0124] 이와 같이 봉지층(300)은 제1무기봉지층(310), 유기봉지층(320) 및 제2무기봉지층(330)을 포함하는바, 이와 같은 다층 구조를 통해 봉지층(300) 내에 크랙이 발생한다고 하더라도, 제1무기봉지층(310)과 유기봉지층(320) 사이에서 또는 유기봉지층(320)과 제2무기봉지층(330) 사이에서 그러한 크랙이 연결되지 않도록 할 수 있다. 이를 통해 외부로부터의 수분이나 산소 등이 디스플레이영역(DA)으로 침투하게 되는 경로가 형성되는 것을 방지하거나 최소화할 수 있다.
- [0125] 도시되지는 않았으나, 화소정의막(117) 상에는 마스크 찍힘 방지를 위한 스페이서가 더 포함될 수 있으며, 봉지층(300) 상에는 외광반사를 줄이기 위한 편광층, 블랙매트릭스, 컬러필터, 및/또는 터치전극을 구비한 터치스크린층 등 다양한 기능층이 구비될 수 있다.
- [0126] 도 10은 도 4의 유기발광표시장치에 포함된 커패시터(Cst)의 하부전극(C1)과 상부전극(C2)을 중첩된 형상을 나타낸 평면도이고, 도 11은 도 4의 유기발광표시장치의 커패시터(Cst)의 하부전극(C1)과 상부전극(C2)가 중첩되는 면적을 개략적으로 나타낸 평면도이다. 도 12는 본 발명의 실시예에 대한 비교예에 따른 커패시터의 하부전극(C1')과 상부전극(C2')이 중첩되는 면적을 개략적으로 나타낸 평면도이다.
- [0127] 도 10을 참조하면, 평면도에서 볼 때, 커패시터(Cst)의 상부전극(C2)의 가장자리는 하부전극(C1)의 가장자리에 대해서 외측으로 이격되어 하부전극(C1)을 둘러싸고 있다. 제1방향에 대해서 상부전극(C2)의 가장자리는 하부전극(C1)의 가장자리에 대해서 적어도 제1이격거리(sd1)만큼 시프트되어 형성되고 있으며, 제2방향에 대해서 상부전극(C2)의 가장자리는 하부전극(C1)의 가장자리에 대해서 적어도 제2이격거리(sd2)만큼 ...되어 형성되고 있다. 상부전극(C2)의 제1방향의 폭(W21)은 하부전극(C1)의 제1방향의 폭(W11)에 비해서 크며, 상부전극(C2)의 제2방향의 폭(W22)은 하부전극(C1)의 제2방향의 폭(W12)에 비해서 크게 구비된다.
- [0128] 상기 제1이격거리(sd1) 및 상기 제2이격거리(sd2)는 제조과정 중 발생할 수 있는 최대 오버레이 편차를 고려하여 설계될 수 있다. 여기서, 오버레이(overlay) 편차는 서로 중첩되는 둘 이상의 층을 형성할 때 각 층이 상, 하, 좌, 우 방향으로 시프트(shift)되는 경우 중첩되는 영역이 최초로 설계한 중첩 영역과 다르게 되는데, 이러한 중첩 영역의 차이를 의미한다. 오버레이 편차는 기판에 전면적으로 도전층을 형성하고, 포토 리소그라피(photo lithography) 공정을 할 때, 기판과 마스크의 미스 얼라인(miss align) 또는 기판과 노광기 사이의 미스 얼라인 등으로 인해 발생할 수 있다.
- [0129] 본 실시예에서는, 상부전극(C2)의 가장자리가 하부전극(C1)의 가장자리에 대해서 외측으로 이격되어 형성되고 있어, 하부전극(C1)에 대해서 상부전극(C2)가 설계치에 대해서 시프트되어 형성된다고 하더라도 하부전극(C1)과 상부전극(C2)가 중첩되는 면적은 일정하게 유지될 수 있다. 즉, 본 실시예에 따른 커패시터(Cst)는 오버레이 편

차에 대해서 일정한 커패시턴스를 제공할 수 있다.

- [0130] 또한, 본 실시예에서, 상부전극(C2)은 단일폐곡선 형상의 개구부(OP1)을 구비하고 있으며, 상기 개구부(OP1)에 의해서 상부전극(C2)과 하부전극(C1)의 중첩영역이 두 개의 영역, 즉, 제1영역(CA1) 및 제2영역(CA2)으로 분리되고 있다.
- [0131] 도 10에 있어서, 개구부(OP1)는 제2방향의 폭이 길게 형성되고 있어, 제2방향에 배치된 하부전극(C1)의 양끝단을 노출하고 있다. 이에 따라, 상부전극(C2)과 하부전극(C1)의 중첩영역이 두 개의 영역, 즉, 제1영역(CA1) 및 제2영역(CA2)으로 분리될 수 있다.
- [0132] 도 10에 있어서, 개구부(OP1)는 제2방향의 폭이 긴 직사각형 형상으로 구비되고 있으나, 본 발명은 이에 한정되지 않는다. 개구부(OP1)의 모서리는 둥글게 형성될 수도 있으며 제1방향의 폭이 일정하지 않을 수도 있는 등 다양한 변형이 가능하다.
- [0133] 이 때, 커패시터(Cst)의 커패시턴스는 다음의 수학식 1에 의해 결정된다. 수학식 1에서 C는 커패시턴스, ϵ 은 유전상수, A1 및 A2는 각각 제1영역(CA1) 및 제2영역(CA2)의 면적을 나타내고 d는 하부전극(C1)과 상부전극(C2)사이의 거리를 나타낸다.
- [0134] [수학식 1]
- [0135]
$$C = \epsilon (A1 + A2) / d$$
- [0136] 즉, 본 발명의 일 실시예에 의한 커패시터(Cst)의 커패시턴스는 제2게이트절연층(113)의 유전상수 ϵ , 하부전극(C1) 및 상부전극(C2)사이의 거리 d, 및 하부전극(C1) 및 상부전극(C2)의 중첩된 영역의 면적 A1+A2에 의해 결정된다. 따라서, 중첩된 영역의 면적 A1+A2가 변화하는 경우 커패시턴스(capacitance)가 달라지게 된다.
- [0137] 따라서, 임계치수 편차에 의해서 중첩된 면적이 달라지게 되면 커패시터의 커패시턴스가 달라지게 된다. 임계치수 편차는 식각 공정으로 조절되기 어려운 치수의 편차를 의미한다. 임계치수 편차는 포토 리소그래피(photo lithography) 공정 및 식각 공정을 통해서 패터닝할 때, 포토 리소그래피 공정에 의한 포토레지스트의 크기, 식각 조건 등에 따라서 발생할 수 있다.
- [0138] 본 발명의 실시예는 이러한 임계치수 편차가 발생한다고 하더라도 커패시턴스의 값의 변화가 최소화될 수 있다.
- [0139] 만일, 도 12와 같이 상부전극(C2')에 배치된 개구부(OP1')가 하부전극(C1')의 내부에 배치되어, 개구부(OP1')에 의해서 상부전극(C2')과 하부전극(C1')의 중첩 영역이 분리되지 않는다면, 임계치수 편차에 의해서 커패시턴스의 값이 민감하게 변화될 수 있다.
- [0140] 예컨대, 임계치수 편차에 의해서 설계치 보다 개구부(OP1')가 제1방향으로 Δx , 제2방향으로 Δy 만큼 더 식각되어 형성될 수 있다. 이 경우, 중첩 면적은 Δx 및 Δy 에 의한 영향을 모두 받게 된다.
- [0141] 그러나, 본 실시예에 따른 도 11과 같이 개구부(OP1)에 의해서 중첩 영역이 분리된다면, 중첩 면적은 Δx 에 의한 영향만을 받게되는 바, 본 발명의 실시예에 의한 유기발광표시장치에 포함된 커패시터(Cst)의 커패시턴스의 변화는 공정오차에 민감하지 않을 수 있다.
- [0142] 도 13은 본 발명의 다른 실시예에 따른 화소 회로에 포함된 복수의 박막트랜지스터들, 및 커패시터의 위치를 개략적으로 나타낸 배치도이고, 도 14는 도 13에 포함된 커패시터(Cst)의 하부전극 및 상부전극이 중첩되는 영역을 나타낸 도면이다. 도 13에 있어서, 도 4와 동일한 참조부호는 동일 부재를 나타내는 바, 중복 설명은 생략하도록 한다.
- [0143] 도 13 및 도 14를 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치에 포함된 커패시터(Cst)는 하부전극(C1) 및 단일 폐곡선 형상의 개구부(OP2)를 구비하는 상부전극(C2)을 포함한다.
- [0144] 한편, 상기 개구부(OP2) 내부에는 하부전극(C1)과 연결되도록 중간절연층(114) 및 제2게이트절연층(113)을 관통하는 컨택홀(CNT1)이 배치된다. 상기 개구부(OP2)의 크기는 상기 컨택홀(CNT1)보다 크게 구비되어, 상기 컨택홀(CNT1)이 상부전극(C2)과 접촉되지 않을 수 있다.
- [0145] 상기 컨택홀(CNT1)을 통해서 제1노드연결선(153)의 일단이 하부전극(C1)과 연결될 수 있다. 제1노드연결선(153)의 타단은 중간절연층(114), 제2게이트절연층(113), 및 제1게이트절연층(112)를 관통하는 컨택홀(CNT2)를 통해서 보상 박막트랜지스터(T3)의 드레인영역(D3)과 연결될 수 있다.

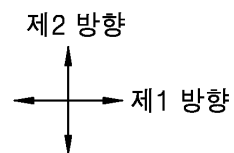
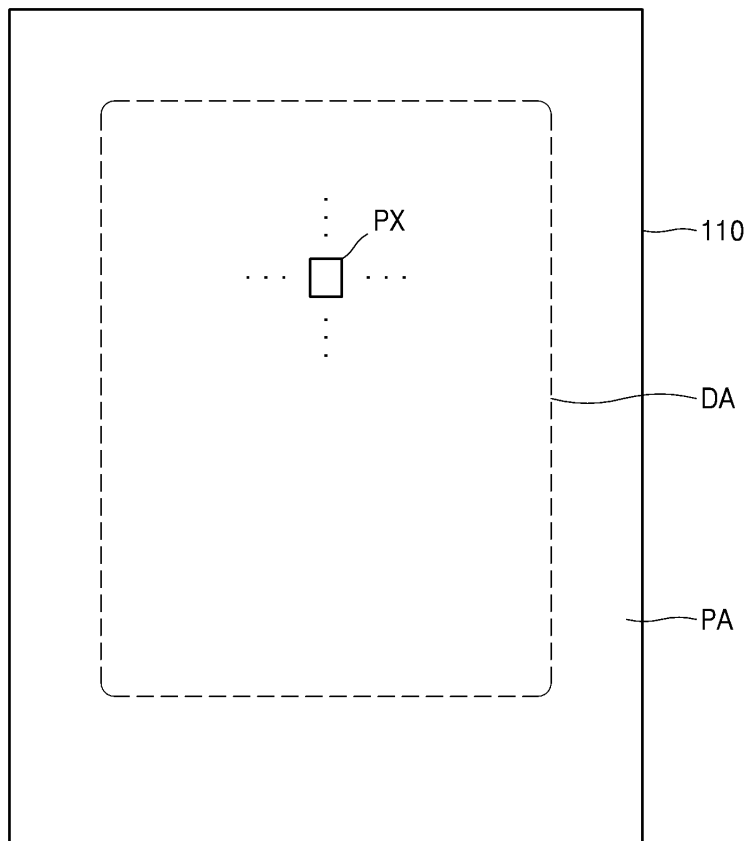
- [0146] 상기 상부전극(C2)은 구동전압을 전달하는 구동전압선과 콘택홀을 통해서 연결될 수 있다.
- [0147] 평면도에서 볼 때, 상부전극(C2)의 가장자리는 하부전극(C1)의 가장자리에 대해서 외측으로 이격되어 하부전극(C1)을 둘러싸고 있다. 제1방향에 대해서 상부전극(C2)의 가장자리는 하부전극(C1)의 가장자리에 대해서 적어도 제1이격거리(sd1)만큼 시프트되어 형성되고 있으며, 제2방향에 대해서 상부전극(C2)의 가장자리는 하부전극(C1)의 가장자리에 대해서 적어도 제2이격거리(sd2)만큼 시프트되어 형성되고 있다. 상부전극(C2)의 제1방향의 폭(W21)은 하부전극(C1)의 제1방향의 폭(W11)에 비해서 크며, 상부전극(C2)의 제2방향의 폭(W22)은 하부전극(C1)의 제2방향의 폭(W12)에 비해서 크게 구비된다.
- [0148] 이러한 특징으로, 오버레이 편차에 의해서도 하부전극(C1)과 상부전극(C2)의 중첩 면적은 일정하게 유지될 수 있다.
- [0149] 또한, 본 실시예에서, 상부전극(C2)은 단일폐곡선 형상의 개구부(OP2)을 구비하고 있으며, 상기 개구부(OP2)에 의해서 상부전극(C2)과 하부전극(C1)의 중첩영역이 두 개의 영역, 즉, 제1영역(CA1) 및 제2영역(CA2)으로 분리되고 있다.
- [0150] 개구부(OP2)는 제1방향의 폭이 제2방향의 폭보다 길게 형성되고 있어, 제1방향에 배치된 하부전극(C1)의 양끝단을 노출하고 있다. 이에 따라, 상부전극(C2)과 하부전극(C1)의 중첩영역이 두 개의 영역, 즉, 제1영역(CA1) 및 제2영역(CA2)으로 분리될 수 있다.
- [0151] 도 13 및 도 14에 있어서, 개구부(OP2)는 제2방향의 폭이 긴 직사각형 형상으로 구비되고 있으나, 본 발명은 이에 한정되지 않는다. 개구부(OP2)의 모서리는 둥글게 형성될 수도 있으며 제2방향의 폭이 일정하지 않을 수도 있는 등 다양한 변형이 가능하다.
- [0152] 이러한 특징에 의해서, 본 실시예에 따른 커패시터(Cst)의 하부전극(C1)과 상부전극(C2)의 중첩 면적은 Δy 에 의한 영향만을 받게되는 바, 본 발명의 실시예에 의한 유기발광표시장치에 포함된 커패시터(Cst)의 커패시턴스의 변화는 공정오차에 민감하지 않을 수 있다.
- [0153] 이상에서는 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

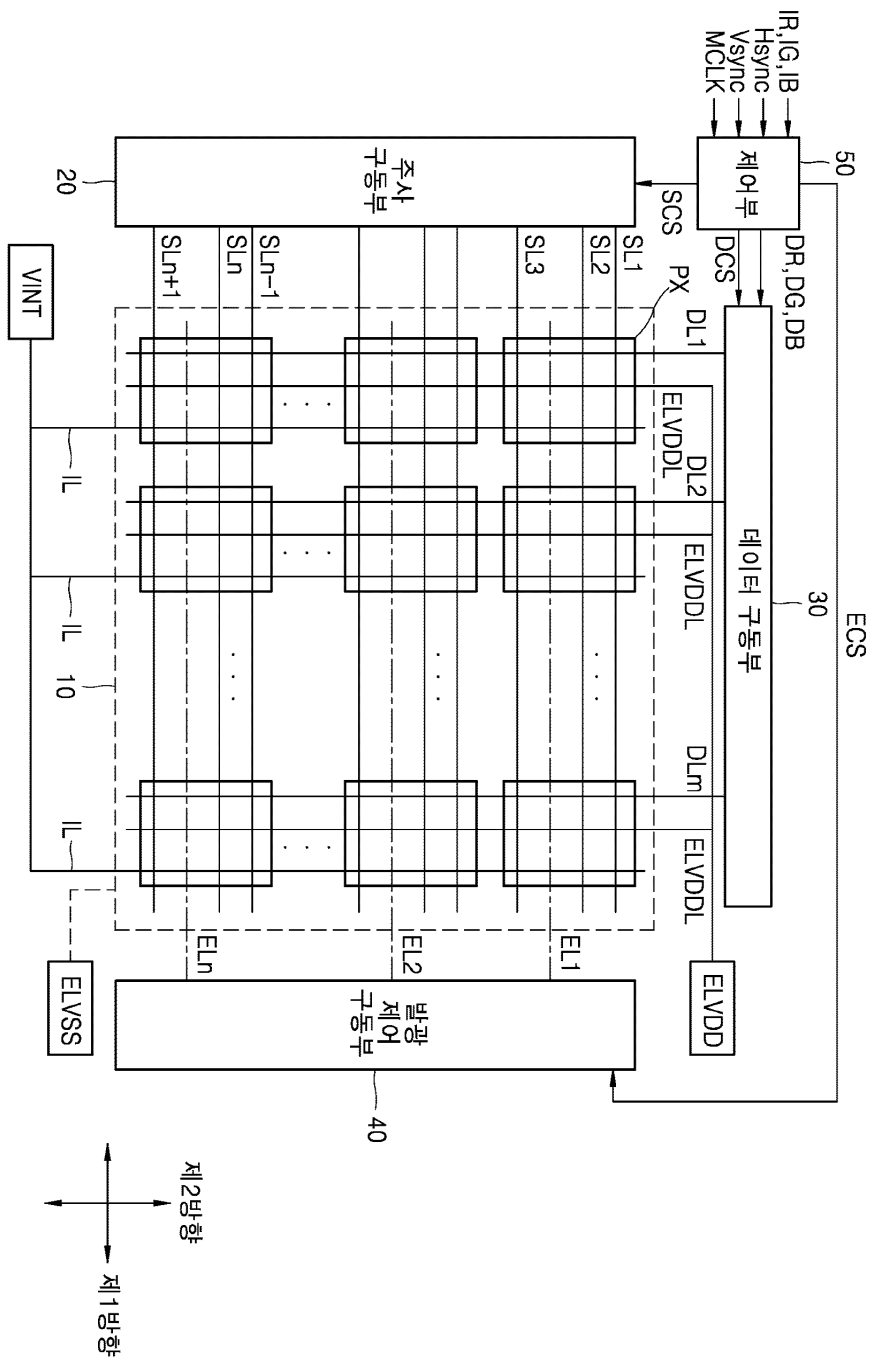
- [0154] DA: 디스플레이영역 PA: 주변영역
- T1 ~ T7: 박막트랜지스터
- Cst : 커패시터
- C1: 하부전극
- C2: 상부전극
- OP1, OP2: 개구부
- 110: 기판
- 111: 버퍼층 112: 제1게이트절연층
- 113: 제2게이트절연층
- 114: 층간절연층 117: 화소정의막
- 300: 봉지층

도면

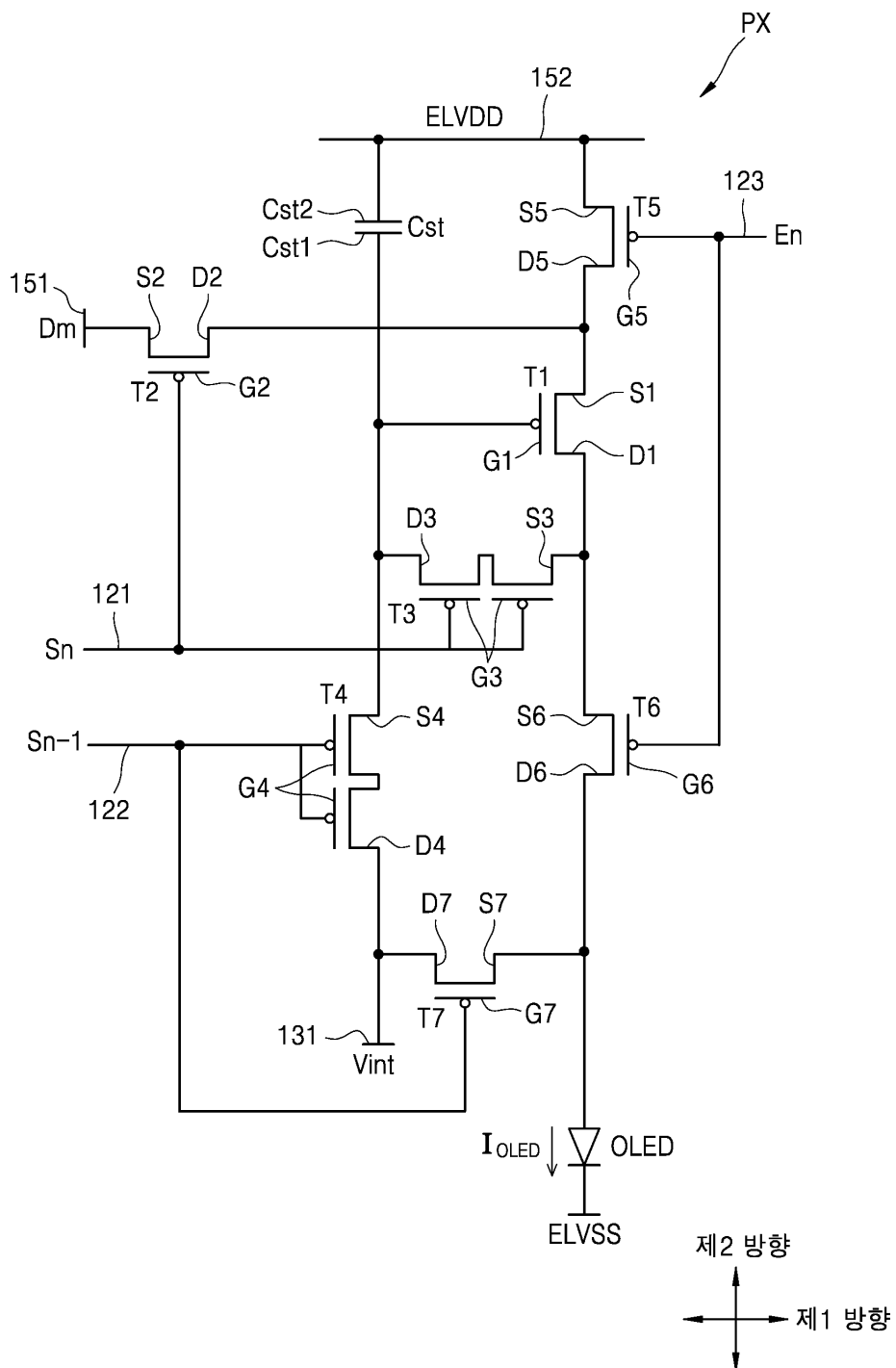
도면1



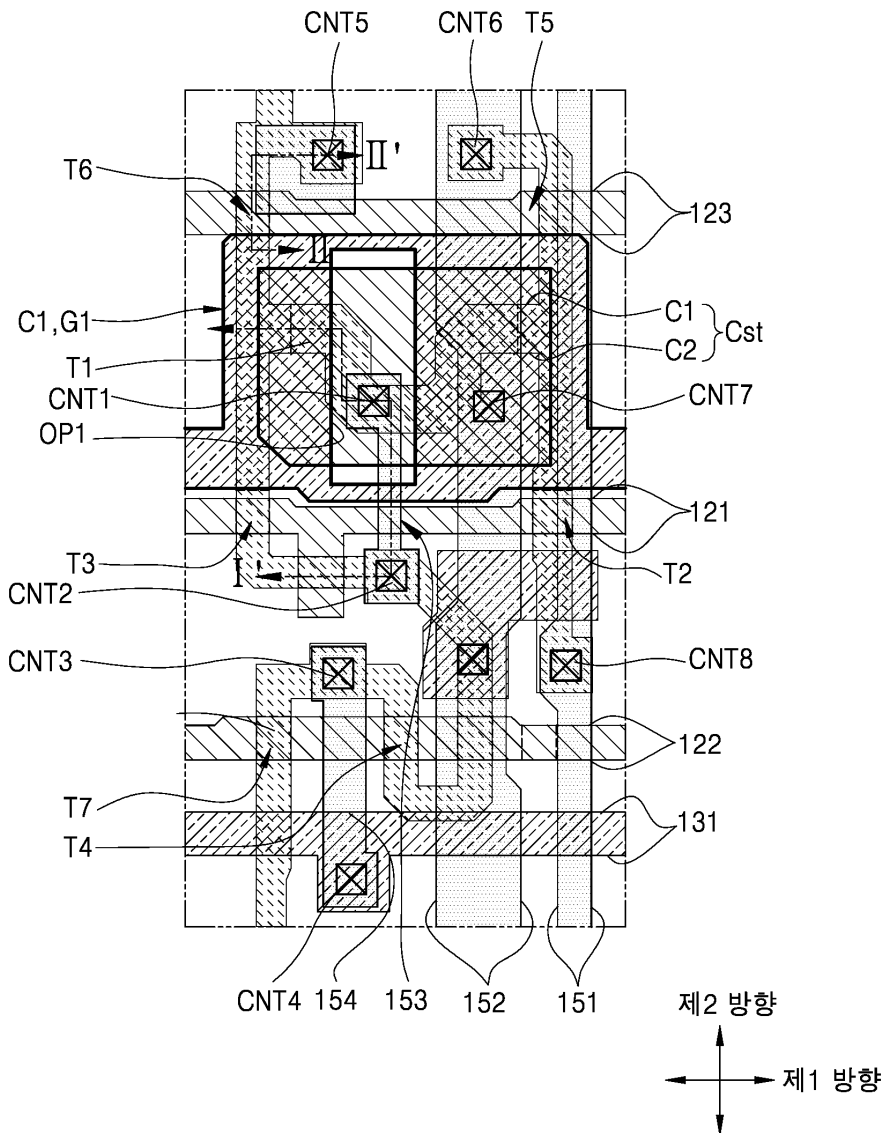
도면2



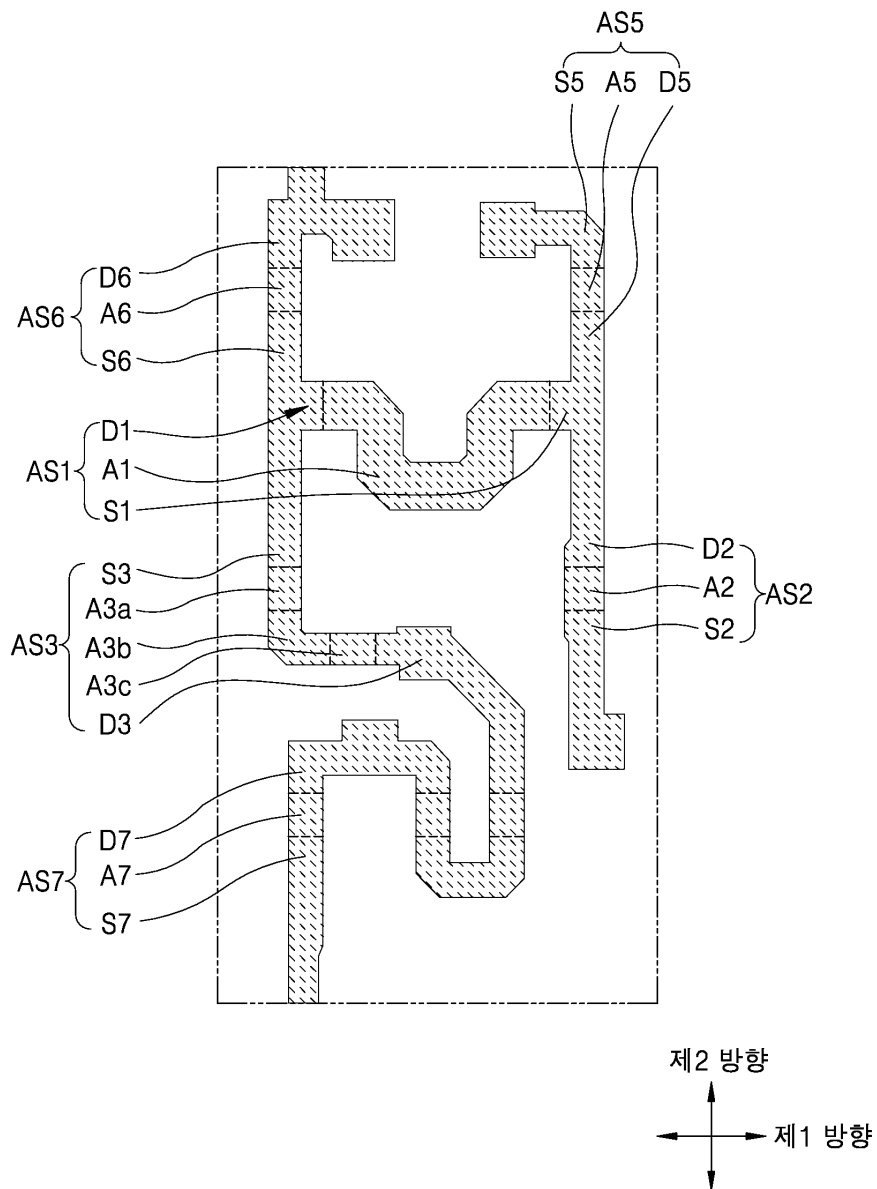
도면3



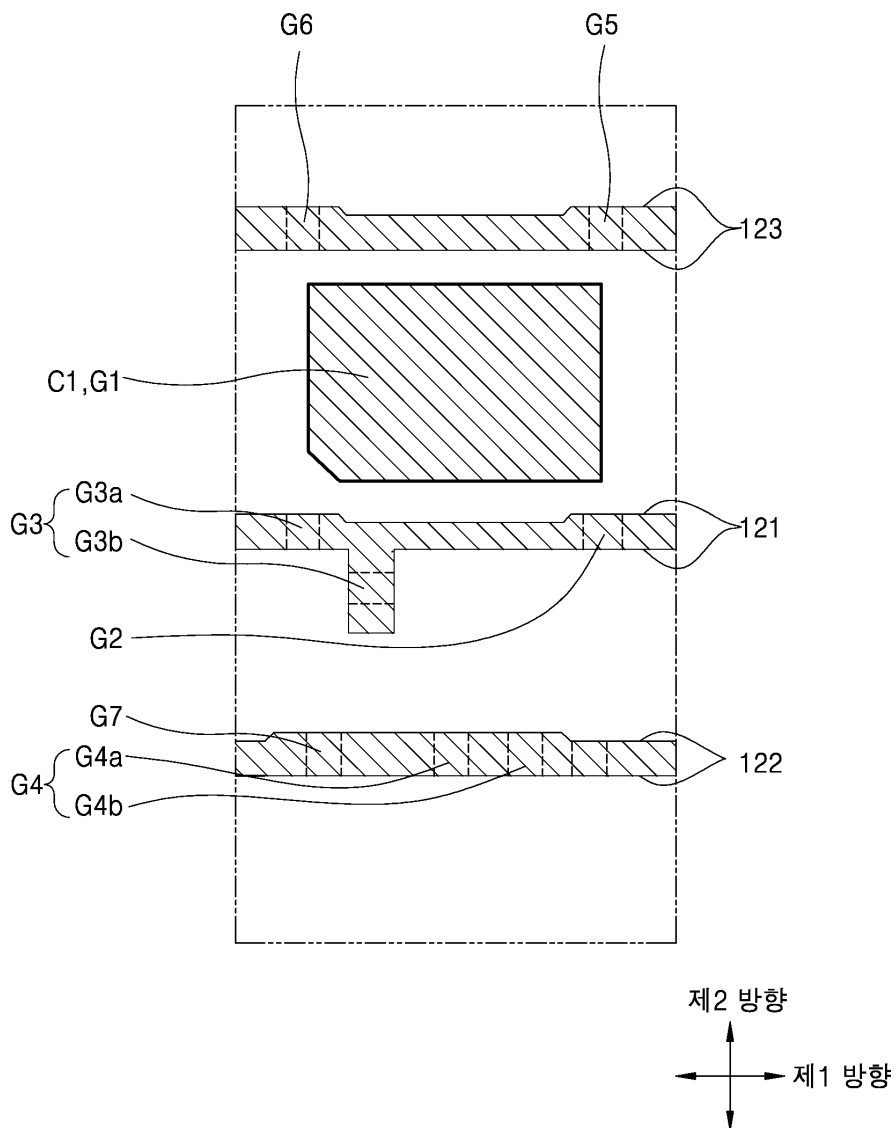
도면4



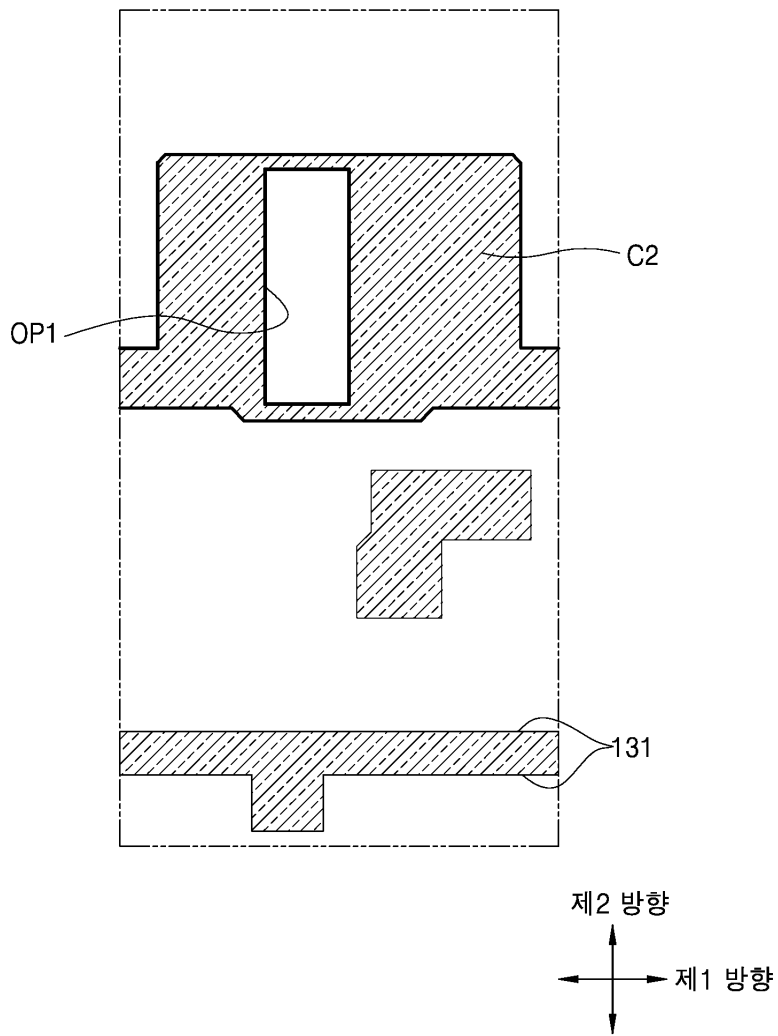
도면5



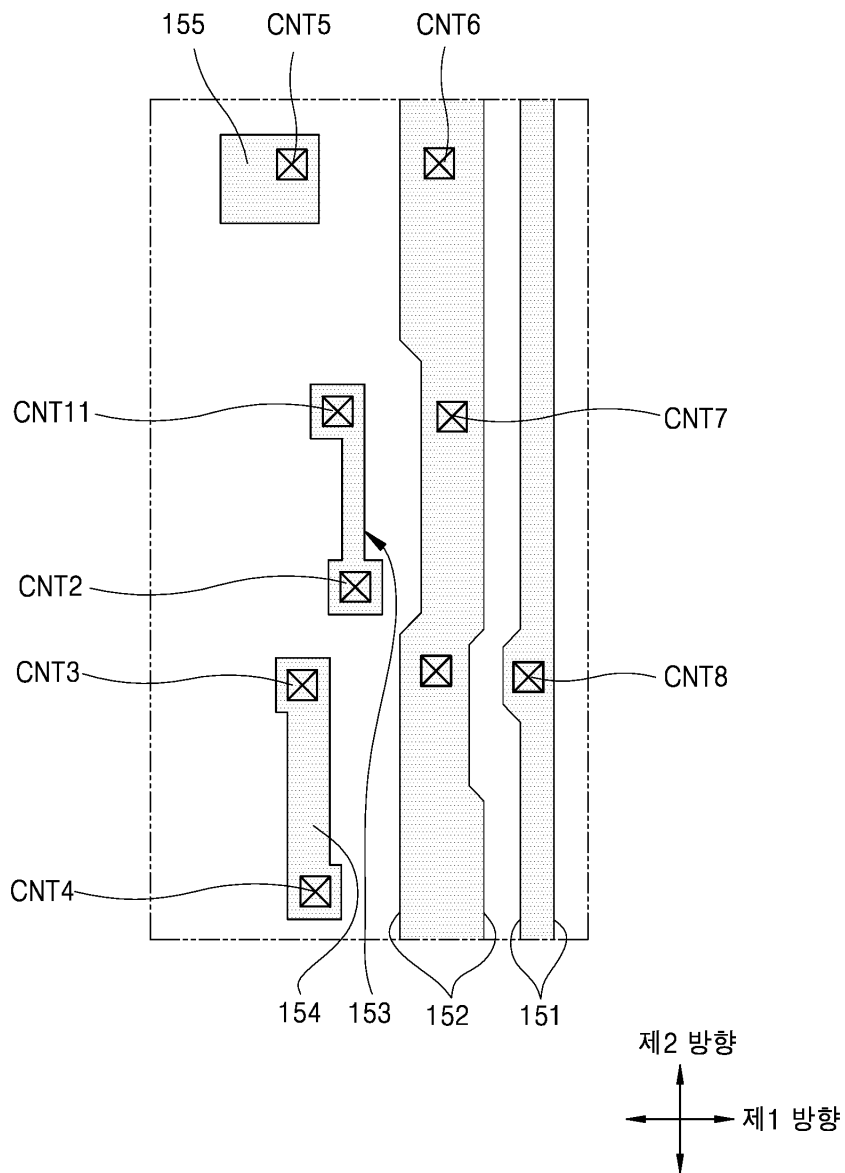
도면6



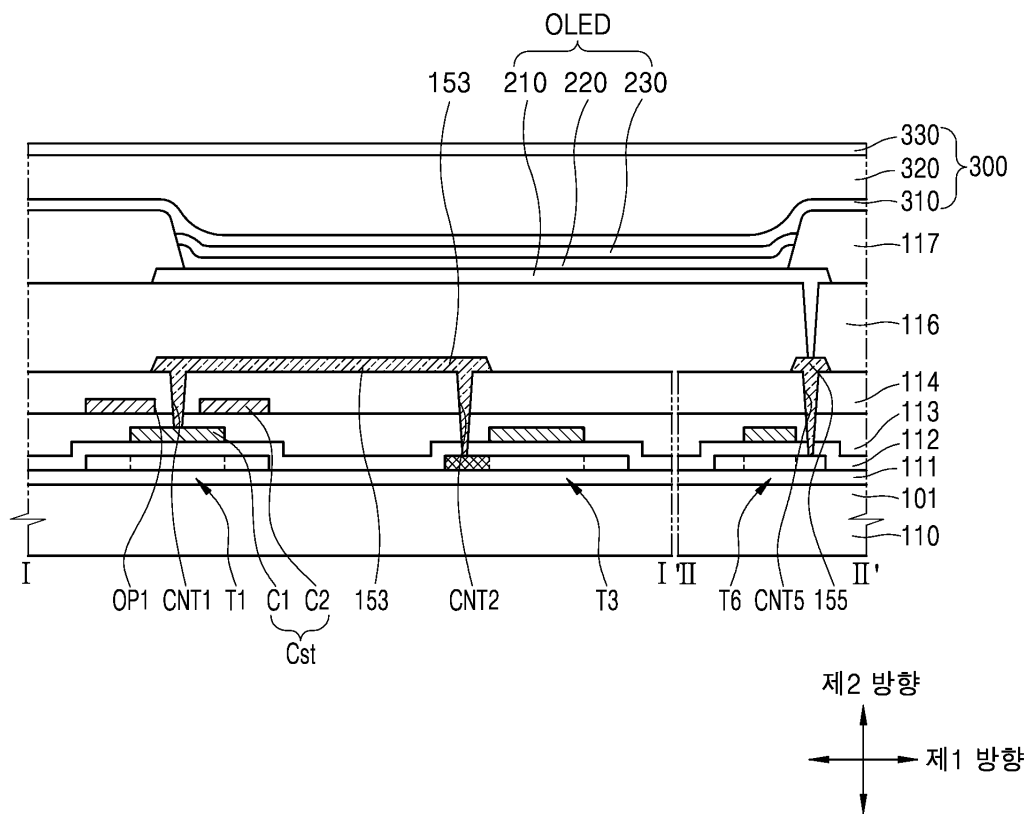
도면7



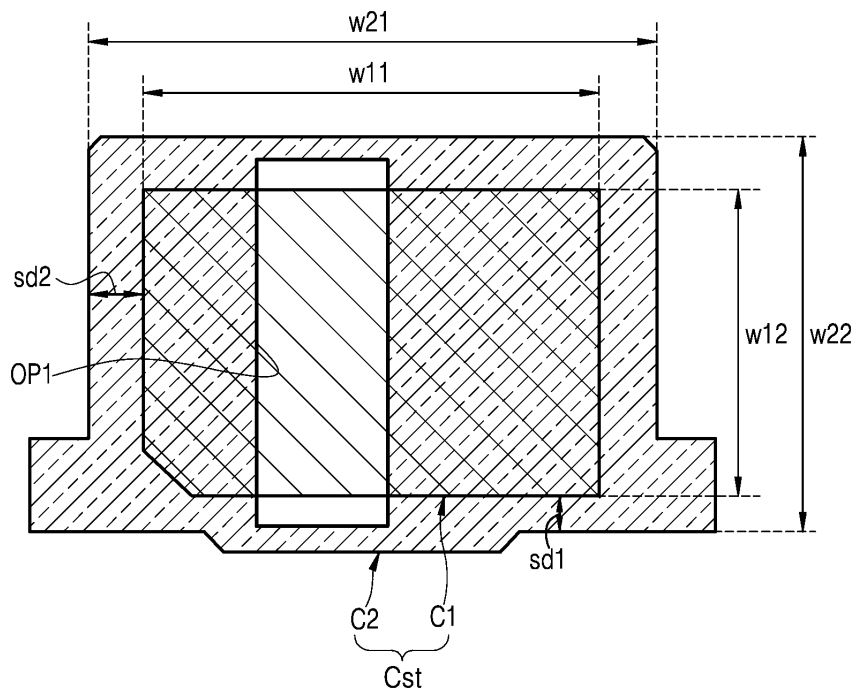
도면8



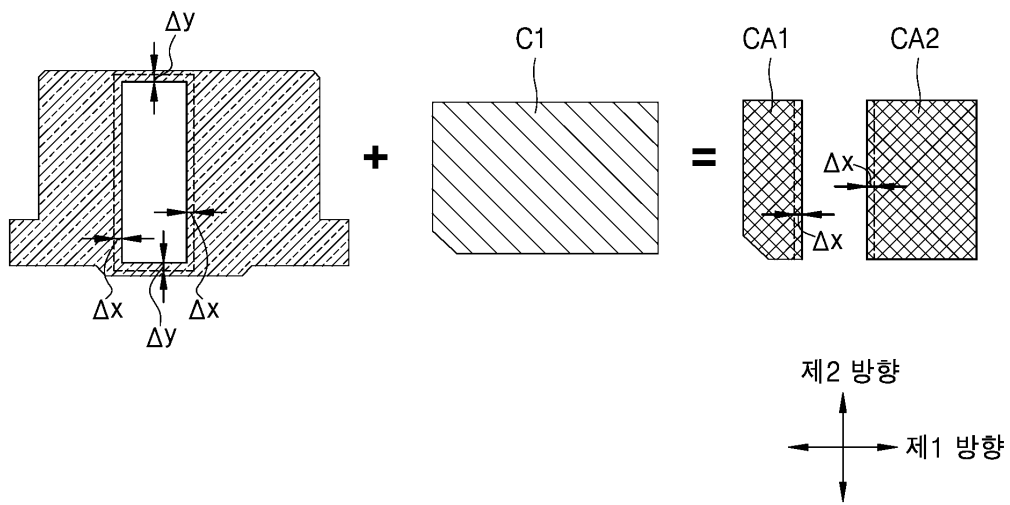
도면9



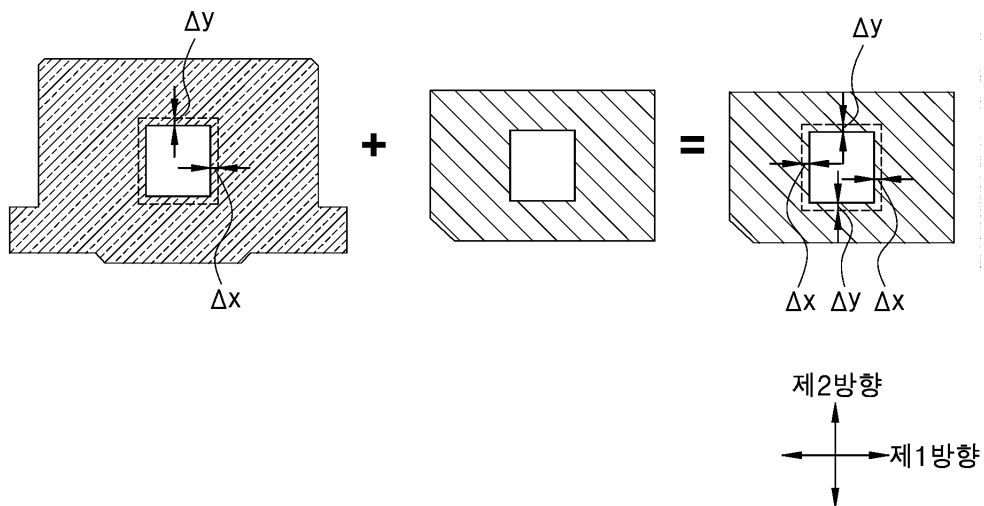
도면10



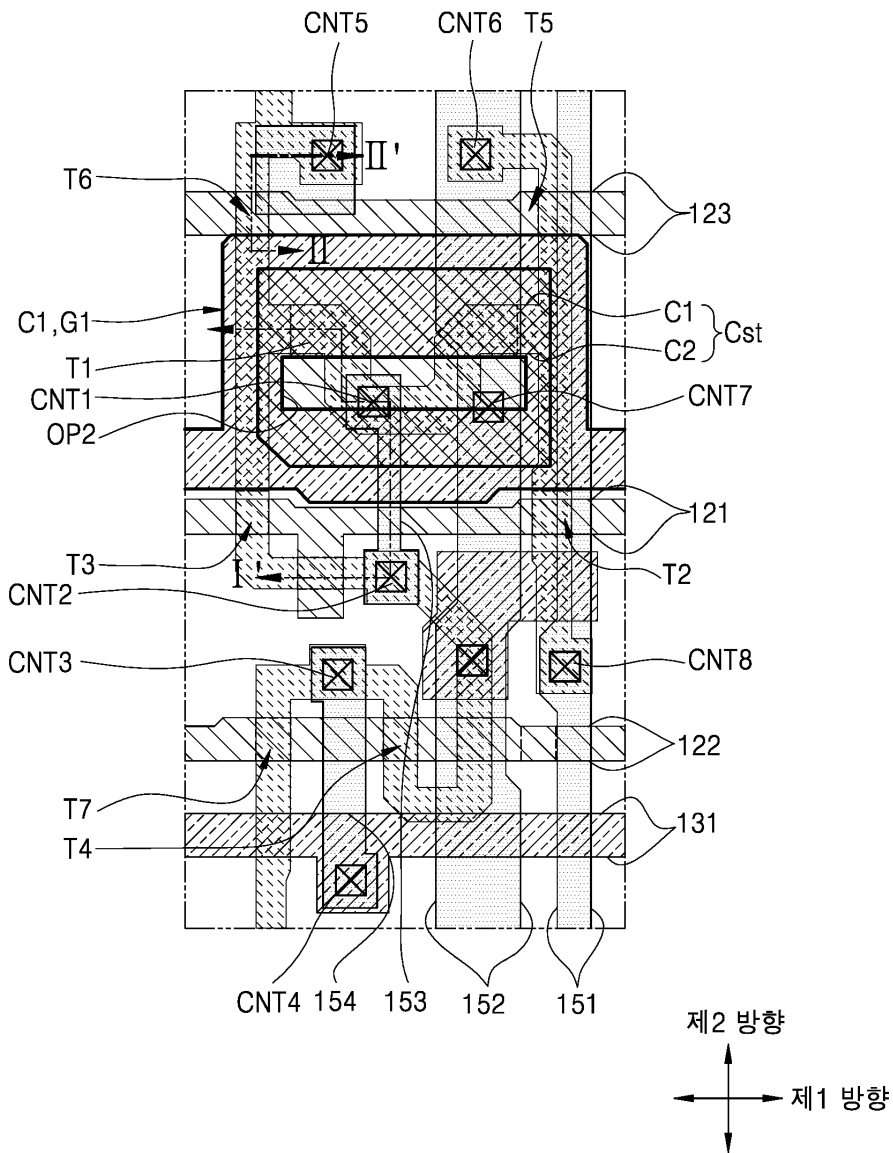
도면11



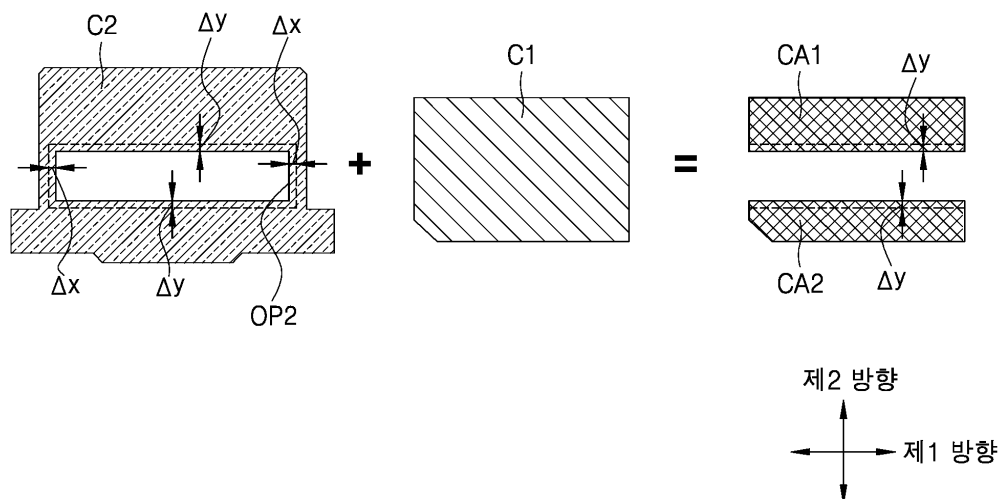
도면12



도면13



도면14



专利名称(译)	薄膜晶体管阵列基板和有机发光显示装置		
公开(公告)号	KR1020190093238A	公开(公告)日	2019-08-09
申请号	KR1020180012342	申请日	2018-01-31
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	배한성 곽원규		
发明人	배한성 곽원규		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3248 H01L27/3258 H01L27/3265 H01L27/3276 H01L27/124 H01L27/1255 G09G3/3266 G09G3/3291 G09G2300/0439 H01L51/5012 H01L51/5206 H01L51/5221 H01L51/5256		
外部链接	Espacenet		

摘要(译)

提供了一种薄膜晶体管阵列基板和包括该薄膜晶体管阵列基板的有机发光显示装置。本发明的一个实施方式公开了一种薄膜晶体管阵列基板。薄膜晶体管阵列基板包括基板；电容器，包括：下部电极，其设置在基板上；上部电极，其与下部电极重叠，并具有开口，该开口具有单一的闭合曲线形状；以及电介质层，其位于下部电极和上部电极之间。覆盖电容器的层间绝缘层；节点连接线设置在层间绝缘层上并电连接电容器和至少一个薄膜晶体管。电容器的下部电极和上部电极彼此重叠的区域被开口划分为两个区域。可以提供对工艺变化不敏感的电容。

