



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0080207
(43) 공개일자 2019년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0182524
(22) 출원일자 2017년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
연득호
경기도 파주시 월롱면 엘지로 245
노상순
경기도 파주시 월롱면 엘지로 245
신동채
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한) 대아

전체 청구항 수 : 총 12 항

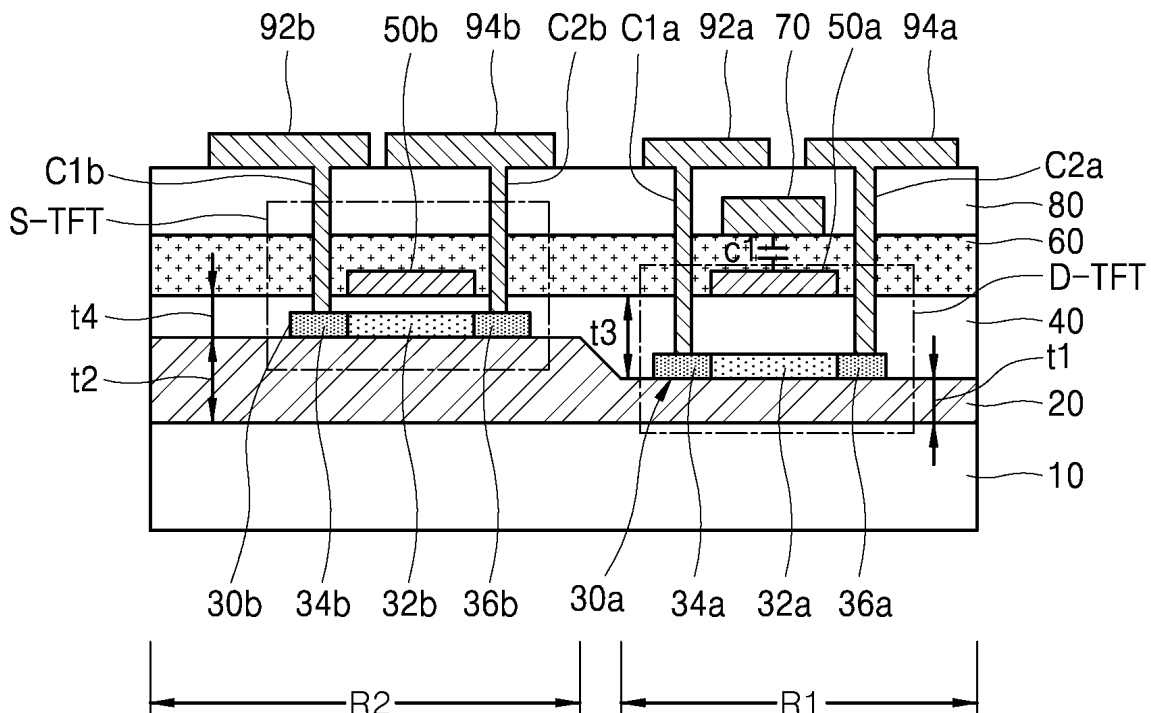
(54) 발명의 명칭 박막트랜지스터 어레이 기판 및 그의 제조방법과 이를 포함하는 유기발광표시장치

(57) 요약

본 발명은 동일 기판에서 구동 박막트랜지스터의 에스 팩터(S-factor)와 스위칭 박막트랜지스터의 에스 팩터를 조절할 수 있는 박막트랜지스터 어레이 기판 및 그의 제조방법과 이를 포함하는 유기발광표시장치를 개시한다. 개시된 본 발명에 따른 박막트랜지스터 어레이 기판은, 제1영역과 제2영역을 갖는 기판, 기판 상에 배치되며 제1

(뒷면에 계속)

대표도 - 도3



영역에 배치되는 부분이 제1두께를 갖고 제2영역에 배치되는 부분이 제1두께보다 두꺼운 제2두께를 갖는 버퍼막, 제1영역의 버퍼막 부분과 제2영역의 버퍼막 부분 상에 각각 배치되며 각각 채널영역과 제1 및 제2 도핑영역들을 갖는 제1액티브층과 제2액티브층, 제1 및 제2 액티브층들을 덮도록 버퍼막 상에 배치되며 평탄화된 상면을 갖고 제1영역에서 제3두께를 가지며 제2영역에서 제3두께 보다 얇은 제4 두께를 갖는 게이트절연막, 제1액티브층과 제2 액티브층의 채널영역들 상부의 게이트절연막 부분들 상에 각각 배치되는 제1게이트전극과 제2게이트전극, 및 제1액티브층과 제2액티브층의 제1 도핑영역들 및 제2 도핑영역들에 각각 연결되는 제1 전극들과 제2 전극들을 포함한다.

(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

제1영역과 제2영역을 갖는 기관;

상기 기관 상에 배치되며, 상기 제1영역에 배치되는 부분이 제1두께를 갖고, 상기 제2영역에 배치되는 부분이 상기 제1두께보다 두꺼운 제2두께를 갖는 버퍼막;

상기 제1영역의 버퍼막 부분과 상기 제2영역의 버퍼막 부분 상에 각각 배치되며, 각각 채널영역과 제1 및 제2 도핑영역들을 갖는 제1액티브층과 제2액티브층;

상기 제1 및 제2 액티브층들을 덮도록 상기 버퍼막 상에 배치되며, 평탄화된 상면을 갖고, 상기 제1영역에서 제3두께를 가지며, 상기 제2영역에서 상기 제3두께 보다 얇은 제4 두께를 갖는 게이트절연막;

상기 제1액티브층과 제2 액티브층의 채널영역들 상부의 게이트절연막 부분들 상에 각각 배치되는 제1게이트전극과 제2게이트전극; 및

상기 제1액티브층과 제2액티브층의 제1 도핑영역들 및 제2 도핑영역들에 각각 연결되는 제1 전극들과 제2 전극들;

을 포함하는 박막트랜지스터 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 제1영역에 상대적으로 두꺼운 게이트절연막을 갖는 구동 박막트랜지스터가 구현되고, 상기 제2영역에 스위칭 박막트랜지스터가 구현되는 박막트랜지스터 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 게이트절연막 상에 배치되는 적어도 하나 이상의 스캔라인;

상기 게이트전극 및 상기 스캔라인을 덮도록 상기 게이트절연막 상에 배치되는 제1층간절연막;

상기 제2영역의 상기 제1층간절연막 부분 상에 상기 제2게이트전극과 오버랩하도록 배치되는 스토리지전극;

상기 스토리지전극을 덮도록 상기 제1층간절연막 상에 배치되는 제2층간절연막;

상기 제2 및 제1 층간절연막들과 게이트절연막 내에, 상기 제1 전극들과 상기 제1 및 제2 액티브층들의 제1 도핑영역들 사이 및 상기 제2 전극들과 상기 제1 및 제2 액티브층들의 제2 도핑영역들 사이를 연결하도록 배치된 제1 콘택들 및 제2 콘택들; 및

상기 제2층간절연막 상에 상기 제1 및 제2 콘택들과 각각 연결되도록 배치되는 데이터라인 및 전원라인;

을 더 포함하는 박막트랜지스터 어레이 기관.

청구항 4

제1영역 및 제2영역을 갖는 기관 상에 상기 제1영역에 배치되는 부분이 제1 두께를 갖고, 상기 제2 영역에 배치되는 부분이 상기 제1 두께보다 두꺼운 제2 두께를 갖는 버퍼막을 형성하는 단계;

상기 제1영역의 버퍼막 부분과 상기 제2영역의 버퍼막 부분상에 각각 채널영역과 제1 및 제2 도핑영역들을 갖는 제1액티브층과 제2액티브층을 형성하는 단계;

상기 제1 및 제2 액티브층들을 덮도록, 평탄화된 상면을 가지며, 상기 제1영역 배치되는 부분이 제3두께를 갖고, 상기 제2영역에 배치되는 부분이 상기 제3두께 보다 얇은 제4 두께를 갖는 게이트절연막을 형성하는 단계;

상기 제1 및 제2 액티브층들의 각 채널영역 상부의 상기 게이트절연막 부분들 상에 각각 제1게이트전극과 제2게이트전극을 형성하는 단계; 및

상기 제1 및 제2 액티브층들의 상기 제1 도핑영역들에 각각 연결되는 제1 전극들과 상기 제2 도핑영역들에 각각 연결되는 제2 전극들을 형성하는 단계;

를 포함하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 5

제 4 항에 있어서,

상기 제1영역에 상대적으로 두꺼운 게이트절연막을 갖는 구동 박막트랜지스터를 형성하고, 상기 제2영역에 스위칭 박막트랜지스터를 형성하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 6

제 4 항에 있어서,

상기 게이트절연막을 형성하는 단계는 화학적기계연마 공정으로 상면을 평탄화시키는 박막트랜지스터 어레이 기판의 제조방법.

청구항 7

제 4 항에 있어서,

상기 제1게이트전극 및 제2게이트전극을 형성하는 단계는 적어도 하나 이상의 스캔라인을 함께 형성하도록 수행하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 8

제 4 항에 있어서,

상기 제1게이트전극과 제2게이트전극을 형성하는 단계 후, 그리고, 상기 제1 전극들과 제2 전극들을 형성하는 단계 전,

상기 제1게이트전극과 제2게이트전극을 덮도록 상기 게이트절연막 상에 제1 층간절연막을 형성하는 단계;

상기 제2영역의 상기 제1층간절연막 부분 상에 상기 제2게이트전극과 오버랩하도록 스토리지전극을 형성하는 단계;

상기 스토리지전극을 덮도록 상기 제1층간절연막 상에 제2층간절연막을 형성하는 단계; 및

상기 제2 및 제1 층간절연막과 게이트절연막을 식각하여 상기 제1 및 제2 액티브층들의 제1 및 제2 도핑영역들을 노출하는 홀들을 형성하는 단계;

를 더 포함하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 9

제 8 항에 있어서,

상기 제1 전극들과 제2 전극들을 형성하는 단계는,

상기 제1 도핑영역들과 제1 전극들 사이 및 상기 제2 도핑영역들과 제2 전극들 사이를 연결하는 제1 콘택들 및 제2 콘택들이 함께 형성되도록 수행하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 10

제 9 항에 있어서,

상기 제1 및 제2 전극들을 형성하는 단계는 상기 제2 층간절연막 상에 배치되는 데이터라인 및 전원라인이 함께 형성되도록 수행하는 박막트랜지스터 어레이 기판의 제조방법.

청구항 11

상호 대향 합착되는 한 쌍의 기판 중 어느 하나는, 복수의 화소영역에 각각 유기발광소자와 적어도 구동 박막트랜지스터와 스위칭 박막트랜지스터를 구비하는, 박막트랜지스터 어레이 기판을 포함하며,

상기 박막트랜지스터 어레이 기판은,

제1영역과 제2영역을 갖는 기판;

상기 기판 상에 배치되며, 상기 제1영역에 배치되는 부분이 제1두께를 갖고, 상기 제2영역에 배치되는 부분이 상기 제1두께보다 두꺼운 제2두께를 갖는 버퍼막;

상기 제1영역의 버퍼막 부분과 상기 제2영역의 버퍼막 부분 상에 각각 배치되며, 각각 채널영역과 제1 및 제2 도핑영역들을 갖는 제1액티브층과 제2액티브층;

상기 제1 및 제2 액티브층들을 덮도록 상기 버퍼막 상에 배치되며, 평탄화된 상면을 갖고, 상기 제1영역에서 제3두께를 가지며, 상기 제2영역에서 상기 제3두께 보다 얇은 제4 두께를 갖는 게이트절연막;

상기 제1액티브층과 제2 액티브층의 채널영역들 상부의 게이트절연막 부분들 상에 각각 배치되는 제1게이트전극과 제2게이트전극; 및

상기 제1액티브층과 제2액티브층의 제1 도핑영역들 및 제2 도핑영역들에 각각 연결되는 제1 전극들과 제2 전극들;을 포함하고,

상기 제1영역에 상대적으로 두꺼운 게이트절연막을 갖는 구동 박막트랜지스터가 형성되고, 상기 제2영역에 상대적으로 얇은 게이트절연막을 갖는 스위칭 박막트랜지스터가 형성되는 유기발광표시장치.

청구항 12

제 11 항에 있어서,

상기 게이트절연막 상에 배치되는 적어도 하나 이상의 스캔라인;

상기 게이트전극 및 상기 스캔라인을 덮도록 상기 게이트절연막 상에 배치되는 제1층간절연막;

상기 제2영역의 상기 제1층간절연막 부분 상에 상기 제2게이트전극과 오버랩하도록 배치되는 스토리지전극;

상기 스토리지전극을 덮도록 상기 제1층간절연막 상에 배치되는 제2층간절연막;

상기 제2 및 제1 층간절연막들과 게이트절연막 내에, 상기 제1 전극들과 상기 제1 및 제2 액티브층들의 제1 도핑영역들 사이 및 상기 제2 전극들과 상기 제1 및 제2 액티브층들의 제2 도핑영역들 사이를 연결하도록 배치된 제1 콘택들 및 제2 콘택들; 및

상기 제2층간절연막 상에 상기 제1 및 제2 콘택들과 각각 연결되도록 배치되는 데이터라인 및 전원라인;
을 더 포함하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치에 관한 것으로, 더욱 상세하게는, 동일 기판에서 구동 박막트랜지스터의 에스 팩터(S-factor)와 스위칭 박막트랜지스터의 에스 팩터를 조절할 수 있는 박막트랜지스터 어레이 기판 및 그의 제조 방법과 이를 포함하는 유기발광표시장치에 관한 것이다.

배경 기술

[0003] 표시장치(Display device)는 TV, 노트북, 태블릿 및 휴대폰 등과 같은 다양한 전자기기에 적용되고 있으며, 표시장치의 박형화, 경량화 및 저소비전력화 등을 구현하기 위한 다양한 연구들이 계속해서 진행되고 있다.

[0004] 표시장치의 예로서는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0005] 그리고, 이러한 표시장치들은 일반적으로 상호 대향하여 합착된 한 쌍의 기판과 이들 사이에 배치된 편광물질 또는 발광물질을 포함하여 구성되며, 한 쌍의 기판 중 적어도 하나는 영상이 표시되는 표시영역에 복수의 화소 영역을 정의하고, 각 화소영역마다 적어도 하나의 박막트랜지스터(Thin Film Transistor)가 설치된 박막트랜지스터 어레이 기판을 포함한다.

[0006] 예시적으로, 유기발광표시장치의 박막트랜지스터 어레이 기판은, 각 화소영역마다 유기발광소자에 구동전류를 공급하는 구동 박막트랜지스터 및 구동 박막트랜지스터에 게이트신호를 공급하는 스위칭 박막트랜지스터를 포함한다.

[0007] 한편, 이러한 유기발광표시장치의 박막트랜지스터 어레이 기판에 있어서, 구동 박막트랜지스터는 계조 표현에 유리하도록 설계되어야 하며, 스위칭 박막트랜지스터는 온/오프 율(On/Off Ratio)이 양호하도록 설계되어야 한다. 이것은 구동 박막트랜지스터는 전압 변화량에 대한 전류 변화량이 적을수록 계조 표현에 유리하고, 스위칭 박막트랜지스터는 온-오프(On-Off)가 빨라야 하기 때문이다.

[0008] 또한, 에스-팩터(S-factor; Sub-threshold swing)는 박막트랜지스터의 구동 및 스위칭 특성을 결정하는 중요한 인자로서, 일반적으로 에스-팩터가 큰 경우에 구동 특성이 우수해지고, 작은 경우에 스위칭 특성이 좋아지는 것으로 알려져 있다. 여기서, 에스-팩터는 전류를 10배 올릴 때 필요한 전압을 나타내는 것으로, 게이트전압에 대한 드레인전류 특성을 나타낸 그래프(I-V curve)에 있어서의 문턱전압 이하 영역 그래프의 기울기의 역수 값이다.

[0009] 따라서, 양호한 계조 표현과 빠른 온-오프 율을 얻기 위해서는 구동 박막트랜지스터의 에스-팩터는 증가시키는 것이 좋고, 반면, 스위칭 박막트랜지스터의 에스-팩터는 감소시키는 것이 좋다.

[0010] 그런데, 일반적인 유기발광표시장치에 있어서, 동일 기판에 구현된 구동 박막트랜지스터와 스위칭 박막트랜지스터는 대체로 유사한 에스-팩터 수치들을 가지며, 특히, 구동 박막트랜지스터와 스위칭 박막트랜지스터 중 어느 하나의 에스-팩터 수치만을 조절할 수 없다. 예를 들어, 구동 박막트랜지스터의 에스-팩터를 증가시키게 되면, 필연적으로 스위칭 박막트랜지스터의 에스-팩터가 증가되고, 이로 인해, 스위칭 박막트랜지스터의 온/오프 율이 감소된다.

[0011] 결국, 종래의 박막트랜지스터 어레이 기판 구조 및 이를 포함하는 유기발광표시장치의 구조로는 구동 박막트랜지스터의 에스-팩터 수치와 스위칭 박막트랜지스터의 에스-팩터 수치를 선택적으로 조절할 수 없으며, 이에 따라, 우수한 계조 표현 및 온/오프 율을 모두 만족하는 유기발광표시장치의 구현이 불가능하다.

발명의 내용

해결하려는 과제

- [0013] 본 발명은 동일 기관에서 구동 박막트랜지스터의 에스 팩터와 스위칭 박막트랜지스터의 에스 팩터를 선택적으로 조절할 수 있는 박막트랜지스터 어레이 기관 및 이의 제조방법을 제공함에 그 목적이 있다.
- [0014] 또한, 본 발명은 이와 같은 박막트랜지스터 어레이 기관을 포함하는 유기발광표시장치를 제공함에 그 다른 목적이 있다.
- [0015] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시 예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적들 및 장점들은 청구범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

- [0017] 본 발명의 실시예는, 제1영역과 제2영역을 갖는 기관, 기관 상에 배치되며 제1영역에 배치되는 부분이 제1두께를 갖고 제2영역에 배치되는 부분이 제1두께보다 두꺼운 제2두께를 갖는 버퍼막, 제1영역의 버퍼막 부분과 제2영역의 버퍼막 부분 상에 각각 배치되며 각각 채널영역과 제1 및 제2 도핑영역들을 갖는 제1액티브층과 제2액티브층, 제1 및 제2 액티브층들을 덮도록 버퍼막 상에 배치되며 평탄화된 상면을 갖고 제1영역에서 제3두께를 가지며 제2영역에서 제3두께 보다 얇은 제4 두께를 갖는 게이트절연막, 제1액티브층과 제2 액티브층의 채널영역들 상부의 게이트절연막 부분들 상에 각각 배치되는 제1게이트전극과 제2게이트전극, 및 제1액티브층과 제2액티브층의 제1 도핑영역들 및 제2 도핑영역들에 각각 연결되는 제1 전극들과 제2 전극들을 포함하는 박막트랜지스터 어레이 기관을 제공한다.
- [0018] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관에 있어서, 상기 제1영역에 상대적으로 두꺼운 게이트절연막을 갖는 구동 박막트랜지스터가 구현되고, 상기 제2영역에 스위칭 박막트랜지스터가 구현된다.
- [0019] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관은, 게이트절연막 상에 배치되는 적어도 하나 이상의 스캔라인, 게이트전극 및 스캔라인을 덮도록 게이트절연막 상에 배치되는 제1층간절연막, 제2영역의 제1층간절연막 부분 상에 제2게이트전극과 오버랩하도록 배치되는 스토리지전극, 스토리지전극을 덮도록 제1층간절연막 상에 배치되는 제2층간절연막, 제2 및 제1 층간절연막들과 게이트절연막 내에 제1 전극들과 제1 및 제2 액티브층들의 제1 도핑영역들 사이 및 제2 전극들과 제1 및 제2 액티브층들의 제2 도핑영역들 사이를 연결하도록 배치된 제1 콘택들 및 제2 콘택들, 및 제2층간절연막 상에 제1 및 제2 콘택들과 각각 연결되도록 배치되는 데이터라인 및 전원라인을 더 포함할 수 있다.
- [0020] 본 발명의 실시예는, 제1영역 및 제2영역을 갖는 기관 상에 제1영역에 배치되는 부분이 제1 두께를 갖고 제2 영역에 배치되는 부분이 제1 두께보다 두꺼운 제2 두께를 갖는 버퍼막을 형성하는 단계, 제1영역의 버퍼막 부분과 제2영역의 버퍼막 부분상에 각각 채널영역과 제1 및 제2 도핑영역들을 갖는 제1액티브층과 제2액티브층을 형성하는 단계, 제1 및 제2 액티브층들을 덮도록 평탄화된 상면을 가지며 제1영역 배치되는 부분이 제3두께를 갖고 제2영역에 배치되는 부분이 제3두께 보다 얇은 제4 두께를 갖는 게이트절연막을 형성하는 단계, 제1 및 제2 액티브층들의 각 채널영역 상부의 게이트절연막 부분들 상에 각각 제1게이트전극과 제2게이트전극을 형성하는 단계, 및 제1 및 제2 액티브층들의 제1 도핑영역들에 각각 연결되는 제1 전극들과 제2 도핑영역들에 각각 연결되는 제2 전극들을 형성하는 단계를 포함하는 박막트랜지스터 어레이 기관의 제조방법을 제공한다.
- [0021] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법에 있어서, 상기 제1영역에 상대적으로 두꺼운 게이트절연막을 갖는 구동 박막트랜지스터를 형성하고, 상기 제2영역에 스위칭 박막트랜지스터를 형성한다.
- [0022] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법에 있어서, 게이트절연막을 형성하는 단계는 화학적기체연마 공정으로 상면을 평탄화시킬 수 있다.
- [0023] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법에 있어서, 제1게이트전극 및 제2게이트전극을 형성하는 단계는 적어도 하나 이상의 스캔라인을 함께 형성하도록 수행할 수 있다.
- [0024] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법은, 제1게이트전극과 제2게이트전극을 형성하

는 단계 후, 그리고, 제1 전극들과 제2 전극들을 형성하는 단계 전, 제1게이트전극과 제2게이트전극을 덮도록 게이트절연막 상에 제1 층간절연막을 형성하는 단계, 제2영역의 상기 제1층간절연막 부분 상에 제2게이트전극과 오버랩하도록 스토리지전극을 형성하는 단계, 스토리지전극을 덮도록 제1층간절연막 상에 제2층간절연막을 형성하는 단계, 및 제2 및 제1 층간절연막과 게이트절연막을 식각하여 제1 및 제2 액티브층들의 제1 및 제2 도핑영역들을 노출하는 홀들을 형성하는 단계를 더 포함할 수 있다.

[0025] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법에 있어서, 제1 전극들과 제2 전극들을 형성하는 단계는, 제1 도핑영역들과 제1 전극들 사이 및 제2 도핑영역들과 제2 전극들 사이를 연결하는 제1 콘택들 및 제2 콘택들이 함께 형성되도록 수행할 수 있다.

[0026] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법에 있어서, 제1 및 제2 전극들을 형성하는 단계는 제2 층간절연막 상에 배치되는 데이터라인 및 전원라인이 함께 형성되도록 수행할 수 있다.

[0027] 본 발명의 실시예는, 상호 대향 합착되는 한 쌍의 기관 중 어느 하나는 복수의 화소영역에 각각 유기발광소자와 적어도 구동 박막트랜지스터와 스위칭 박막트랜지스터를 구비하는 박막트랜지스터 어레이 기관을 포함하며, 박막트랜지스터 어레이 기관은, 제1영역과 제2영역을 갖는 기관, 기관 상에 배치되며 제1영역에 배치되는 부분이 제1두께를 갖고 제2영역에 배치되는 부분이 제1두께보다 두꺼운 제2두께를 갖는 버퍼막, 제1영역의 버퍼막 부분과 제2영역의 버퍼막 부분 상에 각각 배치되며 각각 채널영역과 제1 및 제2 도핑영역들을 갖는 제1액티브층과 제2액티브층, 제1 및 제2 액티브층들을 덮도록 버퍼막 상에 배치되며 평탄화된 상면을 갖고 제1영역에서 제3두께를 가지며 제2영역에서 제3두께 보다 얇은 제4 두께를 갖는 게이트절연막, 제1액티브층과 제2 액티브층의 채널영역들 상부의 게이트절연막 부분들 상에 각각 배치되는 제1게이트전극과 제2게이트전극, 및 제1액티브층과 제2액티브층의 제1 도핑영역들 및 제2 도핑영역들에 각각 연결되는 제1 전극들과 제2 전극들을 포함하고, 제1영역에 상대적으로 두꺼운 게이트절연막을 갖는 구동 박막트랜지스터가 형성되고 제2영역에 상대적으로 얇은 게이트절연막을 갖는 스위칭 박막트랜지스터가 형성되는 유기발광표시장치를 제공한다.

[0028] 본 발명의 실시예에 따른 유기발광표시장치는, 게이트절연막 상에 배치되는 적어도 하나 이상의 스캔라인, 게이트전극 및 스캔라인을 덮도록 게이트절연막 상에 배치되는 제1층간절연막, 제2영역의 제1층간절연막 부분 상에 제2게이트전극과 오버랩하도록 배치되는 스토리지전극, 스토리지전극을 덮도록 제1층간절연막 상에 배치되는 제2층간절연막, 제2 및 제1 층간절연막들과 게이트절연막 내에 제1 전극들과 제1 및 제2 액티브층들의 제1 도핑영역들 사이 및 제2 전극들과 제1 및 제2 액티브층들의 제2 도핑영역들 사이를 연결하도록 배치된 제1 콘택들 및 제2 콘택들, 및 제2층간절연막 상에 제1 및 제2 콘택들과 각각 연결되도록 배치되는 데이터라인 및 전원라인을 더 포함할 수 있다.

발명의 효과

[0030] 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관은 버퍼막의 패터닝과 게이트절연막에의 평탄화를 통해 구동 박막트랜지스터가 스위칭 박막트랜지스터 보다 상대적으로 두꺼운 두께의 게이트절연막을 갖도록 마련된다.

[0031] 이에 따라, 본 발명은 구동 박막트랜지스터의 에스-팩터 수치 및 스위칭 박막트랜지스터의 에스-팩터 수치 중 어느 하나만을 선택적으로 증감시키거나, 또는, 구동 박막트랜지스터의 에스-팩터 수치는 증가시키면서 스위칭 박막트랜지스터의 에스-팩터 수치는 감소시킬 수 있으며, 이에 따라, 제조 표현에 유리한 회로를 구성할 수 있음은 물론 우수한 온/오프 율을 확보할 수 있다.

도면의 간단한 설명

[0033] 도 1은 일반적인 유기발광표시장치의 구동 박막트랜지스터 및 스위칭 박막트랜지스터의 게이트 전압(Vgs) 대비 드레인 전류(Ids) 특성을 나타낸 모식도이다.

도 2는 일반적인 유기발광표시장치에 있어서 동일 패널 내에서의 구동 박막트랜지스터와 스위칭 박막트랜지스터의 에스-팩터를 도시한 그래프이다.

도 3은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관을 도시한 단면도이다.

도 4a 내지 도 4g는 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법을 설명하기 위한 공정별

단면도이다.

도 5는 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판을 포함하는 유기발광표시장치의 화소영역에 대한 등가회로도이다.

도 6은 도 5에 도시된 등가회로에 대응하는 본 발명의 실시예에 따른 유기발광표시장치의 화소영역을 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 전술한 목적들, 특징들 및 효과는 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다.
- [0035] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- [0036] 도 1은 일반적인 유기발광표시장치의 구동 박막트랜지스터 및 스위칭 박막트랜지스터의 게이트전압(V_{gs}) 대비 드레인전류(I_{ds}) 특성을 나타낸 모식도이다.
- [0037] 도시된 바와 같이, 구동 박막트랜지스터(D-TFT)는 계조 표현에 유리하도록 하기 위해 게이트전압(V_{gs}) 대비 드레인전류(I_{ds})의 그래프가 45도 이하의 완만한 기울기를 갖도록 설계되어야 한다. 반면, 스위칭 박막트랜지스터(S-TFT)는 온/오프 율(On/Off Ratio)이 우수하도록 하기 위해 게이트전압(V_{gs}) 대비 드레인전류(I_{ds})의 그래프가 수직의 기울기를 갖도록 설계되어야 한다.
- [0038] 그런데, 구동 박막트랜지스터와 스위칭 박막트랜지스터의 게이트 전압 대비 드레인 전류 특성들은 상호간 트레이드 오프(trade off) 관계에 있으므로, 동일 기판 내에서 구동 박막트랜지스터와 스위칭 박막트랜지스터의 게이트 전압 대비 드레인 전류 특성들 모두를 만족시키기 어렵다.
- [0039] 도 2는 일반적인 유기발광표시장치에 있어서 동일 패널 내에서의 구동 박막트랜지스터와 스위칭 박막트랜지스터의 에스-팩터를 도시한 그래프이다.
- [0040] 도시된 바와 같이, 동일 기판에서 구동 박막트랜지스터($W/L=3/15$)의 에스-팩터(a)와 스위칭 박막트랜지스터($W/L=4/5$)의 에스-팩터(b)는 각각 0.237 및 0.269 정도로, 상호간 유사한 수준이다.
- [0041] 여기서, 유기발광표시장치의 계조 특성을 높이기 위해서는 구동 박막트랜지스터의 에스-팩터를 증가시키는 것이 유리하고, 온/오프 율을 높이기 위해서는 스위칭 박막트랜지스터의 에스-팩터를 감소시키는 것이 유리하다.
- [0042] 그런데, 동일 기판에서 구동 박막트랜지스터와 스위칭 박막트랜지스터 중 어느 하나의 에스-팩터의 수치 조절은 어렵다. 예를 들어, 구동 박막트랜지스터의 에스-팩터를 증가시키기 위해서는 필수적으로 스위칭 박막트랜지스터의 에스-팩터가 증가하며, 이로 인해, 스위칭 박막트랜지스터의 온/오프 율이 감소된다.
- [0043] 그러므로, 일반적인 박막트랜지스터 어레이 기판 구조 및 이를 포함하는 유기발광표시장치의 구조로는 구동 박막트랜지스터의 에스-팩터 수치 증가와 스위칭 박막트랜지스터의 에스-팩터 수치 감소를 모두 만족시킬 수는 없다.
- [0044] 이에, 본 발명은 구동 박막트랜지스터와 스위칭 박막트랜지스터 중 적어도 어느 하나의 에스-팩터를 선택적으로 조절할 수 있는 박막트랜지스터 어레이 기판 구조 및 이를 포함하는 유기발광표시장치 구조를 제안한다.
- [0045] 도 3은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판을 도시한 단면도이다.
- [0046] 도시된 바와 같이, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 게이트절연막(40)이 구동 박막트랜지스터(D-TFT)와 스위칭 박막트랜지스터(S-TFT)에서 서로 다른 두께를 갖도록 마련된다. 즉, 게이트절연막(40)은 구동 박막트랜지스터(D-TFT)에서의 두께가 스위칭 박막트랜지스터(S-TFT)에서의 두께 보다 두껍도록 마련된다. 이를 위해, 본 발명의 실시예는 버퍼막(20)의 패터닝 및 게이트절연막(40)의 평탄화를 적용한다.
- [0047] 자세하게, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 도면의 상하 방향을 따라 아래로부터 위로 순차 배치되는 기판(10), 버퍼막(20), 제1 및 제2 액티브층(30a, 30b), 게이트절연막(40), 제1 및 제2 게이트 전극들(50a, 50b)을 포함한다. 또한, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 제1 및 제2 게이트 전극들(50a, 50b) 상에 순차 배치되는 제1층간절연막(60), 스토리지전극(70), 제2층간절연막(80), 제1 및 제2

전극들(92, 94)을 포함한다.

- [0048] 기판(10)은 유리기판 또는 플라스틱기판과 같은 투명성 재질로 이루어질 수 있다. 기판(10)은 상호 이격 배치되는 제1영역(R1)과 제2영역(R2)을 포함한다. 실시예에서, 제1영역(R1)은 구동 박막트랜지스터가 형성될 영역에 대응하고, 제2영역(R2)은 스위칭 박막트랜지스터가 형성될 영역에 대응한다.
- [0049] 버퍼막(20)은 기판(10)의 전면(全面) 상에 배치되며, 실리콘산화막(SiO_x) 또는 실리콘질화막(SiN_x)의 단일층이나 이들의 다중층으로 이루어질 수 있다. 이러한 버퍼막(20)은 영역들(R1, R2) 별로 서로 다른 두께를 갖도록 마련된다. 실시예에서, 버퍼막(20)은 제1영역(R1)에서 제1두께(t_1)를 갖고, 제2영역(R2)에서 제1두께(t_1)보다 두꺼운 제2두께(t_2)를 갖는다. 예를 들어, 버퍼막(20)은 제1영역(R1)에서 1,000~1,500Å 두께를 가지며, 제2영역(R2)에서 3,000~5,000Å 두께를 갖는다. 버퍼막(20)은 제1영역(R1)과 제2영역(R2)의 경계에서 경사지게 배치될 수 있다.
- [0050] 액티브층(30a, 30b)은 LTPS(Low Temperature Polycrystalline Silicon) 패닐을 구현하도록 폴리실리콘(poly-Si)으로 이루어질 수 있다. 여기서, 본 실시예에서는 액티브층(30) 물질로서 폴리실리콘을 사용하는 것을 일 예로 설명하지만, 이에 한정되는 것은 아니며, IGZO와 같은 산화물이나 비정질실리콘(a-Si)을 사용할 수도 있다.
- [0051] 액티브층(30a, 30b)은 제1영역(R1)의 버퍼막(20) 부분 상에 배치되는 제1액티브층(30a)과 제2영역(R2)의 버퍼막(20) 부분 상에 배치되는 제2액티브층(30b)을 포함한다. 제1액티브층(30a)과 제2액티브층(30b)은 각각 전자 이동의 통로 역할을 하는 채널영역(32a, 32b)과 그 양측에 배치되어 채널영역(32a, 32b)을 통해 전류를 운반하는 캐리어를 주고 받는 제1 도핑영역(34a, 34b) 및 제2 도핑영역(36a, 36b)을 포함한다. 여기서, 제1 도핑영역들(34a, 34b) 및 제2 도핑영역들(36a, 36b)은 N형 또는 P형 불순물이 이온주입되어 형성될 수 있으며, 그리고, 채널영역(32a, 32b)보다 높은 농도로 도핑된 영역들일 수 있다. 제1 도핑영역들(34a, 34b)은 소오스영역 및 드레인영역 중 어느 하나일 수 있고, 제2 도핑영역들(36a, 36b)은 나머지 하나의 영역일 수 있다.
- [0052] 이러한 제1 및 제2 액티브층들(30a, 30b)은 제1영역(R1) 및 제2영역(R2) 사이에 상이한 두께를 갖도록 패터닝된 버퍼막(20) 상에 균일한 두께로 형성되며, 이에 따라, 도면의 상하 방향으로 제1영역(R1)에 배치되는 제1액티브층(30a)은 제2영역(R2)에 배치되는 제2액티브층(30b) 보다 아래쪽에 위치하게 된다.
- [0053] 게이트절연막(40)은 버퍼막(20) 상에 제1 및 제2 액티브층들(30a, 30b)을 덮도록 배치된다. 실시예에서, 게이트절연막(40)은 평탄화된 상면을 가지며, 이에 따라, 게이트절연막(40)은 제1영역(R1)과 제2영역(R2)에서 서로 상이한 두께들(t_3 , t_4)을 갖는다. 실시예에서, 게이트절연막(40)은 제1영역(R1)에서 제3두께(t_3)를 갖고, 제2영역(R2)에서 제3두께(t_3)보다 두꺼운 제4두께(t_4)를 갖는다. 예를 들어, 게이트절연막(40)은 제1영역(R1)에서 1,000~1,500Å의 두께를 갖고, 제2영역(R2)에서 3,000~5,000Å 두께를 가질 수 있다.
- [0054] 이러한 게이트절연막(40)은, 영역들(R1, R2) 별로 상이한 두께들(t_1 , t_2)을 갖고, 영역들(R1, R2) 각각에 제1액티브층(30a)과 제2액티브층(30b)이 형성된 버퍼막(20) 상에 하부층의 단차를 따라 균일한 두께로 증착된 후, 그 상면을 화학적기계연마(Chemical Mechanical Polishing; 이하, 'CMP'라 칭함) 공정으로 연마하는 것에 의해 평탄화될 수 있다.
- [0055] 제1게이트전극(50a)과 제2게이트전극(50b)은 평탄화된 게이트절연막(40)의 제1영역(R1) 및 제2영역(R2) 상에 배치된다. 구체적으로, 제1게이트전극(50a)은 제1영역(R1)에서 제1액티브층(30a)의 채널영역(32a) 상부의 게이트절연막(40) 부분 상에 배치되며, 제2게이트전극(50b)은 제2영역(R2)에서 제2액티브층(30b)의 채널영역(32b) 상부의 게이트절연막(40) 부분 상에 배치된다.
- [0056] 계속해서, 제1충간절연막(60)은 게이트절연막(40) 상에 제1 및 제2 게이트전극들(50a, 50b)을 덮도록 배치된다.
- [0057] 스토리지전극(70)은 제1영역(R1)의 제1충간절연막(60) 부분 상에 제1게이트전극(50a)과 오버랩하도록 배치된다. 이에 따라, 제1게이트전극(50a)과 스토리지전극(70) 사이에 제1스토리지캐패시터(Cst1)가 구현된다. 도시하지 않았으나, 스토리지전극(70)은 제2스토리지캐패시터를 또한 구현할 수 있다.
- [0058] 제2충간절연막(80)은 제1충간절연막(60) 상에 스토리지전극(70)을 덮도록 배치된다. 제2충간절연막(80)은 제1충간절연막(60)과 마찬가지로 산화막 재질로 이루어질 수 있다.
- [0059] 제1 전극들(92a, 92b)은 제2충간절연막(80) 상에 제1액티브층(30a) 및 제2액티브층(30b)의 제1 도핑영역들(34a, 34b)과 연결되도록 배치되며, 제2 전극들(94a, 94b)은 제2충간절연막(80) 상에 제1액티브층(30a) 및 제2액티브층(30b)의 제2 도핑영역들(36a, 36b)과 연결되도록 배치된다. 예를 들어, 제1 전극들(92a, 92b)은 소오스전극일 수 있으며, 소오스영역들에 해당하는 제1 도핑영역들(34a, 34b)과 연결될 수 있다. 제2 전극들(94a, 94b)은 드

레인전극일 수 있으며, 드레인영역들에 해당하는 제2 도핑영역들(36a, 36b)에 연결될 수 있다.

[0060] 이러한 제1 전극들(92a, 92b) 및 제2 전극들(94a, 94b)은 제2 및 제1 층간절연막들(90, 60)과 게이트절연막(40) 내에 각각 형성되는 제1 콘택들(C1a, C1b) 및 제2 콘택들(C2a, C2b)을 통해 대응하는 제1 도핑영역들(34a, 34b) 및 제2 도핑영역들(36a, 36b)과 연결될 수 있다.

[0061] 한편, 도시하지 않았으나, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 스위칭 박막트랜지스터에의 스캔신호 인가를 위한 스캔라인 및 데이터신호 인가를 위한 데이터라인, 그리고, 전원전압 인가용 전원라인 등을 더 포함할 수 있다.(도 5의 SL1, DL, PL1 참조)

[0062] 여기서, 스캔라인은 게이트절연막(40) 상에 게이트전극들(50a, 50b)과 함께 배치될 수 있다. 데이터라인 및 전원라인은 제2층간절연막(80) 상에 제1 전극들(92a, 92b) 및 제2 전극들(94a, 94b)과 함께 배치될 수 있다. 이때, 데이터라인은 제1 전극들(92a, 92b) 및 제2 전극들(94a, 94b) 중 어느 하나와 전기적으로 연결되고, 전원전압(VDD)이 인가되는 전원라인은 나머지 하나에 연결될 수 있다.

[0063] 이와 같은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판은 제1영역에 배치되는 구동 박막트랜지스터와 제2영역에 배치되는 스위칭 박막트랜지스터가 서로 다른 두께의 게이트절연막을 갖도록 마련된다. 즉, 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판에 있어서, 구동 박막트랜지스터는 스위칭 박막트랜지스터에서 보다 상대적으로 두꺼운 두께의 게이트절연막을 갖는다.

[0064] 여기서, 박막트랜지스터의 게이트절연막 두께를 증가시키면, 에스-팩터가 증가하게 되어 계조 표현을 유리하게 된다. 반면, 박막트랜지스터의 게이트절연막 두께를 감소시키면, 에스-팩터가 감소하게 되어 우수한 온/오프 율을 가질 수 있게 된다.

[0065] 자세하게, 에스-팩터는 하기의 식으로부터 구할 수 있다.

$$S^{ideal} = 2.3 \frac{kT}{q} \left(1 + \frac{C_D}{C_{OX}} + \frac{C_{SS}(C_{it})}{C_{OX}} \right)$$

[0066] 여기서, S^{ideal} 은 S-factor를, K는 볼츠만 상수를, T는 온도를, q는 전하량을, Cox는 게이트절연막에 의한 캐패시턴스를, Cd는 공핍(depletion) 영역에 의한 캐패시턴스를, C_{ss} 및 C_{it}는 각각 표면전위(surface potential) 및 계면트랩(interface trap)에 의한 캐패시턴스들을 의미한다.

[0068] 따라서, 상기의 식으로부터 알 수 있듯이, 게이트절연막의 두께를 증가시키면, 게이트절연막의 두께에 반비례하는 게이트절연막에 의한 캐패시턴스(Cox) 값은 감소하게 되고, 이에 따라, 에스-팩터 값이 증가하게 된다. 반대로, 게이트절연막의 두께를 감소시키면, 게이트절연막에 의한 캐패시턴스(Cox) 값은 증가하게 되며, 이에 따라, 에스-팩터 값이 감소하게 된다.

[0069] 그러므로, 본 발명은 동일 기판에서 게이트절연막의 두께 조절을 통해 구동 박막트랜지스터와 스위칭 박막트랜지스터 중 적어도 어느 하나의 에스-팩터를 조절할 수 있다. 예를 들어, 본 발명은 동일 기판에서 스위칭 박막트랜지스터의 에스-팩터는 조절함이 없이 구동 박막트랜지스터의 에스-팩터만을 선택적으로 증가시킬 수 있으며, 이에 따라, 본 발명은 온/오프 율 감소없이 계조 표현에 유리한 유기발광표시장치를 구현할 수 있다.

[0070] 한편, 도시하고 설명하지 않았지만, 보상 박막트랜지스터의 게이트절연막 두께 또한 버퍼막의 패터닝 및 게이트절연막의 평탄화를 통해서 필요에 맞게 적절한 두께로 조절할 수 있으며, 이를 통해, 보상 박막트랜지스터의 에스-팩터 수치를 증감시켜서 그 동작 특성을 개선시킬 수 있다.

[0071] 도 4a 내지 도 4g는 전술한 바와 같은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기판의 제조방법을 설명하기 위한 공정별 단면도들로서, 이들을 설명하면 다음과 같다.

[0072] 도 4a를 참조하면, 기판(10)을 마련한다. 기판(10)은 유리기판 또는 플라스틱기판과 같은 투명한 재질로 이루어지며, 구동 박막트랜지스터가 형성될 제1영역(R1) 및 스위칭 박막트랜지스터가 형성될 제2영역(R2)을 포함한다. 기판(10)의 전면(全面) 상에 균일한 두께로, 예를 들어, 3,000~5,000Å 두께로 버퍼막(20)을 형성한다. 버퍼막(20)은 실리콘산화막이나 실리콘질화막의 단일층 또는 이들의 다중층으로 형성할 수 있다.

[0073] 도 4b를 참조하면, 버퍼막(20)을 제1영역(R1)과 제2영역(R2)에서 서로 상이한 두께들(t1, t2)을 갖도록 패터닝한다. 예시적으로, 버퍼막(20)의 패터닝은 버퍼막(20) 상에 식각마스크를 형성한 후, 식각마스크를 이용한 습식 또는 건식 식각 공정을 통해 버퍼막(20)을 식각하고, 그리고 나서, 식각마스크 제거하는 통해 구현될 수 있다.

실시예에서, 버퍼막(20)의 패터닝은 제1영역(R1)에서는 제1두께(t_1)를 갖고, 제2영역(R2)에서는 제1두께(t_1) 보다 두꺼운 제2두께(t_2)를 갖도록 진행한다. 예를 들은 버퍼막(20)은 제1영역(R1)에서 1,000~1,500Å의 두께를 갖고, 제2영역(R2)에서 처음 두께 그대로의 3,000~5,000Å 두께를 갖도록 패터닝될 수 있다. 아울러, 버퍼막(20)의 패터닝은 제1영역(R1)과 제2영역(R2)의 경계에서는 경사지도록 진행한다.

[0074] 도 4c를 참조하면, 영역들(R1, R2) 별로 상이한 두께들(t_1 , t_2)을 갖는 버퍼막(20) 상에 균일한 두께로 비정질 실리콘층을 증착한다. 그런 다음, 비정질실리콘층에 대한 결정화 공정을 진행하여 폴리실리콘층(poly-Si)을 형성한다. 이어서, 폴리실리콘층에 대한 패터닝 공정과 N형 또는 P형 불순물의 도핑 공정을 순차 진행하고, 이를 통해, 제1영역(R1)의 버퍼막(20) 부분 상에 채널영역(32a)과 그 양측에 각각 배치되는 제1도핑영역(34a) 및 제2도핑영역(36a)을 포함하는 제1액티브층(30a)을 형성하며, 제2영역(R2)의 버퍼막(20) 부분 상에 채널영역(32b)과 그 양측에 각각 배치되는 제1도핑영역(34b) 및 제2도핑영역(36b)을 포함하는 제2액티브층(30b)을 형성한다. 제1도핑영역들(34a, 34b)은 소오스영역 및 드레인영역 중 어느 하나일 수 있으며, 제2도핑영역들(36a, 36b)은 나머지 하나의 영역일 수 있다. 또한, 제1도핑영역들(34a, 34b) 및 제2도핑영역들(36a, 36b)은 채널영역(32a, 32b)보다 높은 농도로 도핑된 영역일 수 있다.

[0075] 여기서, 버퍼막(20)이 제1영역(R1)과 제2영역(R2) 사이에 서로 상이한 두께들(t_1 , t_2)을 갖는 것으로 인해, 도면의 상하 방향으로 제1액티브층(30a)은 제2액티브층(30b) 보다 아래에 위치하게 된다.

[0076] 도 4d를 참조하면, 제1 및 제2 액티브층들(30a, 30b)을 덮도록 버퍼막(20) 상에 게이트절연막(40)을 증착한다. 예를 들어, 게이트절연막(40)은 실리콘산화막(SiO_x)으로 이루어질 수 있으며, 3,500~5,500Å 두께로 증착될 수 있다. 게이트절연막(40)은 하부층의 단차를 따라 균일한 두께로 증착되므로, 그의 상면 또한 하부층의 단차와 동일한 단차를 갖게 된다.

[0077] 도 4e를 참조하면, 게이트절연막(40)에 대해 CMP 공정을 진행하고, 이를 통해, 게이트절연막(40)의 상면을 평탄화시킨다. CMP 공정은 연마패드(polishing pad)에 의한 기계적 연마와 슬러리(slurry)에 의한 화학적 연마가 동시에 진행되는 공정으로서, 글로벌 평탄화(global planarization) 작업에 매우 유용하다. 특히, CMP 공정은 노은 평탄도를 얻을 수 있음은 물론, 손쉽게 넓은 면적을 평탄화시킬 수 있으므로, 대면적 표시장치의 제조에 유리하게 적용할 수 있다. 본 실시예에서, CMP 공정은 3,500~5,500Å 두께로 증착된 게이트절연막(40)에 대해 500Å 정도가 제거되는 것을 타겟으로 진행하여 제1영역(R1)에서의 게이트절연막(40)의 잔류 두께가 3,000~5,000Å 정도, 그리고, 제2영역(R2)에서의 게이트절연막(40)의 잔류 두께가 1,000~1,500Å 정도가 되도록 한다.

[0078] 게이트절연막(40)에 대한 평탄화 결과, 게이트절연막(40)은 제1영역(R1)과 제2영역(R2)에서 서로 다른 두께들(t_3 , t_4)을 갖게 된다. 즉, 게이트절연막(40)은 제1영역(R1)에서 3,000~5,000Å 정도의 제3두께(t_3)를 갖고, 제2영역(R2)에서 제3두께(t_3) 보다 얇은 1,000~1,500Å 정도의 제4두께(t_4)를 갖는다.

[0079] 여기서, 제1영역(R1)에서의 게이트절연막(40)의 잔류 두께를 3,000~5,000Å 정도로 하고, 또한, 제2영역(R2)에서 보다 두껍게 하는 것은 후속에서 제1영역(R1)에 구성되는 구동 박막트랜지스터가 제조 표현에 유리한 증가된 에스-팩터를 갖도록 하고, 반면, 제2영역(R2)에 구성되는 스위칭 박막트랜지스터는 에스-팩터의 변동이 없거나, 또는, 감소된 에스-팩터를 갖도록 하기 위함이다.

[0080] 도 4f를 참조하면, 평탄화된 게이트절연막(40)의 상면 상에 각각 제1영역(R1)에서 제1액티브층(30a)의 채널영역(32a) 상부와 제2영역(R2)에서 제2액티브층(30b)의 채널영역(32b) 상부에 배치되는 제1게이트전극(50a)과 제2게이트전극(50b)을 형성한다.

[0081] 도시하지 않았으나, 게이트전극(50)의 형성 시, 제1 및 제2 스캔라인들을 함께 형성할 수 있다.

[0082] 도 4g를 참조하면, 게이트전극들(50a, 50b)을 덮도록 게이트절연막(40) 상에 제1충간절연막(60)을 형성한다. 그런 다음, 제1영역(R1)의 제1충간절연막(60) 부분 상에 제1게이트전극(50a)과 오버랩하는 스토리지전극(70)을 형성한다. 이 결과, 제1게이트전극(50a)과 스토리지전극(70) 사이에 스토리지 캐패시터(Cst)가 구성된다. 이어서, 제1충간절연막(60) 상에 스토리지전극(70)을 덮도록 제2충간절연막(80)을 형성한다.

[0083] 다음으로, 제2충간절연막(80) 상에 각각 제1도핑영역들(34a, 34b)과 연결되는 제1콘택들(C1a, C1b) 및 제2도핑영역들(36a, 36b)과 연결되는 제2콘택들(C2)을 포함한 제1전극들(92a, 92b)과 제2전극들(94a, 94b)을 형성한다. 여기서, 제1전극들(92a, 92b)은 제1콘택들(C1a, C1b)을 통해 제1도핑영역들(34a, 34b)과 연결되며, 제2전극들(94a, 94b)은 제2콘택들(C2a, C2b)을 통해 제2도핑영역들(36a, 36b)과 연결된다. 제1전극들(92a, 92b)은 소오스전극 또는 드레인전극 중 어느 하나일 수 있으며, 제2전극들(94a, 94b)은 나머지 하나일 수

있다.

- [0084] 한편, 도시되지 않았으나, 제1 전극들(92a, 92b) 및 제2 전극들(94a, 94b)의 형성 시, 스캔라인들과 교차 배치되고, 제1 전극들(92a, 92b) 및 제2 전극들(94a, 94b) 중 어느 하나와 연결되는 데이터라인과 전원라인들을 함께 형성할 수 있다.
- [0085] 이 결과, 제1영역(R1)에 구동 박막트랜지스터(D-TFT)가 형성되고, 제2영역(R2)에 스위칭 박막트랜지스터(S-TFT)가 형성되며, 특히, 구동 박막트랜지스터(D-TFT)에서의 게이트절연막의 두께가 스위칭 박막트랜지스터(S-TFT)에서의 게이트절연막 두께보다 두꺼운 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관의 제조가 완성된다.
- [0086] 이하에서는 전술한 바와 같은 본 발명의 실시예에 따른 박막트랜지스터 어레이 기관을 포함하는 유기발광표시장치를 설명하도록 한다.
- [0087] 먼저, 유기발광표시장치는 상호 대향 합착되는 한 쌍의 기관 중 어느 하나로서 박막트랜지스터 어레이 및 유기발광소자 어레이가 마련되는 박막트랜지스터 어레이 기관을 포함한다.
- [0088] 유기발광소자 어레이는 박막트랜지스터 어레이에 의해 구동되며, 복수의 화소영역에 대응하여 배열되는 복수의 유기발광소자를 포함한다. 박막트랜지스터 어레이는 표시영역에 복수의 화소영역을 정의하며, 복수의 화소영역에 대응하여 배열되는 복수의 유기발광소자를 개별 구동하기 위한 화소회로를 포함한다.
- [0089] 도 5는 본 발명의 실시예에 따른 유기발광표시장치의 각 화소영역에 대한 등가회로도이고, 도 6은 도 5에 도시된 등가회로에 대응하는 본 발명의 실시예에 따른 유기발광표시장치의 화소영역을 도시한 평면도이다.
- [0090] 도 5에 도시된 바와 같이, 본 발명의 실시예에 따른 유기발광표시장치의 각 화소영역은 유기발광소자(OLED), 유기발광소자(OLED)에 구동전류를 공급하는 구동 박막트랜지스터(D-TFT), 구동 박막트랜지스터(D-TFT)에 턴온신호를 공급하는 스위칭 박막트랜지스터(S-TFT), 구동 박막트랜지스터(D-TFT)의 턴온신호로 충전되는 제1스토리지캐패시터(C1), 그리고, 유기발광소자(OLED)에 공급되는 구동전류를 보상하는 보상 박막트랜지스터(C-TFT)를 포함할 수 있다. 또한, 각 화소영역은 전원라인(VDD)을 통한 신호로 충전되는 제2스토리지캐패시터(C2)를 더 포함할 수 있다.
- [0091] 구체적으로, 구동 박막트랜지스터(D-TFT)는 제1구동전원(EVDD)을 공급하는 제1전원라인(PL1)과 제2구동전원(EVSS)을 공급하는 제2전원라인(PL2) 사이에 유기발광소자(OLED)와 직렬로 연결된다. 즉, 구동 박막트랜지스터(D-TFT)의 소오스전극 및 드레인전극 중 어느 하나는 제1전원라인(PL1)에 연결되고, 나머지 다른 하나는 유기발광소자(OLED)의 애노드전극(Anode)에 연결된다. 유기발광소자(OLED)의 캐소드전극(Cathod)은 제2구동전원(EVSS)을 공급하는 제2전원라인(PL2)에 연결된다. 따라서, 구동 박막트랜지스터(D-TFT)는 스위칭 박막트랜지스터(S-TFT)로부터 공급된 턴온신호에 기초하여 턴온되면, 유기발광소자(OLED)에 구동전류를 공급한다.
- [0092] 제1스토리지캐패시터(C1)는 구동 박막트랜지스터(D-TFT)의 게이트전극과 스위칭 박막트랜지스터(S-TFT)의 소오스전극 및 드레인전극 중 어느 하나 사이에 연결된다. 이러한 제1스토리지캐패시터(C1)는 턴온된 스위칭 박막트랜지스터(S-TFT)를 통해 공급되는 데이터전압(VDATA)으로 충전된다.
- [0093] 제2스토리지캐패시터(C2)는 제1전원라인(PL1)과 스위칭 박막트랜지스터(S-TFT)의 소오스전극 및 드레인전극 중 어느 하나 사이에 연결된다. 이러한 제2스토리지캐패시터(C2)는 제1전원라인(PL1)을 통해 공급되는 제1구동전원(EVDD)으로 충전된다.
- [0094] 스위칭 박막트랜지스터(S-TFT)는 제1스캔라인(SL1)과 데이터라인(DL)에 연결된다. 스위칭 박막트랜지스터(S-TFT)는 데이터신호(VDATA)를 제1스토리지캐패시터(Cst) 및 구동 박막트랜지스터(D-TFT)의 게이트전극에 공급한다. 이러한 스위칭 박막트랜지스터(S-TFT)는 제1스캔라인(SL1)의 제1스캔신호(SCAN1)에 기초하여 턴온되면, 데이터라인(DL)의 데이터신호(VDATA)를 구동 박막트랜지스터(D-TFT)의 턴온신호로 공급하며, 이때, 제1노드(N1)에 공급된 구동 박막트랜지스터(D-TFT)의 턴온신호에 기초하여 제1스토리지캐패시터(Cst)가 충전된다.
- [0095] 보상 박막트랜지스터(C-TFT)는 구동 박막트랜지스터(D-TFT)의 문턱전압을 보상하기 위해 마련된다. 즉, 보상 박막트랜지스터(C-TFT)는 유기발광소자(OLED)에 공급되는 구동전류가 구동 박막트랜지스터(D-TFT)의 문턱전압에 영향을 받지 않도록 하기 위한 마련된다. 이러한 보상 박막트랜지스터(C-TFT)는 구동 박막트랜지스터(D-TFT)의 소오스전극 및 드레인전극 중 유기발광소자(OLED)에 연결된 어느 하나와 구동 박막트랜지스터(D-TFT)의 게이트전극 사이에 연결될 수 있다. 보상 박막트랜지스터(C-TFT)의 게이트전극은 제2스캔신호(SCAN2)를 공급하는 제2

스캔라인(SL2)에 연결된다.

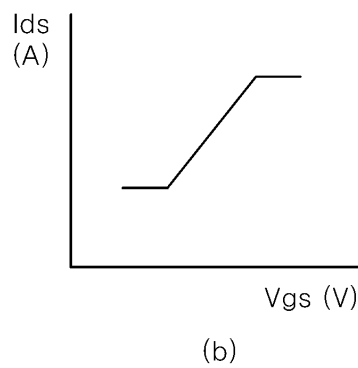
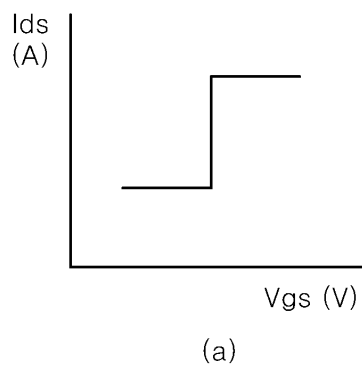
- [0096] 다시 말해, 보상 박막트랜지스터(C-TFT)의 소오스전극 및 드레인전극 중 어느 하나는 구동 박막트랜지스터(D-TFT)의 게이트전극과 제1스토리지캐패시터(C1) 사이의 제1노드(N1)에 연결되고, 나머지 다른 하나는 유기발광소자(OLED)의 애노드전극(Anode)에 연결된다. 따라서, 이러한 보상 박막트랜지스터(C-TFT)는 제2스캔신호(SCAN2)에 기초하여 턴온되면, 제1노드(N1)와 애노드전극(Anode) 사이를 연결한다.
- [0097] 이와 같은 본 발명의 실시예에 따른 유기발광표시장치에 있어서, 구동 박막트랜지스터(D-TFT)와 스위칭 박막트랜지스터(S-TFT)는 저온성장 폴리실리콘(LTPS; Low-temperature polycrystalline silicon)로 이루어진 액티브층을 포함할 수 있으며, 또한, PMOS로 구현될 수 있다. 아울러, 보상 박막트랜지스터(C-TFT) 또한 LTPS로 이루어진 액티브층을 포함하는 PMOS로 구현될 수 있다.
- [0098] 도 6에 도시한 바와 같이, 본 발명의 유기발광표시장치의 각 화소영역은 구동 박막트랜지스터(D-TFT), 스위칭 박막트랜지스터(S-TFT), 보상 박막트랜지스터(C-TFT), 제1 및 제2 스토리지캐패시터(C1, C2)를 포함한다.
- [0099] 각 화소영역은 제1방향(도 6의 좌우방향)으로 배열되는 제1 및 제2 스캔라인들(SL1, SL2)과, 제2방향(도 3의 상하방향)으로 배열되는 데이터라인(DL)과 제1전원라인(PL1)을 포함할 수 있다.
- [0100] 구동 박막트랜지스터(D-TFT)의 액티브층(112)의 양단은 제1 및 제2 콘택홀들(CH1, CH2)을 통해 각각 제1전원라인(PL1) 및 스위칭 박막트랜지스터(S-TFT)에 연결된다. 스위칭 박막트랜지스터(S-TFT)의 액티브층(114)의 양단은 제2콘택홀(CH2) 및 제3콘택홀(CH3)을 통해 각각 구동 박막트랜지스터(D-TFT)와 제1스토리지캐패시터(C1)에 연결된다. 스위칭 박막트랜지스터(S-TFT)는 두 개의 액티브층(114)을 포함할 수 있다. 보상 박막트랜지스터(C-TFT)의 액티브층(116)의 양단은 데이터라인(DL) 및 구동 박막트랜지스터(D-TFT)에 연결된다.
- [0101] 제1스토리지캐패시터(C1)는 상호 중첩하는 구동 박막트랜지스터(D-TFT)의 게이트전극(50a)과 스토리지전극(70) 사이에서 형성된다. 스토리지전극(70)은 보상 박막트랜지스터(C-TFT)의 액티브층(116)을 통해 데이터라인(DL)과 연결될 수 있다. 제2스토리지캐패시터(C2)는 보상 박막트랜지스터(C-TFT)의 액티브층(116)과 게이트 패턴(52) 사이 및 게이트 패턴(52)과 스토리지전극(70) 사이에서 형성될 수 있다.
- [0102] 제1연결패턴(122)은 스위칭 박막트랜지스터(S-TFT)에서 제2콘택홀(CH2)을 통해 액티브층(114)과 연결되도록 배치되며, 제2연결패턴(124)은 구동 박막트랜지스터(D-TFT)의 게이트전극(50a)과 이에 인접하여 배치되는 액티브층 부분이 연결되도록 배치되고, 제3연결패턴(126)은 스토리지전극(70)과 이에 인접하여 배치되는 액티브층과 연결되도록 배치된다.
- [0103] 이와 같은 본 발명의 실시예에 따른 유기발광표시장치에 있어서, 도 3에서와 같이, 적어도 구동 박막트랜지스터(D-TFT)에서의 게이트절연막(40)의 두께는 스위칭 박막트랜지스터(S-TFT)에서의 게이트절연막(40)의 두께보다 두껍다.
- [0104] 이에 따라, 구동 박막트랜지스터(D-TFT)는 게이트절연막의 두께가 증가됨으로써 에스-팩터가 증가하게 되며, 그 결과, 제조 표현에 유리하게 된다.
- [0105] 반면, 스위칭 박막트랜지스터(S-TFT)는 게이트절연막의 두께가 감소 또는 그대로 유지됨으로써 에스-팩터를 유지 또는 감소시킬 수 있으며, 그래서, 양호한 온/오프 율을 갖도록 할 수 있다.
- [0106] 결과적으로, 본 발명의 실시예에 따른 유기발광표시장치는 구동 박막트랜지스터 및 스위칭 박막트랜지스터의 게이트절연막 두께를 서로 상이하게 함으로써 스위칭 박막트랜지스터의 에스-팩터 증가없이 구동 박막트랜지스터의 에스-팩터만을 선택적으로 증가시킬 수 있으며, 그래서, 우수한 제조 표현 특성 및 온/오프 율을 갖는 유기발광표시장치를 구현할 수 있다.
- [0108] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

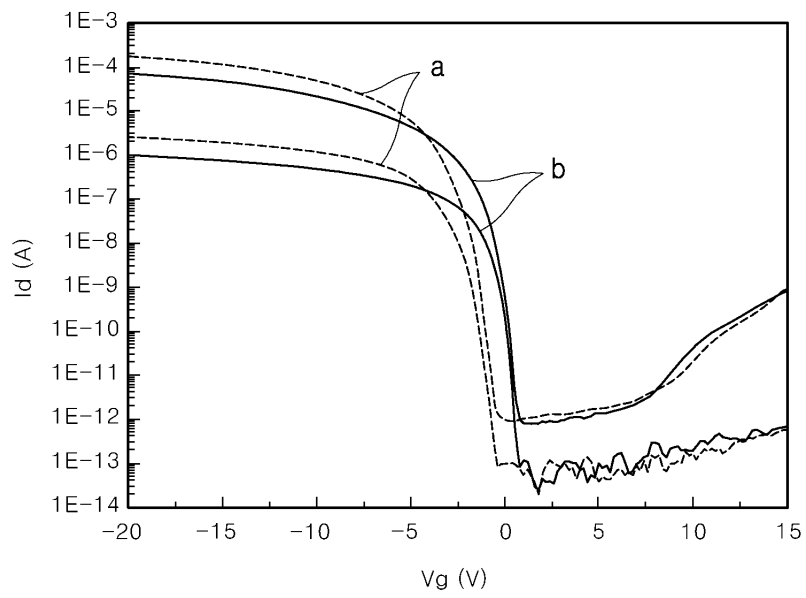
[0110]	10: 기판	20: 버퍼막
	30a,30b: 액티브층	32a,32b: 채널영역
	34a,34b: 제1도핑영역	36a,36b: 제2도핑영역
	40: 게이트절연막	50a,50b: 게이트전극
	52: 게이트 패턴	60: 제1층간절연막
	70: 스토리지전극	80: 제2층간절연막
	92a,92b: 제1 전극	94a,94b: 제2전극
	112,114,116: 액티브층	122,124,126: 연결패턴
	CH1,CH2,CH3: 콘택홀	C1,C2: 스토리지캐패시터
	C1a,C1b: 제1콘택	C2a,C2b: 제2콘택
	SL1,SL2: 스캔라인	DL: 데이터라인
	PL1: 제1전원라인	PL2: 제2전원라인
	R1: 제1영역	R2: 제2영역
	D-TFT: 구동 박막트랜지스터	S-TFT: 스위칭 박막트랜지스터

도면

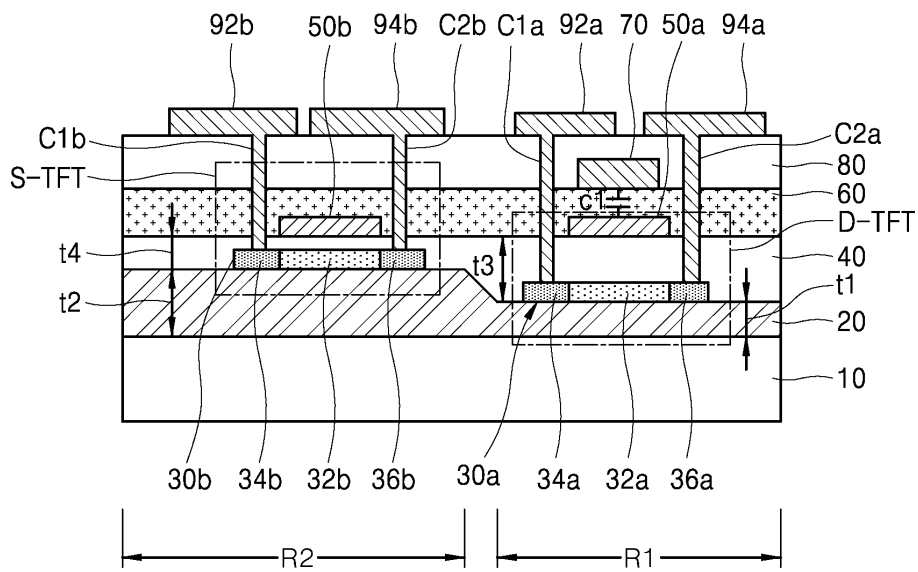
도면1



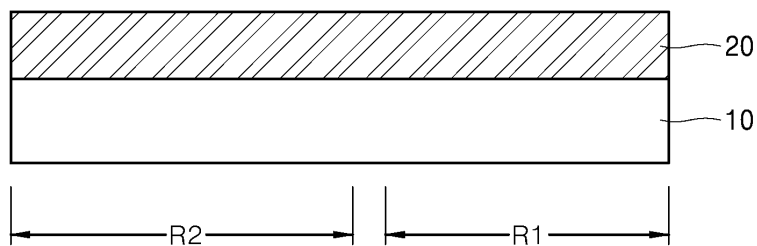
도면2



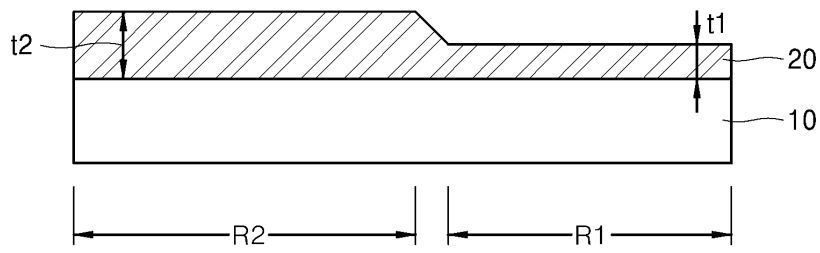
도면3



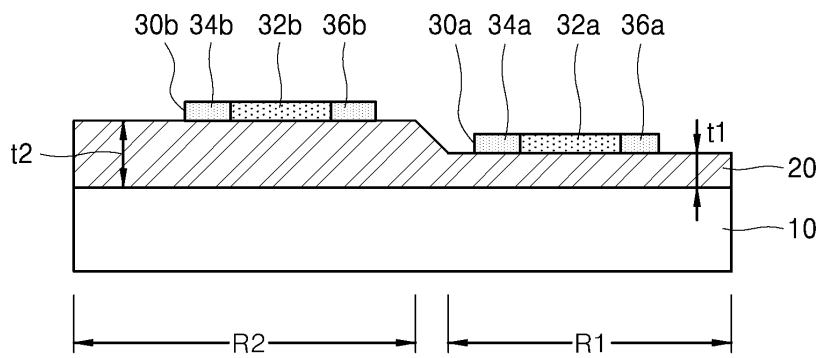
도면4a



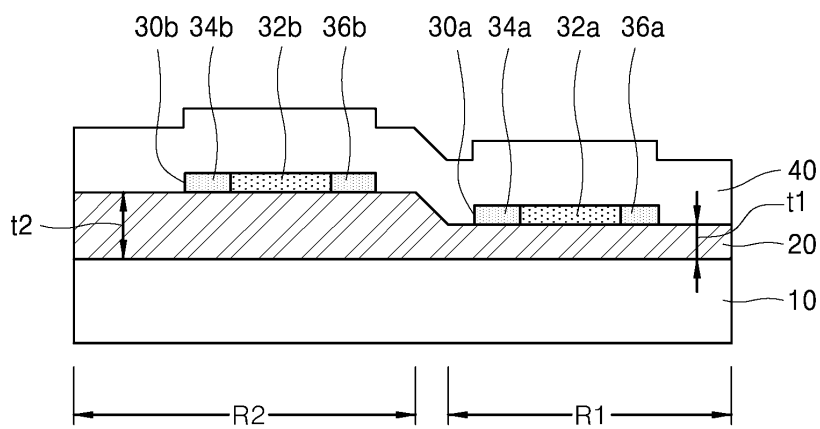
도면4b



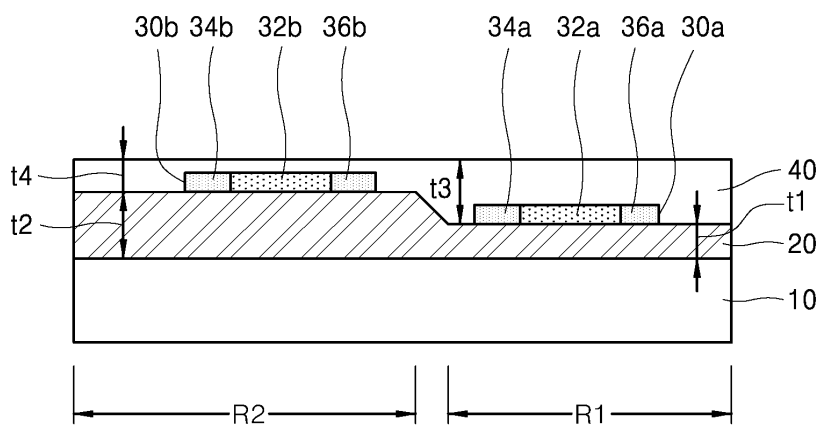
도면4c



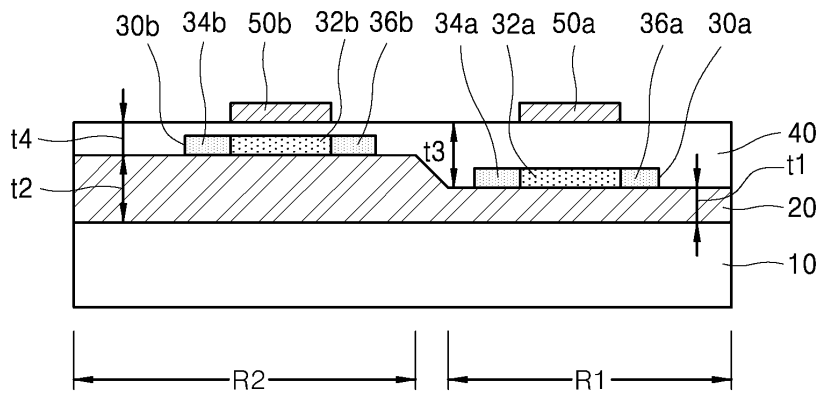
도면4d



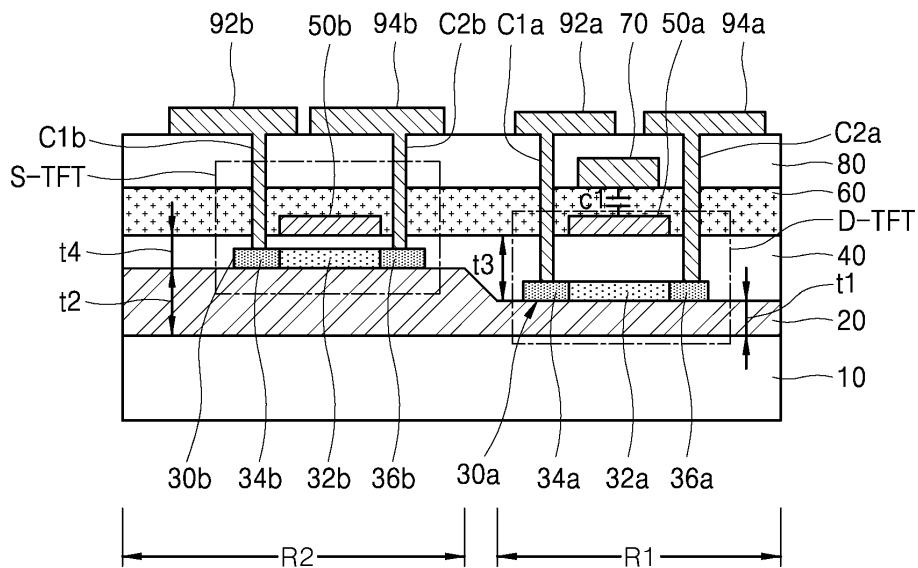
도면4e



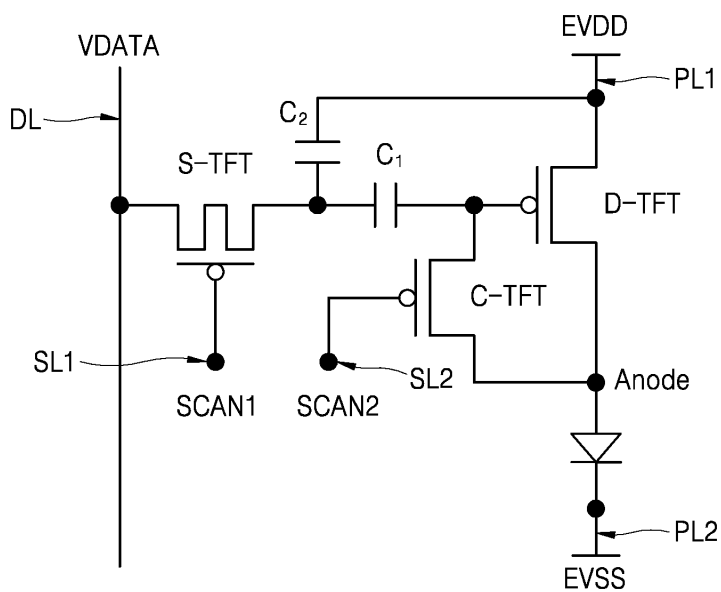
도면4f



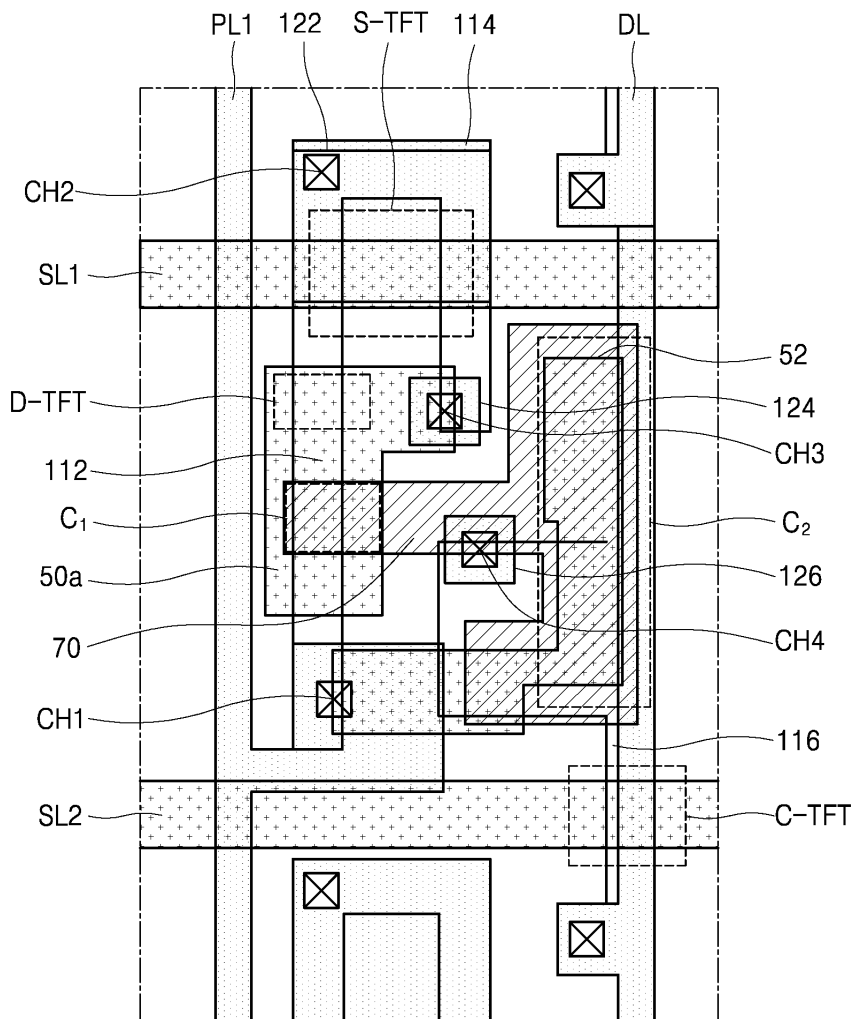
도면4g



도면5



도면6



专利名称(译)	薄膜晶体管阵列基板，其制造方法以及包括该薄膜晶体管阵列基板的有机发光显示器		
公开(公告)号	KR1020190080207A	公开(公告)日	2019-07-08
申请号	KR1020170182524	申请日	2017-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	연득호 노상순 신동채		
发明人	연득호 노상순 신동채		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3262 H01L27/3258 H01L27/3265 H01L51/56		
外部链接	Espacenet		

摘要(译)

公开了一种能够在同一基板上调整驱动TFT的亚阈值摆幅 (S) 因子和开关TFT的S因子的薄膜晶体管 (TFT) 阵列基板，其制造方法以及有机材料包括该发光显示装置的发光显示装置。根据本发明，TFT阵列基板包括：包括第一区域和第二区域的基板；以及第二基板。缓冲膜，其设置在基板上，其中设置在第一区域上的部分具有第一厚度，并且设置在第二区域上的部分具有大于第一厚度的第二厚度；第一和第二有源层分别设置在第一和第二区域的缓冲膜部分上，并具有沟道区和第一和第二掺杂区。栅绝缘膜，其设置在缓冲膜上以覆盖第一有源层和第二有源层，并且具有平坦的上表面，在第一区域中具有第三厚度，并且在第二区域中具有大于第三厚度的第四厚度。第一和第二栅电极分别设置在第一和第二有源层的沟道区的上部的栅绝缘膜部分上；第一和第二电极分别连接到第一和第二有源层的第一和第二掺杂区。

